



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0047838

(51)^{2020.01} G02F 1/1345; H05K 1/14

(13) B

(21) 1-2020-03319

(22) 10/06/2020

(30) 10-2019-0075571 25/06/2019 KR

(45) 25/06/2025 447

(43) 25/01/2021 394A

(73) Samsung Display Co., Ltd. (KR)

1, Samsung-ro, Giheung-gu, Yongin-si, Gyeonggi-do, Republic of Korea

(72) Hyunseop SONG (KR); SEUNGJAE KANG (KR); Sung-Woon IM (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề cập đến thiết bị hiển thị bao gồm panen hiển thị bao gồm các miếng đệm hiển thị thứ nhất và các miếng đệm hiển thị thứ hai được đặt cách xa khỏi các miếng đệm hiển thị thứ nhất, bảng mạch chính, bảng mạch mềm thứ nhất mà nối bảng mạch chính với các miếng đệm hiển thị thứ nhất, bảng mạch mềm thứ hai nối bảng mạch chính với các miếng đệm hiển thị thứ hai và chồng lên ít nhất một phần của bảng mạch mềm thứ nhất, các bộ phận bức xạ nhiệt trên bảng mạch mềm thứ nhất và thứ hai, và bộ phận ngăn biến dạng được đặt cách xa khỏi các bộ phận bức xạ nhiệt và được bố trí trên ít nhất một trong số bảng mạch mềm thứ nhất và thứ hai. Bộ phận ngăn biến dạng bao gồm kim loại.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị, và cụ thể hơn là thiết bị hiển thị có độ bền được cải thiện.

Tình trạng kỹ thuật của sáng chế

Thiết bị hiển thị có thể có kết cấu trong đó bảng mạch được nối với panen hiển thị sau khi chế tạo. Trong thiết bị hiển thị này, ví dụ, sơ đồ gắn kết tự động bằng băng (“tape automated bonding - TAB”), mà sử dụng màng dẫn điện dị hướng (“ACF”), có thể được sử dụng để gắn kết bảng mạch với panen hiển thị.

Bản chất kỹ thuật của sáng chế

Phương án theo sáng chế đề xuất thiết bị hiển thị mà ngăn ngừa xuất hiện các sai sót trong bảng mạch khi màng dẫn điện dị hướng được gắn kết.

Theo một phương án của sáng chế, thiết bị hiển thị bao gồm: panen hiển thị bao gồm các miếng đệm hiển thị thứ nhất được bố trí theo hướng thứ nhất và các miếng đệm hiển thị thứ hai được bố trí theo hướng thứ nhất, trong đó các miếng đệm hiển thị thứ hai được đặt cách xa khỏi các miếng đệm hiển thị thứ nhất theo hướng thứ hai, và hướng thứ hai giao với hướng thứ nhất; bảng mạch chính; bảng mạch mềm thứ nhất nối bảng mạch chính với các miếng đệm hiển thị thứ nhất; bảng mạch mềm thứ hai nối bảng mạch chính với các miếng đệm hiển thị thứ hai và chồng lên ít nhất một phần của bảng mạch mềm thứ nhất; các bộ phận bức xạ nhiệt trên bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai; và bộ phận ngăn biến dạng được đặt cách xa khỏi các bộ phận bức xạ nhiệt và được bố trí trên ít nhất một trong số bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai, trong đó bộ phận ngăn biến dạng bao gồm kim loại.

Theo một phương án, bảng mạch mềm thứ nhất có thể bao gồm bề mặt trên thứ nhất, bề mặt dưới thứ nhất đối diện với bề mặt trên thứ nhất, các miếng đệm bảng thứ nhất được lộ ra từ bề mặt dưới thứ nhất và được nối với các miếng đệm hiển thị thứ nhất và bảng mạch chính, và chip điều khiển thứ nhất trên bề mặt dưới thứ nhất. Theo phương án này, bảng mạch mềm thứ hai có thể bao gồm bề mặt trên thứ hai, bề mặt

dưới thứ hai đối diện với bề mặt trên thứ hai, tại đó bề mặt dưới thứ hai che phủ ít nhất một phần của bề mặt trên thứ nhất, các miếng đệm hiển thị thứ hai được lộ ra từ bề mặt dưới thứ hai và được nối với các miếng đệm hiển thị thứ hai và bảng mạch chính, và chip điều khiển thứ hai trên bề mặt dưới thứ hai. Theo phương án này, chip điều khiển thứ nhất và chip điều khiển thứ hai có thể được đặt cách xa khỏi nhau khi được quan sát trên hình chiếu bằng.

Theo một phương án, bộ phận ngăn biến dạng có thể được bố trí trên ít nhất một trong số bề mặt trên thứ nhất và bề mặt trên thứ hai.

Theo một phương án, bộ phận ngăn biến dạng có thể được bố trí trên ít nhất một trong số bề mặt dưới thứ nhất và bề mặt dưới thứ hai, và bộ phận ngăn biến dạng này có thể được đặt cách xa khỏi chip điều khiển thứ nhất và chip điều khiển thứ hai.

Theo một phương án, bộ phận ngăn biến dạng có thể được bố trí trên bề mặt giống với bề mặt mà các bộ phận bức xạ nhiệt được bố trí trên đó.

Theo một phương án, bộ phận ngăn biến dạng có thể được bố trí trên bề mặt khác với bề mặt mà các bộ phận bức xạ nhiệt được bố trí trên đó.

Theo một phương án, mỗi bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai có thể bao gồm lớp điện môi, các đường tín hiệu bằng trên lớp điện môi, lớp chống hàn, trong đó khoảng hở được tạo ra để làm lộ ra một phần của các đường tín hiệu bằng, và các miếng đệm bằng, mỗi bộ phận này được nối với một phần của đường tín hiệu bằng tương ứng trong số các đường tín hiệu bằng. Theo phương án này, một phần của đường tín hiệu bằng tương ứng có thể được lộ ra qua khoảng hở, và miếng đệm bằng của bảng mạch mềm thứ nhất và miếng đệm bằng của bảng mạch mềm thứ hai có thể được nối với các miếng đệm hiển thị thứ nhất và các miếng đệm hiển thị thứ hai thông qua các màng dẫn điện dị hướng.

Theo một phương án, miếng đệm bằng của bảng mạch mềm thứ nhất có thể bao gồm các miếng đệm đầu ra thứ nhất được nối với các miếng đệm hiển thị thứ nhất và các miếng đệm đầu vào thứ nhất được nối với bảng mạch chính, và miếng đệm bằng của bảng mạch mềm thứ hai có thể bao gồm các miếng đệm đầu ra thứ hai được nối

với các miếng đệm hiển thị thứ hai và các miếng đệm đầu vào thứ hai được nối với bảng mạch chính.

Theo một phương án, bảng mạch mềm thứ nhất có thể bao gồm phân đoạn đầu ra thứ nhất, tại đó các miếng đệm đầu ra thứ nhất được bố trí, phân đoạn đầu vào thứ nhất, tại đó các miếng đệm đầu vào thứ nhất được bố trí, và phân đoạn nối thứ nhất mà nối phân đoạn đầu ra thứ nhất với phân đoạn đầu vào thứ nhất, và bảng mạch mềm thứ hai có thể bao gồm phân đoạn đầu ra thứ hai, tại đó các miếng đệm đầu ra thứ hai được bố trí, phân đoạn đầu vào thứ hai, tại đó các miếng đệm đầu vào thứ hai được bố trí, và phân đoạn nối thứ hai mà nối phân đoạn đầu ra thứ hai với phân đoạn đầu vào thứ hai. Theo phương án này, phân đoạn đầu vào thứ nhất và phân đoạn đầu vào thứ hai có thể được đặt cách xa khỏi nhau.

Theo một phương án, phân đoạn đầu ra thứ hai có thể che phủ ít nhất một phần của phân đoạn đầu ra thứ nhất.

Mô tả vắn tắt các hình vẽ

Các dấu hiệu trên và các dấu hiệu khác của sáng chế sẽ trở nên rõ ràng nhờ việc tham khảo phần mô tả chi tiết sau đây khi được xem xét cùng với các hình vẽ đi kèm, trong đó:

Fig.1 minh họa hình chiếu phối cảnh thể hiện thiết bị hiển thị theo một phương án của sáng chế;

Fig.2 minh họa hình chiếu bằng thể hiện thiết bị hiển thị theo một phương án của sáng chế;

Fig.3A và Fig.3B minh họa hình vẽ mặt cắt thể hiện vùng hiển thị của panen hiển thị theo một phương án của sáng chế;

Fig.4A minh họa hình chiếu bằng phóng đại thể hiện thiết bị hiển thị theo một phương án của sáng chế;

Fig.4B minh họa hình chiếu bằng phóng đại thể hiện panen hiển thị theo một phương án của sáng chế;

Fig.5A minh họa hình vẽ mặt cắt theo đường I-I' của Fig.4A;

Fig.5B và Fig.5C minh họa hình chiếu nhìn từ dưới lên thể hiện bảng mạch mềm theo một phương án của sáng chế;

Fig.6A minh họa hình vẽ mặt cắt phóng đại thể hiện phần AA của Fig.5A;

Fig.6B minh họa hình vẽ mặt cắt phóng đại thể hiện phần BB của Fig.5A;

Fig.7A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế của sáng chế;

Fig.7B minh họa hình vẽ mặt cắt theo đường II-II' của Fig.7A;

Fig.8A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế;

Fig.8B minh họa hình vẽ mặt cắt theo đường III-III' của Fig.8A;

Fig.9A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế;

Fig.9B minh họa hình vẽ mặt cắt theo đường IV-IV' của Fig.9A; và

Fig.10 minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế sẽ được mô tả đầy đủ hơn sau đây kèm theo tham khảo các hình vẽ đi kèm, trong đó nhiều phương án khác nhau được thể hiện. Tuy nhiên, sáng chế có thể được thể hiện ở nhiều dạng khác nhau, và không nên được hiểu là bị giới hạn vào các phương án được nêu trong bản mô tả. Các phương án này được cung cấp sao cho phần mô tả này sẽ là rõ ràng và hoàn chỉnh, và sẽ bộc lộ đầy đủ phạm vi của sáng chế với người có hiểu biết trung bình trong lĩnh vực.

Trong phần mô tả này, cần phải hiểu rằng khi chi tiết hoặc lớp được đề cập là "nằm trên", "được nối với" hoặc "được ghép với" chi tiết hoặc lớp khác, chi tiết hoặc lớp này có thể trực tiếp nằm trên, được nối hoặc được ghép với chi tiết hoặc lớp khác đó hoặc chi tiết hoặc lớp xen giữa có thể có mặt. Ngược lại, thuật ngữ "trực tiếp nằm trên", "được nối trực tiếp với" hoặc "được ghép trực tiếp với" có nghĩa là không có chi tiết xen giữa.

Các số giống nhau để chỉ các thành phần cấu tạo giống nhau. Ngoài ra, trên các hình vẽ, độ dày, tỷ lệ và kích thước của các thành phần cấu tạo được phóng đại để giải thích các nội dung kỹ thuật một cách hiệu quả.

Thuật ngữ được sử dụng ở đây chỉ nhằm mục đích mô tả các phương án cụ thể và không được dự định là làm giới hạn sáng chế. Như được sử dụng ở đây, dạng số ít “một” được dự tính bao gồm các dạng số nhiều, bao gồm “ít nhất một”, trừ khi nội dung này được quy định khác một cách rõ ràng. “Hoặc” có nghĩa là “và/hoặc”. Như được sử dụng ở đây, thuật ngữ “và/hoặc” bao gồm tổ hợp bất kỳ và toàn bộ các tổ hợp của một hoặc nhiều đối tượng được liệt kê kèm theo.

Cần phải hiểu rằng, mặc dù các thuật ngữ thứ nhất, thứ hai, v.v. có thể được sử dụng ở đây để mô tả các thành phần cấu tạo khác nhau, các thành phần cấu tạo này không bị giới hạn bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một thành phần cấu tạo với một thành phần cấu tạo khác. Ví dụ, thành phần cấu tạo thứ nhất có thể được gọi là thành phần cấu tạo thứ hai và ngược lại mà không vượt ra khỏi phạm vi của sáng chế. Trừ khi ngữ cảnh thể hiện khác một cách rõ ràng, các dạng số ít được dự tính là bao gồm luôn các dạng số nhiều.

Ngoài ra, các thuật ngữ “nằm dưới”, “dưới”, “ở trên”, “trên” và các thuật ngữ tương tự được sử dụng ở đây để mô tả mối quan hệ của một thành phần cấu tạo với (các) thành phần cấu tạo khác được minh họa trên các hình vẽ. Các thuật ngữ tương đối được dự tính để bao hàm các hướng khác nhau ngoài chiều hướng được mô tả trên các hình vẽ. Ví dụ, nếu thiết bị trên các hình vẽ được lật ngược lại, thì các chi tiết được mô tả là “ở dưới” hoặc “nằm dưới” các chi tiết hoặc đặc điểm khác sẽ được định hướng là “ở trên” các chi tiết hoặc đặc điểm khác đó. Do đó, thuật ngữ “ở dưới” lấy ví dụ có thể bao hàm cả hai hướng ở trên và ở dưới. Thiết bị này có thể được định hướng theo cách khác (được xoay 90 độ hoặc theo các hướng khác) và các thuật ngữ mô tả tương đối về không gian được sử dụng ở đây sẽ được hiểu theo đó.

Trừ khi được định nghĩa khác, tất cả các thuật ngữ được sử dụng ở đây bao gồm các thuật ngữ khoa học và kỹ thuật có ý nghĩa giống như thường được hiểu bởi người

có hiểu biết trung bình trong lĩnh vực kỹ này. Ngoài ra, các thuật ngữ như được định nghĩa trong các từ điển thường được sử dụng cần được hiểu là có nghĩa giống hệt hoặc nghĩa được xác định theo ngữ cảnh trong lĩnh vực này và không nên được hiểu là nghĩa lý tưởng hoặc hình thức quá mức trừ khi được định nghĩa chắc chắn trong bản mô tả.

Cần phải hiểu rằng các thuật ngữ “gồm có”, “bao gồm”, “có” và các thuật ngữ tương tự được sử dụng để chỉ rõ sự có mặt của các dấu hiệu, số nguyên, bước, công đoạn, thành phần cấu tạo, chi tiết, hoặc tổ hợp của chúng, nhưng không loại trừ sự có mặt hoặc bổ sung một hoặc nhiều dấu hiệu, số nguyên, bước, công đoạn, thành phần cấu tạo, chi tiết khác hoặc tổ hợp của chúng.

Các phương án được mô tả ở đây cùng với việc tham khảo các hình minh họa mặt cắt và/hoặc hình minh họa phẳng là các hình minh họa lấy ví dụ lý tưởng. Trên các hình vẽ này, độ dày của các lớp và các vùng được phóng đại để cho rõ ràng. Theo đó, các biến đổi so với hình dạng trên các hình minh họa do, ví dụ, kỹ thuật sản xuất và/hoặc dung sai cần phải được chấp nhận. Do đó, các phương án này không nên được hiểu là bị giới hạn ở các hình dạng của các vùng được minh họa trong bản mô tả, mà cần phải bao gồm các sai lệch về hình dạng do, ví dụ, quá trình sản xuất. Ví dụ, thông thường vùng khắc ăn mòn được minh họa là hình chữ nhật sẽ có đặc điểm tròn hoặc cong. Do đó, các vùng được minh họa trên các hình vẽ là giản lược về bản chất và hình dạng của chúng không được dự tính là minh họa hình dạng thực tế của vùng của thiết bị và không được dự tính là sẽ làm giới hạn phạm vi của các phương án này.

Sau đây, các phương án của sáng chế sẽ được mô tả chi tiết kèm theo tham khảo các hình vẽ đi kèm.

Fig.1 minh họa hình chiếu phối cảnh thể hiện thiết bị hiển thị theo một phương án của sáng chế. Fig.2 minh họa hình chiếu bằng thể hiện thiết bị hiển thị theo một phương án của sáng chế. Fig.3A và Fig.3B minh họa hình vẽ mặt cắt thể hiện vùng hiển thị của panen hiển thị theo một phương án của sáng chế.

Tham chiếu Fig.1 và Fig.2, thiết bị hiển thị DD theo một phương án bao gồm

panen hiển thị DP, các bảng mạch mềm FPCB1 và FPCB2, bảng mạch chính MPCB, các bộ phận ngăn biến dạng DPM1 và DPM2, và các bộ phận bức xạ nhiệt DTM1 và DTM2.

Mặc dù không được thể hiện, thiết bị hiển thị DD còn có thể bao gồm bộ phận khuôn hoặc bộ phận tạo khuôn, và còn bao gồm thêm bộ chiếu sáng ngược, dựa trên loại panen hiển thị DP.

Panen hiển thị DP có thể là một trong số panen hiển thị tinh thể lỏng, panen hiển thị plasma, panen hiển thị điện di, panen hiển thị hệ vi cơ điện tử (microelectromechanical system - “MEMS”), panen hiển thị điện âm và panen hiển thị phát sáng hữu cơ, nhưng sáng chế không bị giới hạn ở đó.

Panen hiển thị DP có thể bao gồm nền hiển thị thứ nhất 100 và nền hiển thị thứ hai 200 hướng về và được đặt cách xa khỏi nền hiển thị thứ nhất 100. Panen hiển thị DP còn có thể bao gồm lớp hiển thị thang độ xám để hiển thị hình ảnh giữa nền hiển thị thứ nhất 100 và nền hiển thị thứ hai 200. Lớp hiển thị thang độ xám này có thể bao gồm lớp tinh thể lỏng, lớp phát sáng hữu cơ, lớp điện di hoặc các lớp tương tự, dựa trên loại panen hiển thị DP.

Theo một phương án, như được thể hiện trên Fig.1, panen hiển thị DP có thể hiển thị hình ảnh trên bề mặt hiển thị DP-IS. Bề mặt hiển thị DP-IS song song với mặt phẳng được xác định bởi trục có hướng thứ nhất DR1 và trục có hướng thứ hai DR2. Bề mặt hiển thị DP-IS có thể bao gồm vùng hiển thị DA và vùng không hiển thị NDA. Vùng không hiển thị NDA được tạo ra dọc theo mép của bề mặt hiển thị DP-IS. Vùng không hiển thị NDA có thể bao quanh vùng hiển thị DA. Theo một phương án, vùng không hiển thị NDA có thể chỉ được bố trí trên phần một phía của vùng hiển thị DA, trong đó phần một phía này nằm liền kề với các bảng mạch mềm FPCB1 và FPCB2.

Trục có hướng thứ ba DR3 chỉ rõ hướng trục giao của bề mặt hiển thị DP-IS hoặc hướng độ dày của panen hiển thị DP. Trục có hướng thứ ba DR3 phân biệt bề mặt trước (hoặc bề mặt trên) với bề mặt sau (hoặc bề mặt dưới) của mỗi bộ phận sẽ được đề cập dưới đây. Tuy nhiên, trục có hướng thứ nhất DR1, trục có hướng thứ hai

DR2 và trục có hướng thứ ba DR3 chỉ mang tính ví dụ. Các hướng thứ nhất, thứ hai, và thứ ba được xác định sau đây để chỉ các hướng lần lượt được chỉ ra bởi trục có hướng thứ nhất DR1, trục có hướng thứ hai DR2 và trục có hướng thứ ba DR3, và được gán cùng các số tham chiếu với nhau.

Theo một phương án, như được thể hiện trên Fig.1, panen hiển thị DP có thể có bề mặt hiển thị phẳng, nhưng sáng chế không bị giới hạn ở đó. Thiết bị hiển thị DD có thể bao gồm bề mặt hiển thị cong hoặc bề mặt hiển thị lập phương. Bề mặt hiển thị lập phương này có thể bao gồm các vùng hiển thị được định hướng theo các hướng khác nhau.

Bộ điều khiển tín hiệu SC có thể được bố trí hoặc được lắp trên bảng mạch chính MPCB. Bộ điều khiển tín hiệu SC tiếp nhận dữ liệu hình ảnh và điều khiển tín hiệu từ bộ điều khiển đồ họa (không được thể hiện) được bố trí bên trong. Bộ điều khiển tín hiệu SC có thể cung cấp tín hiệu điều khiển cho panen hiển thị DP.

Các bảng mạch mềm FPCB1 và FPCB2 có thể được ghép với panen hiển thị DP và bảng mạch chính MPCB thông qua bộ phận dính dẫn điện. Bộ phận dính dẫn điện này có thể bao gồm màng dẫn điện dị hướng ("ACF"). ACF này sẽ được mô tả chi tiết hơn dưới đây.

Theo một phương án, các bảng mạch mềm FPCB1 và FPCB2 có thể bao gồm bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2, và mỗi bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2 có thể được bố trí với số lượng nhiều. Theo một phương án, hai loại bảng mạch mềm FPCB1 và FPCB2 có thể được ghép với các hàng miếng đệm khác nhau trên mỗi vùng đệm hiển thị PDA. Theo một phương án, vùng đệm hiển thị PDA có thể được tạo ra trên nền hiển thị thứ nhất 100, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án thay thế, vùng đệm hiển thị PDA có thể được tạo ra trên nền hiển thị thứ hai 200.

Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể bao gồm bộ phận ngăn biến dạng thứ nhất DPM1 và bộ phận ngăn biến dạng thứ hai DPM2, và mỗi bộ phận ngăn biến dạng thứ nhất DPM1 và bộ phận ngăn biến dạng thứ hai DPM2 có thể được

bố trí với số lượng nhiều. Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể được bố trí tương ứng trên các bảng mạch mềm FPCB1 và FPCB2. Theo một phương án, ví dụ, bộ phận ngăn biến dạng thứ nhất DPM1 và bộ phận ngăn biến dạng thứ hai DPM2 có thể được bố trí lần lượt trên bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2.

Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể được lắng đọng và tạo mẫu trên các bảng mạch mềm FPCB1 và FPCB2, hoặc bằng dính có thể được bố trí tách biệt để gắn các bộ phận ngăn biến dạng DPM1 và DPM2 với các bảng mạch mềm FPCB1 và FPCB2. Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể được bố trí trên các bảng mạch mềm FPCB1 và FPCB2, và có thể gia tăng độ cứng của các bảng mạch mềm FPCB1 và FPCB2.

Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể bao gồm vật liệu phục hồi. Theo một phương án, ví dụ, các bộ phận ngăn biến dạng DPM1 và DPM2 có thể bao gồm ít nhất một vật liệu được chọn từ polyetylen terephthalat (“PET”), polyimide (“PI”), nhôm (Al), đồng (Cu), silicon, cao su, Teflon®, băng ACE®, băng vải, băng OAM, băng OPP và băng TPU.

Fig.1 thể hiện một phương án, trong đó bộ phận ngăn biến dạng thứ nhất DPM1 và bộ phận ngăn biến dạng thứ hai DPM2 được bố trí lần lượt trên bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2, nhưng sáng chế không bị giới hạn ở đó. Theo cách khác, một trong số bộ phận ngăn biến dạng thứ nhất DPM1 và bộ phận ngăn biến dạng thứ hai DPM2 có thể được loại bỏ.

Các bộ phận ngăn biến dạng DPM1 và DPM2 có thể ngăn ngừa sự biến dạng của các bảng mạch mềm FPCB1 và FPCB2. Khi các bảng mạch mềm FPCB1 và FPCB2 được ghép nối với panen hiển thị DP thông qua các ACF, các bảng mạch mềm FPCB1 và FPCB2 có thể bị nén với thanh công cụ ở nhiệt độ cao, sao cho các bảng mạch mềm FPCB1 và FPCB2 có thể bị biến dạng do nhiệt được truyền bởi sự bức xạ từ thanh công cụ ở nhiệt độ cao và/hoặc bởi sự dẫn nhiệt qua các bảng mạch mềm FPCB1 và FPCB2.

Theo các phương án của sáng chế, các bộ phận ngăn biến dạng DPM1 và DPM2 được bao gồm để gia tăng độ cứng của các bảng mạch mềm FPCB1 và FPCB2, sao cho các bảng mạch mềm FPCB1 và FPCB2 có thể được ngăn chặn một cách hiệu quả để không bị biến dạng khi ACF được sử dụng để liên kết các bảng mạch mềm FPCB1 và FPCB2. Theo đó, trong phương án này, sự xếp thẳng hàng giữa các miếng đệm và để tạo ra thiết bị hiển thị DD có thể được cải thiện với độ bền gia tăng.

Theo một phương án, trong đó ACF được sử dụng để ghép nối các bảng mạch mềm FPCB1 và FPCB2 với panen hiển thị DP, các bộ phận ngăn biến dạng DPM1 và DPM2 bao gồm kim loại, chẳng hạn như nhôm (Al) hoặc đồng (Cu), được chọn từ các vật liệu chịu nhiệt.

Các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể bao gồm bộ phận bức xạ nhiệt thứ nhất DTM1 và bộ phận bức xạ nhiệt thứ hai DTM2, và mỗi bộ phận bức xạ nhiệt thứ nhất DTM1 và bộ phận bức xạ nhiệt thứ hai DTM2 có thể được bố trí với số lượng nhiều. Các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể được bố trí tương ứng trên các bảng mạch mềm FPCB1 và FPCB2. Theo một phương án, ví dụ, bộ phận bức xạ nhiệt thứ nhất DTM1 và bộ phận bức xạ nhiệt thứ hai DTM2 có thể được bố trí lần lượt trên bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2.

Theo một phương án, các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể được bố trí để được đặt cách xa khỏi các bộ phận ngăn biến dạng DPM1 và DPM2 qua các bảng mạch mềm FPCB1 và FPCB2. Theo một phương án, ví dụ, bộ phận bức xạ nhiệt thứ nhất DTM1 có thể được bố trí để được đặt cách xa khỏi bộ phận ngăn biến dạng thứ nhất DPM1 qua bảng mạch mềm thứ nhất FPCB1, và bộ phận bức xạ nhiệt thứ hai DTM2 có thể được bố trí để được đặt cách xa khỏi bộ phận ngăn biến dạng thứ hai DPM2 qua bảng mạch mềm thứ hai FPCB2.

Các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể được lắng đọng và tạo mẫu trên các bảng mạch mềm FPCB1 và FPCB2, hoặc băng dính có thể được bố trí tách biệt để gắn các bộ phận bức xạ nhiệt DTM1 và DTM2 với các bảng mạch mềm FPCB1 và FPCB2. Các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể được bố trí trên

các bảng mạch mềm FPCB1 và FPCB2, và có thể hấp thụ nhiệt được tạo ra từ các bảng mạch mềm FPCB1 và FPCB2, sao cho tổn hại đối với các bảng mạch mềm FPCB1 và FPCB2 do nhiệt có thể được ngăn chặn một cách hiệu quả.

Các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể bao gồm hợp chất polyme chịu nhiệt. Theo một phương án, ví dụ, các bộ phận bức xạ nhiệt DTM1 và DTM2 có thể bao gồm ít nhất một vật liệu được chọn từ PET và PI.

Fig.2 thể hiện mối quan hệ bố trí trên mặt phẳng giữa các điểm ảnh từ PX11 đến PXnm và các đường tín hiệu từ GL1 đến GLn, từ DL1 đến DLM và PL-D. Các đường tín hiệu từ GL1 đến GLn, từ DL1 đến DLM và PL-D có thể bao gồm các đường cổng (gate line) từ GL1 đến GLn, các đường dữ liệu từ DL1 đến DLM và các đường tín hiệu hỗ trợ PL-D.

Các đường cổng từ GL1 đến GLn kéo dài theo hướng thứ nhất DR1 và được bố trí theo hướng thứ hai DR2, và các đường dữ liệu từ DL1 đến DLM được ngăn cách với và giao với các đường cổng từ GL1 đến GLn. Các đường cổng từ GL1 đến GLn và các đường dữ liệu từ DL1 đến DLM được bố trí để chồng lên vùng hiển thị DA. Các đường tín hiệu hỗ trợ PL-D được bố trí để chồng lên vùng không hiển thị NDA, và được nối với các đường cổng từ GL1 đến GLn và các đường dữ liệu từ DL1 đến DLM.

Theo một phương án, đường tín hiệu hỗ trợ thứ hai PL-D được nối với các đường dữ liệu từ DL1 đến DLM có thể được bố trí trong một lớp khác với lớp mà tại đó các đường dữ liệu từ DL1 đến DLM được bố trí. Theo phương án này, các đường dữ liệu từ DL1 đến DLM có thể được nối điện với đường tín hiệu hỗ trợ thứ hai PL-D tương ứng thông qua các lỗ tiếp xúc CH. Các lỗ tiếp xúc CH được tạo ra qua lớp điện môi giữa các đường dữ liệu từ DL1 đến DLM và các đường tín hiệu hỗ trợ thứ hai PL-D. Fig.2 thể hiện một phương án, trong đó hai lỗ tiếp xúc CH được tạo ra.

Theo một phương án thay thế, các lỗ tiếp xúc CH có thể được loại bỏ. Theo phương án này, các đường dữ liệu từ DL1 đến DLM và các đường tín hiệu hỗ trợ thứ hai PL-D có thể được bố trí trong cùng một lớp với nhau. Theo phương án này, một đường tín hiệu đơn có thể được tạo ra để bao gồm một trong số các đường dữ liệu từ

DL1 đến D_{Lm} và một trong số các các đường tín hiệu hỗ trợ thứ hai PL-D tương ứng, được nối với một trong số các đường dữ liệu từ DL1 đến D_{Lm}. Một trong số các đường dữ liệu từ DL1 đến D_{Lm} và một trong số các các đường tín hiệu hỗ trợ thứ hai PL-D tương ứng có thể được xác định bởi các phần khác nhau của một đường tín hiệu đơn này.

Các điểm ảnh từ PX11 đến PX_{Nm} có thể được bố trí trong vùng hiển thị DA. Không điểm ảnh nào từ PX11 đến PX_{Nm} có thể được bố trí trong vùng không hiển thị NDA. Mỗi điểm ảnh từ PX11 đến PX_{Nm} được nối với một trong số các đường công tương ứng từ GL1 đến GL_N và với một trong số các đường dữ liệu tương ứng từ DL1 đến D_{Lm} tương ứng. Mỗi điểm ảnh từ PX11 đến PX_{Nm} có thể bao gồm mạch điều khiển điểm ảnh và chi tiết hiển thị.

Theo một phương án, các điểm ảnh từ PX11 đến PX_{Nm} có thể được bố trí theo hình ma trận, nhưng sáng chế không bị giới hạn ở đó. Theo cách khác, các điểm ảnh từ PX11 đến PX_{Nm} có thể được bố trí theo hình pentile. Theo phương án này, các điểm ảnh từ PX11 đến PX_{Nm} có thể được bố trí theo hình kim cương.

Theo một phương án, như được thể hiện trên Fig.2, hai hàng miếng đệm PD1 và PD2 được tạo ra trên mỗi vùng đệm hiển thị PDA. Mỗi hàng miếng đệm trong số hai hàng miếng đệm PD1 và PD2 bao gồm các miếng đệm được bố trí theo hướng thứ nhất DR1. Hàng miếng đệm hiển thị thứ nhất PD1 và hàng miếng đệm hiển thị thứ hai PD2 được đặt cách xa theo hướng thứ hai DR2 giao với hướng thứ nhất DR1. Theo một phương án được lấy làm ví dụ, hàng miếng đệm hiển thị thứ hai PD2 được bố trí xa mép E-DP của panen hiển thị DP hơn so với hàng miếng đệm hiển thị thứ nhất PD1 theo hướng thứ hai DR2 và gần vùng hiển thị DA hơn so với hàng miếng đệm hiển thị thứ nhất PD1 theo hướng thứ hai DR2. Các miếng đệm của hàng miếng đệm thứ nhất PD1 và hàng miếng đệm thứ hai PD2 được nối lần lượt với các đường tín hiệu hỗ trợ thứ hai PL-D tương ứng.

Mạch điều khiển cổng GDC có thể được tích hợp trên panen hiển thị DP thông qua quy trình mạch điều khiển cổng oxit silicon (“OSG”) hoặc quy trình mạch điều

khíen cổng silicon vô định hình (“ASG”).

Fig.3A và Fig.3B minh họa hình vẽ mặt cắt thể hiện vùng hiển thị DA của panen hiển thị DP theo một phương án của sáng chế. Fig.3A minh họa hình vẽ mặt cắt thể hiện điểm ảnh PX của panen hiển thị tinh thể lỏng, và Fig.3B minh họa hình vẽ mặt cắt thể hiện điểm ảnh PX của panen hiển thị phát sáng hữu cơ.

Tham chiếu Fig.3A, theo một phương án, lớp tinh thể lỏng LC có thể được bao gồm làm lớp hiển thị thang độ xám của panen hiển thị DP. Theo phương án này, panen hiển thị DP có thể là panen hiển thị tinh thể lỏng. Điểm ảnh PX của panen hiển thị tinh thể lỏng có thể bao gồm tranzito TR, tụ điện tinh thể lỏng Clc, và tụ điện lưu trữ Cst.

Tranzito TR bao gồm điện cực điều khiển GE được nối với đường cổng, phần kích hoạt AL chồng lên điện cực điều khiển GE, điện cực đầu vào SE được nối với đường dữ liệu, và điện cực đầu ra DE được đặt cách xa khỏi điện cực đầu vào SE. Tụ điện tinh thể lỏng Clc bao gồm điện cực điểm ảnh PE và điện cực thường CE. Tụ điện lưu trữ Cst bao gồm điện cực điểm ảnh PE và một phần của đường lưu trữ STL chồng lên điện cực điểm ảnh PE.

Điện cực điều khiển GE và đường lưu trữ STL được bố trí trên bề mặt (hoặc trên mặt trên) của nền cơ sở thứ nhất BS1. Nền cơ sở thứ nhất BS1 có thể là một trong số nền thủy tinh, nền nhựa, và nền bao gồm PI. Lớp điện môi thứ nhất 10 được bố trí trên bề mặt của nền cơ sở thứ nhất BS1 để che phủ điện cực điều khiển GE và đường lưu trữ STL. Lớp điện môi thứ nhất 10 có thể bao gồm ít nhất vật liệu được chọn từ vật liệu vô cơ và vật liệu hữu cơ.

Phần kích hoạt AL được bố trí trên lớp điện môi thứ nhất 10 để chồng lên điện cực điều khiển GE. Phần kích hoạt AL có thể bao gồm lớp bán dẫn SCL và lớp tiếp xúc thuận trở OCL. Lớp bán dẫn SCL được bố trí trên lớp điện môi thứ nhất 10, và lớp tiếp xúc thuận trở OCL được bố trí trên lớp bán dẫn SCL.

Theo một phương án, lớp bán dẫn SCL có thể bao gồm silicon vô định hình hoặc silicon tinh thể. Theo cách khác, lớp bán dẫn SCL có thể bao gồm chất bán dẫn oxit kim loại. Lớp tiếp xúc thuận trở OCL có thể bao gồm các tạp chất được pha tạp

vào nhiều hơn so với các tạp chất của lớp bán dẫn SCL. Theo một phương án, lớp tiếp xúc thuận trở OCL có thể bao gồm hai phân đoạn được đặt cách xa khỏi nhau. Theo một phương án thay thế, lớp tiếp xúc thuận trở OCL có thể được tạo ra nguyên khối như là một thể đơn nhất duy nhất.

Điện cực đầu ra DE và điện cực đầu vào SE được bố trí trên phần kích hoạt AL. Điện cực đầu ra DE và điện cực đầu vào SE được đặt cách xa khỏi nhau. Lớp điện môi thứ hai 20 được bố trí trên lớp điện môi thứ nhất 10 được tạo ra trên đó để che phủ phần kích hoạt AL, điện cực đầu ra DE và điện cực đầu vào SE. Lớp điện môi thứ ba 30 được bố trí trên lớp điện môi thứ hai 20. Lớp điện môi thứ hai 20 và lớp điện môi thứ ba 30 có thể bao gồm ít nhất một vật liệu được chọn từ vật liệu vô cơ và vật liệu hữu cơ. Lớp điện môi thứ ba 30 có thể là lớp hữu cơ đơn tạo ra bề mặt được dàn phẳng trên các chi tiết bên dưới đó. Theo một phương án, lớp điện môi thứ ba 30 có thể bao gồm các bộ lọc màu. Lớp điện môi thứ tư 40 được bố trí trên lớp điện môi thứ ba 30. Lớp điện môi thứ tư 40 có thể là lớp vô cơ che phủ bộ lọc màu.

Theo một phương án, như được thể hiện trên Fig.3A, điện cực điểm ảnh PE được bố trí trên lớp điện môi thứ tư 40. Điện cực điểm ảnh PE được nối với điện cực đầu ra DE thông qua lỗ tiếp xúc CH được tạo ra qua lớp điện môi thứ hai 20, lớp điện môi thứ ba 30 và lớp điện môi thứ tư 40. Lớp xếp thẳng hàng (không được thể hiện) có thể được bố trí trên lớp điện môi thứ tư 40 để che phủ điện cực điểm ảnh PE.

Nền cơ sở thứ hai BS2 có thể là một trong số nền thủy tinh, nền nhựa, và nền bao gồm PI. Lớp ma trận đen BM được bố trí trên bề mặt dưới của nền cơ sở thứ hai BS2. Theo một phương án, ví dụ, các khoảng hở được tạo ra qua lớp ma trận đen BM để tương ứng với các vùng điểm ảnh. Vùng đệm CS có thể được bố trí để chồng lên lớp ma trận đen BM.

Theo một phương án, các lớp điện môi được bố trí trên bề mặt dưới của nền cơ sở thứ hai BS2 để che phủ ma trận đen BM. Fig.3A minh họa phương án, trong đó lớp điện môi thứ năm 50 tạo ra bề mặt được dàn phẳng. Theo phương án này, lớp điện môi thứ năm 50 có thể bao gồm vật liệu hữu cơ.

Điện cực thường CE được bố trí trên bề mặt dưới của nền cơ sở thứ hai BS2. Lớp xếp thẳng hàng (không được thể hiện) có thể được bố trí trên điện cực thường CE.

Theo một phương án, điện cực thường CE có thể bao gồm kim loại truyền qua, chẳng hạn như oxit dẫn điện trong suốt (“TCO”).

Điện áp thường được đặt vào điện cực thường CE. Điện áp thường này có thể có giá trị giống hoặc khác với giá trị của điện áp điểm ảnh. Khi điện áp thường và điện áp điểm ảnh có cùng giá trị như nhau trong panen hiển thị tinh thể lỏng của chế độ thẳng hàng theo phương thẳng đứng (vertical alignment - “VA”), chênh lệch điện thế là 0, và trong trường hợp này, vùng hiển thị (xem DA của Fig.1) có thể hiển thị hình ảnh màu đen.

Mặt cắt của điểm ảnh PX được thể hiện trên Fig.3A chỉ mang tính ví dụ. Theo một phương án thay thế, nền hiển thị thứ nhất 100 và nền hiển thị thứ hai 200 có thể được lộn ngược lại theo hướng thứ ba DR3. Các bộ lọc màu có thể được bố trí trên nền hiển thị thứ hai 200.

Mặc dù panen hiển thị tinh thể lỏng của chế độ VA được mô tả theo cách lấy ví dụ có tham khảo Fig.3A, sáng chế không bị giới hạn ở đó và có thể được áp dụng cho panen hiển thị tinh thể lỏng của chế độ chuyển đổi trong mặt phẳng (in-plane switching - “IPS”), chế độ chuyển đổi trường giao thoa (fringe-field switching - “FFS”) hoặc chế độ chuyển đổi mặt phẳng thành đường thẳng (plane-to-line switching - “PLS”).

Tham chiếu Fig.3B, theo một phương án, lớp hiển thị thang độ xám của panen hiển thị DP có thể bao gồm lớp phát sáng hữu cơ. Theo phương án này, panen hiển thị DP có thể là panen hiển thị phát sáng hữu cơ. Điểm ảnh PX của panen hiển thị phát sáng hữu cơ có thể bao gồm tranzito chuyển đổi T1, tranzito điều khiển T2 và chi tiết phát sáng OLED.

Panen hiển thị phát sáng hữu cơ bao gồm nền hiển thị thứ nhất 100 (sau đây được gọi là nền hiển thị) và nền hiển thị thứ hai 200 (sau đây được gọi là nền đóng gói). Nền hiển thị 100 có thể bao gồm nền cơ sở thứ nhất BS1, lớp chi tiết mạch DP-

CL được bố trí trên nền cơ sở thứ nhất BS1, lớp chi tiết hiển thị DP-OLED được bố trí trên lớp chi tiết mạch DP-CL và lớp che phủ CL được bố trí trên lớp chi tiết hiển thị DP-OLED. Nền đóng gói 200 có thể bao gồm nền cơ sở thứ hai BS2, lớp ma trận đen BM được bố trí trên nền cơ sở thứ hai BS2, và lớp biến đổi màu CCL được bố trí trên lớp ma trận đen BM.

Nền cơ sở thứ nhất BS1 có thể là một trong số nền thủy tinh, nền nhựa, và nền bao gồm PI. Lớp chi tiết mạch DP-CL bao gồm lớp điện môi và chi tiết mạch. Chi tiết mạch này bao gồm đường tín hiệu, mạch điều khiển điểm ảnh hoặc tương tự. Lớp chi tiết mạch DP-CL có thể được tạo ra bởi các quy trình sản xuất trong đó lớp điện môi, lớp bán dẫn và lớp dẫn điện được phủ hoặc được lắng đọng, và bằng các quy trình tạo mẫu, trong đó kỹ thuật in ảnh lito được sử dụng để tạo mẫu lớp điện môi, lớp bán dẫn và lớp dẫn điện.

Theo một phương án, lớp chi tiết mạch DP-CL có thể bao gồm lớp đệm BFL, lớp điện môi thứ nhất 10, lớp điện môi thứ hai 20 và lớp điện môi thứ ba 30. Lớp điện môi thứ nhất 10 và lớp điện môi thứ hai 20 có thể là các lớp vô cơ, và lớp điện môi thứ ba 30 có thể là lớp hữu cơ.

Fig.3B minh họa bằng cách lấy ví dụ mối quan hệ xếp thẳng hàng giữa mẫu bán dẫn thứ nhất OSP1, mẫu bán dẫn thứ hai OSP2, điện cực điều khiển thứ nhất GE1, điện cực điều khiển thứ hai GE2, điện cực đầu vào thứ nhất DE1, điện cực đầu ra thứ nhất SE1, điện cực đầu vào thứ hai DE2 và điện cực đầu ra thứ hai SE2 mà tạo thành tranzito chuyển đổi T1 và tranzito điều khiển T2. Lỗ thông thứ nhất CH1, lỗ thông thứ hai CH2, lỗ thông thứ ba CH3 và lỗ thông thứ tư CH4 cũng được minh họa bằng cách lấy ví dụ trên Fig.3B.

Lớp chi tiết hiển thị DP-OLED bao gồm chi tiết phát sáng OLED. Lớp chi tiết hiển thị DP-OLED có thể bao gồm diot phát sáng hữu cơ làm chi tiết phát sáng OLED. Lớp chi tiết hiển thị DP-OLED bao gồm lớp xác định điểm ảnh PDL. Theo một phương án, ví dụ, lớp xác định điểm ảnh PDL có thể là lớp hữu cơ.

Điện cực thứ nhất AE được bố trí trên lớp hữu cơ trung gian 30. Điện cực thứ

nhất AE được nối với điện cực đầu ra thứ hai SE2 thông qua lỗ thông thứ năm CH5 xuyên qua lớp hữu cơ trung gian 30. Khoảng hở OP được tạo ra trong lớp xác định điểm ảnh PDL. Khoảng hở OP của lớp xác định điểm ảnh PDL làm lộ ra ít nhất một phần của điện cực thứ nhất AE. Khoảng hở OP của lớp xác định điểm ảnh PDL còn được gọi là khoảng hở phát sáng.

Theo một phương án, như được thể hiện trên Fig.3B, panen hiển thị DP có thể bao gồm vùng phát sáng PXA và vùng không phát sáng NPXA liền kề với vùng phát sáng PXA. Vùng không phát sáng NPXA có thể bao quanh vùng phát sáng PXA. Theo một phương án, vùng phát sáng PXA được tạo ra để tương ứng với một phần của điện cực thứ nhất AE, mà một phần của nó được lộ ra khoảng hở phát sáng OP.

Lớp điều khiển lỗ HCL có thể được bố trí chung trên vùng phát sáng PXA và vùng không phát sáng NPXA. Lớp điều khiển lỗ HCL có thể bao gồm lớp vận chuyển lỗ, và còn bao gồm lớp phun lỗ. Lớp bức xạ EML được bố trí trên lớp điều khiển lỗ HCL. Lớp bức xạ EML có thể được bố trí chung trên vùng phát sáng PXA và vùng không phát sáng NPXA. Theo một phương án, lớp phát xạ EML có thể được bố trí trên vùng phát sáng PXA, nhưng không nằm trên vùng không phát sáng NPXA. Lớp phát xạ EML có thể bao gồm vật liệu hữu cơ và/hoặc vật liệu vô cơ. Lớp phát xạ EML có thể phát ánh sáng màu thứ nhất, ví dụ, ánh sáng màu lam.

Lớp điều khiển electron ECL được bố trí trên lớp phát xạ EML. Lớp điều khiển electron ECL có thể bao gồm lớp vận chuyển electron, và còn bao gồm lớp phun electron. Màn mở có thể được sử dụng theo cách sao cho lớp điều khiển lỗ HCL và lớp điều khiển electron ECL được tạo ra chung trên các điểm ảnh. Điện cực thứ hai CE được bố trí trên lớp điều khiển electron ECL. Điện cực thứ hai CE được đặt chung trên các điểm ảnh. Lớp che phủ CL có thể được bố trí và bảo vệ điện cực thứ hai CE. Lớp che phủ CL có thể bao gồm vật liệu hữu cơ hoặc vật liệu vô cơ.

Nền cơ sở thứ hai BS2 được bố trí để được đặt cách xa khỏi lớp che phủ CL. Nền cơ sở thứ hai BS2 có thể là một trong số nền thủy tinh, nền nhựa, và nền bao gồm PI). Phụ thuộc vào điểm ảnh PX, lớp biến đổi màu CCL có thể cho phép ánh sáng màu

thứ nhất truyền qua đó hoặc có thể biến đổi ánh sáng màu thứ nhất thành ánh sáng màu thứ hai hoặc ánh sáng màu thứ ba. Lớp biến đổi màu CCL có thể bao gồm chấm lượng tử.

Theo một phương án, nền đóng gói 200 có thể được thay thế bằng lớp đóng gói mỏng. Theo phương án này, lớp ma trận đen BM và lớp biến đổi màu CCL có thể được bố trí trên lớp đóng gói mỏng.

Fig.4A minh họa hình chiếu bằng phóng đại thể hiện thiết bị hiển thị theo một phương án của sáng chế. Fig.4B minh họa hình chiếu bằng phóng đại thể hiện panen hiển thị theo một phương án của sáng chế. Fig.5A là hình vẽ mặt cắt theo đường I-I' của Fig.4A. Fig.5B và Fig.5C minh họa hình chiếu nhìn từ dưới lên thể hiện bảng mạch mềm theo một phương án của sáng chế. Fig.6A minh họa hình vẽ mặt cắt phóng đại thể hiện phần AA của Fig.5A. Fig.6B minh họa hình vẽ mặt cắt phóng đại thể hiện phần BB của Fig.5A.

Vùng liên kết BDA của thiết bị hiển thị DD được xác định bởi miền mà tại đó các bảng mạch mềm FPCB1 và FPCB2 được ghép điện với vùng đệm hiển thị PDA của panen hiển thị DP. Các miếng đệm đầu ra được bao gồm trong mỗi bảng mạch mềm FPCB1 và FPCB2 chồng lên vùng đệm hiển thị PDA của panen hiển thị DP.

Theo một phương án, như được thể hiện trên Fig.4A và Fig.4B, hàng miếng đệm hiển thị thứ nhất PD1 và hàng miếng đệm hiển thị thứ hai PD2 được bố trí dọc theo các hàng khác nhau trên vùng đệm hiển thị PDA. Hàng miếng đệm hiển thị thứ nhất PD1 bao gồm các miếng đệm hiển thị thứ nhất PD1-P, và hàng miếng đệm hiển thị thứ hai PD2 bao gồm các miếng đệm hiển thị thứ hai PD2-P.

Các miếng đệm hiển thị thứ nhất PD1-P được bố trí cách xa khỏi nhau dọc theo hướng thứ nhất DR1. Các miếng đệm hiển thị thứ hai PD2-P được bố trí cách xa các miếng đệm hiển thị thứ nhất PD1-P theo hướng thứ hai DR2 và được bố trí cách xa khỏi nhau dọc theo hướng thứ nhất DR1.

Khi được quan sát từ mép E-DP hoặc theo hướng thứ hai DR2, mỗi miếng đệm hiển thị thứ hai PD2-P có thể được thấy giữa hai miếng đệm hiển thị thứ nhất PD1-P

cạnh nhau. Theo đó, khi được quan sát từ mép E-DP, các miếng đệm hiển thị thứ nhất PD1-P và các miếng đệm hiển thị thứ hai PD2-P có thể được bố trí luân phiên với nhau.

Bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2 có thể bao gồm miếng đệm (không được thể hiện) tương ứng với miếng đệm hiển thị thứ nhất PD1-P và miếng đệm hiển thị thứ hai PD2-P.

Theo một phương án, ví dụ, bảng mạch mềm thứ nhất FPCB1 có các miếng đệm đầu ra thứ nhất (không được thể hiện) được nối điện với các miếng đệm hiển thị thứ nhất PD1-P tương ứng, và bảng mạch mềm thứ hai FPCB2 có các miếng đệm đầu ra thứ hai (không được thể hiện) được nối điện với các miếng đệm hiển thị thứ hai PD2-P tương ứng.

Bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2 có thể lần lượt bao gồm chip điều khiển thứ nhất DC1 và chip điều khiển thứ hai DC2. Tín hiệu có thể được truyền từ bảng mạch chính MPCB đến các chip điều khiển DC1 và DC2, và tín hiệu này sau đó có thể được truyền từ các chip điều khiển DC1 và DC2 đến panen hiển thị DP. Theo một phương án, mỗi chip điều khiển trong số các chip điều khiển DC1 và DC2 có thể là mạch điều khiển dữ liệu. Theo một phương án, các bảng mạch mềm FPCB1 và FPCB2 có thể truyền tín hiệu từ bộ điều khiển tín hiệu SC đến panen hiển thị DP.

Theo một phương án, các chip điều khiển DC1 và DC2 có thể được bố trí trong lớp giống với lớp mà trong đó các bộ phận bức xạ nhiệt DTM1 và DTM2 được bố trí, và khác với lớp mà trong đó các bộ phận ngăn biến dạng DPM1 và DPM2 được bố trí. Để thuận lợi cho việc mô tả, các đường chấm được sử dụng để chỉ ra các chip điều khiển DC1 và DC2 và các bộ phận bức xạ nhiệt DTM1 và DTM2 được bố trí trên các bề mặt dưới của các bảng mạch mềm FPCB1 và FPCB2.

Fig.5A thể hiện mối quan hệ được đơn giản hoá giữa bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2 được nối với panen hiển thị DP. Fig.5A, để thuận lợi cho việc minh họa và mô tả, các miếng đệm được bao gồm trong mỗi panen

hiển thị DP, bảng mạch mềm thứ nhất FPCB1 và bảng mạch mềm thứ hai FPCB2 được loại bỏ.

Theo một phương án, bảng mạch mềm thứ hai FPCB2 được bố trí trên bảng mạch mềm thứ nhất FPCB1. Bảng mạch mềm thứ hai FPCB2 có thể che phủ ít nhất một phần của bảng mạch mềm thứ nhất FPCB1. Theo một phương án của sáng chế, các bảng mạch mềm được bao gồm để nối với các miếng đệm được bố trí ở các hàng khác nhau, sao cho diện tích của vùng mà tại đó các miếng đệm hiển thị PD1-P và PD2-P được thể hiện trên Fig.4B được bố trí có thể được giảm bớt. Theo đó, theo phương án này, diện tích của vùng không hiển thị NDA, mà trên đó các miếng đệm hiển thị PD1-P và PD2-P được bố trí, có thể được giảm bớt và thiết bị hiển thị DD có thể có mép vát hẹp.

Tham chiếu Fig.5B và Fig.5C, theo một phương án, bảng mạch mềm thứ nhất FPCB1 bao gồm bề mặt trên thứ nhất F-U1 và bề mặt dưới thứ nhất F-B1 đối diện với bề mặt trên thứ nhất F-U1. Bảng mạch mềm thứ nhất FPCB1 bao gồm các đường tín hiệu bảng thứ nhất SL-1, chip điều khiển thứ nhất DC1 được bố trí trên bề mặt dưới thứ nhất F-B1, và các miếng đệm bảng thứ nhất F-PD1, M-PD1 và CPD được lộ ra từ bề mặt dưới thứ nhất F-B1.

Các miếng đệm bảng thứ nhất F-PD1, M-PD1, CPD có thể bao gồm các miếng đệm ghép nối CPD được ghép với các đầu cuối ghép nối của chip điều khiển thứ nhất DC1, các miếng đệm đầu ra thứ nhất F-PD1 được ghép với panen hiển thị DP, và các miếng đệm đầu vào thứ nhất M-PD1 được ghép với bảng mạch chính MPCB.

Các đường tín hiệu bảng thứ nhất SL-1 nối miếng đệm ghép nối CPD với các miếng đệm đầu ra thứ nhất F-PD1, và cũng nối miếng đệm ghép nối CPD với các miếng đệm đầu vào thứ nhất M-PD1. Theo một phương án, trong đó chip điều khiển thứ nhất DC1 được loại bỏ, các đường tín hiệu bảng thứ nhất SL-1 có thể nối các miếng đệm đầu ra thứ nhất F-PD1 với các miếng đệm đầu vào thứ nhất M-PD1.

Theo một phương án, bảng mạch mềm thứ nhất FPCB1 có thể được chia thành các phân đoạn. Theo một phương án, ví dụ, bảng mạch mềm thứ nhất FPCB1 có thể

bao gồm phân đoạn đầu ra thứ nhất P1-1 mà tại đó các miếng đệm đầu ra thứ nhất F-PD1 được bố trí, phân đoạn đầu vào thứ nhất P1-2 mà tại đó các miếng đệm đầu vào thứ nhất M-PD1 được bố trí, và phân đoạn nối thứ nhất P1-3 nối phân đoạn đầu ra thứ nhất P1-1 với phân đoạn đầu vào thứ nhất P1-2.

Phân đoạn đầu ra thứ nhất P1-1 có thể có chiều rộng theo hướng thứ nhất DR1 lớn hơn chiều rộng theo hướng thứ nhất DR1 của phân đoạn đầu vào thứ nhất P1-2. Do đó, khi được quan sát trên hình chiếu bằng, phân đoạn nối thứ nhất P1-3 có thể có cạnh nghiêng kéo dài từ phân đoạn đầu ra thứ nhất P1-1 đến phân đoạn đầu vào thứ nhất P1-2.

Theo một phương án, như được thể hiện trên Fig.5B, chip điều khiển thứ nhất DC1 có thể được bố trí trên phân đoạn đầu vào thứ nhất P1-2, nhưng sáng chế không bị giới hạn ở đó. Theo cách khác, chip điều khiển thứ nhất DC1 có thể được bố trí chỉ trên phân đoạn đầu ra thứ nhất P1-1 hoặc phân đoạn nối thứ nhất P1-3.

Theo một phương án, bảng mạch mềm thứ hai FPCB2 bao gồm bề mặt trên thứ hai F-U2 và bề mặt dưới thứ hai F-B2 đối diện với bề mặt trên thứ hai F-U2. Bảng mạch mềm thứ hai FPCB2 bao gồm các đường tín hiệu bảng thứ hai SL-2, chip điều khiển thứ hai DC2 được bố trí trên bề mặt dưới thứ hai F-B2, và các miếng đệm bảng thứ hai F-PD2, M-PD2, và CPD được lộ ra từ bề mặt dưới thứ hai F-B2.

Miếng đệm bảng thứ hai F-PD2, M-PD2, CPD có thể bao gồm các miếng đệm ghép nối CPD được ghép với các đầu cuối ghép nối của chip điều khiển thứ hai DC2, các miếng đệm đầu ra thứ hai F-PD2 được ghép với panen hiển thị DP và các miếng đệm đầu vào thứ hai M-PD2 được ghép với bảng mạch chính MPCB.

Các đường tín hiệu bảng thứ hai SL-2 nối các miếng đệm ghép nối CPD với các miếng đệm đầu ra thứ hai F-PD2, và cũng nối các miếng đệm ghép nối CPD với các miếng đệm đầu vào thứ hai M-PD2. Theo một phương án, trong đó chip điều khiển thứ hai DC2 được loại bỏ, các đường tín hiệu bảng thứ hai SL-2 có thể nối các miếng đệm đầu ra thứ hai F-PD2 với các miếng đệm đầu vào thứ hai M-PD2.

Theo một phương án, bảng mạch mềm thứ hai FPCB2 có thể được chia thành

các phân đoạn. Theo một phương án, ví dụ, bảng mạch mềm thứ hai FPCB2 có thể bao gồm phân đoạn đầu ra thứ hai P2-1 mà tại đó các miếng đệm đầu ra thứ hai F-PD2 được bố trí, phân đoạn đầu vào thứ hai P2-2 mà tại đó các miếng đệm đầu vào thứ hai M-PD2 được bố trí, và phân đoạn nối thứ hai P2-3 nối phân đoạn đầu ra thứ hai P2-1 với phân đoạn đầu vào thứ hai P2-2.

Phân đoạn đầu ra thứ hai P2-1 có thể có chiều rộng theo hướng thứ nhất DR1 lớn hơn chiều rộng theo hướng thứ nhất DR1 của phân đoạn đầu vào thứ hai P2-2. Do đó, khi được quan sát trên hình chiếu bằng, phân đoạn nối thứ hai P2-3 có thể có cạnh nghiêng kéo dài từ phân đoạn đầu ra thứ hai P2-1 đến phân đoạn đầu vào thứ hai P2-2.

Theo một phương án, như được thể hiện trên Fig.5C, chip điều khiển thứ hai DC2 có thể được bố trí trên phân đoạn đầu vào thứ hai P2-2, nhưng sáng chế không bị giới hạn ở đó. Theo cách khác, chip điều khiển thứ hai DC2 có thể chỉ được bố trí trên phân đoạn đầu ra thứ hai P2-1 hoặc phân đoạn nối thứ hai P2-3.

Theo một phương án của sáng chế, bảng mạch mềm thứ nhất FPCB1 có thể có chiều rộng theo hướng thứ hai DR2 nhỏ hơn chiều rộng theo hướng thứ hai DR2 của bảng mạch mềm thứ hai FPCB2. Theo một phương án, ví dụ, tổng của các chiều rộng theo hướng thứ hai DR2 của phân đoạn đầu ra thứ nhất P1-1, phân đoạn nối thứ nhất P1-3 và phân đoạn đầu vào thứ nhất P1-2 là nhỏ hơn tổng của các chiều rộng theo hướng thứ hai DR2 của phân đoạn đầu ra thứ hai P2-1, phân đoạn nối thứ hai P2-3, và phân đoạn đầu vào thứ hai P2-2. Do đó, như được thể hiện trên Fig.5A, phân đoạn đầu ra thứ hai P2-1 của bảng mạch mềm thứ hai FPCB2 có thể che phủ ít nhất một phần của phân đoạn đầu ra thứ nhất P1-1 của bảng mạch mềm thứ nhất FPCB1.

Fig.6A và Fig.6B minh họa nền hiển thị thứ nhất 100 được sử dụng trong panen hiển thị tinh thể lỏng được thể hiện trên Fig.3A.

Tham chiếu Fig.6A, miếng đệm hiển thị thứ nhất PD1-P được nối với đường tín hiệu hỗ trợ PL-D thông qua lỗ tiếp xúc thứ nhất CH-P1 được tạo ra qua lớp điện môi thứ nhất đến lớp điện môi thứ tư 10 đến 40. Miếng đệm hiển thị thứ nhất PD1-P được lộ ra từ lớp điện môi thứ nhất đến lớp điện môi thứ tư 10 đến 40. Theo một phương án,

trong đó miếng đệm hiển thị thứ nhất PD1-P được loại bỏ, phần cuối của đường tín hiệu hỗ trợ PL-D có thể được lộ ra từ lớp điện môi thứ nhất đến lớp điện môi thứ tư 10 đến 40.

Theo một phương án, như được thể hiện trên Fig.6A, bảng mạch mềm thứ nhất FPCB1 có thể bao gồm lớp điện môi thứ nhất IL-1, đường tín hiệu bảng thứ nhất SL-1, lớp chống hàn thứ nhất SR-1, và miếng đệm đầu ra thứ nhất F-PD1. Khoảng hở được tạo ra qua lớp chống hàn thứ nhất SR-1 để làm lộ ra ít nhất một phần của đường tín hiệu bảng thứ nhất SL-1. Miếng đệm đầu ra thứ nhất F-PD1 có thể được nối với đường tín hiệu bảng thứ nhất SL-1 được lộ ra cho khoảng hở của lớp chống hàn thứ nhất SR-1. Miếng đệm đầu ra thứ nhất F-PD1 được nối điện thông qua ACF với miếng đệm hiển thị thứ nhất PD1-P.

Tham chiếu Fig.6B, miếng đệm hiển thị thứ hai PD2-P được nối với đường tín hiệu hỗ trợ PL-D thông qua lỗ tiếp xúc thứ hai CH-P2 được tạo ra qua lớp điện môi thứ nhất đến thứ tư 10 đến 40. Miếng đệm hiển thị thứ hai PD2-P được lộ ra từ lớp điện môi thứ nhất đến thứ tư 10 đến 40. Theo một phương án, trong đó miếng đệm hiển thị thứ hai PD2-P được loại bỏ, phần cuối của đường tín hiệu hỗ trợ PL-D có thể được lộ ra từ lớp điện môi thứ nhất đến thứ tư 10 đến 40.

Theo một phương án, như được thể hiện trên Fig.6B, bảng mạch mềm thứ hai FPCB2 có thể bao gồm lớp điện môi thứ hai IL-2, đường tín hiệu bảng thứ hai SL-2, lớp chống hàn thứ hai SR-2 và miếng đệm đầu ra thứ hai F-PD2. Khoảng hở được tạo ra qua lớp chống hàn thứ hai SR-2 để làm lộ ra ít nhất một phần của đường tín hiệu bảng thứ hai SL-2. Miếng đệm đầu ra thứ hai F-PD2 có thể được nối với đường tín hiệu bảng thứ hai SL-2 được lộ ra cho khoảng hở của lớp chống hàn thứ hai SR-2. Miếng đệm đầu ra thứ hai F-PD2 được nối điện với miếng đệm hiển thị thứ hai PD2-P thông qua ACF.

Theo một phương án, trong đó các ACF được sử dụng để ghép nối các miếng đệm đầu ra F-PD1 và F-PD2 với các miếng đệm hiển thị PD1-P và PD2-P, các bảng mạch mềm FPCB1 và FPCB2 bị nén bằng thanh công cụ ở nhiệt độ cao, và trong

trường hợp này, các bảng mạch mềm FPCB1 và FPCB2 có thể bị biến dạng do nhiệt được truyền bởi sự bức xạ từ thanh công cụ ở nhiệt độ cao và/hoặc bởi sự dẫn nhiệt qua các bảng mạch mềm FPCB1 và FPCB2.

Theo một phương án của sáng chế, các bộ phận ngăn biến dạng (xem DPM1 và DPM2 của Fig.4A) được bao gồm để gia tăng độ cứng của các bảng mạch mềm FPCB1 và FPCB2, sao cho các bảng mạch mềm FPCB1 và FPCB2 có thể được giảm thiểu việc bị biến dạng khi các ACF được sử dụng để liên kết các bảng mạch mềm FPCB1 và FPCB2. Theo phương án này, sự xếp thẳng hàng giữa các miếng đệm và để tạo ra thiết bị hiển thị DD có thể được cải thiện với độ bền gia tăng.

Fig.7A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế của sáng chế. Fig.7B minh họa hình vẽ mặt cắt theo đường II-II' của Fig.7A. Fig.8A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế. Fig.8B minh họa hình vẽ mặt cắt theo đường III-III' của Fig.8A. Fig.9A minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế. Fig.9B minh họa hình vẽ mặt cắt theo đường IV-IV' của Fig.9A.

Các số chỉ dẫn giống nhau được gán cho các bộ phận giống hoặc tương tự với các bộ phận được mô tả trên đây có tham chiếu Fig.1 đến Fig.6B, và phần mô tả chi tiết lặp lại của chúng sẽ được loại bỏ. Các bảng mạch mềm FPCB-A, FPCB-B và FPCB-C được thể hiện trên các hình vẽ từ Fig.7A đến Fig.9B có thể tương ứng với bảng mạch mềm thứ hai FPCB2 được đề cập có tham chiếu đến các hình vẽ từ Fig.1 đến Fig.6B. Tuy nhiên, sáng chế không bị giới hạn ở đó, và các bảng mạch mềm FPCB-A, FPCB-B và FPCB-C được mô tả dưới đây có tham chiếu đến các hình vẽ từ Fig.7A đến Fig.9B cũng có thể tương ứng với bảng mạch mềm thứ nhất FPCB1 được mô tả trên đây có tham chiếu đến các hình vẽ từ Fig.1 đến Fig.6B.

Tham chiếu Fig.7A và Fig.7B, theo một phương án, bảng mạch mềm FPCB-A bao gồm bề mặt trên F-U và bề mặt dưới F-B đối diện với bề mặt trên F-U.

Theo một phương án, bảng mạch mềm FPCB-A có thể được chia thành các

phân đoạn. Theo một phương án, ví dụ, bảng mạch mềm FPCB-A có thể bao gồm phân đoạn đầu ra P1 bao gồm vùng miếng đệm đầu ra F-PDA mà tại đó các miếng đệm đầu ra F-PD được bố trí, phân đoạn đầu vào P2 bao gồm vùng miếng đệm đầu vào M-PDA mà tại đó các miếng đệm đầu vào M-PD được bố trí, và phân đoạn nối P3 nối phân đoạn đầu ra P1 với phân đoạn đầu vào P2.

Theo một phương án, bộ phận ngăn biến dạng DPM-A và bộ phận bức xạ nhiệt DTM-A có thể được bố trí để được đặt cách xa khỏi nhau qua bảng mạch mềm FPCB-A. Theo một phương án, ví dụ, bộ phận ngăn biến dạng DPM-A có thể được bố trí trên bề mặt trên F-U của phân đoạn đầu ra P1. Bộ phận ngăn biến dạng DPM-A có thể được bố trí liền kề với các miếng đệm đầu ra F-PD, và do đó bộ phận ngăn biến dạng DPM-A có thể ngăn được phân đoạn đầu vào P2 của bảng mạch mềm FPCB-A thu nhiệt được truyền do sự dẫn nhiệt xảy ra khi các miếng đệm đầu ra F-PD bị nén trong quy trình sản xuất. Theo phương án này, bộ phận ngăn biến dạng DPM-A bao gồm kim loại có thể được gắn với bảng mạch mềm FPCB-A, sao cho bảng mạch mềm FPCB-A có thể gia tăng về độ cứng.

Theo phương án này, bộ phận bức xạ nhiệt DTM-A có thể được bố trí trên bề mặt dưới F-B của phân đoạn đầu ra P1. Bộ phận bức xạ nhiệt DTM-A có thể được bố trí liền kề với chip điều khiển DC-A, và bộ phận bức xạ nhiệt DTM-A có thể hấp thụ nhiệt được tạo ra từ chip điều khiển DC-A, sao cho tổn hại đối với bảng mạch mềm FPCB-A do nhiệt có thể được ngăn chặn một cách hiệu quả.

Theo một phương án, như được mô tả ở trên, bộ phận ngăn biến dạng DPM-A và bộ phận bức xạ nhiệt DTM-A có thể được bố trí trên các bề mặt khác nhau của cùng một phân đoạn, nhưng không bị giới hạn ở đó. Theo phương án này, bộ phận ngăn biến dạng DPM-A và bộ phận bức xạ nhiệt DTM-A có thể được bố trí, nhưng không bị giới hạn ở, trên các phân đoạn khác nhau qua bảng mạch mềm FPCB-A trên các bề mặt khác nhau của bảng mạch mềm FPCB-A.

Tham chiếu Fig.8A và Fig.8B, trong một phương án thay thế, bảng mạch mềm FPCB-B bao gồm bề mặt trên F-U và bề mặt dưới F-B đối diện với bề mặt trên F-U.

Theo một phương án, bảng mạch mềm FPCB-B có thể được chia thành các phân đoạn. Theo một phương án, ví dụ, bảng mạch mềm FPCB-B có thể bao gồm phân đoạn đầu ra P1 bao gồm vùng miếng đệm đầu ra F-PDA mà tại đó các miếng đệm đầu ra F-PD được bố trí, phân đoạn đầu vào P2 bao gồm vùng miếng đệm đầu vào M-PDA mà tại đó các miếng đệm đầu vào M-PD được bố trí, và phân đoạn nối P3 nối phân đoạn đầu ra P1 với phân đoạn đầu vào P2.

Theo một phương án, bộ phận ngăn biến dạng DPM-B và bộ phận bức xạ nhiệt DTM-B có thể được bố trí để được đặt cách xa khỏi nhau qua bảng mạch mềm FPCB-B. Theo một phương án, ví dụ, trên bề mặt trên F-U, bộ phận ngăn biến dạng DPM-B có thể được bố trí trên phân đoạn đầu vào P2. Khi miếng đệm đầu ra F-PD được nén trong quy trình sản xuất, bộ phận ngăn biến dạng DPM-B có thể ngăn được phân đoạn đầu vào P2 của bảng mạch mềm FPCB-B thu nhiệt được truyền bởi sự bức xạ qua lớp dẫn điện và/hoặc lớp điện môi được bao gồm trong bảng mạch mềm FPCB-B. Do đó, có thể ngăn không cho phân đoạn đầu vào P2 của bảng mạch mềm FPCB-B bị biến dạng. Theo phương án này, bộ phận ngăn biến dạng DPM-B bao gồm kim loại có thể được gắn với bảng mạch mềm FPCB-B, sao cho bảng mạch mềm FPCB-B có thể gia tăng về độ cứng.

Theo một phương án, bộ phận bức xạ nhiệt DTM-B có thể được bố trí trên bề mặt trên F-U của phân đoạn đầu ra P1. Bộ phận bức xạ nhiệt DTM-B có thể được bố trí trên bề mặt khác với bề mặt mà trên đó chip điều khiển DC-B được đặt, và do đó nhiệt được tạo ra từ chip điều khiển DC-B có thể được ngăn để không truyền sang bề mặt trên F-U của bảng mạch mềm FPCB-B.

Theo một phương án, bộ phận ngăn biến dạng DPM-B và bộ phận bức xạ nhiệt DTM-B được bố trí trên các bề mặt khác nhau và trên các phân đoạn khác nhau, nhưng không bị giới hạn ở đó. Theo phương án này, bộ phận ngăn biến dạng DPM-A và bộ phận bức xạ nhiệt DTM-A có thể được bố trí, nhưng không bị giới hạn ở, trên cùng phân đoạn qua bảng mạch mềm FPCB-B trên các bề mặt khác nhau của bảng mạch mềm FPCB-B.

Tham chiếu Fig.9A và Fig.9B, trong một phương án thay thế khác, bảng mạch mềm FPCB-C bao gồm bề mặt trên F-U và bề mặt dưới F-B đối diện với bề mặt trên F-U.

Theo phương án này, bảng mạch mềm FPCB-C có thể được chia thành các phân đoạn. Theo một phương án, ví dụ, bảng mạch mềm FPCB-C có thể bao gồm phân đoạn đầu ra P1 bao gồm vùng miếng đệm đầu ra F-PDA mà tại đó các miếng đệm đầu ra F-PD được bố trí, phân đoạn đầu vào P2 bao gồm vùng miếng đệm đầu vào M-PDA mà tại đó các miếng đệm đầu vào M-PD được bố trí, và phân đoạn nối P3 nối phân đoạn đầu ra P1 với phân đoạn đầu vào P2.

Theo phương án này, bộ phận ngăn biến dạng có thể được bố trí với số lượng nhiều. Theo một phương án, ví dụ, bộ phận ngăn biến dạng có thể bao gồm chi tiết ngăn thứ nhất DPM-1 và chi tiết ngăn thứ hai DPM-2.

Theo phương án này, chi tiết ngăn thứ nhất DPM-1 có thể được bố trí trên bề mặt trên F-U của phân đoạn đầu ra P1, và chi tiết ngăn thứ hai DPM-2 có thể được bố trí trên bề mặt trên F-U của phân đoạn đầu vào P2. Do đó, chi tiết ngăn thứ nhất DPM-1 có thể ngăn được phân đoạn đầu vào P2 của bảng mạch mềm FPCB-C thu nhiệt được truyền do sự dẫn nhiệt xảy ra khi các miếng đệm đầu ra F-PD bị nén trong quy trình sản xuất, và chi tiết ngăn thứ hai DPM-2 có thể ngăn được phân đoạn đầu vào P2 của bảng mạch mềm FPCB-C thu nhiệt được truyền bởi sự bức xạ, xảy ra khi các miếng đệm đầu ra F-PD bị nén trong quy trình sản xuất, qua lớp dẫn điện và/hoặc lớp điện môi được bao gồm trong bảng mạch mềm FPCB-C. Theo đó, ngăn không cho phân đoạn đầu vào P2 của bảng mạch mềm FPCB-C bị biến dạng. Theo phương án này, bộ phận ngăn biến dạng DPM-C bao gồm kim loại có thể được gắn với bảng mạch mềm FPCB-C, sao cho bảng mạch mềm FPCB-C có thể gia tăng về độ cứng.

Theo một phương án, bộ phận bức xạ nhiệt DTM-C có thể được bố trí trên bề mặt trên F-U của phân đoạn đầu ra P1. Bộ phận bức xạ nhiệt DTM-C có thể được bố trí liền kề với chip điều khiển DC-C, và bộ phận bức xạ nhiệt DTM-C có thể hấp thụ nhiệt được tạo ra từ chip điều khiển DC-C, sao cho tổn hại đối với bảng mạch mềm

FPCB-C do nhiệt có thể được ngăn chặn một cách hiệu quả.

Theo một phương án, các chi tiết ngăn DPM-1 và DPM-2 được bố trí trên cùng bề mặt, nhưng không bị giới hạn ở đó. Theo một phương án thay thế, các chi tiết ngăn DPM-1 và DPM-2 có thể được đặt trên các bề mặt khác nhau của bảng mạch mềm FPCB-C.

Fig.10 minh họa hình chiếu bằng thể hiện bảng mạch mềm theo một phương án thay thế khác của sáng chế. Các số chỉ dẫn giống nhau được gán cho các bộ phận giống hoặc tương tự với các bộ phận được đề cập khi tham chiếu các hình vẽ từ Fig.1 đến Fig.6B, và phần mô tả chi tiết lặp lại bất kỳ của chúng sẽ được loại bỏ.

Theo một phương án, bộ phận ngăn biến dạng DPM-D có thể bao gồm bộ phận thứ nhất PM-L, bộ phận thứ hai PM-R và bộ phận nối PM-C. Bộ phận nối PM-C có thể được bố trí giữa và nối bộ phận thứ nhất PM-L và bộ phận thứ hai PM-R.

Bộ phận thứ nhất PM-L và bộ phận thứ hai PM-R có thể kéo dài theo hướng thứ hai DR2, và bộ phận nối PM-C có thể kéo dài theo hướng thứ nhất DR1. Khi được quan sát trên hình chiếu bằng, bộ phận ngăn biến dạng DPM-D có thể có hình dạng giống chữ H.

Mặc dù không được thể hiện, bộ phận ngăn biến dạng DPM-D có thể được cấu tạo theo cách sao cho mỗi bộ phận thứ nhất PM-L, bộ phận thứ hai PM-R và bộ phận nối PM-C được bố trí với số lượng nhiều, và các bộ phận thứ nhất PM-L, bộ phận thứ hai PM-R và bộ phận nối PM-C được bố trí xen kẽ nhau. Các bộ phận thứ nhất PM-L, bộ phận thứ hai PM-R và bộ phận nối PM-C có thể được bố trí xen kẽ theo hướng thứ nhất DR1 hoặc hướng thứ hai DR2.

Theo cách khác, bộ phận thứ nhất PM-L và bộ phận thứ hai PM-R có thể được bố trí để được đặt cách xa nhau theo hướng thứ nhất DR1 mà không cần bộ phận nối PM-C hoặc một bộ phận trong số bộ phận thứ nhất PM-L và bộ phận thứ hai PM-R có thể được loại bỏ, nhưng sáng chế không bị giới hạn ở đó.

Theo một phương án, các bộ phận ngăn biến dạng DPM1 và DPM2 có thể có dạng hình chữ nhật như được thể hiện trên Fig.4A, nhưng không bị giới hạn ở đó.

Theo cách khác, các bộ phận ngăn biến dạng DPM1 và DPM2 có thể có, nhưng không bị giới hạn ở, một trong số các hình dạng khác, chẳng hạn như, ví dụ, hình tròn và hình ovan.

Mặc dù không được thể hiện, các bộ phận bức xạ nhiệt DTM1 và DTM2 của Fig.4A có thể có hình dạng giống như hình dạng của một trong số các bộ phận ngăn biến dạng DPM1, DPM2 và DPM-D được mô tả trên đây, nhưng sáng chế không bị giới hạn ở đó.

Theo các phương án của sáng chế, thiết bị hiển thị có thể bao gồm bộ phận ngăn biến dạng để ngăn bảng mạch mềm bị biến dạng do nhiệt được truyền bởi sự dẫn nhiệt xảy ra khi các miếng đệm bị nén với các AFC trong quy trình sản xuất. Kết quả là, theo phương án này, sự xếp thẳng hàng giữa các miếng đệm có thể được cải thiện và thiết bị hiển thị được tạo ra với độ bền gia tăng.

Sáng chế không nên được hiểu là bị giới hạn ở các phương án đã nêu trong bản mô tả. Mặt khác, các phương án này được đề xuất sao cho bản mô tả này sẽ rõ ràng và hoàn chỉnh và bộc lộ đầy đủ nguyên lý của sáng chế với người có hiểu biết trung bình trong lĩnh vực.

Mặc dù sáng chế đã được thể hiện và mô tả cụ thể có tham chiếu đến các phương án của sáng chế, người có hiểu biết trung bình trong lĩnh vực sẽ hiểu rằng các thay đổi khác nhau về hình thức và chi tiết có thể được thực hiện trong đó mà không vượt ra khỏi bản chất hoặc phạm vi của sáng chế như được xác định trong các điểm yêu cầu bảo hộ sau đây.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

panen hiển thị bao gồm các miếng đệm hiển thị thứ nhất được bố trí theo hướng thứ nhất và các miếng đệm hiển thị thứ hai được bố trí theo hướng thứ nhất, trong đó các miếng đệm hiển thị thứ hai được đặt cách xa khỏi các miếng đệm hiển thị thứ nhất theo hướng thứ hai, và hướng thứ hai giao với hướng thứ nhất;

bảng mạch chính;

bảng mạch mềm thứ nhất nối bảng mạch chính với các miếng đệm hiển thị thứ nhất;

bảng mạch mềm thứ hai nối bảng mạch chính với các miếng đệm hiển thị thứ hai và chồng lên ít nhất một phần của bảng mạch mềm thứ nhất;

các bộ phận bức xạ nhiệt trên bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai; và

bộ phận ngăn biến dạng được đặt cách xa khỏi các bộ phận bức xạ nhiệt và được gắn vào ít nhất một trong số bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai, trong đó bộ phận ngăn biến dạng bao gồm kim loại.

2. Thiết bị hiển thị theo điểm 1, trong đó

bảng mạch mềm thứ nhất bao gồm:

bề mặt trên thứ nhất;

bề mặt dưới thứ nhất đối diện với bề mặt trên thứ nhất;

các miếng đệm bảng thứ nhất được lộ ra từ bề mặt dưới thứ nhất và được nối với các miếng đệm hiển thị thứ nhất và bảng mạch chính, và

chip điều khiển thứ nhất trên bề mặt dưới thứ nhất,

bảng mạch mềm thứ hai bao gồm:

bề mặt trên thứ hai;

bề mặt dưới thứ hai đối diện với bề mặt trên thứ hai, trong đó bề mặt dưới thứ hai che phủ ít nhất một phần của bề mặt trên thứ nhất;

các miếng đệm hiển thị thứ hai được lộ ra từ bề mặt dưới thứ hai và được nối với các miếng đệm hiển thị thứ hai và bảng mạch chính; và

chip điều khiển thứ hai trên bề mặt dưới thứ hai, và

chip điều khiển thứ nhất và chip điều khiển thứ hai được đặt cách xa khỏi nhau khi được quan sát trên hình chiếu bằng.

3. Thiết bị hiển thị theo điểm 2, trong đó bộ phận ngăn biến dạng được bố trí trên ít nhất một trong số bề mặt trên thứ nhất và bề mặt trên thứ hai.

4. Thiết bị hiển thị theo điểm 2, trong đó

bộ phận ngăn biến dạng được bố trí trên ít nhất một trong số bề mặt dưới thứ nhất và bề mặt dưới thứ hai, và

bộ phận ngăn biến dạng được đặt cách xa khỏi chip điều khiển thứ nhất và chip điều khiển thứ hai.

5. Thiết bị hiển thị theo điểm 2, trong đó bộ phận ngăn biến dạng được bố trí trên bề mặt giống với bề mặt mà trên đó, các bộ phận bức xạ nhiệt được bố trí.

6. Thiết bị hiển thị theo điểm 2, trong đó bộ phận ngăn biến dạng được bố trí trên bề mặt khác với bề mặt mà trên đó, các bộ phận bức xạ nhiệt được bố trí.

7. Thiết bị hiển thị theo điểm 1, trong đó mỗi bảng mạch mềm thứ nhất và bảng mạch mềm thứ hai bao gồm:

lớp điện môi;

các đường tín hiệu bằng trên lớp điện môi;

lớp chống hàn, trong đó khoảng hở được tạo ra để làm lộ ra một phần của các đường tín hiệu bằng, và

các miếng đệm bằng, mỗi bộ phận này được nối với một phần của đường tín

hiệu bằng tương ứng trong số các đường tín hiệu bằng,

trong đó một phần của đường tín hiệu bằng tương ứng này được lộ ra qua khoảng hở,

các miếng đệm bằng của bảng mạch mềm thứ nhất và các miếng đệm bằng của bảng mạch mềm thứ hai được nối với các miếng đệm hiển thị thứ nhất và các miếng đệm hiển thị thứ hai thông qua màng dẫn điện dị hướng.

8. Thiết bị hiển thị theo điểm 7, trong đó

các miếng đệm bằng của bảng mạch mềm thứ nhất bao gồm các miếng đệm đầu ra thứ nhất được nối với các miếng đệm hiển thị thứ nhất và các miếng đệm đầu vào thứ nhất được nối với bảng mạch chính, và

các miếng đệm bằng của bảng mạch mềm thứ hai bao gồm các miếng đệm đầu ra thứ hai được nối với các miếng đệm hiển thị thứ hai và các miếng đệm đầu vào thứ hai được nối với bảng mạch chính.

9. Thiết bị hiển thị theo điểm 8, trong đó

bảng mạch mềm thứ nhất bao gồm phân đoạn đầu ra thứ nhất, tại đó các miếng đệm đầu ra thứ nhất được bố trí, phân đoạn đầu vào thứ nhất, tại đó các miếng đệm đầu vào thứ nhất được bố trí, và phân đoạn nối thứ nhất nối phân đoạn đầu ra thứ nhất với phân đoạn đầu vào thứ nhất,

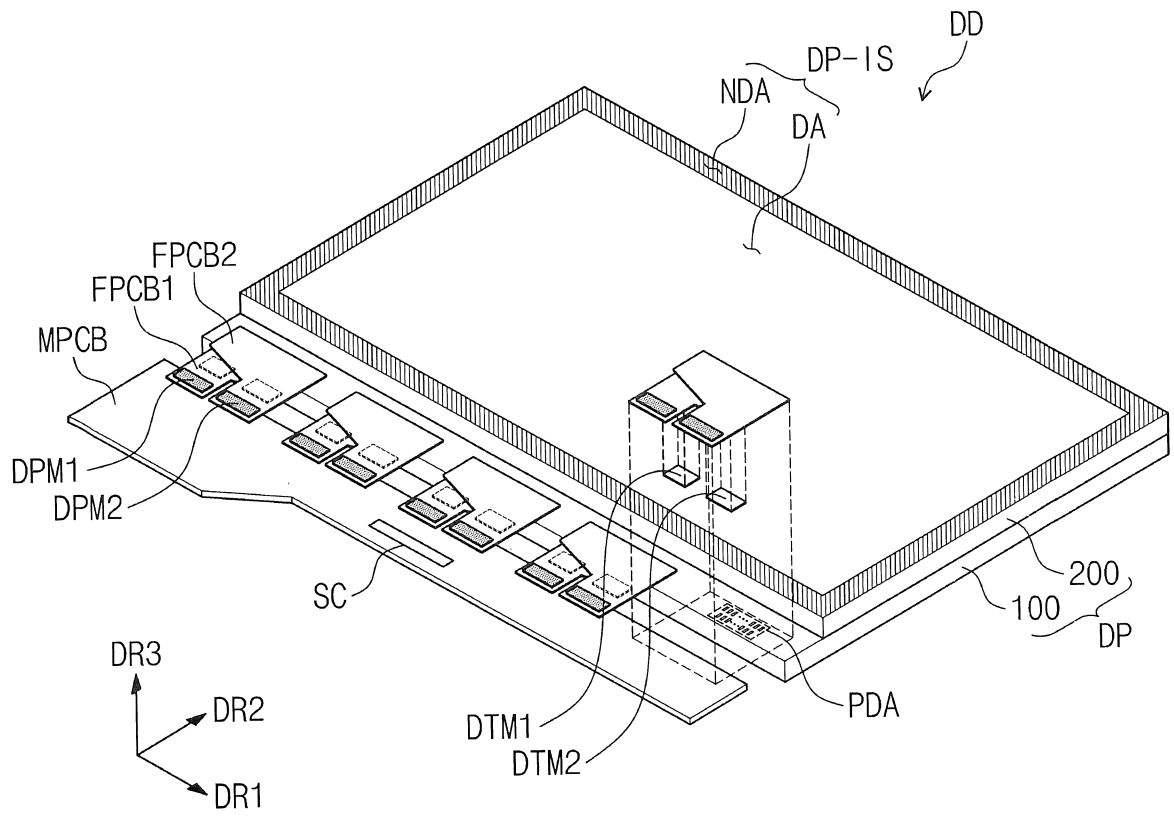
bảng mạch mềm thứ hai bao gồm phân đoạn đầu ra thứ hai, tại đó các miếng đệm đầu ra thứ hai được bố trí, phân đoạn đầu vào thứ hai, tại đó các miếng đệm đầu vào thứ hai được bố trí, và phân đoạn nối thứ hai nối phân đoạn đầu ra thứ hai với phân đoạn đầu vào thứ hai, và

phân đoạn đầu vào thứ nhất và phân đoạn đầu vào thứ hai được đặt cách xa khỏi nhau.

10. Thiết bị hiển thị theo điểm 9, trong đó phân đoạn đầu ra thứ hai che phủ ít nhất một

phần của phân đoạn đầu ra thứ nhất.

FIG. 1



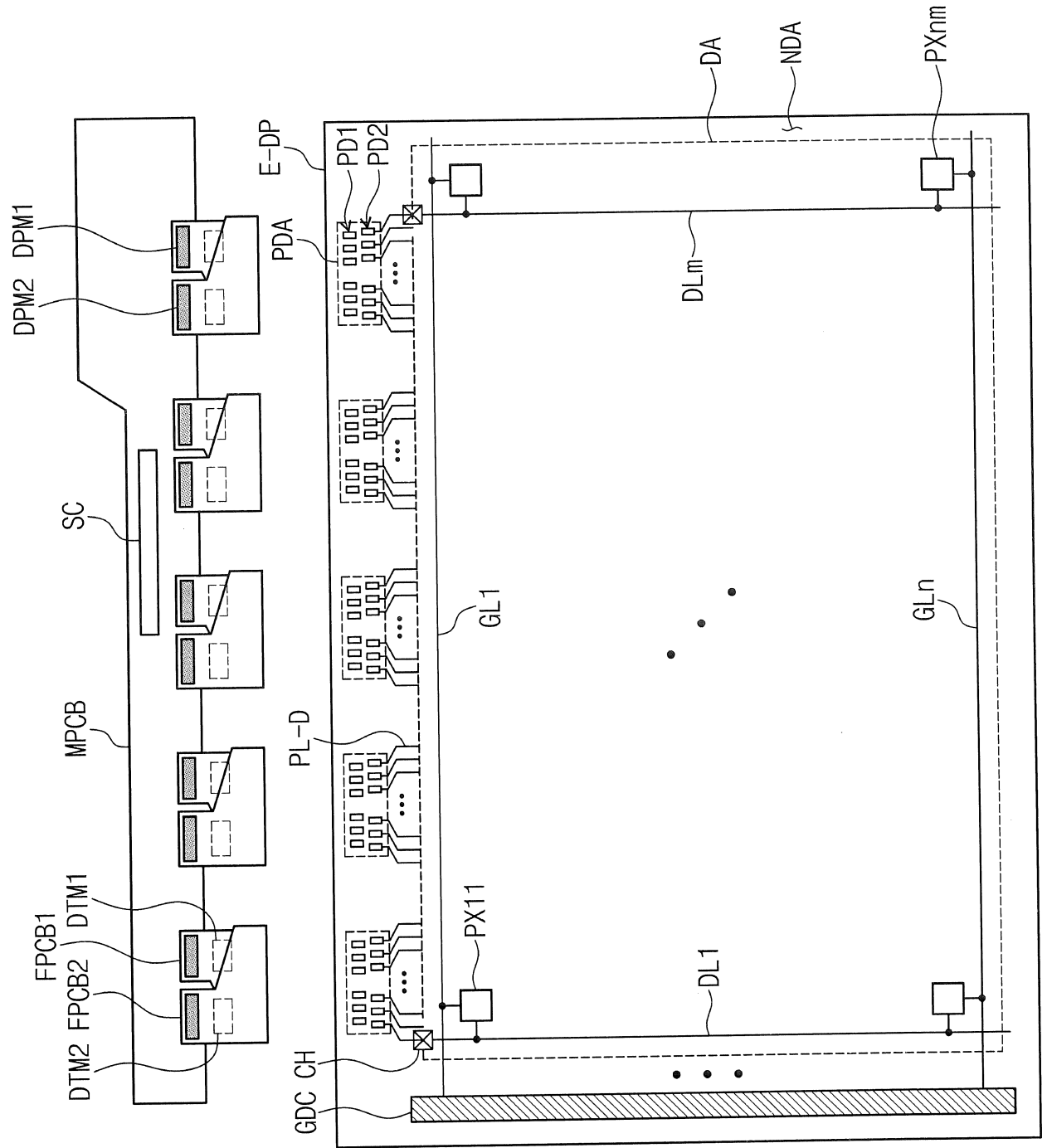


FIG. 2

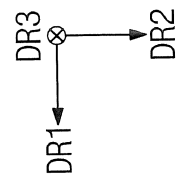


FIG. 3B

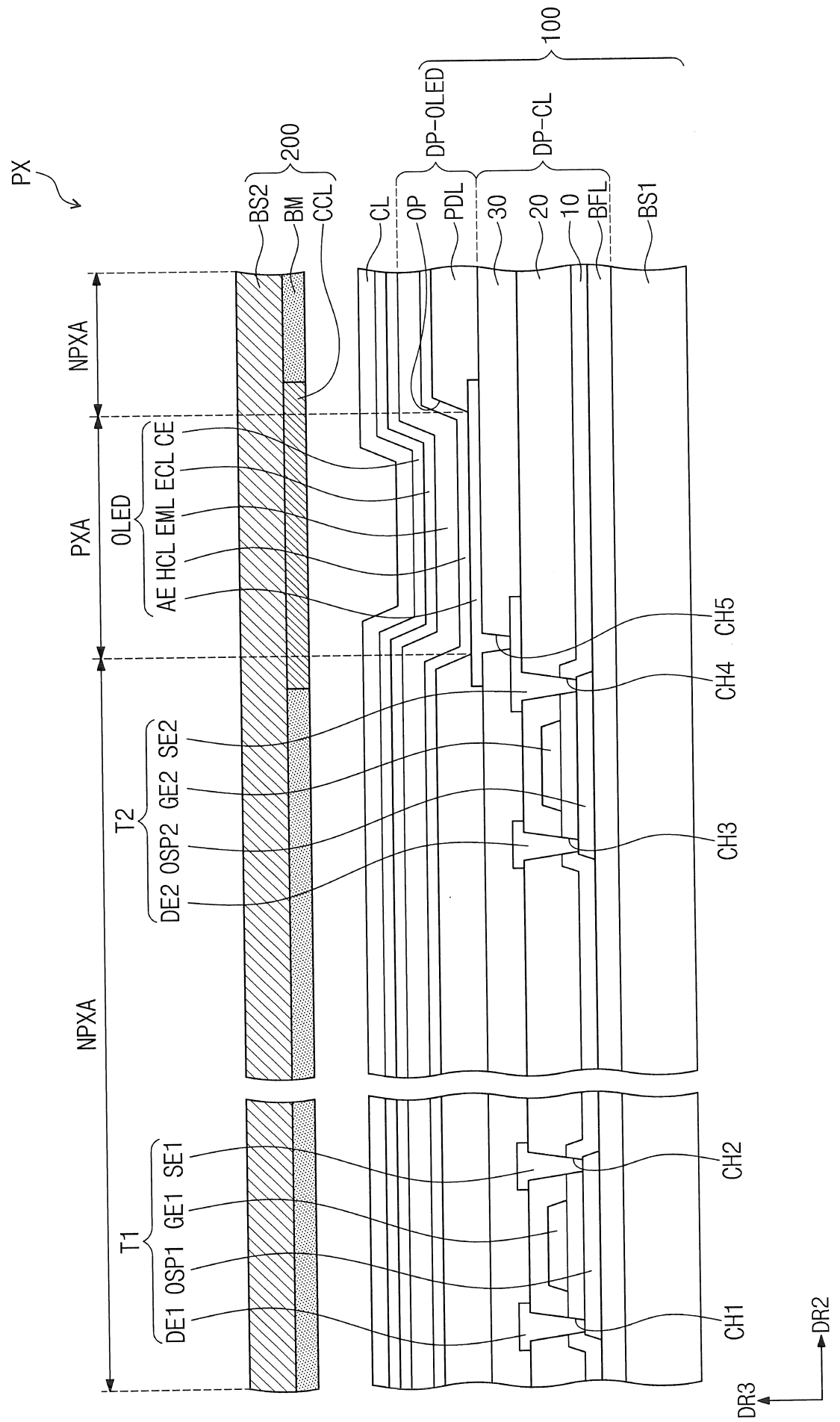


FIG. 4A

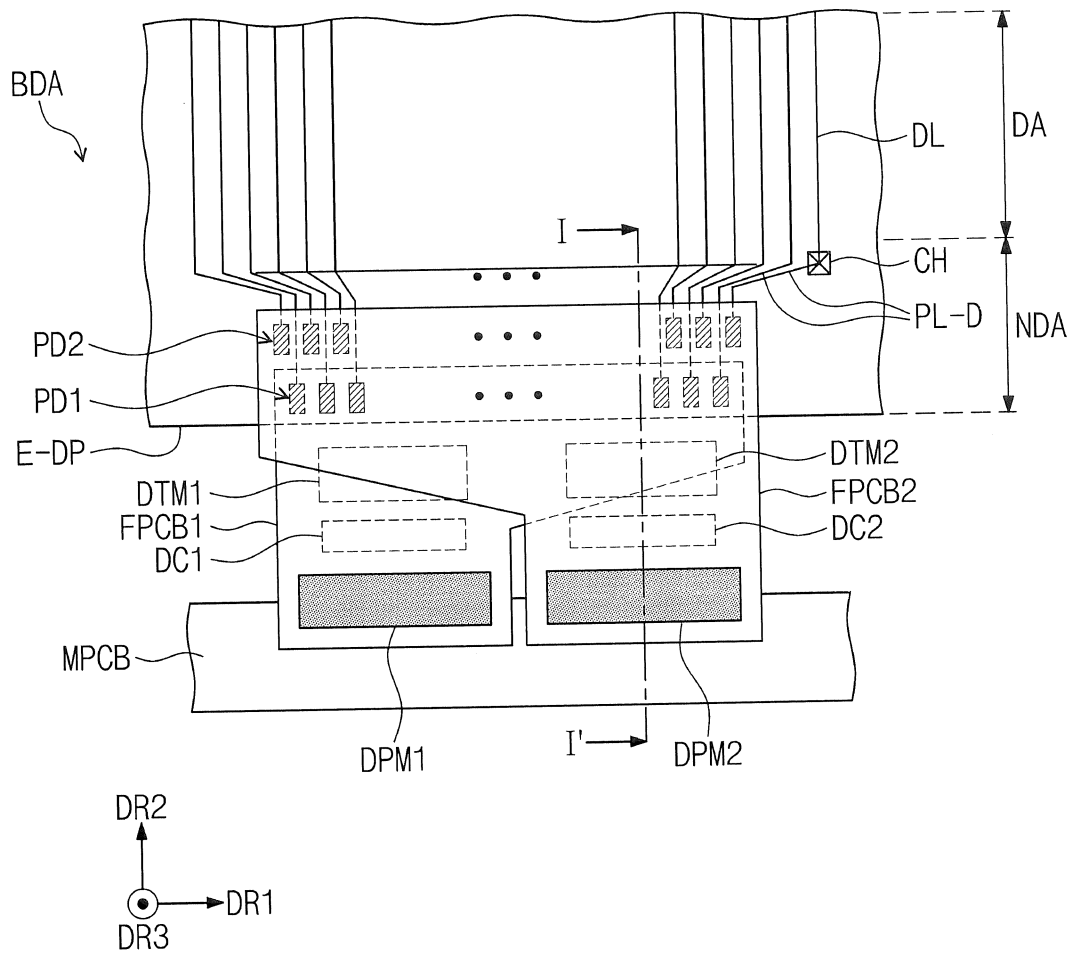


FIG. 4B

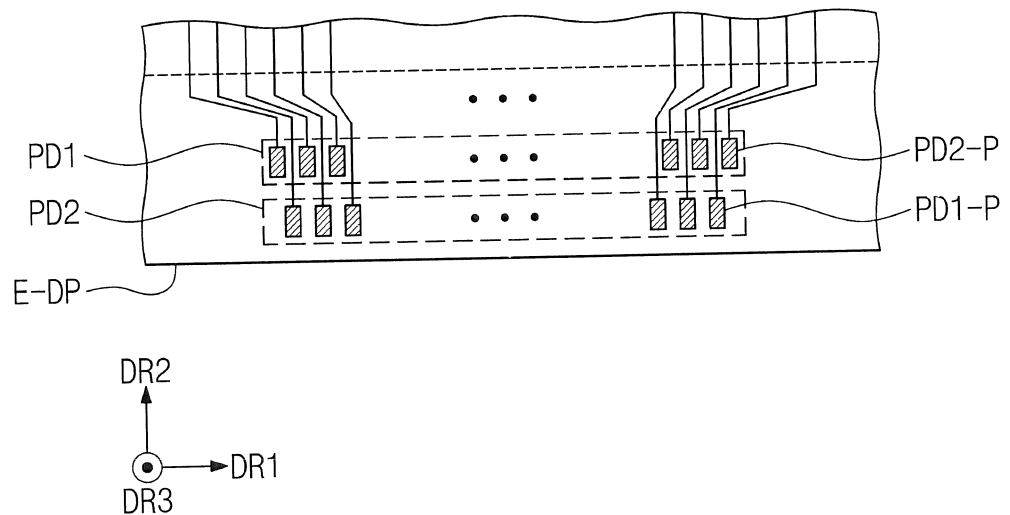


FIG. 5A

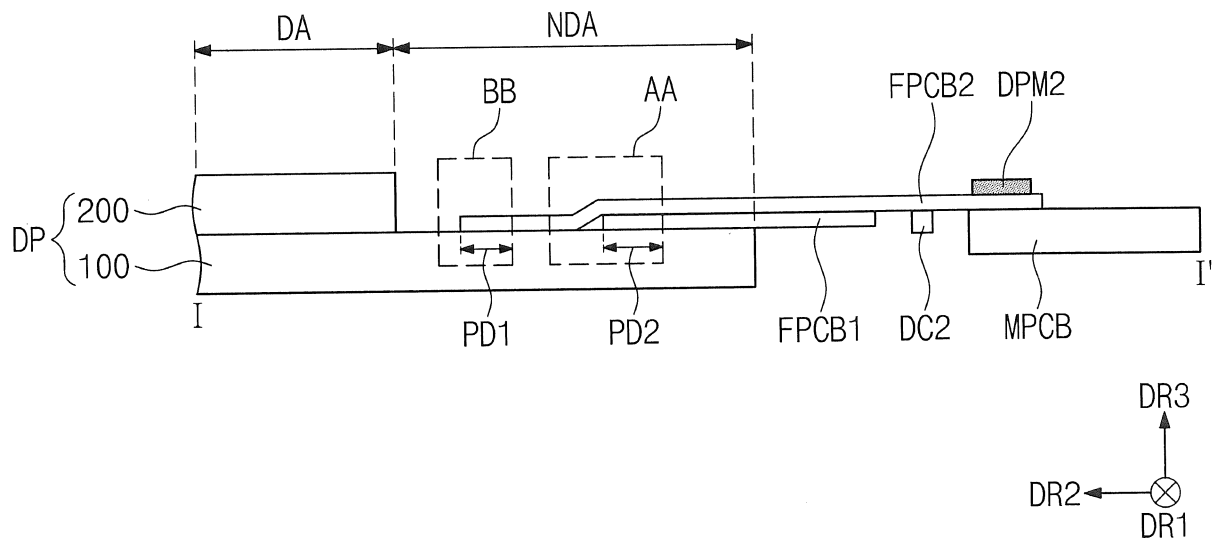


FIG. 5B

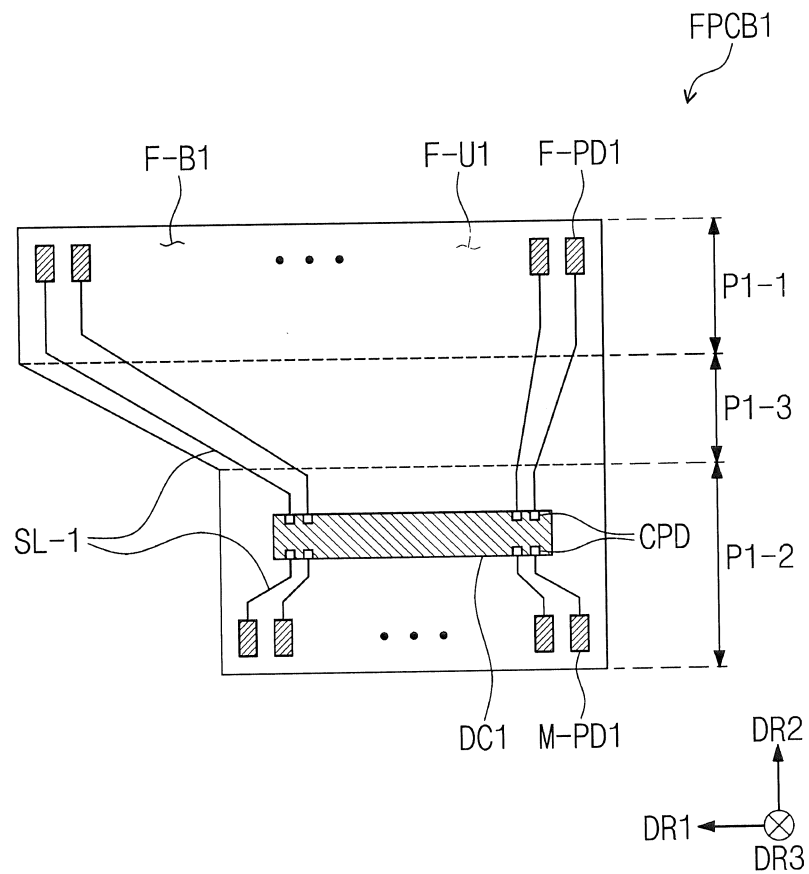
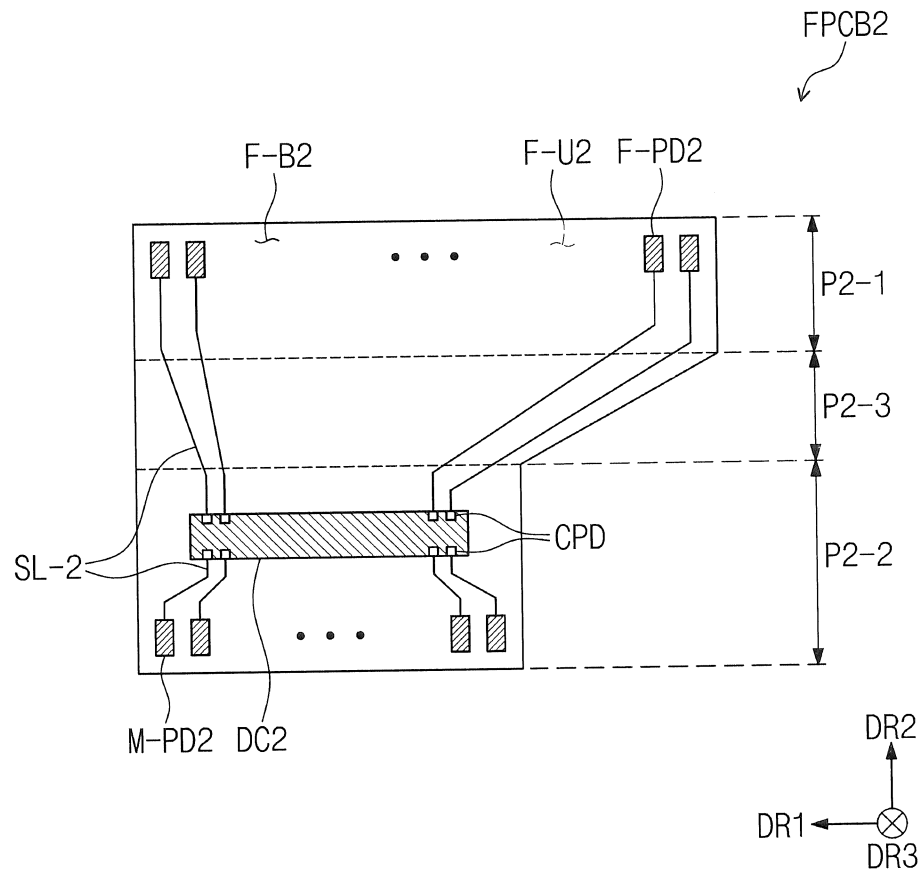


FIG. 5C



[illegible][illegible]

FIG. 7A

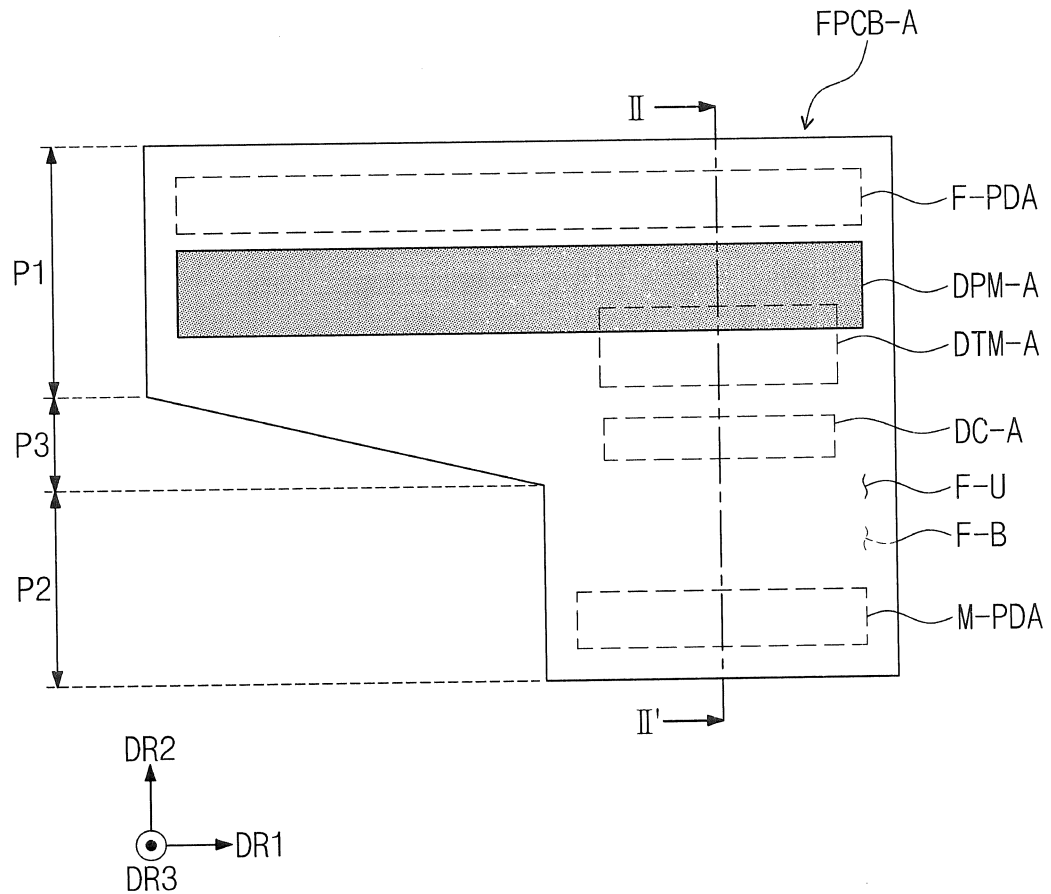


FIG. 7B

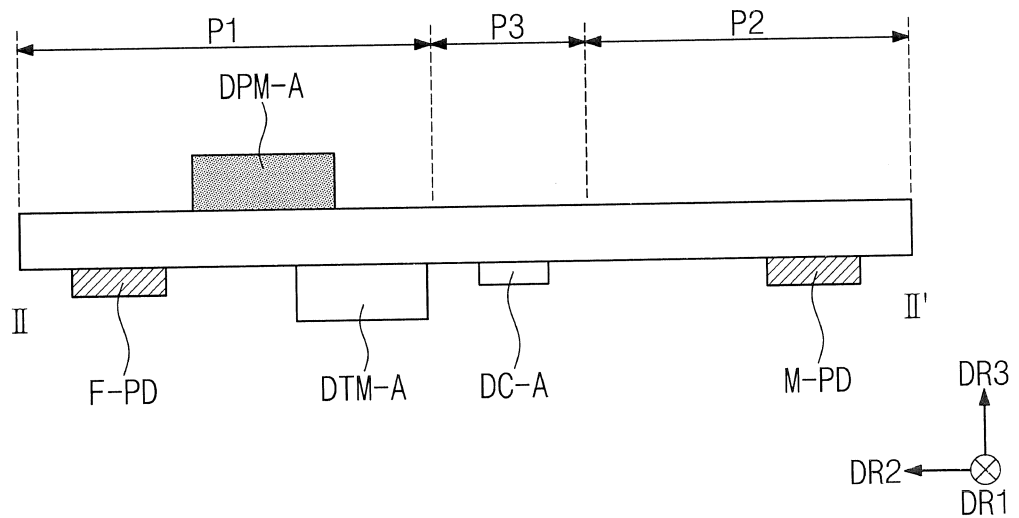


FIG. 8A

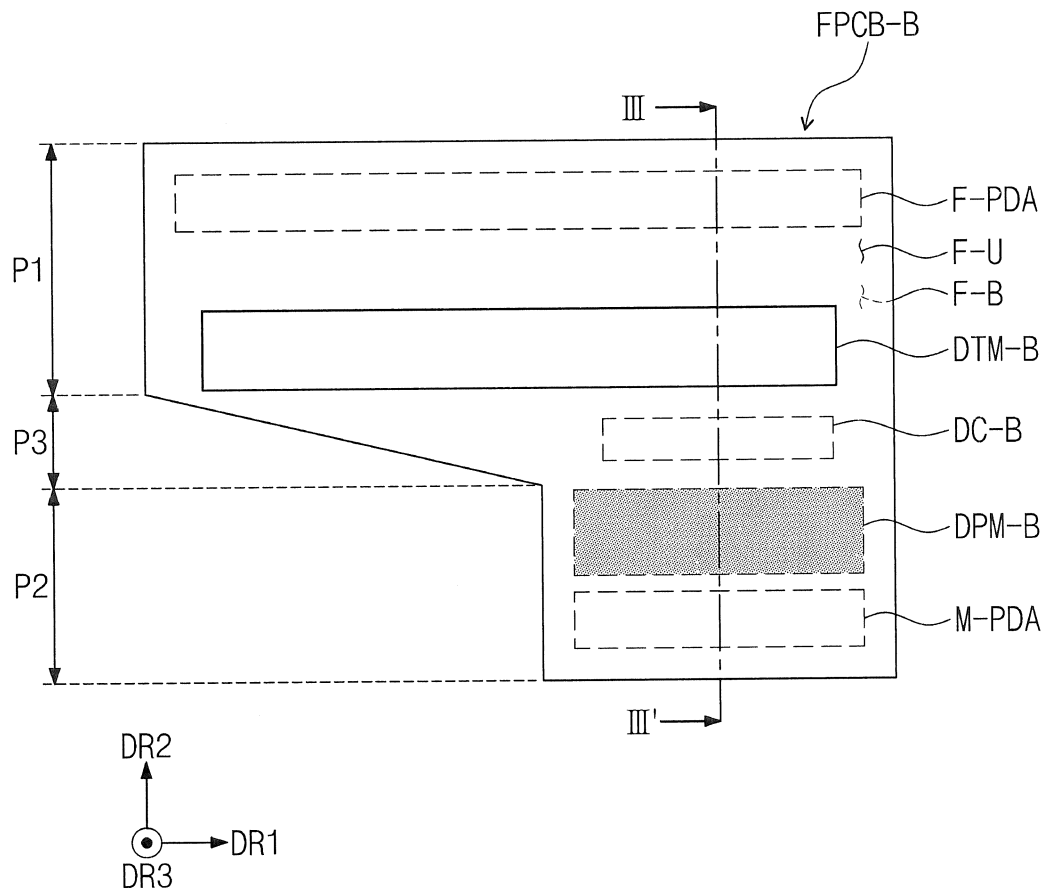


FIG. 8B

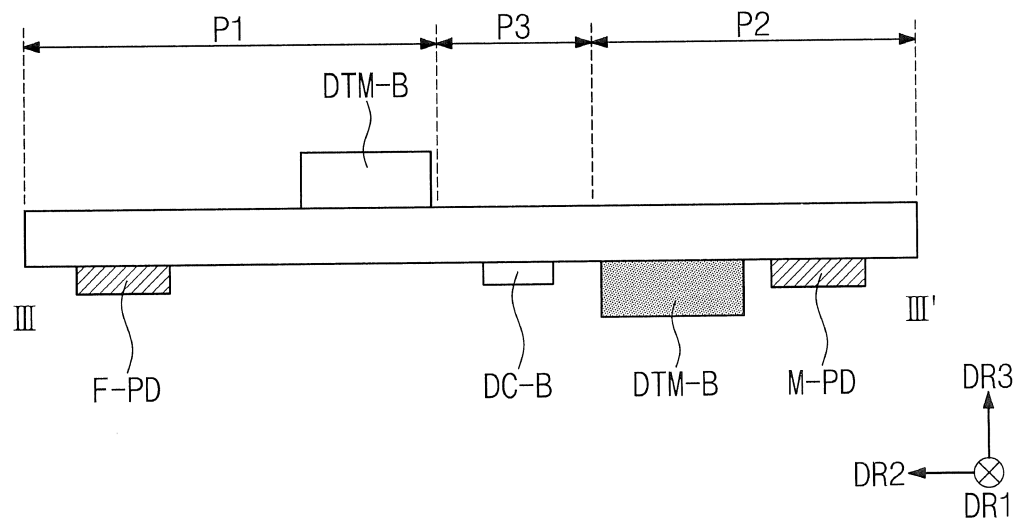


FIG. 9A

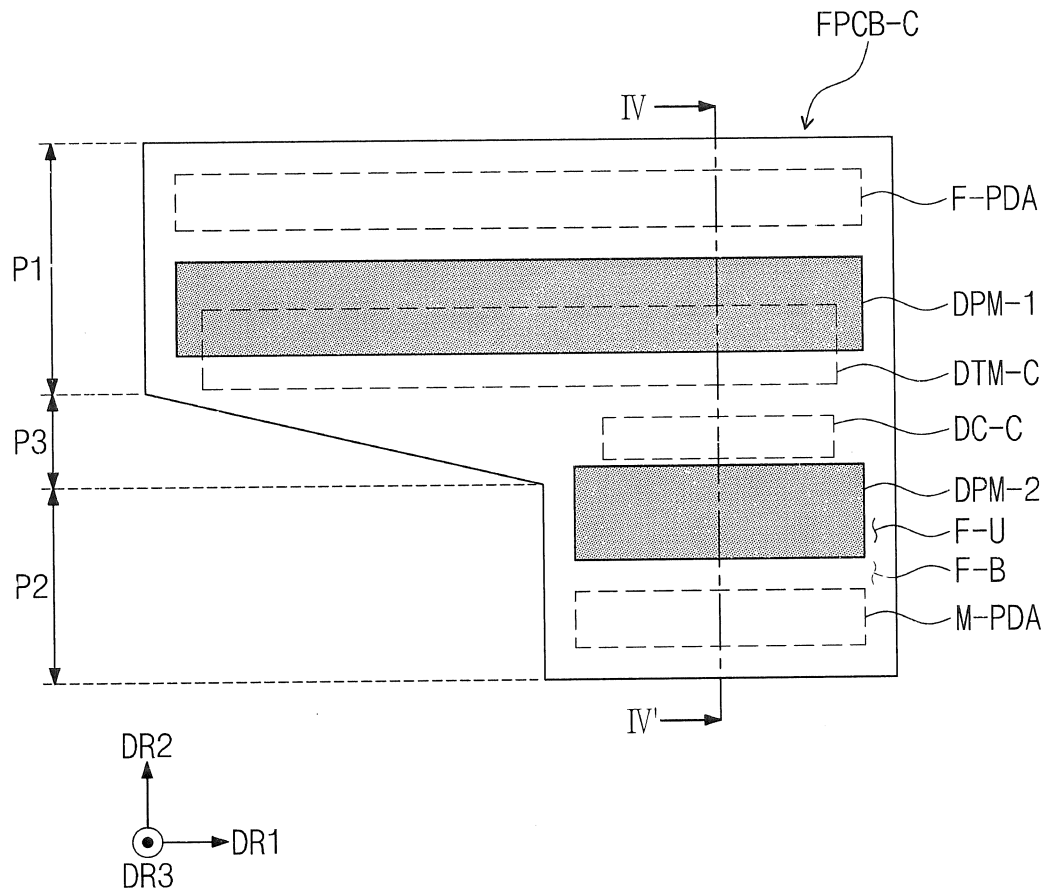


FIG. 9B

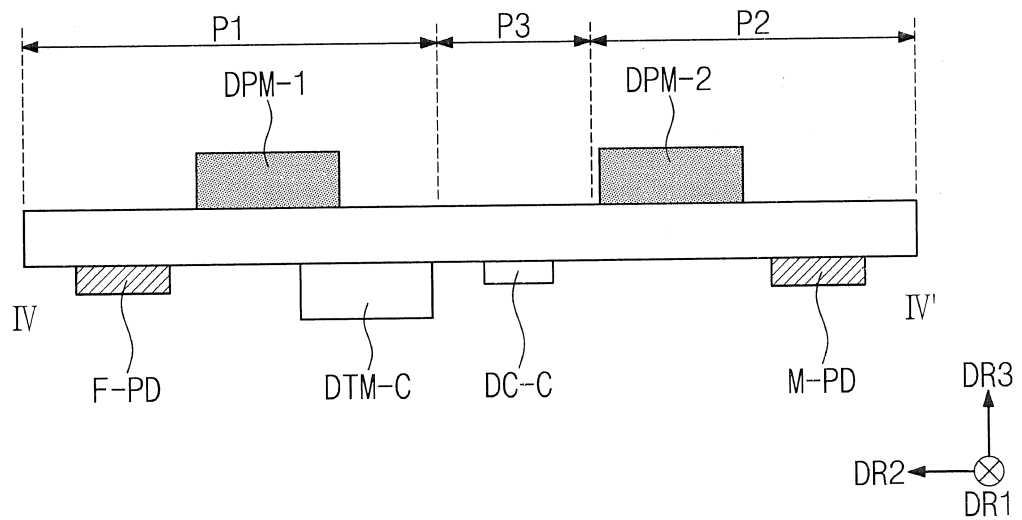


FIG. 10

