



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0047609

(51)⁷ G02F 1/13

(13) B

(21) 1-2018-05372

(22) 29/11/2018

(30) 10-2017-0163539 30/11/2017 KR

(45) 25/06/2025 447

(43) 25/06/2019 375A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

1, Samsung-Ro, Giheung-Gu, Yongin-Si, Gyeonggi-Do, Republic of Korea

(72) Bo-youl SHIM (KR); Joonsam KIM (KR); Hun-tae KIM (KR); Wuhyeon JUNG (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ

(21) 1-2018-05372

(57) Sáng chế đề cập đến thiết bị hiển thị bao gồm lớp nền bao gồm vùng hiển thị và vùng không hiển thị, lớp phân tử hiển thị, nhóm đế hàn, lớp điện cực cảm ứng và lớp cách điện cảm ứng. Lớp phân tử hiển thị bao gồm các phân tử hiển thị được bố trí ở vùng hiển thị. Nhóm đế hàn được bố trí trên lớp nền và bao gồm các đế hàn đầu ra được bố trí ở vùng không hiển thị. Các đế hàn đầu ra bao gồm các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài được bố trí bên ngoài các đế hàn đầu ra trung tâm theo hướng thứ nhất. Lớp điện cực cảm ứng được bố trí trên lớp phân tử hiển thị. Lớp cách điện cảm ứng này được bố trí trên lớp phân tử hiển thị và tiếp xúc lớp điện cực cảm ứng. Mẫu hình rãnh được xác định ở lớp cách điện cảm ứng chồng lên vùng không hiển thị, và không chồng lên ít nhất một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai.

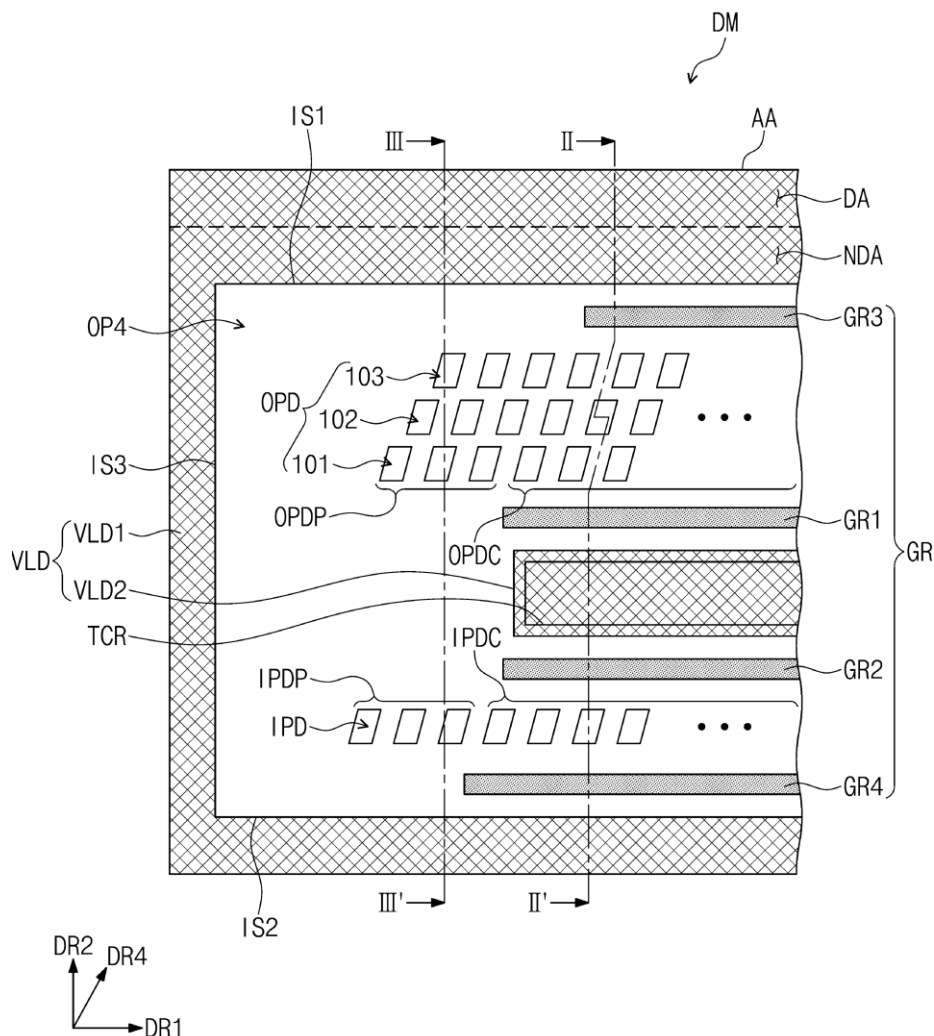


FIG. 8

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị, và cụ thể hơn là, thiết bị hiển thị mềm dẻo.

Tình trạng kỹ thuật của sáng chế

Các thiết bị hiển thị khác nhau chẳng hạn như tivi, điện thoại di động, máy tính dạng bảng, thiết bị định vị và bảng điều khiển chơi trò chơi đang được phát triển. Trong những năm gần đây, do các công nghệ được cải tiến, nên thiết bị hiển thị mềm dẻo đang được phát triển.

Bản chất kỹ thuật của sáng chế

Thiết bị hiển thị mềm dẻo có giới hạn ở chỗ thiết bị hiển thị mềm dẻo này nhận ứng suất do việc uốn cong gây ra và các thành phần bên trong bị hư hại do ứng suất. Hơn nữa, thiết bị hiển thị mềm dẻo có thể dễ dàng bị hư hại ngay cả trong quá trình chế tạo. Cụ thể là, vết nứt có thể được tạo ra trong panen hiển thị trong quá trình lắp mạch tích hợp điều khiển vào panen hiển thị.

Các phương án làm ví dụ của sáng chế đề xuất thiết bị hiển thị có khả năng ngăn ngừa đoản mạch không xảy ra giữa các đế hàn đầu ra và các đế hàn đầu vào do hiện tượng phân lớp gây ra giữa lớp cách điện cảm ứng và màng cách điện giữa các lớp bằng cách xác định mẫu hình rãnh trong lớp cách điện cảm ứng.

Các phương án làm ví dụ của sáng chế còn đề xuất thiết bị hiển thị có khả năng ngăn ngừa vết nứt, mà được tạo ra do ứng suất được tập trung xung quanh các đế hàn được bố trí ở phần ngoài của panen hiển thị khi chip mạch điều khiển được bố trí (ví dụ, được lắp) trên panen hiển thị, không được tạo ra trong panen hiển thị.

Một phương án làm ví dụ của sáng chế đề xuất thiết bị hiển thị bao gồm lớp nền, các đường tín hiệu, lớp phân tử hiển thị, nhóm đế hàn, lớp cách điện trung gian, lớp điện cực cảm ứng và lớp cách điện cảm ứng.

Theo một phương án làm ví dụ, lớp nền có thể bao gồm vùng hiển thị và vùng không hiển thị được bố trí bên ngoài vùng hiển thị.

Theo một phương án làm ví dụ, các đường tín hiệu có thể được bố trí trên lớp nền.

Theo một phương án làm ví dụ, lớp phần tử hiển thị có thể được bố trí trên các đường tín hiệu và bao gồm các phần tử hiển thị được bố trí ở vùng hiển thị.

Theo một phương án làm ví dụ, nhóm đế hàn có thể được nối điện với các đường tín hiệu và bao gồm các đế hàn đầu ra được bố trí ở vùng không hiển thị.

Theo một phương án làm ví dụ, lớp cách điện trung gian có thể được bố trí giữa các đường tín hiệu và lớp phần tử hiển thị để làm lộ ra các đế hàn đầu ra.

Theo một phương án làm ví dụ, lớp điện cực cảm ứng có thể được bố trí trên lớp phần tử hiển thị.

Theo một phương án làm ví dụ, lớp cách điện cảm ứng có thể được bố trí trên lớp phần tử hiển thị và tiếp xúc lớp điện cực cảm ứng, và mẫu hình rãnh có thể được xác định trong lớp cách điện cảm ứng ở vùng không hiển thị.

Theo một phương án làm ví dụ, các đế hàn đầu ra có thể bao gồm các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài được bố trí bên ngoài các đế hàn đầu ra trung tâm theo hướng thứ nhất.

Theo một phương án làm ví dụ, mẫu hình rãnh có thể được bố trí giữa các đế hàn đầu ra và lớp cách điện trung gian và có thể không chồng lên ít nhất một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai giao cắt hướng thứ nhất trên hình chiếu bằng.

Theo một phương án làm ví dụ của sáng chế, thiết bị hiển thị bao gồm lớp nền, các đường tín hiệu, lớp phần tử hiển thị, nhóm đế hàn, chip mạch điều khiển, lớp điện cực cảm ứng, lớp cách điện cảm ứng và mẫu hình bù.

Theo một phương án làm ví dụ, lớp nền có thể bao gồm vùng hiển thị và vùng không hiển thị được bố trí bên ngoài vùng hiển thị.

Theo một phương án làm ví dụ, các đường tín hiệu có thể được bố trí trên lớp nền.

Theo một phương án làm ví dụ, lớp phần tử hiển thị có thể được bố trí trên các đường tín hiệu và bao gồm các phần tử hiển thị được bố trí ở vùng hiển thị.

Theo một phương án làm ví dụ, nhóm đế hàn có thể được nối điện với các đường tín hiệu và bao gồm các đế hàn đầu ra được bố trí ở vùng không hiển thị.

Theo một phương án làm ví dụ, lớp cách điện trung gian có thể được bố trí giữa các đường tín hiệu và lớp phân tử hiển thị để làm lộ ra các đế hàn đầu ra.

Theo một phương án làm ví dụ, lớp điện cực cảm ứng có thể được bố trí trên lớp phân tử hiển thị.

Theo một phương án làm ví dụ, lớp cách điện cảm ứng có thể được bố trí trên lớp phân tử hiển thị và tiếp xúc lớp điện cực cảm ứng, và mẫu hình rãnh có thể được xác định trong lớp cách điện cảm ứng ở vùng không hiển thị.

Theo một phương án làm ví dụ, mẫu hình bù có thể được bố trí trên lớp cách điện cảm ứng và chồng lên mẫu hình rãnh.

Theo một phương án làm ví dụ, các đế hàn đầu ra có thể bao gồm các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài được bố trí bên ngoài các đế hàn trung tâm theo hướng thứ nhất là hướng kéo dài của mặt bên ngắn của mỗi trong số các đế hàn đầu ra.

Theo một phương án làm ví dụ, mẫu hình rãnh có thể được bố trí giữa các đế hàn đầu ra và lớp cách điện trung gian.

Theo một phương án làm ví dụ, mẫu hình bù có thể chồng lên ít nhất một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai giao cắt hướng thứ nhất trên hình chiếu bằng.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo được đưa vào để cung cấp thêm việc hiểu sáng chế, và được kết hợp trong và cấu thành một phần bản mô tả này. Các hình vẽ minh họa các phương án làm ví dụ của sáng chế và, cùng với phần mô tả, sử dụng để giải thích các quy tắc của sáng chế. Trên các hình vẽ:

Fig.1 là hình chiếu bằng của một phương án làm ví dụ về thiết bị hiển thị theo sáng chế;

Fig.2 là sơ đồ mạch tương đương của một điểm ảnh;

Fig.3 là hình chiếu mặt cắt ngang một phần của panen hiển thị tương ứng với một điểm ảnh;

Fig.4 là hình chiếu bằng của bộ cảm biến cảm ứng trên Fig.3;

Fig.5 là hình chiếu mặt cắt ngang được cắt dọc theo đường I-I' trên Fig.4;

Fig.6 là hình chiếu bằng được phóng to minh họa vùng AA của thiết bị hiển thị trên Fig.1;

Fig.7 là hình chiếu mặt cắt ngang được cắt dọc theo đường I-I' trên Fig.6;

Fig.8 là hình chiếu minh họa một phương án làm ví dụ về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1;

Fig.9 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II' trên Fig.8;

Fig.10 là hình chiếu làm ví dụ minh họa ví dụ so sánh của mặt cắt ngang của thiết bị hiển thị;

Fig.11 là ảnh chụp thể hiện ví dụ so sánh của mặt cắt ngang của thiết bị hiển thị;

Fig.12 là ảnh chụp thể hiện lỗi được tạo ra trong thiết bị đầu cuối di động mà ví dụ so sánh của thiết bị hiển thị được áp dụng;

Fig.13 là hình chiếu minh họa một phương án làm ví dụ khác về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1;

Fig.14 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II' trên Fig.13;

Fig.15 là hình chiếu minh họa phương án làm ví dụ khác về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1;

Fig.16 là hình chiếu minh họa phương án làm ví dụ khác về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1;

Fig.17 là hình chiếu minh họa phương án làm ví dụ khác về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1;

Fig.18 là hình chiếu minh họa phương án làm ví dụ khác về hình dạng của mẫu hình rãnh theo sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1; và

Fig.19 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II' trên Fig.18.

Mô tả chi tiết sáng chế

Sau đây, các phương án của sáng chế sẽ được mô tả dựa vào các hình vẽ kèm theo. Trong bản mô tả này, cũng sẽ hiểu rằng khi một thành phần (hoặc khu vực, lớp, phần) được gọi là ‘nằm trên’, ‘được nối với’ hoặc ‘được ghép nối với’ thành phần khác, thì thành phần này có thể được nối/được ghép nối trực tiếp trên/với một thành phần, hoặc thành phần thứ ba xen giữa cũng có thể có mặt.

Các số chỉ dẫn giống nhau đề cập đến các phần tử giống nhau trong toàn bộ bản mô tả. Ngoài ra, trên các hình vẽ, độ dày, tỷ lệ và kích thước của các thành phần được phóng đại để minh họa một cách rõ ràng. Thuật ngữ “và/hoặc” bao gồm bất kỳ và tất cả các kết hợp của một hoặc nhiều mục được liệt kê liên quan.

Sẽ hiểu rằng mặc dù các thuật ngữ chẳng hạn như ‘thứ nhất’ và ‘thứ hai’ được sử dụng trong bản mô tả này để mô tả các phần tử khác nhau, các phần tử này không nên bị giới hạn bởi các thuật ngữ này. Các thuật ngữ chỉ được sử dụng để phân biệt một thành phần này với các thành phần khác. Ví dụ, phần tử thứ nhất được gọi là phần tử thứ nhất theo một phương án có thể được gọi là phần tử thứ hai theo một phương án làm ví dụ khác mà không lệch khỏi phạm vi của các điểm yêu cầu bảo hộ kèm theo. Các thuật ngữ có dạng số ít có thể bao gồm các dạng số nhiều trừ khi được gọi ngược lại.

Ngoài ra, ““dưới”, “bên dưới”, “ở trên”, “phía trên”” và dạng tương tự được sử dụng để giải thích sự kết hợp liên quan của các thành phần được minh họa trên các hình vẽ. Các thuật ngữ có thể là khái niệm tương đối và được mô tả dựa vào các hướng được biểu diễn trên các hình vẽ.

Nghĩa ‘bao gồm’ hoặc ‘gồm có’ chỉ định tính chất, số cố định, bước, hoạt động, phần tử, thành phần hoặc sự kết hợp của chúng, nhưng không loại trừ các tính chất, số cố định, bước, hoạt động, phần tử, thành phần khác hoặc các kết hợp của chúng.

Sẽ hiểu rằng khi phần tử được gọi là “nằm trên” phần tử khác, thì phần tử này có thể trực tiếp nằm trên phần tử khác hoặc các phần tử xen giữa có thể nằm giữa đó. Ngược lại, khi phần tử này được gọi là “trực tiếp nằm trên” phần tử khác, thì không có các phần tử xen giữa có mặt.

Thuật ngữ được sử dụng trong bản mô tả này chỉ nhằm mục đích mô tả các phương án cụ thể và không nhằm làm giới hạn. Như được sử dụng trong bản mô tả này, các dạng số ít nhằm bao gồm các dạng số nhiều, bao gồm “ít nhất một”, trừ khi nội dung sáng chế biểu thị một cách rõ ràng khác đi. “Hoặc” có nghĩa “và/hoặc”. Như được sử dụng trong bản mô tả này, thuật ngữ “và/hoặc” bao gồm bất kỳ hoặc tất cả các kết hợp của một hoặc nhiều mục được liệt kê liên quan. Còn cần hiểu rằng các thuật ngữ “bao gồm” và/hoặc “gồm có”, hoặc “gồm” và/hoặc “bao gồm cả” khi được sử dụng trong bản mô tả này, chỉ định sự có mặt của các dấu hiệu, khu vực, số nguyên, bước, hoạt động, phần tử và/hoặc thành phần đã nêu, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, khu vực, số nguyên, bước, hoạt động, phần tử, thành phần khác và/hoặc các nhóm của chúng.

Hơn nữa, các thuật ngữ tương đối, chẳng hạn như “phía dưới” hoặc “dưới cùng” và “phía trên” hoặc “trên cùng” có thể được sử dụng trong bản mô tả này để mô tả mối quan hệ của phần tử này với phần tử khác như được minh họa trên các hình vẽ. Sẽ hiểu rằng các thuật ngữ tương đối nhằm bao gồm các định hướng khác nhau của thiết bị ngoài định hướng được mô tả trên các hình vẽ. Theo một phương án làm ví dụ, khi thiết bị trên một trong số các hình vẽ được lật lại, sau đó, các phần tử được mô tả là nằm phía “dưới” các phần tử khác sẽ được định hướng nằm ở các phía “trên” các phần tử khác. Do đó, thuật ngữ làm ví dụ “dưới,” có thể bao gồm cả định hướng “dưới” và “trên” tùy thuộc vào định hướng cụ thể của hình vẽ. Tương tự, khi thiết bị trên một trong số các hình vẽ được lật lại, sau đó, các phần tử được mô tả như “bên dưới” hoặc “ở dưới” các phần tử khác sẽ được định hướng “bên trên” các phần tử khác. Do đó, các thuật ngữ “bên dưới” hoặc “ở dưới” có thể bao gồm cả hai định hướng bên trên và bên dưới.

“Khoảng” hoặc “xấp xỉ” như được sử dụng trong bản mô tả này bao gồm giá trị hoặc phương tiện đã nêu nằm trong phạm vi độ lệch chấp nhận được đối với giá trị cụ thể như được xác định bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật, xem xét phép đo được đề cập và sai số liên quan đến phép đo về đại lượng cụ thể (nghĩa là,

các giới hạn của hệ thống đo). Ví dụ, “khoảng” có thể có nghĩa nằm trong một hoặc nhiều độ lệch chuẩn, hoặc nằm trong $\pm 30\%$, 20% , 10% , 5% giá trị đã nêu.

Trừ khi được định nghĩa khác đi, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng trong bản mô tả này có cùng ý nghĩa với các thuật ngữ thường được hiểu bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật mà sáng chế thuộc về. Còn cần hiểu rằng các thuật ngữ, chẳng hạn như các thuật ngữ được định nghĩa trong các từ điển thường được sử dụng, nên được hiểu là có ý nghĩa phù hợp với ý nghĩa của các thuật ngữ này trong ngữ cảnh của lĩnh vực kỹ thuật liên quan và sáng chế, và sẽ không được giải thích theo nghĩa được lý lượng hóa hoặc quá chính thức trừ khi được định nghĩa rõ ràng trong bản mô tả này.

Các phương án làm ví dụ được mô tả trong bản mô tả này dựa vào các phần minh họa mặt cắt ngang là các phần minh họa sơ lược về các phương án được lý tưởng hóa. Như vậy, các thay đổi từ các hình dạng của các phần minh họa được xem là kết quả, ví dụ, về các kỹ thuật chế tạo và/hoặc các dung sai, được mong đợi. Do đó, các phương án được mô tả trong bản mô tả này không nên được hiểu là bị giới hạn ở các hình dạng cụ thể của các khu vực như được minh họa trong bản mô tả này nhưng phải bao gồm các độ lệch về các hình dạng được xem là kết quả, ví dụ, từ quá trình chế tạo. Theo một phương án làm ví dụ, khu vực được minh họa hoặc mô tả dưới dạng phẳng có thể, điển hình, có các dấu hiệu gần đúng và/hoặc phi tuyến tính. Hơn nữa, các góc nhọn mà được minh họa có thể được làm tròn. Do đó, các khu vực được minh họa trên các hình vẽ có bản chất là sơ đồ và các hình dạng của chúng không nhằm minh họa hình dạng chính xác của khu vực và không nhằm làm giới hạn phạm vi của các điểm yêu cầu bảo hộ.

Fig.1 là hình chiếu phẳng của thiết bị hiển thị DM theo một phương án làm ví dụ của sáng chế.

Dựa vào Fig.1, thiết bị hiển thị DM bao gồm panen hiển thị DP, chip mạch điều khiển IC và bảng mạch in mềm dẻo FPC.

Panen hiển thị DP có thể là panen hiển thị kiểu phát quang. Tuy nhiên, sáng chế không bị giới hạn cụ thể ở đó. Theo một phương án làm ví dụ, panen hiển thị DP có thể là panen hiển thị phát quang hữu cơ hoặc panen hiển thị phát quang chấm lượng tử chẳng hạn. Panen hiển thị phát quang hữu cơ bao gồm lớp phát quang bao gồm vật liệu

phát quang hữu cơ. Panen hiển thị phát quang chấm lượng tử bao gồm lớp phát quang bao gồm chấm lượng tử và thanh chấm lượng tử. Sau đây, panen hiển thị DP sẽ được mô tả dưới dạng panen hiển thị phát quang hữu cơ.

Panen hiển thị DP bao gồm vùng hiển thị DA và vùng không hiển thị NDA được bố trí liền kề với vùng hiển thị DA. Vùng không hiển thị NDA có thể là vùng trên đó hình ảnh không được hiển thị. Theo một phương án làm ví dụ, vùng hiển thị DA có thể có dạng hình chữ nhật chẳng hạn. Vùng không hiển thị NDA có thể bao quanh vùng hiển thị DA. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, vùng hiển thị DA và vùng không hiển thị NDA có thể được thay đổi về hình dạng chẳng hạn.

Sau đây, theo một phương án làm ví dụ, hướng của mặt bên ngắn của panen hiển thị DP được xác định bởi hướng thứ nhất DR1, hướng của mặt bên dài của panen hiển thị DP được xác định bởi hướng thứ hai DR2, và hướng của đường thông thường của panen hiển thị DP được xác định bởi hướng thứ ba.

Panen hiển thị DP có thể bao gồm các đường tín hiệu và điểm ảnh PX.

Các đường tín hiệu có thể bao gồm đường quét GL, đường dữ liệu DL và đường công suất PL. Mặc dù mỗi trong số đường quét GL, đường dữ liệu DL và đường công suất PL được tạo ra nhiều, một đường quét GL, một đường dữ liệu DL và một đường công suất PL được minh họa làm ví dụ trên Fig.1. Đường quét GL, đường dữ liệu DL và đường công suất PL được nối với điểm ảnh PX. Trên Fig.1, đường quét GL, đường dữ liệu DL và đường công suất PL được nối theo cách làm ví dụ với chip mạch điều khiển IC. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, một phần của mỗi trong số đường quét GL, đường dữ liệu DL và đường công suất PL có thể được nối với bảng mạch in mềm dẻo FPC để nhận tín hiệu điều khiển chẳng hạn.

Các đường tín hiệu có thể được tạo ra bằng cách tạo mẫu hình lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, mà được bố trí trên các lớp khác nhau. Mối liên hệ về vị trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai sẽ được mô tả sau.

Panen hiển thị DP có thể bao gồm mạch điều khiển quét (không được thể hiện trên hình vẽ) được bố trí trên vùng không hiển thị NDA. Mạch điều khiển quét (không

được thể hiện trên hình vẽ) có thể nhận tín hiệu điều khiển từ chip mạch điều khiển IC hoặc bảng mạch in mềm dẻo FPC và cung cấp tín hiệu quét cho đường quét GL.

Điểm ảnh PX có thể được nối với đường quét GL và đường dữ liệu DL để hiển thị hình ảnh. Điểm ảnh PX có thể hiển thị một trong số các màu đỏ, màu xanh lá cây và màu xanh da trời. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, điểm ảnh PX có thể hiển thị các màu sắc khác (ví dụ, màu trắng) ngoài các màu đỏ, màu xanh lá cây, màu xanh da trời chẳng hạn. Mặc dù điểm ảnh PX có dạng hình chữ nhật trên Fig.1 làm một ví dụ, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, hình dạng của điểm ảnh PX có thể được thay đổi thành các hình dạng khác nhau chẳng hạn như các dạng hình đa giác, hình tròn, hình elip chẳng hạn.

Chip mạch điều khiển IC có thể được gắn vào vùng không hiển thị NDA của panen hiển thị DP. Chip mạch điều khiển IC tạo ra tín hiệu cần thiết cho việc điều khiển panen hiển thị DP. Chip mạch điều khiển IC có thể là mạch tích hợp điều khiển nguồn để tạo ra tín hiệu dữ liệu cho đường dữ liệu DL. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, chip mạch điều khiển IC có thể là mạch tích hợp điều khiển đa năng trong đó tất cả các mạch bao gồm mạch điều khiển quét tạo ra tín hiệu quét cho đường quét GL được tích hợp. Ở đây, mạch điều khiển quét có thể không được bố trí trên panen hiển thị DP chẳng hạn.

Theo một phương án làm ví dụ của sáng chế, chip mạch điều khiển IC có thể được bố trí (ví dụ, được lắp) trên panen hiển thị DP theo phương pháp chip trên panen (“chip-on-panel, COP”) chẳng hạn.

Bảng mạch in mềm dẻo FPC có thể được nối với một đầu của panen hiển thị DP theo hướng thứ hai DR2. Bảng mạch in mềm dẻo FPC này có thể được nối trực tiếp với các đường tín hiệu được bố trí trên panen hiển thị DP hoặc được nối với chip mạch điều khiển IC để truyền tín hiệu nhận được từ bên ngoài.

Fig.2 là sơ đồ mạch tương đương của một điểm ảnh PX. Fig.2 minh họa ví dụ điểm ảnh PX được nối với đường quét GL, một trong số các đường dữ liệu DL và đường công suất PL. Tuy nhiên, sáng chế không bị giới hạn ở kết cấu của điểm ảnh PX.

Điốt phát quang hữu cơ OLED có thể là điốt phát quang phía trước hoặc điốt phát quang phía sau. Điểm ảnh PX là mạch điều khiển điểm ảnh để điều khiển điốt phát quang hữu cơ OLED bao gồm tranzito thứ nhất T1 (hoặc tranzito chuyển mạch), tranzito thứ hai T2 (hoặc tranzito điều khiển) và tụ điện Cst. Điện áp công suất thứ nhất ELVDD được cung cấp cho tranzito thứ hai T2, và điện áp công suất thứ hai ELVSS được cung cấp cho điốt phát quang hữu cơ OLED. Điện áp công suất thứ hai ELVSS có thể ít hơn điện áp công suất thứ nhất ELVDD.

Tranzito thứ nhất T1 xuất ra tín hiệu dữ liệu được áp dụng cho đường dữ liệu DL đáp lại tín hiệu quét được áp dụng cho đường quét GL. Tụ điện Cst được sạc bằng điện áp tương ứng với tín hiệu dữ liệu nhận được từ tranzito thứ nhất T1.

Tranzito thứ hai T2 được nối với điốt phát quang hữu cơ OLED. Tranzito thứ hai T2 này điều khiển dòng điện điều khiển đi vào thông qua điốt phát quang hữu cơ OLED tương ứng với lượng điện tích được lưu trữ trong tụ điện Cst. Điốt phát quang hữu cơ OLED phát ra ánh sáng trong khoảng thời gian bật tranzito thứ hai T2.

Fig.3 là hình chiếu mặt cắt ngang một phần của panen hiển thị theo một điểm ảnh PX.

Panen hiển thị DP bao gồm lớp nền SUB, lớp phân tử mạch CL, lớp phân tử hiển thị DPL, lớp đóng gói màng mỏng TFE và bộ cảm biến cảm ứng TS. Mặc dù không thể hiện, panen hiển thị DP có thể còn bao gồm lớp bảo vệ phản xạ và/hoặc bộ phận cửa sổ, mà được bố trí trên bộ cảm biến cảm ứng TS.

Lớp nền SUB có thể bao gồm ít nhất một màng nhựa dẻo. Lớp nền SUB có thể mềm dẻo. Theo một phương án làm ví dụ, lớp nền SUB có thể bao gồm lớp nền nhựa dẻo, lớp nền thủy tinh, lớp nền kim loại hoặc lớp nền hợp chất hữu cơ/vô cơ chẳng hạn. Vùng hiển thị DA và vùng không hiển thị NDA được mô tả dựa vào Fig.1 có thể được xác định trên lớp nền SUB theo cùng cách.

Lớp phân tử mạch CL có thể bao gồm các đường tín hiệu, đường quét GL, đường dữ liệu DL và đường công suất PL, mà được mô tả dựa vào Fig.2. Ngoài ra, lớp phân tử mạch CL có thể bao gồm tranzito thứ nhất T1, tranzito thứ hai T2 và tụ điện Cst. Trên Fig.3, tranzito thứ nhất T1 được mô tả làm ví dụ.

Lớp phân tử mạch CL có thể bao gồm lớp chắn BR, lớp hoạt động ACT, màng cách điện cổng GI, điện cực cổng GE, màng cách điện giữa các lớp ILD, các điện cực đầu vào SE và đầu ra DE và lớp cách điện trung gian VLD.

Lớp chắn BR được bố trí trên lớp nền SUB và ngăn ngừa các lớp nền lạ không được đưa vào thông qua phần phía trên của lớp chắn BR.

Mặc dù không thể hiện, panen hiển thị DP có thể còn bao gồm màng chắn (không được thể hiện trên hình vẽ) được bố trí trên lớp chắn BR. Màng chắn (không được thể hiện trên hình vẽ) tăng lực ghép nối giữa lớp nền SUB và các lớp được bố trí ở trên lớp nền SUB. Lớp chắn BR và màng chắn (không được thể hiện trên hình vẽ) có thể được bố trí có chọn lọc hoặc được loại bỏ.

Lớp hoạt động ACT được bố trí trên lớp chắn BR. Lớp hoạt động ACT có thể sử dụng là vùng kênh của tranzito thứ nhất T1. Theo một phương án làm ví dụ, lớp hoạt động ACT có thể bao gồm silic vô định hình, silic đa tinh thể và chất bán dẫn oxit kim loại chẳng hạn.

Màng cách điện cổng GI có thể được bố trí trên lớp hoạt động ACT. Màng cách điện cổng GI này có thể cách điện điện cực cổng GE khỏi lớp hoạt động ACT.

Điện cực cổng GE có thể được bố trí trên màng cách điện cổng GI. Điện cực cổng GE có thể được bố trí trên lớp hoạt động ACT trong khi chồng lên điện cực cổng này.

Lớp dẫn điện thứ nhất (không được thể hiện trên hình vẽ) tạo thành các đường tín hiệu có thể được bố trí trong cùng lớp với điện cực cổng GE.

Màng cách điện giữa các lớp ILD được bố trí trên điện cực cổng GE. Màng cách điện giữa các lớp ILD cách điện điện cực cổng GE và các điện cực đầu vào SE và đầu ra DE với nhau. Màng cách điện giữa các lớp ILD có thể bao gồm vật liệu vô cơ. Theo một phương án làm ví dụ, vật liệu vô cơ có thể bao gồm silic nitrit, silic oxynitrit và silic oxit chẳng hạn.

Các điện cực đầu vào SE và đầu ra DE được bố trí trên màng cách điện giữa các lớp ILD. Các điện cực đầu vào SE và đầu ra DE có thể được nối điện với lớp hoạt động ACT thông qua các lỗ tiếp xúc thứ nhất CH1 và thứ hai CH2 lần lượt được xác định trong màng cách điện cổng GI.

Lớp dẫn điện thứ hai (không được thể hiện trên hình vẽ) tạo thành các đường tín hiệu có thể được bố trí trong cùng lớp với các điện cực đầu vào SE và đầu ra DE.

Mặc dù panen hiển thị DP làm ví dụ có cấu trúc cổng trên cùng trong đó điện cực cổng GE được bố trí trên lớp hoạt động ACT theo một phương án làm ví dụ của sáng chế, nhưng panen hiển thị DP có thể có cấu trúc cổng dưới cùng trong đó điện cực cổng GE được bố trí bên dưới lớp hoạt động ACT theo một phương án làm ví dụ khác.

Màng cách điện giữa các lớp ILD được bố trí trên các điện cực đầu vào SE và đầu ra DE. Màng cách điện giữa các lớp ILD có thể tạo ra bề mặt phẳng. Màng cách điện giữa các lớp ILD có thể bao gồm vật liệu hữu cơ. Theo một phương án làm ví dụ, vật liệu hữu cơ có thể bao gồm ít nhất một trong số nhựa gốc acryl, nhựa gốc metacryl, nhựa gốc polyisopren, nhựa gốc vinyl, nhựa gốc epoxy, nhựa gốc uretan, nhựa gốc xenluloza, nhựa gốc siloxan, nhựa gốc polyimit, nhựa gốc polyamit và nhựa gốc perylen chẳng hạn.

Lớp phân tử hiển thị DPL được bố trí trên lớp cách điện trung gian VLD. Lớp phân tử hiển thị DPL có thể bao gồm màng xác định điểm ảnh PDL và phân tử hiển thị. Theo một phương án làm ví dụ của sáng chế, phân tử hiển thị có thể là điốt phát quang hữu cơ OLED. Điốt phát quang hữu cơ OLED này bao gồm điện cực thứ nhất AE, lớp điều khiển lỗ trống HCL, lớp phát quang EML, lớp điều khiển điện tử ECL và điện cực thứ hai CE.

Lớp xác định điểm ảnh PDL có thể bao gồm vật liệu hữu cơ. Điện cực thứ nhất AE được bố trí trên lớp cách điện trung gian VLD. Điện cực thứ nhất AE được nối với điện cực đầu ra DE thông qua lỗ tiếp xúc thứ ba CH3 đi qua lớp cách điện trung gian VLD. Khoảng hở thứ nhất OP1 được xác định trong màng xác định điểm ảnh PDL. Khoảng hở thứ nhất OP1 của màng xác định điểm ảnh PDL làm lộ ra ít nhất một phần của điện cực thứ nhất AE.

Điểm ảnh có thể được bố trí trên vùng điểm ảnh trên hình chiếu bằng. Vùng điểm ảnh có thể bao gồm vùng phát quang PXA và vùng không phát quang NPXA được bố trí liền kề với vùng phát quang PXA. Vùng không phát quang NPXA có thể bao quanh vùng phát quang PXA. Theo phương án làm ví dụ này, vùng phát quang

PXA được xác định tương ứng với vùng riêng phần của điện cực thứ nhất AE, mà được làm lộ ra bởi khoảng hở thứ nhất OP1.

Lớp điều khiển lỗ trống HCL có thể được bố trí ở vùng phát quang PXA và vùng không phát quang NPXA nói chung. Mặc dù không được thể hiện riêng, lớp chung chẳng hạn như lớp điều khiển lỗ trống HCL có thể được bố trí trong các điểm ảnh PX nói chung.

Lớp phát quang EML được bố trí trên lớp điều khiển lỗ trống HCL. Lớp phát quang EML này có thể được bố trí ở vùng tương ứng với khoảng hở thứ nhất OP1. Nghĩa là, lớp phát quang EML có thể được bố trí riêng trong mỗi trong số các điểm ảnh PX. Lớp phát quang EML có thể bao gồm vật liệu hữu cơ và/hoặc vật liệu vô cơ. Mặc dù lớp phát quang EML được tạo mẫu hình được minh họa theo cách làm ví dụ theo phương án làm ví dụ này, nhưng lớp phát quang EML có thể được bố trí trong các điểm ảnh PX nói chung. Theo một phương án làm ví dụ, lớp phát quang EML có thể tạo ra ánh sáng màu trắng chẳng hạn. Ngoài ra, lớp phát quang EML có thể có cấu trúc đa lớp.

Lớp điều khiển điện tử ECL được bố trí trên lớp phát quang EML. Mặc dù không được thể hiện riêng, lớp chung chẳng hạn như lớp điều khiển lỗ trống HCL có thể được bố trí trong các điểm ảnh PX nói chung.

Điện cực thứ hai CE được bố trí trên lớp điều khiển điện tử ECL. Điện cực thứ hai CE này được bố trí trong các điểm ảnh PX nói chung.

Lớp đóng gói màng mỏng TFE được bố trí trên điện cực thứ hai CE. Lớp đóng gói màng mỏng TFE này được bố trí trong các điểm ảnh PX nói chung. Theo phương án làm ví dụ này, lớp đóng gói màng mỏng TFE che trực tiếp điện cực thứ hai CE. Theo một phương án làm ví dụ khác của sáng chế, lớp phủ để che điện cực thứ hai CE có thể còn được bố trí giữa lớp đóng gói màng mỏng TFE và điện cực thứ hai CE. Ở đây, lớp đóng gói màng mỏng TFE có thể che trực tiếp lớp phủ.

Lớp đóng gói màng mỏng TFE bao gồm ít nhất một màng vô cơ (sau đây, được gọi là màng vô cơ đóng gói). Lớp đóng gói màng mỏng TFE có thể còn bao gồm ít nhất một màng hữu cơ (sau đây, được gọi là màng hữu cơ đóng gói). Màng vô cơ đóng gói bảo vệ lớp phân tử hiển thị DPL khỏi hơi ẩm/oxy, và lớp hữu cơ đóng gói bảo vệ lớp phân tử hiển thị DPL khỏi các lớp nền lạ chẳng hạn như các hạt bụi. Theo một

phương án làm ví dụ, màng vô cơ đóng gói có thể bao gồm lớp silic nitrit, lớp silic oxynitrit, lớp silic oxit, lớp titan oxit hoặc lớp nhôm oxit chẳng hạn. Mặc dù màng hữu cơ đóng gói có thể bao gồm lớp hữu cơ gốc acryl, nhưng sáng chế không bị giới hạn ở đó.

Bộ cảm biến cảm ứng TS được bố trí trên lớp đóng gói màng mỏng TFE. Bộ cảm biến cảm ứng TS này thu được thông tin tọa độ của đầu vào phía ngoài.

Theo một phương án làm ví dụ của sáng chế, bộ cảm biến cảm ứng TS được bố trí trực tiếp trên lớp đóng gói màng mỏng TFE. Trong bản mô tả này, cách diễn đạt “được bố trí trực tiếp” biểu diễn sự tạo thành thông qua quy trình liên tục thay vì gắn bởi lớp kết dính riêng biệt.

Theo một phương án làm ví dụ, bộ cảm biến cảm ứng TS có thể phát hiện đầu vào phía ngoài theo phương pháp điện dung chẳng hạn. Sáng chế không bị giới hạn ở phương pháp hoạt động của bộ cảm biến cảm ứng TS. Theo một phương án làm ví dụ, bộ cảm biến cảm ứng TS theo một phương án làm ví dụ của sáng chế có thể phát hiện đầu vào phía ngoài theo phương pháp cảm ứng điện từ hoặc phương pháp nhận biết áp lực chẳng hạn.

Bộ cảm biến cảm ứng TS có thể có cấu trúc đa lớp. Bộ cảm biến cảm ứng TS này có thể bao gồm lớp dẫn điện đơn lớp hoặc đa lớp. Bộ cảm biến cảm ứng TS có thể bao gồm lớp cách điện đơn lớp hoặc đa lớp.

Fig.4 là hình chiếu bằng của bộ cảm biến cảm ứng trên Fig.3, và Fig.5 là hình chiếu mặt cắt ngang được cắt dọc theo đường I-I' trên Fig.4.

Bộ cảm biến cảm ứng TS có thể bao gồm lớp điện cực cảm ứng TML và lớp cách điện cảm ứng TSL. Lớp cách điện cảm ứng TSL có thể tiếp xúc lớp điện cực cảm ứng TML.

Lớp điện cực cảm ứng TML có thể bao gồm lớp điện cực cảm ứng thứ nhất TML1 và lớp điện cực cảm ứng thứ hai TML2. Lớp cách điện cảm ứng TSL có thể bao gồm lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2.

Lớp điện cực cảm ứng thứ hai TML2 có thể được bố trí trên lớp điện cực cảm ứng thứ nhất TML1.

Mỗi trong số lớp điện cực cảm ứng thứ nhất TML1 và lớp điện cực cảm ứng thứ hai TML2 có thể có cấu trúc đơn lớp hoặc cấu trúc đa lớp được cán mỏng. Lớp dẫn điện có cấu trúc đa lớp có thể bao gồm ít nhất hai hoặc nhiều hơn hai lớp trong số các lớp trong suốt và các lớp kim loại. Lớp dẫn điện có cấu trúc đa lớp có thể bao gồm các lớp kim loại, mỗi trong số các lớp này bao gồm kim loại khác nhau. Theo một phương án làm ví dụ, lớp dẫn điện trong suốt có thể bao gồm indi thiếc oxit (“ITO”), indi kẽm oxit (“IZO”), kẽm oxit (“ZnO”), indi thiếc kẽm oxit (“ITZO”), PEDOT, dây nano kim loại và graphen chẳng hạn. Theo một phương án làm ví dụ, lớp kim loại có thể bao gồm molybden, bạc, titan, đồng, nhôm và hợp kim của chúng chẳng hạn. Theo một phương án làm ví dụ, mỗi trong số lớp điện cực cảm ứng thứ nhất TML1 và lớp điện cực cảm ứng thứ hai TML2 có thể có cấu trúc ba lớp gồm titan/nhôm/titan chẳng hạn.

Lớp cách điện cảm ứng thứ nhất TSL1 có thể được bố trí giữa lớp điện cực cảm ứng thứ nhất TML1 và lớp điện cực cảm ứng thứ hai TML2. Lớp cách điện cảm ứng thứ hai TSL2 có thể được bố trí giữa lớp trên cùng (lớp đóng gói màng mỏng TFE (dựa vào Fig.3)) của panen hiển thị DP và lớp điện cực cảm ứng thứ nhất TML1. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, lớp cách điện cảm ứng thứ hai TSL2 có thể được lược bỏ có chọn lọc chẳng hạn.

Mỗi trong số lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2 có thể bao gồm vật liệu vô cơ. Theo một phương án làm ví dụ, vật liệu vô cơ có thể bao gồm silic nitrit, silic oxynitrit và silic oxit chẳng hạn.

Bộ cảm biến cảm ứng TS có thể còn bao gồm màng phẳng PAS được bố trí trên lớp điện cực cảm ứng thứ hai TML2. Màng phẳng PAS này có thể tạo ra bề mặt phẳng và bao gồm vật liệu hữu cơ.

Như được minh họa trên Fig.4, bộ cảm biến cảm ứng TS có thể bao gồm: các điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5, các đường tín hiệu cảm ứng thứ nhất từ SL1-1 đến SL1-5 được nối với các điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5, các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4, các đường tín hiệu cảm ứng thứ hai từ SL2-1 đến SL2-4 được nối với các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4, và các đế hàn cảm ứng TS-PD được nối với các đường tín hiệu cảm ứng thứ nhất từ SL1-1 đến SL1-5 và các đường tín hiệu cảm ứng thứ hai từ SL2-1 đến SL2-4.

Mỗi trong số điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5 có thể có hình dạng mắt lưới trong đó các khoảng hở cảm ứng được xác định. Mỗi điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5 bao gồm các phần cảm biến cảm ứng thứ nhất SP1 và các phần nối thứ nhất CP1. Các phần cảm biến cảm ứng thứ nhất SP1 được bố trí theo hướng thứ nhất DR1. Mỗi trong số các phần nối thứ nhất CP1 nối hai phần cảm biến cảm ứng thứ nhất SP1 liền kề với nhau trong số các phần cảm biến cảm ứng thứ nhất SP1. Mặc dù không được thể hiện cụ thể, các đường tín hiệu cảm ứng thứ nhất từ SL1-1 đến SL1-5 cũng có thể có hình dạng mắt lưới.

Các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4 giao cắt các điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5 theo kiểu cách điện. Mỗi trong số các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4 có thể có hình dạng mắt lưới trong đó các khoảng hở cảm ứng được xác định. Mỗi trong số các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4 bao gồm các phần cảm biến cảm ứng thứ hai SP2 và các phần nối thứ hai CP2. Các phần cảm biến cảm ứng thứ hai SP2 được bố trí theo hướng thứ hai DR2. Mỗi trong số các phần nối thứ hai CP2 nối hai phần cảm biến cảm ứng thứ hai SP2 liền kề với nhau trong số các phần cảm biến cảm ứng thứ hai SP2. Các đường tín hiệu cảm ứng thứ hai từ SL2-1 đến SL2-4 cũng có thể có hình dạng mắt lưới.

Các điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5 và các điện cực cảm ứng thứ hai từ TE2-1 đến TE2-4 được ghép kiểu điện dung với nhau. Do các tín hiệu cảm biến cảm ứng được áp dụng cho các điện cực cảm ứng thứ nhất từ TE1-1 đến TE1-5, nên các tụ điện được bố trí giữa các phần cảm biến cảm ứng thứ nhất SP1 và các phần cảm biến cảm ứng thứ hai SP2.

Theo phương án làm ví dụ này, các phần nối thứ nhất CP1 được tạo ra từ lớp điện cực cảm ứng thứ nhất TML1, và các phần cảm biến cảm ứng thứ nhất SP1 và các phần nối thứ hai CP2 được tạo ra từ lớp điện cực cảm ứng thứ hai TML2.

Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, một phần trong số các phần cảm biến cảm ứng thứ nhất SP1, các phần nối thứ nhất CP1, các đường tín hiệu cảm ứng thứ nhất từ SL1-1 đến SL1-5, các phần cảm biến cảm ứng thứ hai SP2, các phần nối thứ hai CP2 và các đường tín hiệu cảm ứng thứ hai từ SL2-1 đến SL2-4 có thể được tạo ra từ lớp điện cực cảm ứng thứ nhất TML1 trên

Fig.5, và một phần khác của chúng có thể được tạo ra từ lớp điện cực cảm ứng thứ hai TML2 trên Fig.5 chẳng hạn.

Fig.6 là hình chiếu bằng riêng phần được phóng to minh họa vùng AA của thiết bị hiển thị DM trên Fig.1.

Dựa vào Fig.1 và Fig.6, panen hiển thị DP có thể còn bao gồm nhóm đế hàn PDG được bố trí ở vùng không hiển thị NDA và mạch thử TCR.

Nhóm đế hàn PDG có thể bao gồm các đế hàn đầu vào IPD và các đế hàn đầu ra OPD. Các đế hàn đầu ra OPD được bố trí tương đối gần vùng hiển thị DA hơn so với các đế hàn đầu vào IPD nằm gần vùng hiển thị DA. Chip mạch điều khiển IC được nối điện với panen hiển thị DP thông qua các đế hàn đầu vào IPD và các đế hàn đầu ra OPD.

Panen hiển thị DP có thể còn bao gồm các đường đế hàn đầu ra OPL và các đường đế hàn đầu vào IPL. Các đường đế hàn đầu ra OPL nối các đế hàn đầu ra OPD với một phần (ví dụ, các đường dữ liệu DL) của các đường tín hiệu. Các đường đế hàn đầu vào IPL nối các đế hàn đầu vào IPD với bảng mạch in mềm dẻo FPC.

Chip mạch điều khiển IC nhận tín hiệu được tạo ra từ bảng mạch in mềm dẻo FPC thông qua các đường đế hàn đầu vào IPL và các đế hàn đầu vào IPD. Chip mạch điều khiển IC có thể tạo ra tín hiệu cho ít nhất một phần của đường quét GL, đường dữ liệu DL và đường công suất PL thông qua các đế hàn đầu ra OPD và các đường đế hàn đầu ra OPL.

Các đế hàn đầu ra OPD có thể được bố trí ở nhiều hàng. Các đế hàn đầu ra OPD được bố trí ở một hàng có thể được đặt cách nhau theo hướng thứ nhất DR1. Mặc dù các đế hàn đầu ra OPD được bố trí theo cách làm ví dụ ở ba hàng trên Fig.6, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các đế hàn đầu ra OPD có thể được bố trí ở hai hoặc ít hơn hai hàng hoặc bốn hoặc nhiều hơn bốn hàng chẳng hạn.

Mặc dù các đế hàn đầu vào IPD được bố trí theo cách làm ví dụ ở một hàng trên Fig.6, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các đế hàn đầu vào IPD có thể được bố trí ở nhiều hàng chẳng hạn.

Mỗi trong số các đế hàn đầu vào IPD và đế hàn đầu ra OPD có thể có mặt bên ngắn và mặt bên dài. Mỗi trong số các mặt bên ngắn của các đế hàn đầu vào IPD và

các đế hàn đầu ra OPD có thể kéo dài theo hướng thứ nhất DR1. Mỗi trong số các mặt bên dài của các đế hàn đầu vào IPD và các đế hàn đầu ra OPD có thể kéo dài theo hướng thứ tư DR4 giao cắt hướng thứ nhất DR1 và hướng thứ hai DR2.

Các đế hàn, mà được bố trí ở các hàng tương ứng với nhau, trong số các đế hàn đầu ra OPD được bố trí ở các hàng khác nhau có thể được đặt cách nhau theo hướng thứ tư DR4. Theo một phương án làm ví dụ, đế hàn đầu ra OPD11 được bố trí ở hàng thứ nhất và cột thứ nhất và đế hàn đầu ra OPD21 được bố trí ở hàng thứ hai và hàng thứ nhất có thể được đặt cách nhau theo hướng thứ tư DR4 chẳng hạn.

Mạch thử TCR có thể chồng lên chip mạch điều khiển IC ở vùng không hiển thị NDA. Panen hiển thị DP có thể còn bao gồm các đường đế hàn thử TPL nối mạch thử TCR với các đế hàn đầu ra OPD. Các đường đế hàn thử TPL có thể được nối với một số đế hàn đầu ra OPD định trước, ví dụ, các đế hàn đầu ra OPD được nối với đường dữ liệu DL.

Mạch thử TCR tạo ra tín hiệu để kiểm tra trạng thái hoạt động của panen hiển thị DP trước khi được phát hành dưới dạng sản phẩm cuối cùng cho panen hiển thị DP thông qua các đường đế hàn thử TPL và các đế hàn đầu ra OPD. Mạch thử TCR có thể được hủy kích hoạt sau khi phát hành sản phẩm.

Theo một phương án làm ví dụ của sáng chế, mạch thử TCR được bố trí để chồng lên chip mạch điều khiển IC thay vì được bố trí ở vùng riêng phần của vùng không hiển thị NDA mà không chồng lên chip mạch điều khiển IC. Theo đó, vùng không hiển thị NDA có thể được giảm về kích thước, và do đó, tỷ lệ sử dụng không gian có thể tăng lên.

Lớp cách điện trung gian VLD làm lộ ra nhóm đế hàn PDG sao cho nhóm đế hàn PDG và chip mạch điều khiển IC tiếp xúc với nhau. Lớp cách điện trung gian VLD này sử dụng để bảo vệ mạch thử TCR bằng cách che mạch thử TCR.

Theo một phương án làm ví dụ của sáng chế, mẫu hình rãnh được xác định xung quanh nhóm đế hàn PDG trong lớp cách điện cảm ứng TSL (dựa vào Fig.5) trên hình chiếu bằng. Phần mô tả chi tiết sẽ được mô tả sau.

Fig.7 là hình chiếu mặt cắt ngang được cắt dọc theo đường I-I' trên Fig.6. Cấu trúc mặt cắt ngang của một đế hàn đầu ra trong số các đế hàn đầu ra OPD sẽ được mô

tả dựa vào Fig.7. Các đế hàn đầu ra OPD và các đế hàn đầu vào IPD gần như giống nhau về cấu trúc.

Dựa vào Fig.1, Fig.6 và Fig.7, panen hiển thị DP bao gồm mẫu hình đế hàn dữ liệu DPP tiếp xúc đế hàn đầu ra OPD và mẫu hình đế hàn cổng GPP.

Mẫu hình đế hàn cổng GPP được bố trí ở cùng lớp với điện cực cổng GE trên Fig.3, mẫu hình đế hàn dữ liệu DPP được bố trí ở cùng lớp với các điện cực đầu vào SE và điện cực đầu ra DE trên Fig.3, và đế hàn đầu ra OPD được bố trí ở cùng lớp với một trong số lớp điện cực cảm ứng thứ nhất TML1 và lớp điện cực cảm ứng thứ hai TML2 trên Fig.5. Một cách chi tiết, đế hàn đầu ra OPD có thể được bố trí ở cùng lớp với lớp điện cực cảm ứng thứ hai TML2. Theo một phương án làm ví dụ khác của sáng chế, mẫu hình đế hàn dữ liệu DPP có thể được loại bỏ có chọn lọc.

Các đường đế hàn đầu ra OPL và các đường đế hàn thử TPL có thể được bố trí ở cùng lớp với mẫu hình đế hàn cổng GPP và được nối điện với mẫu hình đế hàn cổng GPP.

Khoảng hở thứ hai OP2 làm lộ ra ít nhất một phần của mẫu hình đế hàn cổng GPP được xác định ở màng cách điện giữa các lớp ILD, và mẫu hình đế hàn cổng GPP và mẫu hình đế hàn dữ liệu DPP tiếp xúc với nhau thông qua khoảng hở thứ hai OP2.

Khoảng hở thứ ba OP3 làm lộ ra ít nhất một phần của mẫu hình đế hàn dữ liệu DPP được xác định ở lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2, và đế hàn đầu ra OPD và mẫu hình đế hàn dữ liệu DPP tiếp xúc với nhau thông qua khoảng hở thứ ba OP3.

Theo một phương án làm ví dụ của sáng chế, lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2 bao gồm vật liệu gần như giống nhau, và các mẫu hình rãnh có hình dạng giống với nhau được xác định ở lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2. Theo đó, sau đây, lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2 sẽ được mô tả dưới dạng lớp cách điện cảm ứng TSL thay vì được mô tả riêng biệt. Cách diễn đạt mà mẫu hình rãnh được xác định ở lớp cách điện cảm ứng TSL biểu diễn rằng mẫu hình hốc được xác định ở mỗi trong số lớp cách điện cảm ứng thứ nhất TSL1 và lớp cách điện cảm ứng thứ hai TSL2 chẳng hạn.

Fig.8 là hình chiếu minh họa hình dạng của mẫu hình rãnh GR theo một phương án làm ví dụ của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1, và Fig.9 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II' trên Fig.8.

Dựa vào Fig.8 và Fig.9, các đế hàn đầu ra OPD có thể bao gồm các đế hàn đầu ra trung tâm OPDC và các đế hàn đầu ra phía ngoài OPDP. Các đế hàn đầu ra phía ngoài OPDP có thể được bố trí bên ngoài các đế hàn đầu ra trung tâm OPDC.

Mặc dù các đế hàn đầu ra phía ngoài OPDP được bố trí ở phía ngoài của các đế hàn đầu ra trung tâm OPDC theo hướng thứ nhất DR1 trên Fig.8, nhưng các đế hàn đầu ra phía ngoài OPDP có thể được bố trí ở phía ngoài còn lại của các đế hàn đầu ra trung tâm OPDC theo hướng thứ nhất DR1.

Trên hình chiếu bằng, một số đế hàn đầu ra phía ngoài OPDP định trước không thể chồng lên mạch thử TCR theo hướng thứ hai DR2. Trên hình chiếu bằng, các đế hàn đầu ra trung tâm OPDC có thể chồng lên mạch thử TCR theo hướng thứ hai DR2.

Các đế hàn đầu ra OPD được bố trí theo cách làm ví dụ ở ba hàng theo một phương án làm ví dụ của sáng chế. Các đế hàn đầu ra OPD có thể được phân loại thành các đế hàn đầu ra hàng thứ nhất đến thứ ba 101, 102 và 103 theo thứ tự liền kề với mạch thử TCR.

Mặc dù các đế hàn đầu ra phía ngoài OPDP được minh họa theo cách làm ví dụ dưới dạng các đế hàn đầu ra được bố trí từ hàng thứ nhất là hàng ngoài cùng đến hàng thứ ba trên Fig.8, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, một số đế hàn đầu ra phía ngoài OPDP có thể được thiết lập theo cách khác nhau chẳng hạn.

Ngoài ra, các đế hàn đầu vào IPD có thể bao gồm các đế hàn đầu vào trung tâm IPDC và các đế hàn đầu vào phía ngoài IPDP. Các đế hàn đầu vào phía ngoài IPDP có thể được bố trí bên ngoài các đế hàn đầu vào trung tâm IPDC.

Trên hình chiếu bằng, ít nhất một số đế hàn đầu vào phía ngoài IPDP định trước có thể không chồng lên mạch thử TCR theo hướng thứ hai DR2. Trên hình chiếu bằng, các đế hàn đầu vào trung tâm IPDC có thể chồng lên mạch thử TCR theo hướng thứ hai DR2.

Mặc dù các đế hàn đầu vào phía ngoài IPDP được minh họa theo cách làm ví dụ dưới dạng các đế hàn đầu vào được bố trí từ hàng thứ nhất là hàng ngoài cùng đến hàng thứ ba trên Fig.8, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, một số đế hàn đầu vào phía ngoài IPDP có thể được thiết lập theo cách khác nhau chẳng hạn.

Mẫu hình rãnh GR được xác định ở lớp cách điện cảm ứng TSL. Mẫu hình rãnh GR có thể là lỗ đi qua lớp cách điện cảm ứng TSL. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, mẫu hình rãnh GR có thể đi qua lớp cách điện cảm ứng TSL và xác định rãnh ở màng cách điện giữa các lớp ILD chẳng hạn.

Mẫu hình rãnh GR có thể chồng lên vùng không hiển thị NDA trên hình chiếu bằng và được xác định xung quanh nhóm đế hàn PDG (dựa vào Fig.6). Mẫu hình rãnh GR có thể chồng lên chip mạch điều khiển IC trên hình chiếu bằng.

Trên hình chiếu bằng, mẫu hình rãnh GR có thể được bố trí giữa các đế hàn đầu ra trung tâm OPDC và lớp cách điện trung gian VLD. Nói cách khác, trên hình chiếu bằng, khoảng cách giữa mẫu hình rãnh GR và các đế hàn đầu ra trung tâm OPDC có thể ngắn hơn so với khoảng cách giữa các đế hàn đầu ra trung tâm OPDC và lớp cách điện trung gian VLD. Mẫu hình rãnh GR có thể chồng lên ít nhất một số đế hàn đầu ra trung tâm OPDC định trước. Mẫu hình rãnh GR có thể không chồng lên ít nhất một số đế hàn đầu ra phía ngoài OPDP định trước.

Sau đây, hình dạng của mẫu hình rãnh GR sẽ được mô tả.

Lớp cách điện trung gian VLD có thể bao gồm lớp cách điện trung gian thứ nhất VLD1 và lớp cách điện trung gian thứ hai VLD2.

Lớp cách điện trung gian thứ nhất VLD1 và lớp cách điện trung gian thứ hai VLD2 có thể được đặt cách nhau. Trên hình chiếu bằng, lớp cách điện trung gian thứ hai VLD2 có thể được bố trí giữa các đế hàn đầu ra OPD và các đế hàn đầu vào IPD theo hướng thứ hai DR2. Lớp cách điện trung gian thứ hai VLD2 có thể chồng lên chip mạch điều khiển IC (dựa vào Fig.6) và che mạch thử TCR (dựa vào Fig.6). Lớp cách điện trung gian thứ nhất VLD1 có thể là phần còn lại ngoại trừ lớp cách điện trung gian thứ hai VLD2.

Khoảng hở thứ tư OP4 được xác định ở lớp cách điện trung gian thứ nhất VLD1, và nhóm đế hàn PDG được làm lộ ra thông qua khoảng hở thứ tư OP4. Khoảng hở thứ tư OP4 có thể có dạng hình chữ nhật mà tương tự với hình dạng phẳng của chip mạch điều khiển IC. Khoảng hở thứ tư OP4 có dạng hình chữ nhật có các bề mặt bên trong từ thứ nhất đến thứ tư. Trên Fig.8, bề mặt bên trong thứ nhất IS1 liền kề với vùng hiển thị DA và kéo dài theo hướng thứ nhất DR1, bề mặt bên trong thứ hai IS2 song song với bề mặt bên trong thứ nhất IS1, và bề mặt bên trong thứ ba IS3 nổi bề mặt bên trong thứ nhất IS1 với bề mặt bên trong thứ hai IS2 được minh họa. Mặc dù bề mặt bên trong thứ tư (không được thể hiện trên hình vẽ) không được thể hiện, nhưng bề mặt bên trong thứ tư có thể hướng về phía bề mặt bên trong thứ ba IS3 và nối bề mặt bên trong thứ nhất IS1 và bề mặt bên trong thứ hai IS2 với nhau.

Theo một phương án làm ví dụ của sáng chế, mẫu hình rãnh GR có thể bao gồm các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4.

Trên hình chiếu bằng, mẫu hình rãnh thứ nhất GR1 có thể đi qua giữa các đế hàn đầu ra trung tâm OPDC và lớp cách điện trung gian thứ hai VLD2. Mẫu hình rãnh thứ nhất GR1 có thể có hình dạng tuyến tính kéo dài theo hướng thứ nhất DR1. Mẫu hình rãnh thứ nhất GR1 có thể không chồng lên một số đế hàn đầu ra phía ngoài OPDP định trước theo hướng thứ hai DR2. Trên Fig.8, mẫu hình rãnh thứ nhất GR1 không chồng lên theo cách làm ví dụ tất cả các đế hàn đầu ra hàng thứ nhất 101, mà được bố trí ở hàng thứ nhất, trong số các đế hàn đầu ra phía ngoài OPDP theo hướng thứ hai DR2. Mẫu hình rãnh thứ nhất GR1 có thể chồng lên tất cả các đế hàn đầu ra trung tâm OPDC theo hướng thứ hai DR2.

Trên hình chiếu bằng, mẫu hình rãnh thứ hai GR2 có thể đi qua giữa các đế hàn đầu vào trung tâm IPDC và lớp cách điện trung gian thứ hai VLD2. Mẫu hình rãnh thứ hai GR2 có thể có hình dạng tuyến tính kéo dài theo hướng thứ nhất DR1. Mẫu hình rãnh thứ hai GR2 có thể không chồng lên một số đế hàn đầu vào phía ngoài IPDP định trước theo hướng thứ hai DR2. Trên Fig.8, mẫu hình rãnh thứ hai GR2 không chồng lên theo cách làm ví dụ tất cả các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2. Mẫu hình rãnh thứ hai GR2 có thể chồng lên tất cả các đế hàn đầu vào trung tâm IPDC theo hướng thứ hai DR2.

Trên hình chiếu bằng, mẫu hình rãnh thứ ba GR3 có thể đi qua giữa các đế hàn đầu ra trung tâm OPDC và bề mặt bên trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình rãnh thứ ba GR3 có thể có hình dạng tuyến tính theo hướng thứ nhất DR1. Mẫu hình rãnh thứ ba GR3 có thể không chông lên một số đế hàn đầu ra phía ngoài OPDP định trước theo hướng thứ hai DR2. Trên Fig.8, mẫu hình rãnh thứ ba GR3 không chông lên theo cách làm ví dụ tất cả các đế hàn đầu ra phía ngoài OPDP theo hướng thứ hai DR2. Mẫu hình rãnh thứ ba GR3 có thể chông lên ít nhất một số đế hàn đầu ra trung tâm OPDC định trước theo hướng thứ hai DR2. Trên Fig.8, mẫu hình rãnh thứ ba GR3 chông lên theo cách làm ví dụ tất cả các đế hàn đầu ra 103, mà được bố trí ở hàng thứ ba, trong số các đế hàn đầu ra phía ngoài OPDP theo hướng thứ hai DR2.

Trên hình chiếu bằng, mẫu hình rãnh thứ tư GR4 có thể đi qua giữa các đế hàn đầu vào trung tâm IPDC và bề mặt bên trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình rãnh thứ tư GR4 có thể có hình dạng tuyến tính theo hướng thứ nhất DR1. Mẫu hình rãnh thứ tư GR4 có thể không chông lên một số đế hàn đầu ra phía ngoài OPDP định trước theo hướng thứ hai DR2. Trên Fig.8, mẫu hình rãnh thứ tư GR4 không chông lên theo cách làm ví dụ tất cả các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2. Mẫu hình rãnh thứ tư GR4 có thể chông lên ít nhất một số đế hàn đầu vào trung tâm IPDC định trước theo hướng thứ hai DR2.

Màng cách điện giữa các lớp ILD (dựa vào Fig.9) có thể được làm lộ ra bởi các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4.

Trên Fig.9, mặc dù các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4 được xác định theo cách làm ví dụ ở lớp cách điện cảm ứng TSL, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4 có thể được kéo dài để được xác định ở một phần của màng cách điện giữa các lớp ILD chẳng hạn.

Dựa vào Fig.9, thiết bị hiển thị DM có thể còn bao gồm phần lõi BMP. Phần lõi BMP này có thể được gắn vào một bề mặt của chip mạch điều khiển IC, mà hướng về phía panen hiển thị DP. Phần lõi BMP có thể bao gồm vật liệu dẫn điện. Chip mạch điều khiển IC có thể nhận tín hiệu điện áp và dòng điện thông qua phần lõi BMP.

Chip mạch điều khiển IC có thể được bố trí (ví dụ, được lắp) theo cách sao cho màng dẫn điện không đẳng hướng (“anisotropic conductive film, ACF”) được bố trí giữa chip mạch điều khiển IC và panen hiển thị DP và sau đó được nén nhiệt ở nhiệt độ cao. ACF có thể bao gồm các bóng dẫn điện 150 và vật liệu kết dính 151. Bóng dẫn điện 150 có thể cho phép phân phối BMP và các đế hàn đầu vào IPD và đầu ra OPD được nối điện với nhau.

Trên Fig.9, đế hàn đầu ra OPD tiếp xúc mẫu hình đế hàn dữ liệu đầu ra DPP1 thông qua khoảng hở thứ năm OP5 được xác định ở lớp cách điện cảm ứng TSL, và mẫu hình đế hàn dữ liệu đầu ra DPP1 tiếp xúc mẫu hình đế hàn cổng đầu ra GPP1 thông qua khoảng hở thứ sáu OP6 được xác định ở màng cách điện giữa các lớp ILD.

Đế hàn đầu vào IPD tiếp xúc mẫu hình đế hàn dữ liệu đầu vào DPP2 thông qua khoảng hở thứ bảy OP7 được xác định ở lớp cách điện cảm ứng TSL, và mẫu hình đế hàn dữ liệu đầu vào DPP2 tiếp xúc mẫu hình đế hàn cổng đầu vào GPP2 thông qua khoảng hở thứ tám OP8 được xác định ở màng cách điện giữa các lớp ILD.

Vì các cấu trúc của đế hàn đầu ra OPD và đế hàn đầu vào IPD đã được mô tả dựa vào Fig.7, nên phần mô tả chi tiết sẽ được lược bỏ.

Trên Fig.9, mạch thử TCR có thể bao gồm ít nhất một trong số mẫu hình thử thứ nhất TCR1 và mẫu hình thử thứ hai TCR2. Mẫu hình thử thứ nhất TCR1 có thể được bố trí ở cùng lớp với mẫu hình đế hàn cổng đầu ra GPP1 và mẫu hình đế hàn cổng đầu vào GPP2. Mẫu hình thử thứ hai TCR2 có thể được bố trí ở cùng lớp với mẫu hình đế hàn dữ liệu đầu ra DPP1 và mẫu hình đế hàn dữ liệu đầu vào DPP2.

Fig.10 là hình chiếu làm ví dụ minh họa mặt cắt ngang của thiết bị hiển thị tương ứng với ví dụ so sánh, Fig.11 là ảnh chụp thể hiện mặt cắt ngang của thiết bị hiển thị tương ứng với ví dụ so sánh và Fig.12 là ảnh chụp thể hiện lỗi xảy ra trong thiết bị đầu cuối di động mà thiết bị hiển thị tương ứng với ví dụ so sánh được áp dụng.

Giả sử rằng Fig.10 có cấu trúc gần như giống với cấu trúc trên Fig.9 ngoại trừ mẫu hình rãnh GR trên Fig.9. Fig.10 là hình chiếu mặt cắt ngang được cắt dọc theo đường III-III' trên Fig.8. Thành phần, mà tương ứng với thành phần của thiết bị hiển thị trên Fig.9, của các thành phần trên Fig.10 được biểu thị bằng cách thêm “-1” vào ký hiệu tham chiếu của thành phần tương ứng của thiết bị hiển thị trên Fig.9.

Vì mỗi trong số màng cách điện giữa các lớp ILD-1 và lớp cách điện cảm ứng TSL-1 bao gồm vật liệu vô cơ, nên mỗi trong số màng cách điện giữa các lớp ILD-1 và lớp cách điện cảm ứng TSL-1 có lực ghép nối tương đối yếu. Theo đó, lớp cách điện cảm ứng TSL-1 và màng cách điện giữa các lớp ILD-1 dễ dàng được phân lớp khỏi nhau.

Một cách chi tiết, vết nứt CRK có thể được tạo ra ở lớp cách điện cảm ứng TSL-1. Vết nứt CRK này có thể được tạo ra do các lý do khác nhau. Trong khi quy trình nén chip mạch điều khiển IC-1 được thực hiện, bóng dẫn điện 150-1 có thể tác dụng áp lực vào lớp cách điện cảm ứng TSL-1 để tạo ra vết nứt CRK trong lớp cách điện cảm ứng TSL-1 chẳng hạn. Ngoài ra, do panen hiển thị mềm dẻo DP (dựa vào Fig.9) được uốn cong, nên lớp cách điện cảm ứng TSL-1 có thể còn được uốn cong để tạo ra vết nứt CRK trong đó.

Trong trường hợp có nhiệt độ cao và hơi ẩm cao, do lớp cách điện trung gian VLD-1 bao gồm vật liệu hữu cơ hấp thụ hơi ẩm thông qua vết nứt CRK và được giãn nở nhiệt, nên lớp cách điện cảm ứng TSL-1 và màng cách điện giữa các lớp ILD-1 được phân lớp. Fig.11 thể hiện rằng lớp cách điện cảm ứng TSL-1 và màng cách điện giữa các lớp ILD-1 được phân lớp bởi khoảng cách thứ nhất DT.

Đường dẫn chất lưu PTH thông qua đó hơi ẩm có thể đi qua giữa lớp cách điện cảm ứng TSL-1 và màng cách điện giữa các lớp ILD-1 có thể được xác định, và, do hơi ẩm di chuyển qua đường dẫn chất lưu PTH, nên các đế hàn liền kề với nhau có thể bị đứt mạch. Cụ thể là, vì panen hiển thị DP có độ phân giải cao, và do đó khoảng cách cách quãng giữa các đế hàn đầu ra OPD trở nên hẹp, các đế hàn đầu ra OPD liền kề với nhau có thể bị đứt mạch thông qua đường dẫn chất lưu PTH. Trên Fig.10, hai đế hàn đầu ra OPD-1 liền kề bị đứt mạch theo cách làm ví dụ.

Dựa vào vùng BB trên Fig.12, các đế hàn đầu ra OPD liền kề bị đứt mạch để tạo ra lỗi có hình dạng đường thẳng đứng. Thiết bị hiển thị DM-1 tương ứng với ví dụ so sánh có thể có các loại lỗi khác nhau theo sự kết hợp của các đế hàn đầu vào IPD và đầu ra OPD ngoài lỗi có hình dạng đường thẳng đứng trên Fig.12.

Dựa lại vào Fig.8 và Fig.9, do mẫu hình rãnh GR được xác định ở lớp cách điện cảm ứng TSL, nên thiết bị hiển thị DM theo một phương án làm ví dụ của sáng chế có thể về cơ bản ngăn ngừa hiện tượng phân lớp giữa lớp cách điện cảm ứng TSL và

màng cách điện giữa các lớp ILD hoặc ngăn ngừa hiện tượng phân lớp được tạo ra giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD không được chuyển đến để hàn đầu vào IPD và để hàn đầu ra OPD.

Lớp cách điện trung gian VLD có độ dày tương đối lớn hơn so với độ dày của các lớp được bố trí dưới đó ngoại trừ lớp nền SUB. Theo một phương án làm ví dụ, lớp cách điện trung gian VLD có thể có độ dày bằng hoặc lớn hơn khoảng 10000 angstrom (Å), và mỗi trong số lớp chắn BR, lớp hoạt động ACT, lớp cách điện cổng GI, điện cực cổng GE, màng cách điện giữa các lớp ILD và các điện cực đầu vào SE và đầu ra DE có thể có độ dày bằng hoặc nhỏ hơn khoảng 10000 Å chẳng hạn.

Vì lớp cách điện trung gian VLD có độ dày tương đối dày và lớp cách điện cảm ứng TSL có độ dày tương đối mỏng, nên lớp cách điện cảm ứng TSL chồng lên các bề mặt bên trong thứ nhất IS1 đến thứ ba IS3 và bề mặt bên trong thứ tư (không được thể hiện trên hình vẽ) là tương đối dễ bị nứt. Ngoài ra, vết nứt có thể được tạo ra ở lớp cách điện cảm ứng TSL chồng lên chip mạch điều khiển IC do áp lực của bóng dẫn điện 150 trong quy trình nén chip mạch điều khiển IC. Nghĩa là, có khả năng cao là vết nứt được tạo ra ở lớp cách điện cảm ứng TSL ở vị trí trong đó lớp cách điện cảm ứng TSL chồng lên lớp cách điện trung gian VLD. Theo đó, theo một phương án làm ví dụ của sáng chế, mẫu hình rãnh GR được xác định ở vị trí chồng lên lớp cách điện trung gian VLD để ngăn ngừa hiện tượng phân lớp giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD do vết nứt được tạo ra ở lớp cách điện cảm ứng TSL không được chuyển đến các đế hàn đầu ra OPD và các đế hàn đầu vào IPD.

Trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế, do mẫu hình rãnh được xác định ở lớp cách điện cảm ứng TSL, nên đoạn mạch do hiện tượng phân lớp gây ra giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD có thể được ngăn ngừa không được tạo ra giữa các đế hàn đầu ra OPD và các đế hàn đầu vào IPD.

Dựa lại vào Fig.8 và Fig.9, vì các đế hàn được bố trí trên cả hai phía của mỗi trong số các đế hàn đầu ra trung tâm OPDC và đế hàn đầu vào trung tâm IPDC theo hướng thứ nhất DR1, nên ứng suất được tác dụng vào các đế hàn đầu ra trung tâm OPDC và các đế hàn đầu vào trung tâm IPDC khi chip mạch điều khiển IC được bố trí (ví dụ, được lắp) trên panen hiển thị DP có thể được phân phối. Tuy nhiên, trong

trường hợp đối với các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP, vì các đế hàn được bố trí chỉ ở một phía theo hướng thứ nhất DR1, nên ứng suất được tập trung trong đó trong khi so sánh với các đế hàn đầu ra trung tâm OPDC và các đế hàn đầu vào trung tâm IPDC.

Vì mẫu hình rãnh dễ bị ảnh hưởng bởi ứng suất, nên khi vết nứt được tạo ra trong mẫu hình rãnh, thì vết nứt có thể được tạo ra trên toàn bộ panen hiển thị dọc theo mẫu hình rãnh. Cụ thể là, khi mẫu hình rãnh được xác định xung quanh vùng trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP, là vùng mà ứng suất được tập trung, được bố trí, thì vết nứt có thể được tạo ra dọc theo mẫu hình rãnh trong quy trình lắp chip mạch điều khiển IC để tạo ra lỗi của thiết bị hiển thị.

Trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế, do mẫu hình rãnh được xác định ở lớp cách điện cảm ứng, nên giới hạn phân lớp giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD có thể được giải quyết, và, ở cùng thời điểm, do mẫu hình rãnh không chồng lên ít nhất một số đế hàn đầu ra phía ngoài OPDP định trước và ít nhất một số đế hàn đầu vào phía ngoài IPDP định trước theo hướng thứ hai DR2 để cho phép ứng suất cần tập trung trên vùng trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP được bố trí, nên giới hạn trong đó vết nứt được tạo ra trong panen hiển thị có thể được giải quyết.

Fig.13 là hình chiếu minh họa hình dạng của mẫu hình rãnh theo một phương án làm ví dụ khác của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1, và Fig.14 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II' trên Fig.13.

Thiết bị hiển thị DM1, mà sẽ được mô tả dựa vào Fig.13 và Fig.14, theo một phương án làm ví dụ khác của sáng chế bao gồm các thành phần gần như tương tự với các thành phần của thiết bị hiển thị DM, mà đã được mô tả dựa vào Fig.8 và Fig.9, theo một phương án làm ví dụ của sáng chế, ngoại trừ hình dạng của mẫu hình rãnh GR-1. Sau đây, hình dạng của mẫu hình rãnh GR-1 sẽ được mô tả một cách chi tiết, và các thành phần mà không được mô tả sẽ theo phần mô tả trên Fig.8 và Fig.9.

Mẫu hình rãnh GR-1 có thể còn bao gồm mẫu hình rãnh thứ năm GR5.

Mẫu hình rãnh thứ năm GR5 được bố trí giữa mẫu hình rãnh thứ nhất GR1 và thứ hai GR2 và được đặt cách mẫu hình rãnh thứ nhất GR1 và thứ hai GR2 theo hướng

thứ hai DR2. Mẫu hình rãnh thứ năm GR5 làm lộ ra lớp cách điện trung gian thứ hai VLD2 và màng cách điện giữa các lớp ILD. Nghĩa là, lớp cách điện cảm ứng TSL không chồng lên lớp cách điện trung gian thứ hai VLD2.

Mẫu hình rãnh thứ năm GR5 về cơ bản ngăn ngừa vết nứt không được tạo ra xung quanh lớp cách điện trung gian thứ hai VLD2.

Fig.15 là hình chiếu minh họa hình dạng của mẫu hình rãnh theo một phương án làm ví dụ khác của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1.

Thiết bị hiển thị DM2, mà sẽ được mô tả dựa vào Fig.15, theo một phương án làm ví dụ khác của sáng chế, bao gồm các thành phần gần như giống với các thành phần của thiết bị hiển thị DM, mà đã được mô tả dựa vào Fig.8 và Fig.9, theo một phương án làm ví dụ của sáng chế, ngoại trừ mẫu hình rãnh phía ngoài PR. Sau đây, mẫu hình rãnh PR sẽ được mô tả một cách chi tiết, và các thành phần mà không được mô tả sẽ theo phần mô tả trên Fig.8 và Fig.9.

Mẫu hình rãnh phía ngoài PR có thể còn được xác định ở lớp cách điện cảm ứng TSL (dựa vào Fig.9). Mẫu hình rãnh phía ngoài PR này có thể bao gồm các lỗ được bố trí song song theo hướng cụ thể. Các lỗ này có thể đi qua lớp cách điện cảm ứng TSL và xác định rãnh trong màng cách điện giữa các lớp ILD sau khi đi qua lớp cách điện cảm ứng TSL. Các lỗ này có thể có hình dạng mặt cắt ngang (độ sâu) gần như giống với hình dạng mặt cắt ngang (độ sâu) của mẫu hình rãnh GR.

Mẫu hình rãnh phía ngoài PR có thể bao gồm các mẫu hình rãnh phía ngoài thứ nhất PR1 đến thứ tư PR4.

Các mẫu hình rãnh phía ngoài thứ nhất PR1 đến thứ tư PR4 có thể lần lượt được bố trí liên kề với các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4 theo hướng thứ nhất DR1.

Mỗi trong số các mẫu hình rãnh phía ngoài thứ nhất PR1 đến thứ tư PR4 có thể bao gồm các lỗ mà được đặt cách nhau theo hướng thứ nhất DR1. Các mẫu hình rãnh phía ngoài thứ nhất PR1 đến thứ tư PR4 có thể chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2.

Theo thiết bị hiển thị được mô tả dựa vào Fig.15, do các mẫu hình rãnh phía ngoài thứ nhất PR1 đến thứ tư PR4 được bố trí ở vùng chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2, nên giới hạn phân lớp giữa lớp cách điện cảm ứng TSL (dựa vào Fig.9) và màng cách điện giữa các lớp ILD (dựa vào Fig.9) có thể được giải quyết, và, ở cùng thời điểm, do ứng suất được tác dụng vào vùng, trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP được bố trí, được phân phối, nên giới hạn xuất hiện vết nứt trong panen hiển thị có thể được giải quyết.

Fig.16 là hình chiếu minh họa hình dạng của mẫu hình rãnh theo một phương án làm ví dụ khác của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1.

Thiết bị hiển thị DM3, mà sẽ được mô tả dựa vào Fig.16, theo một phương án làm ví dụ khác của sáng chế, bao gồm các thành phần gần như giống với các thành phần của thiết bị hiển thị DM, mà đã được mô tả dựa vào Fig.8 và Fig.9, theo một phương án làm ví dụ của sáng chế, ngoại trừ mẫu hình rãnh phía ngoài PR-1. Sau đây, mẫu hình rãnh PR-1 sẽ được mô tả một cách chi tiết, và các thành phần không được mô tả sẽ theo phần mô tả trên Fig.8 và Fig.9.

Mẫu hình rãnh phía ngoài PR-1 có thể còn được xác định ở lớp cách điện cảm ứng TSL (dựa vào Fig.9). Mẫu hình rãnh phía ngoài PR-1 có thể có hình dạng kéo dài theo kiểu zic-zac dọc theo hướng thứ nhất DR1. Mẫu hình rãnh phía ngoài PR-1 có thể đi qua lớp cách điện cảm ứng TSL và xác định rãnh trong màng cách điện giữa các lớp ILD (dựa vào Fig.9). Các lỗ có thể có hình dạng mặt cắt ngang (độ sâu) gần như giống với hình dạng mặt cắt ngang (độ sâu) của mẫu hình rãnh GR.

Mẫu hình rãnh phía ngoài PR-1 có thể bao gồm các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14.

Các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 có thể lần lượt được bố trí liền kề với các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4 theo hướng thứ nhất DR1. Trên Fig.16, mặc dù các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 lần lượt được nối theo cách làm ví dụ với các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 có thể lần

lượt được đặt cách các mẫu hình rãnh thứ nhất GR1 đến thứ tư GR4 theo hướng thứ nhất DR1 chẳng hạn.

Mỗi trong số các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 có thể có hình dạng trong đó các mẫu hình tuyến tính kéo dài theo hướng khác nhau được nối với nhau. Tuy nhiên, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, mỗi trong số các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 có thể có hình dạng trong đó các mẫu hình cong được nối với nhau chẳng hạn.

Theo thiết bị hiển thị DM3 được mô tả dựa vào Fig.16, do các mẫu hình rãnh phía ngoài thứ nhất PR11 đến thứ tư PR14 được bố trí ở vùng chùng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2, nên giới hạn phân lớp giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD có thể được giải quyết, và, ở cùng thời điểm, do ứng suất được tác dụng vào vùng, trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP được bố trí, được phân phối, nên giới hạn xuất hiện vết nứt trong panen hiển thị có thể được giải quyết.

Fig.17 là hình chiếu minh họa hình dạng của mẫu hình rãnh theo một phương án làm ví dụ khác của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1.

Thiết bị hiển thị DM4, mà sẽ được mô tả dựa vào Fig.17, theo một phương án làm ví dụ khác của sáng chế, bao gồm các thành phần gần như giống với các thành phần của thiết bị hiển thị DM, mà đã được mô tả dựa vào Fig.8 và Fig.9, theo một phương án làm ví dụ của sáng chế, ngoại trừ mẫu hình rãnh phía ngoài PR-2. Sau đây, mẫu hình rãnh PR-2 sẽ được mô tả một cách chi tiết, và các thành phần mà không được mô tả sẽ theo phần mô tả trên Fig.8 và Fig.9.

Mẫu hình rãnh phía ngoài PR-2 có thể còn được xác định ở lớp cách điện cảm ứng TSL (dựa vào Fig.9).

Mẫu hình rãnh phía ngoài PR-2 có thể bao gồm các mẫu hình rãnh phía ngoài thứ nhất PR21 đến thứ tám PR28. Mỗi trong số các mẫu hình rãnh phía ngoài thứ nhất PR21 đến thứ tám PR28 có thể được bố trí nhiều.

Các mẫu hình rãnh phía ngoài thứ nhất PR21 và thứ hai PR22 có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đế hàn đầu ra phía ngoài OPDP. Các mẫu hình rãnh phía ngoài thứ nhất PR21 và thứ hai PR22 này có thể chồng lên các đế hàn đầu ra phía ngoài OPDP theo hướng thứ hai DR2. Các mẫu hình rãnh phía ngoài thứ nhất PR21 có thể được đặt cách nhau theo hướng thứ nhất DR1. Các mẫu hình rãnh phía ngoài thứ hai PR22 có thể được đặt cách nhau theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ nhất PR21 và thứ hai PR22 có thể có các khoảng cách khác nhau được đặt cách các đế hàn đầu ra được bố trí ở một hàng bất kỳ theo hướng thứ hai DR2. Dựa vào các đế hàn đầu ra OPD được bố trí ở hàng thứ nhất, các mẫu hình rãnh phía ngoài thứ nhất PR21 có thể được đặt cách nhau bởi khoảng cách thứ nhất TT1, và các mẫu hình rãnh phía ngoài thứ hai PR22 có thể được đặt cách nhau bởi khoảng cách thứ hai TT2.

Các mẫu hình rãnh phía ngoài thứ nhất PR21 có thể được bố trí giữa các mẫu hình rãnh phía ngoài thứ hai PR22 theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ ba PR23 và thứ tư PR24 có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đế hàn đầu vào phía ngoài IPDP. Các mẫu hình rãnh phía ngoài thứ ba PR23 và thứ tư PR24 có thể chồng lên các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2. Các mẫu hình rãnh phía ngoài thứ ba PR23 có thể được đặt cách nhau theo hướng thứ nhất DR1, và các mẫu hình rãnh phía ngoài thứ tư PR24 có thể được đặt cách nhau theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ ba PR23 và thứ tư PR24 có thể có các khoảng cách khác nhau được đặt cách các đế hàn đầu vào IPD được bố trí ở một hàng bất kỳ theo hướng thứ hai DR2.

Các mẫu hình rãnh phía ngoài thứ ba PR23 có thể được bố trí giữa các mẫu hình rãnh phía ngoài thứ tư PR24 theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ năm PR25 và thứ sáu PR26 có thể được bố trí giữa các đế hàn đầu ra phía ngoài OPDP và bề mặt bên trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Các mẫu hình rãnh phía ngoài thứ năm PR25 và thứ sáu PR26 có thể chồng lên các đế hàn đầu ra phía ngoài OPDP theo hướng thứ hai DR2. Các mẫu hình rãnh phía ngoài thứ năm PR25 có thể được đặt cách nhau theo

hướng thứ nhất DR1, và các mẫu hình rãnh phía ngoài thứ sáu PR26 có thể được đặt cách nhau theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ năm PR25 và thứ sáu PR26 có thể có các khoảng cách khác nhau được đặt cách các đế hàn đầu ra được bố trí ở một hàng bất kỳ theo hướng thứ hai DR2.

Các mẫu hình rãnh phía ngoài thứ năm PR25 có thể nằm giữa các mẫu hình rãnh phía ngoài thứ sáu PR26 theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ bảy PR27 và thứ tám PR28 có thể được bố trí giữa các đế hàn đầu vào phía ngoài IPDP và bề mặt bên trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1. Các mẫu hình rãnh phía ngoài thứ bảy PR27 và thứ tám PR28 có thể chồng lên các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2. Các mẫu hình rãnh phía ngoài thứ bảy PR27 có thể được đặt cách nhau theo hướng thứ nhất DR1, và các mẫu hình rãnh phía ngoài thứ tám PR28 có thể được đặt cách nhau theo hướng thứ nhất DR1.

Các mẫu hình rãnh phía ngoài thứ bảy PR27 và thứ tám PR28 có thể có các khoảng cách khác nhau được đặt cách các đế hàn đầu ra được bố trí ở một hàng bất kỳ theo hướng thứ hai DR2. Các mẫu hình rãnh phía ngoài thứ bảy PR27 có thể được bố trí giữa các mẫu hình rãnh phía ngoài thứ tám PR28 theo hướng thứ nhất DR1.

Theo thiết bị hiển thị DM4 được mô tả dựa vào Fig.17, do các mẫu hình rãnh phía ngoài thứ nhất PR21 đến thứ tám PR28 được bố trí ở vùng chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2, nên giới hạn phân lớp giữa lớp cách điện cảm ứng TSL và màng cách điện giữa các lớp ILD có thể được giải quyết, và, ở cùng thời điểm, do ứng suất được tác dụng vào vùng, trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP được bố trí, được phân phối, nên giới hạn xuất hiện vết nứt trong panen hiển thị có thể được giải quyết.

Fig.18 là hình chiếu minh họa hình dạng của mẫu hình rãnh theo một phương án làm ví dụ khác của sáng chế trên hình chiếu bằng được phóng to của vùng AA trên Fig.1, và Fig.19 là hình chiếu mặt cắt ngang được cắt dọc theo đường II-II trên Fig.18.

Thiết bị hiển thị DM5, mà sẽ được mô tả dựa vào Fig.18 và Fig.19, theo một phương án làm ví dụ khác của sáng chế bao gồm các thành phần gần như giống với các thành phần của thiết bị hiển thị DM, mà đã được mô tả dựa vào Fig.8 và Fig.9, theo một phương án làm ví dụ của sáng chế, ngoại trừ hình dạng của mẫu hình rãnh GR-2 và mẫu hình bù CP. Sau đây, hình dạng của mẫu hình rãnh GR-2 và mẫu hình bù CP sẽ được mô tả một cách chi tiết, và các thành phần mà không được mô tả sẽ theo phần mô tả trên Fig.8 và Fig.9.

Mẫu hình rãnh GR-2 có thể bao gồm các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14. Mỗi trong số các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14 trên Fig.18 có thể có hình dạng trong đó mỗi trong số các mẫu hình rãnh GR1 đến GR4 trên Fig.8 còn kéo dài.

Một cách cụ thể, mỗi trong số các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14 có thể kéo dài đến các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ nhất DR1 và chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2.

Pan-en hiển thị DP-1 có thể còn bao gồm mẫu hình bù CP. Mẫu hình bù CP này có thể được bố trí trên lớp cách điện cảm ứng TSL.

Mẫu hình bù CP có thể bao gồm các mẫu hình bù thứ nhất CP1 đến thứ tư CP4.

Các mẫu hình bù thứ nhất CP1 đến thứ tư CP4 có thể lần lượt chồng lên các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14. Các mẫu hình bù thứ nhất CP1 đến thứ tư CP4 có thể ngăn ngừa màng cách điện giữa các lớp ILD lần lượt không được làm lộ ra bởi các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14.

Các mẫu hình bù thứ nhất CP1 đến thứ tư CP4 có thể chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2.

Mỗi trong số các mẫu hình bù thứ nhất CP1 đến thứ tư CP4 có thể bao gồm vật liệu giống với vật liệu lớp cách điện cảm ứng TSL.

Các vùng riêng phần của các mẫu hình rãnh thứ nhất GR11 đến thứ tư GR14 chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2 lần lượt được che bởi các mẫu hình bù thứ nhất CP1 đến thứ tư CP4. Do đó, trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế, do

mẫu hình bù chồng lên các mẫu hình rãnh ở vùng chồng lên các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP theo hướng thứ hai DR2 được xác định, nên giới hạn, trong đó vết nứt được tạo ra trong panen hiển thị vì ứng suất được tập trung trên vùng trong đó các đế hàn đầu ra phía ngoài OPDP và các đế hàn đầu vào phía ngoài IPDP được bố trí, có thể được giải quyết.

Trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế, đoạn mạch giữa các đế hàn đầu ra và các đế hàn đầu vào do hiện tượng phân lớp gây ra giữa lớp cách điện cảm ứng và màng cách điện giữa các lớp được ngăn ngừa bằng cách xác định mẫu hình rãnh trong lớp cách điện cảm ứng.

Trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế, vì mẫu hình rãnh không được kéo dài đến các đế hàn được bố trí ở phần phía ngoài của panen hiển thị, nên vết nứt được tạo ra do ứng suất được tập trung xung quanh các đế hàn được bố trí ở phần phía ngoài của panen hiển thị khi chip mạch điều khiển được bố trí (ví dụ, được lắp) trên panen hiển thị có thể được ngăn ngừa không được tạo ra trong panen hiển thị.

Mặc dù các phương án làm ví dụ của sáng chế đã được mô tả, nhưng cần hiểu rằng sáng chế không bị giới hạn ở các phương án làm ví dụ này mà các thay đổi và cải biến khác nhau có thể được thực hiện bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật nằm trong mục đích và phạm vi của sáng chế như được yêu cầu bảo hộ sau đây.

Do đó, phạm vi bảo vệ thực sự của sáng chế sẽ được xác định bởi phạm vi kỹ thuật của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

lớp nền bao gồm vùng hiển thị và vùng không hiển thị được bố trí bên ngoài vùng hiển thị;

các đường tín hiệu được bố trí trên lớp nền;

lớp phần tử hiển thị được bố trí trên các đường tín hiệu và bao gồm các phần tử hiển thị được bố trí ở vùng hiển thị;

nhóm đế hàn được nối điện với các đường tín hiệu và bao gồm các đế hàn đầu ra được bố trí ở vùng không hiển thị;

lớp cách điện trung gian được bố trí giữa các đường tín hiệu và lớp phần tử hiển thị và làm lộ ra các đế hàn đầu ra;

lớp điện cực cảm ứng được bố trí trên lớp phần tử hiển thị; và

lớp cách điện cảm ứng được bố trí trên lớp phần tử hiển thị, tiếp xúc lớp điện cực cảm ứng, và trong đó mẫu hình rãnh được xác định ở vùng không hiển thị,

trong đó các đế hàn đầu ra bao gồm các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài được bố trí bên ngoài các đế hàn đầu ra trung tâm theo hướng thứ nhất; và

mẫu hình rãnh được bố trí giữa các đế hàn đầu ra và lớp cách điện trung gian và không chồng lên ít nhất một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai giao cắt hướng thứ nhất trên hình chiếu bằng.

2. Thiết bị hiển thị theo điểm 1, trong đó các đường tín hiệu bao gồm lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai được bố trí trên lớp dẫn điện thứ nhất,

thiết bị hiển thị còn bao gồm màng cách điện giữa các lớp được bố trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, và

mỗi trong số màng cách điện giữa các lớp và lớp cách điện cảm ứng bao gồm vật liệu vô cơ.

3. Thiết bị hiển thị theo điểm 2, trong đó lớp cách điện cảm ứng và màng cách điện giữa các lớp tiếp xúc với nhau ở ít nhất vùng riêng phần, và mẫu hình rãnh làm lộ ra màng cách điện giữa các lớp.

4. Thiết bị hiển thị theo điểm 1, trong đó nhóm đế hàn còn bao gồm các đế hàn đầu vào được bố trí ở vùng không hiển thị và được đặt cách các đế hàn đầu ra theo hướng thứ hai trên hình chiếu bằng,

các đế hàn đầu vào bao gồm các đế hàn đầu vào trung tâm và các đế hàn đầu vào phía ngoài được bố trí bên ngoài các đế hàn đầu vào trung tâm theo hướng thứ nhất, và

mẫu hình rãnh được bố trí giữa các đế hàn đầu vào và màng cách điện giữa các lớp và không chồng lên ít nhất một số đế hàn đầu vào phía ngoài định trước theo hướng thứ hai trên hình chiếu bằng.

5. Thiết bị hiển thị theo điểm 4, trong đó thiết bị này còn bao gồm chip mạch điều khiển mà được nối điện với các đế hàn đầu ra và các đế hàn đầu vào và tạo ra tín hiệu cho các đường tín hiệu; và

mạch chồng lên chip mạch điều khiển và được nối điện với ít nhất một số đế hàn đầu ra định trước.

6. Thiết bị hiển thị theo điểm 5, trong đó các đế hàn đầu ra trung tâm và các đế hàn đầu vào trung tâm chồng lên mạch theo hướng thứ hai trên hình chiếu bằng, và

ít nhất một số đế hàn đầu ra phía ngoài định trước và ít nhất một số đế hàn đầu vào phía ngoài định trước chồng lên mạch theo hướng thứ hai trên hình chiếu bằng.

7. Thiết bị hiển thị theo điểm 5, trong đó lớp cách điện trung gian bao gồm lớp cách điện trung gian thứ nhất trong đó khoảng hở làm lộ ra nhóm đế hàn được xác định và lớp cách điện trung gian thứ hai được đặt cách lớp cách điện trung gian thứ nhất và che mạch trên hình chiếu bằng.

8. Thiết bị hiển thị theo điểm 7, trong đó mẫu hình rãnh bao gồm mẫu hình rãnh thứ nhất đi qua giữa các đế hàn đầu ra trung tâm và lớp cách điện trung gian thứ hai và không chồng lên một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai.

9. Thiết bị hiển thị theo điểm 8, trong đó mẫu hình rãnh còn bao gồm mẫu hình rãnh thứ hai được bố trí giữa các đế hàn đầu ra trung tâm và một bề mặt bên của khoảng hở của lớp cách điện trung gian thứ nhất liền kề với vùng hiển thị và không chồng lên một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai.

10. Thiết bị hiển thị theo điểm 8, trong đó mẫu hình rãnh còn bao gồm mẫu hình rãnh thứ ba làm lộ ra lớp cách điện trung gian thứ hai và được đặt cách mẫu hình rãnh thứ nhất theo hướng thứ hai.

11. Thiết bị hiển thị theo điểm 1, trong đó mẫu hình rãnh phía ngoài liền kề với mẫu hình rãnh theo hướng thứ nhất và bao gồm các lỗ song song với nhau theo hướng thứ nhất còn được xác định ở lớp cách điện cảm ứng, và

mẫu hình rãnh phía ngoài chồng lên các đế hàn đầu ra phía ngoài theo hướng thứ hai.

12. Thiết bị hiển thị theo điểm 1, trong đó mẫu hình rãnh phía ngoài liền kề với mẫu hình rãnh theo hướng thứ nhất và có hình dạng kéo dài theo kiểu zic-zac dọc theo hướng thứ nhất còn được xác định ở lớp cách điện cảm ứng, và

mẫu hình rãnh phía ngoài chồng lên các đế hàn đầu ra phía ngoài theo hướng thứ hai.

13. Thiết bị hiển thị theo điểm 1, trong đó mẫu hình rãnh phía ngoài liền kề với mẫu hình rãnh theo hướng thứ nhất còn được xác định ở lớp cách điện cảm ứng,

mẫu hình rãnh phía ngoài bao gồm:

các mẫu hình rãnh phía ngoài thứ nhất được đặt cách nhau theo hướng thứ nhất; và

các mẫu hình rãnh phía ngoài thứ hai được đặt cách nhau theo hướng thứ nhất,

các mẫu hình rãnh phía ngoài thứ nhất được bố trí giữa các mẫu hình rãnh phía ngoài thứ hai theo hướng thứ nhất, và

các mẫu hình rãnh phía ngoài thứ nhất và các mẫu hình rãnh phía ngoài thứ hai chồng lên các đế hàn đầu ra phía ngoài theo hướng thứ hai.

14. Thiết bị hiển thị bao gồm:

lớp nền bao gồm vùng hiển thị và vùng không hiển thị được bố trí bên ngoài vùng hiển thị;

các đường tín hiệu được bố trí trên lớp nền;

lớp phần tử hiển thị được bố trí trên các đường tín hiệu và bao gồm các phần tử hiển thị được bố trí ở vùng hiển thị;

nhóm đế hàn được nối điện với các đường tín hiệu và bao gồm các đế hàn đầu ra được bố trí ở vùng không hiển thị;

lớp cách điện trung gian được bố trí giữa các đường tín hiệu và lớp phân tử hiển thị và làm lộ ra các đế hàn đầu ra;

lớp điện cực cảm ứng được bố trí trên lớp phân tử hiển thị;

lớp cách điện cảm ứng được bố trí trên lớp phân tử hiển thị, tiếp xúc lớp điện cực cảm ứng, và trong đó mẫu hình rãnh được xác định ở vùng không hiển thị; và

mẫu hình bù được bố trí trên lớp cách điện cảm ứng và chồng lên mẫu hình rãnh,

trong đó các đế hàn đầu ra bao gồm các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài được bố trí bên ngoài các đế hàn đầu ra trung tâm theo hướng thứ nhất mà là hướng kéo dài của mặt bên ngắn của mỗi trong số các đế hàn đầu ra,

mẫu hình rãnh được bố trí giữa các đế hàn đầu ra và lớp cách điện trung gian, và

mẫu hình bù chồng lên ít nhất một số đế hàn đầu ra phía ngoài định trước theo hướng thứ hai giao cắt hướng thứ nhất trên hình chiếu bằng.

15. Thiết bị hiển thị theo điểm 14, trong đó mẫu hình bù bao gồm vật liệu giống với vật liệu của lớp cách điện cảm ứng.

16. Thiết bị hiển thị theo điểm 14, trong đó mẫu hình rãnh chồng lên các đế hàn đầu ra trung tâm và các đế hàn đầu ra phía ngoài theo hướng thứ hai trên hình chiếu bằng.

17. Thiết bị hiển thị theo điểm 1, trong đó hướng thứ nhất là hướng kéo dài của mặt bên ngắn của mỗi trong số các đế hàn đầu ra.

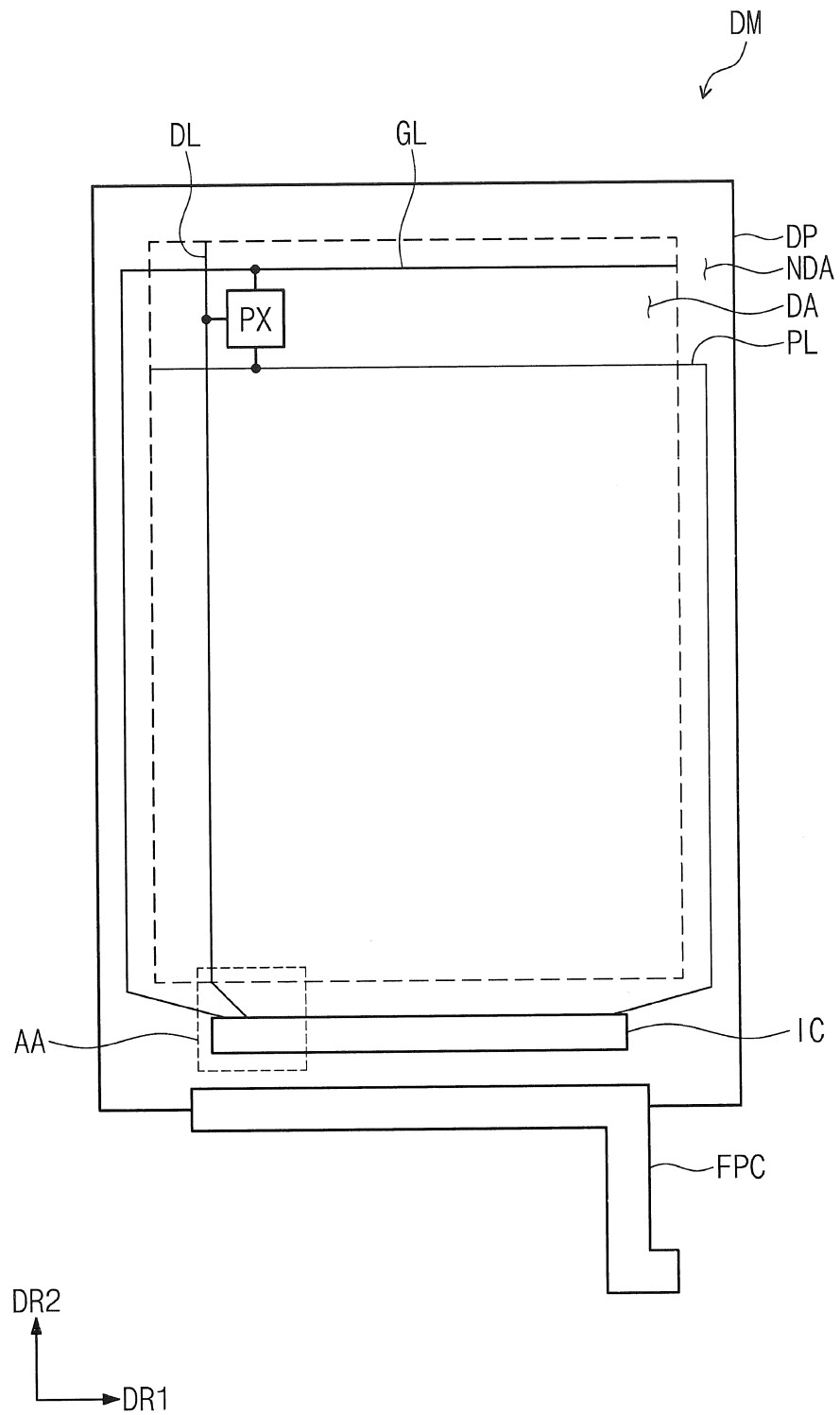
18. Thiết bị hiển thị theo điểm 17, trong đó các đường tín hiệu bao gồm lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai được bố trí trên lớp dẫn điện thứ nhất,

thiết bị hiển thị này còn bao gồm màng cách điện giữa các lớp được bố trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, và

mỗi trong số màng cách điện giữa các lớp và lớp cách điện cảm ứng bao gồm vật liệu vô cơ.

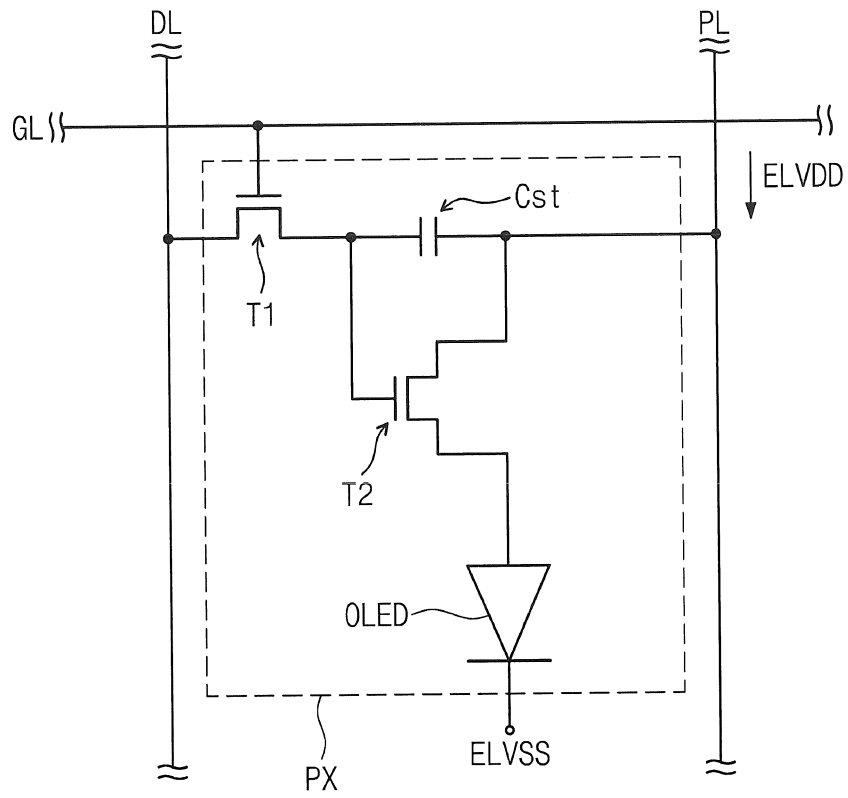
1/18

FIG. 1



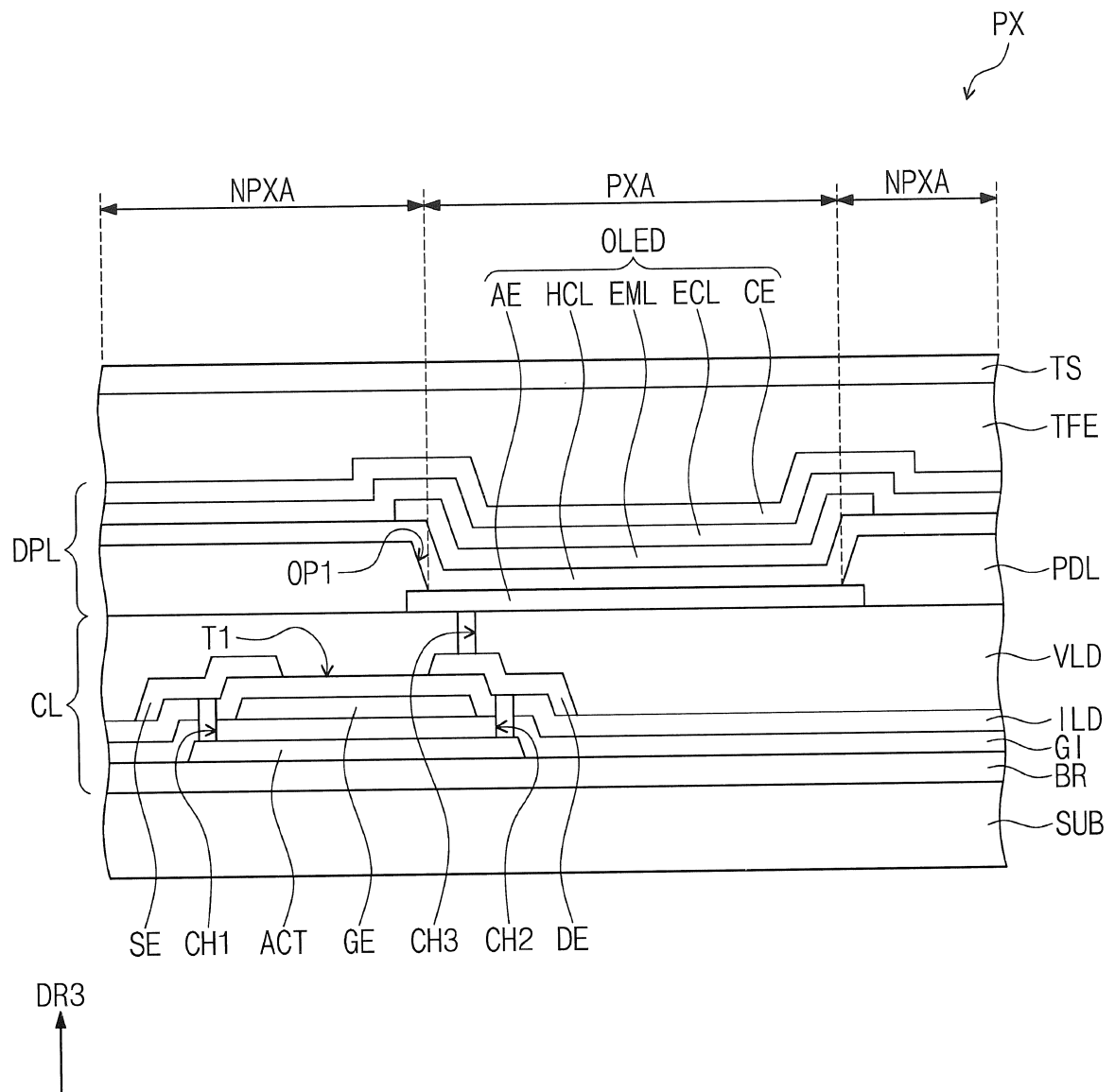
2/18

FIG. 2



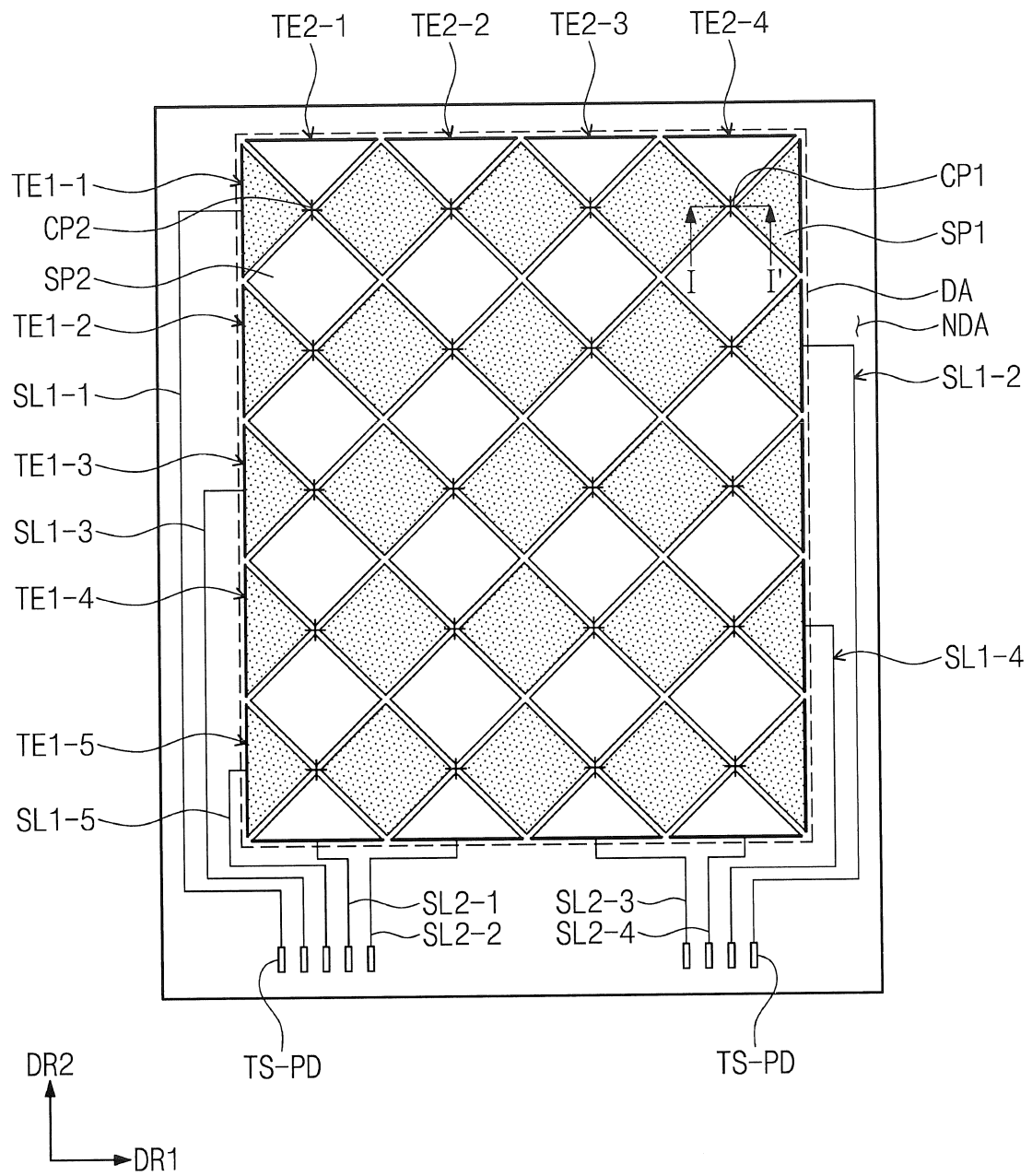
3/18

FIG. 3



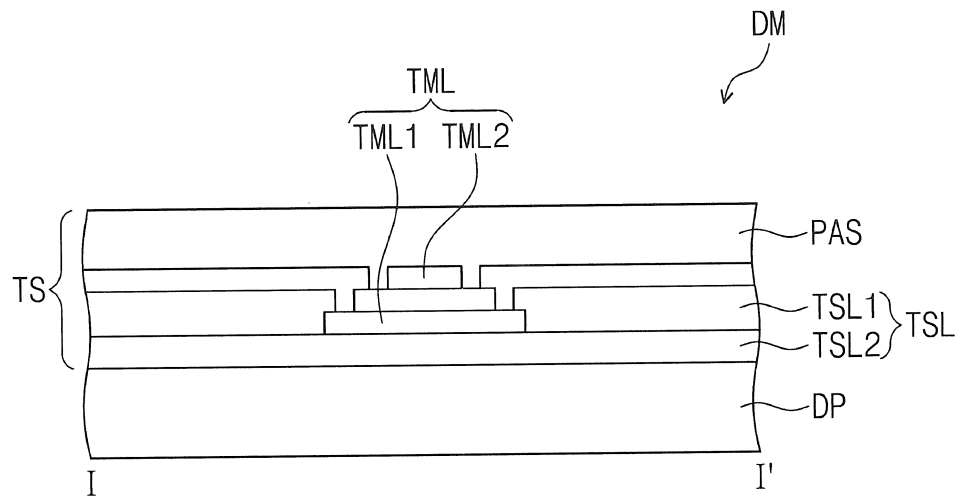
4/18

FIG. 4



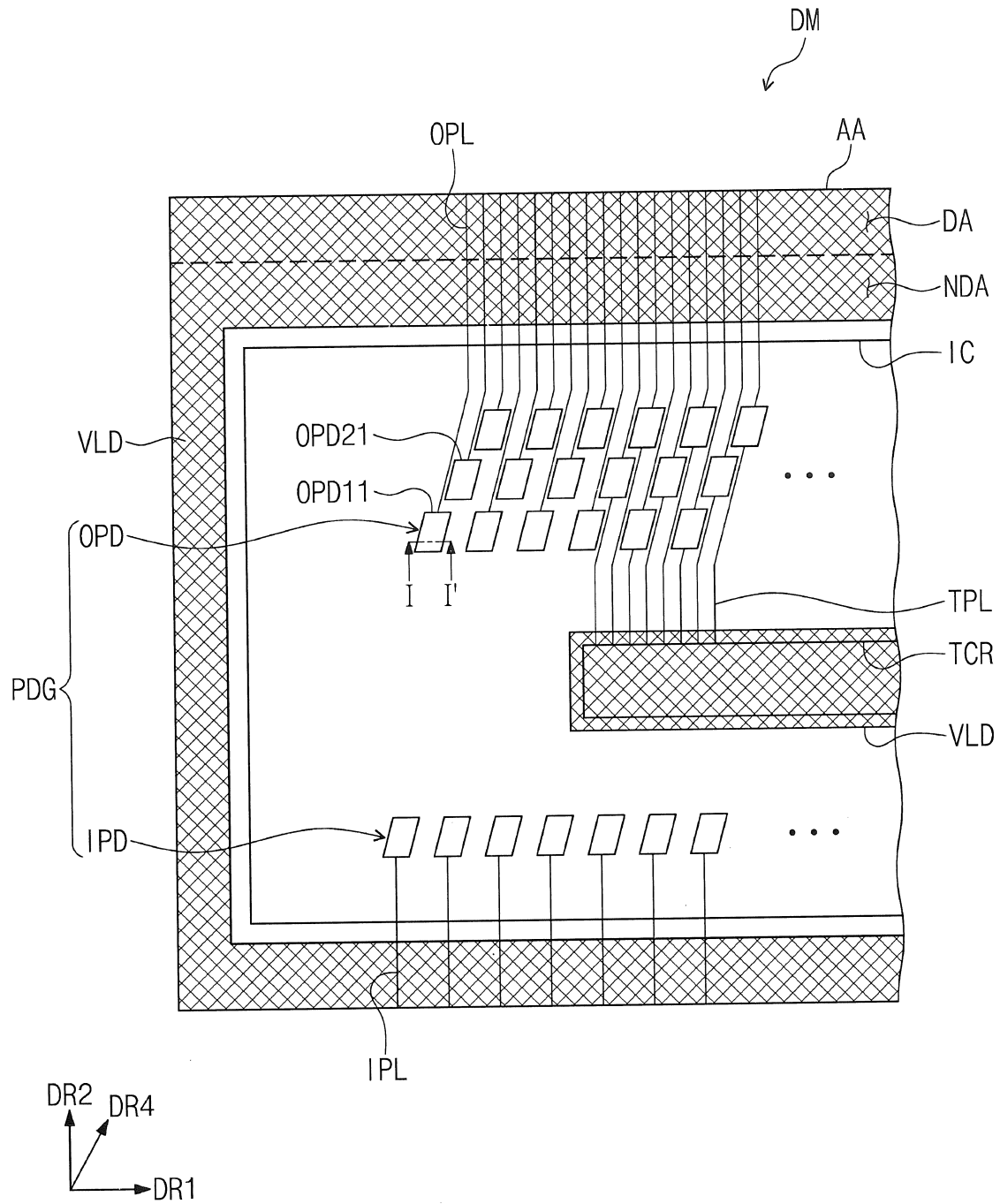
5/18

FIG. 5



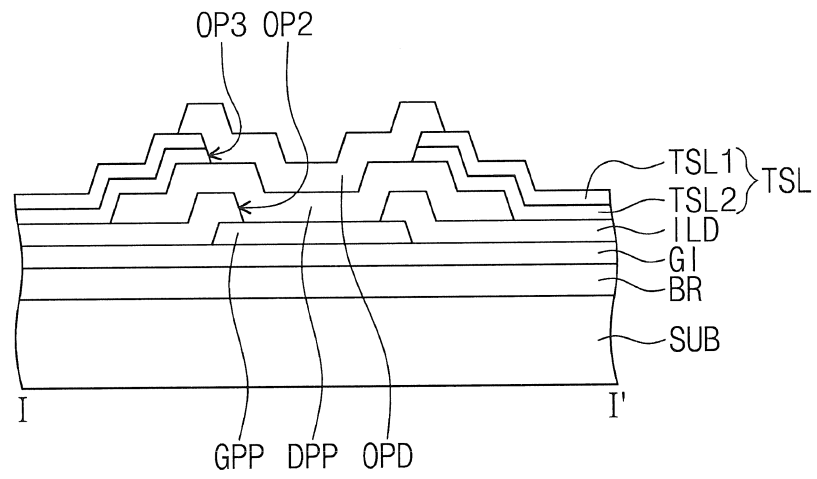
6/18

FIG. 6



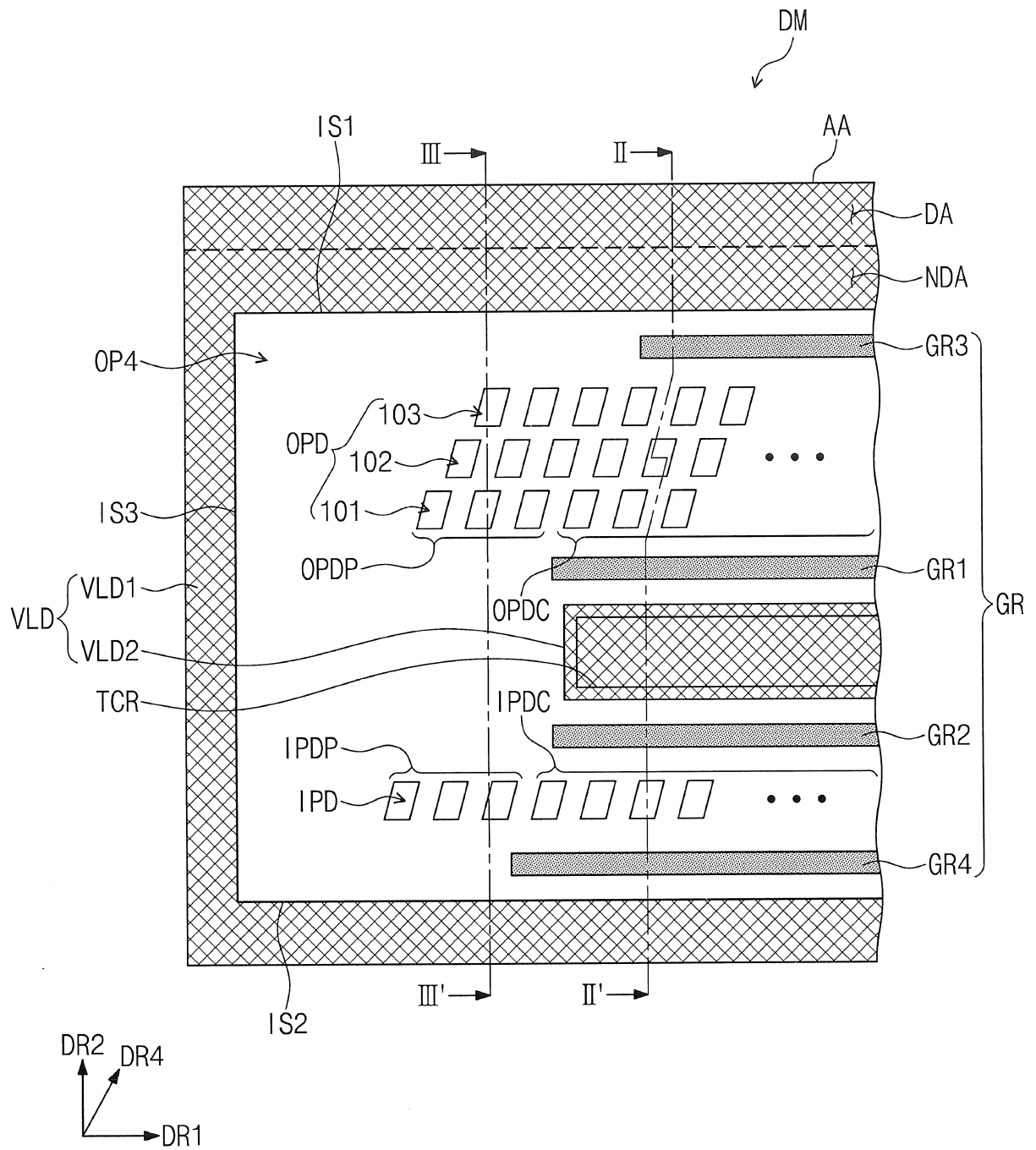
7/18

FIG. 7



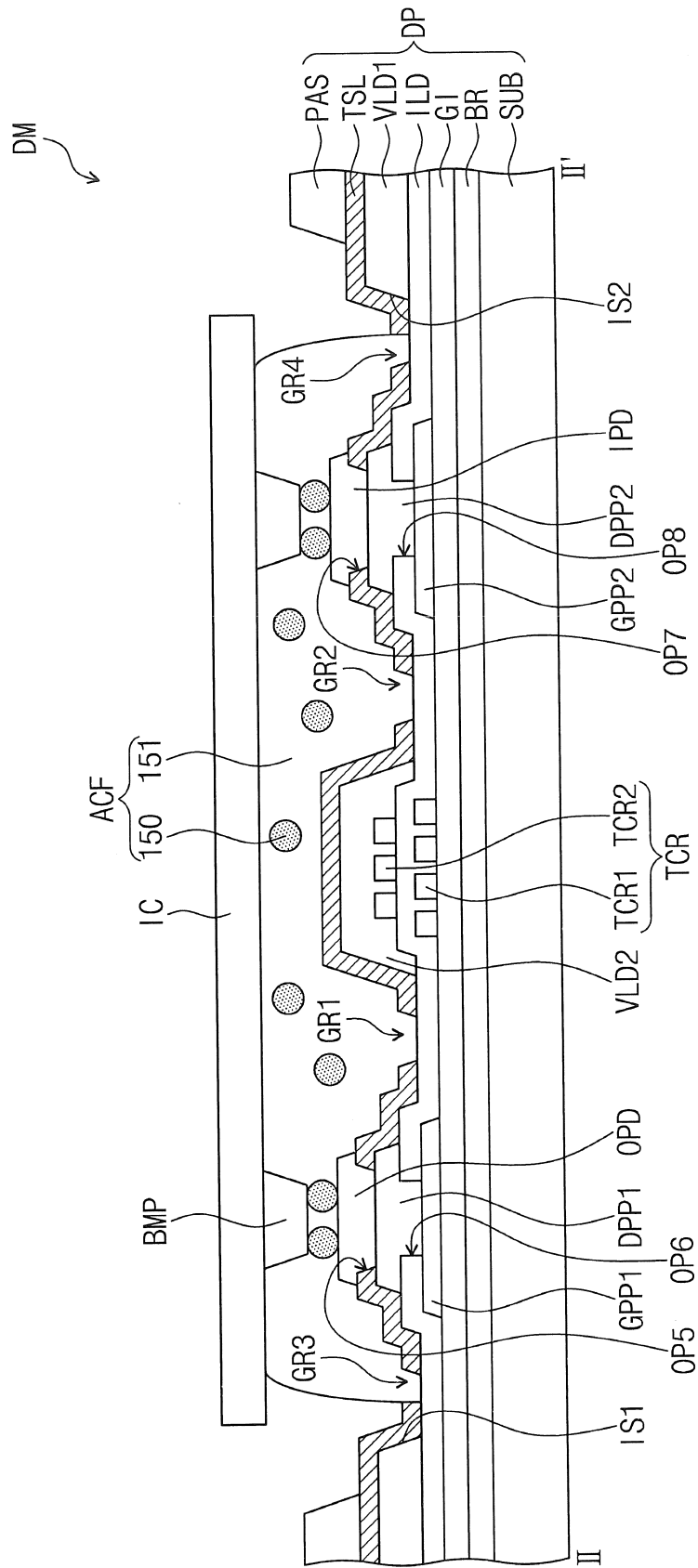
8/18

FIG. 8



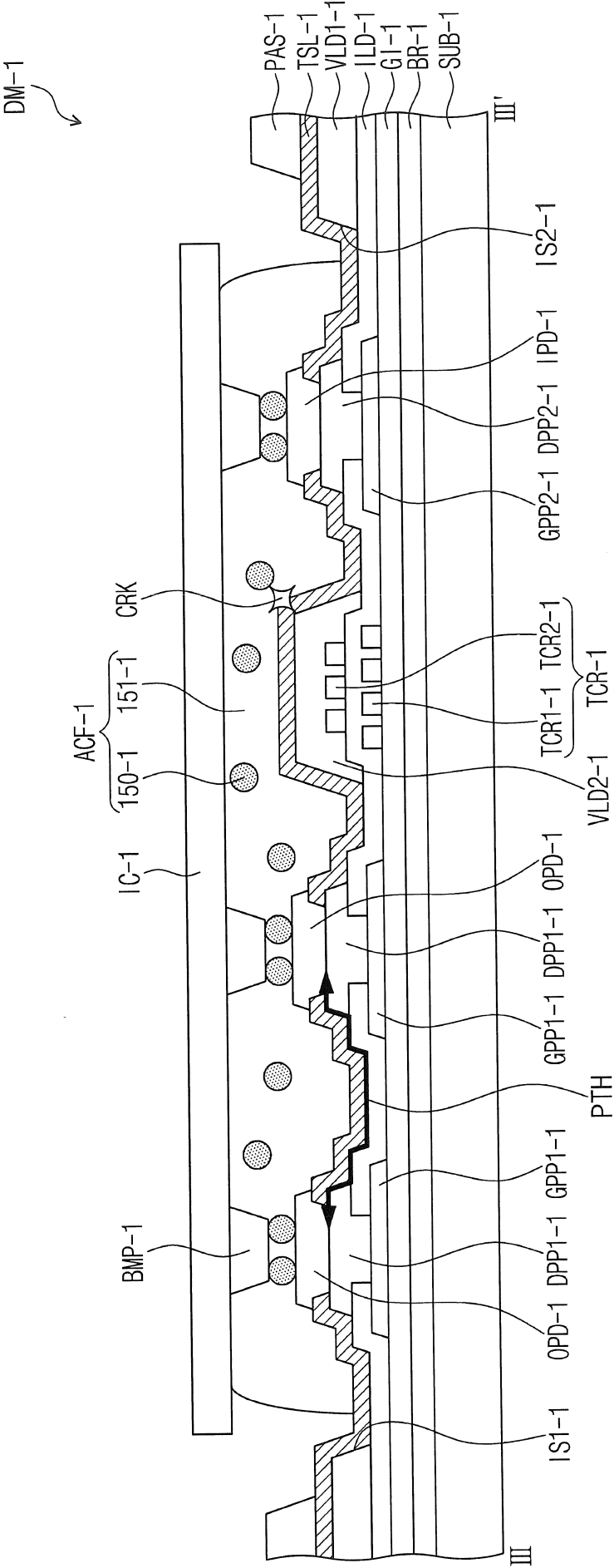
9/18

FIG. 9



10/18

FIG. 10



11/18

FIG. 11

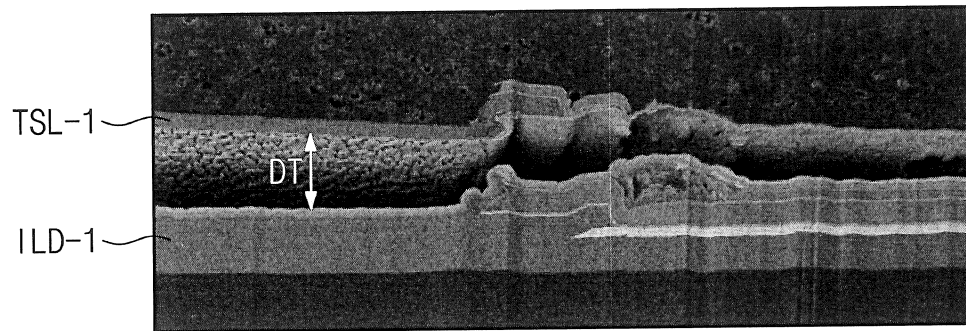


FIG. 12

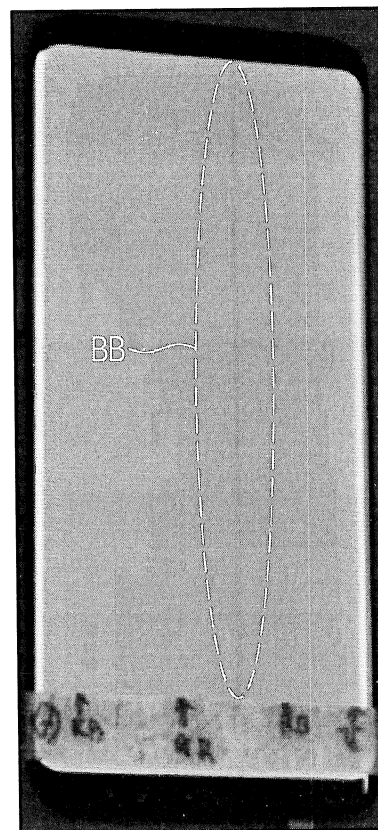
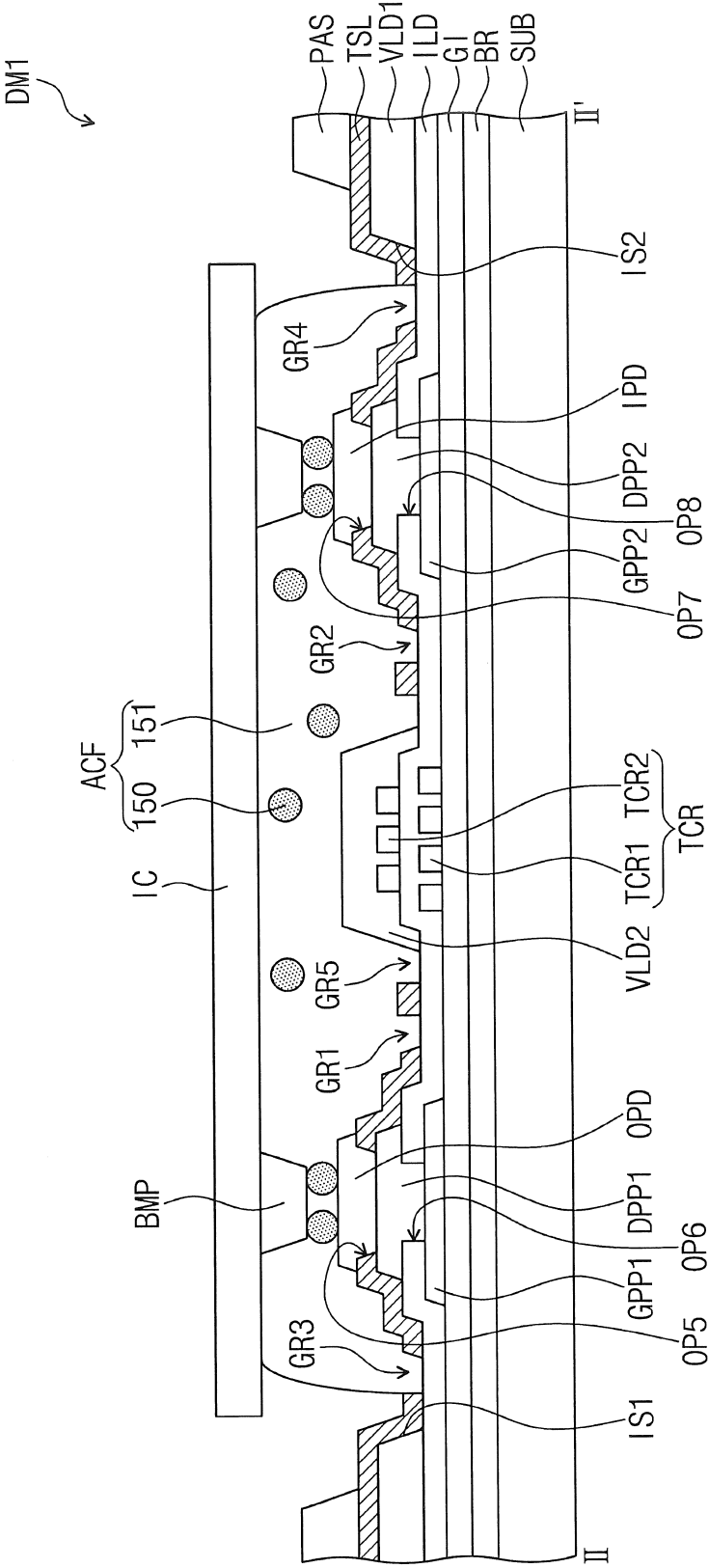
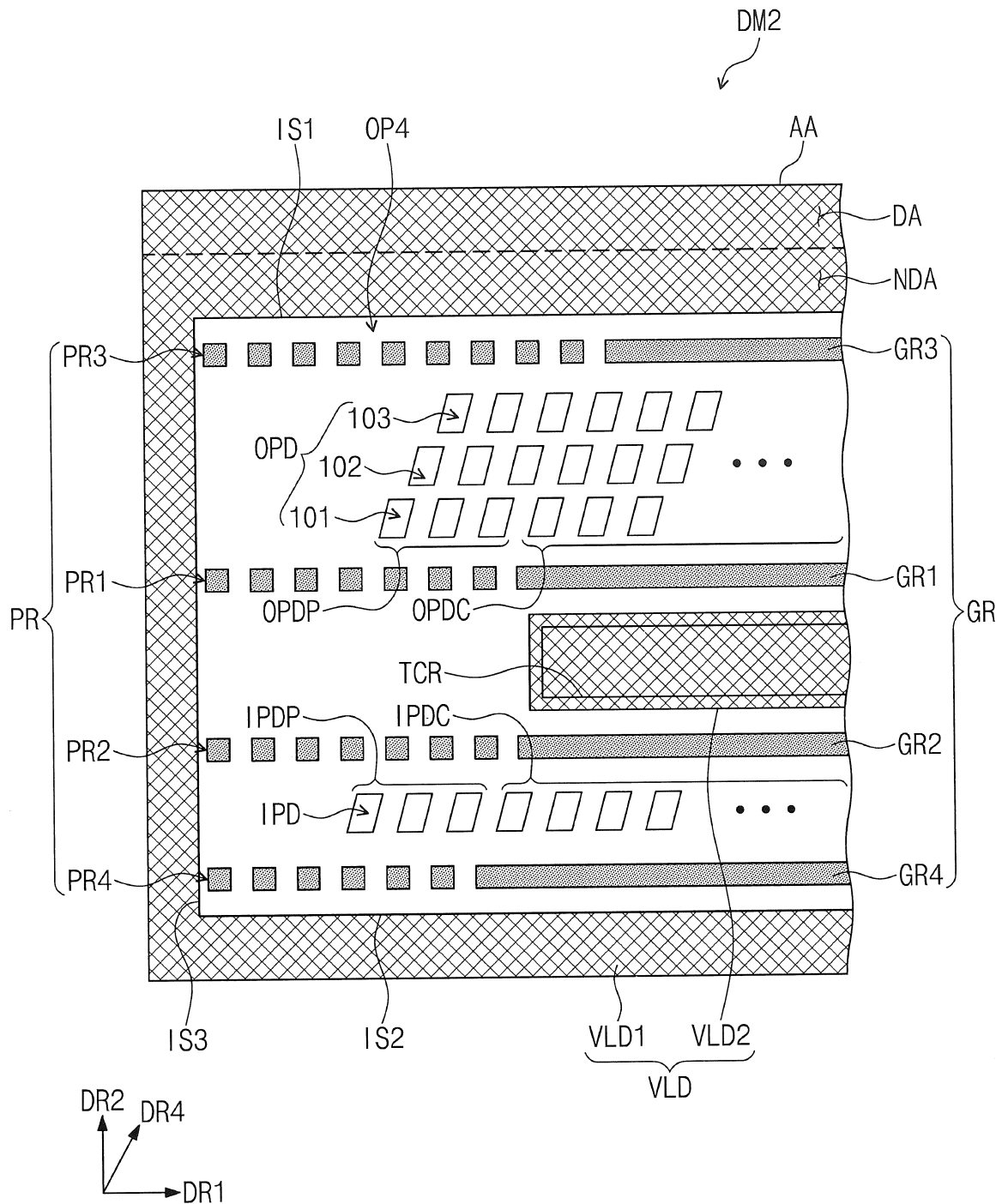


FIG. 14



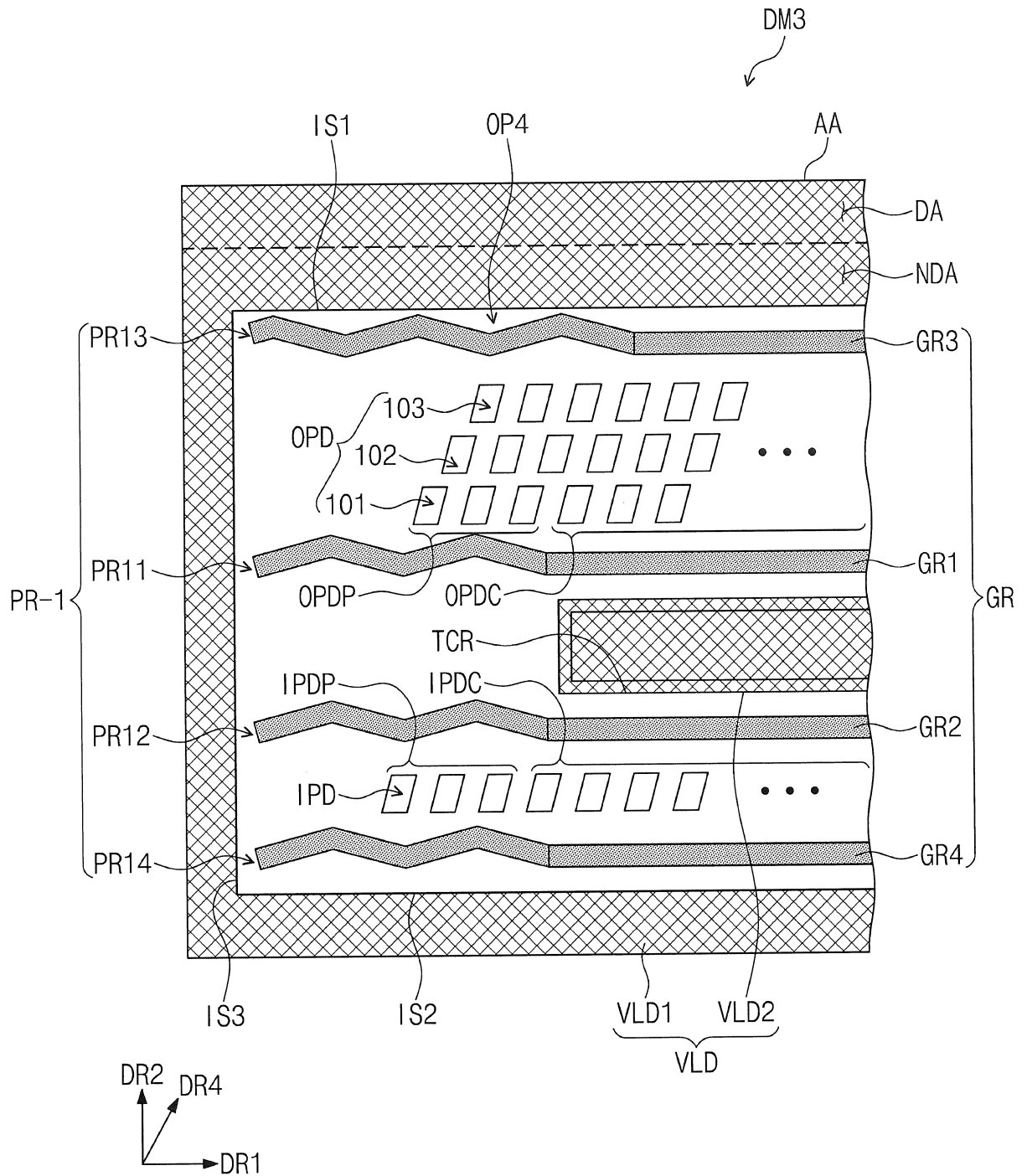
14/18

FIG. 15



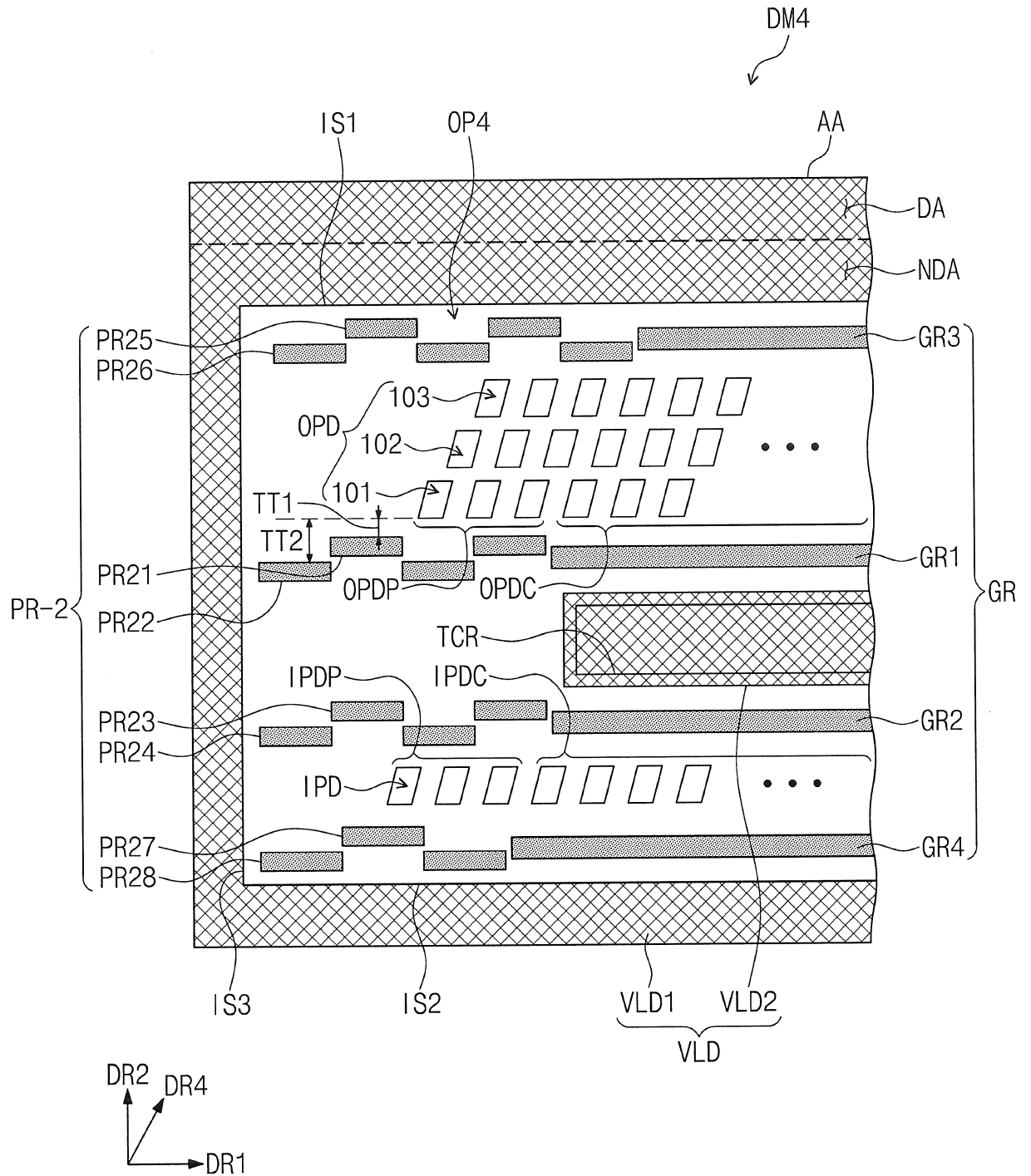
15/18

FIG. 16



16/18

FIG. 17



17/18

FIG. 18

