



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0047564

(51)^{2021.01} H05K 1/05; H05K 3/44; H05K 3/42

(13) B

(21) 1-2022-03721

(22) 12/11/2020

(86) PCT/JP2020/042343 12/11/2020

(87) WO 2021/124747 24/06/2021

(30) 2019-226977 17/12/2019 JP

(45) 25/06/2025 447

(43) 25/08/2022 413A

(73) NITTO DENKO CORPORATION (JP)

1-2, Shimo-hozumi 1-chome, Ibaraki-shi, Osaka 567-8680, Japan

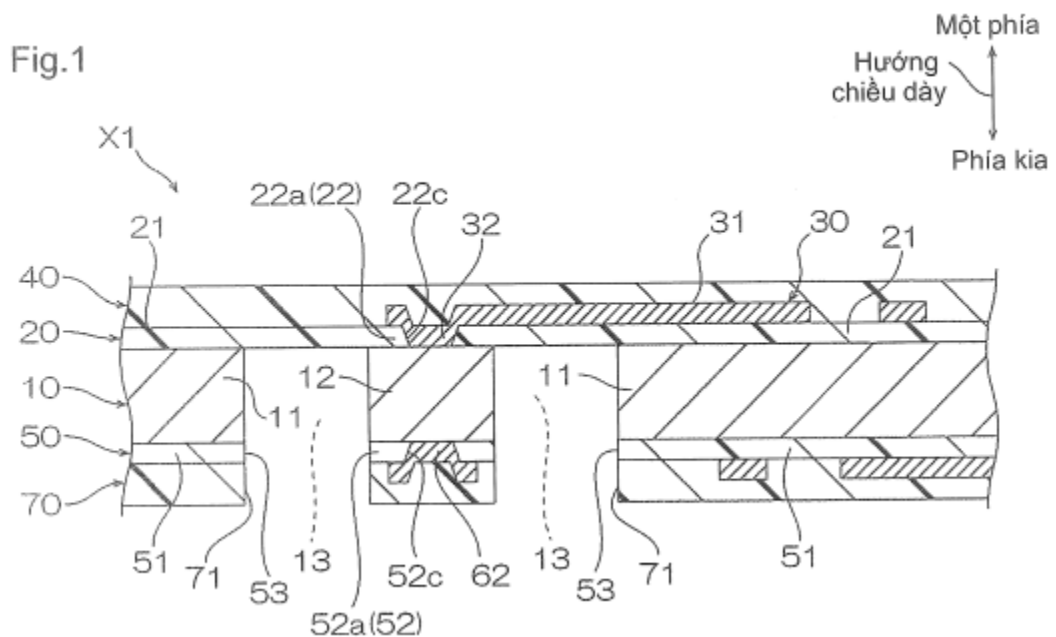
(72) SHIBATA, Shusaku (JP); FUKUSHIMA, Rihito (JP); NIINO, Teppei (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) PHƯƠNG PHÁP CHẾ TẠO BẢNG MẠCH DÂY DẪN HAI MẶT VÀ BẢNG
MẠCH DÂY DẪN HAI MẶT

(21) 1-2022-03721

(57) Sáng chế đề cập đến phương pháp chế tạo bảng mạch dây dẫn (X1) mà là bảng mạch dây dẫn hai mặt gồm có bước thứ nhất là chuẩn bị tấm nhiều lớp (Y1) và bước thứ hai. Tấm nhiều lớp (Y1) gồm có lớp lõi kim loại (10), các lớp cách điện (20, 50), và lớp dẫn điện (30, 60). Lớp cách điện (20) có vùng (22) và phần hở (23) mà liền kề với nhau. Lớp cách điện (50) có vùng (52) gồm có phần quay mặt về vùng (22) theo hướng chiều dày, và phần hở (53) liền kề vùng (52). Lớp dẫn điện (30) gồm có phần dây dẫn (31) và phần dẫn điện (32). Lớp dẫn điện (60) gồm có phần dây dẫn (61) và phần dẫn điện (62). Ở bước thứ hai, việc xử lý khắc ăn mòn thứ nhất và thứ hai để khắc ăn mòn lớp lõi kim loại (10) thông qua các phần hở (23, 53) được thực hiện để tạo ra phần via (12) có chu vi được bao quanh bởi khoảng trống (13), kéo dài giữa các vùng (22, 52), và được nối với các phần dẫn điện (32, 62).



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phương pháp chế tạo bảng mạch dây dẫn hai mặt và bảng mạch dây dẫn hai mặt.

Tình trạng kỹ thuật của sáng chế

Một số bảng mạch dây dẫn có kết cấu mà trong đó cả hai bề mặt của bảng mà mỗi bề mặt có mạch điện để đạt được dây dẫn mật độ cao. Bảng mạch dây dẫn hai mặt như vậy cần sự nối điện giữa các mạch điện trên cả hai bề mặt. Sự nối điện cần, chẳng hạn tạo hình kết cấu dẫn điện, như via (phần dẫn điện) chui qua lớp lõi cần được bố trí giữa các mạch điện trên cả hai bề mặt của thành phẩm theo hướng chiều dày, trong quá trình chế tạo bảng mạch dây dẫn hai mặt. Các kỹ thuật liên quan đến phương pháp chế tạo bảng mạch dây dẫn hai mặt như vậy được mô tả trong, chẳng hạn tài liệu sáng chế 1 dưới đây.

Danh mục tài liệu trích dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1: Công bố đơn sáng chế Nhật Bản chưa xét nghiệm số 2018-120968

Bản chất kỹ thuật của sáng chế

Vấn đề được giải quyết bởi sáng chế

Khi bảng mạch dây dẫn hai mặt có lớp lõi kim loại, kết cấu dẫn điện, mà nối điện các mạch điện trên cả hai bề mặt như được mô tả trên đây, thường được tạo trong lớp lõi kim loại với việc được cách điện với lớp lõi kim loại bằng cách, chẳng hạn bao quanh kết cấu dẫn điện với màng cách điện. Việc tạo kết cấu dẫn điện như vậy cần các bước bổ sung. Sẽ là không mong muốn về mặt hiệu quả sản xuất nếu thực hiện nhiều

bước để tạo ra kết cấu dẫn điện trong quá trình chế tạo bằng mạch dây dẫn hai mặt.

Sáng chế đề xuất phương pháp chế tạo bằng mạch dây dẫn hai mặt thích hợp để chế tạo một cách hiệu quả bằng mạch dây dẫn hai mặt có lớp lõi kim loại, và đề xuất bằng mạch dây dẫn hai mặt.

Biện pháp để giải quyết vấn đề

Sáng chế theo mục [1] đề cập đến phương pháp chế tạo bằng mạch dây dẫn hai mặt, phương pháp này gồm có: bước thứ nhất là chuẩn bị tấm nhiều lớp gồm có lớp lõi kim loại, lớp cách điện thứ nhất được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ nhất và ít nhất một phần hở thứ nhất liền kề vùng thứ nhất, vùng thứ nhất có lỗ thứ nhất, lớp dẫn điện thứ nhất có phần dây dẫn thứ nhất và phần dẫn điện thứ nhất, phần dây dẫn thứ nhất được bố trí ít nhất trên vùng thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, phần dẫn điện thứ nhất được bố trí trong lỗ thứ nhất và được nối với phần dây dẫn thứ nhất và lớp lõi kim loại, lớp cách điện thứ hai được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ hai và ít nhất một phần hở thứ hai liền kề vùng thứ hai, vùng thứ hai gồm có phần quay mặt về vùng thứ nhất theo hướng chiều dày, vùng thứ hai có lỗ thứ hai trong phần, và lớp dẫn điện thứ hai có phần dây dẫn thứ hai và phần dẫn điện thứ hai, phần dây dẫn thứ hai được bố trí ít nhất trên vùng thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, phần dẫn điện thứ hai được bố trí trong lỗ thứ hai và được nối với phần dây dẫn thứ hai và lớp lõi kim loại; và bước thứ hai là tạo hình phần via trong lớp lõi kim loại bằng bước xử lý khắc ăn mòn thứ nhất trên lớp lõi kim loại thông qua phần hở thứ nhất từ một phía theo hướng chiều dày của tấm nhiều lớp, và bằng bước xử lý khắc ăn mòn thứ hai trên lớp lõi kim loại thông qua phần hở thứ hai từ phía kia theo hướng chiều dày của tấm nhiều lớp, phần via được bao quanh bởi khoảng trống, kéo dài giữa vùng thứ nhất và vùng thứ hai theo hướng chiều dày, và được nối với phần dẫn điện thứ nhất và phần dẫn điện thứ hai.

Phương pháp theo sáng chế gồm có bước xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai như được mô tả trên đây để tạo ra phần via trong lớp lõi kim loại của bảng mạch dây dẫn hai mặt có lớp dẫn điện thứ nhất ở một phía theo hướng chiều dày và lớp dẫn điện thứ hai ở phía kia, nơi mà phần via nối lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai và được bao quanh bởi khoảng trống. Phương pháp này không cần màng cách điện hoặc tương tự cho phần via cách điện với phần khác trong lớp lõi kim loại. Phương pháp này là thích hợp để giảm số lượng các bước tạo hình phần via, mà nối điện các lớp dẫn điện thứ nhất và thứ hai, trong quá trình chế tạo bảng mạch dây dẫn hai mặt có lớp lõi kim loại. Phương pháp này cũng là thích hợp để thực hiện bước khắc ăn mòn nhằm tạo hình mép ngoài, mép ngoài trên hình chiếu, của lớp lõi kim loại ở các xử lý khắc ăn mòn thứ nhất và thứ hai. Khía cạnh này của phương pháp cũng là thích hợp để giảm số lượng các bước. Phương pháp thích hợp để giảm số lượng các bước như được mô tả trên đây là thích hợp để chế tạo một cách hiệu quả bảng mạch dây dẫn hai mặt có lớp lõi kim loại. Hơn nữa, theo phương pháp, việc tạo khoảng trống trong lớp lõi kim loại tạo kết cấu, hoặc tạo ra, kết cấu dẫn điện hoặc phần via, mà nối điện các mạch điện trên cả hai bề mặt. Điều này cho phép nối điện thích hợp giữa các mạch điện trên cả hai bề mặt ngay cả khi bảng mạch điện có lớp lõi kim loại dày.

Sáng chế theo mục [2] đề cập đến phương pháp được mô tả theo mục [1], trong đó bước xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai được thực hiện một cách đồng thời.

Cấu trúc như vậy là thích hợp để giảm các bước của phương pháp chế tạo bảng mạch dây dẫn hai mặt có lớp lõi kim loại, và vì vậy là thích hợp để chế tạo một cách hiệu quả bảng mạch dây dẫn hai mặt có lớp lõi kim loại.

Sáng chế theo mục [3] đề cập đến phương pháp được mô tả theo mục [1] hoặc [2], trong đó, trên hình chiếu theo hướng chiều dày, phần hở thứ nhất và phần hở thứ

hai được nối với nhau, và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai.

Phần hồ thứ nhất và phần hồ thứ hai xếp chồng lên hoặc được nối với nhau và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai trên hình chiếu. Như vậy kết cấu là thích hợp để tạo ra khoảng trống quanh phần via trong lớp lõi kim loại bởi xử lý khắc ăn mòn thứ nhất để khắc ăn mòn lớp lõi kim loại thông qua phần hồ thứ nhất và bước xử lý khắc ăn mòn thứ hai thông qua phần hồ thứ hai.

Sáng chế theo mục [4] đề cập đến phương pháp được mô tả theo mục bất kỳ trong số các mục từ [1] đến [3], trong đó tấm nhiều lớp còn bao gồm lớp cách điện thứ ba che phủ lớp dẫn điện thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, và có phần hồ thứ ba nối thông với phần hồ thứ nhất; và lớp cách điện thứ tư che phủ lớp dẫn điện thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, và có phần hồ thứ tư nối thông với phần hồ thứ hai.

Kết cấu nêu trên đây là thích hợp để thực hiện các xử lý khắc ăn mòn thứ nhất và thứ hai mà không cần chuẩn bị thêm các mặt nạ khắc ăn mòn để che phủ và bảo vệ lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, và vì vậy thích hợp để giảm số lượng các bước.

Sáng chế theo mục [5] đề cập đến bảng mạch dây dẫn hai mặt gồm có: lớp lõi kim loại gồm có phần via được bao quanh bởi khoảng trống, và phần chính lớp lõi liền kề phần via thông qua khoảng trống; lớp cách điện thứ nhất được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ nhất và ít nhất một phần hồ thứ nhất liền kề vùng thứ nhất, vùng thứ nhất có lỗ thứ nhất; lớp dẫn điện thứ nhất có phần dây dẫn thứ nhất và phần dẫn điện thứ nhất, phần dây dẫn thứ nhất được bố trí ít nhất trên vùng thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, phần dẫn điện thứ nhất được bố trí trong lỗ thứ nhất và được nối với phần dây dẫn thứ nhất và lớp lõi kim loại; lớp cách điện thứ hai được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ hai và ít nhất một phần hồ thứ hai liền kề

vùng thứ hai, vùng thứ hai gồm có phần quay mặt về vùng thứ nhất theo hướng chiều dày, vùng thứ hai có lỗ thứ hai trong phần quay mặt; và lớp dẫn điện thứ hai có phần dây dẫn thứ hai và phần dẫn điện thứ hai, phần dây dẫn thứ hai được bố trí ít nhất trên vùng thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, phần dẫn điện thứ hai được bố trí trong lỗ thứ hai và được nối với phần dây dẫn thứ hai và lớp lõi kim loại.

Bảng mạch dây dẫn hai mặt có kết cấu nêu trên đây là thích hợp để giảm số lượng các bước của quá trình chế tạo và vì vậy là thích hợp cho việc chế tạo hiệu quả bảng mạch điện.

Sáng chế theo mục [6] đề cập đến bảng mạch dây dẫn hai mặt được mô tả theo mục [5], trong đó, trên hình chiếu theo hướng chiều dày, phần hồ thứ nhất và phần hồ thứ hai được nối với nhau, và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai.

Như được mô tả trên đây, phần hồ thứ nhất và phần hồ thứ hai được nối hoặc xếp chồng lên nhau và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai trên hình chiếu. Như vậy kết cấu là thích hợp để tạo ra khoảng trống quanh phần via trong lớp lõi kim loại bởi xử lý khắc ăn mòn thứ nhất để khắc ăn mòn lớp lõi kim loại thông qua phần hồ thứ nhất và bước xử lý khắc ăn mòn thứ hai thông qua phần hồ thứ hai trong quá trình chế tạo bảng mạch dây dẫn hai mặt.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ mặt cắt ngang của phương án thứ nhất của bảng mạch dây dẫn hai mặt theo sáng chế.

Fig.2 là hình chiếu bằng riêng phần của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.3 là hình chiếu từ dưới lên riêng phần của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.4 là hình vẽ mặt cắt theo đường IV-IV trên Fig.2 và Fig.3.

Fig.5 minh họa các hình dạng của phần hở thứ nhất, phần hở thứ hai, phần dẫn điện thứ nhất, và phần dẫn điện thứ hai khi bảng mạch dây dẫn hai mặt được thể hiện trên Fig.1 được chiếu theo hướng chiều dày.

Fig.6 là hình chiếu bằng riêng phần một biến thể của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.7 là hình chiếu từ dưới lên riêng phần của biến thể của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.8 minh họa các hình dạng của phần hở thứ nhất, phần hở thứ hai, phần dẫn điện thứ nhất, và phần dẫn điện thứ hai khi bảng mạch dây dẫn hai mặt được thể hiện trên Fig.6 và Fig.7 được chiếu theo hướng chiều dày.

Fig.9 là hình vẽ mặt cắt ngang biến thể khác của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.10A là hình chiếu bằng riêng phần của biến thể được thể hiện trên Fig.9 của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1. Fig.10B là hình chiếu từ dưới lên riêng phần của phần dưới của biến thể được thể hiện trên Fig.9 của bảng mạch dây dẫn hai mặt được minh họa trên Fig.1.

Fig.11 minh họa một số bước của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ nhất dưới dạng các thay đổi về mặt cắt tương ứng với Fig.1. Fig.11A minh họa bước chuẩn bị. Fig.11B minh họa bước tạo hình lớp nền cách điện thứ nhất. Fig.11C minh họa bước tạo hình lớp dẫn điện thứ nhất. Fig.11D minh họa bước tạo hình lớp bọc cách điện thứ nhất.

Fig.12 minh họa các bước tiếp theo các bước trên Fig.11. Fig.12A minh họa bước tạo hình lớp nền cách điện thứ hai. Fig.12B minh họa bước tạo hình lớp dẫn điện thứ hai. Fig.12C minh họa bước tạo hình lớp bọc cách điện thứ hai. Fig.12D minh họa bước khắc ăn mòn.

Fig.13 minh họa một số bước của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ nhất dưới dạng các thay đổi về mặt cắt tương ứng với Fig.4. Fig.13A minh họa bước chuẩn bị. Fig.13B minh họa bước tạo hình lớp nền cách điện thứ nhất. Fig.13C minh họa bước tạo hình lớp dẫn điện thứ nhất. Fig.13D minh họa bước tạo hình lớp bọc cách điện thứ nhất.

Fig.14 minh họa các bước tiếp theo các bước Fig.13. Fig.14A minh họa bước tạo hình lớp nền cách điện thứ hai. Fig.14B minh họa bước tạo hình lớp dẫn điện thứ hai. Fig.14C minh họa bước tạo hình lớp bọc cách điện thứ hai. Fig.14D minh họa bước khắc ăn mòn.

Fig.15 minh họa tấm nhiều lớp mà là sản phẩm trung gian theo một biến thể của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ nhất. Fig.15A minh họa mặt cắt tương ứng với mặt cắt trên Fig.1. Fig.15B minh họa mặt cắt tương ứng với mặt cắt trên Fig.4.

Fig.16 minh họa các hình dạng của phần hở thứ nhất, phần hở thứ hai, phần dẫn điện thứ nhất, và phần dẫn điện thứ hai khi tấm nhiều lớp trên Fig.15 được chiếu theo hướng chiều dày.

Fig.17 minh họa bước khắc ăn mòn của biến thể của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ nhất. Fig.17A minh họa mặt cắt tương ứng với mặt cắt trên Fig.15A. Fig.17B minh họa mặt cắt tương ứng với mặt cắt trên Fig.15B.

Fig.18 là hình vẽ mặt cắt ngang theo phương án thứ hai của bảng mạch dây dẫn hai mặt theo sáng chế.

Fig.19 là hình chiếu bằng riêng phần của bảng mạch dây dẫn hai mặt được minh họa trên Fig.18.

Fig.20 là hình chiếu từ dưới lên riêng phần của bảng mạch dây dẫn hai mặt được minh họa trên Fig.18.

Fig.21 là hình vẽ mặt cắt ngang của phần được lấy theo đường XXI-XXI trên Fig.19 và Fig.20.

Fig.22 minh họa các hình dạng của phần hồ thứ nhất, phần hồ thứ hai, phần dẫn điện thứ nhất, và phần dẫn điện thứ hai khi bảng mạch dây dẫn hai mặt được thể hiện trên Fig.18 được chiếu theo hướng chiều dày.

Fig.23 minh họa một số bước của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ hai dưới dạng các thay đổi về mặt cắt tương ứng với Fig.18. Fig.23A minh họa bước chuẩn bị. Fig.23B minh họa bước tạo hình lớp nền cách điện thứ nhất. Fig.23C minh họa bước tạo hình lớp dẫn điện thứ nhất. Fig.23D minh họa bước tạo hình lớp bọc cách điện thứ nhất.

Fig.24 minh họa các bước tiếp theo các bước Fig.23. Fig.24A minh họa bước tạo hình lớp nền cách điện thứ hai. Fig.24B minh họa bước tạo hình lớp dẫn điện thứ hai. Fig.24C minh họa bước tạo hình lớp bọc cách điện thứ hai. Fig.24D minh họa bước khắc ăn mòn.

Fig.25 minh họa một số bước của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ hai dưới dạng các thay đổi về mặt cắt tương ứng với Fig.21. Fig.25A minh họa bước chuẩn bị. Fig.25B minh họa bước tạo hình lớp nền cách điện thứ nhất. Fig.25C minh họa bước tạo hình lớp dẫn điện thứ nhất. Fig.25D minh họa bước tạo hình lớp bọc cách điện thứ nhất.

Fig.26 minh họa các bước tiếp theo các bước Fig.25. Fig.26A minh họa bước tạo hình lớp nền cách điện thứ hai. Fig.26B minh họa bước tạo hình lớp dẫn điện thứ hai. Fig.26C minh họa bước tạo hình lớp bọc cách điện thứ hai. Fig.26D minh họa bước khắc ăn mòn.

Fig.27 minh họa tám nhiều lớp trung gian được sử dụng theo một biến thể của phương pháp chế tạo bảng mạch dây dẫn hai mặt theo phương án thứ hai. Fig.27A minh họa mặt cắt tương ứng với mặt cắt trên Fig.18. Fig.27B minh họa mặt cắt tương

ứng với mặt cắt trên Fig.21.

Mô tả chi tiết sáng chế

Các hình vẽ từ Fig.1 đến Fig.4 minh họa bảng mạch dây dẫn X1 theo phương án thứ nhất của sáng chế. Fig.1 là hình vẽ mặt cắt ngang dạng sơ đồ của bảng mạch dây dẫn X1. Fig.2 là hình chiếu bằng riêng phần của bảng mạch dây dẫn X1. Trên hình vẽ này, lớp cách điện 40 mô tả sau được bỏ qua. Fig.3 là hình chiếu từ dưới lên riêng phần của bảng mạch dây dẫn X1. Trên hình vẽ này, lớp cách điện 70 mô tả sau được bỏ qua. Fig.4 là hình vẽ mặt cắt theo đường IV-IV trên Fig.2 và Fig.3.

Bảng mạch dây dẫn X1 là bảng mạch dây dẫn hai mặt, và gồm có lớp lõi kim loại 10, các lớp cách điện 20, 40, 50, và 70, và lớp dẫn điện 30 và 60.

Như được minh họa trên Fig.1, lớp lõi kim loại 10 có phần chính lớp lõi 11 và phần via 12. Phần chính lớp lõi 11 là bộ phận đảm bảo độ cứng của bảng mạch dây dẫn X1. Phần via 12 là bộ phận để nối điện các mạch điện trên cả hai bề mặt của bảng mạch dây dẫn X1. Phần via 12 có chu vi được bao quanh bởi khoảng trống 13 như được minh họa trên Fig.1 và Fig.4. Phần via 12 và phần chính lớp lõi 11 liền kề với nhau thông qua khoảng trống 13. Đặc biệt là, phần chính lớp lõi 11 có dạng tấm, và khoảng trống 13, mà có dạng trụ, được tạo ra trong phần chính lớp lõi 11. Phần via 12, mà có dạng cột, được bố trí bên trong khoảng trống 13 trong khi nằm cách với phần chính lớp lõi 11 bởi một khoảng cách. Khoảng phân cách giữa phần via 12 và phần chính lớp lõi 11, chẳng hạn bằng hoặc lớn hơn 10 μm , tốt hơn là bằng hoặc lớn hơn 15 μm . Khoảng trống 13 cách ly phần via 12 từ phần chính lớp lõi 11 bằng cách bao quanh phần via 12 như được mô tả trên đây.

Các ví dụ về vật liệu cấu tạo lớp lõi kim loại 10 gồm có đồng, đồng hợp kim, các thép không gỉ, và hợp kim 42. Đối với độ dẫn nhiệt và độ dẫn điện, đồng và hợp kim đồng được ưu tiên.

Lớp lõi kim loại 10 có chiều dày, chẳng hạn bằng hoặc lớn hơn 10 μm , tốt hơn

là bằng hoặc lớn hơn 15 μm , và chẳng hạn bằng hoặc nhỏ hơn 500 μm , tốt hơn là bằng hoặc nhỏ hơn 300 μm .

Như được minh họa trên Fig.1 và Fig.4, lớp cách điện 20, có nghĩa là, lớp cách điện thứ nhất là lớp nền cách điện được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại 10. Lớp cách điện 20 có dạng mẫu hình gồm có phần chính 21, vùng 22, có nghĩa là, vùng thứ nhất, và nhiều phần hờ 23, có nghĩa là, các phần hờ thứ nhất liền kề vùng 22 và được đặt xen giữa phần chính 21 và vùng 22. Phương án này biểu thị rằng một vùng 22 có hai phần hờ 23.

Phần chính 21 xếp chồng lên phần chính lớp lõi 11 trên hình chiếu theo hướng chiều dày, với giả sử rằng chúng được chiếu theo hướng chiều dày. Dưới đây, hình chiếu giả sử như vậy theo hướng chiều dày có thể được gọi tắt là “hình chiếu”.

Vùng 22 có phần bên trong 22a và nhiều phần ghép nối 22b.

Trên hình chiếu, phần bên trong 22a xếp chồng lên phần via 12 và tiếp xúc với một đầu theo hướng chiều dày của phần via 12. Phần bên trong 22a theo phương án này có dạng hình tròn. Vùng 22 có lỗ 22c ở phần bên trong 22a. Tại phần giữa của phần bên trong 22a trên hình chiếu, lỗ 22c xuyên qua phần bên trong 22a theo hướng chiều dày.

Các phần ghép nối 22b ghép nối phần bên trong 22a với phần chính 21. Các phần ghép nối 22b xếp chồng lên các phần hờ 53 được mô tả sau và không xếp chồng lên các phần ghép nối 52b được mô tả sau trên hình chiếu. Nhiều phần ghép nối 22b được bố trí trong khi duy trì phần bên trong 22a giữa chúng. Phương án này biểu thị rằng một vùng 22 có hai phần ghép nối 22b. Mỗi một phần ghép nối trong số các phần ghép nối 22b có hình dạng dải có một đầu được ghép nối với phần bên trong 22a và đầu kia được ghép nối với phần chính 21.

Các phần hờ 23 có chức năng là các cửa sổ khắc ăn mòn ở bước khắc ăn mòn mà khắc ăn mòn lớp lõi kim loại 10 theo phương pháp dưới đây để chế tạo bảng mạch

dây dẫn X1, và xuyên qua lớp cách điện 20 theo hướng chiều dày. Phương án biểu thị rằng hai phần hồ 23 duy trì vùng 22 giữa chúng. Phương án còn biểu thị rằng, như được minh họa trên Fig.2, mỗi một phần trong số các phần hồ 23 có hình dạng quạt, và vùng 22 và hai phần hồ 23 tạo ra dạng gần như hình tròn trên hình chiếu.

Các ví dụ về vật liệu cấu tạo lớp cách điện 20 gồm có nhựa tổng hợp, như polyimit, polyete nitril, polyete sulfon, polyetylen terephthalat, polyetylen naphtalat, và polyvinyl clorua. Tốt hơn là polyimit nhạy quang được sử dụng. Điều tương tự áp dụng cho các vật liệu cấu thành trong các lớp cách điện 40, 50, và 70 mà được mô tả sau.

Lớp cách điện 20 có chiều dày, chẳng hạn bằng hoặc lớn hơn 1 μm , tốt hơn là bằng hoặc lớn hơn 3 μm , và chẳng hạn bằng hoặc nhỏ hơn 35 μm , tốt hơn là bằng hoặc nhỏ hơn 20 μm .

Như được minh họa trên Fig.1 và Fig.4, lớp dẫn điện 30, có nghĩa là, lớp dẫn điện thứ nhất gồm có phần dây dẫn 31, có nghĩa là, phần dây dẫn thứ nhất và phần dẫn điện 32, có nghĩa là, phần dẫn điện thứ nhất. Phần dây dẫn 31 được bố trí ở một phía theo hướng chiều dày của lớp cách điện 20, và có hình dạng mẫu hình định trước. Phần dây dẫn 31 theo phương án này được bố trí bên trên phần chính 21 và vùng 22 của lớp cách điện 20. Đặc biệt là, như được minh họa trên Fig.2, phần dây dẫn 31 có một đầu được bố trí ở phần bên trong 22a, đi qua một phần ghép nối trong số các phần ghép nối 22b, và kéo dài ra vùng bên ngoài 22. Phần dẫn điện 32 được bố trí trong lỗ 22c của lớp cách điện 20, được nối với phần dây dẫn 31, và cũng được nối với một đầu theo hướng chiều dày của phần via 12 của lớp lõi kim loại 10.

Các ví dụ về vật liệu cấu tạo lớp dẫn điện 30 gồm có các vật liệu kim loại, như đồng, niken, vàng, hợp kim hàn, và hợp kim của nó. Đồng được ưu tiên. Điều tương tự áp dụng cho vật liệu cấu tạo lớp dẫn điện 60 mà được mô tả sau.

Lớp dẫn điện 30 có chiều dày, chẳng hạn bằng hoặc lớn hơn 3 μm , tốt hơn là

bằng hoặc lớn hơn 5 μm , và chẳng hạn bằng hoặc nhỏ hơn 50 μm , tốt hơn là bằng hoặc nhỏ hơn 30 μm .

Lớp cách điện 40, có nghĩa là, lớp cách điện thứ ba là lớp bọc cách điện mà được bố trí ở một phía theo hướng chiều dày của lớp cách điện 20 để che phủ lớp dẫn điện 30, và có dạng mẫu hình có các phần hở 41 mà là các phần hở thứ ba. Các phần hở 41 xếp chồng lên các phần hở 23 của lớp cách điện 20 và được nối thông với các phần hở 23 trên hình chiếu. Các phần hở 41 theo phương án này có các dạng phần hở giống hoặc về cơ bản giống với các phần hở 23. Các phần hở 41 có thể có chức năng là các cửa sổ khắc ăn mòn ở bước khắc ăn mòn mà khắc ăn mòn lớp lõi kim loại 10 theo phương pháp dưới đây để chế tạo bảng mạch dây dẫn X1.

Miền là lớp cách điện 40 có chiều dày hoặc chiều cao từ lớp cách điện 20 lớn hơn chiều dày hoặc chiều cao của lớp dẫn điện 30, chiều dày của lớp cách điện 40, chẳng hạn bằng hoặc lớn hơn 4 μm , tốt hơn là bằng hoặc lớn hơn 6 μm , và chẳng hạn bằng hoặc nhỏ hơn 60 μm , tốt hơn là bằng hoặc nhỏ hơn 40 μm .

Như được minh họa trên Fig.1 và Fig.4, lớp cách điện 50, có nghĩa là, lớp cách điện thứ hai là lớp nền cách điện được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại 10. Lớp cách điện 50 có dạng mẫu hình gồm có phần chính 51, vùng 52, có nghĩa là, vùng thứ hai, và nhiều phần hở 53, có nghĩa là, các phần hở thứ hai liền kề vùng 52 và được đặt xen giữa phần chính 51 và vùng 52. Phương án này biểu thị rằng một vùng 52 có hai phần hở 53.

Phần chính 51 xếp chồng lên phần chính lớp lõi 11 trên hình chiếu.

Vùng 52 gồm có phần bên trong 52a và nhiều phần ghép nối 52b.

Phần bên trong 52a xếp chồng lên phần via 12 và tiếp xúc với đầu kia theo hướng chiều dày của phần via 12 trên hình chiếu. Phần bên trong 52a của phương án này có dạng hình tròn. Phần bên trong 52a quay mặt về phần bên trong 22a vùng 22 theo hướng chiều dày. Vùng 52 có lỗ 52c ở phần bên trong 52a. Tại phần giữa của

phần bên trong 52a trên hình chiếu, lỗ 52c xuyên qua phần bên trong 52a theo hướng chiều dày.

Các phần ghép nối 52b ghép nối phần bên trong 52a với phần chính 51. Các phần ghép nối 52b xếp chồng lên các phần hờ 23 và không xếp chồng lên các phần ghép nối 22b trên hình chiếu. Nhiều phần ghép nối 52b duy trì phần bên trong 52a giữa chúng. Phương án này biểu thị rằng một vùng 52 có hai phần ghép nối 52b. Mỗi một phần ghép nối trong số các phần ghép nối 52b có hình dạng dài có một đầu được ghép nối với phần bên trong 52a và đầu kia được ghép nối với phần chính 51. Hướng mà theo đó các phần ghép nối 52b kéo dài giao cắt với hướng mà theo đó các phần ghép nối 22b kéo dài trên hình chiếu. Phương án này biểu thị rằng các hướng là trực giao với nhau trên hình chiếu.

Các phần hờ 53 có chức năng là các cửa sổ khắc ăn mòn ở bước khắc ăn mòn mà khắc ăn mòn lớp lõi kim loại 10 theo phương pháp dưới đây để chế tạo bảng mạch dây dẫn X1, và xuyên qua lớp cách điện 50 theo hướng chiều dày. Phương án này biểu thị rằng hai phần hờ 53 duy trì vùng 52 giữa chúng. Phương án này còn biểu thị rằng, như được minh họa trên Fig.3, mỗi một phần trong số các phần hờ 53 có hình dạng quạt, và vùng 52 và hai phần hờ 53 tạo ra dạng gần như hình tròn trên hình chiếu.

Lớp cách điện 50 có chiều dày, chẳng hạn bằng hoặc lớn hơn 1 μm , tốt hơn là bằng hoặc lớn hơn 3 μm , và chẳng hạn bằng hoặc nhỏ hơn 35 μm , tốt hơn là bằng hoặc nhỏ hơn 20 μm .

Như được minh họa trên Fig.1 và Fig.4, lớp dẫn điện 60, có nghĩa là, lớp dẫn điện thứ hai gồm có phần dây dẫn 61, có nghĩa là, phần dây dẫn thứ hai và phần dẫn điện 62, có nghĩa là, phần dẫn điện thứ hai. Phần dây dẫn 61 được bố trí ở phía kia theo hướng chiều dày của lớp cách điện 50, và có hình dạng mẫu hình định trước. Phần dây dẫn 61 theo phương án này được bố trí bên trên phần chính 51 và vùng 52 của lớp cách điện 50. Đặc biệt là, như được minh họa trên Fig.3, phần dây dẫn

61 có một đầu được bố trí ở phần bên trong 52a, đi qua một phần ghép nối trong số các phần ghép nối 52b, và kéo dài ra vùng bên ngoài 52. Phần dẫn điện 62 được bố trí trong lỗ 52c của lớp cách điện 50, được nối với phần dây dẫn 61, và cũng được nối với đầu kia theo hướng chiều dày của phần via 12 của lớp lõi kim loại 10.

Lớp dẫn điện 60 có chiều dày, chẳng hạn bằng hoặc lớn hơn 3 μm , tốt hơn là bằng hoặc lớn hơn 5 μm , và chẳng hạn bằng hoặc nhỏ hơn 50 μm , tốt hơn là bằng hoặc nhỏ hơn 30 μm .

Lớp cách điện 70, có nghĩa là, lớp cách điện thứ tư là lớp bọc cách điện mà được bố trí ở phía kia theo hướng chiều dày của lớp cách điện 50 để che phủ lớp dẫn điện 60, và có dạng mẫu hình có các phần hở 71, có nghĩa là, các phần hở thứ tư. Các phần hở 71 xếp chồng lên các phần hở 53 của lớp cách điện 50 và được nối thông với các phần hở 53 trên hình chiếu. Các phần hở 71 theo phương án này có các dạng phần hở giống hoặc về cơ bản giống với các phần hở 53. Các phần hở 71 có thể có chức năng là các cửa sổ khắc ăn mòn ở bước khắc ăn mòn mà khắc ăn mòn lớp lõi kim loại 10 theo phương pháp dưới đây để chế tạo bảng mạch dây dẫn X1.

Miễn là lớp cách điện 70 có chiều dày hoặc chiều cao từ lớp cách điện 50 lớn hơn chiều dày hoặc chiều cao của lớp dẫn điện 60, chiều dày của lớp cách điện 70, chẳng hạn bằng hoặc lớn hơn 4 μm , tốt hơn là bằng hoặc lớn hơn 6 μm , và chẳng hạn bằng hoặc nhỏ hơn 60 μm , tốt hơn là bằng hoặc nhỏ hơn 40 μm .

Trên hình chiếu theo hướng chiều dày của bảng mạch dây dẫn X1 như được minh họa trên Fig.5, các phần hở 23 của lớp cách điện 20 và các phần hở 53 của lớp cách điện 50 được nối với hoặc xếp chồng lên nhau và bao quanh các phần dẫn điện 32 và 62. Fig.5 minh họa các hình dạng của các phần hở 53 bằng các đường nét đứt và các hình dạng của các phần hở 23 và các phần dẫn điện 32 và 62 bằng các đường nét liền. Các phần hở 23 và 53 theo phương án này được nối với hoặc xếp chồng lên và tạo ra dạng hình tròn trên hình chiếu. Trên hình chiếu theo hướng chiều dày của bảng

mạch dây dẫn X1, các phần hờ 23 và các phần hờ 53 được nối với hoặc xếp chồng lên nhau và bao quanh phần via 12. Các phần hờ 23 và 53 theo phương án này tạo ra dạng phần hờ. Như được mô tả trên đây, các phần hờ 41 của lớp cách điện 40 có các dạng phần hờ giống hoặc về cơ bản giống với các phần hờ 23, và các phần hờ 71 của lớp cách điện 70 có các dạng phần hờ giống hoặc về cơ bản giống với các phần hờ 53.

Trong bảng mạch dây dẫn X1, lớp cách điện 20 có thể có dạng mẫu hình gồm có vùng 22 và các phần hờ 23 theo các hình dạng trên hình chiếu như được minh họa trên Fig.6, và lớp cách điện 50 có thể có dạng mẫu hình gồm có vùng 52 và các phần hờ 53 theo các hình dạng trên hình chiếu như được minh họa trên Fig.7, nơi mà vùng 52 gồm có phần quay mặt về vùng 22 theo hướng chiều dày. Các phần hờ 41 của lớp cách điện 40 có các dạng phần hờ giống hoặc về cơ bản giống với các phần hờ 23 và được bỏ qua trên Fig.6. Các phần hờ 71 của lớp cách điện 70 có các dạng phần hờ giống hoặc về cơ bản giống với các phần hờ 53 và được bỏ qua trên Fig.7. Biến thể này biểu thị rằng phần bên trong 22a và các phần ghép nối 22b tạo ra dạng gần như hình chữ nhật trong vùng 22. Các phần hờ 23 mà mỗi phần có dạng gần như hình chữ nhật trong khi duy trì vùng 22 giữa chúng. Vùng 22 và hai phần hờ 23 tạo ra dạng gần như hình chữ nhật trên hình chiếu. Một cách tương tự, biến thể này biểu thị rằng phần bên trong 52a và các phần ghép nối 52b tạo ra dạng gần như hình chữ nhật trong vùng 52. Các phần hờ 53 mà mỗi phần có dạng gần như hình chữ nhật trong khi duy trì vùng 52 giữa chúng. Vùng 52 và hai phần hờ 53 tạo ra dạng gần như hình chữ nhật trên hình chiếu. Trên hình chiếu theo hướng chiều dày của biến thể này như được minh họa trên Fig.8, các phần hờ 23 của lớp cách điện 20 và các phần hờ 53 của lớp cách điện 50 xếp chồng lên và tạo ra dạng khung hình chữ nhật, và bao quanh các phần dẫn điện 32 và 62. Trên hình chiếu theo hướng chiều dày của bảng mạch dây dẫn X1, các phần hờ 23 của lớp cách điện 20 và các phần hờ 53 của lớp cách điện 50 được nối hoặc xếp chồng lên nhau và bao quanh phần via 12.

Chẳng hạn như được minh họa trên Fig.9, phần dẫn điện 32 của lớp dẫn điện 30 và phần dẫn điện 62 của lớp dẫn điện 60 có thể được dịch chuyển với nhau theo hướng bề mặt vuông góc với hướng chiều dày trong bảng mạch dây dẫn X1. Như vậy kết cấu cũng có thể đạt được sự nối điện giữa lớp dẫn điện 30 và 60 bởi phần via 12.

Một phần dây dẫn trong số các phần dây dẫn 31 và phần dây dẫn 61 có thể là đệm điện cực trong bảng mạch dây dẫn X1, nơi mà phần dẫn điện 32 của lớp dẫn điện 30 được nối với phần dây dẫn 31 và phần dẫn điện 62 của lớp dẫn điện 60 được nối với phần dây dẫn 61. Khi phần dây dẫn 31 mà phần dẫn điện 32 của lớp dẫn điện 30 được nối vào đó là đệm điện cực, lớp cách điện 40 có phần hở định trước mà làm lộ đệm điện cực ra bên ngoài. Khi phần dây dẫn 61 mà phần dẫn điện 62 của lớp dẫn điện 60 được nối vào đó là đệm điện cực, lớp cách điện 70 có phần hở định trước mà làm lộ đệm điện cực ra bên ngoài. Fig.10A và Fig.10B mà mỗi hình vẽ minh họa một ví dụ mà trong đó phần dây dẫn 61 mà phần dẫn điện 62 của lớp dẫn điện 60 được nối vào đó là đệm điện cực 61A, mặc dù không minh họa lớp cách điện 70. Biến thể trên Fig.10B biểu thị rằng vùng 52 được phân cách với phần chính 51 trong lớp cách điện 50.

Các hình vẽ từ Fig.11 đến Fig.14 minh họa phương pháp chế tạo bảng mạch dây dẫn X1. Fig.11 và Fig.12 minh họa phương pháp chế tạo dưới dạng các thay đổi về mặt cắt tương ứng với Fig.1. Fig.13 và Fig.14 minh họa phương pháp chế tạo dưới dạng các thay đổi về mặt cắt tương ứng với Fig.4.

Theo phương pháp chế tạo này, lớp lõi kim loại 10 trước hết được chuẩn bị như được minh họa trên Fig.11A và Fig.13A (bước chuẩn bị).

Tiếp theo, như được minh họa trên Fig.11B và Fig.13B, lớp cách điện 20, có nghĩa là, lớp nền cách điện được tạo ra trên lớp lõi kim loại 10 (bước tạo lớp nền cách điện thứ nhất). Ở bước này, lớp cách điện 20 được tạo ra như ví dụ sau. Dung dịch hoặc dầu đánh bóng chứa nhựa nhạy quang để tạo hình lớp cách điện 20 được tác động

vào một bề mặt theo hướng chiều dày của lớp lõi kim loại 10 và được sấy khô để tạo ra màng cách điện. Tiếp theo, màng cách điện đã tạo ra được tạo mẫu hình. Đặc biệt là, màng cách điện được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và quá trình hiện ảnh theo sau sự phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Như được lấy làm ví dụ nêu trên, lớp cách điện 20, mà có mẫu hình định trước gồm có lỗ 22c và các phần hở 23 mà từ đó lớp lõi kim loại 10 được lộ ra một phần, được tạo ra trên lớp lõi kim loại 10.

Tiếp theo, như được minh họa trên Fig.11C và Fig.13C, lớp dẫn điện 30 được tạo ra trên lớp cách điện 20 (bước tạo lớp dẫn điện thứ nhất). Ở bước này, lớp dẫn điện 30 được tạo ra như ví dụ sau. Trước hết, lớp hạt mỏng, không được minh họa trên hình vẽ, được tạo ra trên một bề mặt theo hướng chiều dày của lớp cách điện 20 và một bề mặt theo hướng chiều dày của lớp lõi kim loại 10 mà không được che phủ với lớp cách điện 20, chẳng hạn bởi phương pháp phun xạ. Lớp hạt là lớp dẫn điện để tạo hình màng mạ điện. Các ví dụ về vật liệu cấu tạo lớp hạt gồm có đồng, crôm, niken, và hợp kim của nó. Tiếp theo, mẫu hình lớp cản được tạo ra trên lớp hạt. Mẫu hình lớp cản có phần hở tương ứng với dạng mẫu hình của lớp dẫn điện 30. Để tạo mẫu hình lớp cản, chẳng hạn màng lớp cản nhạy quang được liên kết vào lớp hạt để tạo ra màng lớp cản, và màng lớp cản đã tạo được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và hiện ảnh theo sau phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Để tạo lớp dẫn điện 30, tiếp theo, phương pháp mạ điện được thực hiện để kết tủa vật liệu kim loại lên lớp hạt trong vùng phần hở của mẫu hình lớp cản. Tốt hơn là đồng được sử dụng để làm vật liệu kim loại. Tiếp theo, mẫu hình lớp cản được loại bỏ bằng cách khắc ăn mòn. Tiếp theo, phần lớp hạt được phơi sáng nhờ loại bỏ mẫu hình lớp cản được loại bỏ bằng cách khắc ăn mòn. Như được lấy làm ví dụ nêu trên, lớp dẫn điện 30 có mẫu hình định trước gồm có phần dây dẫn 31 và phần dẫn điện 32 được tạo ra.

Tiếp theo, theo phương pháp chế tạo này, như được minh họa trên Fig.11D và

Fig.13D, lớp cách điện 40, có nghĩa là, lớp bọc cách điện được tạo ra ở một phía theo hướng chiều dày của lớp cách điện 20 để che phủ lớp dẫn điện 30 (bước tạo lớp bọc cách điện thứ nhất). Ở bước này, lớp cách điện 40 được tạo ra như ví dụ sau. Dung dịch hoặc dầu đánh bóng chứa nhựa nhạy quang để tạo hình lớp cách điện 40 được cấp lên một bề mặt theo hướng chiều dày của lớp cách điện 20 và một bề mặt theo hướng chiều dày của lớp dẫn điện 30 và được sấy khô để tạo ra màng cách điện. Tiếp theo, màng cách điện đã tạo ra được tạo mẫu hình. Đặc biệt là, màng cách điện được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và quá trình hiện ảnh theo sau phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Như được lấy làm ví dụ nêu trên, lớp cách điện 40 có mẫu hình định trước gồm có phần hở 41 được tạo ra.

Tiếp theo, như được minh họa trên Fig.12A và Fig.14A, lớp cách điện 50, có nghĩa là, lớp nền cách điện được tạo ra trên lớp lõi kim loại 10 (bước tạo lớp nền cách điện thứ hai). Ở bước này, chẳng hạn lớp cách điện 50 được tạo ra như sau. Trước hết, dung dịch hoặc dầu đánh bóng chứa nhựa nhạy quang để tạo hình lớp cách điện 50 được cấp lên bề mặt kia theo hướng chiều dày của lớp lõi kim loại 10 và được sấy khô để tạo ra màng cách điện. Tiếp theo, màng cách điện đã tạo ra được tạo mẫu hình. Đặc biệt là, màng cách điện được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và quá trình hiện ảnh theo sau phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Như được lấy làm ví dụ nêu trên, lớp cách điện 50, mà có mẫu hình định trước gồm có lỗ 52c và các phần hở 53 mà từ đó lớp lõi kim loại 10 được lộ ra một phần, được tạo ra trên bề mặt kia theo hướng chiều dày của lớp lõi kim loại 10.

Tiếp theo, như được minh họa trên Fig.12B và Fig.14B, lớp dẫn điện 60 được tạo ra trên lớp cách điện 50 (bước tạo lớp dẫn điện thứ hai). Ở bước này, lớp dẫn điện 60 được tạo ra như ví dụ sau. Trước hết, lớp hạt mỏng, không được minh họa trên hình vẽ, được tạo ra trên bề mặt kia theo hướng chiều dày của lớp cách điện 50 và một bề mặt theo hướng chiều dày của lớp lõi kim loại 10 mà không được che phủ với lớp cách

điện 50, chẳng hạn bởi phương pháp phún xạ. Lớp hạt là lớp dẫn điện để tạo hình màng mạ điện. Tiếp theo, mẫu hình lớp cản được tạo ra trên lớp hạt. Mẫu hình lớp cản có phần hở tương ứng với dạng mẫu hình của lớp dẫn điện 60. Để tạo mẫu hình lớp cản, chẳng hạn màng lớp cản nhạy quang được liên kết vào lớp hạt để tạo ra màng lớp cản, và màng lớp cản đã tạo được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và hiện ảnh theo sau phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Tiếp theo, đối với việc tạo lớp dẫn điện 60, phương pháp mạ điện được thực hiện để kết tủa vật liệu kim loại trên lớp hạt trong vùng phần hở của mẫu hình lớp cản. Tốt hơn là đồng được sử dụng để làm vật liệu kim loại. Tiếp theo, mẫu hình lớp cản được loại bỏ bằng cách khắc ăn mòn. Tiếp theo, phần của lớp hạt được phơi sáng nhờ loại bỏ mẫu hình lớp cản được loại bỏ bằng cách khắc ăn mòn. Như được lấy làm ví dụ nêu trên, lớp dẫn điện 60 có mẫu hình định trước gồm có phần dây dẫn 61 và phần dẫn điện 62 có thể được tạo ra.

Tiếp theo, theo phương pháp chế tạo này, như được minh họa trên Fig.12C và Fig.14C, lớp cách điện 70, có nghĩa là, lớp bọc cách điện được tạo ra ở phía kia theo hướng chiều dày của lớp cách điện 50 để che phủ lớp dẫn điện 60 (bước tạo lớp bọc cách điện thứ hai). Ở bước này, lớp cách điện 70 được tạo ra như ví dụ sau. Trước hết, dung dịch hoặc dầu đánh bóng chứa nhựa nhạy quang để tạo hình lớp cách điện 70 được cấp lên bề mặt kia theo hướng chiều dày của lớp cách điện 50 và bề mặt kia theo hướng chiều dày của lớp dẫn điện 60 và được sấy khô để tạo ra màng cách điện. Tiếp theo, màng cách điện đã tạo ra được tạo mẫu hình. Đặc biệt là, màng cách điện được đưa vào quá trình phơi sáng thông qua mặt nạ định trước, và quá trình hiện ảnh theo sau phơi sáng. Nếu cần, phương pháp sấy khô theo sau hiện ảnh. Như được lấy làm ví dụ nêu trên, lớp cách điện 70 có mẫu hình định trước gồm có phần hở 71 được tạo ra.

Phương án này biểu thị rằng các bước nêu trên đây được thực hiện để chế tạo tám nhiều lớp Y1 mà là sản phẩm trung gian. Tám nhiều lớp Y1 gồm có lớp lõi kim

loại 10, lớp cách điện 20, lớp dẫn điện 30, lớp cách điện 40, lớp cách điện 50, lớp dẫn điện 60, và lớp cách điện 70, nơi mà phần chính lớp lõi 11 và phần vĩa 12 nêu trên đây vẫn chưa được tạo trên lớp lõi kim loại 10, lớp cách điện 20, lớp dẫn điện 30, và lớp cách điện 40 được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại 10, và lớp cách điện 50, lớp dẫn điện 60, và lớp cách điện 70 được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại 10. Lớp cách điện 20 của tấm nhiều lớp Y1 có vùng 22 với lỗ 22c và ít nhất một phần hồ 23 liền kề vùng 22. Lớp dẫn điện 30 của tấm nhiều lớp Y1 gồm có phần dây dẫn 31 và phần dẫn điện 32, nơi mà phần dây dẫn 31 được bố trí ít nhất trên vùng 22 ở một phía theo hướng chiều dày của lớp cách điện 20 và phần dẫn điện 32 được bố trí trong lỗ 22c và được nối với phần dây dẫn 31 và lớp lõi kim loại 10. Lớp cách điện 40 của tấm nhiều lớp Y1 che phủ lớp dẫn điện 30 ở một phía theo hướng chiều dày của lớp cách điện 20, và có phần hồ 41 nối thông với phần hồ 23 của lớp cách điện 20. Lớp cách điện 50 của tấm nhiều lớp Y1 gồm có lỗ 52c và ít nhất một phần hồ 53, nơi mà lỗ 52c gồm có phần quay mặt về vùng 22 của lớp cách điện 20 và lỗ 52c trong phần quay mặt này, và phần hồ 53 liền kề với vùng 52. Lớp dẫn điện 60 của tấm nhiều lớp Y1 gồm có phần dây dẫn 61 và phần dẫn điện 62, nơi mà phần dây dẫn 61 được bố trí ít nhất trên vùng 52 ở phía kia theo hướng chiều dày của lớp cách điện 50 và phần dẫn điện 62 được bố trí trong lỗ 52c và được nối với phần dây dẫn 61 và lớp lõi kim loại 10. Lớp cách điện 70 của tấm nhiều lớp Y1 che phủ lớp dẫn điện 60 ở phía kia theo hướng chiều dày của lớp cách điện 50, và có các phần hồ 71 nối thông với các phần hồ 53 của lớp cách điện 50. Tương tự với phần mô tả của bảng mạch dây dẫn X1 có dựa vào Fig.5, trên hình chiếu theo hướng chiều dày của tấm nhiều lớp Y1, các phần hồ 23 của lớp cách điện 20 và các phần hồ 53 của lớp cách điện 50 xếp chồng lên hoặc được nối với nhau và bao quanh các phần dẫn điện 32 và 62. Các phần hồ 41 của lớp cách điện 40 có các dạng phần hồ giống hoặc về cơ bản giống với các phần hồ 23. Các phần hồ 71 của lớp cách điện 70 có các dạng

phần hở giống hoặc về cơ bản giống với các phần hở 53.

Tiếp theo, theo phương pháp chế tạo này, như được minh họa trên Fig.12D và Fig.14D, lớp lõi kim loại 10 được đưa vào phương pháp khắc ăn mòn để tạo ra phần chính lớp lõi 11 và phần via 12 trong lớp lõi kim loại 10 (bước khắc ăn mòn). Chàng hạn clorua sắt được sử dụng làm dung dịch khắc ăn mòn cho quá trình khắc ăn mòn.

Quá trình khắc ăn mòn của bước này gồm có xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai. Xử lý khắc ăn mòn thứ nhất được thực hiện để khắc ăn mòn lớp lõi kim loại 10 từ một phía theo hướng chiều dày của tấm nhiều lớp Y1 thông qua các phần hở 23 và 41 của các lớp cách điện 20 và 40. Xử lý khắc ăn mòn thứ hai được thực hiện để khắc ăn mòn lớp lõi kim loại 10 từ phía kia theo hướng chiều dày của tấm nhiều lớp Y1 thông qua các phần hở 53 và 71. Ở bước này, xử lý khắc ăn mòn thứ nhất và thứ hai có thể được thực hiện một cách đồng thời, xử lý khắc ăn mòn thứ hai có thể được thực hiện sau khi hoàn thành xử lý khắc ăn mòn thứ nhất, hoặc xử lý khắc ăn mòn thứ nhất có thể được thực hiện sau khi hoàn thành xử lý khắc ăn mòn thứ hai. Việc thực hiện đồng thời xử lý khắc ăn mòn thứ nhất và thứ hai được ưu tiên. Nhờ bước khắc ăn mòn như vậy, phần via 12 có chu vi được bao quanh bởi khoảng trống 13 được tạo ra trong lớp lõi kim loại 10, nơi mà phần via 12 kéo dài giữa vùng 22 của lớp cách điện 20 và vùng 52 của lớp cách điện 50 theo hướng chiều dày để nối các phần dẫn điện 32 và 62.

Trên hình chiếu theo hướng chiều dày của tấm nhiều lớp Y1, các phần hở 23 và 41 theo các lớp cách điện 20 và 40 và các phần hở 53 và 71 theo các lớp cách điện 50 và 70 xếp chồng lên nhau và bao quanh các phần dẫn điện 32 và 62. Như vậy kết cấu đạt được việc tạo hình thích hợp khoảng trống 13 bao quanh phần via 12 trong lớp lõi kim loại 10, nhờ xử lý khắc ăn mòn thứ nhất để khắc ăn mòn lớp lõi kim loại 10 thông qua các phần hở 23 và 41 và xử lý khắc ăn mòn thứ hai thông qua các phần hở 53 và 71.

Theo phương án này, tốt hơn là xử lý khắc ăn mòn thứ nhất và thứ hai gồm phương pháp khắc ăn mòn để tạo ra mép ngoài của lớp lõi kim loại 10 trên hình chiếu. Điều này cho phép tạo đồng thời phần via 12 trong lớp lõi kim loại 10 và mép ngoài của lớp lõi kim loại 10. Theo lựa chọn khác, phương pháp khắc ăn mòn để tạo mép ngoài của lớp lõi kim loại 10 có thể được thực hiện một cách riêng biệt với bước khắc ăn mòn để tạo phần via 12.

Như được mô tả trên đây, bảng mạch dây dẫn X1 gồm có lớp lõi kim loại 10 với phần via 12 được chế tạo.

Phương pháp chế tạo này gồm có bước xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai để tạo ra phần via 12 trong lớp lõi kim loại 10 để nối điện lớp dẫn điện 30 và lớp dẫn điện 60, mà được bố trí ở một phía và phía kia theo hướng chiều dày của bảng mạch dây dẫn X1 gồm có lớp lõi kim loại 10. Phương pháp không cần cung cấp cho màng cách điện hoặc tương tự cho phần via cách điện 12 từ các phần khác trong lớp lõi kim loại 10. Vì vậy, phương pháp là thích hợp để giảm số lượng các bước tạo hình phần via 12, mà nối điện các lớp dẫn điện 30 và 60, trong quá trình chế tạo bảng mạch dây dẫn X1 gồm có lớp lõi kim loại 10. Phương pháp là thích hợp để thực hiện khắc ăn mòn tạo hình mép ngoài của lớp lõi kim loại 10 ở bước xử lý khắc ăn mòn thứ nhất và thứ hai, và vì vậy giảm một cách thích hợp số lượng các bước. Phương pháp giảm một cách thích hợp số lượng các bước như được mô tả trên đây là thích hợp để chế tạo một cách hiệu quả bảng mạch dây dẫn X1 có lớp lõi kim loại 10.

Hơn nữa, phương pháp theo sáng chế, nơi mà việc tạo khoảng trống 13 trong lớp lõi kim loại 10 tạo ra kết cấu dẫn điện hoặc phần via 12 nối điện các mạch điện trên cả hai bề mặt, cho phép nối điện thích hợp giữa các mạch điện trên cả hai bề mặt thậm chí thông qua lớp lõi kim loại dày 10.

Như được mô tả trên đây, việc thực hiện đồng thời bước xử lý khắc ăn mòn

thứ nhất và bước xử lý khắc ăn mòn thứ hai là được ưu tiên cho phương án này. Tổ hợp như vậy là thích hợp để giảm số lượng các bước của quá trình chế tạo bảng mạch dây dẫn X1 có lớp lõi kim loại 10, và vì vậy là thích hợp để chế tạo một cách hiệu quả các bảng mạch dây dẫn X1.

Phương án này biểu thị, như được mô tả trên đây, rằng tấm nhiều lớp Y1 cho bước khắc ăn mòn trên Fig.12D và Fig.14D gồm có lớp cách điện 40 và lớp cách điện 70. Lớp cách điện 40 che phủ lớp dẫn điện 30 ở một phía theo hướng chiều dày của lớp cách điện 20, và có các phần hở 41 mà có chức năng là các cửa sổ khắc ăn mòn bằng cách nối thông với các phần hở 23 của lớp cách điện 20. Lớp cách điện 70 che phủ lớp dẫn điện 60 ở phía kia theo hướng chiều dày của lớp cách điện 50, và có các phần hở 71 mà có chức năng là các cửa sổ khắc ăn mòn bằng cách nối thông với các phần hở 53 của lớp cách điện 50. Như vậy kết cấu là thích hợp để thực hiện các xử lý khắc ăn mòn thứ nhất và thứ hai mà không cần chuẩn bị thêm các mặt nạ khắc ăn mòn để che phủ và bảo vệ lớp dẫn điện 30 và lớp dẫn điện 60, và vì vậy là thích hợp để giảm số lượng các bước.

Phương pháp chế tạo bảng mạch dây dẫn X1 có thể sử dụng tấm nhiều lớp Y2 được tạo ra với các mặt nạ lớp cản 101 và 102 thay cho các lớp cách điện 40 và 70 như được minh họa trên Fig.15A và Fig.15B để thực hiện bước khắc ăn mòn nhằm khắc ăn mòn lớp lõi kim loại 10. Fig.15A minh họa mặt cắt tương ứng với mặt cắt trên Fig.1. Fig.15B minh họa mặt cắt tương ứng với mặt cắt trên Fig.4. Fig.16 thể hiện hình chiếu theo hướng chiều dày của tấm nhiều lớp Y2, nơi mà các phần hở 23 và lớp cách điện 20 và các phần hở 53 và lớp cách điện 50 xếp chồng lên và tạo ra dạng hình tròn và bao quanh các phần dẫn điện 32 và 62. Fig.15 thể hiện tấm nhiều lớp Y2, nơi mà mặt nạ lớp cản 101 được bố trí ở một phía theo hướng chiều dày của lớp cách điện 20 để che phủ lớp dẫn điện 30 và có dạng mẫu hình với các phần hở 101a. Các phần hở 101a được nối thông với các phần hở 23, và có các dạng phần hở giống hoặc về cơ bản

giống với các phần hờ 23. Mặt nạ lớp cản 102 được bố trí ở một phía theo hướng chiều dày của lớp cách điện 50 để che phủ lớp dẫn điện 60, và có dạng mẫu hình với các phần hờ 102a. Các phần hờ 102a được nối thông với các phần hờ 53, và có các dạng phần hờ giống hoặc về cơ bản giống với các phần hờ 53.

Tấm nhiều lớp Y2 được tạo ra thông qua, chẳng hạn bước chuẩn bị (xem Fig.11A và Fig.13A), bước tạo lớp cách điện thứ nhất (xem Fig.11B và Fig.13B), bước tạo lớp dẫn điện kế tiếp (xem Fig.11C và Fig.13C), bước tạo lớp cách điện thứ hai (xem Fig.12A và Fig.14A), bước tạo lớp dẫn điện kế tiếp thứ hai (xem Fig.12B và Fig.14B), bước tạo mặt nạ lớp cản thứ nhất để tạo hình mặt nạ lớp cản 101 sau bước tạo lớp dẫn điện thứ nhất, và bước tạo mặt nạ lớp cản thứ hai để tạo hình mặt nạ lớp cản 102 sau bước tạo lớp dẫn điện thứ hai. Ở bước tạo mặt nạ lớp cản thứ nhất, mặt nạ lớp cản 101 được tạo ra, chẳng hạn bằng cách tạo mẫu hình màng lớp cản nhạy quang che phủ lớp dẫn điện 30 ở một phía theo hướng chiều dày của lớp cách điện 20. Ở bước tạo mặt nạ lớp cản thứ hai, mặt nạ lớp cản 102 được tạo ra, chẳng hạn bằng cách tạo mẫu hình màng lớp cản nhạy quang che phủ lớp dẫn điện 60 ở phía kia theo hướng chiều dày của lớp cách điện 50.

Ở bước khắc ăn mòn của biến thể này, tấm nhiều lớp Y2 được sử dụng để thực hiện bước xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai để khắc ăn mòn lớp lõi kim loại 10 nhằm tạo ra phần chính lớp lõi 11 và phần via 12 trong lớp lõi kim loại 10 như được minh họa trên Fig.17A và Fig.17B. Fig.17A minh họa mặt cắt tương ứng với mặt cắt trên Fig.15A. Fig.17B minh họa mặt cắt tương ứng với mặt cắt trên Fig.15B.

Việc xử lý khắc ăn mòn thứ nhất của biến thể này được thực hiện để khắc ăn mòn lớp lõi kim loại 10 từ một phía theo hướng chiều dày của tấm nhiều lớp Y2 thông qua các phần hờ 23 của lớp cách điện 20 và các phần hờ 101a của mặt nạ lớp cản 101. Việc xử lý khắc ăn mòn thứ hai của biến thể này được thực hiện để khắc ăn mòn

lớp lõi kim loại 10 từ phía kia theo hướng chiều dày của tấm nhiều lớp Y2 thông qua các phần hở 53 của lớp cách điện 50 và các phần hở 102a của mặt nạ lớp cản 102. Việc xử lý khắc ăn mòn thứ nhất và thứ hai của bước này có thể được thực hiện một cách đồng thời, việc xử lý khắc ăn mòn thứ hai có thể được thực hiện sau khi hoàn thành xử lý khắc ăn mòn thứ nhất, hoặc việc xử lý khắc ăn mòn thứ nhất có thể được thực hiện sau khi hoàn thành việc xử lý khắc ăn mòn thứ hai. Việc thực hiện đồng thời xử lý khắc ăn mòn thứ nhất và thứ hai được ưu tiên cho việc giảm số lượng các bước. Ở bước khắc ăn mòn, phần via 12 có chu vi được bao quanh bởi khoảng trống 13 được tạo ra trong lớp lõi kim loại 10, trong khi phần via 12 kéo dài giữa vùng 22 của lớp cách điện 20 và vùng 52 của lớp cách điện 50 theo hướng chiều dày và được nối với các phần dẫn điện 32 và 62.

Sau bước khắc ăn mòn, các mặt nạ lớp cản 101 và 102 được loại bỏ ra khỏi tấm nhiều lớp Y2.

Theo lựa chọn khác, thông qua các bước nêu trên của biến thể này, bảng mạch dây dẫn X1 có lớp lõi kim loại 10 gồm có phần via 12 được bao quanh bởi khoảng trống 13 có thể được chế tạo. Phương pháp theo sáng chế có cùng các hiệu quả và ưu điểm như các hiệu quả và ưu điểm của phương án thứ nhất.

Nếu cần, phương pháp theo sáng chế có thể gồm có bước lần lượt tạo lớp bọc cách điện thứ nhất và bước tạo lớp bọc cách điện thứ hai, nhờ đó tạo hình lớp cách điện 40, có nghĩa là, lớp bọc cách điện như được mô tả trên đây có dựa vào Fig.11D và Fig.13D, và tạo hình lớp cách điện 70, có nghĩa là, lớp bọc cách điện như được mô tả trên đây có dựa vào Fig.12C và Fig.14C.

Fig.18 đến Fig.21 minh họa bảng mạch dây dẫn X2 theo phương án thứ hai của sáng chế. Fig.18 là hình vẽ mặt cắt ngang dạng sơ đồ của bảng mạch dây dẫn X2. Fig.19 là hình chiếu bằng riêng phần của bảng mạch dây dẫn X2, mặc dù không minh họa và lớp cách điện 40. Fig.20 là hình chiếu từ dưới lên riêng phần của bảng

mạch dây dẫn X2 mặc dù không minh họa lớp cách điện 70. Fig.21 là hình vẽ mặt cắt ngang của phần được lấy theo đường XXI-XXI trên Fig.19 và Fig.20.

Bảng mạch dây dẫn X2 là giống với bảng mạch dây dẫn X1 ngoại trừ phần mô tả dưới đây. Các bộ phận giống nhau được biểu thị cùng các số chỉ dẫn.

Phần via 12 được bố trí tại đầu định trước, trên hình chiếu, của lớp lõi kim loại 10 của bảng mạch dây dẫn X2.

Vùng 22 và phần hờ 23 cũng được định vị tại đầu định trước tương đối với vị trí của phần via 12 trong lớp cách điện 20 của bảng mạch dây dẫn X2.

Như được minh họa trên Fig.19, vùng 22 có dạng hình chữ nhật trên hình chiếu, và có phần bên trong 22a tạo hình đầu tự do. Một phần ghép nối 22b mà ghép nối phần bên trong 22a với phần chính 21 được tạo ra với nó.

Phần hờ 23 có dạng gần như chữ U trên hình chiếu, duy trì vùng 22. Dạng chữ U trên hình chiếu có phần hờ đóng kín mép của lớp cách điện 20. Theo phương án này, vùng 22 và phần hờ 23 tạo ra dạng gần như hình chữ nhật trên hình chiếu.

Bảng mạch dây dẫn X2 gồm có phần dây dẫn 31 có một đầu ở phần bên trong 22a, đi bên trên phần ghép nối 22b, và kéo dài từ đầu hờ của phần hờ dạng chữ U 23 đến vùng bên ngoài 22.

Bảng mạch dây dẫn X2 gồm có lớp cách điện 40 có phần hờ 41 mà có dạng chữ U hờ ở phía đóng kín với mép của lớp cách điện 20 trên hình chiếu, tương tự với phần hờ 23.

Vùng 52 và phần hờ 53 được bố trí ở đầu định trước tương đối với vị trí của phần via 12 trong lớp cách điện 50 của bảng mạch dây dẫn X2.

Như được minh họa trên Fig.20, vùng 52 có dạng hình chữ nhật trên hình chiếu, và có phần bên trong 52a tạo hình đầu tự do. Một phần ghép nối 52b ghép nối phần bên trong 52a với phần chính 51 được tạo ra với nó. Phần ghép nối 52b được bố

trí ở phía đối diện với phần ghép nối 22b tương đối với phần via 12.

Phần hồ 53 được tạo ra một rãnh bằng cách tạo rãnh lớp cách điện 50 từ mép định trước. Phần hồ 53 có dạng gần như chữ U duy trì vùng 52 trên hình chiếu. Dạng chữ U trên hình chiếu có đầu hồ đối diện với phía đóng kín với mép của lớp cách điện 50.

Bảng mạch dây dẫn X2 gồm có phần dây dẫn 61 có một đầu ở phần bên trong 52a, đi bên trên phần ghép nối 52b, và kéo dài từ đầu hồ của phần hồ dạng chữ U 53 (hoặc phía đối diện với đầu hồ của phần hồ dạng chữ U 23) đến vùng bên ngoài 52.

Trên hình chiếu theo hướng chiếu dày của bảng mạch dây dẫn X2, các phần hồ 23 và các phần hồ 53 xếp chồng lên nhau và tạo ra dạng khung hình chữ nhật, và bao quanh phần via 12. Theo phương án này, các phần hồ 23 và 53 tạo cho hình dạng phần hồ như vậy.

Fig.23 đến Fig.26 minh họa phương pháp chế tạo bảng mạch dây dẫn X2. Fig.23 và Fig.24 minh họa phương pháp chế tạo dưới dạng các thay đổi về mặt cắt tương ứng với Fig.18. Fig.25 và Fig.26 minh họa phương pháp chế tạo dưới dạng các thay đổi về mặt cắt tương ứng với Fig.21. Các chi tiết thực hiện của các bước dưới đây là giống với các chi tiết thực hiện của các bước tương ứng trong quá trình chế tạo bảng mạch dây dẫn X1.

Với phương pháp chế tạo, trước hết, lớp lõi kim loại 10 được chuẩn bị như được minh họa trên Fig.23A và Fig.25A (bước chuẩn bị).

Tiếp theo, như được minh họa trên Fig.23B và Fig.25B, lớp cách điện 20, có nghĩa là, lớp nền cách điện được tạo ra trên lớp lõi kim loại 10 (bước tạo lớp nền cách điện thứ nhất).

Tiếp theo, như được minh họa trên Fig.23C và Fig.25C, lớp dẫn điện 30 được tạo ra trên lớp cách điện 20 (bước tạo lớp dẫn điện thứ nhất).

Tiếp theo, như được minh họa trên Fig.23D và Fig.25D, lớp cách điện 40, có

nghĩa là, lớp bọc cách điện được tạo ra ở một phía theo hướng chiều dày của lớp cách điện 20 để che phủ lớp dẫn điện 30 (bước tạo lớp bọc cách điện thứ nhất).

Tiếp theo, như được minh họa trên Fig.24A và Fig.26A, lớp cách điện 50, có nghĩa là, lớp nền cách điện được tạo ra trên lớp lõi kim loại 10 (bước tạo lớp nền cách điện thứ hai).

Tiếp theo, như được minh họa trên Fig.24B và Fig.26B, lớp dẫn điện 60 được tạo ra trên lớp cách điện 50 (bước tạo lớp dẫn điện thứ hai).

Tiếp theo, như được minh họa trên Fig.24C và Fig.26C, lớp cách điện 70, có nghĩa là, lớp bọc cách điện được tạo ra ở phía kia theo hướng chiều dày của lớp cách điện 50 để che phủ lớp dẫn điện 60 (bước tạo lớp bọc cách điện thứ hai).

Thông qua các bước nêu trên đây của phương án này, tám nhiều lớp Y3 được chế tạo như sản phẩm trung gian.

Tiếp theo, theo phương pháp chế tạo này, lớp lõi kim loại 10 được khắc ăn mòn trong quá trình khắc ăn mòn để tạo ra phần chính lớp lõi 11 và phần vìa 12 trong lớp lõi kim loại 10 như được minh họa trên Fig.24D và Fig.26D (bước khắc ăn mòn).

Phần hở 53 theo phương án này được tạo dưới dạng rãnh. Điều này cho phép quá trình khắc ăn mòn để gia công hình dạng bên ngoài của lớp lõi kim loại 10 để được thực hiện ở các sự xử lý khắc ăn mòn thứ nhất và thứ hai. Điều này cho phép thực hiện đồng thời việc tạo phần vìa 12 trong lớp lõi kim loại 10 và gia công hình dạng bên ngoài của lớp lõi kim loại 10.

Như được mô tả trên đây, bảng mạch dây dẫn X2 có phần vìa 12 ở một đầu của lớp lõi kim loại 10 được chế tạo.

Bảng mạch dây dẫn X2 và phương pháp chế tạo bảng mạch này có cùng các hiệu quả và ưu điểm như bảng mạch dây dẫn X1 và phương pháp chế tạo bảng mạch đó.

Phương pháp chế tạo bảng mạch dây dẫn X2 có thể sử dụng tấm nhiều lớp Y4 được tạo ra với các mặt nạ lớp cản 101 và 102 thay cho các lớp cách điện 40 và 70 như được minh họa trên Fig.27 để thực hiện bước khắc ăn mòn mà khắc ăn mòn lớp lõi kim loại 10. Các chi tiết là giống với việc thực hiện bước khắc ăn mòn nhờ sử dụng tấm nhiều lớp Y2 của bảng mạch dây dẫn X1 đã mô tả trên đây.

Các phương án và các biến thể của sáng chế có thể được thực hiện một cách thích hợp theo cách kết hợp.

Khả năng ứng dụng trong công nghiệp

Các kỹ thuật liên quan đến bảng mạch dây dẫn hai mặt theo sáng chế áp dụng cho, chẳng hạn các bảng mạch dây dẫn mềm dẻo khác nhau.

Mô tả các số chỉ dẫn

X1, X2 bảng mạch dây dẫn (bảng mạch dây dẫn hai mặt)

Y1, Y2, Y3, Y4 tấm nhiều lớp

10 lớp lõi kim loại

11 phần chính lớp lõi

12 phần via

13 khoảng trống

20, 40, 50, 70 lớp cách điện

21, 51 phần chính

22, 52 vùng

22a, 52a lỗ

23, 41, 53, 71 phần hở

30, 60 lớp dẫn điện

31, 61 phần dây dẫn

32, 62 phần dẫn điện

YÊU CẦU BẢO HỘ

1. Phương pháp chế tạo bảng mạch dây dẫn hai mặt, phương pháp này bao gồm:

bước thứ nhất là chuẩn bị tám nhiều lớp gồm có:

lớp lõi kim loại,

lớp cách điện thứ nhất được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ nhất và ít nhất một phần hở thứ nhất liền kề vùng thứ nhất, vùng thứ nhất có lỗ thứ nhất,

lớp dẫn điện thứ nhất có phần dây dẫn thứ nhất và phần dẫn điện thứ nhất, phần dây dẫn thứ nhất được bố trí ít nhất trên vùng thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, phần dẫn điện thứ nhất được bố trí trong lỗ thứ nhất và được nối với phần dây dẫn thứ nhất và lớp lõi kim loại,

lớp cách điện thứ hai được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ hai và ít nhất một phần hở thứ hai liền kề vùng thứ hai, vùng thứ hai gồm có phần quay mặt về vùng thứ nhất theo hướng chiều dày, vùng thứ hai có lỗ thứ hai trong phần, và

lớp dẫn điện thứ hai có phần dây dẫn thứ hai và phần dẫn điện thứ hai, phần dây dẫn thứ hai được bố trí ít nhất trên vùng thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, phần dẫn điện thứ hai được bố trí trong lỗ thứ hai và được nối với phần dây dẫn thứ hai và lớp lõi kim loại; và

bước thứ hai là tạo hình phần via trong lớp lõi kim loại bằng bước xử lý khắc ăn mòn thứ nhất trên lớp lõi kim loại thông qua phần hở thứ nhất từ một phía theo hướng chiều dày của tám nhiều lớp, và bằng bước xử lý khắc ăn mòn thứ hai trên lớp lõi kim loại thông qua phần hở thứ hai từ phía kia theo hướng chiều dày của tám nhiều lớp, phần via được bao quanh bởi khoảng trống, kéo dài giữa vùng thứ nhất và vùng thứ hai theo hướng chiều dày, và được nối với phần dẫn điện thứ nhất và phần dẫn điện thứ

hai.

2. Phương pháp chế tạo theo điểm 1, trong đó bước xử lý khắc ăn mòn thứ nhất và bước xử lý khắc ăn mòn thứ hai được thực hiện một cách đồng thời.

3. Phương pháp chế tạo theo điểm 1, trong đó, trên hình chiếu theo hướng chiều dày, phần hở thứ nhất và phần hở thứ hai được nối với nhau, và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai.

4. Phương pháp chế tạo theo điểm 1, trong đó tám nhiều lớp còn bao gồm:

lớp cách điện thứ ba che phủ lớp dẫn điện thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, và có phần hở thứ ba nối thông với phần hở thứ nhất; và

lớp cách điện thứ tư che phủ lớp dẫn điện thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, và có phần hở thứ tư nối thông với phần hở thứ hai.

5. Bảng mạch dây dẫn hai mặt bao gồm:

lớp lõi kim loại gồm có phần via được bao quanh bởi khoảng trống, và phần chính lớp lõi liền kề phần via thông qua khoảng trống;

lớp cách điện thứ nhất được bố trí ở một phía theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ nhất và ít nhất một phần hở thứ nhất liền kề vùng thứ nhất, vùng thứ nhất có lỗ thứ nhất;

lớp dẫn điện thứ nhất có phần dây dẫn thứ nhất và phần dẫn điện thứ nhất, phần dây dẫn thứ nhất được bố trí ít nhất trên vùng thứ nhất ở một phía theo hướng chiều dày của lớp cách điện thứ nhất, phần dẫn điện thứ nhất được bố trí trong lỗ thứ nhất và được nối với phần dây dẫn thứ nhất và lớp lõi kim loại;

lớp cách điện thứ hai được bố trí ở phía kia theo hướng chiều dày của lớp lõi kim loại, và có vùng thứ hai và ít nhất một phần hở thứ hai liền kề vùng thứ hai, vùng thứ hai gồm có phần quay mặt về vùng thứ nhất theo hướng chiều dày, vùng thứ hai có lỗ

thứ hai trong phần quay mặt; và

lớp dẫn điện thứ hai có phần dây dẫn thứ hai và phần dẫn điện thứ hai, phần dây dẫn thứ hai được bố trí ít nhất trên vùng thứ hai ở phía kia theo hướng chiều dày của lớp cách điện thứ hai, phần dẫn điện thứ hai được bố trí trong lỗ thứ hai và được nối với phần dây dẫn thứ hai và lớp lõi kim loại.

6. Bảng mạch dây dẫn hai mặt theo điểm 5, trong đó, trên hình chiếu theo hướng chiều dày, phần hồ thứ nhất và phần hồ thứ hai được nối với nhau, và bao quanh phần dẫn điện thứ nhất và phần dẫn điện thứ hai.

Fig.1

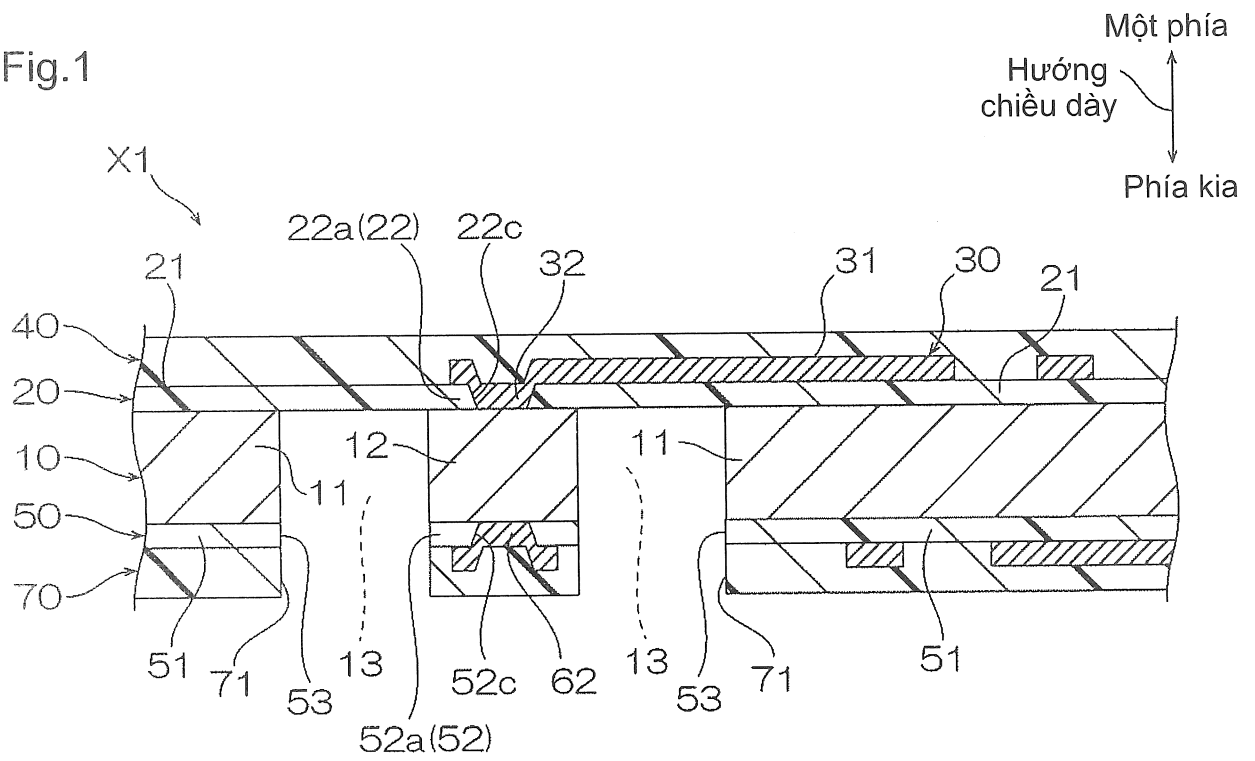


Fig.2

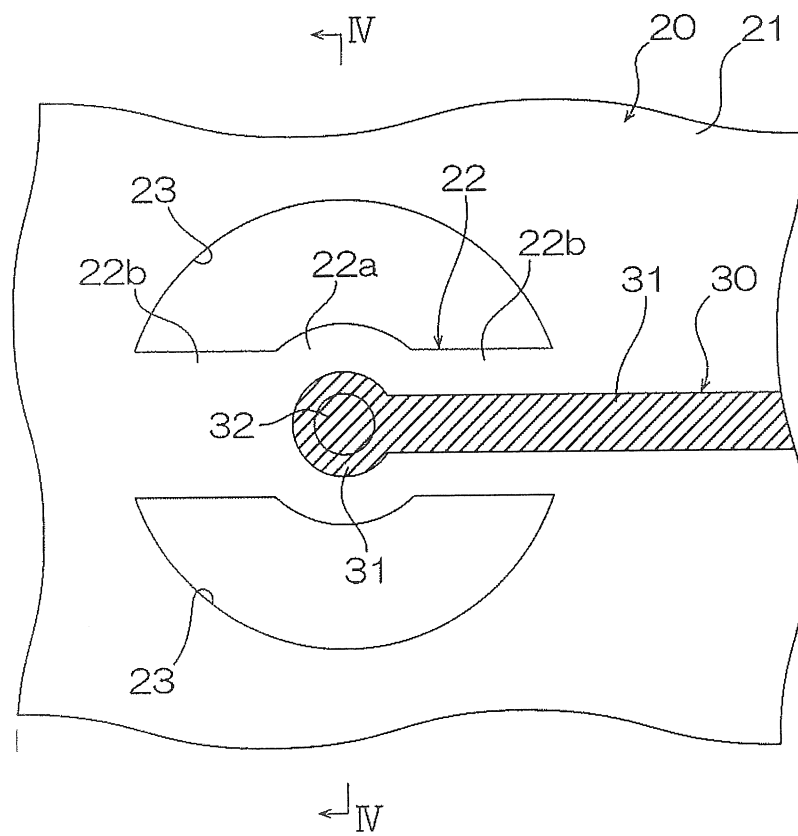


Fig.3

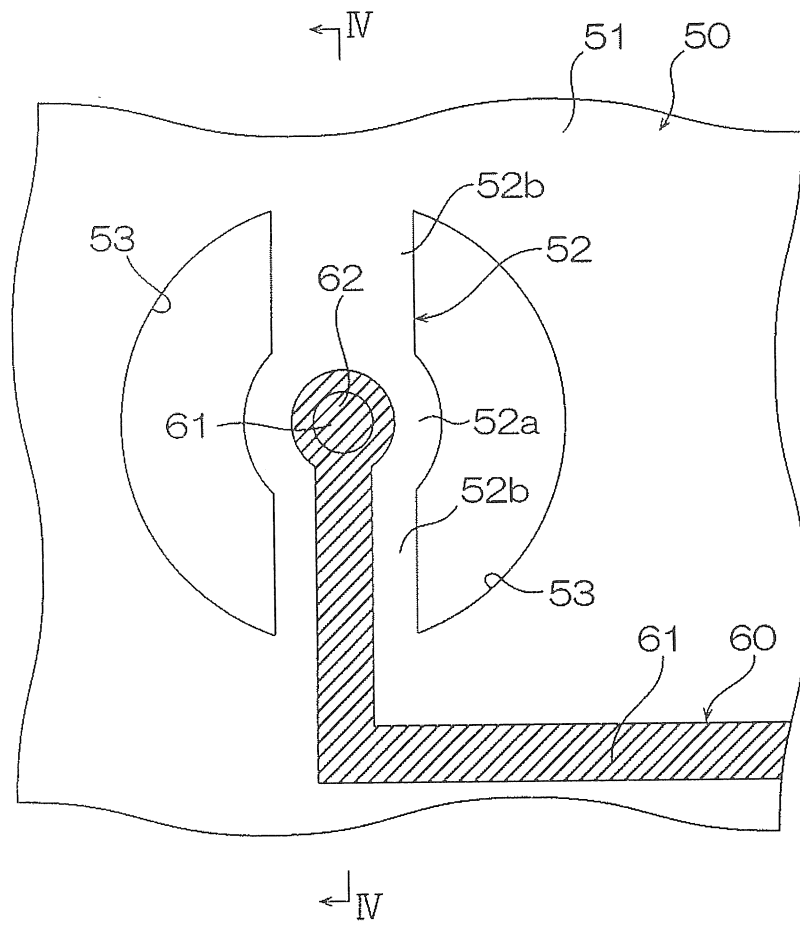


Fig.4

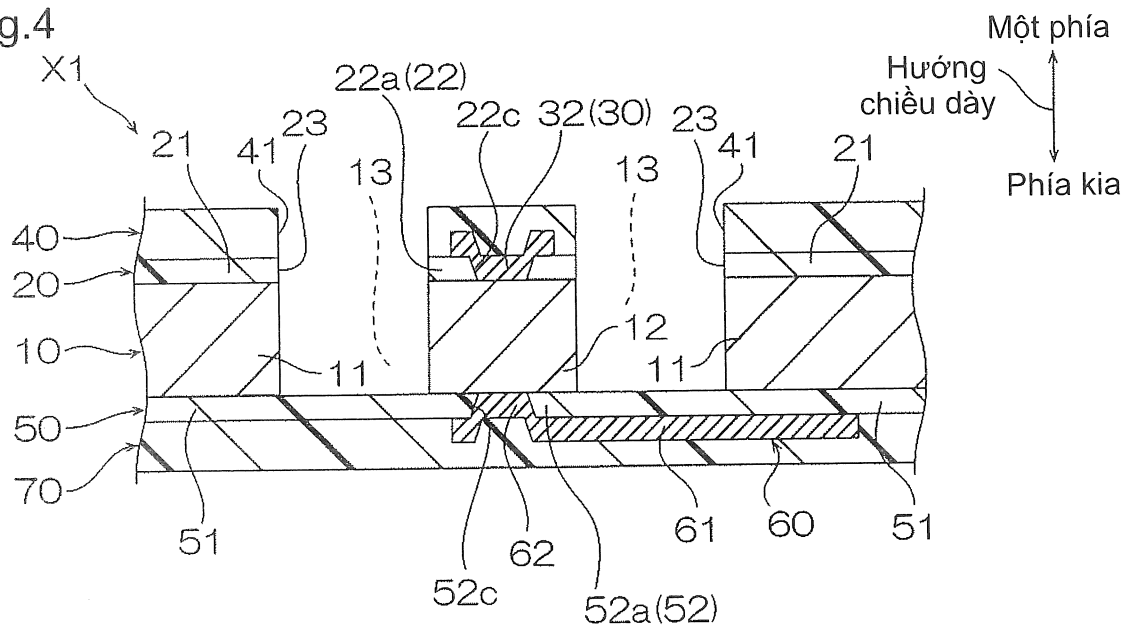


Fig.5

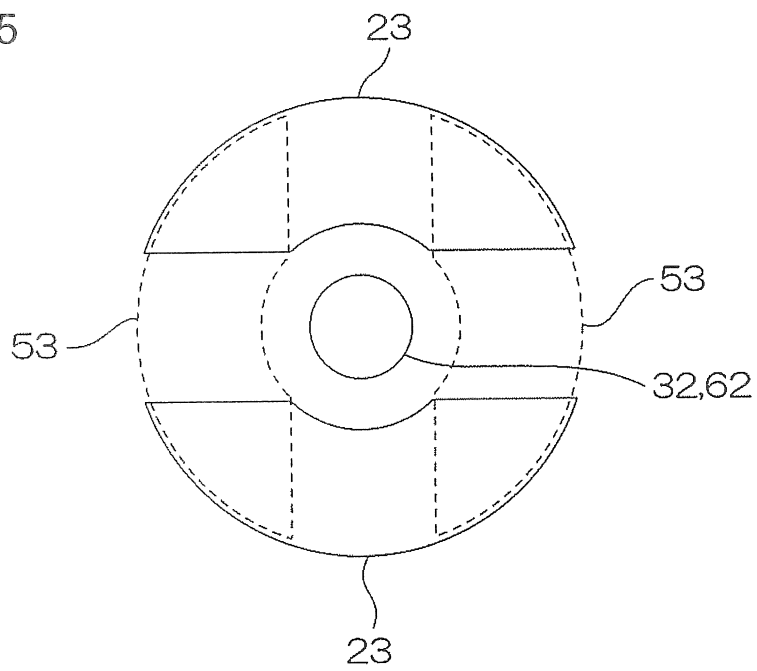


Fig.6

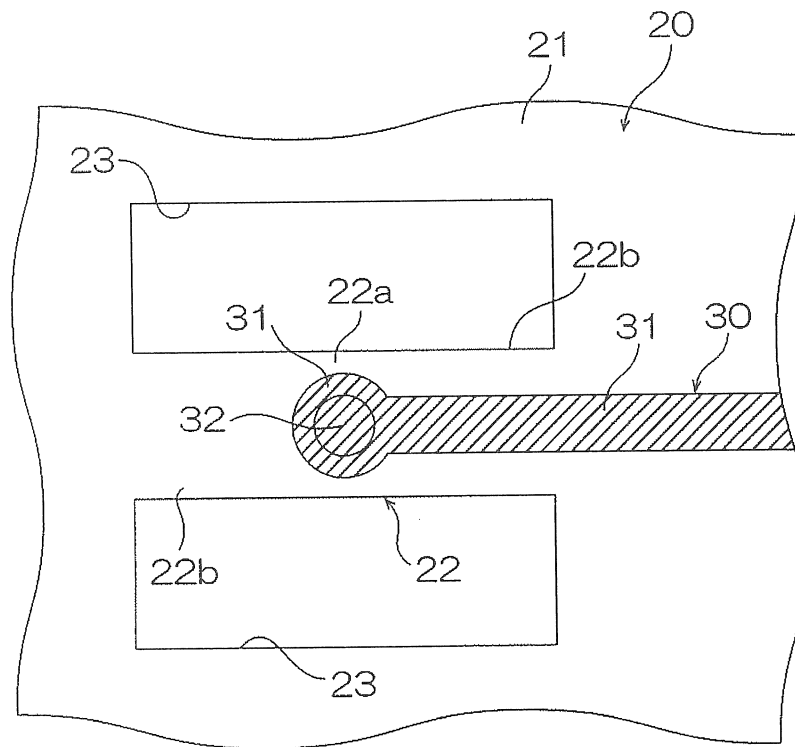


Fig.7

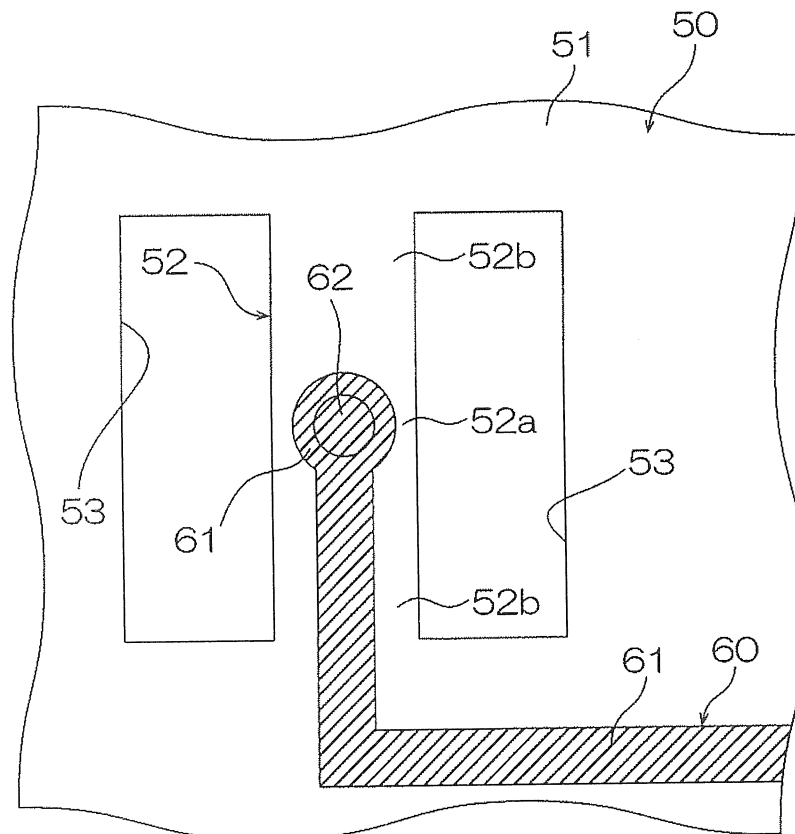


Fig.8

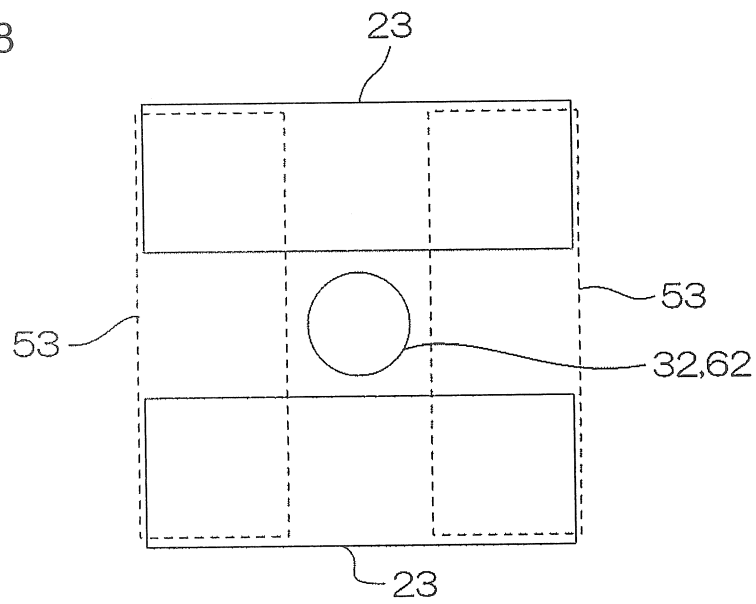


Fig.9

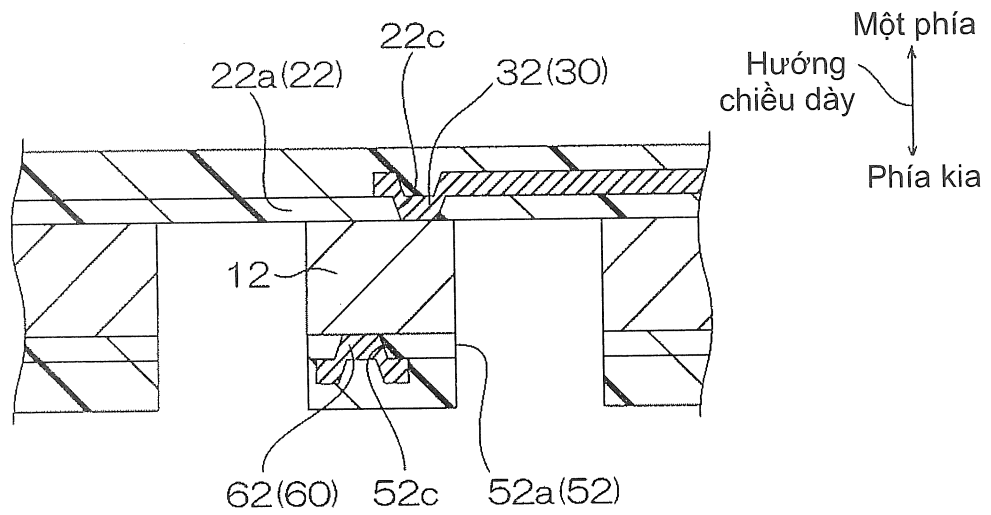


Fig.10A

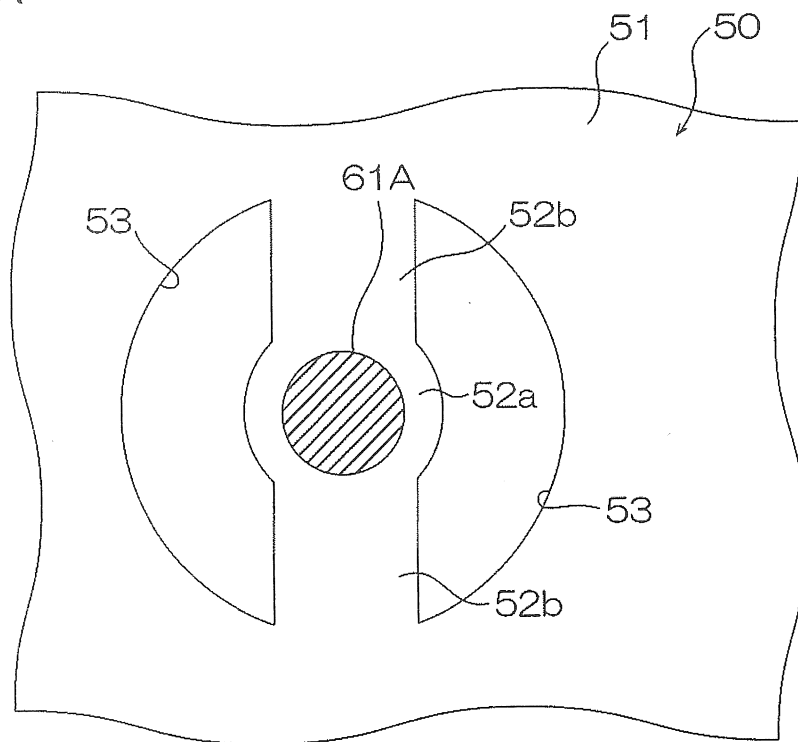


Fig.10B

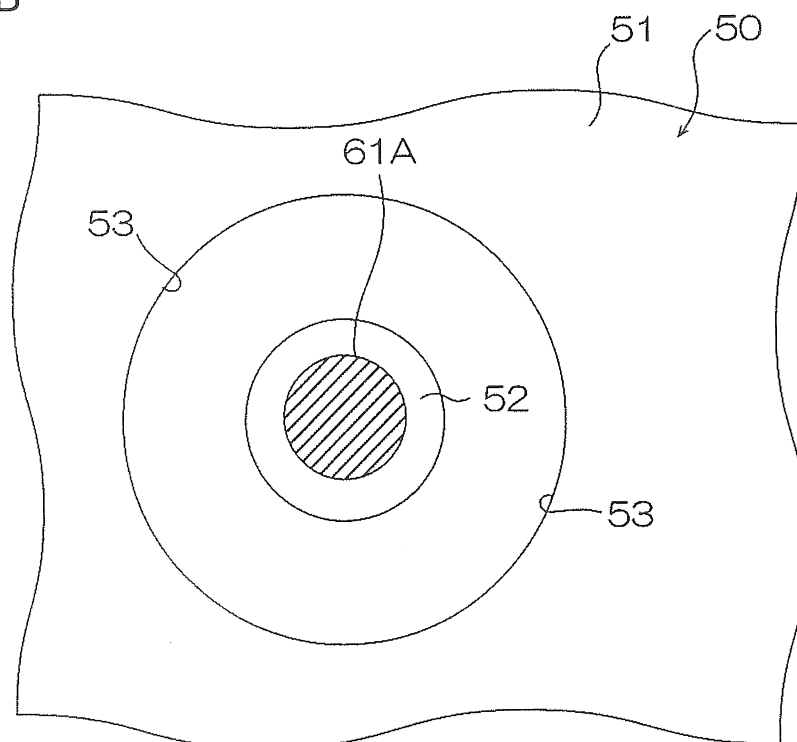


Fig.11A

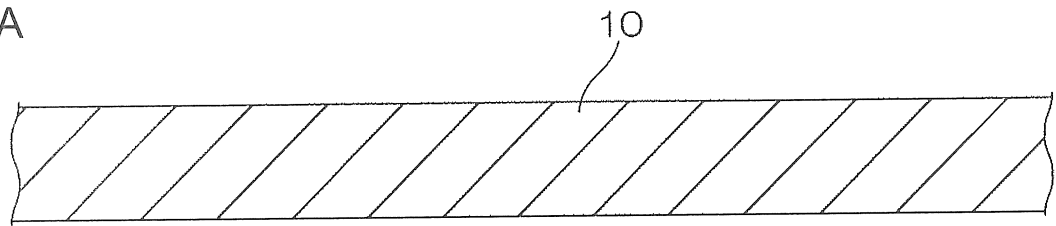


Fig.11B

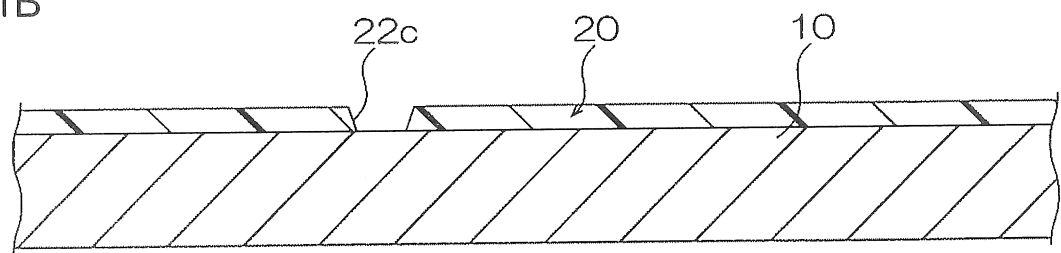


Fig.11C

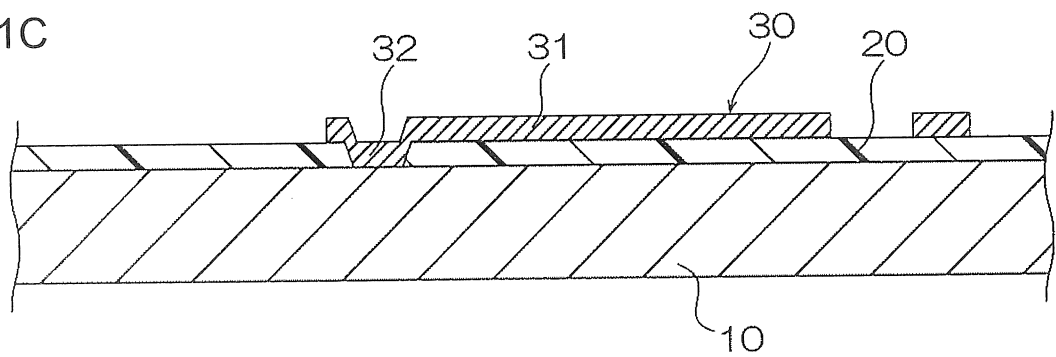


Fig.11D

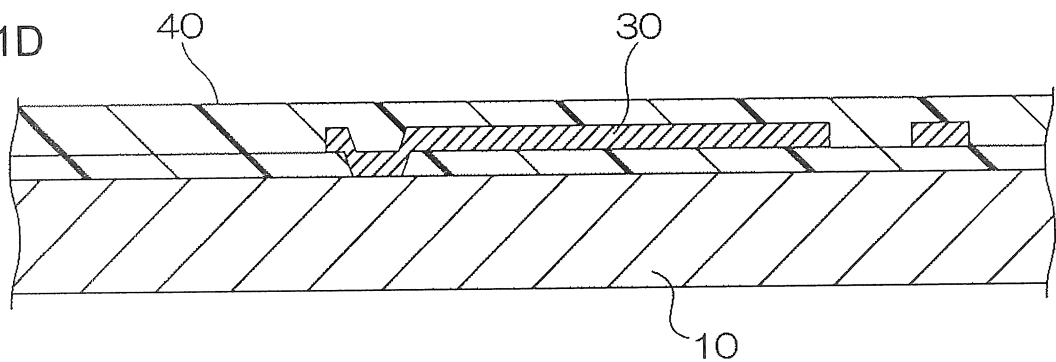


Fig.12A

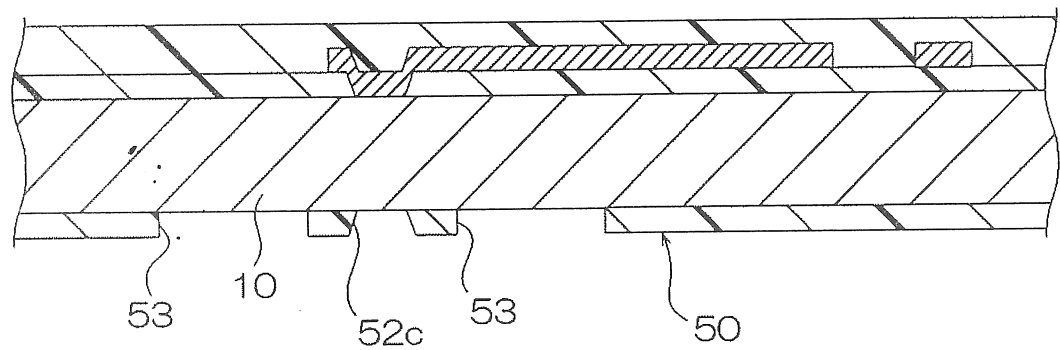


Fig.12B

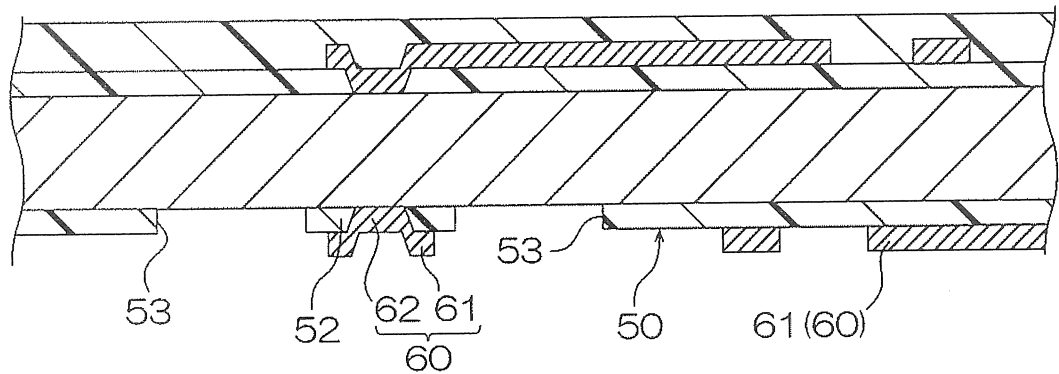


Fig.12C

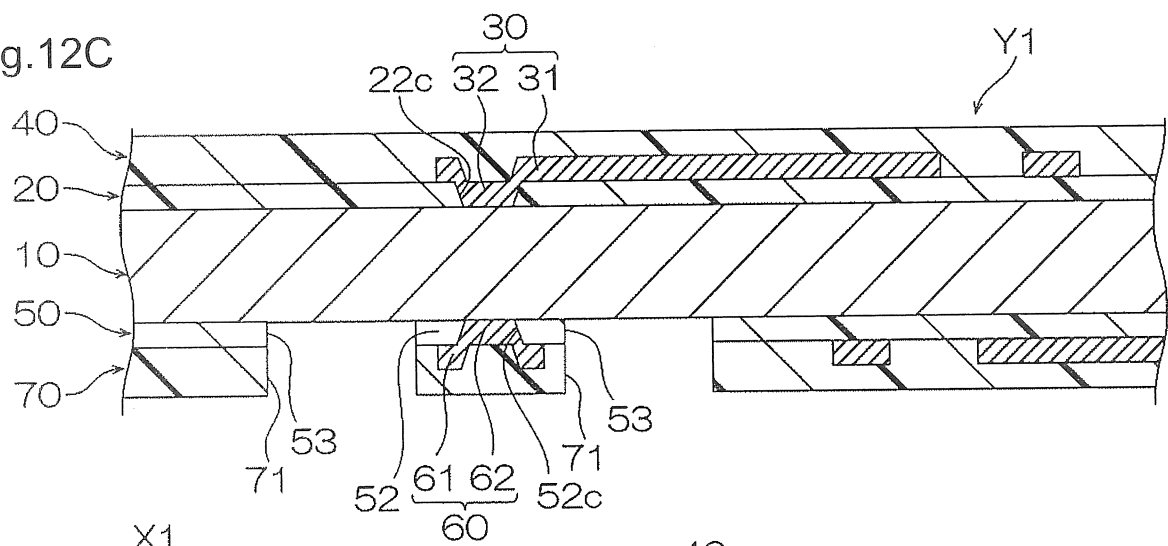


Fig.12D

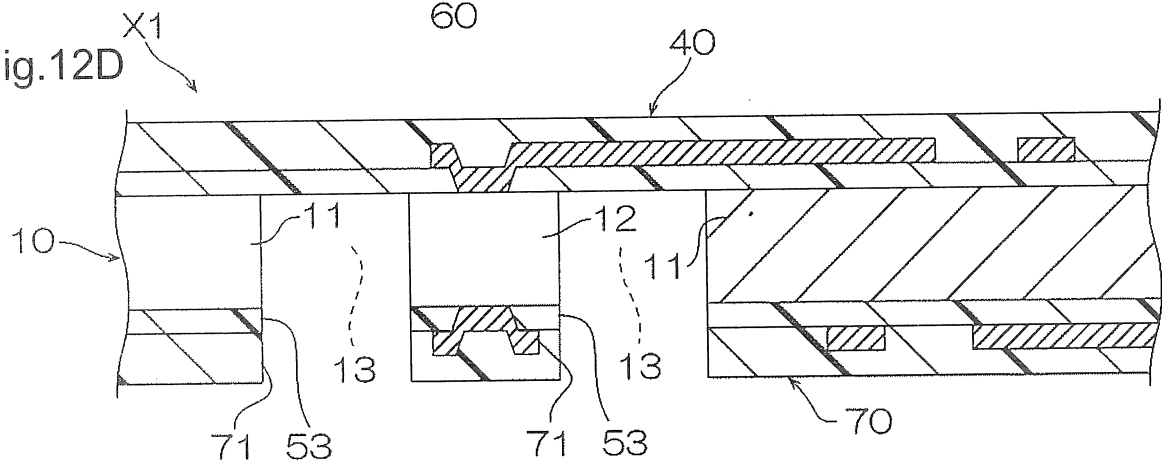


Fig.13A

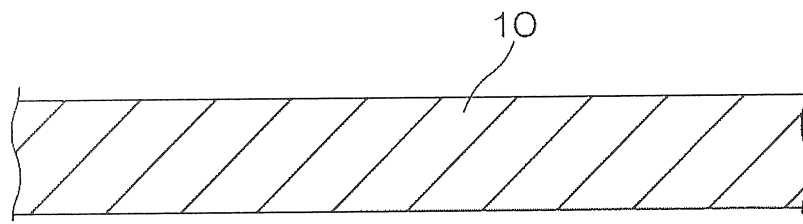


Fig.13B

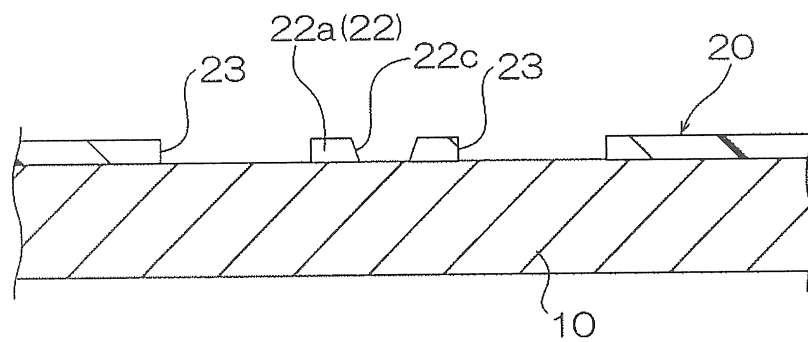


Fig.13C

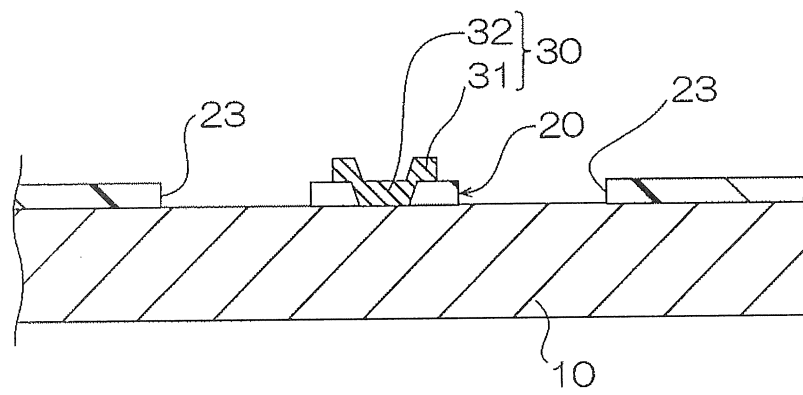


Fig.13D

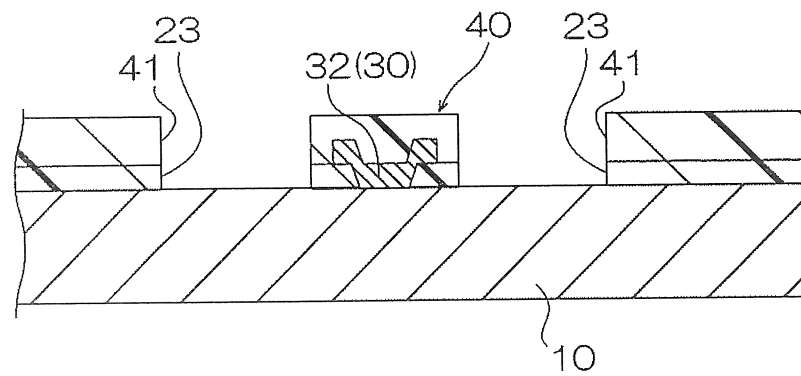


Fig.14A

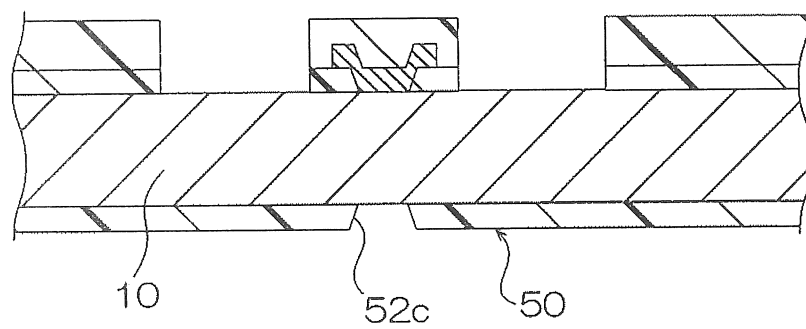


Fig.14B

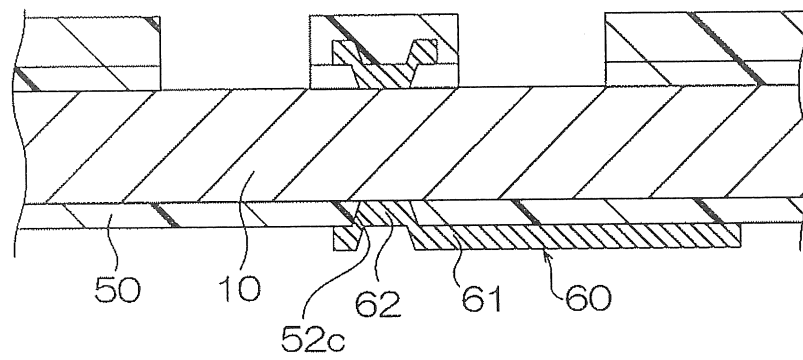


Fig.14C

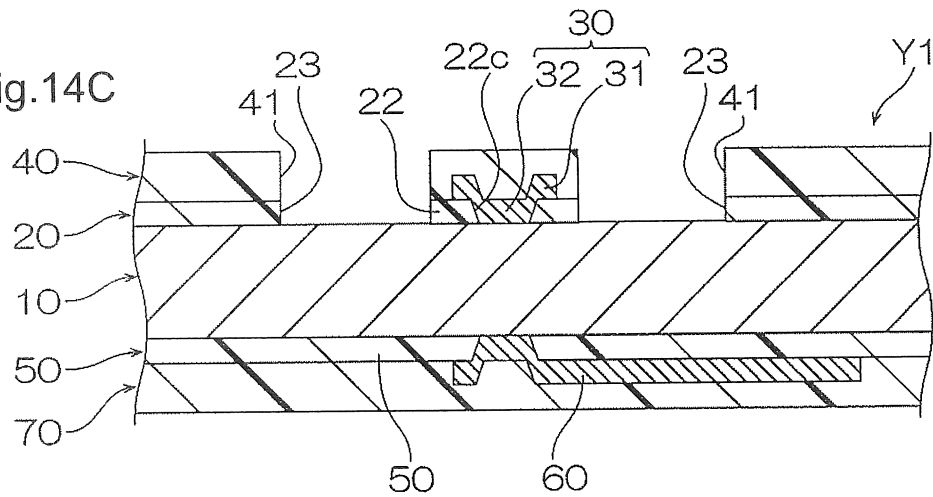


Fig.14D

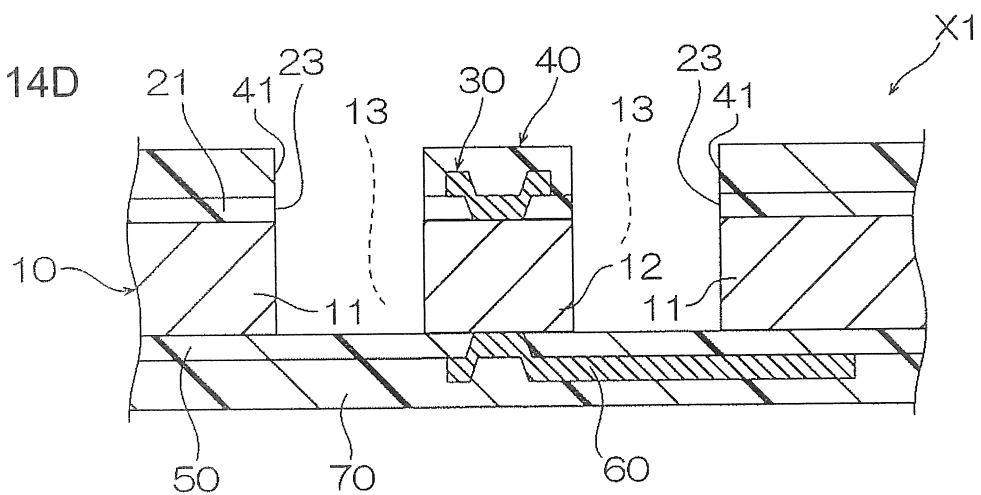


Fig.15A

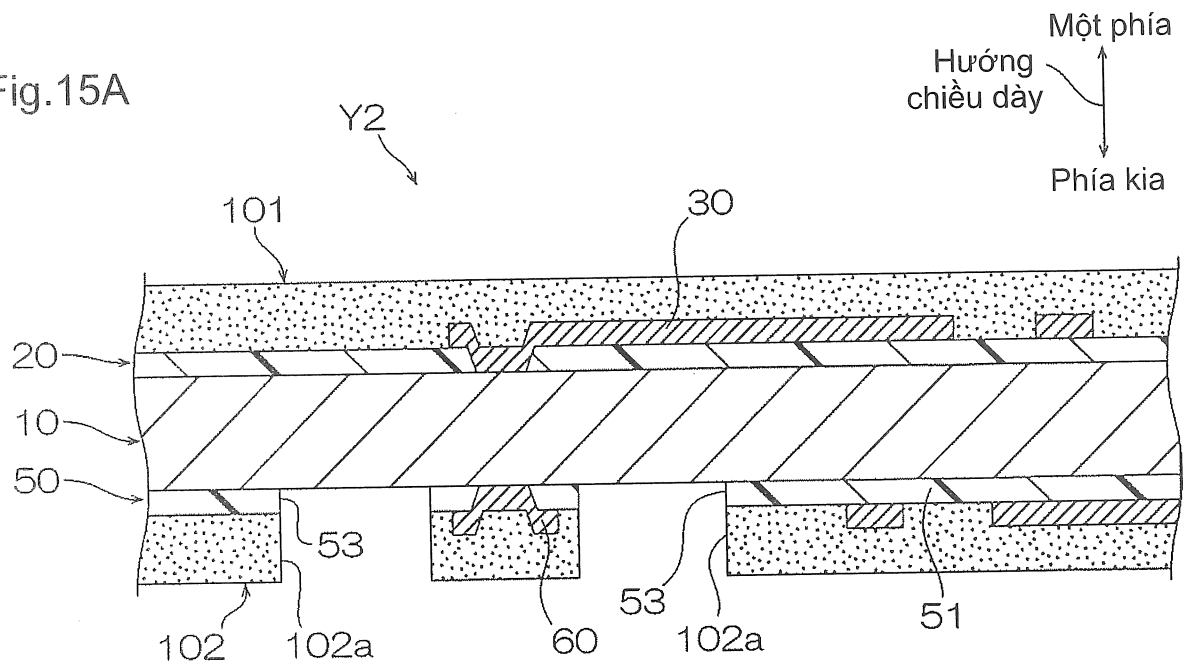


Fig.15B

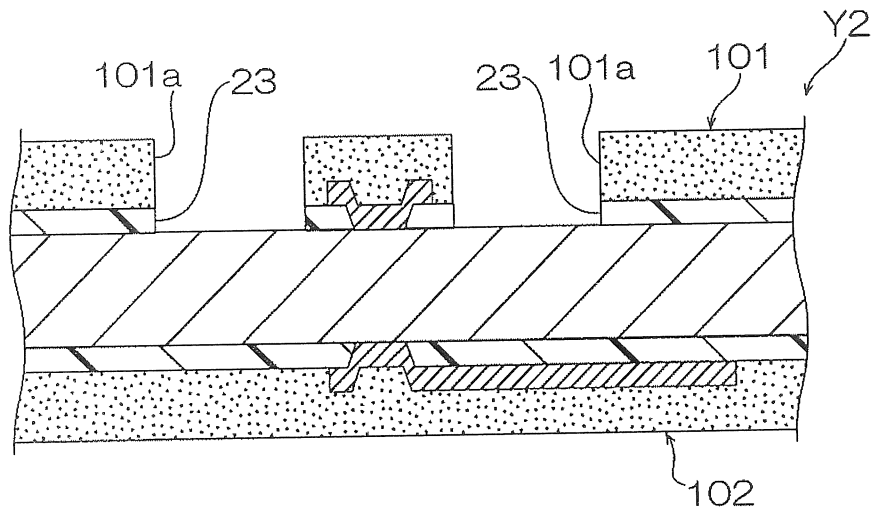


Fig.16

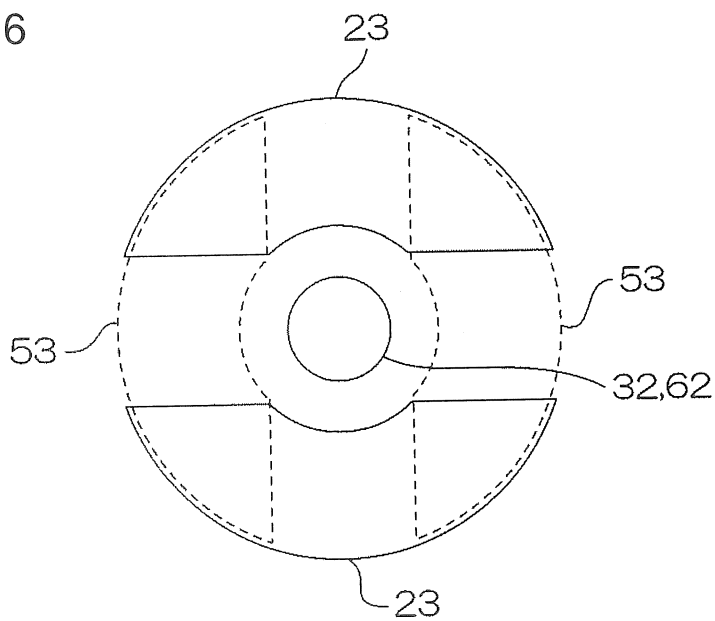


Fig.17A

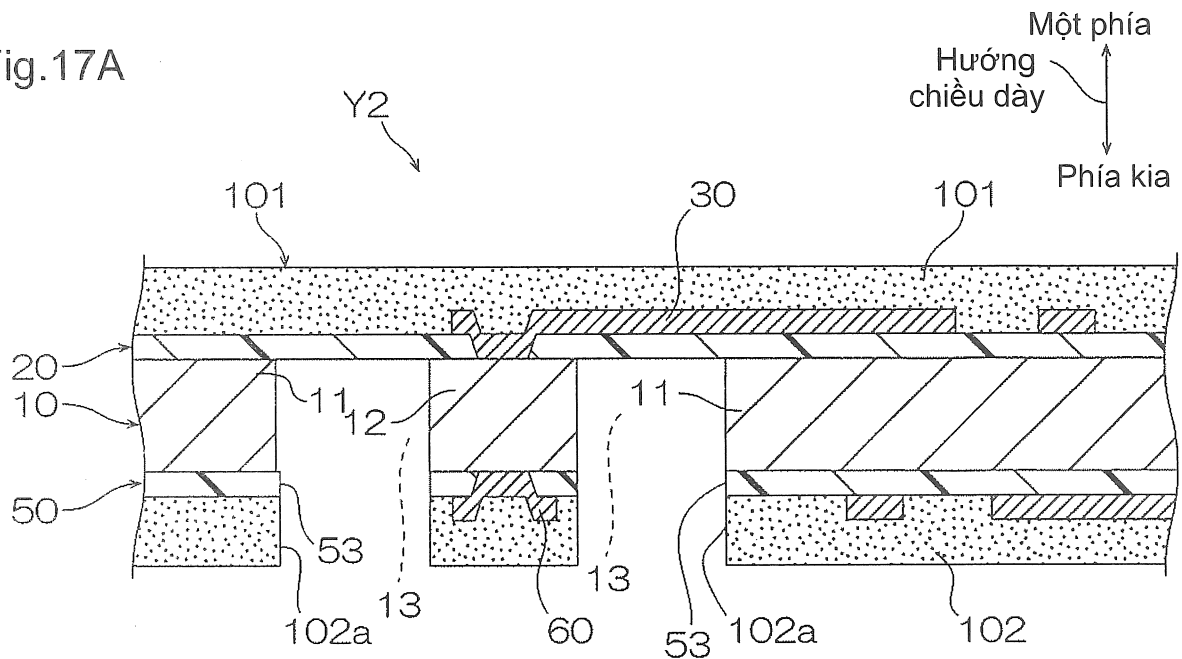


Fig.17B

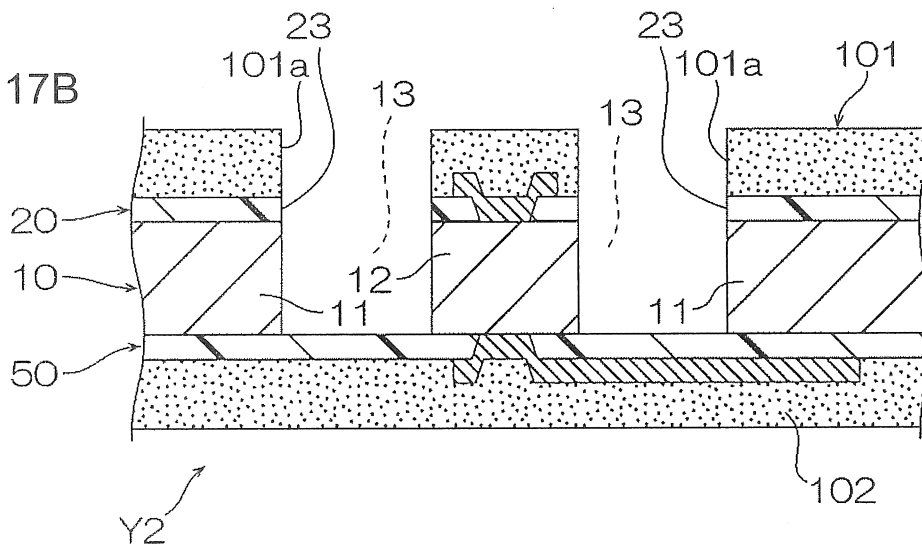


Fig.18

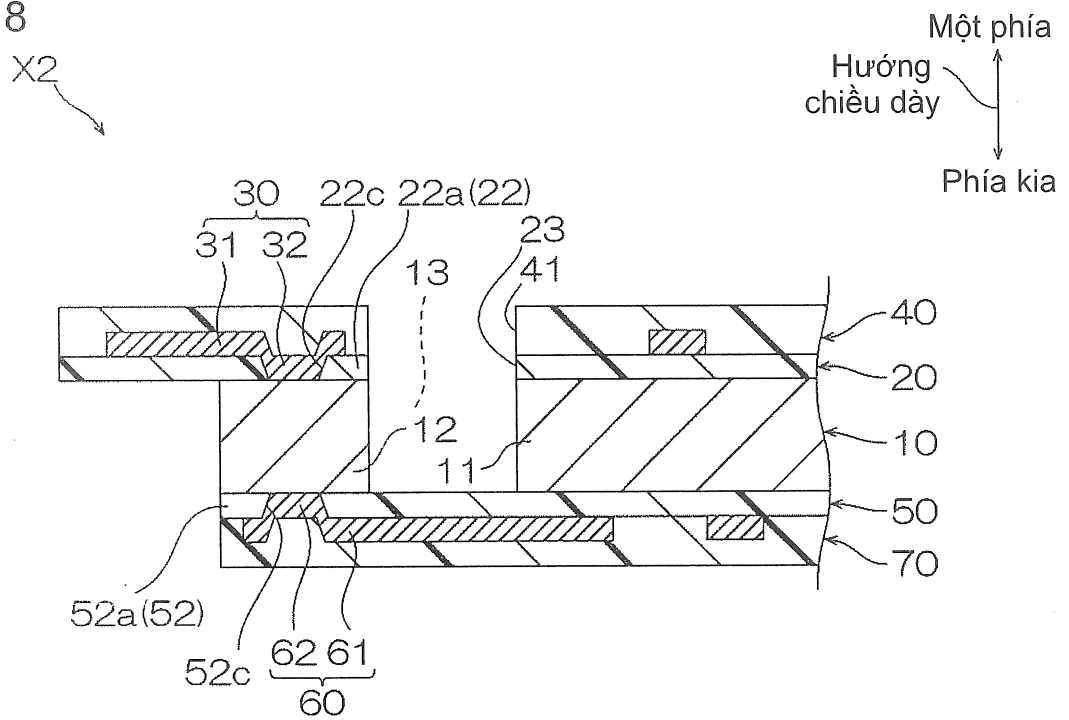


Fig.19

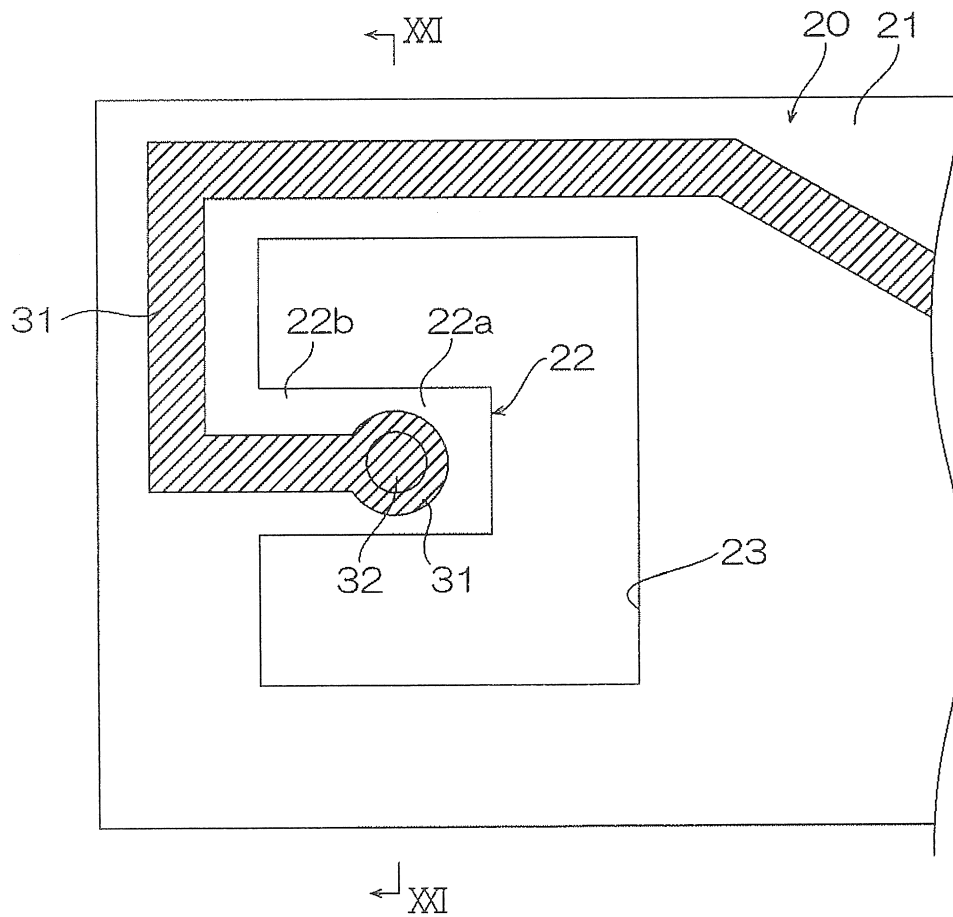


Fig.20

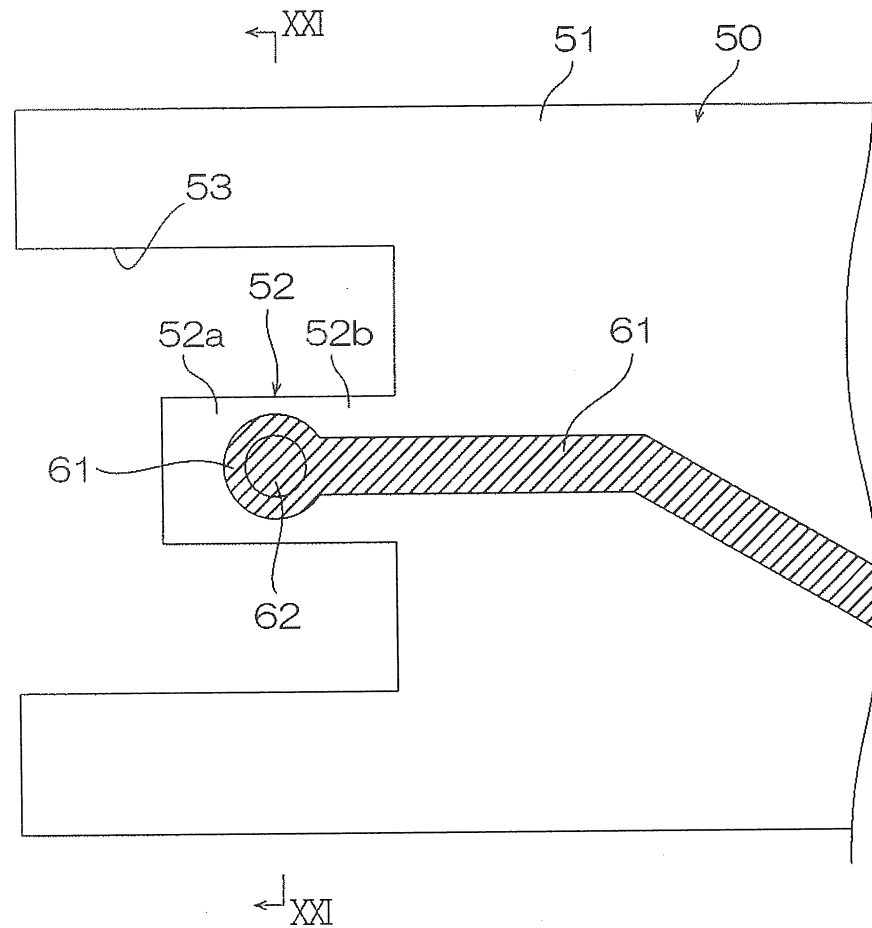


Fig.21

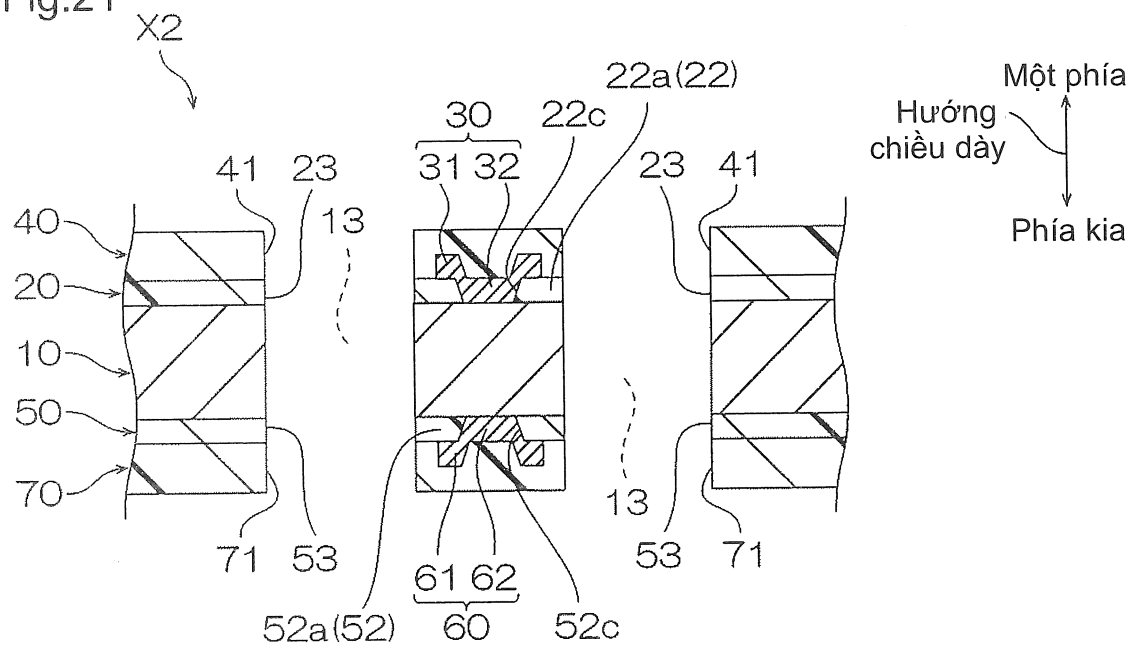


Fig.22

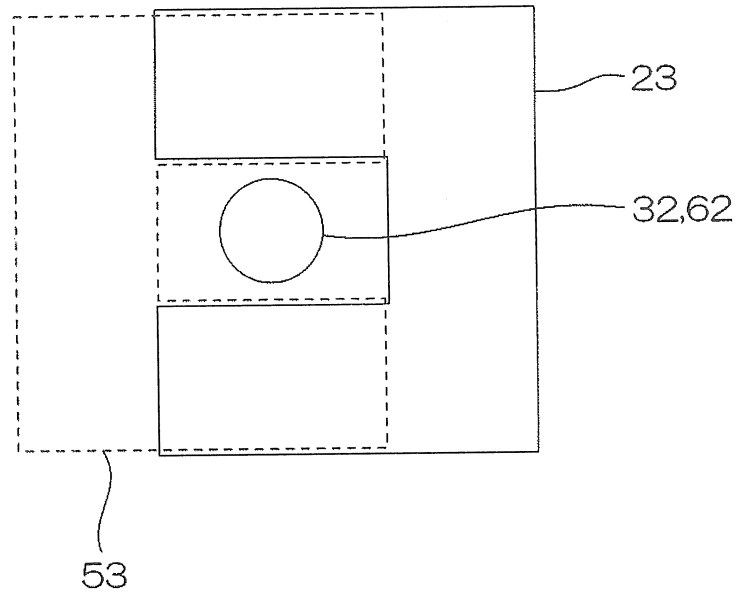


Fig.23A

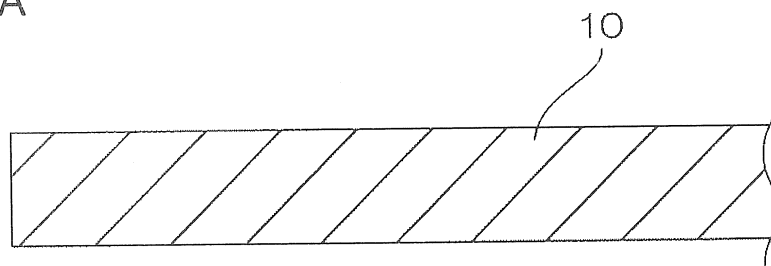


Fig.23B

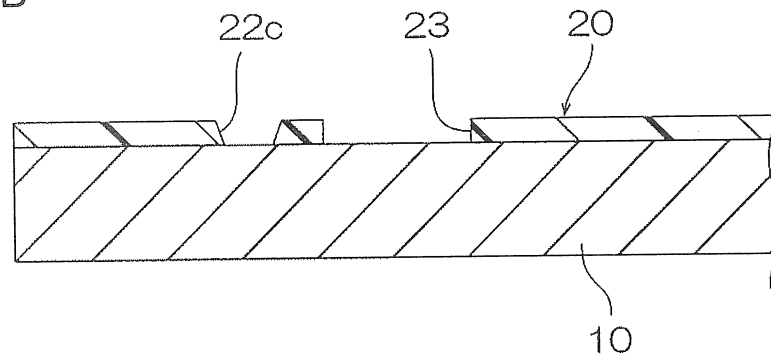


Fig.23C

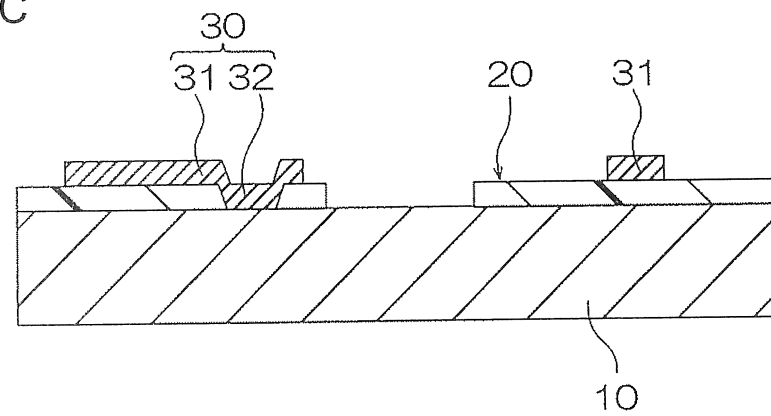


Fig.23D

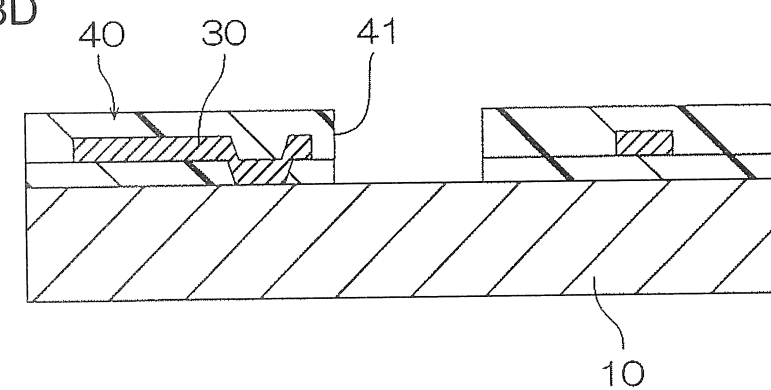


Fig.24A

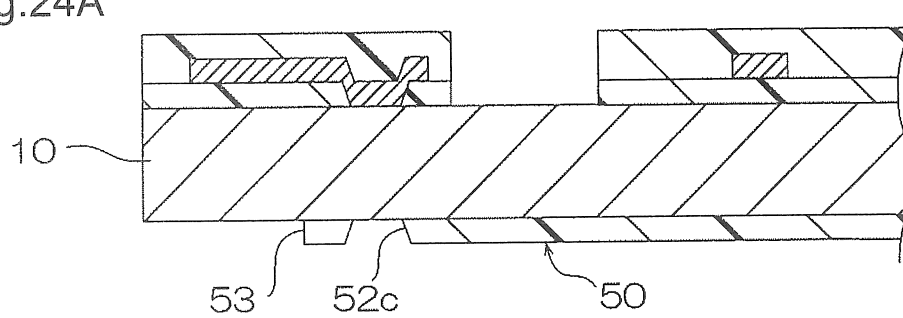


Fig.24B

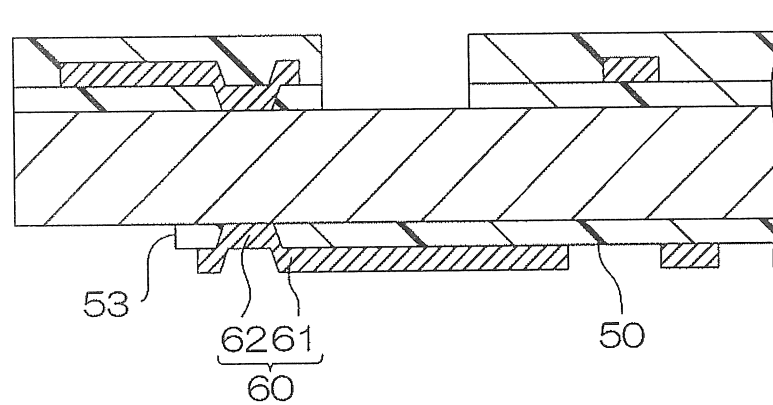


Fig.24C

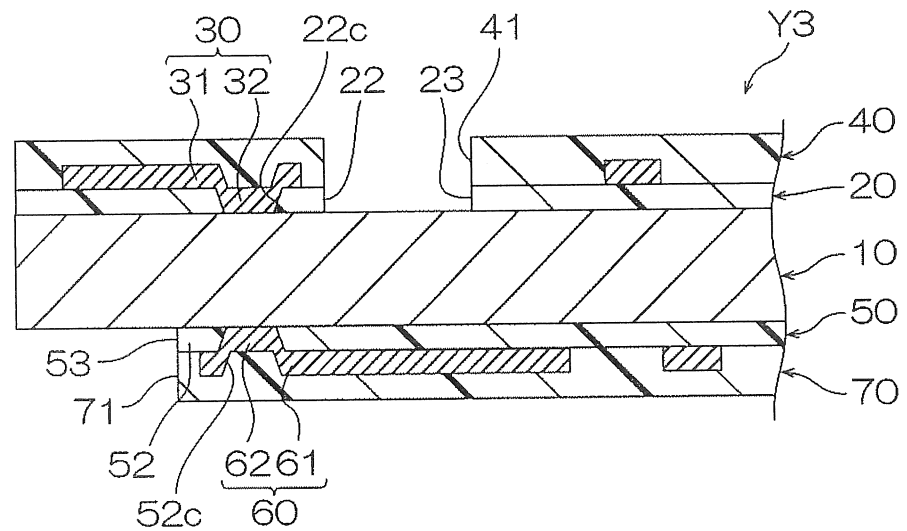


Fig.24D

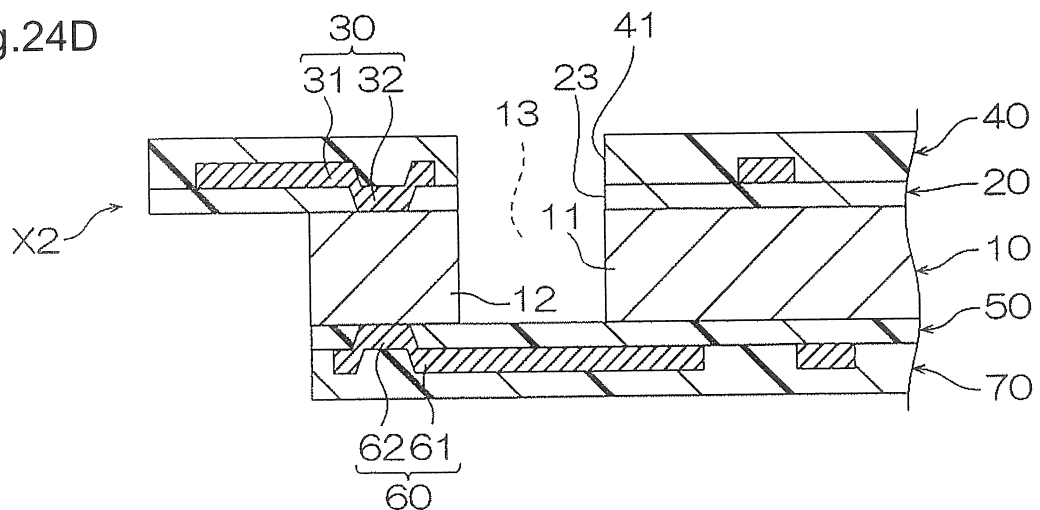


Fig.25A

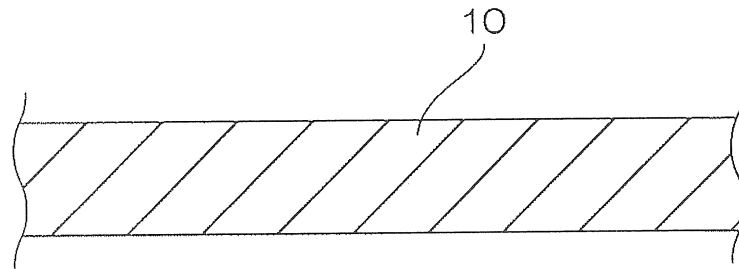


Fig.25B

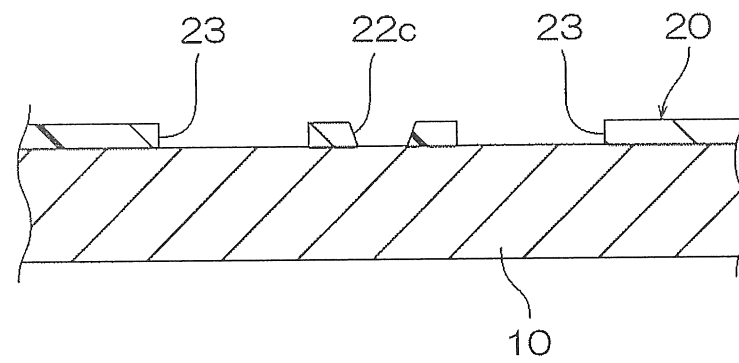


Fig.25C

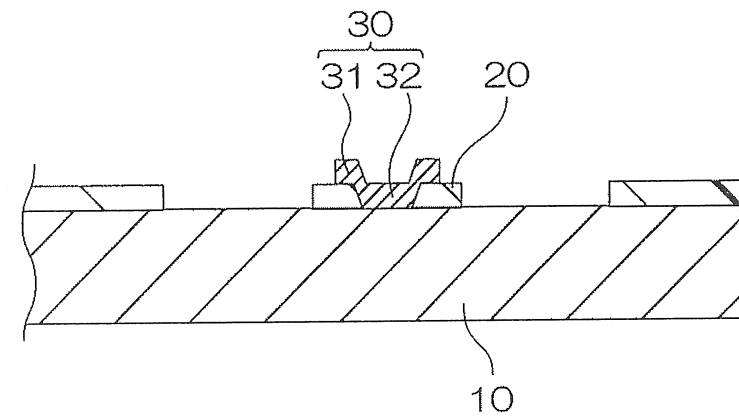


Fig.25D

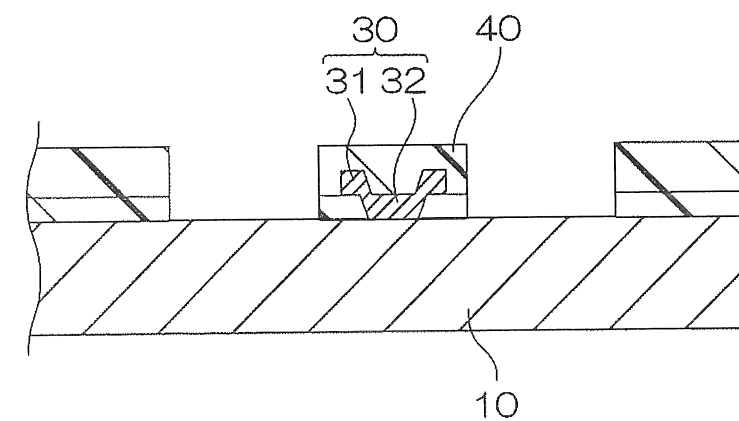


Fig.26A

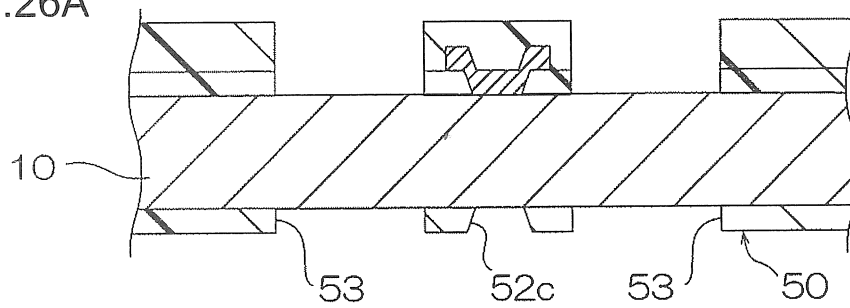


Fig.26B

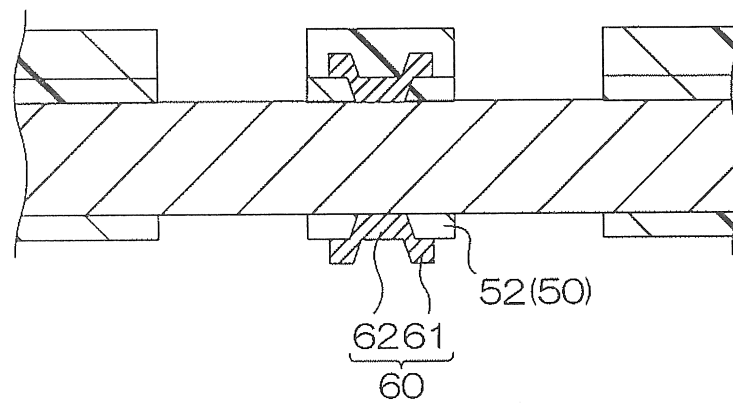


Fig.26C

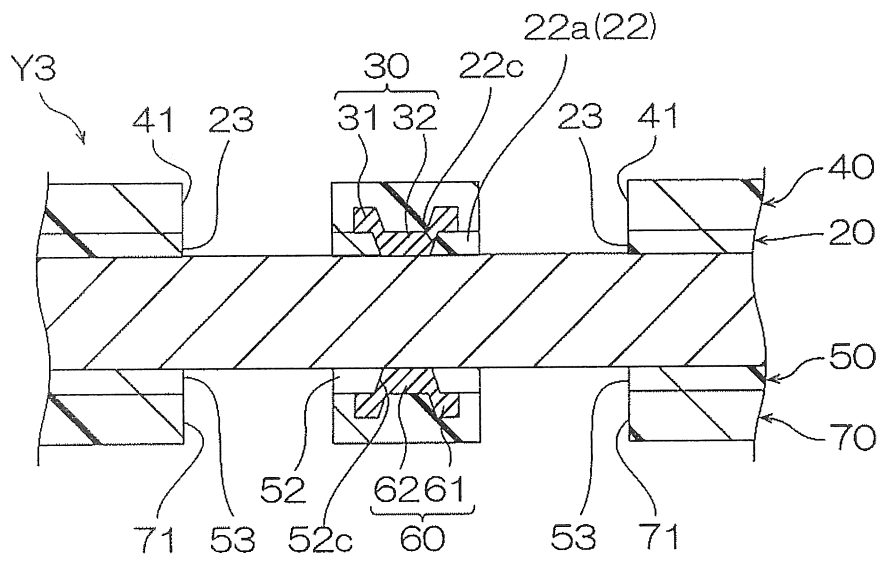


Fig.26D

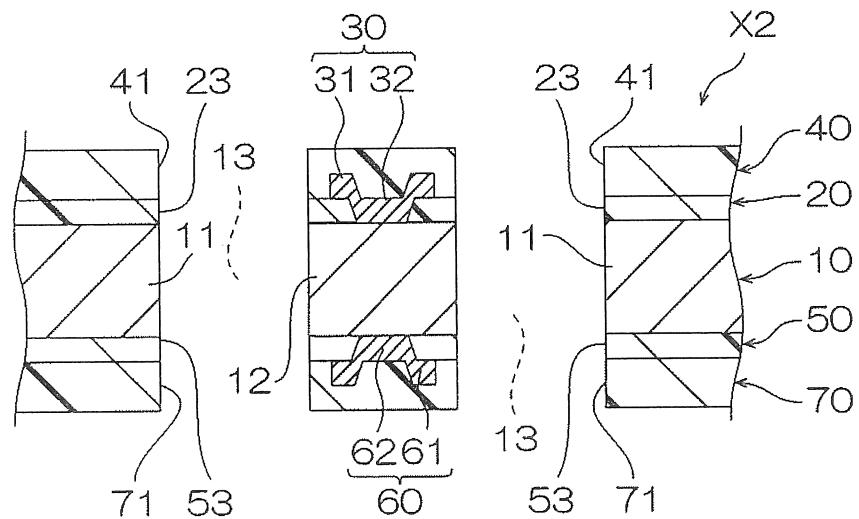


Fig.27A

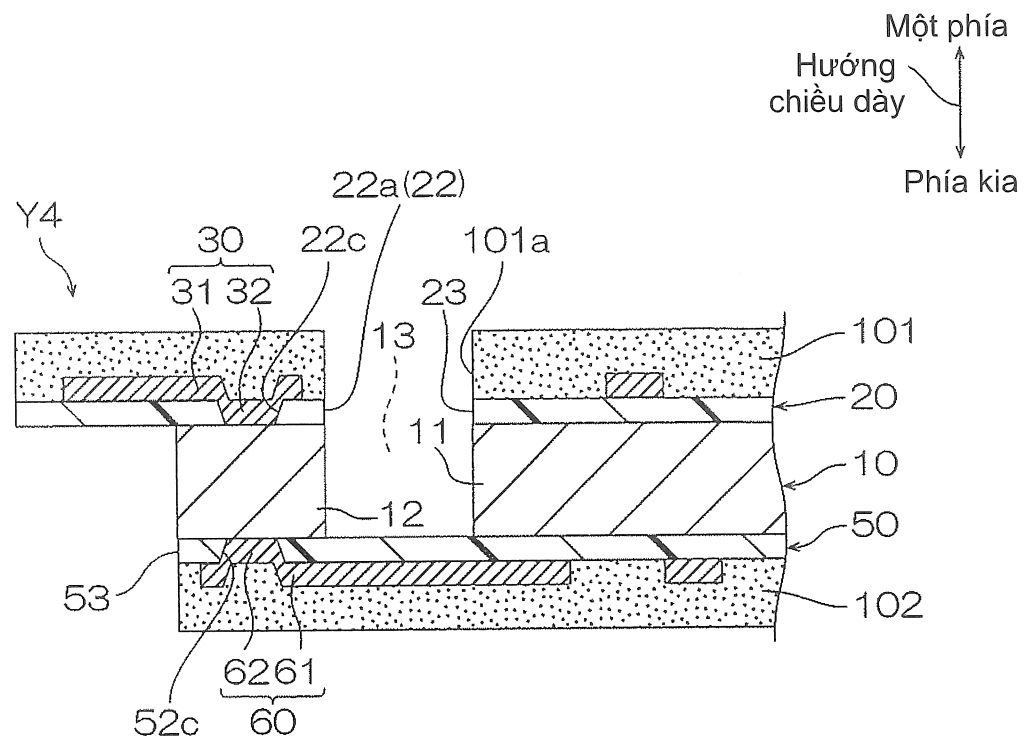


Fig.27B

