



- (12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ
1-0047296
(51)^{2020.01} H05K 1/03; G03F 7/037; H05K 3/18; (13) B
G03F 7/027; G03F 7/40
-

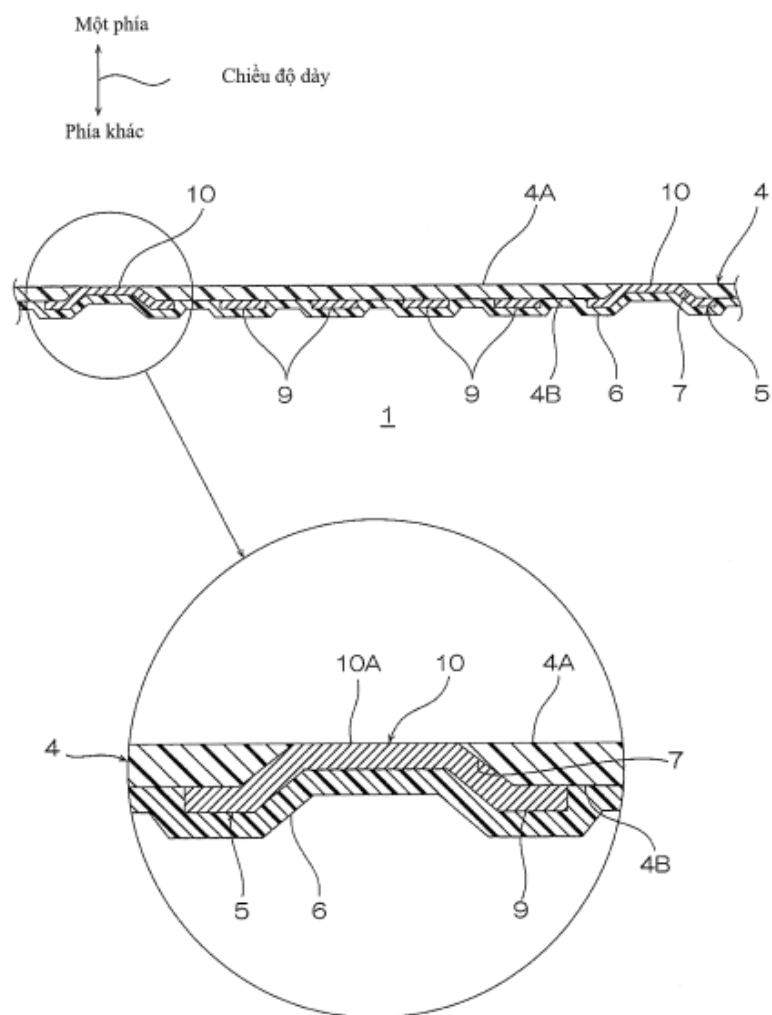
- (21) 1-2022-00112 (22) 15/04/2020
(86) PCT/JP2020/016550 15/04/2020 (87) WO 2021/005863 14/01/2021
(30) 2019-127373 09/07/2019 JP
(45) 25/06/2025 447 (43) 25/04/2022 409A
(73) NITTO DENKO CORPORATION (JP)
1-2, Shimohozumi 1-chome, Ibaraki-shi, Osaka 567-8680 Japan
(72) SASAOKA, Ryosuke (JP); FUKUSHIMA, Rihito (JP); KUWAYAMA, Hironori
(JP).
(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)
-

- (54) BẢNG MẠCH NỐI DÂY VÀ PHƯƠNG PHÁP SẢN XUẤT BẢNG MẠCH NỐI
DÂY

(21) 1-2022-00112

(57) Sáng chế đề cập đến bảng mạch nổi dây và phương pháp sản xuất bảng mạch nổi dây. Bảng lắp (1) bao gồm lớp cách điện nền (4) chứa polyimit, chất gia tốc hiện hình, và chất cảm quang, và các cực thứ nhất (10) được bố trí trên một phía bề mặt (4A) của lớp cách điện nền (4). Tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền (4) được điều chỉnh và nằm trong khoảng 5ppm hoặc lớn hơn và 50ppm hoặc nhỏ hơn.

FIG. 2



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bảng mạch nối dây và phương pháp sản xuất bảng mạch nối dây.

Tình trạng kỹ thuật của sáng chế

Các bảng mạch nối dây mà các linh kiện điện tử chẳng hạn như phần tử tạo ảnh được lắp trên đó đã được biết đến.

Ví dụ, bảng lắp phần tử tạo ảnh lần lượt bao gồm: lớp cách điện nền có phần hở phần tử tạo ảnh; mẫu hình dẫn điện có cực nối phần tử tạo ảnh; và lớp phủ cách điện đã được bộc lộ. Trong bảng lắp phần tử tạo ảnh, cực nối phần tử tạo ảnh được để lộ từ phần hở phần tử tạo ảnh, và được bố trí nhằm được làm phẳng với bề mặt của lớp cách điện nền đối diện với lớp phủ cách điện (ví dụ, xem tài liệu sáng chế 1 dưới đây).

Trong bảng lắp phần tử tạo ảnh như vậy, phần tử tạo ảnh được lắp trên bề mặt đối diện của lớp cách điện nền với lớp phủ cách điện bằng việc nối cực của phần tử tạo ảnh với cực nối phần tử tạo ảnh bằng bước hàn.

Để sản xuất bảng lắp phần tử tạo ảnh như vậy, thứ nhất, vecni được làm bằng vật liệu cách điện cảm quang được đặt và được làm khô trên thân đỡ kim loại, nhờ đó tạo nên màng nền. Sau đó, màng nền được để lộ và được hiện hình thành mẫu hình được xác định trước, và được gia nhiệt và được hóa cứng khi cần thiết, nhờ đó tạo nên lớp cách điện nền.

Đối với vật liệu của lớp cách điện nền, ví dụ, hợp phần tiền chất polyimit chứa: tiền chất polyimit; hợp chất imit acrylat là chất gia tốc hiện hình; và chất cảm quang pyridin đã được bộc lộ (ví dụ, xem tài liệu sáng chế 2 dưới đây).

Danh mục tài liệu trích dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1 Công bố đơn sáng chế Nhật Bản số 2018-190787.

Tài liệu sáng chế 2 Công bố đơn sáng chế Nhật Bản số 2013-100441.

Bản chất kỹ thuật của sáng chế

Vấn đề cần được giải quyết bởi sáng chế

Trong bảng lắp phần tử tạo ảnh như vậy như được mô tả trong tài liệu sáng chế 1, lớp lót có thể được bố trí giữa bề mặt lắp và phần tử tạo ảnh để nâng cao sức bền kết nối giữa cực của phần tử tạo ảnh và cực nối phần tử tạo ảnh.

Khi lớp cách điện nền được tạo nên từ hợp phần tiền chất polyimide được mô tả trong tài liệu sáng chế 2, tuy nhiên, có thể có nguy cơ về việc giảm tính kết dính của lớp lót với lớp cách điện nền dưới các điều kiện nóng và ẩm và dẫn đến việc bong ra của lớp lót từ lớp cách điện nền.

Phần tử tạo ảnh được lắp trong bảng lắp phần tử tạo ảnh có thể được loại bỏ và được làm lại để thay thế hoặc tái sử dụng. Trường hợp như vậy yêu cầu lớp lót bong ra từ lớp cách điện nền. Khi đó, tính kết dính cao quá mức giữa lớp cách điện nền và lớp lót có thể khiến khó bóc lớp lót khỏi lớp cách điện nền. Do vậy, có nhược điểm là khả năng làm lại của phần tử tạo ảnh có thể không được đảm bảo.

Sáng chế đề xuất: bảng mạch nối dây mà có thể ngăn ngừa việc giảm tính kết dính của lớp cách điện thứ hai với lớp cách điện thứ nhất dưới các điều kiện nóng và ẩm trong khi đảm bảo khả năng làm lại của linh kiện điện tử; và phương pháp sản xuất hiệu quả bảng mạch nối dây.

Phương tiện giải quyết vấn đề

Sáng chế [1] bao gồm bảng mạch nối dây bao gồm: lớp cách điện thứ nhất chứa polyimide, chất gia tốc hiện hình, và chất cảm quang; và cực được bố trí trên một phía bề mặt theo chiều độ dày của lớp cách điện thứ nhất, trong đó tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện thứ nhất là 5ppm hoặc lớn hơn và 50ppm hoặc nhỏ hơn.

Theo cấu trúc, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang là lớn hơn hoặc bằng giới hạn dưới nêu trên trong lớp cách điện thứ nhất. Do vậy, kể cả khi linh kiện điện tử được lắp trên một phía bề mặt theo chiều độ dày của lớp cách điện thứ nhất và lớp cách điện thứ hai được

bố trí giữa lớp cách điện thứ nhất và linh kiện điện tử và sau đó băng mạch nối dây được đặt dưới các điều kiện nóng và ẩm, việc giảm tính kết dính của lớp cách điện thứ hai với lớp cách điện thứ nhất có thể được ngăn ngừa.

Tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang nhỏ hơn hoặc bằng giới hạn trên nêu trên trong lớp cách điện thứ nhất. Theo đó, khi linh kiện điện tử được lắp trong băng mạch nối dây được loại bỏ từ băng mạch nối dây để làm lại, tính kết dính của lớp cách điện thứ hai với lớp cách điện thứ nhất có thể được điều chỉnh sao cho lớp cách điện thứ hai có thể được loại bỏ từ lớp cách điện thứ nhất. Do vậy, khả năng làm lại của linh kiện điện tử có thể được đảm bảo.

Sáng chế [2] bao gồm băng mạch nối dây được mô tả trong [1] nêu trên, trong đó chất gia tốc hiện hình bao gồm hợp chất imit acrylat và/hoặc hợp chất polyetylen glycol.

Theo cấu trúc, chất gia tốc hiện hình chứa hợp chất imit acrylat và/hoặc hợp chất polyetylen glycol. Do vậy, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện thứ nhất có thể được điều chỉnh và nằm trong khoảng nêu trên. Đồng thời, độ cảm quang của vecni chứa tiền chất polyimit, chất gia tốc hiện hình, và chất cảm quang có thể được đảm bảo.

Sáng chế [3] bao gồm phương pháp sản xuất băng mạch nối dây, phương pháp bao gồm: bước chuẩn bị lớp đỡ kim loại; bước tạo nên lớp cách điện thứ nhất chứa polyimit, chất gia tốc hiện hình, và chất cảm quang trên lớp đỡ kim loại; và bước tạo nên cực trên một phía bề mặt theo chiều độ dày của lớp cách điện thứ nhất, trong đó bước tạo nên lớp cách điện thứ nhất bao gồm bước gắn áp vecni chứa tiền chất polyimit, chất gia tốc hiện hình, và chất cảm quang trên lớp đỡ kim loại, bước để lộ hoặc hiện hình vecni, và bước gia nhiệt vecni được hiện hình ở cao hơn hoặc bằng 300°C và thấp hơn hoặc bằng 400°C trong 100 phút hoặc lâu hơn.

Theo phương pháp, vecni được hiện hình được gia nhiệt ở cao hơn hoặc bằng 300°C và thấp hơn hoặc bằng 400°C trong 100 phút hoặc lâu hơn. Do vậy, tổng tỷ lệ hàm lượng của chất cảm quang và tỷ lệ hàm lượng của chất gia tốc hiện hình

trong lớp cách điện thứ nhất có thể được điều chỉnh và nằm trong khoảng 5ppm hoặc lớn hơn và 50ppm hoặc nhỏ hơn. Kết quả là, phương pháp thì đơn giản và có thể sản xuất hiệu quả bảng mạch nổi dây nêu trên.

Hiệu quả của sáng chế

Bảng mạch nổi dây của sáng chế có thể ngăn ngừa việc giảm tính kết dính của lớp cách điện thứ hai với lớp cách điện thứ nhất dưới các điều kiện nóng và ẩm và có thể đồng thời đảm bảo khả năng làm lại của linh kiện điện tử.

Phương pháp sản xuất bảng mạch nổi dây của sáng chế có thể sản xuất hiệu quả bảng mạch nổi dây nêu trên.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ từ trên mô tả bảng lắp phần tử tạo ảnh theo phương án về bảng mạch nổi dây của sáng chế.

Fig.2 là hình vẽ mặt cắt của bảng lắp phần tử tạo ảnh của Fig.1, được lấy dọc theo đường A-A của Fig.1.

Fig.3A đến Fig.3D minh họa các bước sản xuất bảng lắp phần tử tạo ảnh của Fig.2. Fig.3A minh họa bước chuẩn bị thân đỡ kim loại và bước tạo nên lớp cách điện nền. Fig.3B minh họa bước tạo nên mẫu hình dẫn điện. Fig.3C minh họa bước tạo nên lớp phủ cách điện. Fig.3D minh họa bước loại bỏ thân đỡ kim loại.

Tiếp theo đến Fig.3D, Fig.4E và Fig.4F minh họa các bước lắp phần tử tạo ảnh trong bảng lắp phần tử tạo ảnh. Fig.4E minh họa bước nối linh kiện. Fig.4F minh họa bước tạo nên lót.

Fig.5 minh họa thiết bị tạo ảnh bao gồm bảng lắp phần tử tạo ảnh của Fig.2.

Mô tả chi tiết sáng chế

1. Bảng lắp phần tử tạo ảnh

Dựa vào Fig.1 và Fig.2, bảng lắp phần tử tạo ảnh 1 (dưới đây, được gọi là bảng lắp 1) được mô tả như phương án của bảng mạch nổi dây của sáng chế.

Như được minh họa trên Fig.1, bảng lắp 1 là mạch được in dẻo (flexible printed circuit, viết tắt là FPC) được sử dụng để lắp phần tử tạo ảnh 21 (được mô

tả dưới đây, xem Fig.4F) như linh kiện điện tử lấy làm ví dụ, và chưa được bao gồm phần tử tạo ảnh 21. Bảng lắp 1 là bảng (tám) phẳng có dạng gần chữ nhật (hình chữ nhật) theo hình vẽ từ trên.

Bảng lắp 1 bao gồm phần bố trí vỏ 2 và phần kết nối thành phần bên ngoài 3.

Phần bố trí vỏ 2 được sử dụng để bộc lộ vỏ 22 (được mô tả dưới đây, xem Fig.5) và phần tử tạo ảnh 21. Cụ thể là, khi vỏ 22 được bố trí trong bảng lắp 1 và được nhô ra theo chiều độ dày của bảng lắp 1, phần bố trí vỏ 2 chồng lên vỏ 22. Các cực thứ nhất 10 (được mô tả dưới đây) được bố trí dưới dạng các cực lấy làm ví dụ ở gần tâm của phần bố trí vỏ 2.

Phần kết nối thành phần bên ngoài 3 là vùng khác với phần bố trí vỏ 2 và được sử dụng để kết nối bảng lắp 1 với thành phần bên ngoài. Phần kết nối thành phần bên ngoài 3 được bố trí theo hướng chiều dọc của bảng lắp 1, liên tục với phần bố trí vỏ 2. Các cực thứ hai 11 (được mô tả dưới đây) được bố trí trong phần kết nối thành phần bên ngoài 3.

Như được minh họa trên Fig.2, bảng lắp 1 bao gồm: lớp cách điện nền 4 dưới dạng lớp cách điện thứ nhất lấy làm ví dụ; mẫu hình dẫn điện 5; và lớp phủ cách điện 6 lần lượt theo chiều độ dày của lớp cách điện nền 4. Dưới đây, chiều độ dày của lớp cách điện nền 4 chỉ được gọi là chiều độ dày. Phía trên của trang giấy của Fig.2 là một phía theo chiều độ dày của lớp cách điện nền 4. Phía dưới của trang giấy của hình vẽ là phía khác theo chiều độ dày của lớp cách điện nền 4.

Như được minh họa trên Fig.1, lớp cách điện nền 4 tạo nên hình dạng bên ngoài của bảng lắp 1 và có dạng gần chữ nhật theo hình vẽ từ trên. Lớp cách điện nền 4 không được đỡ bởi thân đỡ kim loại 19 được mô tả dưới đây (xem Fig.3A đến Fig.3C). Bảng lắp 1 không bao gồm thân đỡ kim loại 19 (lớp đỡ kim loại).

Lớp cách điện nền 4 bao gồm các phần hở thứ nhất 7 và các phần hở thứ hai 8.

Các phần hở thứ nhất 7 để lộ các cực thứ nhất 10 (được mô tả dưới đây) từ một phía theo chiều độ dày. Các phần hở thứ nhất 7 được bố trí theo hàng ở phần tâm của phần bố trí vỏ 2, tạo nên khung hình chữ nhật và có khoảng trống giữa

đó. Mỗi trong số các phần hở thứ nhất 7 xuyên qua lớp cách điện nền 4 theo chiều độ dày và có dạng gần tròn theo hình vẽ từ trên. Mỗi trong số các phần hở thứ nhất 7 có dạng thon trong đó diện tích mặt cắt của khe hở giảm dần về phía một phía theo chiều độ dày (xem Fig.2).

Các phần hở thứ hai 8 để lộ các cực thứ hai 11 (được mô tả dưới đây) từ một phía theo chiều độ dày. Các phần hở thứ hai 8 được bố trí theo hàng ở phần kết nối thành phần bên ngoài 3, có khoảng trống giữa đó theo hướng chiều rộng của bảng lắp 1. Mỗi trong số các phần hở thứ hai 8 xuyên qua lớp cách điện nền 4 theo chiều độ dày và có dạng gần chữ nhật (hình chữ nhật) theo hình vẽ từ trên.

Như được minh họa trên Fig.2, lớp cách điện nền 4 bao gồm một phía bề mặt 4A và phía bề mặt khác 4B theo chiều độ dày.

Một phía bề mặt 4A của lớp cách điện nền được định vị tại một phía theo chiều độ dày. Một phía bề mặt 4A của lớp cách điện nền có dạng phẳng (phẳng và nhẵn) và được để lộ hoàn toàn. Phía bề mặt khác 4B của lớp cách điện nền được định vị tại phía khác theo chiều độ dày và tại phía đối diện với một phía bề mặt 4A theo chiều độ dày. Phía bề mặt khác 4B của lớp cách điện nền được phủ với lớp phủ cách điện 6.

Lớp cách điện nền 4 chứa polyimit, chất gia tốc hiện hình, và chất cảm quang.

Polyimit được mô tả, ví dụ, trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2018-190787 và bao gồm sản phẩm phản ứng (sản phẩm hóa cứng) của thành phần dihydrit axit và thành phần điamin. Chi tiết, polyimit được chuẩn bị bởi sự imit hóa của axit polyamit mà là sản phẩm phản ứng của thành phần dihydrit axit và thành phần điamin.

Các ví dụ về thành phần dihydrit axit bao gồm dihydrit axit thơm được mô tả trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2018-190787 (ví dụ, biphenyl tetracarboxylic dihydrit chẳng hạn như 3,3',4,4'-biphenyl tetracarboxylic dihydrit (3,3',4,4'-biphenyl tetracarboxylic dianhydrit, viết tắt là BPDA)), và dihydrit axit béo. Các thành phần dihydrit axit có thể được sử dụng độc lập hoặc dưới sự kết hợp của hai thành phần trở lên.

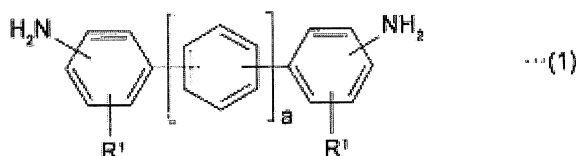
Tốt hơn là, thành phần dihydrit axit bao gồm dihydrit axit thơm. Tốt hơn nữa là, thành phần dihydrit axit bao gồm 3,3',4,4'-biphenyl tetracarboxylic dihydrit (BPDA). Tốt hơn là, thành phần dihydrit axit bao gồm dihydrit axit thơm (3,3',4,4'-biphenyl tetracarboxylic dihydrit).

Các ví dụ về thành phần điamin bao gồm điamin thơm và điamin béo được mô tả trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2018-190787. Các thành phần điamin có thể được sử dụng độc lập hoặc dưới sự kết hợp của hai thành phần trở lên.

Tốt hơn là, thành phần điamin bao gồm điamin thơm. Tốt hơn nữa là, thành phần điamin bao gồm điamin thơm.

Các ví dụ về điamin thơm bao gồm phenylđiamin chẳng hạn như p-phenylđiamin (PPD).

Các ví dụ về điamin thơm bao gồm điamin thơm mà trong đó 2 hoặc nhiều vòng thơm được liên kết độc lập với nhau, và hai hoặc nhiều nhóm amino lần lượt được liên kết trực tiếp hoặc như một phần của nhóm thay thế với các vòng thơm khác. Điamin thơm được thể hiện bởi, ví dụ, công thức chung (1).



(Theo công thức chung (1), a là số tự nhiên 0 hoặc 1 hoặc lớn hơn, R¹ biểu diễn nguyên tử hydro hoặc nhóm thay thế. Các nhóm amino được liên kết tại vị trí meta hoặc vị trí para liên quan đến liên kết giữa các vòng benzen.) Các ví dụ về nhóm thay thế được biểu diễn bởi R¹ theo công thức chung (1) nêu trên bao gồm: nhóm alkyl với 3 nguyên tử cacbon trở xuống chẳng hạn như nhóm metyl; nhóm haloalkyl (tốt hơn là, nhóm floalkyl) với 3 nguyên tử cacbon trở xuống chẳng hạn như nhóm triflometyl, nhóm perfloetyl, và nhóm perflopropyl; và nguyên tử clo-, hoặc flo-halogen.

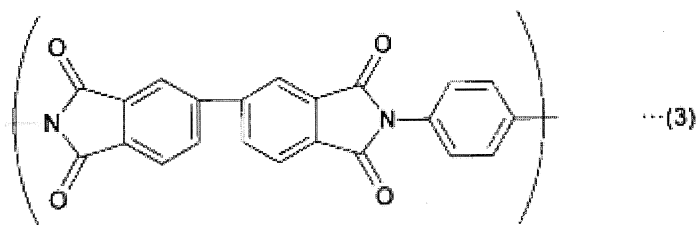
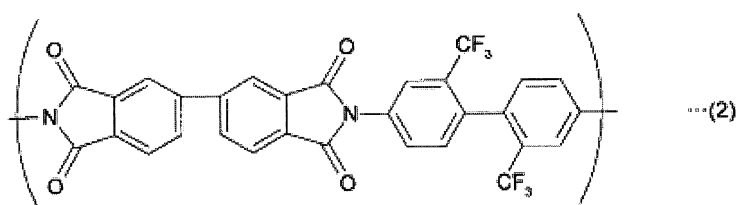
Theo công thức chung (1) nêu trên, R¹ biểu diễn, tốt hơn là, nhóm thay thế, tốt hơn nữa là, nhóm haloalkyl, thậm chí tốt hơn nữa là, nhóm floalkyl, tốt hơn nữa là, nhóm triflometyl.

Các ví dụ cụ thể về điamin thơm theo công thức chung (1) nêu trên bao gồm 2,2'-ditriflometyl-4,4'-điaminobiphenyl (cũng được gọi là: 2,2'-bis(triflometyl)-4,4'-điaminobiphenyl, TFMB).

Tốt hơn là, điamin thơm bao gồm sự kết hợp của phenylendiamin và điamin thơm theo công thức chung (1) nêu trên. Tốt hơn nữa là, điamin thơm bao gồm sự kết hợp của phenylendiamin, và điamin thơm được thể hiện bằng công thức chung (1) nêu trên mà trong đó R^1 biểu diễn nhóm floalkyl (nhóm triflometyl).

Trong thành phần điamin, tỷ lệ hàm lượng của điamin thơm được thể hiện bằng công thức chung (1) nêu trên là, ví dụ, lớn hơn hoặc bằng 15 mol%, tốt hơn là, lớn hơn hoặc bằng 20 mol% và, ví dụ, nhỏ hơn hoặc bằng 80 mol%, tốt hơn là, nhỏ hơn hoặc bằng 50 mol%.

Khi thành phần dihydrit axit chứa 3,3',4,4'-biphenyl tetracarboxylic dihydrit (BPDA) và thành phần điamin chứa phenylendiamin (phenylenediamine, viết tắt là PPD) và 2,2'-ditriflometyl-4,4'-điaminobiphenyl (2,2'-ditriflometyl-4,4'-điaminobiphenyl, viết tắt là TFMB), polyimit chứa đơn vị cấu trúc được thể hiện bằng công thức chung (2) và đơn vị cấu trúc B được thể hiện bằng công thức chung (3).

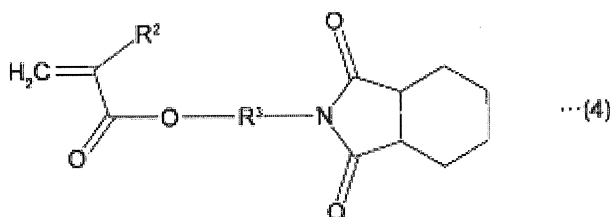


Trong polyimit, tỷ lệ mol (đơn vị cấu trúc A/đơn vị cấu trúc B) của đơn vị cấu trúc A được thể hiện bằng công thức chung (2) nêu trên chia cho đơn vị cấu trúc B được thể hiện bằng công thức chung (3) nêu trên là, ví dụ, 15/85 đến 80/20, tốt hơn là, 20/80 đến 50/50.

Chất gia tốc hiện hình bao gồm, ví dụ, hợp chất imit acrylat và/hoặc hợp chất polyetylen glycol.

Hợp chất imit acrylat bao gồm, ví dụ, hợp chất imit acrylat được mô tả trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2013-100441.

Cụ thể là, hợp chất imit acrylat được thể hiện bằng công thức chung (4).



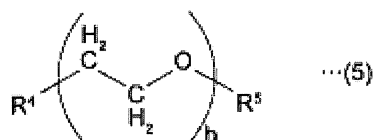
(Theo công thức chung (4), R^2 biểu diễn nguyên tử hydro hoặc nhóm methyl. R^3 biểu diễn nhóm hydrocarbon có hóa trị hai với 2 nguyên tử cacbon trở lên.) Theo công thức chung (4) nêu trên, tốt hơn là, R^2 biểu diễn nguyên tử hydro.

Theo công thức chung (4) nêu trên, R^3 biểu diễn, tốt hơn là, nhóm alkylen với 2 nguyên tử cacbon trở lên, tốt hơn nữa là, nhóm etylen.

Các ví dụ cụ thể về hợp chất imit acrylat được thể hiện bằng công thức chung (4) nêu trên bao gồm N-acryloyl oxyethylhexahydrophthalimit.

Hợp chất polyetylen glycol bao gồm, ví dụ, hợp chất polyetylen glycol được mô tả trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2013-100441.

Cụ thể là, hợp chất polyetylen glycol được thể hiện bằng công thức chung (5).



(Theo công thức chung (5), R^4 biểu diễn nhóm hydroxy hoặc nhóm metoxy. R^5 biểu diễn nguyên tử hydro hoặc nhóm methyl. B biểu diễn số tự nhiên từ 4 tới 23.)

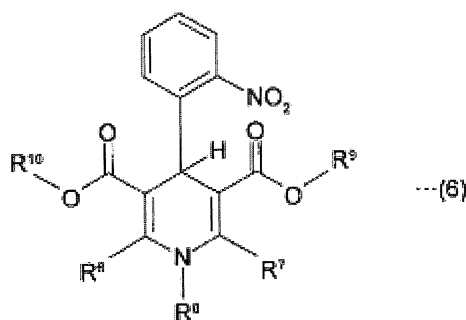
Các ví dụ về sự kết hợp của R^4 và R^5 theo công thức chung (5) nêu trên bao gồm sự kết hợp của nhóm hydroxy (R^4) và nguyên tử hydro (R^5), sự kết hợp của nhóm hydroxy (R^4) và nhóm methyl (R^5), và sự kết hợp của nhóm metoxy (R^4) và nhóm methyl (R^5). Tốt hơn là, sự kết hợp của nhóm hydroxy (R^4) và nguyên tử hydro (R^5) được sử dụng.

Hợp chất polyetylen glycol được thể hiện bằng công thức chung (5) nêu trên có số trọng lượng phân tử trung bình (M_n) là, ví dụ, lớn hơn hoặc bằng 200 và, ví dụ, nhỏ hơn hoặc bằng 1000, tốt hơn là, nhỏ hơn hoặc bằng 400. Số trọng lượng phân tử trung bình có thể được đo bởi sắc ký thẩm gel (gel permeation chromatography, viết tắt là GPC), và được tính theo sự kiểm chuẩn oxit polyetylen.

Chất gia tốc hiện hình tốt hơn là bao gồm hợp chất imit acrylat được thể hiện bằng công thức chung (4) nêu trên.

Chất cảm quang bao gồm, ví dụ, chất cảm quang pyridin được mô tả trong công bố đơn sáng chế Nhật Bản chưa qua thẩm định số 2013-100441.

Cụ thể là, chất cảm quang pyridin được thể hiện bằng công thức chung (6).



(Theo công thức chung (6), từ R^6 đến R^{10} biểu diễn nguyên tử hydro hoặc nhóm alkyl với 1 đến 4 nguyên tử cacbon. Từ R^6 đến R^{10} có thể là giống hoặc khác nhau.) Theo công thức chung (6) nêu trên, mỗi trong số R^6 và R^7 tốt hơn là biểu diễn nguyên tử hydro hoặc nhóm methyl, tốt hơn nữa là, nguyên tử hydro.

Theo công thức chung (6) nêu trên, R^8 tốt hơn là biểu diễn nhóm alkyl với 1 đến 4 nguyên tử cacbon, tốt hơn nữa là, nhóm methyl hoặc nhóm etyl, tốt hơn nữa là, nhóm etyl.

Theo công thức chung (6) nêu trên, mỗi trong số R^9 và R^{10} tốt hơn là biểu diễn nhóm alkyl với 1 đến 4 nguyên tử cacbon, tốt hơn nữa là, nhóm methyl hoặc nhóm etyl, tốt hơn nữa là, nhóm methyl.

Các ví dụ cụ thể về chất cảm quang pyridin được thể hiện bằng công thức chung (6) nêu trên bao gồm 1-etyl-3,5-dimethoxycarbonyl-4-(2-nitrophenyl)-1,4-dihydropyridin.

Tổng (tỷ lệ khối lượng) của tỷ lệ hàm lượng của chất cảm quang và tỷ lệ hàm lượng của chất gia tốc hiện hình là 5ppm hoặc lớn hơn và 50ppm hoặc nhỏ hơn trong lớp cách điện nền 4. Tổng tỷ lệ hàm lượng của chất cảm quang và tỷ lệ hàm lượng của chất gia tốc hiện hình có thể được đo bởi TOF-SIMS (tương tự sẽ được áp dụng dưới đây).

Khi tổng tỷ lệ hàm lượng của chất cảm quang và tỷ lệ hàm lượng của chất gia tốc hiện hình là lớn hơn hoặc bằng giới hạn dưới nêu trên, tính kết dính của lớp lót 18 (được mô tả dưới đây) với lớp cách điện nền 4 có thể được điều chỉnh sao cho lớp lót 18 (được mô tả dưới đây) có thể được bong khỏi lớp cách điện nền 4. Do vậy, khả năng làm lại của phần tử tạo ảnh 21 có thể được đảm bảo. Khi tổng tỷ lệ hàm lượng của chất cảm quang và tỷ lệ hàm lượng của chất gia tốc hiện hình nhỏ hơn hoặc bằng giới hạn trên nêu trên, việc giảm tính kết dính của lớp lót 18 (được mô tả dưới đây) với lớp cách điện nền 4 dưới các điều kiện nóng và ẩm có thể được ngăn ngừa.

Lớp cách điện nền 4 có thể còn chứa chất phụ gia đã biết. Các ví dụ về chất phụ gia đã biết bao gồm chất tăng nhạy, chất kết thúc sự trùng hợp, chất truyền chuỗi, chất làm bằng, chất làm dẻo, chất hoạt dịch, và chất chống tạo bọt. Tỷ lệ hàm lượng của chất phụ gia đã biết trong lớp cách điện nền 4 là, ví dụ, nhỏ hơn hoặc bằng 15% khối lượng, tốt hơn là, nhỏ hơn hoặc bằng 10% khối lượng.

Lớp cách điện nền 4 có chiều dày là, ví dụ, lớn hơn hoặc bằng $1\mu\text{m}$, tốt hơn là, lớn hơn hoặc bằng $3\mu\text{m}$ và, ví dụ, nhỏ hơn hoặc bằng $30\mu\text{m}$, tốt hơn là, nhỏ hơn hoặc bằng $12\mu\text{m}$, tốt hơn nữa là, nhỏ hơn hoặc bằng $8\mu\text{m}$.

Mẫu hình dẫn điện 5 bao gồm các cực thứ nhất 10, các cực thứ hai 11 (xem Fig.1), và các dây 9.

Các cực thứ nhất 10 được bố trí theo hàng ở phần tâm của phần bố trí vỏ 2, tạo nên khung hình chữ nhật và có khoảng trống giữa đó (xem Fig.1). Các cực thứ nhất 10 được bố trí tương ứng với các cực 25 của phần tử tạo ảnh 21 được lắp (xem Fig.4E). Các cực thứ nhất 10 được bố trí cũng tương ứng với các phần hờ thứ nhất 7. Mỗi trong số các cực thứ nhất 10 có dạng gần tròn theo hình vẽ từ trên. Các cực thứ nhất 10 điền đầy các phần hờ thứ nhất 7 và được để lộ từ lớp cách điện nền 4 khi được xem từ một phía theo chiều độ dày. Một phía bề mặt 10A theo chiều độ dày của mỗi trong số các cực thứ nhất 10 có dạng phẳng (phẳng và nhẵn). Các một phía bề mặt 10A theo chiều độ dày của các cực thứ nhất 10 được làm gần như phẳng với một phía bề mặt 4A của lớp cách điện nền 4. Trong vấn đề này, các cực thứ nhất 10 được bố trí trên một phía bề mặt 4A của lớp cách điện nền 4.

Như được minh họa trên Fig.1, các cực thứ hai 11 được bố trí theo hàng tại phần kết nối thành phần bên ngoài 3 với khoảng trống giữa đó (xem Fig.1). Các cực thứ hai 11 được bố trí tương ứng với các cực (không được minh họa) của thành phần bên ngoài. Các cực thứ hai 11 được bố trí tương ứng với các phần hờ thứ hai 8. Mỗi trong số các cực thứ hai 11 có dạng gần chữ nhật (hình chữ nhật) theo hình vẽ từ trên. Các cực thứ hai 11 điền đầy các phần hờ thứ hai 8 và được để lộ từ lớp cách điện nền 4 khi được xem từ một phía theo chiều độ dày. Các một phía bề mặt của các cực thứ hai 11 theo chiều độ dày được làm gần như phẳng với một phía bề mặt 4A của lớp cách điện nền 4. Theo cách này, các cực thứ hai 11 được bố trí trên một phía bề mặt 4A của lớp cách điện nền 4.

Như được minh họa trên Fig.2, các dây 9 được bố trí ở phía khác theo chiều độ dày liên quan với lớp cách điện nền 4, cụ thể là, trên phía bề mặt khác 4B của lớp cách điện nền 4.

Các dây 9 lần lượt kết nối điện các cực thứ nhất 10 với các cực thứ hai 11. Cụ thể là, một đầu của mỗi trong số các dây 9 rời từ phía bề mặt khác 4B tới phần hờ thứ nhất 7 và liên tục với mỗi trong số các cực thứ nhất 10. Đầu khác của mỗi trong số các dây 9 rời từ phía bề mặt khác 4B tới phần hờ thứ hai 8, và liên tục với mỗi trong số các cực thứ hai 11.

Các ví dụ về vật liệu của mẫu hình dẫn điện 5 bao gồm đồng, bạc, vàng, niken, và hợp kim hoặc chất hàn chứa chúng. Tốt hơn là, đồng được sử dụng.

Mẫu hình dẫn điện 5 có chiều dày là, ví dụ, lớn hơn hoặc bằng $1\mu\text{m}$, tốt hơn là, lớn hơn hoặc bằng $2\mu\text{m}$ và, ví dụ, nhỏ hơn hoặc bằng $15\mu\text{m}$, tốt hơn là, nhỏ hơn hoặc bằng $10\mu\text{m}$.

Lớp phủ cách điện 6 được bố trí ở phía khác theo chiều độ dày liên quan với lớp cách điện nền 4, cụ thể là, trên phía bề mặt khác 4B của lớp cách điện nền 4 nhằm phủ mẫu hình dẫn điện 5. Hình dạng bên ngoài của lớp phủ cách điện 6 được tạo thành giống với của lớp cách điện nền 4.

Các ví dụ về vật liệu của lớp phủ cách điện 6 bao gồm các vật liệu cách điện. Các ví dụ về các vật liệu cách điện bao gồm các nhựa nhân tạo chẳng hạn như polyimide, polyamide imide, acryl, polyete nitrile, polyete sulfon, polyetylen terephthalate, polyetylen naphthalate, và polyvinyl chloride. Ví dụ thích hợp hơn về vật liệu cách điện là polyimide được sử dụng cho lớp cách điện nền 4.

Lớp phủ cách điện 6 có chiều dày là, ví dụ, lớn hơn hoặc bằng $1\mu\text{m}$, tốt hơn là, lớn hơn hoặc bằng $2\mu\text{m}$ và, ví dụ, nhỏ hơn hoặc bằng $30\mu\text{m}$, tốt hơn là, nhỏ hơn hoặc bằng $10\mu\text{m}$, tốt hơn nữa là, nhỏ hơn hoặc bằng $5\mu\text{m}$.

Chiều dày của bảng lắp 1 (tổng chiều dày của lớp cách điện nền 4, mẫu hình dẫn điện 5, và lớp phủ cách điện 6) là, ví dụ, lớn hơn hoặc bằng $3\mu\text{m}$ và, ví dụ, nhỏ hơn hoặc bằng $50\mu\text{m}$, tốt hơn là, nhỏ hơn hoặc bằng $30\mu\text{m}$.

2. Phương pháp sản xuất bảng lắp phần tử tạo ảnh

Tiếp theo, dựa vào từ Fig.3A đến Fig.3D, phương pháp sản xuất bảng lắp 1 được mô tả. Phương pháp sản xuất bảng lắp 1 bao gồm, ví dụ, bước chuẩn bị thân đỡ kim loại, bước tạo nên lớp cách điện nền, bước tạo nên mẫu hình dẫn điện, và bước tạo nên lớp phủ cách điện.

Như được minh họa trên Fig.3A, trong bước chuẩn bị thân đỡ kim loại, thân đỡ kim loại 19 được chuẩn bị dưới dạng lớp đỡ kim loại lấy làm ví dụ.

Thân đỡ kim loại 19 có dạng gần chữ nhật (hình chữ nhật) theo hình vẽ từ trên. Bề mặt trên của thân đỡ kim loại 19 có dạng phẳng (phẳng và nhẵn).

Các ví dụ về vật liệu của thân đỡ kim loại 19 bao gồm các vật liệu kim loại chẳng hạn như thép không gỉ, 42 hợp kim, và nhôm. Tốt hơn là, thép không gỉ được sử dụng.

Thân đỡ kim loại 19 có chiều dày là, ví dụ, lớn hơn hoặc bằng $5\mu\text{m}$, tốt hơn là, lớn hơn hoặc bằng $10\mu\text{m}$ và, ví dụ, nhỏ hơn hoặc bằng $50\mu\text{m}$, tốt hơn là, nhỏ hơn hoặc bằng $30\mu\text{m}$.

Lần lượt, trong bước tạo nên lớp cách điện nền, lớp cách điện nền 4 chứa polimit nêu trên, chất gia tốc hiện hình, và chất cảm quang được tạo nên trên bề mặt trên của thân đỡ kim loại 19. Chiều độ dày của lớp cách điện nền 4 được minh họa trên Fig.3A đến Fig.3D là đối diện với chiều độ dày của lớp cách điện nền 4 được minh họa trên Fig.2. Phía trên của trang giấy của hình vẽ là phía khác theo chiều độ dày. Phía dưới của trang giấy của hình vẽ là một phía theo chiều độ dày. Nói cách khác, một phía bề mặt 4A của lớp cách điện nền 4 tiếp xúc với thân đỡ kim loại 19. Phía bề mặt khác 4B của lớp cách điện nền 4 được định vị tại phía đối diện của thân đỡ kim loại 19, liên quan đến một phía bề mặt 4A.

Cụ thể là, bước tạo nên lớp cách điện nền bao gồm bước gắn áp vecni làm vật liệu của lớp cách điện nền 4 trên thân đỡ kim loại 19, bước để lộ và hiện hình vecni được đặt, và bước gia nhiệt vecni được hiện hình.

Vecni chứa: axit polyamit dưới dạng tiền chất polyimit lấy làm ví dụ; chất gia tốc hiện hình nêu trên; và chất cảm quang nêu trên.

Axit polyamit là sản phẩm phản ứng của thành phần dihydrit axit và thành phần điamin nêu trên. Ví dụ, thành phần dihydrit axit và thành phần điamin nêu trên được phản ứng với sự hiện diện của dung môi hữu cơ, ví dụ, ở lớn hơn hoặc bằng 15°C và nhỏ hơn hoặc bằng 40°C trong nhiều hơn hoặc bằng 0,2 giờ và ít hơn hoặc bằng 72 giờ. Theo cách này, axit polyamit được chuẩn bị.

Dung môi hữu cơ có thể hòa tan thành phần dihydrit axit và thành phần điamin nêu trên. Các ví dụ về dung môi hữu cơ bao gồm: các proton điện cực chẳng hạn như N-metylpyrrolidon; dimetylformamit; dimetylsulfoxit; và axetonitril. Các dung môi hữu cơ có thể được sử dụng độc lập hoặc dưới sự kết hợp của hai thành phần trở lên.

Giữa các dung môi hữu cơ, tốt hơn là, các proton điện cực được sử dụng và, tốt hơn nữa là, N-methylpyrrolidone được sử dụng. Tỷ lệ hàm lượng của dung môi hữu cơ có thể được thay đổi thích hợp.

Trong vecni, tỷ lệ hàm lượng của chất gia tốc hiện hình đối với 100 phần theo khối lượng của axit polyamit là, ví dụ, lớn hơn hoặc bằng 30 phần theo khối lượng và nhỏ hơn hoặc bằng 100 phần theo khối lượng.

Trong vecni, tỷ lệ hàm lượng của chất cảm quang đối với 100 phần theo khối lượng của axit polyamit là, ví dụ, lớn hơn hoặc bằng 10 phần theo khối lượng và nhỏ hơn hoặc bằng 55 phần theo khối lượng.

Sau đó, vecni được áp vào toàn bộ bề mặt trên của thân đỡ kim loại 19 và được làm khô. Theo cách này, dung môi hữu cơ được làm bay hơi và màng nền được tạo nên.

Sau đó, màng nền được để lộ qua màng che quang có mẫu hình tương ứng với các phần hở (các phần hở thứ nhất 7 và các phần hở thứ hai 8). Sau đó, màng nền được hiện hình.

Tiếp theo, màng nền được hiện hình được gia nhiệt và được hóa cứng.

Nhiệt độ gia nhiệt cao hơn hoặc bằng 300°C, tốt hơn là, cao hơn hoặc bằng 330°C và thấp hơn hoặc bằng 400°C, tốt hơn là, thấp hơn hoặc bằng 380°C.

Thời gian gia nhiệt 100 phút hoặc lâu hơn, tốt hơn là, nhiều hơn hoặc bằng 110 phút, tốt hơn nữa là, nhiều hơn hoặc bằng 120 phút và, ví dụ, ít hơn hoặc bằng 500 phút, tốt hơn là, ít hơn hoặc bằng 400 phút, tốt hơn nữa là, ít hơn hoặc bằng 350 phút.

Khi nhiệt độ gia nhiệt là lớn hơn hoặc bằng giới hạn dưới nêu trên và thời gian gia nhiệt là lớn hơn hoặc bằng giới hạn dưới nêu trên, sự imit hóa của axit polyamit diễn ra và polyimit được tạo nên. Cùng thời điểm, phần lớn của chất gia tốc hiện hình nêu trên và chất cảm quang được loại bỏ. Do vậy, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang có thể được điều chỉnh để ít hơn hoặc bằng giới hạn trên nêu trên trong lớp cách điện nền 4. Khi nhiệt độ gia nhiệt nhỏ hơn hoặc bằng giới hạn trên nêu trên, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang có

thể được duy trì lớn hơn hoặc bằng giới hạn dưới nêu trên trong lớp cách điện nền 4.

Theo cách này, lớp cách điện nền 4 chứa polyimide được tạo nên trên thân đỡ kim loại 19.

Lần lượt, trong bước tạo nên mẫu hình dẫn điện như được minh họa trên Fig.3B, nhờ sử dụng mẫu hình nêu trên, mẫu hình dẫn điện 5 được tạo nên trên bề mặt trên (phía bề mặt khác 4B) của lớp cách điện nền 4 và trên bề mặt trên của thân đỡ kim loại 19 được để lộ từ các phần hở thứ nhất 7 và các phần hở thứ hai 8 bởi, ví dụ, phương pháp cộng.

Theo cách này, các cực thứ nhất 10, các cực thứ hai 11, và các dây 9 được tạo nên một cách tập thể. Các cực thứ nhất 10 được bố trí trong các phần hở thứ nhất 7 và tiếp xúc với bề mặt trên của thân đỡ kim loại 19. Mặc dù không được minh họa, các cực thứ hai 11 được bố trí ở các phần hở thứ hai 8 và tiếp xúc với bề mặt trên của thân đỡ kim loại 19. Theo cách này, các cực thứ nhất 10 và các cực thứ hai 11 được bố trí trên một phía bề mặt 4A của lớp cách điện nền 4. Các dây 9 được bố trí trên phía bề mặt khác 4B của lớp cách điện nền 4.

Lần lượt, như được minh họa trên Fig.3C, trong bước tạo nên lớp phủ cách điện, lớp phủ cách điện 6 được tạo nên trên bề mặt trên (phía bề mặt khác 4B) của lớp cách điện nền 4 để phủ mẫu hình dẫn điện 5. Bước tạo nên lớp phủ cách điện có thể được tiến hành theo cách giống với bước tạo nên lớp cách điện nền.

Lần lượt, như được minh họa trên Fig.3D, trong bước loại bỏ thân đỡ kim loại, thân đỡ kim loại 19 được loại bỏ.

Các ví dụ về phương pháp loại bỏ thân đỡ kim loại 19 bao gồm phương pháp bóc thân đỡ kim loại 19 từ bề mặt dưới (một phía bề mặt 4A) của lớp cách điện nền 4 và phương pháp khắc axit (ví dụ, khắc axit khô, hoặc khắc axit ướt) thân đỡ kim loại 19.

Giữa các phương pháp loại bỏ thân đỡ kim loại 19, tốt hơn là, khắc axit, tốt hơn nữa là, khắc axit ướt được sử dụng.

Khi thân đỡ kim loại 19 được khắc axit ướt, ví dụ, dung dịch sắt clorua được sử dụng làm dung dịch khắc axit. Ví dụ, dung dịch khắc axit được phun vào thân đỡ kim loại 19 từ một phía theo chiều độ dày để loại bỏ thân đỡ kim loại 19.

Sau đó, một phía bề mặt 4A của lớp cách điện nền 4, các một phía bề mặt 10A của các cực thứ nhất 10, và các một phía bề mặt của các cực thứ hai 11 (không được minh họa) được để lộ.

Theo cách được mô tả ở trên, bảng lắp 1 bao gồm lớp cách điện nền 4, mẫu hình dẫn điện 5, và lớp phủ cách điện 6 được sản xuất.

3. Phương pháp lắp phần tử tạo ảnh trong bảng lắp

Bảng lắp 1 được mô tả ở trên bao gồm, ví dụ, phần tử tạo ảnh được lắp trên đó, và được bao gồm trong thiết bị tạo ảnh chẳng hạn như môđun camera.

Tiếp theo, dựa vào Fig.4E và Fig.4F, phương pháp lắp phần tử tạo ảnh 21 trong bảng lắp 1 được mô tả.

Phương pháp lắp phần tử tạo ảnh 21 trong bảng lắp 1 bao gồm bước nối linh kiện và bước tạo nên lót.

Như được minh họa trên Fig.4E, trong bước nối linh kiện, phần tử tạo ảnh 21 được chuẩn bị.

Phần tử tạo ảnh 21 là linh kiện bán dẫn mà biến đổi ánh sáng thành các tín hiệu điện. Các ví dụ về nó bao gồm các phần tử tạo ảnh rắn chẳng hạn như cảm biến CMOS, và cảm biến CCD. Phần tử tạo ảnh 21 được tạo thành đĩa phẳng có dạng gần chữ nhật theo hình vẽ từ trên. Mặc dù không được minh họa, phần tử tạo ảnh 21 bao gồm silicon chẳng hạn như bảng Si, và quang diot (linh kiện chuyển đổi quang điện) và bộ lọc màu, mà được bố trí trên silicon. Phần tử tạo ảnh 21 bao gồm các cực 25. Các cực 25 tương ứng với các cực thứ nhất 10.

Sau đó, các vật liệu liên kết 26 chẳng hạn như các bướu hàn được bố trí trên các cực thứ nhất 10 của bảng lắp 1 để kết nối điện các cực thứ nhất 10 của bảng lắp 1 với các cực 25 của phần tử tạo ảnh 21 thông qua các vật liệu liên kết 26.

Theo cách này, phần tử tạo ảnh 21 được bố trí ở phần tâm của phần bố trí vô 2 của bảng lắp 1, và là lát cực nhỏ được lắp trong bảng lắp 1. Tại thời điểm, phần

tử tạo ảnh 21 được định vị tại một phía theo chiều độ dày liên quan đến một phía bề mặt 4A của lớp cách điện nền 4 với khoảng trống giữa đó.

Tiếp theo, như được minh họa trên Fig.4F, trong bước tạo nên lót, lớp lót 18 là lớp cách điện thứ hai lấy làm ví dụ được tạo nên giữa phần tử tạo ảnh 21 và lớp cách điện nền 4.

Cụ thể là, hợp phần nhựa lỏng được tiêm vào giữa phần tử tạo ảnh 21 và một phía bề mặt 4A của lớp cách điện nền 4, và sau đó được gia nhiệt và được hóa cứng.

Các ví dụ về vật liệu của lớp lót 18 bao gồm các vật liệu nhựa chẳng hạn như nhựa epoxy, nhựa polyuretan, nhựa silicon, và nhựa polyeste. Tốt hơn là, nhựa epoxy được sử dụng. Các vật liệu của lớp lót 18 có thể được sử dụng độc lập hoặc dưới sự kết hợp của hai thành phần trở lên.

Nhiệt độ gia nhiệt được thay đổi thích hợp, phụ thuộc vào vật liệu của lớp lót 18. Nhiệt độ gia nhiệt là, ví dụ, cao hơn hoặc bằng 100°C, tốt hơn là, cao hơn hoặc bằng 120°C và, ví dụ, thấp hơn hoặc bằng 150°C, tốt hơn là, thấp hơn hoặc bằng 130°C.

Thời gian gia nhiệt được thay đổi thích hợp, phụ thuộc vào vật liệu của lớp lót 18. Thời gian gia nhiệt là, ví dụ, nhiều hơn hoặc bằng 10 phút, tốt hơn là, nhiều hơn hoặc bằng 30 phút và, ví dụ, ít hơn hoặc bằng 120 phút, tốt hơn là, ít hơn hoặc bằng 60 phút.

Theo cách này, lớp lót 18 được tạo nên giữa phần tử tạo ảnh 21 và một phía bề mặt 4A của lớp cách điện nền 4. Nói cách khác, lớp lót 18 được bố trí trên một phía bề mặt 4A của lớp cách điện nền 4. Nói cách khác, bảng lắp 1 bao gồm phần tử tạo ảnh 21 được lắp trên đó bao gồm lớp lót 18.

Theo cách được mô tả ở trên, việc lắp phần tử tạo ảnh 21 trong bảng lắp 1 được hoàn thành. Bảng lắp 1, phần tử tạo ảnh 21, và lớp lót 18 tạo thành bộ tạo ảnh 27.

Bảng lắp 1 không là thiết bị tạo ảnh được mô tả dưới đây nhưng là thành phần của thiết bị tạo ảnh, cụ thể, thành phần được sử dụng để sản xuất thiết bị tạo ảnh và sản phẩm có sẵn về mặt công nghiệp. Bảng lắp 1 có thể được phân bố dưới

dạng thành phần đơn mà không có phần tử tạo ảnh hoặc dưới dạng bộ tạo ảnh mà trên đó phần tử tạo ảnh được lắp.

4. Thiết bị tạo ảnh

Tiếp theo, dựa vào Fig.5, thiết bị tạo ảnh 20 bao gồm bộ tạo ảnh 27 được mô tả.

Thiết bị tạo ảnh 20 bao gồm bộ tạo ảnh 27, vỏ 22, các thấu kính quang học 23, và bộ lọc 24.

Bộ tạo ảnh 27 bao gồm bảng lắp 1, phần tử tạo ảnh 21, và lớp lót 18.

Vỏ 22 được bố trí trên phần bố trí vỏ 2 của bảng lắp 1 và bao quanh phần tử tạo ảnh 21 với khoảng trống giữa đó. Vỏ 22 có hình dạng ống có dạng gần chữ nhật theo hình vẽ từ trên.

Các thấu kính quang học 23 được bố trí ở phía đối diện với bảng lắp 1 liên quan đến phần tử tạo ảnh 21 theo chiều độ dày với khoảng trống giữa đó. Các thấu kính quang học 23 được tạo thành dạng gần tròn theo hình vẽ từ trên và được cố định vào vỏ 22 sao cho ánh sáng có thể đạt đến phần tử tạo ảnh 21 từ phía ngoài.

Bộ lọc 24 được bố trí giữa phần tử tạo ảnh 21 và các thấu kính quang học 23 với khoảng trống giữa đó theo chiều độ dày, và được cố định vào vỏ 22.

Các tác giả nhận thấy như được minh họa trên Fig. 4F rằng, khi thiết bị tạo ảnh 20 (bộ tạo ảnh 27) đã được đặt dưới các điều kiện nóng và ẩm (ví dụ, cao hơn hoặc bằng 100°C và độ ẩm tương đối là lớn hơn hoặc bằng 80%), tính kết dính của lớp lót 18 với lớp cách điện nền 4 được giảm.

Sau đó, các tác giả đã thử nghiệm việc tìm theo các cách khác nhau và đã tìm ra rằng việc giảm tính kết dính của lớp lót 18 dưới các điều kiện nóng và ẩm đã phụ thuộc vào tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền 4, và đã hoàn thành sáng chế.

Như được minh họa trên Fig. 4F, bảng lắp 1 bao gồm lớp cách điện nền 4 mà trong đó tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang là lớn hơn hoặc bằng giới hạn dưới nêu trên. Do vậy, kể cả khi

thiết bị tạo ảnh 20 (Bộ tạo ảnh 27) được đặt dưới các điều kiện nóng và ẩm, việc giảm tính kết dính của lớp lót 18 với lớp cách điện nền 4 có thể được ngăn ngừa.

Đồng thời, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang nhỏ hơn hoặc bằng giới hạn trên nêu trên trong lớp cách điện nền 4. Do vậy, khi phần tử tạo ảnh 21 được lắp trong bảng lắp 1 được loại bỏ từ bảng lắp 1 để làm lại, lớp lót 18 có thể được bong khỏi lớp cách điện nền 4. Kết quả là, khả năng làm lại của phần tử tạo ảnh 21 có thể được đảm bảo.

Chất gia tốc hiện hình bao gồm hợp chất imit acrylat và/hoặc hợp chất polyetylen glycol. Do vậy, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền 4 có thể được điều chỉnh và nằm trong khoảng nêu trên. Cùng thời điểm, độ cảm quang của vecni chứa tiền chất polyimit, chất gia tốc hiện hình, và chất cảm quang có thể được đảm bảo.

Theo phương pháp sản xuất bảng lắp 1, như được minh họa trên Fig.3A đến Fig.3D, vecni chứa tiền chất polyimit, chất gia tốc hiện hình, và chất cảm quang được đặt trên thân đỡ kim loại 19. Sau đó, vecni (màng nền) được để lộ và được hiện hình. Tiếp theo, vecni (màng nền) được gia nhiệt ở nhiệt độ gia nhiệt nêu trên và trong thời gian gia nhiệt nêu trên, nhờ đó tạo nên lớp cách điện nền 4.

Do vậy, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền 4 có thể được điều chỉnh và nằm trong khoảng nêu trên. Kết quả là, phương pháp thì đơn giản và có thể sản xuất hiệu quả bảng lắp 1 nêu trên.

<Các sự biến đổi>

Theo phương án nêu trên, bảng lắp phần tử tạo ảnh 1 (bảng lắp 1) được sử dụng để lắp phần tử tạo ảnh 21 trên đó được mô tả như bảng mạch nối dây của sáng chế. Tuy nhiên, công dụng của bảng mạch nối dây không giới hạn ở công dụng theo phương án. Bảng mạch nối dây của sáng chế được sử dụng phù hợp cho các FPC được sử dụng cho, ví dụ, các điện thoại thông minh, các máy tính cá nhân, hoặc các bảng điều khiển trò chơi.

Bảng lắp 1 là FPC không dính mà trong đó các lớp liền kề theo chiều độ dày được dính với nhau mà không có chất dính. Tuy nhiên, bảng lắp 1 không bị giới

hạn ở FPC. Lớp chất dính có thể được bố trí giữa các lớp liên kề với nhau theo chiều độ dày. Tuy nhiên, để làm mỏng bảng lắp 1, bảng lắp 1 tốt hơn là FPC không dính như theo phương án nêu trên.

Như được minh họa trên Fig.2, bảng lắp 1 bao gồm lớp cách điện nền 4, mẫu hình dẫn điện 5, và lớp phủ cách điện 6. Tuy nhiên, cấu trúc của bảng lắp 1 không giới hạn ở đó. Ví dụ, bảng lắp 1 có thể được bố trí ở một phía theo chiều độ dày của lớp phủ cách điện 6, và còn bao gồm lớp bảo vệ mà bảo vệ các sóng điện từ từ phía ngoài và lớp phủ cách điện thứ hai mà phủ lớp bảo vệ.

Như được minh họa trên Fig.5, phần tử tạo ảnh 21 là lát cực nhỏ được lắp trong bảng lắp 1 trong thiết bị tạo ảnh 20. Tuy nhiên, phần tử tạo ảnh 21 có thể được lắp trong bảng lắp 1 bằng việc liên kết dây.

Các sự thay đổi có các thao tác và các hiệu quả giống với của phương án nêu trên. Hơn nữa, phương án nêu trên và các sự thay đổi có thể được kết hợp thích hợp.

Ví dụ thực hiện sáng chế

Dưới đây, dựa vào các ví dụ tham chiếu và các ví dụ so sánh tham chiếu, sáng chế được mô tả cụ thể hơn. Sáng chế không bị giới hạn ở các ví dụ tham chiếu và các ví dụ so sánh tham chiếu. Các trị số bằng số cụ thể được sử dụng trong phần mô tả dưới đây, chẳng hạn như các tỷ lệ trộn (các hàm lượng), các trị số tính chất vật lý, và các thông số có thể được thay thế bởi các tỷ lệ trộn (các hàm lượng), các trị số tính chất vật lý, và các thông số tương ứng trong "Mô tả chi tiết sáng chế" nêu trên, bao gồm các trị số giới hạn trên (các trị số bằng số được định rõ bởi "nhỏ hơn hoặc bằng", và "nhỏ hơn so với") hoặc các trị số giới hạn dưới (các trị số bằng số được định rõ với "lớn hơn hoặc bằng", và "lớn hơn so với").

Ví dụ sản xuất 1

4,0 g (20 mmol) của 2,2'-bis(triflometyl)-4,4'-điaminobiphenyl (TFMB, điamin thơm có nhóm haloalkyl là nhóm thay thế), và 8,65 g (80 mmol) của p-phenylendiamin (PPD, điamin thơm) đã được thêm vào trong bình có thể tháo lắp được với dung tích là 500 ml. Hỗn hợp đã được hòa tan trong 200 g N-metyl-2-pyrrolidon (NMP) khan và được khuấy trong khi được giám sát và được gia nhiệt

bởi cặp nhiệt điện sao cho nhiệt độ của dung dịch hỗn hợp được đạt đến 50°C trong bồn dầu. Sau khi sự hòa tan hoàn toàn của dung dịch đã được xác nhận, tốn 30 phút để pha trộn 29,4 g (100 mmol) của 3,3',4,4'-biphenyl tetracarboxylic dihydrit (BPDA, dihydrit axit thơm) trong bình có thể tháo lắp được và hỗn hợp đã được khuấy ở 50°C trong 5 giờ. Sau đó, hỗn hợp đã được làm lạnh để ổn định nhiệt độ, nhờ đó sản xuất dung dịch tiền chất polyimit.

Tiếp theo, 74 phần theo khối lượng của N-acryloyl oxyethylhexahydrophthalimit (chất gia tốc hiện hình) và 14 phần theo khối lượng của 1-etyl-3,5-đimethoxycarbonyl-4-(2-nitrophenyl)-1,4-dihydropyridin (chất cảm quang) liên quan đến 100 phần theo khối lượng của hàm lượng rắn của dung dịch tiền chất polyimit (axit polyamit) đã được thêm vào dung dịch tiền chất polyimit, nhờ đó chuẩn bị vecni.

Các ví dụ tham chiếu 1 và 2 và ví dụ so sánh tham chiếu 1

Thân đỡ kim loại được làm bằng thép không gỉ đã được chuẩn bị. Vecni được chuẩn bị trong ví dụ sản xuất 1 đã được đặt trên bề mặt trên của thân đỡ kim loại, và sau đó được làm khô ở 80°C trong 10 phút, nhờ đó tạo nên màng nền (màng tiền chất polyimit).

Lần lượt, màng nền đã được để lộ và được hiện hình. Sau đó, trong khí nitơ, màng nền đã được hóa cứng ở nhiệt độ gia nhiệt và thời gian gia nhiệt được thể hiện trong bảng 1. Theo cách này, lớp cách điện nền chứa polyimit đã được tạo nên.

Tiếp theo, nhũ tương sắt clorua (dung dịch khắc axit) đã được phun vào thân đỡ kim loại để loại bỏ thân đỡ kim loại. Theo cách này, một phía bề mặt của lớp cách điện nền đã được để lộ.

Theo cách được mô tả ở trên, lớp cách điện nền đã được sản xuất.

Tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang đã được đo trong mỗi trong số các lớp cách điện nền. Các kết quả được thể hiện trong bảng 1.

Sự hoàn thiện hóa cứng của tất cả lớp cách điện nền đã được xác nhận bởi FT-IR.

Ví dụ so sánh tham chiếu 2

Kapton 100H (được chế tạo bởi DuPont) đã được chuẩn bị như lớp cách điện nền. Kapton 100H đã không chứa chất gia tốc hiện hình và chất cảm quang.

<Độ kết dính ban đầu của lớp lót>

Trên một phía bề mặt của lớp cách điện nền của mỗi trong số các ví dụ tham chiếu và các ví dụ so sánh tham chiếu, lớp lót đã được tạo nên để đo độ kết dính ban đầu của lớp lót với lớp cách điện nền.

Cụ thể là, sau khi thử nghiệm nồi áp suất (Pressure Cooker Test, viết tắt là PCT), hợp phần epoxy nhựa lỏng đã được đặt trên một phía bề mặt của lớp cách điện nền và được làm khô ở 125°C trong 10 phút, nhờ đó tạo nên lớp lót. Lớp lót đã có chiều dày là khoảng 40µm.

Tiếp theo, trên bề mặt của lớp lót đối diện với lớp cách điện nền, băng được bọc hai lần (số 5000 ns, được chế tạo bởi NITTO DENKO CORPORATION) đã được kết dính, nhờ đó chuẩn bị tám nhiều lớp. Tám nhiều lớp được bao gồm lớp cách điện nền, lớp lót, và băng được bọc hai lần lần lượt theo chiều độ dày.

Tiếp theo, tám nhiều lớp đã được cắt thành dạng đai phẳng với chiều dày 5 mm. Tám nhiều lớp được cắt đã được cố định trên cùng giai đoạn được bao gồm trong thiết bị được mô tả dưới đây với băng được bọc hai lần. Cùng giai đoạn đã được đỡ luân phiên, và đã có dạng hình trụ với đường kính ngoài là 20 cm. Tám nhiều lớp đã được kết dính với bề mặt ngoại vi của cùng giai đoạn.

Tiếp theo, lớp cách điện nền đã được bong khỏi lớp lót dưới các điều kiện dưới đây. Các kết quả được thể hiện trong bảng 1.

Thiết bị: SVZ-50NB (được chế tạo bởi IMADA CO., LTD.)

Góc kéo: 90° (nói cách khác, hướng kéo là chiều hướng tâm của cùng giai đoạn)

Tốc độ kéo: 10 mm/phút

<Tốc độ giảm độ kết dính của lớp lót sau khi gia nhiệt và làm ẩm>

Ưu tiên đo lường độ kết dính, lớp cách điện nền của mỗi trong số các ví dụ tham chiếu và các ví dụ so sánh tham chiếu đã được đưa vào thử nghiệm nồi áp

suất (PCT). Cụ thể là, mỗi trong số các lớp cách điện nền đã được để ở nhiệt độ 120°C, độ ẩm tương đối 100%, và áp suất 1,9 atm trong 100 giờ.

Sau đó, theo cách tương tự như được mô tả ở trên, lớp lót đã được tạo nên trên một phía bề mặt của lớp cách điện nền sau khi PCT. Độ kết dính của lớp lót với lớp cách điện nền sau khi PCT đã được đo. Sau đó, tốc độ giảm độ kết dính của lớp lót sau khi PCT (độ kết dính sau khi PCT/độ kết dính ban đầu) đã được tính. Các kết quả được thể hiện trong bảng 1.

Bảng 1

		Ví dụ tham chiếu 1	Ví dụ tham chiếu 2	Ví dụ so sánh tham chiếu 1	Ví dụ so sánh tham chiếu 2
Nhiệt độ gia nhiệt	[°C]	340	370	340	-
Thời gian gia nhiệt	[phút]	120	120	60	-
Tổng các tỷ lệ hàm lượng của chất gia tốc hiện hình và chất cảm quang	[ppm]	10~30	5~20	> 50	0
Độ kết dính ban đầu	[gf/cm]	20~100	20~100	20~100	> 200
Tốc độ giảm độ kết dính sau khi PCT	[%]	0	0	25~50	0

<Các nhận xét>

Như bảng 1 thể hiện, ở ví dụ tham chiếu 1, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền là 50ppm hoặc nhỏ hơn. Nếu so sánh, trong ví dụ so sánh tham chiếu 1, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền quá 50 ppm. Ví dụ tham chiếu 1 ngăn ngừa rõ rệt việc giảm độ kết dính của lớp lót với lớp cách điện nền sau khi PCT (nói cách khác, sau khi được để dưới các điều kiện nóng và ẩm).

Trong ví dụ tham chiếu 1, tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện nền là 5ppm hoặc lớn hơn, và độ kết dính ban đầu của lớp lót với lớp cách điện nền đã được điều chỉnh và nhỏ hơn hoặc bằng 200 gf/cm. Như ví dụ so sánh tham chiếu 2 thể hiện, độ kết dính lớn hơn 200 gf/cm khiến khó để bong lớp lót khỏi lớp cách điện nền khi linh kiện điện tử được làm lại. Với điều kiện của điểm này, ví dụ tham chiếu 1 thể hiện rằng độ kết dính nhỏ hơn hoặc bằng 100 gf/cm có thể đảm bảo khả năng làm lại của linh kiện điện tử.

Trong khi các phương án minh họa của sáng chế được bố trí trong phần mô tả ở trên, các phương án như vậy chỉ nhằm mục đích minh họa và không nhằm được diễn giải để giới hạn theo bất kỳ cách nào. Thay đổi và biến đổi của sáng chế mà sẽ là hiển nhiên đối với những người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng nhằm được bao gồm trong các yêu cầu bảo hộ dưới đây.

Khả năng áp dụng công nghiệp

Bảng mạch nối dây của sáng chế được sử dụng cho các mục đích khác nhau, ví dụ, các bảng mạch nối dây dẻo dùng cho các bảng lắp phần tử tạo ảnh, các điện thoại thông minh, các máy tính cá nhân, hoặc các bảng điều khiển trò chơi.

Mô tả các số tham chiếu

- 1 bảng lắp
- 4 lớp cách điện nền
- 4A một phía bề mặt
- 10 cực thứ nhất
- 18 lớp lót

YÊU CẦU BẢO HỘ

1. Bảng mạch nối dây bao gồm:

lớp cách điện thứ nhất chứa polyimit, chất gia tốc hiện hình, và chất cảm quang; lớp cách điện thứ nhất có một phía bề mặt và phía bề mặt khác theo chiều độ dày, lớp cách điện thứ nhất có phần hở xuyên qua lớp cách điện thứ nhất theo chiều độ dày, và

mẫu hình dẫn điện bao gồm:

cực điện đầy phần hở và có một phía bề mặt được để lộ ra một phía theo chiều độ dày, và

dây được bố trí trên phía bề mặt khác của lớp cách điện thứ nhất và liên tục với cực,

trong đó tổng tỷ lệ hàm lượng của chất gia tốc hiện hình và tỷ lệ hàm lượng của chất cảm quang trong lớp cách điện thứ nhất là 5ppm hoặc lớn hơn và 50ppm hoặc nhỏ hơn.

2. Bảng mạch nối dây theo điểm 1, trong đó chất gia tốc hiện hình bao gồm hợp chất imit acrylat và/hoặc hợp chất polyetylen glycol.

3. Phương pháp sản xuất bảng mạch nối dây, phương pháp này bao gồm:

bước chuẩn bị lớp đỡ kim loại;

bước tạo nên lớp cách điện thứ nhất chứa polyimit, chất gia tốc hiện hình, và chất cảm quang trên lớp đỡ kim loại; lớp cách điện thứ nhất có một phía bề mặt và phía bề mặt khác theo chiều độ dày, lớp cách điện thứ nhất có phần hở xuyên qua lớp cách điện thứ nhất theo chiều độ dày; và

bước tạo nên mẫu hình dẫn điện bao gồm:

cực điện đầy phần hở và có một phía bề mặt được để lộ ra một phía theo chiều độ dày, và

dây được bố trí trên phía bề mặt khác của lớp cách điện thứ nhất và liên tục với cực,

trong đó bước tạo nên lớp cách điện thứ nhất bao gồm

bước gắn áp vecni chứa tiền chất polyimit, chất gia tốc hiện hình, và chất cảm quang trên lớp đỡ kim loại,

bước để lộ hoặc hiện hình vecni, và

bước gia nhiệt vecni được hiện hình cao hơn hoặc bằng 300°C và thấp hơn hoặc bằng 400°C trong 100 phút hoặc lâu hơn.

FIG. 1

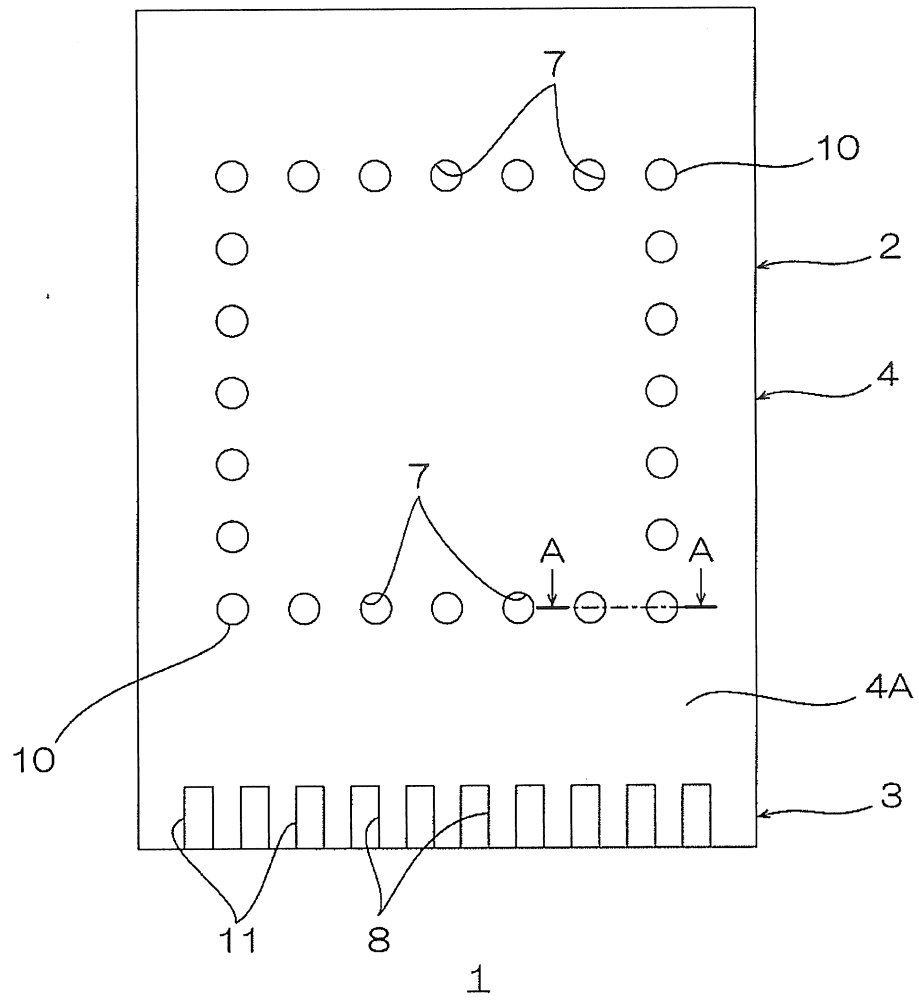
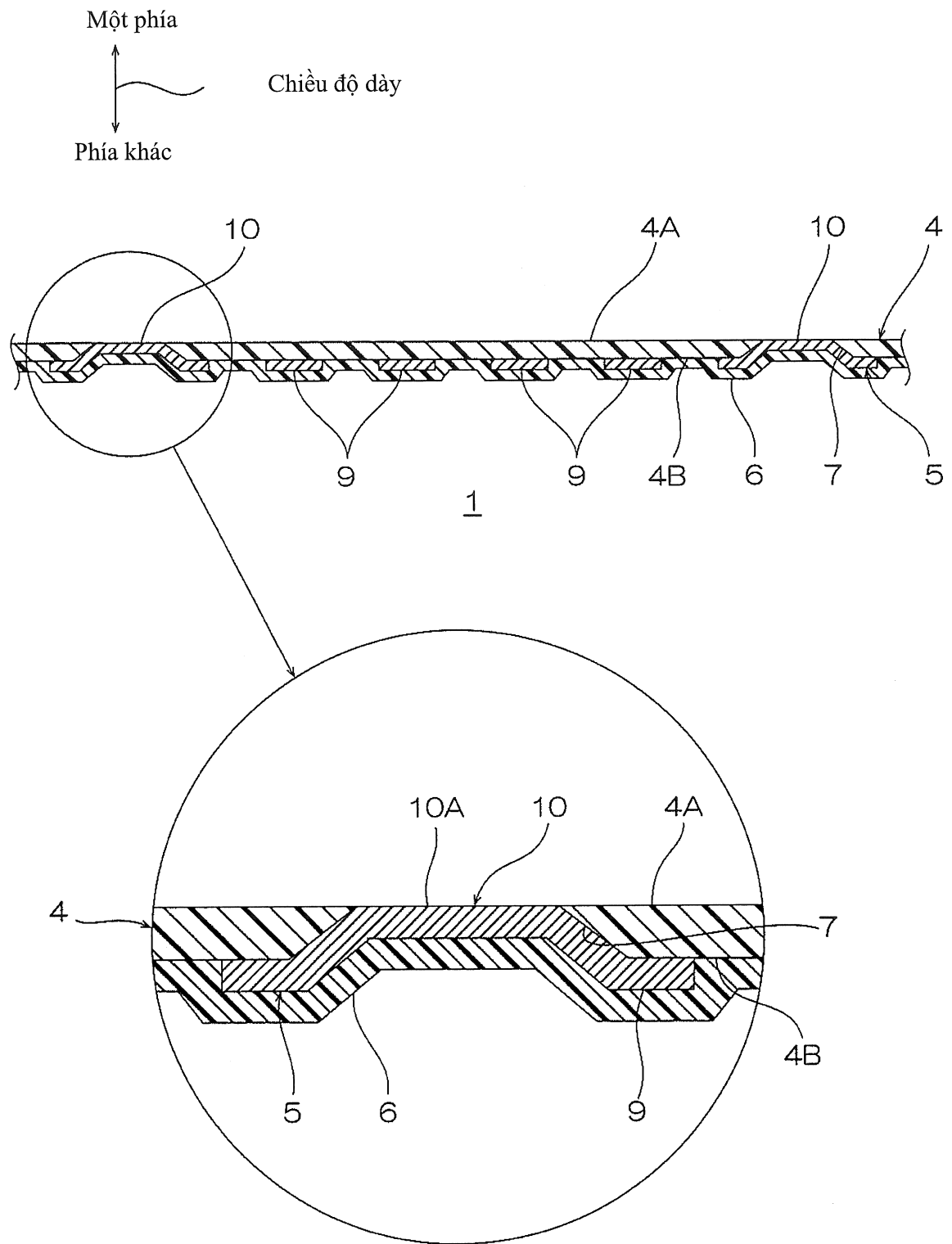


FIG. 2



Một phía
 ↑
 Chiều độ dày
 ↓
 Phía khác

FIG. 3A

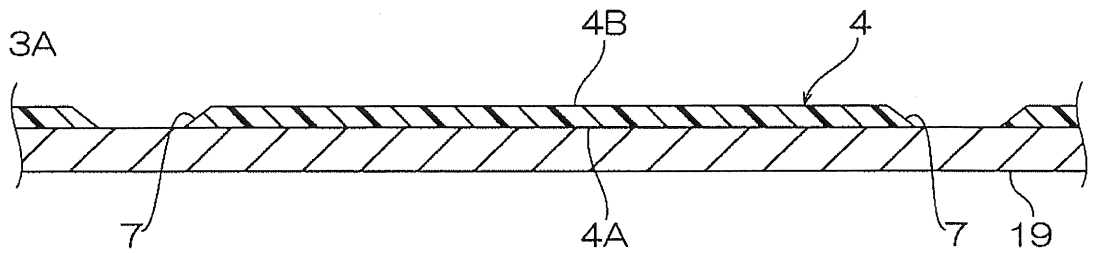


FIG. 3B

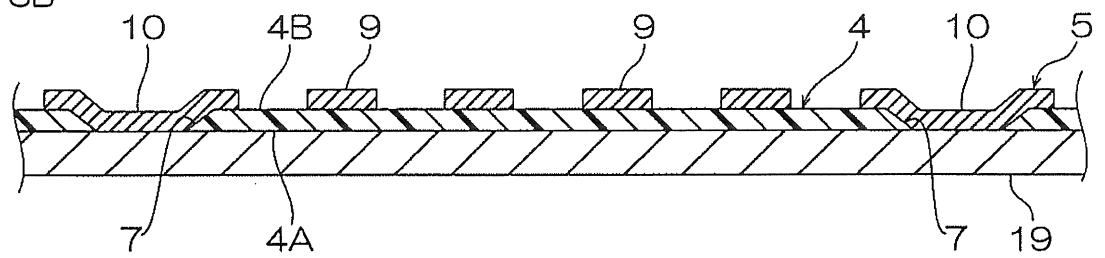


FIG. 3C

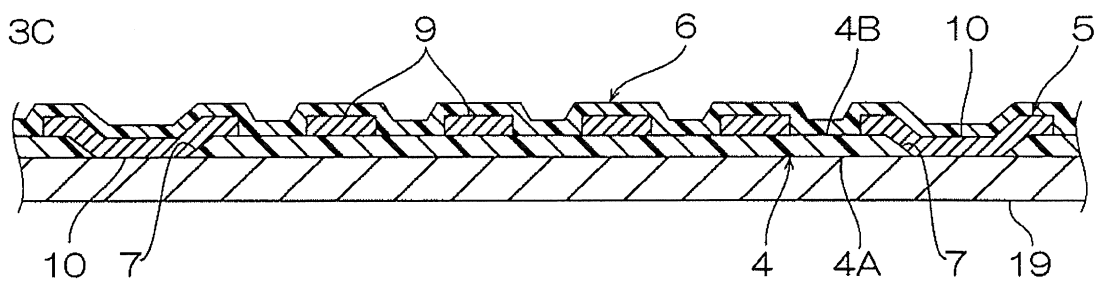
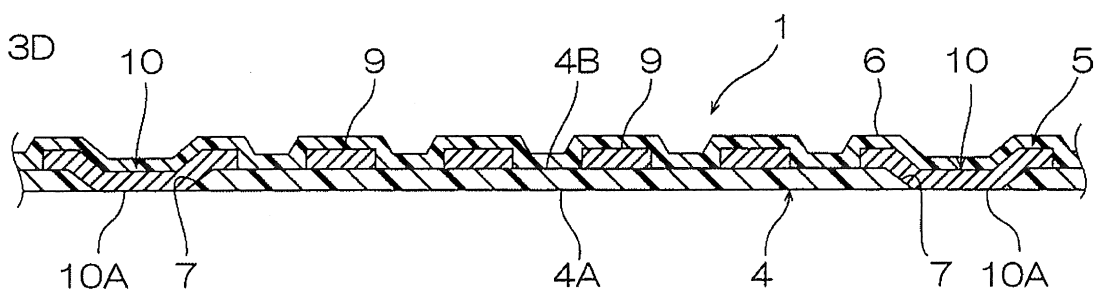


FIG. 3D



Một phía
↑
↓
Phía khác

Chiều độ dày

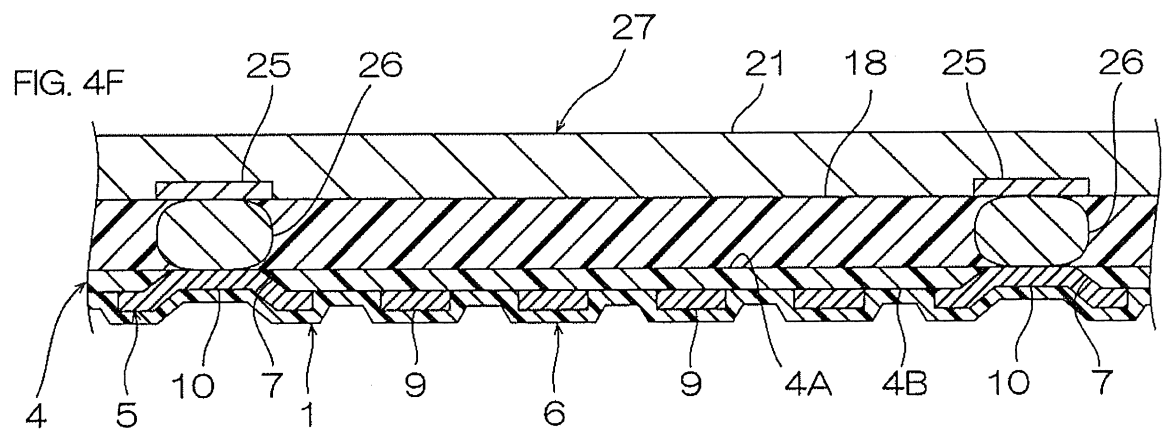
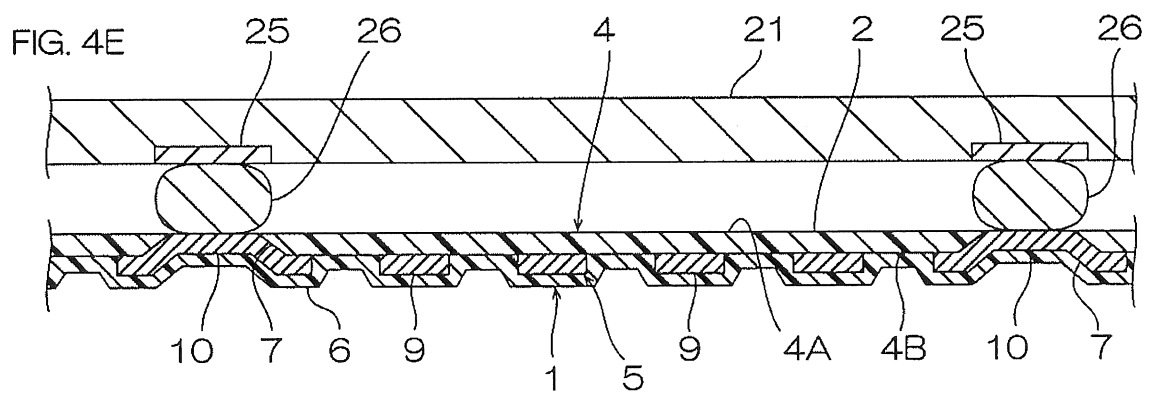


FIG. 5

