



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0045625

(51)^{2020.01} **H05K 3/38**; H05K 1/11; H05K 3/46;
H05K 3/40; H05K 1/02

(13) **B**

(21) 1-2020-01454

(22) 05/09/2018

(86) PCT/JP2018/032849 05/09/2018

(87) WO 2019/054246 A1 21/03/2019

(30) 2017-177786 15/09/2017 JP

(45) 26/05/2025 446

(43) 25/08/2020 389A

(73) NITTO DENKO CORPORATION (JP)

1-2, Shimo-hozumi 1-chome, Ibaraki-shi, Osaka 567-8680, Japan

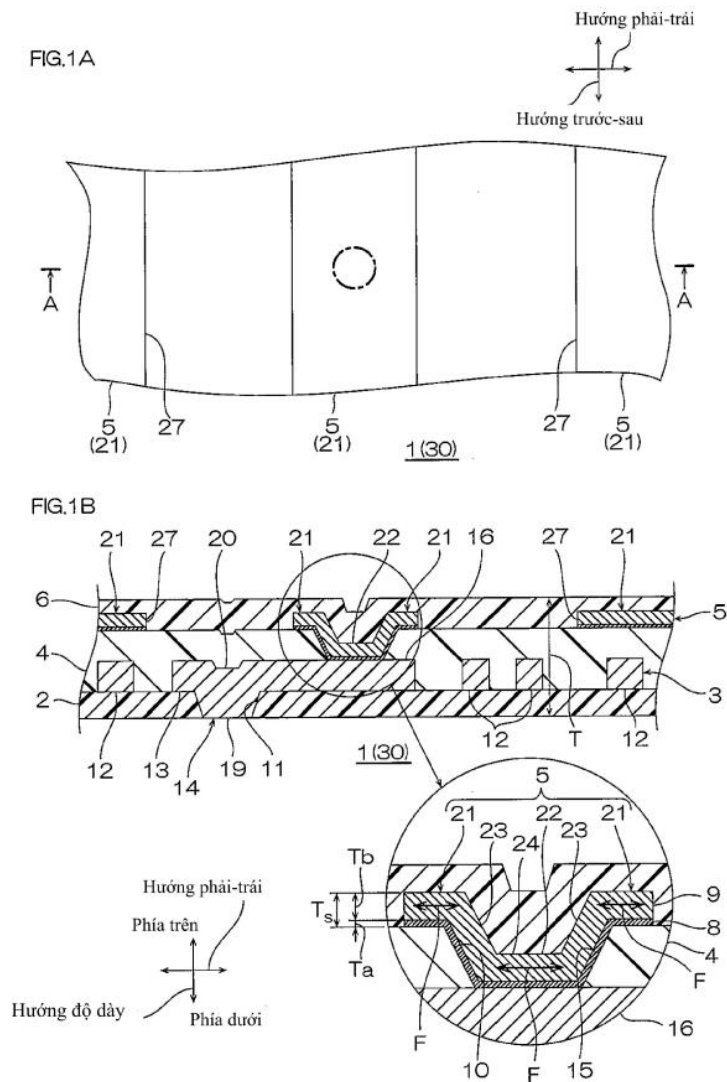
(72) KAWAMURA, Yoshihiro (JP); SHIBATA, Shusaku (JP); TAKAKURA, Hayato (JP); ITO, Masaki (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) BẢNG MẠCH NỘI DÂY

(21) 1-2020-01454

(57) Sáng chế đề cập đến bảng mạch nối dây (1) theo thứ tự bao gồm lớp dẫn điện (3), lớp cách điện, và lớp chắn (5) ở một phía theo chiều độ dày. Lớp cách điện che lớp dẫn điện và có phần hở cách điện lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp dẫn điện, và lớp chắn có phần được tạo lõm (22) được bố trí ở phía trong của phần hở cách điện và được tạo lõm về phía còn lại theo chiều độ dày sao cho tiếp xúc với lớp dẫn điện. Lớp chắn theo thứ tự bao gồm lớp kết dính (8) và lớp thân chính (9) ở một phía theo chiều độ dày. Tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bảng mạch nối dây và phương pháp sản xuất bảng mạch này.

Tình trạng kỹ thuật của sáng chế

Thông thường, bảng mạch nối dây bao gồm lớp tiếp đất và lớp cách điện như đã biết (viện dẫn tới: ví dụ, Tài liệu Sáng chế 1).

Trong Tài liệu Sáng chế 1, lớp nền bao gồm lớp tiếp đất bên dưới, dây tiếp đất bên cạnh lấp đầy phần hở trong lớp cách điện và tiếp xúc với lớp tiếp đất bên dưới, và dây tiếp đất phía trên được bố trí trên bề mặt trên của lớp cách điện và được tạo ra một cách thống nhất với dây tiếp đất bên cạnh. Dây tiếp đất phía trên được kết nối bằng điện với dây tiếp đất phía dưới thông qua dây tiếp đất bên cạnh và đóng vai trò là lớp chắn.

Tài liệu trích dẫn

Tài liệu Sáng chế

Tài liệu Sáng chế 1: Công bố đơn Sáng chế chưa qua xét nghiệm Nhật Bản số 2008-91635

Vấn đề cần được giải quyết bởi sáng chế

Trong Tài liệu Sáng chế 1, dây tiếp đất bên cạnh và dây tiếp đất phía trên nhìn chung có dạng hình chữ T khi được nhìn theo phần cắt ngang, và bề mặt trên của dây tiếp đất phía trên có hình dạng phẳng. Do đó, lớp nền có độ bền vượt trội, và có khả năng duy trì hình dạng vượt trội ngay cả khi ứng suất được sử dụng cho lớp nền. Theo đó, các đặc tính kết dính của lớp nền đối với lớp cách điện không dễ bị suy giảm.

Trong khi đó, bề mặt trên của dây tiếp đất phía trên có thể có phần được tạo lõm mà được tạo lõm xuống dưới tương ứng với phần hở trong lớp cách điện theo các cách sử dụng và mục đích của bảng mạch nối dây. Trong trường hợp này, có nhược điểm là độ bền của lớp nền thấp gây ra bởi phần được tạo lõm, và do đó, khi ứng suất được sử dụng cho lớp nền, dây tiếp đất phía trên dễ co lại theo chiều

mặt phẳng, do đó các đặc tính kết dính của dây tiếp đất phía trên đối với lớp cách điện, và hơn nữa, các đặc tính kết dính của dây tiếp đất bên cạnh đối với dây tiếp đất phía dưới giảm đi.

Bản chất kỹ thuật của sáng chế

Cách thức giải quyết vấn đề

Các tác giả sáng chế đã tìm ra các đặc tính kết dính của lớp chắn có thể được cải thiện khi lớp chắn có lớp kết dính và lớp thân chính, và hơn nữa, khi tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính với độ dày T_a của lớp kết dính là lớn hơn hoặc bằng 4 từ đó việc kiểm tra bằng mạch nối dây cho thấy có sự cải thiện các đặc tính kết dính của lớp chắn ngay cả với lớp chắn có phần được tạo lõm.

Sáng chế (1) bao gồm bảng mạch nối dây theo thứ tự bao gồm lớp dẫn điện, lớp cách điện, và lớp chắn ở một phía theo chiều độ dày, trong đó lớp cách điện che lớp dẫn điện và có phần hở cách điện lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp dẫn điện; lớp chắn có phần được tạo lõm được bố trí ở phía trong của phần hở cách điện và được tạo lõm về phía còn lại theo chiều độ dày sao cho tiếp xúc với lớp dẫn điện; lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính ở một phía theo chiều độ dày; và tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính với độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4.

Trong bảng mạch nối dây, lớp chắn có phần được tạo lõm, và ngay cả khi ứng suất được sử dụng cho lớp chắn và nó co lại, lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính ở một phía theo chiều độ dày, và tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính với độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4, do đó việc giảm các đặc tính kết dính đối với lớp cách điện có thể được ngăn chặn, và hơn nữa, có thể ngăn việc giảm các đặc tính kết dính đối với một phần của lớp dẫn điện.

Sáng chế (2) bao gồm bảng mạch nối dây được mô tả trong phần (1), trong đó lớp chắn có phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện.

Trong bảng mạch nối dây, lớp chắn có phần hở chắn, sao cho phần hở chắn được bố trí ở phần mà không yêu cầu chắn sóng điện từ, và trong phần mà khác với phần này, để sóng điện từ được chắn bởi lớp chắn.

Sáng chế (3) bao gồm bảng mạch nổi dây được mô tả trong (1) hoặc (2), trong đó vật liệu dùng cho lớp cách điện là polyimit, vật liệu dùng cho lớp kết dính là crôm, và vật liệu dùng cho lớp thân chính là đồng.

Trong bảng mạch nổi dây, có thể ngăn hiệu quả hơn việc giảm các đặc tính kết dính của lớp thân chính đối với lớp cách điện bởi lớp kết dính.

Sáng chế (4) bao gồm bảng mạch nổi dây được mô tả trong phần bất kỳ trong số các phần từ (1) đến (3) là bảng mạch nổi dây dùng cho thiết bị tạo ảnh.

Bảng mạch nổi dây là bảng mạch nổi dây cho thiết bị tạo ảnh, sao cho thiết bị tạo ảnh có độ tin cậy vượt trội có thể được tạo ra.

Sáng chế (5) bao gồm bảng mạch nổi dây theo thứ tự bao gồm lớp dẫn điện, lớp cách điện, và lớp chắn ở một phía theo chiều độ dày, trong đó lớp chắn có phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện.

Trong bảng mạch nổi dây, lớp chắn có phần hở chắn, sao cho phần hở chắn được bố trí ở phần mà không yêu cầu chắn sóng điện từ, và trong phần mà khác với phần này, để sóng điện từ được chắn bởi lớp chắn.

Sáng chế (6) bao gồm phương pháp sản xuất bảng mạch nổi dây bao gồm bước thứ nhất là bố trí lớp dẫn điện, bước thứ hai là bố trí lớp cách điện để che lớp dẫn điện và có phần hở cách điện lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp dẫn điện, và bước thứ ba là bố trí lớp chắn trên bề mặt một phía theo chiều độ dày của lớp cách điện để có phần được tạo lõm được bố trí ở phía trong của phần hở cách điện và được tạo lõm về phía còn lại theo chiều độ dày, trong đó bước thứ ba bao gồm bước thứ tư là bố trí lớp kết dính trên bề mặt một phía theo chiều độ dày của lớp cách điện, bề mặt phía trong của lớp cách điện hướng về phần hở cách điện, và bề mặt một phía theo chiều độ dày của lớp dẫn điện được lộ ra từ phần hở cách điện, và bước thứ năm là bố trí lớp thân chính trên bề mặt một phía theo chiều độ dày của lớp kết dính; và Tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4.

Trong phương pháp sản xuất bảng mạch nổi dây, lớp chắn có phần được tạo lõm, và ngay cả khi ứng suất được sử dụng cho lớp chắn và nó co lại, lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính ở một phía theo chiều độ dày,

và tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính với độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4, do đó việc giảm các đặc tính kết dính đối với lớp cách điện có thể được ngăn chặn, và hơn nữa, có thể ngăn việc giảm các đặc tính kết dính đối với một phần của lớp dẫn điện.

Khi hệ số giãn nở nhiệt của lớp kết dính khác với hệ số giãn nở nhiệt của lớp cách điện, bằng cách gia nhiệt trong bước tiếp theo, sự hư hại như đứt gãy có thể dễ xảy ra trong lớp kết dính gây ra bởi sự chênh lệch hệ số giãn nở nhiệt.

Tuy nhiên, trong phương pháp sản xuất bảng mạch nổi dây, Tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4, để ngăn việc hư hại như được mô tả ở trên gây ra bởi sự chênh lệch hệ số giãn nở nhiệt.

Sáng chế (7) bao gồm phương pháp sản xuất bảng mạch nổi dây được mô tả trong (6), trong đó trong bước thứ ba, phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện được bố trí trong lớp chắn.

Theo phương pháp sản xuất, bằng cách gia nhiệt trong bước tiếp theo, ngay cả khi khí được sinh ra từ lớp cách điện, khí có thể được thoát ra một cách hiệu quả khỏi phần hở chắn. Do đó, các đặc tính kết dính của lớp chắn đối với lớp cách điện có thể được cải thiện hơn nữa.

Sáng chế (8) bao gồm phương pháp sản xuất bảng mạch nổi dây được mô tả trong (6) hoặc (7), trong đó trong bước thứ hai, lớp cách điện được tạo ra từ polyimide, trong bước thứ tư, lớp kết dính được tạo ra từ crôm, và trong bước thứ năm, lớp thân chính được tạo ra từ đồng.

Trong phương pháp sản xuất bảng mạch nổi dây, có thể ngăn hiệu quả hơn việc giảm các đặc tính kết dính của lớp thân chính đối với lớp cách điện bởi lớp kết dính.

Hệ số giãn nở nhiệt của polyimide chênh lệch đáng kể so với hệ số giãn nở nhiệt của crôm, trong khi đó lại tương tự với hệ số giãn nở nhiệt của đồng. Do đó, lớp kết dính không thể bắt kịp sự giãn dài của lớp cách điện và lớp thân chính bằng cách gia nhiệt trong bước tiếp theo, và sự hư hại như nứt gãy có thể dễ xảy ra trong lớp kết dính.

Tuy nhiên, theo phương pháp sản xuất, Tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4, do đó các đặc tính kết dính vượt trội của lớp chắn đối với lớp cách điện có thể được đảm bảo.

Sáng chế (9) bao gồm phương pháp sản xuất bảng mạch nổi dây được mô tả trong phần bất kỳ trong số các phần từ (6) đến (8) là phương pháp sản xuất bảng mạch nổi dây dùng cho thiết bị tạo ảnh.

Phương pháp sản xuất bảng mạch nổi dây là phương pháp sản xuất bảng mạch nổi dây dùng cho thiết bị tạo ảnh, để thiết bị tạo ảnh có độ tin cậy vượt trội có thể được sản xuất từ bảng mạch nổi dây đã thu được.

Sáng chế (10) bao gồm phương pháp sản xuất bảng mạch nổi dây bao gồm bước thứ nhất là bố trí lớp dẫn điện, bước thứ hai là bố trí lớp cách điện để che lớp dẫn điện, và bước thứ ba là bố trí lớp chắn trên bề mặt một phía theo chiều độ dày của lớp cách điện, trong đó trong bước thứ ba, phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện được bố trí trong lớp chắn.

Trong phương pháp sản xuất bảng mạch nổi dây, lớp chắn có phần hở chắn, để phần hở chắn có thể được đặt trong phần mà không yêu cầu chắn sóng điện từ.

Hơn nữa, theo phương pháp sản xuất, bằng cách gia nhiệt trong bước tiếp theo, ngay cả khi khí được sinh ra từ lớp cách điện, khí có thể được thoát ra một cách hiệu quả khỏi phần hở chắn. Do đó, các đặc tính kết dính của lớp chắn đối với lớp cách điện có thể được cải thiện hơn nữa.

Hiệu quả của sáng chế

Trong bảng mạch nổi dây và phương pháp sản xuất bảng mạch nổi dây theo sáng chế, việc giảm các đặc tính kết dính đối với lớp cách điện có thể được ngăn chặn.

Trong bảng mạch nổi dây và phương pháp sản xuất bảng mạch nổi dây theo sáng chế, phần hở chắn có thể được đặt trong phần mà không yêu cầu chắn sóng điện từ.

Mô tả vắn tắt các hình vẽ

Các Fig.1A và Fig.1B thể hiện một phương án của bảng mạch nổi dây theo

sáng chế:

Fig.1A minh họa hình chiếu phẳng được phóng to theo phần và

Fig.1B minh họa hình chiếu mặt cắt ngang theo đường A-A (vòng tròn là hình chiếu phóng to theo phần) của Fig.1A.

Các Fig.2A đến 2C thể hiện các hình vẽ quá trình để minh họa phương pháp sản xuất bảng mạch nổi dây như được thể hiện trên Fig.1B:

Fig.2A minh họa bước bố trí lớp cách điện nền,

Fig.2B minh họa bước thứ nhất là bố trí lớp dẫn điện, và

Fig.2C minh họa bước thứ hai là bố trí lớp cách điện trung gian.

Các Fig.3D đến 3E, tiếp sau của Fig.2C, thể hiện các hình vẽ quá trình minh họa phương pháp sản xuất bảng mạch nổi dây được thể hiện trên Fig.1B:

Fig.3D minh họa bước thứ ba là bố trí lớp chắn và

Fig.3E minh họa bước bố trí lớp cách điện che phủ.

Fig.4 thể hiện ví dụ biến thể của bảng mạch nổi dây được thể hiện trên Fig.1B.

Fig.5 thể hiện ví dụ biến thể của bảng mạch nổi dây được thể hiện trên Fig.1B.

Fig.6 thể hiện ví dụ biến thể của bảng mạch nổi dây được thể hiện bởi hình vẽ phóng to trên Fig.1B.

Mô tả chi tiết sáng chế

[Một phương án của Bảng mạch nổi dây và Phương pháp sản xuất bảng mạch này]

Trên các Fig.1A và Fig.1B, hướng phải-trái trên mặt phẳng của tấm thể hiện hướng phải-trái (hướng thứ nhất). Trên Fig.1B, hướng lên-xuống trên mặt phẳng của tấm thể hiện hướng lên-xuống (một ví dụ về độ dày tấm) (hướng thứ hai vuông góc với hướng thứ nhất), phía trên trên mặt phẳng của tấm thể hiện phía trên (một ví dụ về phía trên theo chiều độ dày) (một phía theo hướng thứ hai), và phía dưới trên mặt phẳng của tấm thể hiện phía dưới (phía còn lại theo chiều độ dày) (phía còn lại theo hướng thứ hai). Trên Fig.1A, hướng lên-xuống trên mặt phẳng của

tám thể hiện hướng trước-sau (hướng thứ ba vuông góc với hướng thứ nhất và hướng thứ hai).

Cụ thể, các hướng phù hợp với các mũi tên chỉ hướng được mô tả trong mỗi hình.

Định nghĩa về các hướng không có nghĩa là giới hạn đến các hướng của bảng mạch nối dây 1 và thiết bị tạo ảnh 30 (như được mô tả sau đây) ở thời điểm sản xuất và sử dụng của nó.

Trên Fig.1A, lớp cách điện che phủ 6 (được mô tả sau đây) được bỏ qua để thể hiện một cách rõ ràng sự sắp xếp và hình dạng của lớp chắn 5 (được mô tả sau đây).

Trong mỗi hình vẽ dưới đây, góc, kích cỡ, hoặc tương tự của mỗi thành phần có thể được minh họa quá mức và có thể không thể hiện chính xác để dễ dàng hiểu được sáng chế.

Như được thể hiện trên các Fig.1A và Fig.1B, bảng mạch nối dây 1 có độ dày xác định trước T, và có dạng hình tám mở rộng theo chiều mặt phẳng (cả hướng phải-trái và hướng trước-sau). Bảng mạch nối dây 1 là bảng mạch nối dây dùng cho thiết bị tạo ảnh để kết nối bằng điện với phần tử tạo ảnh (không được thể hiện) mà được bố trí ở phía dưới của nó được đặt (lắp đặt) trong thiết bị tạo ảnh (không được thể hiện).

Bảng mạch nối dây 1 theo thứ tự bao gồm lớp cách điện nền 2, lớp dẫn điện 3, lớp cách điện trung gian 4 là một ví dụ của lớp cách điện, lớp chắn 5, và lớp cách điện che phủ 6 theo hướng lên trên.

Lớp cách điện nền 2 có hình dạng phẳng mở rộng theo chiều mặt phẳng. Lớp cách điện nền 2 tạo ra bề mặt dưới của bảng mạch nối dây 1. Lớp cách điện nền 2 có phần hở nền 11 đi qua theo chiều độ dày.

Vật liệu dùng cho lớp cách điện nền 2 là vật liệu cách điện. Các ví dụ về vật liệu cách điện bao gồm các loại nhựa tổng hợp như polyimide, polyamide, acryl, polyete nitrile, polyete sulfon, polyetylen terephthalate, polyetylen naphthalate, và polyvinyl clorua. Tốt hơn là, polyimide được sử dụng.

Lớp cách điện nền 2 có hệ số giãn nở nhiệt, ví dụ, bằng 10 (ppm/K) hoặc

hơn, tốt hơn là 15 (ppm/K) hoặc hơn, và ví dụ, 50 (ppm/K) hoặc ít hơn. Hệ số giãn nở nhiệt của lớp cách điện nền 2 là hệ số giãn nở nhiệt tuyến tính theo chiều mặt phẳng, và có thể, ví dụ, được đo bằng cách phân tích nhiệt cơ trong các điều kiện của JIS K 7197.

Lớp cách điện nền 2 có độ dày bằng, ví dụ, 1 μm hoặc hơn, tốt nhất là 5 μm hoặc hơn, và ví dụ, 30 μm hoặc ít hơn, tốt nhất là 10 μm hoặc ít hơn.

Lớp dẫn điện 3 được bố trí trên lớp cách điện nền 2. Lớp dẫn điện 3 có các khuôn được bố trí có các khoảng cách nhau theo chiều mặt phẳng. Cụ thể là, lớp dẫn điện 3 độc lập bao gồm các lớp tín hiệu 12 mà được kết nối bằng điện với phần tử tạo ảnh (không được thể hiện) và lớp tiếp đất 13.

Các lớp tín hiệu 12 được bố trí trên bề mặt trên của lớp cách điện nền 2 với các khoảng cách nhau theo chiều mặt phẳng. Các lớp tín hiệu 12 được kết nối bằng điện với phần tử tạo ảnh (được mô tả sau đây, không được thể hiện).

Lớp tiếp đất 13 một cách tích hợp bao gồm phần tiếp xúc tiếp đất 14 và phần mở rộng 16 mà mở rộng từ phần tiếp xúc tiếp đất 14 theo chiều mặt phẳng.

Phần tiếp xúc tiếp đất 14 được bố trí ở phía trong của phần hở nền 11 khi đưa vào theo chiều độ dày, và mở rộng theo hướng lên-xuống. Phần tiếp xúc tiếp đất 14 bao gồm phần dưới tiếp đất 19 mà lấp đầy phần hở nền 11 và phần trên tiếp đất 20 mà tiếp tục được đặt ở phía trên của phần dưới tiếp đất 19.

Phần mở rộng 16 được tạo hình thống nhất với phần trên tiếp đất 20. Phần mở rộng 16 được bố trí cạnh phần tiếp xúc tiếp đất 14 khi được đưa vào theo chiều độ dày.

Các ví dụ của vật liệu dùng cho lớp dẫn điện 3 bao gồm các vật liệu kim loại như đồng, bạc, vàng, niken, hợp kim bao gồm các kim loại này, và hợp kim dễ hàn. Tốt nhất là, đồng được sử dụng. Lớp dẫn điện 3 có độ dày bằng 1 μm hoặc hơn, tốt nhất là 3 μm hoặc hơn, và ví dụ, 15 μm hoặc ít hơn, tốt nhất là 10 μm hoặc ít hơn.

Lớp cách điện trung gian 4 có hình dạng phẳng mở rộng theo chiều mặt phẳng. Lớp cách điện trung gian 4 được bố trí trên bề mặt trên của lớp cách điện nền 2 sao cho che lớp dẫn điện 3. Cụ thể là, lớp cách điện trung gian 4 che lớp tín

hiệu 12, phần trên tiếp đất 20, và phần mở rộng 16. Lớp cách điện trung gian 4 có phần hở trung gian 15 mà lộ ra một phần của bề mặt trên của phần mở rộng 16 như một ví dụ của phần hở cách điện.

Phần hở trung gian 15 đi qua lớp cách điện trung gian 4 (phần phía trên đối với phần mở rộng 16 trong lớp cách điện trung gian 4) theo chiều độ dày. Phần hở trung gian 15 có hình dạng vót nhọn mà trong đó diện tích mặt cắt ngang phần hở (diện tích mặt cắt ngang phần hở khi cắt theo chiều mặt phẳng) giảm đi khi càng gần hơn với phía dưới. Phần phía bên trong 10 của lớp cách điện trung gian 4 mà xác định phần hở trung gian 15 có phần hình trụ mở rộng theo chiều độ dày. Cụ thể hơn là, trong hình vẽ mặt cắt ngang phía trước (khi cắt theo chiều độ dày và hướng phải-trái), bề mặt phía trong 10 là mặt phẳng hình vót nhọn (mặt phẳng được tạo nghiêng) hướng về nhau theo hướng phải-trái, và được tạo thành sao cho khoảng cách đối diện giảm đi khi càng gần hơn với phía dưới. Tức là, phần hở trung gian 15 thường có dạng hình nón cụt mà trong đó các kích cỡ của nó giảm theo hướng đi xuống.

Vật liệu dùng cho lớp cách điện trung gian 4 là giống với vật liệu dùng cho lớp cách điện nền 2. Độ dày của lớp cách điện trung gian 4 là khoảng cách giữa bề mặt trên của lớp cách điện nền 2 và bề mặt trên của lớp cách điện trung gian 4, và, ví dụ, bằng 1 μm hoặc lớn hơn, tốt hơn là 5 μm hoặc lớn hơn, và ví dụ, 30 μm hoặc ít hơn, tốt hơn là 10 μm hoặc ít hơn.

Độ dài lớn nhất (kích cỡ lớn nhất) của cạnh đầu phía trên của phần hở trung gian 15, ví dụ, bằng 10 μm hoặc lớn hơn, tốt hơn là 50 μm hoặc lớn hơn, và ví dụ, 2000 μm hoặc ít hơn, tốt hơn là 1500 μm hoặc ít hơn. Độ dài lớn nhất (kích cỡ lớn nhất) của cạnh đầu phía dưới của phần hở trung gian 15, ví dụ, bằng 10 μm hoặc lớn hơn, tốt hơn là 50 μm hoặc lớn hơn, và ví dụ, 2000 μm hoặc ít hơn, tốt hơn là 1500 μm hoặc ít hơn. Góc α được tạo ra giữa bề mặt phía trong 10 và bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15, ví dụ, bằng 90 độ hoặc lớn hơn, tốt hơn là 120 độ hoặc lớn hơn, và ví dụ, 170 độ hoặc ít hơn, tốt hơn là 160 độ hoặc ít hơn.

Lớp chắn 5 là lớp mà chắn sóng điện từ từ phía ngoài. Lớp chắn 5 được bố trí ở phía trên đối với lớp dẫn điện 3. Lớp chắn 5 có dạng hình tấm mở rộng theo hướng trước-sau. Cụ thể là, các lớp chắn 5 được bố trí với các khoảng cách nhau

theo hướng phải-trái. Theo cách thức này, các phần hở chắn 27 được bố trí giữa các lớp chắn 5 mà ở cạnh nhau. Các phần hở chắn 27 được đặt các khoảng cách nhau theo hướng phải-trái, và mỗi phần hở chắn 27 lộ ra một phần bề mặt trên của lớp cách điện trung gian 4. Lớp chắn 5 có khuôn mà trong đó phần hở chắn được mô tả ở trên 27 được bố trí, và có phần hở trung gian 15.

Tỷ lệ diện tích của phần hở chắn 27 trong lớp chắn 5, ví dụ, bằng 1% hoặc lớn hơn, tốt hơn là 10% hoặc lớn hơn, và ví dụ, 90% hoặc ít hơn, tốt hơn là 70% hoặc ít hơn.

Lớp chắn 5 bao gồm phần phẳng 21 và phần được tạo lõm 22.

Phần phẳng 21 được bố trí trên bề mặt trên của lớp cách điện trung gian 4. Phần phẳng 21 có khuôn bao quanh phần hở trung gian 15. Phần phẳng 21 có dạng hình tâm có độ dày định trước và mở rộng theo chiều mặt phẳng.

Phần được tạo lõm 22 được bố trí ở phía trong của phần hở trung gian 15, và có hình dạng mà được tạo lõm xuống phía dưới từ cạnh đầu trong của phần phẳng 21 trên phần ngoại vi của phần hở trung gian 15. Phần được tạo lõm 22 thường có dạng hình chữ U khi được nhìn trong phần cắt ngang mà tiếp tục được bố trí trên bề mặt phía trong 10 và bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15. Phần được tạo lõm 22 một cách tích hợp bao gồm các thành bên 23 và phần phẳng thứ hai 24.

Thành bên 23 là thành được tạo nghiêng mà nghiêng xuống dưới (cụ thể là, xiên xuống và hướng vào trong) từ cạnh đầu trong của phần được tạo lõm 22 trên phần ngoại vi của phần hở trung gian 15. Thành bên 23 thường có dạng hình trụ có chóp cụt (hình nón cụt với bên trong rỗng) mà trong đó kích cỡ của nó giảm dần xuống phía dưới. Thành bên 23 che bề mặt phía trong 10.

Phần phẳng thứ hai 24 là thành dưới mà nối các cạnh đầu dưới của các thành bên 23. Phần phẳng thứ hai 24 tiếp xúc với bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15. Phần phẳng thứ hai 24 có hình dạng tương ứng với cạnh đầu dưới của bề mặt phía trong 10, cụ thể là, hình dạng tròn thông thường khi được nhìn từ phía trên.

Độ dày của phần phẳng 21, độ dày của thành bên 23, và độ dày của phần phẳng thứ hai 24 nói chung bằng nhau, và độ dày T_s của lớp chắn 5.

Lớp chắn 5 theo thứ tự bao gồm lớp kết dính 8 và lớp thân chính 9 hướng lên. Lớp chắn 5 là tấm mỏng của lớp kết dính 8 và lớp thân chính 9. Tốt hơn là, lớp chắn 5 chỉ gồm có lớp kết dính 8 và lớp thân chính 9. Cụ thể hơn là, trong lớp chắn 5, mỗi phần phẳng 21 và phần được tạo lõm 22 (thành bên 23 và phần phẳng thứ hai 24) bao gồm lớp kết dính 8 và lớp thân chính 9.

Trong phần phẳng 21, lớp thân chính 9 tiếp xúc nhiều với bề mặt trên của lớp cách điện trung gian 4 qua lớp kết dính 8.

Trong phần được tạo lõm 22, lớp thân chính 9 tiếp xúc nhiều với bề mặt phía trong 10 của lớp cách điện trung gian 4 thông qua lớp kết dính 8, và tiếp xúc nhiều với bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15.

Vật liệu dùng cho lớp kết dính 8 được chọn sao cho lực dính của lớp kết dính 8 đối với lớp cách điện trung gian 4 và lực dính của lớp kết dính 8 đối với lớp thân chính 9 lớn hơn lực dính của lớp thân chính 9 đối với lớp cách điện trung gian 4. Các ví dụ về vật liệu dùng cho lớp kết dính 8 bao gồm crôm và niken. Tốt hơn là, crôm được sử dụng. Khi vật liệu dùng cho lớp kết dính 8 là crôm, các đặc tính kết dính của lớp thân chính 9 đối với lớp cách điện trung gian 4 và các đặc tính kết dính của lớp thân chính 9 đối với phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15 có thể được tăng thêm.

Hệ số giãn nở nhiệt của lớp kết dính 8, ví dụ, khác với của lớp cách điện trung gian 4. Cụ thể là, hệ số giãn nở nhiệt của lớp kết dính 8 nhỏ hơn của lớp cách điện trung gian 4, và cụ thể hơn là, ví dụ, 90% hoặc ít hơn, tốt hơn là 75% hoặc ít hơn, tốt hơn là 50% hoặc ít hơn, còn tốt hơn nữa là 45% hoặc ít hơn, và ví dụ, 10% hoặc lớn hơn, tốt hơn là 20% hoặc lớn hơn đối với hệ số giãn nở nhiệt của lớp cách điện trung gian 4.

Khi phần trăm của hệ số giãn nở nhiệt của lớp kết dính 8 đối với phần trăm này của lớp cách điện trung gian 4 là giới hạn trên được mô tả ở trên hoặc ít hơn, lớp kết dính 8 không dễ để bắt kịp sự giãn dài của lớp cách điện trung gian 4 theo chiều mặt phẳng bằng cách gia nhiệt trong bước sản xuất được mô tả sau đây, và sự hư hại như nứt gãy dễ xảy ra trong lớp kết dính 8. Tuy nhiên, trong phương pháp sản xuất bằng mạch nối dây 1 (được mô tả sau đây), như được mô tả sau đây,

tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính 9 với độ dày T_a của lớp kết dính 8 lớn hơn hoặc bằng 4, để có thể ngăn sự hư hại cho lớp kết dính 8.

Cụ thể là, lớp kết dính 8 có hệ số giãn nở nhiệt, ví dụ, dưới 10 (ppm/K), tốt hơn là 9 (ppm/K) hoặc ít hơn, tốt hơn nữa là 8 (ppm/K) hoặc ít hơn, và ví dụ, 1 (ppm/K) hoặc lớn hơn.

Độ dày T_a của lớp kết dính 8 được thiết đặt sao cho thỏa mãn tỷ lệ (T_b/T_a) được mô tả sau đây giữa độ dày T_b của lớp thân chính 9 với độ dày T_a của lớp kết dính 8, và cụ thể là, ví dụ, dưới 100 nm, tốt hơn là 50 nm hoặc ít hơn, tốt hơn nữa là 40 nm hoặc ít hơn, còn tốt hơn nữa là 30 nm hoặc ít hơn, và ví dụ, 2 nm hoặc lớn hơn.

Vật liệu dùng cho lớp thân chính 9 được chọn sao cho lực dính của lớp kết dính 8 đối với lớp thân chính 9 lớn hơn lực dính của lớp thân chính 9 đối với lớp cách điện trung gian 4. Vật liệu dùng cho lớp thân chính 9 có thể là, ví dụ, giống hoặc khác với vật liệu của lớp kết dính 8, và tốt hơn là khác với vật liệu dùng cho lớp kết dính 8. Cụ thể là, các ví dụ về vật liệu dùng cho lớp thân chính 9 bao gồm các kim loại như đồng, crôm, niken, vàng, bạc, platin, paladi, titan, tantali, và hợp kim để hàn hoặc hợp kim của nó. Tốt hơn là, đồng và niken được sử dụng, tốt hơn nữa là, đồng được sử dụng.

Hệ số giãn nở nhiệt của lớp thân chính 9, ví dụ, xấp xỉ hệ số giãn nở nhiệt của lớp cách điện trung gian 4. Hệ số giãn nở nhiệt của lớp thân chính 9 đối với hệ số này của lớp cách điện trung gian 4, ví dụ, bằng 70% hoặc lớn hơn, tốt hơn là 80% hoặc lớn hơn, tốt hơn nữa là 90% hoặc lớn hơn, còn tốt hơn nữa là 95% hoặc lớn hơn, và ví dụ, 110% hoặc ít hơn, tốt hơn là 100% hoặc ít hơn.

Khi phần trăm của hệ số giãn nở nhiệt của lớp thân chính 9 đối với của lớp cách điện trung gian 4 là giới hạn trên được mô tả ở trên hoặc ít hơn và giới hạn dưới được mô tả ở trên hoặc lớn hơn, hệ số giãn nở nhiệt của lớp thân chính 9 xấp xỉ hệ số này của lớp cách điện trung gian 4, sao cho ngay cả khi hệ số giãn nở nhiệt của lớp kết dính 8 khác đáng kể so với hệ số này của lớp cách điện trung gian 4, sự giãn dài của lớp cách điện trung gian 4 và sự giãn dài của lớp kết dính 8 khớp bằng cách gia nhiệt trong bước sản xuất được mô tả sau đây, và có thể ngăn sự hư hại của lớp kết dính 8.

Cụ thể là, lớp thân chính 9 có hệ số giãn nở nhiệt, ví dụ, bằng 10 (ppm/K) hoặc lớn hơn, tốt hơn là 13 (ppm/K) hoặc lớn hơn, tốt hơn nữa là 15 (ppm/K) hoặc lớn hơn, và ví dụ, 20 (ppm/K) hoặc ít hơn.

Độ dày Tb của lớp thân chính 9 được thiết đặt sao cho thỏa mãn tỷ lệ (Tb/Ta) được mô tả sau đây, và cụ thể là, ví dụ, bằng 50 nm hoặc lớn hơn, tốt hơn là 100 nm hoặc lớn hơn, tốt hơn nữa là 110 nm hoặc lớn hơn, và ví dụ, 250 nm hoặc ít hơn, tốt hơn là 200 nm hoặc ít hơn.

Tỷ lệ (Tb/Ta) độ dày Tb của lớp thân chính 9 với độ dày Ta của lớp kết dính 8, ví dụ, lớn hơn hoặc bằng 4, tốt hơn là 5 hoặc lớn hơn, và ví dụ, 20 hoặc ít hơn, tốt hơn là 10 hoặc ít hơn.

Khi tỷ lệ (Tb/Ta) là giới hạn dưới được mô tả ở trên dưới đây, các đặc tính kết dính của lớp chắn 5 không thể được cải thiện. Nói cách khác, theo một phương án, tỷ lệ (Tb/Ta) là giới hạn dưới được mô tả ở trên hoặc lớn hơn, để các đặc tính kết dính của lớp chắn 5 có thể được cải thiện.

Như các chi tiết được mô tả dưới đây, khi tỷ lệ (Tb/Ta) là giới hạn dưới được mô tả ở trên hoặc lớn hơn, lớp kết dính 8 đủ mỏng khi được so sánh với lớp thân chính 9. Do đó, lớp kết dính 8 có thể bắt kịp lớp cách điện trung gian 4 và lớp thân chính 9, và có thể ngăn sự hư hại của lớp kết dính 8. Khi tỷ lệ (Tb/Ta) là giới hạn dưới được mô tả ở trên hoặc lớn hơn, lớp thân chính 9 đủ dày so với lớp kết dính 8. Do đó, lớp thân chính 9 có thể đẩy được lớp kết dính 8, để ngăn sự hư hại cho lớp kết dính 8.

Lớp chắn 5 có độ dày Ts, ví dụ, bằng 60 nm hoặc lớn hơn, tốt hơn là 100 nm hoặc lớn hơn, và ví dụ, 3000 nm hoặc ít hơn, tốt hơn là 1000 nm hoặc ít hơn. Độ dày Ts của lớp chắn 5 là tổng (Ta + Tb) của độ dày Ta của lớp kết dính 8 và độ dày Tb của lớp thân chính 9.

Phần cách điện che phủ 6 có hình dạng phẳng mở rộng theo chiều mặt phẳng. Phần cách điện che phủ 6 tạo ra bề mặt trên của bảng mạch nổi dây 1. Phần cách điện che phủ 6 được bố trí trên bề mặt trên của lớp cách điện trung gian 4 sao cho che lớp chắn 5. Phần cách điện che phủ 6 lấp đầy phần được tạo lõm 22. Vật liệu dùng cho lớp cách điện che phủ 6 là giống với vật liệu dùng cho lớp cách điện nền 2. Hệ số giãn nở nhiệt của lớp cách điện che phủ 6 là giống với của lớp cách điện

nền 2. Độ dày của lớp cách điện che phủ 6 không được giới hạn cụ thể, và, ví dụ, bằng 1 μm hoặc lớn hơn, tốt hơn là 5 μm hoặc lớn hơn, và ví dụ, 30 μm hoặc ít hơn, tốt hơn là 10 μm hoặc ít hơn.

Độ dày T của bảng mạch nối dây 1 là tổng độ dày của lớp cách điện nền 2, lớp cách điện trung gian 4, và lớp cách điện che phủ 6, và cụ thể là, khoảng cách giữa bề mặt dưới của lớp cách điện nền 2 và bề mặt trên của lớp cách điện che phủ 6. Cụ thể là, bảng mạch nối dây 1 có độ dày T, ví dụ, bằng 5 μm hoặc lớn hơn, tốt hơn là 10 μm hoặc lớn hơn, và ví dụ, 100 μm hoặc ít hơn, tốt hơn là 50 μm hoặc ít hơn.

Tiếp theo, phương pháp sản xuất bảng mạch nối dây 1 được mô tả.

Như được thể hiện trên các Fig.2A đến 3E và 1B, phương pháp sản xuất bảng mạch nối dây 1 theo thứ tự bao gồm bước bố trí lớp cách điện nền 2 trên bảng hỗ trợ 25, bước thứ nhất là bố trí lớp dẫn điện 3, bước thứ hai là bố trí lớp cách điện trung gian 4, bước thứ ba là bố trí lớp chắn 5, bước bố trí lớp cách điện che phủ 6, và bước tháo bảng hỗ trợ 25.

Như được thể hiện trên Fig.2A, trong bước bố trí lớp cách điện nền 2, đầu tiên, bảng hỗ trợ 25 được chuẩn bị.

Bảng hỗ trợ 25 có hình dạng phẳng mở rộng theo chiều mặt phẳng và có bề mặt trên phẳng. Ví dụ về vật liệu dùng cho bảng hỗ trợ 25 bao gồm các kim loại như thép không gỉ, hợp kim 42, và nhôm; các loại nhựa; và ceramic. Tốt hơn là, kim loại được sử dụng. Bảng hỗ trợ 25 có độ dày bằng, ví dụ, 5 μm hoặc hơn, tốt nhất là 10 μm hoặc hơn, và ví dụ, 50 μm hoặc ít hơn, tốt nhất là 30 μm hoặc ít hơn.

Để bố trí lớp cách điện nền 2 trên bảng hỗ trợ 25, ví dụ, lớp cách điện nền 2 có phần hở nền 11 được tạo ra từ vật liệu cách điện trên bề mặt trên của bảng hỗ trợ 25 bằng cách xử lý quang. Hoặc, lớp cách điện nền 2 mà trong đó phần hở nền 11 được tạo ra trước được bố trí (được đặt) trên bề mặt trên của bảng hỗ trợ 25.

Theo cách thức này, lớp cách điện nền 2 được bố trí trên bề mặt trên của bảng hỗ trợ 25.

Như được thể hiện trên Fig.2B, tiếp theo, trong bước thứ nhất, lớp dẫn điện

3 được đặt trên lớp cách điện nền 2. Cụ thể là, lớp dẫn điện 3 được tạo ra từ lớp tín hiệu 12 và lớp nền 13, ví dụ, bằng phương pháp tạo khuôn như phương pháp cộng và phương pháp trừ.

Như được thể hiện trên Fig.2C, tiếp theo, trong bước thứ hai, lớp cách điện trung gian 4 được bố trí sao cho che lớp dẫn điện 3 và có phần hở trung gian 15 mà lộ ra một phần của bề mặt trên của phần mở rộng 16.

Lớp cách điện trung gian 4 có phần hở trung gian 15, ví dụ, được tạo ra từ vật liệu cách điện trên toàn bộ bề mặt trên của lớp cách điện nền 2 và bề mặt trên và các bề mặt cạnh của lớp dẫn điện 3 bằng cách xử lý quang học. Hoặc, lớp cách điện trung gian 4 mà trong đó phần hở trung gian 15 được tạo ra trước được bố trí (được đặt) trên lớp cách điện nền 2 và lớp dẫn điện 3.

Theo cách thức này, trong bước thứ hai, lớp cách điện trung gian 4 được bố trí sao cho che lớp dẫn điện 3 (ngoại trừ một phần của phần mở rộng 16) và có phần hở trung gian 15.

Như được thể hiện trên Fig.3D, trong bước thứ ba, lớp chắn 5 được bố trí trên bề mặt trên của lớp cách điện trung gian 4 sao cho có phần được tạo lõm 22 mà được bố trí ở phía trong của phần hở trung gian 15 và được tạo lõm xuống dưới.

Trong bước thứ ba, lớp kết dính 8, ví dụ, được tạo ra bằng phương pháp tạo tấm mỏng như phún xạ và mạ (mạ điện hoặc tương tự) (bước thứ tư), và sau đó, lớp thân chính 9 được tạo thành (bước thứ năm), sao cho lớp chắn 5 được tạo ra từ lớp kết dính 8 và lớp thân chính 9. Tốt hơn là, lớp chắn 5 được tạo ra bằng cách phún xạ. Trong bước phún xạ, lớp chắn 5 có độ dày thống nhất (cụ thể là, lớp kết dính 8 có độ dày thống nhất và lớp thân chính 9 có độ dày thống nhất) có thể được tạo thành.

Phương pháp tạo lớp kết dính 8 và phương pháp tạo lớp thân chính 9 có thể giống hoặc khác nhau, và tốt hơn là giống nhau.

Tốt hơn là, mỗi lớp kết dính 8 và lớp thân chính 9 được tạo ra bằng cách phún xạ. Tức là, lớp kết dính 8 được tạo ra bằng cách phún xạ (bước thứ tư), và sau đó, lớp thân chính 9 được tạo ra trên bề mặt trên của lớp kết dính 8 bằng cách phún xạ (bước thứ năm).

Sau đó, phần hở chấn 27, ví dụ, được tạo ra trong lớp chấn 5 bằng phương pháp loại bỏ tấm mỏng ví dụ như khắc (khắc khô, khắc ướt).

Như được thể hiện trên Fig.3E, tiếp theo, lớp cách điện che phủ 6 được bố trí trên bề mặt trên của lớp cách điện trung gian 4 và bề mặt trên và các bề mặt cạnh của lớp chấn 5.

Phần cách điện che phủ 6, ví dụ, được bố trí bằng cách xử lý quang. Cụ thể là, trong quá trình xử lý quang, đầu tiên, thành phần cách điện nhạy quang bao gồm phần nhạy quang và vật liệu cách điện được chuẩn bị, và sau đó, thành phần cách điện nhạy quang được sử dụng cho bề mặt trên của lớp cách điện trung gian 4 và bề mặt trên và các bề mặt cạnh của lớp chấn 5 được làm khô khi cần, để tấm được tạo ra. Tiếp theo, tấm được phát triển bằng cách phơi sáng qua lớp quang, để lớp cách điện che phủ 6 được tạo ra. Sau đó, lớp cách điện che phủ 6 được gia nhiệt (được gia nhiệt sau khi phơi sáng). Các điều kiện gia nhiệt là, ví dụ, các điều kiện mà trong đó vật liệu cách điện có thể được lưu hóa đủ (cụ thể là, imit hóa), và cụ thể là, nhiệt độ, ví dụ, bằng 250°C hoặc lớn hơn, tốt hơn là 300°C hoặc lớn hơn, và ví dụ, 400°C hoặc ít hơn, và thời gian, ví dụ, bằng 10 phút hoặc lớn hơn, tốt hơn là 30 phút hoặc lớn hơn, và ví dụ, 100 phút hoặc ít hơn.

Hoặc, lớp cách điện che phủ 6 mà được tạo ra trong khuôn định trước được bố trí (được đặt) trên lớp cách điện trung gian 4 và lớp chấn 5.

Tốt hơn là, việc xử lý quang được sử dụng dựa trên sự tin cậy trong việc tạo và sắp xếp khuôn.

Như được thể hiện trên Fig.1B, sau đó, bảng hỗ trợ 25 được loại bỏ khỏi bề mặt dưới của lớp cách điện nền 2 và bề mặt dưới của phần dưới tiếp đất 19, ví dụ, bằng cách bóc tách hoặc cách thức tương tự. Bề mặt dưới của lớp cách điện nền 2 và bề mặt dưới của phần dưới tiếp đất 19 được tiếp xúc xuống dưới.

Theo cách thức này, bảng mạch nổi dây 1 được sản xuất.

Sau đó, phần tử tạo ảnh (không được thể hiện) được đề xuất ở phía dưới của bảng mạch nổi dây 1, và phần tử tạo ảnh (không được thể hiện) được kết nối bằng điện với lớp tín hiệu 12. Phần tiếp xúc tiếp đất 14 được kết nối bằng điện với phần tiếp đất (không được thể hiện), và lớp nền 13 được tiếp đất.

Theo cách thức này, thiết bị tạo ảnh 30 bao gồm bảng mạch nối dây 1 và phần tử tạo ảnh (không được thể hiện) được thu nhận.

Trong bảng mạch nối dây 1, lớp chắn 5 có phần được tạo lõm 22, và ngay cả khi ứng suất F được thể hiện bởi mũi tên F trên Fig.1B được sử dụng cho lớp chắn 5 và lớp chắn 5 co lại, lớp chắn 5 theo thứ tự bao gồm lớp kết dính 8 và lớp thân chính 9 ở một phía theo chiều độ dày, và tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính 9 với độ dày T_a của lớp kết dính 8 lớn hơn hoặc bằng 4, để có thể ngăn việc giảm các đặc tính kết dính đối với lớp cách điện trung gian 4, và hơn nữa, có thể ngăn các đặc tính kết dính đối với một phần của phần mở rộng 16.

Trong bảng mạch nối dây 1, lớp chắn 5 có phần hở chắn 27, sao cho phần hở chắn 27 được bố trí ở phần mà không yêu cầu chắn sóng điện từ, và trong phần mà khác với phần này, để sóng điện từ được chắn bởi lớp chắn 5.

Trong bảng mạch nối dây 1, khi vật liệu dùng cho lớp cách điện trung gian 4 là polyimit, vật liệu dùng cho lớp kết dính 8 là crôm, và vật liệu dùng cho lớp thân chính 9 là đồng, có thể ngăn một cách hiệu quả các đặc tính kết dính của lớp thân chính 9 đối với lớp cách điện trung gian 4 bởi lớp kết dính 8.

Bảng mạch nối dây 1 là bảng mạch nối dây cho thiết bị tạo ảnh, sao cho thiết bị tạo ảnh 30 có độ tin cậy vượt trội có thể được tạo ra.

Theo phương pháp sản xuất bảng mạch nối dây 1, khi hệ số giãn nở nhiệt của lớp kết dính 8 khác với của lớp cách điện trung gian 4, bằng cách gia nhiệt (gia nhiệt sau khi phơi sáng) của lớp cách điện che phủ 6 được thể hiện trên Fig.3E, sự hư hại như nứt gãy có thể dễ xảy ra trong lớp kết dính 8 gây ra bởi sự chênh lệch giữa hệ số giãn nở nhiệt của lớp kết dính 8 và của lớp cách điện trung gian 4.

Tuy nhiên, trong phương pháp sản xuất bảng mạch nối dây 1, tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính 9 với độ dày T_a của lớp kết dính 8 lớn hơn hoặc bằng 4, để ngăn việc hư hại như được mô tả ở trên gây ra bởi sự chênh lệch hệ số giãn nở nhiệt.

Hệ số giãn nở nhiệt (17 (ppm/K)) của polyimit khác đáng kể so với hệ số giãn nở nhiệt (6,8 (ppm/K)) của crôm, trong khi tương tự với hệ số giãn nở nhiệt (16,8 (ppm/K)) của đồng. Do đó, lớp kết dính 8 không thể bắt kịp sự giãn dài của lớp cách điện trung gian 4 và lớp thân chính 9 bằng cách gia nhiệt (gia nhiệt sau

khi phơi sáng) của lớp cách điện che phủ 6 được thể hiện trên Fig.3E, và sự hư hại như nứt gãy có thể dễ xảy ra trong lớp kết dính 8.

Tuy nhiên, theo phương pháp sản xuất, tỷ lệ (T_b/T_a) độ dày T_b của lớp thân chính 9 với độ dày T_a của lớp kết dính 8 lớn hơn hoặc bằng 4, do đó các đặc tính kết dính vượt trội của lớp chắn 5 đối với lớp cách điện trung gian 4 có thể được đảm bảo.

Phương pháp sản xuất bảng mạch nối dây 1 là phương pháp sản xuất bảng mạch nối dây dùng cho thiết bị tạo ảnh, để sản xuất thiết bị tạo ảnh 30 có độ tin cậy vượt trội.

[Ví dụ cải biến]

Theo một phương án, bảng mạch nối dây 1 được mô tả như bảng mạch nối dây dùng cho thiết bị tạo ảnh, và cách sử dụng của nó không được giới hạn ở đây. Ngoài ra, ví dụ, bảng mạch nối dây 1 có thể cũng được sử dụng cho bảng kiểm tra (tám dẫn điện dị hướng), bảng mạch nối dây mềm dẻo, hoặc loại tương tự.

Theo một phương án, như được thể hiện trên Fig.1B, phần hở trung gian 15 tiếp xúc với một phần của bề mặt trên của phần mở rộng 16. Ngoài ra, ví dụ, thông qua việc không được thể hiện, thay vì việc này hoặc theo việc này, (một phần hoặc tất cả) bề mặt trên của phần trên tiếp đất 20 có thể cũng được lộ ra. Trong trường hợp này, phần phẳng thứ hai 24 của phần được tạo lõm 22 tiếp xúc với bề mặt trên của phần trên tiếp đất 20.

Theo một phương án, phần hở chắn 27 được tạo ra trong lớp chắn 5.

Tuy nhiên, ví dụ, như được thể hiện trên Fig.4, lớp chắn 5 mà không có phần hở chắn 27 (dựa vào các Fig.1A và Fig.1B) có thể cũng tiếp tục được tạo ra trên toàn bộ bề mặt trên của lớp cách điện trung gian 4, bề mặt phía trong 10, và bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15.

Như được thể hiện trên Fig.1B, tốt hơn là, phần hở chắn 27 được tạo ra trong lớp chắn 5.

Như được thể hiện trên Fig.4, khi phần hở chắn 27 không được tạo ra trong lớp chắn 5, ngay cả khi khí G (hơi nước hoặc tương tự từ hơi nước được hấp thụ bởi lớp cách điện trung gian 4) được tạo ra từ lớp cách điện trung gian 4 bằng

cách gia nhiệt trong bước được thể hiện trên Fig.3E, lớp chắn 5 chắn khí G và do đó, sự hư hại như biến dạng lớp cách điện trung gian 4 xảy ra. Do đó, các đặc tính kết dính của lớp kết dính 8 đối với lớp cách điện trung gian 4 giảm đi.

Tuy nhiên, như được thể hiện trên Fig.1B, khi phần hở chắn 27 được tạo ra trong lớp chắn 5, khí G được mô tả ở trên có thể được loại ra một cách hiệu quả từ phần hở chắn 27. Do đó, các đặc tính kết dính của lớp chắn 5 đối với lớp cách điện trung gian 4 có thể được cải thiện thêm.

Như được thể hiện trên Fig.5, ví dụ, lớp chắn 5 cũng có thể được tạo ra mà không có phần được tạo lõm 22. Trong trường hợp này, lớp chắn 5 còn có phần phẳng 21 và phần đế điện 28 mà lấp đầy phần hở trung gian 15, và các bề mặt trên của nó có hình dạng phẳng. Bề mặt trên của lớp chắn 5 song song với bề mặt trên của lớp cách điện trung gian 4. Phần đế điện 28 là cứng, và có bề mặt trên phẳng.

Theo cấu tạo này, khí G được mô tả ở trên có thể được loại bỏ một cách hiệu quả thông qua phần hở chắn 27.

Theo một phương án, như được thể hiện trên Fig.1B, bề mặt phía trong 10 có hình dạng vót nhọn. Ngoài ra, ví dụ, như được thể hiện trên Fig.6, bề mặt phía trong 10 cũng có thể có hình dạng thẳng theo chiều độ dày.

Ví dụ thực hiện sáng chế

Các giá trị số cụ thể theo tỷ lệ trộn (tỷ lệ hàm lượng), giá trị đặc tính, và tham số được sử dụng trong phần mô tả sau đây có thể được thay thế bằng các giá trị giới hạn trên (các giá trị số được xác định là “hoặc ít hơn” hoặc “dưới”) hoặc các giá trị giới hạn dưới (các giá trị số được xác định là “hoặc lớn hơn” hoặc “trên”) của các giá trị số tương ứng theo tỷ lệ trộn (tỷ lệ hàm lượng), giá trị đặc tính, và tham số được mô tả trong phần “mô tả chi tiết sáng chế” được mô tả ở trên.

Ví dụ 1

Như được thể hiện trên Fig.2A, lớp cách điện nền 2 làm bằng polyimit được tạo ra trên bề mặt trên của bảng hỗ trợ 25 được làm bằng thép không gỉ bằng cách xử lý quang.

Như được thể hiện trên Fig.2B, tiếp theo, lớp dẫn điện 3 một cách độc lập

bao gồm lớp tín hiệu 12 và lớp nền 13 và được làm bằng đồng được tạo ra trên bề mặt trên của lớp cách điện nền 2 bằng phương pháp cộng (bước thứ nhất).

Như được thể hiện trên Fig.2C, tiếp theo, lớp cách điện trung gian 4 có phần hở trung gian 15 và được làm bằng polyimide (hệ số giãn nở nhiệt: 17 (ppm/K)) được tạo ra trên bề mặt trên của lớp cách điện nền 2 để che lớp dẫn điện 3 bằng cách xử lý quang (bước thứ hai). Lớp cách điện trung gian 4 có độ dày bằng 10 μm .

Như được thể hiện bởi đường nét liền và đường nét mờ trên Fig.3D, tiếp theo, lớp kết dính 8 được làm bằng crôm (hệ số giãn nở nhiệt: 6,8 (ppm/K)) và có độ dày Ta bằng 30 μm được tạo ra bằng phương pháp phún xạ (bước thứ tư), và sau đó, lớp thân chính 9 được làm bằng đồng (hệ số giãn nở nhiệt: 16,8 (ppm/K)) và có độ dày Tb bằng 120 μm được tạo ra bằng phương pháp phún xạ (bước thứ năm). Theo cách thức này, lớp chắn 5 có phần phẳng 21 và phần được tạo lõm 22 được tạo ra. Lớp chắn 5 chưa có phần hở chắn 27, tức là, lớp kết dính 8 tiếp tục được tạo ra trên toàn bộ bề mặt trên của lớp cách điện trung gian 4, bề mặt phía trong 10 của lớp chắn 5, và bề mặt trên của phần mở rộng 16 mà được lộ ra từ phần hở trung gian 15. Cũng như vậy, lớp thân chính 9 được tạo ra trên toàn bộ bề mặt trên của lớp kết dính 8.

Như được thể hiện bởi đường nét liền trên Fig.3D, sau đó, lớp chắn 5 được tạo ra trong khuôn có phần hở chắn 27 bằng cách khắc ước (bước thứ ba).

Như được thể hiện trên Fig.3F, sau đó, lớp cách điện che phủ 6 được tạo ra trên bề mặt trên của lớp cách điện trung gian 4 để che lớp chắn 5 bằng cách xử lý quang. Cụ thể là, thành phần polyimide nhạy quang được sử dụng cho bề mặt trên của lớp cách điện trung gian 4, và bề mặt trên và các bề mặt cạnh của lớp chắn 5 sau đó được làm khô, để tấm được tạo ra. Tiếp theo, tấm được phát triển bằng cách phơi sáng qua lớp quang, để lớp cách điện che phủ 6 được tạo ra. Sau đó, lớp cách điện che phủ 6 được gia nhiệt ở 325°C trong 20 phút sau khi phơi sáng.

Như được thể hiện trên Fig.1B, sau đó, băng hỗ trợ 25 được loại bỏ bằng cách bóc tách.

Theo cách thức này, băng mạch nổi dây 1 được sản xuất.

Ví dụ 2 đến Ví dụ so sánh 2

Bảng mạch nối dây 1 được sản xuất theo cùng cách thức như trong Ví dụ 1, ngoại trừ việc độ dày Ta của lớp kết dính 8 và độ dày Tb của lớp thân chính 9 được theo dõi theo Bảng 1.

[Quan sát nứt gãy của Lớp kết dính]

Việc có hoặc không xuất hiện sự nứt gãy của lớp kết dính 8 được quan sát bằng kính hiển vi quang học. Các kết quả được thể hiện trên Bảng 1.

[Bảng 1]

	Ví dụ 1	Ví dụ 2	Ví dụ 3	Ví dụ so sánh 1	Ví dụ so sánh 2	Ví dụ so sánh 3	Ví dụ so sánh 4
Độ dày Ta của lớp kết dính [mm]	30	30	10	30	30	30	30
Độ dày Tb của lớp thân chính [mm]	120	150	50	90	70	60	50
Tỷ lệ (Tb/Ta)	4	5	5	3	2,3	2	1,7
Sự nứt gãy	Xuất hiện	Xuất hiện	Xuất hiện	Không xuất hiện	Không xuất hiện	Không xuất hiện	Không xuất hiện

Trong khi các phương án minh họa của sáng chế được đề xuất trong phần mô tả nêu trên, như vậy chỉ nhằm mục đích minh họa và không được hiểu là giới hạn đến phạm vi sáng chế. Các sửa đổi và biến thể của sáng chế mà là hiển nhiên với những người có trình độ trung bình trong lĩnh vực kỹ thuật được thể hiện bởi bộ yêu cầu bảo hộ dưới đây.

Khả năng áp dụng công nghiệp

Bảng mạch nối dây được sử dụng cho thiết bị tạo ảnh.

Danh mục số chỉ dẫn

- 1 Bảng mạch nối dây (bảng mạch nối dây dùng cho thiết bị tạo ảnh)
- 3 Lớp dẫn điện
- 4 Lớp cách điện trung gian

5	Lớp chắn
8	Lớp kết dính
9	Lớp thân chính
15	Phần hở trung gian
22	Phần được tạo lõm
30	Thiết bị tạo ảnh
Ta	Độ dày của lớp kết dính
Tb	Độ dày của lớp thân chính

YÊU CẦU BẢO HỘ

1. Bảng mạch nối dây theo thứ tự bao gồm:

lớp dẫn điện, lớp cách điện, lớp chắn và lớp cách điện che phủ ở một phía theo chiều độ dày, trong đó:

lớp cách điện che lớp dẫn điện và có phần hở cách điện lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp dẫn điện;

lớp chắn có phần được tạo lõm được bố trí ở phía trong của phần hở cách điện và được tạo lõm về phía còn lại theo chiều độ dày để tiếp xúc với lớp dẫn điện;

lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính ở một phía theo chiều độ dày;

tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính lớn hơn hoặc bằng 4;

độ dày T_b của lớp thân chính là 250 nm hoặc nhỏ hơn; và

lớp cách điện che phủ tiếp xúc với bề mặt một phía theo hướng độ dày của lớp thân chính.

2. Bảng mạch nối dây theo thứ tự bao gồm:

lớp dẫn điện, lớp cách điện, lớp chắn, và lớp cách điện che phủ về một phía theo hướng độ dày, trong đó:

lớp cách điện che lớp dẫn điện và có phần hở cách điện lộ ra một phần của bề mặt một phía theo hướng độ dày của lớp dẫn điện,

lớp chắn có phần được tạo lõm được bố trí ở phía trong của phần hở cách điện và được tạo lõm về phía còn lại theo hướng độ dày sao cho tiếp xúc với lớp dẫn điện,

lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính về một phía theo hướng độ dày,

tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính là 4 hoặc lớn hơn và 20 hoặc nhỏ hơn,

lớp cách điện che phủ tiếp xúc với bề mặt một phía theo hướng độ dày của lớp thân chính, và

độ dày Ta của lớp kết dính là 30 nm hoặc nhỏ hơn.

3. Bảng mạch nối dây theo điểm 1 hoặc 2, trong đó:

lớp chắn có phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện.

4. Bảng mạch nối dây theo điểm 1 hoặc 2, trong đó:

vật liệu dùng cho lớp cách điện là polyimide,

vật liệu dùng cho lớp kết dính là crôm, và

vật liệu dùng cho lớp thân chính là đồng.

5. Bảng mạch nối dây theo điểm 1 hoặc 2 là bảng mạch nối dây dùng cho thiết bị tạo ảnh.

6. Bảng mạch nối dây theo thứ tự bao gồm:

lớp dẫn điện, lớp cách điện, lớp chắn và lớp cách điện che phủ ở một phía theo chiều độ dày, trong đó:

lớp chắn có phần hở chắn lộ ra một phần của bề mặt một phía theo chiều độ dày của lớp cách điện,

lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính về một phía theo hướng độ dày,

tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính là 4 hoặc lớn hơn,

độ dày T_b của lớp thân chính là 250 nm hoặc nhỏ hơn, và

lớp cách điện che phủ tiếp xúc với bề mặt một phía theo hướng độ dày của lớp thân chính.

7. Bảng mạch nối dây theo thứ tự bao gồm:

lớp dẫn điện, lớp cách điện, lớp chắn, và lớp cách điện che phủ về một phía theo hướng độ dày, trong đó:

lớp chắn có phần hở chắn lộ ra một phần của bề mặt một phía theo hướng độ dày của lớp cách điện,

lớp chắn theo thứ tự bao gồm lớp kết dính và lớp thân chính về một phía theo hướng độ dày,

tỷ lệ (T_b/T_a) của độ dày T_b của lớp thân chính trên độ dày T_a của lớp kết dính là 4 hoặc lớn hơn và 20 hoặc nhỏ hơn,

lớp cách điện che phủ tiếp xúc với bề mặt một phía theo hướng độ dày của lớp thân chính, và

độ dày T_a của lớp kết dính là 30 nm hoặc nhỏ hơn.

1/5

FIG.1A

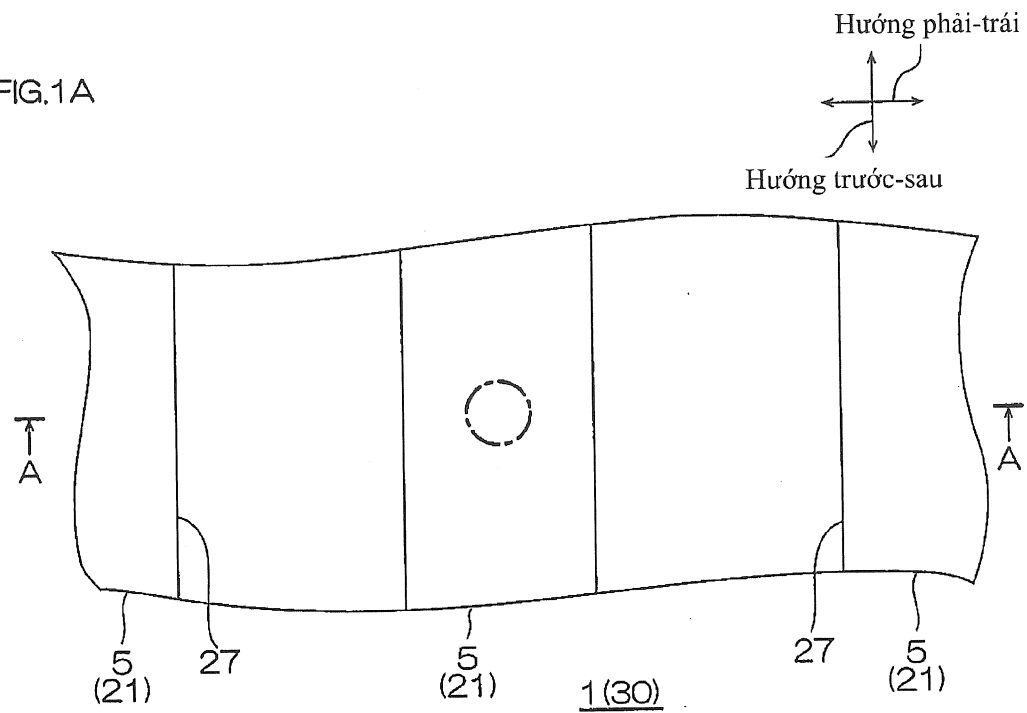
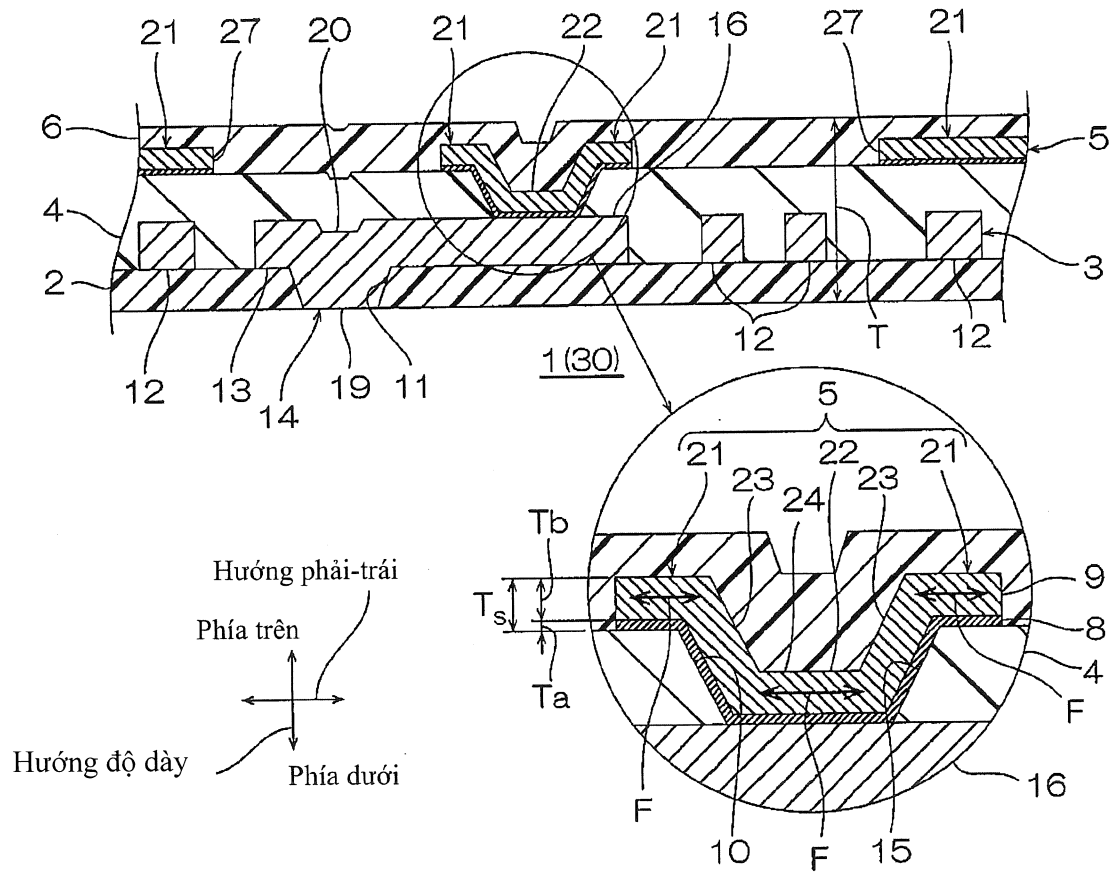
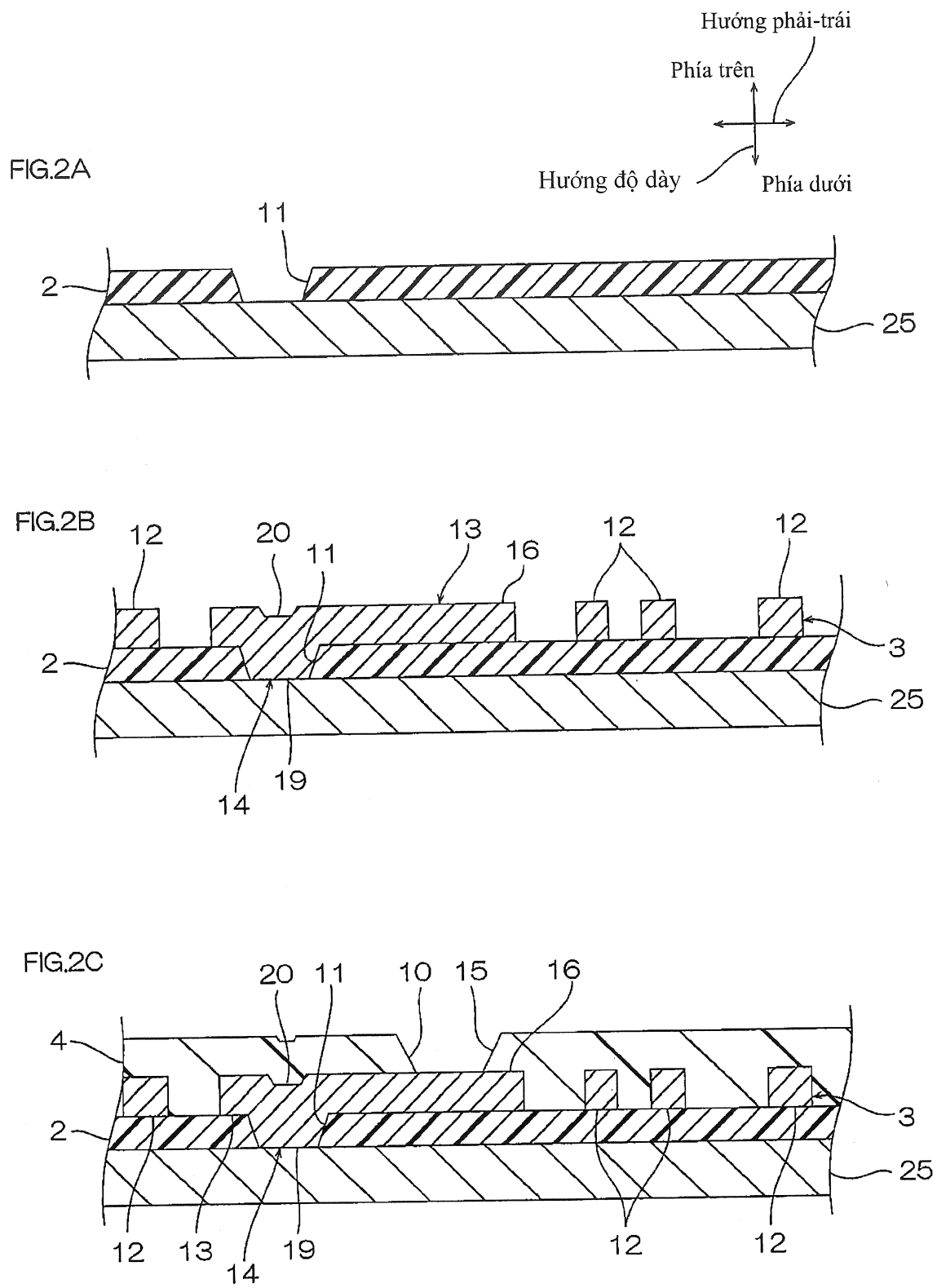


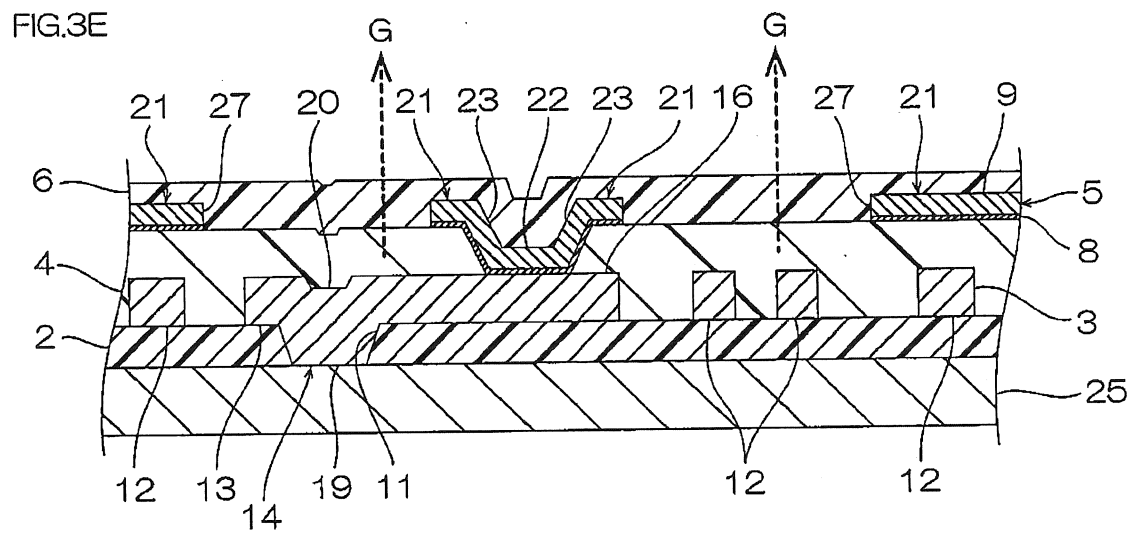
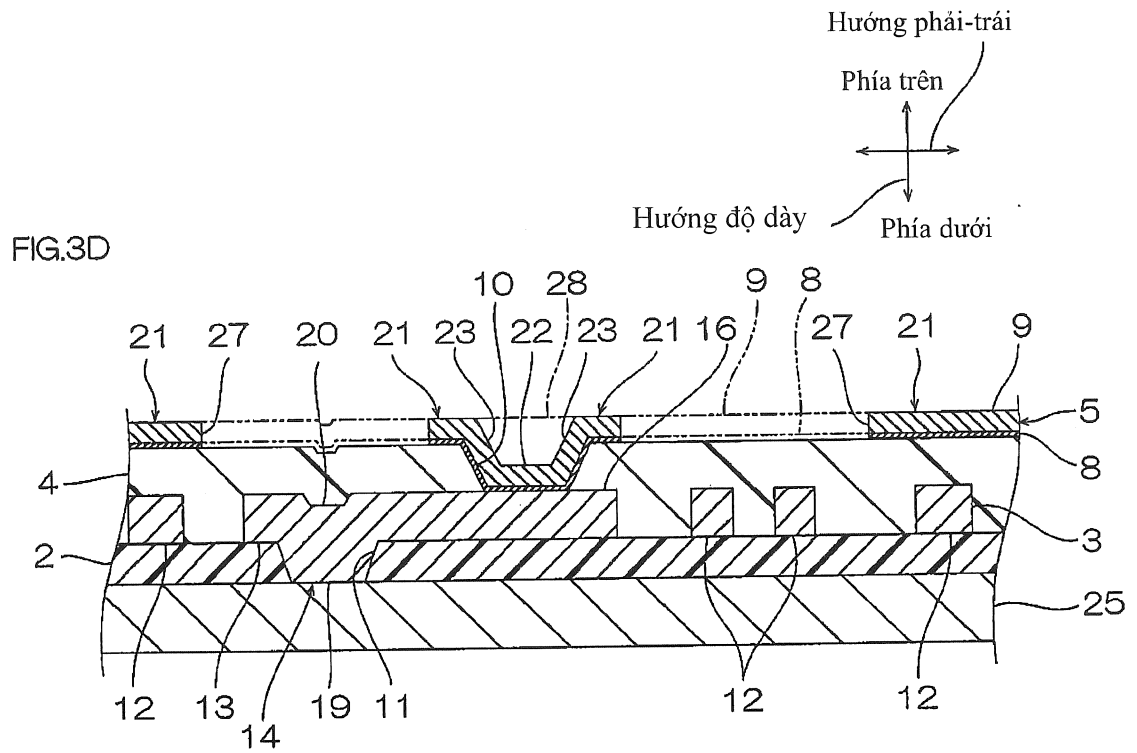
FIG.1B



2/5



3/5



4/5

FIG.4

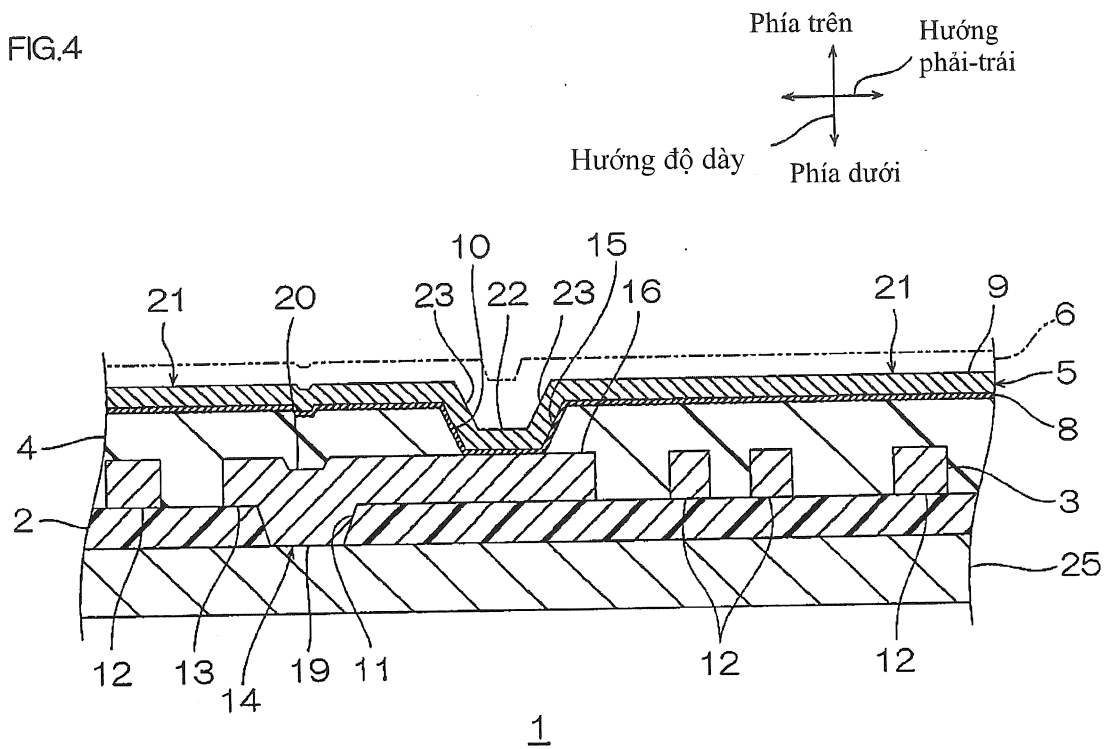
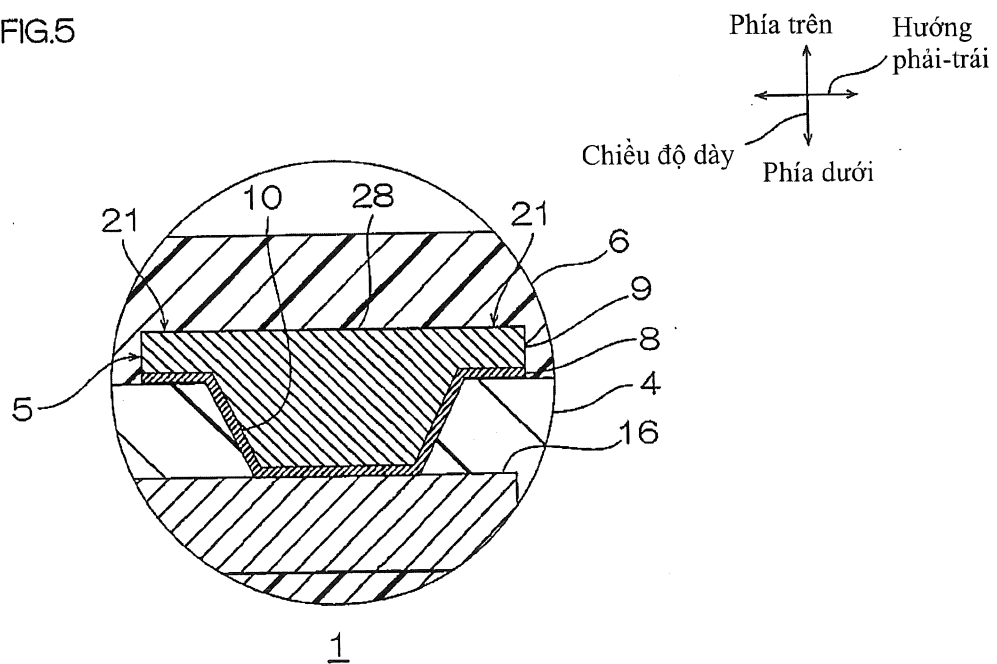


FIG.5



5/5

FIG.6

