



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) CỤC SỞ HỮU TRÍ TUỆ



1-0044912

(51)^{2020.01} **H01L 27/146**; H01L 25/07; H04N 5/369; (13) **B**
H01L 25/065; H01L 25/18

(21) 1-2020-03507

(22) 27/12/2018

(86) PCT/JP2018/048364 27/12/2018

(87) WO2019/131965 04/07/2019

(30) 62/610,806 27/12/2017 US; PCT/JP2018/036 417 28/09/2018 JP

(45) 25/04/2025 445

(43) 25/05/2021 398A

(71) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

4-14-1, Asahicho, Atsugi-shi, Kanagawa 2430014, Japan

(72) NAKAZAWA, Keiichi (JP); KITANO, Yoshiaki (JP); YAMASHITA, Hirofumi (JP); ISHIDA, Minoru (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ PHÁT HIỆN ÁNH SÁNG

(21) 1-2020-03507

(57) Sáng chế đề cập đến phần tử tạo ảnh bao gồm: lớp nền thứ nhất, lớp nền thứ hai, và lớp nền thứ ba mà được xếp chồng theo thứ tự này. Lớp nền thứ nhất bao gồm điểm ảnh cảm biến mà thực hiện sự chuyển đổi quang điện và lớp nền thứ hai bao gồm mạch đọc được ghép nối với nhau bằng điện bởi đường nối dây đi qua thứ nhất được bố trí trong màng cách điện có lớp xen kẽ. Lớp nền thứ hai và lớp nền thứ ba bao gồm mạch logic được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm hoặc đường nối dây đi qua thứ hai xuyên qua lớp nền bán dẫn.

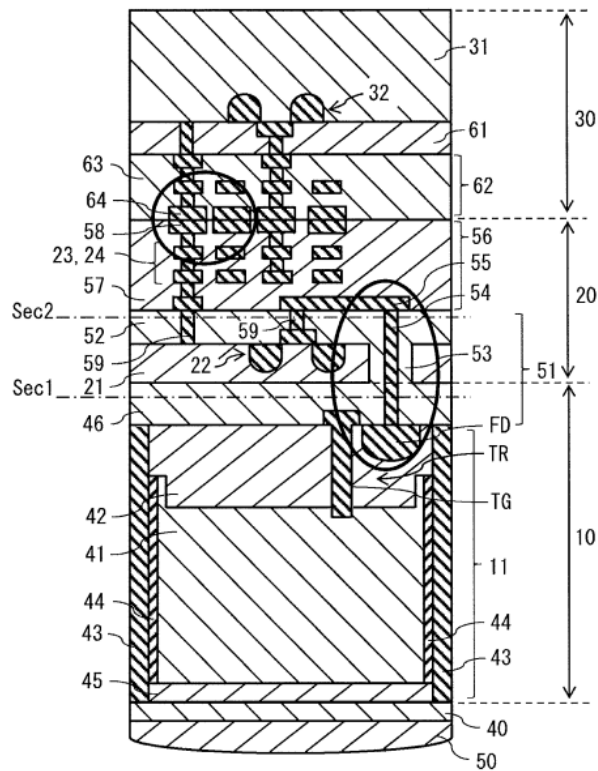


FIG.7

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phần tử tạo ảnh.

Tình trạng kỹ thuật của sáng chế

Sự giảm về diện tích trên mỗi điểm ảnh của phần tử tạo ảnh mà có cấu hình hai chiều đạt được bằng cách đưa ra các quy trình làm mịn và sự cải thiện về mật độ gói. Trong những năm gần đây, phần tử tạo ảnh có cấu hình ba chiều được phát triển để đạt được sự giảm hơn nữa về kích cỡ của phần tử tạo ảnh và mật độ cao hơn của các điểm ảnh. Trong phần tử tạo ảnh có cấu hình ba chiều theo ví dụ, lớp nền bán dẫn bao gồm các điểm ảnh cảm biến, và lớp nền bán dẫn bao gồm mạch xử lý tín hiệu được xếp chồng lên nhau. Mạch xử lý tín hiệu xử lý tín hiệu được thu nhận bởi mỗi trong số các điểm ảnh cảm biến.

Tài liệu trích dẫn

Tài liệu sáng chế

PTL 1: Công bố đơn sáng chế chưa qua xét nghiệm Nhật Bản số 2010-245506

Bản chất kỹ thuật của sáng chế

Một cách ngẫu nhiên, trong phần tử tạo ảnh có cấu hình ba chiều, trong trường hợp trong đó ba chip bán dẫn được xếp chồng, không thể liên kết các bề mặt trước của tất cả các lớp nền bán dẫn với nhau. Trong trường hợp trong đó ba lớp nền bán dẫn được xếp chồng lộn xộn, có khả năng làm tăng kích cỡ chip hoặc làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh do cấu hình mà trong đó các lớp nền bán dẫn được ghép nối với nhau bằng điện. Do đó mục đích của sáng chế là đề xuất phần tử tạo ảnh có cấu hình ba lớp mà có cơ bản cùng một kích cỡ chip như trước khi chưa giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Phần tử tạo ảnh theo phương án của sáng chế bao gồm: lớp nền thứ nhất, lớp nền thứ hai, và lớp nền thứ ba mà được xếp chồng theo thứ tự này. Lớp nền thứ nhất bao gồm, trong lớp nền bán dẫn thứ nhất, điểm ảnh cảm biến thực hiện sự chuyển đổi quang điện. Lớp nền thứ hai bao gồm, trong lớp nền bán dẫn thứ hai,

mạch đọc đưa ra tín hiệu điểm ảnh trên cơ sở của điện tích đã đưa ra từ điểm ảnh cảm biến. Lớp nền thứ ba bao gồm, trong lớp nền bán dẫn thứ ba, mạch logic xử lý tín hiệu điểm ảnh. Mỗi trong số lớp nền thứ nhất và lớp nền thứ hai bao gồm màng cách điện có lớp xen kẽ và đường nối dây đi qua thứ nhất được bố trí trong màng cách điện có lớp xen kẽ. Lớp nền thứ nhất và lớp nền thứ hai được ghép nối với nhau bằng điện bởi đường nối dây đi qua thứ nhất. Trong trường hợp trong đó mỗi trong số lớp nền thứ hai và lớp nền thứ ba bao gồm điện cực đệm, lớp nền thứ hai và lớp nền thứ ba được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm. Trong trường hợp trong đó lớp nền thứ ba bao gồm đường nối dây đi qua thứ hai xuyên qua lớp nền bán dẫn thứ ba, lớp nền thứ hai và lớp nền thứ ba được ghép nối với nhau bằng điện bởi đường nối dây đi qua thứ hai.

Trong phần tử tạo ảnh theo phương án của sáng chế, lớp nền thứ nhất bao gồm điểm ảnh cảm biến mà thực hiện sự chuyển đổi quang điện và lớp nền thứ hai bao gồm mạch đọc được ghép nối với nhau bằng điện bởi đường nối dây đi qua thứ nhất được bố trí trong màng cách điện có lớp xen kẽ. Điều này có thể làm giảm hơn nữa kích cỡ chip và giảm diện tích trên mỗi điểm ảnh, khi được so sánh với trường hợp trong đó lớp nền thứ nhất và lớp nền thứ hai được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm hoặc đường nối dây đi qua xuyên qua lớp nền bán dẫn. Ngoài ra, trong phần tử tạo ảnh theo phương án của sáng chế, mạch đọc và mạch logic được tạo nên trong các lớp nền khác với nhau (lớp nền thứ hai và lớp nền thứ ba). Điều này có thể kéo dài các điện tích của mạch đọc và mạch logic, khi được so sánh với trường hợp trong đó mạch đọc và mạch logic được tạo nên trong cùng một lớp nền. Ngoài ra, trong phần tử tạo ảnh theo phương án của sáng chế, lớp nền thứ hai và lớp nền thứ ba được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm hoặc đường nối dây đi qua thứ hai xuyên qua lớp nền bán dẫn. Ở đây, mạch đọc được tạo nên trong lớp nền thứ hai và mạch logic được tạo trong lớp nền thứ ba, mà có thể tạo nên cấu hình để ghép nối bằng điện giữa lớp nền thứ hai và lớp nền thứ ba với cách bố trí linh hoạt hơn như là sự sắp xếp và số lượng liên kết để ghép nối, khi được so sánh với cấu hình để ghép nối bằng điện giữa lớp nền thứ nhất và lớp nền thứ hai. Theo đó, có thể sử dụng điểm nối giữa các điện cực đệm hoặc đường nối dây đi qua thứ hai xuyên qua lớp nền bán dẫn để ghép nối bằng điện giữa lớp nền thứ hai và lớp nền

thứ ba. Như được mô tả ở trên, trong phần tử tạo ảnh theo phương án của sáng chế, các lớp nền được ghép nối với nhau bằng điện theo mức độ tích hợp của các lớp nền.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối minh họa ví dụ về cấu hình giản lược của phần tử tạo ảnh theo phương án của sáng chế.

Fig.2 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1

Fig.3 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.4 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.5 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.6 là sơ đồ khối minh họa ví dụ của chế độ ghép nối giữa các mạch đọc và các đường tín hiệu đọc.

Fig.7 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.8 là hình phóng to của phần ghép nối giữa lớp nền thứ nhất và lớp nền thứ hai trong phần tử tạo ảnh trên Fig.7.

Fig.9 là hình phóng to của phần ghép nối giữa lớp nền thứ hai và lớp nền thứ ba trong phần tử tạo ảnh trên Fig.7.

Fig.10 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều mặt cắt của phần tử tạo ảnh trên Fig.1.

Fig.11 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.12 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phần tử tạo ảnh trên Fig.1.

Fig.13 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng

ngang của phần tử tạo ảnh trên Fig.1.

Fig.14 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phần tử tạo ảnh trên Fig.1.

Fig.15 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phần tử tạo ảnh trên Fig.1.

Fig.16A là sơ đồ khối minh họa ví dụ của quy trình sản xuất của phần tử tạo ảnh trên Fig.1.

Fig.16B là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.16A.

Fig.16C là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.16B.

Fig.16D là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.16C.

Fig.16E là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.16D.

Fig.16F là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.16E.

Fig.17 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.18 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.19 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.20 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.21 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.22 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.23 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.24 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.25 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phân tử tạo ảnh có cấu hình mặt cắt trên Fig.24.

Fig.26 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phân tử tạo ảnh có cấu hình mặt cắt trên Fig.24.

Fig.27 là sơ đồ khối minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phân tử tạo ảnh có cấu hình mặt cắt trên Fig.24.

Fig.28 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.29 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.30 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phân tử tạo ảnh trên Fig.1.

Fig.31 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.32 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phân tử tạo ảnh trên Fig.1.

Fig.33 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.34 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.35 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phân tử tạo ảnh trên Fig.1.

Fig.36 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.37 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.38 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phân tử tạo ảnh trên Fig.1.

Fig.39 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của

phần tử tạo ảnh trên Fig.1.

Fig.40A là sơ đồ khối minh họa ví dụ cải biến của quy trình sản xuất của phần tử tạo ảnh trên Fig.1.

Fig.40B là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.40A.

Fig.40C là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.40B.

Fig.40D là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.40C.

Fig.40E là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.40D.

Fig.40F là sơ đồ khối minh họa ví dụ của quy trình sản xuất theo Fig.40E.

Fig.41 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.42 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.43 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.44 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.45 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.46 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.47 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.48 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.49 là sơ đồ khối minh họa ví dụ của điểm ảnh cảm biến và mạch đọc trên Fig.1.

Fig.50 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.51 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.52 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.53 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.54 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.55 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.56 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.57 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.58 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.59 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.60 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.61 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh trên Fig.1.

Fig.62 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.63 là sơ đồ khối minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh trên Fig.1.

Fig.64 là sơ đồ khối minh họa ví dụ của cấu hình mạch của phần tử tạo ảnh theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên.

Fig.65 là sơ đồ khối minh họa ví dụ mà trong đó phần tử tạo ảnh trên Fig.64

bao gồm ba lớp nền mà được xếp chồng.

Fig.66 là sơ đồ khối minh họa ví dụ mà trong đó mạch logic được phân tách để được tạo nên trong lớp nền bao gồm điểm ảnh cảm biến và lớp nền bao gồm mạch đọc.

Fig.67 là sơ đồ khối minh họa ví dụ mà trong đó mạch logic được tạo nên trong lớp nền thứ ba.

Fig.68 là sơ đồ khối minh họa ví dụ của cấu hình giản lược của thiết bị tạo ảnh bao gồm phần tử tạo ảnh theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên.

Fig.69 là sơ đồ khối minh họa ví dụ của thủ tục tạo ảnh trong thiết bị tạo ảnh trên Fig.68.

Fig.70 là sơ đồ khối mô tả ví dụ của cấu hình giản lược của hệ thống điều khiển phương tiện giao thông.

Fig.71 là sơ đồ khối của việc đỡ khi giải thích ví dụ của các vị trí lắp đặt của bộ phát hiện thông tin về phương tiện giao thông bên ngoài và bộ tạo ảnh.

Fig.72 là hình mô tả ví dụ của cấu hình giản lược của hệ thống phẫu thuật nội soi.

Fig.73 là sơ đồ khối mô tả ví dụ của cấu hình chức năng của đầu camera và đơn vị điều khiển camera (CCU).

Mô tả chi tiết sáng chế

Trong phần dưới đây, một số phương án của sáng chế được mô tả cụ thể có viện dẫn tới các hình vẽ. Lưu ý rằng phần mô tả được đưa ra theo thứ tự sau đây.

1. Phương án (Phần tử tạo ảnh) ...Các hình vẽ từ Fig.1 đến Fig.6.

Ví dụ sử dụng TG dọc và liên kết Cu-Cu

2. Các ví dụ cải biến (Phần tử tạo ảnh)

Ví dụ cải biến A: Ví dụ sử dụng TG phẳng ...Fig.17

Ví dụ cải biến B: Ví dụ sử dụng TSV ... Fig.18 và Fig.19

Ví dụ cải biến C: Ví dụ sử dụng liên kết Cu-Cu ở góc ngoài của

panen ...Fig.20

Ví dụ cải biến D: Ví dụ sử dụng TSV ở góc ngoài của panen ...Các Fig.21 và Fig.22

Ví dụ cải biến E: Ví dụ mà trong đó độ dịch vị được bố trí giữa các điểm ảnh cảm biến và mạch đọc ...Các hình vẽ từ Fig.23 đến Fig.27.

Ví dụ cải biến F: Ví dụ mà trong đó lớp nền silicon bao gồm mạch đọc có hình dạng lồi lên: Fig.28

Ví dụ cải biến G: Ví dụ mà trong đó lớp nền silicon bao gồm mạch đọc có hình dạng lồi lên: Fig.29

Ví dụ cải biến H: Ví dụ mà trong đó TG được ghép nối với đường nối dây trong lớp nền dưới cùng ... Fig.30 và Fig.31

Ví dụ cải biến I: Ví dụ mà trong đó FD được ghép nối với đường nối dây trong lớp nền dưới cùng ...Các hình vẽ từ Fig.32 đến Fig.39.

Ví dụ cải biến J: Ví dụ mà trong đó lớp nền ở giữa được liên kết với lớp nền dưới cùng sau sự tạo thành của mạch đọc: Các hình vẽ từ Fig.40A đến Fig.40F

Ví dụ cải biến K: Ví dụ mà trong đó FD được chia sẻ bởi bốn điểm ảnh cảm biến: Các Fig.41 đến 43.

Ví dụ cải biến L: Ví dụ mà trong đó hằng số điện môi tương đối của phần của lớp cách điện ở vị trí trong đó lớp nền dưới cùng và lớp nền ở giữa được liên kết với nhau khác với hằng số điện môi tương đối ở vị trí bất kỳ nào khác: Fig.44 và Fig.45

Ví dụ cải biến M: Ví dụ mà trong đó số lượng các điểm ảnh cảm biến chia sẻ mạch đọc là hai: Fig.46 và Fig.47

Ví dụ cải biến N: Ví dụ mà trong đó mạch đọc được ghép nối với chỉ một điểm ảnh cảm biến: Fig.48 và Fig.49

Ví dụ cải biến O: Ví dụ mà trong đó điều kiện thiết kế tranzito khác nhau giữa lớp nền thứ nhất và lớp nền thứ hai: Fig.50

Ví dụ cải biến P: Các biến thể của đường nối dây mà ghép nối lớp nền thứ nhất và lớp nền thứ hai với nhau: Các hình vẽ Fig.51 đến Fig.63.

Ví dụ cải biến Q: Ví dụ mà trong đó mạch xử lý tín hiệu cột bao gồm mạch ADC cột thông thường: Fig.63

Ví dụ cải biến R: Ví dụ mà trong đó phần tử tạo ảnh bao gồm ba lớp nền mà được xếp chồng: Fig.65

Ví dụ cải biến S: Ví dụ mà trong đó mạch logic được bố trí trong lớp nền thứ nhất và lớp nền thứ hai: Fig.66

Ví dụ cải biến T: Ví dụ mà trong đó mạch logic được bố trí trong lớp nền thứ ba: Fig.67

3. Ví dụ ứng dụng

Ví dụ mà trong đó phần tử tạo ảnh theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên được sử dụng cho thiết bị tạo ảnh ... Fig.68 và Fig.69

4. Các ví dụ ứng dụng thực tế

Ví dụ ứng dụng thực tế 1 ... Ví dụ mà trong đó phần tử tạo ảnh theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên được sử dụng cho thiết bị di động ... Fig.70 và Fig.71

Ví dụ ứng dụng thực tế 2 ... Ví dụ mà trong đó phần tử tạo ảnh theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên được sử dụng cho hệ thống giải phẫu ... Fig.72 và Fig.73

<1. Phương án>

[Cấu hình]

Fig.1 minh họa ví dụ của cấu hình giản lược của phần tử tạo ảnh 1 theo phương án của sáng chế. Phần tử tạo ảnh 1 bao gồm ba lớp nền (lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30). Phần tử tạo ảnh 1 có cấu hình ba chiều mà trong đó ba lớp nền (lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30) được liên kết với nhau. Lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30 được xếp chồng theo thứ tự này.

Lớp nền thứ nhất 10 bao gồm các điểm ảnh cảm biến 12 trong lớp nền bán dẫn 11. Các điểm ảnh cảm biến thực hiện sự chuyển đổi quang điện. Lớp nền bán

dẫn 11 tương ứng với ví dụ cụ thể của "lớp nền bán dẫn thứ nhất" của sáng chế. Các điểm ảnh cảm biến 12 được bố trí trong các hàng và các cột trong vùng điểm ảnh 13 trong lớp nền thứ nhất 10. Lớp nền thứ hai 20 bao gồm một mạch đọc 22 cho mỗi bốn điểm ảnh cảm biến 12 trong lớp nền bán dẫn 21. Mạch đọc 22 đưa ra tín hiệu điểm ảnh trên cơ sở của điện tích được đưa ra từ điểm ảnh cảm biến 12. Lớp nền bán dẫn 21 tương ứng với ví dụ cụ thể của "lớp nền bán dẫn thứ hai" của sáng chế. Lớp nền thứ hai 20 bao gồm các đường dẫn động điểm ảnh 23 kéo dài theo chiều ngang và các đường tín hiệu dọc 24 kéo dài theo chiều dọc. Lớp nền thứ ba 30 bao gồm mạch logic 32 trong lớp nền bán dẫn 31. Mạch logic 32 thực hiện xử lý trên tín hiệu điểm ảnh. Lớp nền bán dẫn 31 tương ứng với ví dụ cụ thể của "lớp nền bán dẫn thứ ba" của sáng chế. Mạch logic 32 bao gồm, ví dụ, mạch dẫn động dọc 33, mạch xử lý tín hiệu cột 34, mạch dẫn động ngang 35, và mạch điều khiển hệ thống 36. Mạch logic 32 (cụ thể là, mạch dẫn động ngang 35) đưa ra điện thế đầu ra Vôn trên mỗi điểm ảnh cảm biến 12 ra ngoài. Trong mạch logic 32, ví dụ, vùng có điện trở thấp bao gồm silixua như là CoSi_2 hoặc NiSi có thể được tạo ra trong bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát. Silixua được tạo nên với việc sử dụng quy trình salixua (Silixua tự căn chỉnh).

Mạch dẫn động dọc 33 tuần tự lựa chọn các điểm ảnh cảm biến 12 trên cơ sở lần lượt từng hàng theo ví dụ. Mạch xử lý tín hiệu cột 34 thực hiện quy trình lấy mẫu kép tương quan (CDS) trên tín hiệu điểm ảnh được đưa ra từ mỗi điểm ảnh cảm biến 12 trong hàng được lựa chọn bởi mạch dẫn động dọc 33 theo ví dụ. Mạch xử lý tín hiệu cột 34 thực hiện quy trình CDS để nhờ đó trích xuất mức tín hiệu của tín hiệu điểm ảnh và giữ dữ liệu điểm ảnh tương ứng với lượng ánh sáng được thu bởi mỗi điểm ảnh cảm biến 12 theo ví dụ. Mạch dẫn động ngang 35 theo thứ tự xuất dữ liệu điểm ảnh được giữ trong mạch xử lý tín hiệu cột 34 ra ngoài theo ví dụ. Mạch điều khiển hệ thống 36 điều khiển việc dẫn động của các khối tương ứng (mạch dẫn động dọc 33, mạch xử lý tín hiệu cột 34, và mạch dẫn động ngang 35) trong mạch logic 32 theo ví dụ.

Fig.2 minh họa ví dụ của điểm ảnh cảm biến 12 và mạch đọc 22. Sau đây, phần mô tả được đưa ra cho trường hợp trong đó một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 như được minh họa trên Fig.2. Ở đây, "chia sẻ" chỉ

báo việc nhập vào các lần đưa ra của bốn điểm ảnh cảm biến 12 cho mạch đọc chung 22.

Các điểm ảnh cảm biến 12 tương ứng bao gồm các thành phần chung. Trên Fig.2, các số nhận dạng (1, 2, 3, và 4) được đưa ra cho các đầu của các số tham chiếu của các thành phần của các điểm ảnh cảm biến 12 tương ứng để phân biệt các thành phần của các điểm ảnh cảm biến 12 tương ứng. Sau đây, trong trường hợp trong đó cần phân biệt các thành phần của các điểm ảnh cảm biến 12 tương ứng, các số nhận dạng được đưa ra cho các đầu của các số tham chiếu của các thành phần của các điểm ảnh cảm biến 12 tương ứng; tuy nhiên, trong trường hợp trong đó không cần phân biệt các thành phần của các điểm ảnh cảm biến 12 tương ứng, các số nhận dạng không được đưa ra cho các đầu của các số tham chiếu của các thành phần của các điểm ảnh cảm biến 12 tương ứng.

Mỗi điểm ảnh cảm biến 12 bao gồm, ví dụ, điốt quang PD, tranzito chuyển TR, và phần khuếch tán nổi FD. Tranzito chuyển TR được ghép nối bằng điện với điốt quang PD, và phần khuếch tán nổi FD tạm thời giữ điện tích được đưa ra từ điốt quang PD thông qua tranzito chuyển TR. Điốt quang PD tương ứng với ví dụ cụ thể về "bộ chuyển đổi quang điện" của sáng chế. Điốt quang PD thực hiện sự chuyển đổi quang điện để tạo ra điện tích tương ứng với lượng ánh sáng thu được. Cực âm của điốt quang PD được ghép nối bằng điện với nguồn của tranzito chuyển TR, và cực dương của điốt quang PD được ghép nối bằng điện với đường điện thể tham chiếu (ví dụ, mặt đất). Cực thoát của tranzito chuyển TR được ghép nối bằng điện với phần khuếch tán nổi FD, và cổng của tranzito chuyển TR được ghép nối bằng điện với đường dẫn động điểm ảnh 23. Tranzito chuyển TR, ví dụ, là tranzito CMOS (Bán dẫn oxit kim loại bổ sung).

Các phần khuếch tán nổi FD của các điểm ảnh cảm biến 12 tương ứng chia sẻ một mạch đọc 22 được ghép nối với nhau bằng điện và được ghép nối bằng điện với thiết bị đầu cuối đầu vào của mạch đọc chung 22. Mạch đọc 22 bao gồm, ví dụ, tranzito thiết đặt lại RST, tranzito lựa chọn SEL, và tranzito khuếch đại AMP. Cần lưu ý là tranzito lựa chọn SEL có thể được bỏ qua khi cần. Nguồn của tranzito thiết đặt lại RST (thiết bị đầu cuối đầu vào của mạch đọc 22) được ghép nối bằng điện với các phần khuếch tán nổi FD, và cực thoát của tranzito thiết đặt lại RST được ghép nối bằng điện với đường nguồn điện VDD và cực thoát của

tranzito khuếch đại AMP. Cổng của tranzito thiết đặt lại RST được ghép nối bằng điện với đường dẫn động điểm ảnh 23 (xem Fig.1). Nguồn của tranzito khuếch đại AMP được ghép nối bằng điện với cực thoát của tranzito lựa chọn SEL, và cổng của tranzito khuếch đại AMP được ghép nối bằng điện với nguồn của tranzito thiết đặt lại RST. Nguồn của tranzito lựa chọn SEL (thiết bị đầu cuối đầu ra của mạch đọc 22) được ghép nối bằng điện với đường tín hiệu dọc 24, và cổng của tranzito lựa chọn SEL được ghép nối bằng điện với đường dẫn động điểm ảnh 23 (xem Fig.1).

Trong trường hợp trong đó tranzito chuyển TR được bật, tranzito chuyển TR chuyển điện tích của diốt quang PD sang phần khuếch tán nổi FD. Cổng (cổng chuyển TG) của tranzito chuyển TR kéo dài, ví dụ, từ bề mặt trước của lớp nền bán dẫn 11 đến độ sâu mà chạm tới PD 41 qua lớp giếng 42, như được minh họa trên Fig.7 được mô tả dưới đây. Tranzito thiết đặt lại RST thiết đặt lại điện thế của phần khuếch tán nổi FD thành điện thế định trước. Trong trường hợp trong đó tranzito thiết đặt lại RST được bật, điện thế của các phần khuếch tán nổi FD được thiết đặt lại thành điện thế của đường nguồn điện VDD. Tranzito lựa chọn SEL điều khiển định thời đầu ra của tín hiệu điểm ảnh từ mạch đọc 22. Tranzito khuếch đại AMP tạo ra, như tín hiệu điểm ảnh, tín hiệu của điện áp tương ứng với mức độ của điện tích được giữ trong phần khuếch tán nổi FD. Tranzito khuếch đại AMP bao gồm bộ khuếch đại theo nguồn, và đưa ra tín hiệu điểm ảnh của điện áp tương ứng với mức độ của điện tích được tạo ra bởi diốt quang PD. Trong trường hợp trong đó tranzito lựa chọn SEL được bật, tranzito khuếch đại AMP khuếch đại điện thế của phần khuếch tán nổi FD và đưa ra điện áp tương ứng với điện thế được khuếch đại cho mạch xử lý tín hiệu cột 34 qua đường tín hiệu dọc 24. Tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL, ví dụ, là các tranzito CMOS.

Cần lưu ý là tranzito lựa chọn SEL có thể được đề xuất giữa đường nguồn điện VDD và tranzito khuếch đại AMP như được minh họa trên Fig.3. Trong trường hợp này, cực thoát của tranzito thiết đặt lại RST được ghép nối bằng điện với đường nguồn điện VDD và cực thoát của tranzito lựa chọn SEL. Nguồn của tranzito lựa chọn SEL được ghép nối bằng điện với cực thoát của tranzito khuếch đại AMP, và cổng của tranzito lựa chọn SEL được ghép nối bằng điện với đường

dẫn động điểm ảnh 23 (xem Fig.1). Nguồn của tranzito khuếch đại AMP (thiết bị đầu cuối đầu ra của mạch đọc 22) được ghép nối bằng điện với đường tín hiệu dọc 24, và cổng của tranzito khuếch đại AMP được ghép nối bằng điện với nguồn của tranzito thiết đặt lại RST. Ngoài ra, như được minh họa trên các Fig.4 và Fig.5, tranzito chuyển FD FDG có thể được đề xuất giữa nguồn của tranzito thiết đặt lại RST và cổng của tranzito khuếch đại AMP.

Tranzito chuyển FD FDG được sử dụng để chuyển đổi hiệu quả chuyển đổi. Nói chung, tín hiệu điểm ảnh là nhỏ khi chụp hình trong khu vực tối. Trong trường hợp trong đó sự chuyển đổi từ điện tích thành sự chuyển đổi điện áp được thực hiện trên cơ sở $Q = CV$, điện dung lớn (điện dung FD C) của phần khuếch tán nối FD làm giảm V trong trường hợp trong đó điện tích được chuyển đổi thành điện áp bởi tranzito khuếch đại AMP. Ngược lại, tín hiệu điểm ảnh tăng lên trong khu vực sáng; do đó, trong trường hợp trong đó điện dung FD C không đủ lớn, không thể dùng cho phần khuếch tán nối FD để thu điện tích của điốt quang PD. Hơn nữa, để tránh V trở nên quá lớn (nói cách khác, để giảm V) trong trường hợp trong đó điện tích được chuyển đổi thành điện áp bởi tranzito khuếch đại AMP, cần tăng điện dung FD C. Khi xem xét đến điều này, trong trường hợp trong đó tranzito chuyển FD FDG được bật, điện dung cổng của tranzito chuyển FD FDG tăng lên để nhờ đó làm tăng toàn bộ điện dung FD C. Ngược lại, trong trường hợp trong đó tranzito chuyển FD FDG tắt, toàn bộ điện dung FD C giảm đi. Do đó, việc bật và tắt tranzito chuyển FD FDG có thể khiến cho điện dung FD C biến thiên và chuyển đổi hiệu quả chuyển đổi.

Fig.6 minh họa ví dụ của chế độ ghép nối giữa các mạch đọc 22 và các đường tín hiệu dọc 24. Trong trường hợp trong đó các mạch đọc 22 được bố trí cạnh nhau theo chiều kéo dài (ví dụ, chiều cột) của các đường tín hiệu dọc 24, một trong các đường tín hiệu dọc 24 có thể được gán với mỗi một mạch đọc 22. Ví dụ, như được minh họa trên Fig.6, trong trường hợp trong đó bốn mạch đọc 22 được bố trí cạnh nhau theo chiều kéo dài (ví dụ, chiều cột) của các đường tín hiệu dọc 24, một trong bốn đường tín hiệu dọc 24 có thể được gán với mỗi mạch đọc 22. Cần lưu ý là, trên Fig.6, để phân biệt các đường tín hiệu dọc tương ứng 24, các số nhận dạng (1, 2, 3, và 4) được đưa ra cho các đầu của các số tham chiếu của các đường tín hiệu tương ứng 24.

Fig.7 minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1. Fig.7 lấy ví dụ về cấu hình mặt cắt ở vị trí đối diện với điểm ảnh cảm biến 12 trong phần tử tạo ảnh 1. Fig.8 là hình phóng to của phần ghép nối (phần được khoanh tròn trên Fig.7) giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20 trong phần tử tạo ảnh 1. Fig.9 là hình phóng to của phần ghép nối (phần được khoanh tròn trên Fig.7) giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 trong phần tử tạo ảnh 1. Phần tử tạo ảnh 1 bao gồm lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30 mà được xếp chồng theo thứ tự này, và còn bao gồm các bộ lọc màu 40 và các ống kính thu ánh sáng 50 ở phía bề mặt sau (phía bề mặt chiếu ánh sáng) của lớp nền thứ nhất 10. Một trong các bộ lọc màu 40 và một trong các ống kính thu ánh sáng 50 được bố trí cho mỗi điểm ảnh cảm biến 12 theo ví dụ. Tức là, phần tử tạo ảnh 1 là thuộc kiểu chiếu sáng mặt sau.

Lớp nền thứ nhất 10 bao gồm lớp cách điện 46 mà được xếp chồng trên lớp nền bán dẫn 11. Lớp cách điện 46 tương ứng với ví dụ cụ thể của "lớp cách điện thứ nhất" của sáng chế. Lớp nền thứ nhất 10 bao gồm lớp cách điện 46 là phần của màng cách điện có lớp xen kẽ 51. Lớp cách điện 46 được bố trí tại khe hở giữa lớp nền bán dẫn 11 và lớp nền bán dẫn 21 được mô tả sau đây. Lớp nền bán dẫn 11 bao gồm lớp nền silicon. Lớp nền bán dẫn 11 bao gồm, ví dụ, lớp giếng p 42 trong phần bề mặt trước và vùng lân cận của nó, và bao gồm PD 41 của loại có tính dẫn điện khác với loại của lớp giếng p 42 trong một vùng khác (vùng sâu hơn lớp giếng p 42). Lớp giếng p 42 bao gồm vùng bán dẫn loại p. PD 41 bao gồm vùng bán dẫn của loại có tính dẫn điện (cụ thể, loại n) khác với của lớp giếng p 42. Lớp nền bán dẫn 11 bao gồm, trong lớp giếng p 42, phần khuếch tán nổi FD là vùng bán dẫn của loại có tính dẫn điện (cụ thể, loại n) khác với của lớp giếng p 42.

Lớp nền thứ nhất 10 bao gồm điốt quang PD, tranzito chuyển TR, và phần khuếch tán nổi FD dùng cho mỗi điểm ảnh cảm biến 12. Lớp nền thứ nhất 10 có cấu trúc mà trong đó tranzito chuyển TR và phần khuếch tán nổi FD được bố trí trong phần ở phía bề mặt trước (phía đối diện với phía bề mặt chiếu sáng, tức là, phía lớp nền thứ hai 20) của lớp nền bán dẫn 11. Lớp nền thứ nhất 10 bao gồm bộ phân tách phần tử 43 mà phân tách các điểm ảnh cảm biến 12 tương ứng. Bộ phân tách phần tử 43 được tạo nên để kéo dài theo chiều trục giao đến lớp nền bán dẫn

11 (chiều vuông góc với bề mặt trước của lớp nền bán dẫn 11). Bộ phân tách phần tử 43 được bố trí giữa hai phần liền kề trong số điểm ảnh cảm biến 12. Bộ phân tách phần tử 43 phân tách bằng điện các điểm ảnh cảm biến 12 liền kề với nhau. Bộ phân tách phần tử 43 bao gồm, ví dụ, oxit silicon. Bộ phân tách phần tử 43 đi qua lớp nền bán dẫn 11 theo ví dụ. Lớp nền thứ nhất 10 còn bao gồm, ví dụ, lớp giếng p 44 tiếp xúc với bề mặt bên ở phía điốt quang PD của bộ phân tách phần tử 43. Lớp giếng p 44 bao gồm vùng bán dẫn của loại có tính dẫn điện (cụ thể, loại p) khác với của điốt quang PD. Lớp nền thứ nhất 10 còn bao gồm, ví dụ, màng điện tích được cố định 45 tiếp xúc với bề mặt sau của lớp nền bán dẫn 11. Màng điện tích được cố định 45 được tích điện âm để ngăn tạo ra dòng điện tối gây ra bởi mức độ giao diện ở phía bề mặt thu ánh sáng của lớp nền bán dẫn 11. Màng điện tích được cố định 45 bao gồm, ví dụ, màng cách điện có điện tích cố định âm. Ví dụ về vật liệu của màng cách điện này bao gồm hafni oxit, zirconi oxit, nhôm oxit, titan oxit hoặc tantal oxit. Lớp tích lũy lỗ được tạo ra ở giao diện ở phía bề mặt thu ánh sáng của lớp nền bán dẫn 11 bởi trường điện tích tạo ra bởi màng điện tích được cố định 45. Lớp tích lũy lỗ này ngăn tạo ra các electron từ giao diện. Bộ lọc màu 40 được bố trí ở phía bề mặt sau của lớp nền bán dẫn 11. Bộ lọc màu 40 được bố trí tiếp xúc với màng điện tích được cố định 45, ví dụ, và được bố trí ở vị trí đối diện với điểm ảnh cảm biến 12 với màng điện tích được cố định 45 được đặt xen kẽ vào giữa. Ống kính thu ánh sáng 50 được bố trí tiếp xúc với bộ lọc màu 40, ví dụ, và được bố trí ở vị trí đối diện với điểm ảnh cảm biến 12 với bộ lọc màu 40 và màng điện tích được cố định 45 được đặt xen kẽ vào giữa.

Lớp nền thứ hai 20 bao gồm lớp cách điện 52 mà được xếp chồng trên lớp nền bán dẫn 21. Lớp cách điện 52 tương ứng với ví dụ cụ thể của "lớp cách điện thứ ba" của sáng chế. Lớp nền thứ hai 20 bao gồm lớp cách điện 52 là phần màng cách điện có lớp xen kẽ 51. Lớp cách điện 52 được bố trí tại khe hở giữa lớp nền bán dẫn 21 và lớp nền bán dẫn 31. Lớp nền bán dẫn 21 bao gồm lớp nền silicon. Lớp nền thứ hai 20 bao gồm một mạch đọc 22 cho mỗi bốn điểm ảnh cảm biến 12. Lớp nền thứ hai 20 có cấu hình mà trong đó mạch đọc 22 được bố trí trong phần ở phía bề mặt trước (phía lớp nền thứ ba 30) của lớp nền bán dẫn 21. Lớp nền thứ hai 20 được liên kết với lớp nền thứ nhất 10 theo kiểu sao cho bề mặt sau của lớp nền bán dẫn 21 đối diện với phía bề mặt trước của lớp nền bán dẫn 11.

Tức là, lớp nền thứ hai 20 được liên kết với lớp nền thứ nhất 10 theo kiểu đối diện với mặt sau. Lớp nền thứ hai 20 còn bao gồm lớp cách điện 53 trong cùng một lớp như lớp nền bán dẫn 21. Lớp cách điện 53 đi qua lớp nền bán dẫn 21. Lớp cách điện 53 tương ứng với ví dụ cụ thể của "lớp cách điện thứ hai" của sáng chế. Lớp nền thứ hai 20 bao gồm lớp cách điện 53 là phần màng cách điện có lớp xen kẽ 51. Lớp cách điện 53 được bố trí để che phủ bề mặt bên của đường nối dây đi qua 54 được mô tả sau đây.

Phần thân xếp chồng của lớp nền thứ nhất 10 và lớp nền thứ hai 20 bao gồm màng cách điện có lớp xen kẽ 51 và đường nối dây đi qua 54 được bố trí trong màng cách điện có lớp xen kẽ 51. Đường nối dây đi qua 54 tương ứng với ví dụ cụ thể của "đường nối dây đi qua thứ nhất" của sáng chế. Phần thân xếp chồng được mô tả nêu trên bao gồm một đường nối dây đi qua 54 cho mỗi điểm ảnh cảm biến 12. Đường nối dây đi qua 54 kéo dài theo chiều trục giao đến lớp nền bán dẫn 21, và được bố trí để đi qua phần bao gồm lớp cách điện 53 của màng cách điện có lớp xen kẽ 51. Lớp nền thứ nhất 10 và lớp nền thứ hai 20 được ghép nối với nhau bằng điện bởi đường nối dây đi qua 54. Cụ thể, đường nối dây đi qua 54 được ghép nối bằng điện với phần khuếch tán nối FD và đường nối dây ghép nối 55 được mô tả sau đây.

Phần thân xếp chồng của lớp nền thứ nhất 10 và lớp nền thứ hai 20 còn bao gồm các đường nối dây đi qua 47 và 48 (xem Fig.10 được mô tả sau đây) được bố trí trong màng cách điện có lớp xen kẽ 51. Đường nối dây đi qua 48 tương ứng với ví dụ cụ thể của "đường nối dây đi qua thứ nhất" của sáng chế. Phần thân xếp chồng được mô tả nêu trên bao gồm một đường nối dây đi qua 47 và một đường nối dây đi qua 48 cho mỗi điểm ảnh cảm biến 12. Đường nối dây đi qua 47 và 48 tương ứng kéo dài theo chiều trục giao đến lớp nền bán dẫn 21, và được bố trí để đi qua phần bao gồm lớp cách điện 53 của màng cách điện có lớp xen kẽ 51. Lớp nền thứ nhất 10 và lớp nền thứ hai 20 được ghép nối với nhau bằng điện bởi các đường nối dây đi qua 47 và 48. Cụ thể, đường nối dây đi qua 47 được ghép nối bằng điện với lớp giếng p 42 của lớp nền bán dẫn 11 và đường nối dây trong lớp nền thứ hai 20. Đường nối dây đi qua 48 được ghép nối bằng điện với cổng chuyển TG và đường dẫn động điểm ảnh 23.

Lớp nền thứ hai 20 bao gồm, ví dụ, các bộ ghép nối 59 trong lớp cách điện

52. Các bộ ghép nối được ghép nối bằng điện với mạch đọc 22 và lớp nền bán dẫn 21. Lớp nền thứ hai 20 còn bao gồm, ví dụ, lớp nối dây 56 trên lớp cách điện 52. Lớp nối dây 56 bao gồm, ví dụ, lớp cách điện 57 và, các đường dẫn động điểm ảnh 23 và các đường tín hiệu dọc 24 mà được bố trí trong lớp cách điện 57. Lớp nối dây 56 còn bao gồm, ví dụ, các đường nối dây ghép nối 55 trong lớp cách điện 57. Một trong các đường nối dây ghép nối 55 được bố trí cho mỗi bốn điểm ảnh cảm biến 12. Đường nối dây ghép nối 55 ghép nối bằng điện tương ứng các đường nối dây đi qua 54 với nhau. Các đường nối dây đi qua 54 được ghép nối bằng điện với các phần khuếch tán nối tương ứng FD được chứa trong bốn điểm ảnh cảm biến 12 mà chia sẻ mạch đọc 22. Ở đây, tổng số các đường nối dây đi qua 54 và 48 lớn hơn tổng số các điểm ảnh cảm biến 12 được bao gồm trong lớp nền thứ nhất 10, và bằng hai lần tổng số các điểm ảnh cảm biến 12 được chứa trong lớp nền thứ nhất 10. Thêm vào đó, tổng số các đường nối dây đi qua 54, 48 và 47 lớn hơn tổng số các điểm ảnh cảm biến 12 được bao gồm trong lớp nền thứ nhất 10, và bằng ba lần tổng số các điểm ảnh cảm biến 12 được chứa trong lớp nền thứ nhất 10.

Lớp nối dây 56 còn bao gồm các điện cực đệm 58 trong lớp cách điện 57 theo ví dụ. Mỗi điện cực đệm 58 được tạo ra bằng cách sử dụng, ví dụ, kim loại như là Cu (đồng) và Al (nhôm). Mỗi điện cực đệm 58 được lộ ra đến bề mặt trước của lớp nối dây 56. Các điện cực đệm 58 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 và liên kết giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Một trong các điện cực đệm 58 được bố trí cho mỗi đường dẫn động điểm ảnh 23 và các đường tín hiệu dọc 24 theo ví dụ. Ở đây, tổng số điện cực đệm 58 (hoặc tổng số điểm nối giữa các điện cực đệm 58 và các điện cực đệm 64 (được mô tả sau đây) nhỏ hơn tổng số các điểm ảnh cảm biến 12 được bao gồm trong lớp nền thứ nhất 10.

Lớp nền thứ ba 30 bao gồm theo ví dụ, màng cách điện có lớp xen kẽ 61 trên lớp nền bán dẫn 31. Cần lưu ý là, các bề mặt trước của lớp nền thứ ba 30 và lớp nền thứ hai 20 được liên kết với nhau như được mô tả sau đây: do đó, trong phần mô tả về cấu hình trong lớp nền thứ ba 30, phía đỉnh và phía đáy đối diện với các phần này trong các sơ đồ. Lớp nền bán dẫn 31 bao gồm lớp nền silicon. Lớp nền thứ ba 30 có cấu hình mà trong đó mạch logic 32 được bố trí trong phần ở phía bề

mặt trước của lớp nền bán dẫn 31. Lớp nền thứ ba 30 còn bao gồm theo ví dụ, lớp nối dây 62 trên màng cách điện có lớp xen kẽ 61. Lớp nối dây 62 bao gồm theo ví dụ, lớp cách điện 63 và các điện cực đệm 64 được bố trí trong lớp cách điện 63. Các điện cực đệm 64 được ghép nối bằng điện với mạch logic 32. Mỗi điện cực đệm 64 được tạo ra bằng cách sử dụng, ví dụ, Cu (đồng). Mỗi điện cực đệm 64 được lộ ra đến bề mặt trước của lớp nối dây 62. Mỗi điện cực đệm 64 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 và liên kết giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Hơn nữa, số lượng các điện cực đệm 64 có thể không cần nhiều, chỉ một điện cực đệm 64 được phép được ghép nối bằng điện mạch logic 32. Lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm 58 và 64. Tức là, cổng (cổng chuyển TG) của tranzito chuyển TR được ghép nối bằng điện với mạch logic 32 qua đường nối dây đi qua 54 và các điện cực đệm 58 và 64. Lớp nền thứ ba 30 được liên kết với lớp nền thứ hai 20 theo thiết kế sao cho bề mặt trước của lớp nền bán dẫn 31 đối diện với phía bề mặt trước của lớp nền bán dẫn 21. Tức là, lớp nền thứ ba 30 được liên kết với lớp nền thứ hai 20 theo thiết kế mặt đối mặt.

Như được minh họa trên Fig.8, lớp nền thứ nhất 10 và lớp nền thứ hai 20 được ghép nối với nhau bằng điện bởi đường nối dây đi qua 54. Hơn nữa, như được minh họa trên Fig.9, lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm 58 và 64. Ở đây, độ rộng D1 của đường nối dây đi qua 54 hẹp hơn độ rộng D3 của phần nối giữa các điện cực đệm 58 và 64. Tức là, diện tích mặt cắt của đường nối dây đi qua 54 nhỏ hơn diện tích mặt cắt của phần nối giữa các điện cực đệm 58 và 64. Theo đó, đường nối dây đi qua 54 không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh trong lớp nền thứ nhất 10. Ngoài ra, mạch đọc 22 được tạo trong lớp nền thứ hai 20, và mạch logic 32 được tạo trong lớp nền thứ ba 30, mà có thể để tạo nên cấu hình để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 với cách bố trí linh hoạt hơn như là sự sắp xếp và số lượng liên kết để ghép nối, khi được so sánh với cấu trúc dùng cho sự ghép nối bằng điện giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20. Theo đó, có thể sử dụng điểm nối giữa các điện cực đệm 58 và 64 làm cấu hình để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30.

Fig.10 và Fig.11 đều minh họa ví dụ của cấu hình mặt cắt theo chiều ngang

của phần tử tạo ảnh 1. Sơ đồ phía trên của mỗi Fig.10 và Fig.11 minh họa ví dụ của cấu hình mặt cắt ở phần cắt Sec1 của Fig.7, và sơ đồ phía dưới của mỗi Fig.10 và Fig.11 minh họa ví dụ của cấu hình mặt cắt ở phần cắt Sec2 của Fig.7. Fig.10 lấy ví dụ về cấu trúc mà trong đó hai nhóm của bốn điểm ảnh cảm biến 12 trong cách sắp xếp 2×2 được bố trí cạnh nhau theo chiều thứ hai H, và Fig.11 lấy ví dụ về cấu trúc mà trong đó bốn nhóm của bốn điểm ảnh cảm biến 12 trong cách sắp xếp 2×2 được bố trí cạnh nhau theo chiều thứ nhất V và chiều thứ hai H. Cần lưu ý là, trong các hình mặt cắt phía trên của các Fig.10 và Fig.11, sơ đồ khối minh họa ví dụ của cấu trúc bề mặt trước của lớp nền bán dẫn 11 được xếp chồng trên sơ đồ khối minh họa ví dụ của cấu hình mặt cắt ở phần cắt Sec1 của Fig.7, và lớp cách điện 46 không được minh họa. Ngoài ra, trong các hình mặt cắt phía dưới của các Fig.10 và Fig.11, sơ đồ khối minh họa ví dụ của cấu trúc bề mặt trước của lớp nền bán dẫn 21 được xếp chồng trên sơ đồ khối minh họa ví dụ của cấu hình mặt cắt ở phần cắt Sec2 của Fig.7.

Như được minh họa trên Fig.10 và Fig.11, các đường nối dây đi qua 54, các đường nối dây đi qua 48, và các đường nối dây đi qua 47 được bố trí cạnh nhau theo thiết kế kiểu băng chuyền theo chiều thứ nhất V (chiều hướng lên-hướng xuống trên Fig.10 hoặc chiều hướng phải-hướng trái trên Fig.11) trong mặt phẳng của lớp nền thứ nhất 10. Cần lưu ý là các Fig.10 và Fig.11 lấy ví dụ về trường hợp trong đó các đường nối dây đi qua 54, các đường nối dây đi qua 48, và các đường nối dây đi qua 47 được bố trí cạnh nhau trong hai cột theo chiều thứ nhất V. Chiều thứ nhất V song song với một chiều sắp xếp (ví dụ, chiều cột) của hai chiều sắp xếp (ví dụ, chiều hàng và chiều cột) của các điểm ảnh cảm biến 12 được bố trí trong ma trận. Trong bốn điểm ảnh cảm biến 12 mà chia sẻ mạch đọc 22, bốn phần khuếch tán nối FD được bố trí gần nhau với bộ phân tách phần tử 43 được đặt xen kẽ vào giữa theo ví dụ. Trong bốn điểm ảnh cảm biến 12 mà chia sẻ mạch đọc 22, bốn cổng chuyển TG được bố trí để bao quanh bốn phần khuếch tán nối FD, và bốn cổng chuyển TG tạo thành hình khuyên theo ví dụ.

Lớp cách điện 53 bao gồm các khối mà kéo dài theo chiều thứ nhất V. Lớp nền bán dẫn 21 bao gồm các khối hình dạng lồi lên 21A mà kéo dài theo chiều thứ nhất V và được bố trí cạnh nhau theo chiều thứ hai H vuông góc với chiều thứ nhất V với lớp cách điện 53 được đặt xen kẽ vào giữa. Mỗi trong số các khối 21A

bao gồm, ví dụ, các nhóm của tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL. Một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm theo ví dụ, tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL trong vùng đối diện với bốn điểm ảnh cảm biến 12. Một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm theo ví dụ, tranzito khuếch đại AMP trong khối 21A ở bên trái của lớp cách điện 53 và tranzito thiết đặt lại RST và tranzito lựa chọn SEL trong khối 21A ở bên phải của lớp cách điện 53.

Fig.12, Fig.13, Fig.14, và Fig.15 đều minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phần tử tạo ảnh 1. Các hình vẽ từ Fig.12 đến Fig.15 đều lấy ví dụ về trường hợp trong đó một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 được bố trí trong vùng đối diện với bốn điểm ảnh cảm biến 12. Các đường nối dây được mô tả trên các hình vẽ từ Fig.12 đến Fig.15 được bố trí trong các lớp khác với nhau trong lớp nối dây 56 theo ví dụ.

Bốn đường nối dây đi qua 54 liên kết với nhau được ghép nối bằng điện với đường nối dây ghép nối 55, ví dụ, như được minh họa trên Fig.12. Bốn đường nối dây đi qua 54 liên kết với nhau còn được ghép nối bằng điện với cổng của tranzito khuếch đại AMP được bao gồm trong khối 21A ở bên trái của lớp cách điện 53 và cổng của tranzito thiết đặt lại RST được bao gồm trong khối 21A ở bên phải của lớp cách điện 53 qua đường nối dây ghép nối 55 và phần ghép nối 59, ví dụ, như được minh họa trên Fig.12.

Đường nguồn điện VDD được bố trí ở vị trí đối diện với mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ hai H, ví dụ, như được minh họa trên Fig.13. Đường nguồn điện VDD được ghép nối bằng điện với cực thoát của tranzito khuếch đại AMP và cực thoát của tranzito thiết đặt lại RST trong mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ hai H qua các phần ghép nối 59, ví dụ, như được minh họa trên Fig.13. Hai đường dẫn động điểm ảnh 23 được bố trí ở vị trí đối diện với các mạch đọc 22 tương ứng được bố trí cạnh nhau theo chiều thứ hai H, ví dụ, như được minh họa trên Fig.13. Một đường dẫn động điểm ảnh 23 (đường điều khiển thứ hai), ví dụ, là đường nối dây RSTG được ghép nối bằng điện với cổng của tranzito thiết đặt lại RST của mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ hai H, như được minh họa trên Fig.13. Đường dẫn động điểm

ảnh 23 (đường điều khiển thứ ba) khác, ví dụ, là đường nối dây SELG được ghép nối bằng điện với cổng của tranzito lựa chọn SEL của mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ hai H, như được minh họa trên Fig.13. Trong mỗi mạch đọc 22, nguồn của tranzito khuếch đại AMP và cực thoát của tranzito lựa chọn SEL được ghép nối với nhau bằng điện qua đường nối dây 25, ví dụ, như được minh họa trên Fig.13.

Hai đường nguồn điện VSS được bố trí ở vị trí đối diện với các mạch đọc 22 tương ứng được bố trí cạnh nhau theo chiều thứ hai H, ví dụ, như được minh họa trên Fig.14. Mỗi đường nguồn điện VSS được ghép nối bằng điện với các đường nối dây đi qua 47 ở vị trí đối diện với các điểm ảnh cảm biến 12 tương ứng được bố trí cạnh nhau theo chiều thứ hai H, ví dụ, như được minh họa trên Fig.14. Bốn đường dẫn động điểm ảnh 23 được bố trí ở vị trí đối diện với các mạch đọc 22 tương ứng được bố trí cạnh nhau theo chiều thứ hai H, ví dụ, như được minh họa trên Fig.14. Mỗi trong bốn đường dẫn động điểm ảnh 23, ví dụ, là đường nối dây TRG được ghép nối bằng điện với đường nối dây đi qua 48 của một điểm ảnh cảm biến 12 của bốn điểm ảnh cảm biến 12 tương ứng với mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ hai H, như được minh họa trên Fig.14. Tức là, bốn đường dẫn động điểm ảnh 23 (các đường điều khiển thứ nhất) được ghép nối bằng điện với các cổng (các cổng chuyển TG) của các tranzito chuyển TR của các điểm ảnh cảm biến 12 tương ứng được bố trí cạnh nhau theo chiều thứ hai H. Trên Fig.14, các ký hiệu nhận dạng (1, 2, 3, và 4) được đưa ra cho các đầu của các đường nối dây TRG tương ứng để phân biệt các đường nối dây TRG tương ứng.

Đường tín hiệu dọc 24 được bố trí ở vị trí đối diện với các mạch đọc 22 tương ứng được bố trí cạnh nhau theo chiều thứ nhất V, ví dụ, như được minh họa trên Fig.15. Đường tín hiệu dọc 24 (đường đưa ra) được ghép nối bằng điện với thiết bị đầu cuối đầu ra (nguồn của tranzito khuếch đại AMP) của mỗi mạch đọc 22 được bố trí cạnh nhau theo chiều thứ nhất V, ví dụ, như được minh họa trên Fig.15.

[Phương pháp sản xuất]

Tiếp theo, phần mô tả được đưa ra cho các quy trình sản xuất của phần tử tạo ảnh 1. Các hình vẽ từ Fig.16A đến Fig.16F minh họa ví dụ của quy trình sản xuất của phần tử tạo ảnh 1.

Đầu tiên, lớp giếng p 42, bộ phân tách phần tử 43, và lớp giếng p 44 được tạo ra trên lớp nền bán dẫn 11. Tiếp theo, điốt quang PD, tranzito chuyển TR, và phần khuếch tán n_{oi} FD được tạo nên trong lớp nền bán dẫn 11 (FIG.16A). Do đó, điểm ảnh cảm biến 12 được tạo nên trong lớp nền bán dẫn 11. Ở thời điểm này, tốt hơn là không sử dụng, làm vật liệu điện cực được sử dụng cho điểm ảnh cảm biến 12, vật liệu có độ bền nhiệt thấp như là CoSi₂ hoặc NiSi bởi xử lý salixua. Tốt hơn nữa là sử dụng vật liệu có độ bền nhiệt cao làm vật liệu điện cực được sử dụng cho điểm ảnh cảm biến 12. Ví dụ về vật liệu có độ bền nhiệt cao bao gồm polysilicon. Lớp cách điện 46 sau đó được tạo nên trên lớp nền bán dẫn 11 (Fig.16A). Do đó, lớp nền thứ nhất 10 được tạo nên.

Tiếp theo, lớp nền bán dẫn 21 được liên kết với lớp nền thứ nhất 10 (lớp cách điện 46) (Fig.16B). Ở thời điểm này, lớp nền bán dẫn 21 được làm mỏng khi cần thiết. Trong trường hợp này, độ dày của lớp nền bán dẫn 21 được thiết đặt đến độ dày màng cần dùng cho việc tạo nên mạch đọc 22. Độ dày của lớp nền bán dẫn 21 thường vào khoảng vài trăm nm. Tuy nhiên, kiểu FD (Fully Depletion, giảm sự giảm đi hoàn toàn) có thể phụ thuộc vào khái niệm của mạch đọc 22. Trong trường hợp đó, độ dày của lớp nền bán dẫn 21 có thể nằm trong khoảng từ vài nm đến vài μm .

Tiếp theo, lớp cách điện 53 được tạo nên trong cùng một lớp như lớp nền bán dẫn 21 (Fig.16C). Lớp cách điện 53 được tạo ra, ví dụ, ở vị trí đối diện với phần khuếch tán n_{oi} FD. Ví dụ, khe xuyên qua lớp nền bán dẫn 21 được tạo nên trong lớp nền bán dẫn 21 để phân tách lớp nền bán dẫn 21 thành các khối 21A. Sau đó, lớp cách điện 53 được tạo ra được đưa vào trong khe. Sau đó, mạch đọc 22 bao gồm tranzito khuếch đại AMP và loại tương tự được tạo nên trong mỗi khối 21A của lớp nền bán dẫn 21 (Fig.16C). Ở thời điểm này, trong trường hợp trong đó vật liệu kim loại mà có độ bền nhiệt cao được sử dụng làm vật liệu điện cực của điểm ảnh cảm biến 12, có thể từ màng cách điện cổng của mạch đọc 22 bởi quy trình oxy hóa nhiệt.

Tiếp theo, lớp cách điện 52 được tạo ra trên lớp nền bán dẫn 21. Do đó, màng cách điện có lớp xen kẽ 51 bao gồm các lớp cách điện 46, 52, và 53 được tạo nên. Tiếp đó, các lỗ xuyên 51A và 51B được tạo nên trong màng cách điện có lớp xen kẽ 51 (Fig.16D). Cụ thể, lỗ xuyên 51B xuyên qua lớp cách điện 52 được tạo nên

ở vị trí đối diện với mạch đọc 22 trong lớp cách điện 52. Ngoài ra, lỗ xuyên 51A xuyên qua màng cách điện có lớp xen kẽ 51 được tạo nên ở vị trí đối diện với phần khuếch tán nổi FD (tức là, vị trí đối diện với lớp cách điện 53) trong màng cách điện có lớp xen kẽ 51.

Tiếp theo, vật liệu dẫn điện bằng điện được đưa vào trong các lỗ xuyên 51A và 51B để tạo ra đường nối dây đi qua 54 trong lỗ xuyên 51A và tạo ra phần ghép nối 59 trong lỗ xuyên 51B (Fig.16E). Hơn nữa, đường nối dây ghép nối 55 mà ghép nối bằng điện đường nối dây đi qua 54 và phần ghép nối 59 với nhau được tạo ra trên lớp cách điện 52 (Fig.16E). Sau đó, lớp nối dây 56 bao gồm điện cực đệm 58 được tạo ra trên lớp cách điện 52. Do đó, lớp nền thứ hai 20 được tạo nên.

Tiếp theo, lớp nền thứ hai 20 được liên kết với lớp nền thứ ba 30, mà trong đó mạch logic 32 và lớp nối dây 62 được tạo nên, theo thiết kế sao cho bề mặt trước của lớp nền bán dẫn 21 đối diện với phía bề mặt trước của lớp nền bán dẫn 31 (Fig.16F). Ở thời điểm này, điện cực đệm 58 của lớp nền thứ hai 20 và điện cực đệm 64 của lớp nền thứ ba 30 được nối với nhau để nhờ đó ghép nối bằng điện lớp nền thứ hai 20 và lớp nền thứ ba 30 với nhau. Do đó, phần tử tạo ảnh 1 được sản xuất.

[Các hiệu quả]

Sự giảm về diện tích trên mỗi điểm ảnh của phần tử tạo ảnh mà có cấu hình hai chiều đạt được bằng cách đưa ra các quy trình làm mịn và sự cải thiện về mật độ gói. Trong những năm gần đây, phần tử tạo ảnh có cấu hình ba chiều được phát triển để đạt được sự giảm hơn nữa về kích cỡ của phần tử tạo ảnh và sự giảm về diện tích trên mỗi điểm ảnh. Trong phần tử tạo ảnh có cấu hình ba chiều theo ví dụ, lớp nền bán dẫn bao gồm các điểm ảnh cảm biến, và lớp nền bán dẫn bao gồm mạch xử lý tín hiệu mà xử lý tín hiệu thu được bởi mỗi trong số các điểm ảnh cảm biến được xếp chồng lên nhau. Điều này có thể tăng hơn nữa mức độ tích hợp của các điểm ảnh cảm biến và tăng hơn nữa kích cỡ của mạch xử lý tín hiệu về cơ bản cùng kích cỡ chip như trước đó.

Ngẫu nhiên, trong phần tử tạo ảnh có cấu hình ba chiều, trong trường hợp trong đó ba chip bán dẫn được xếp chồng, không thể liên kết các bề mặt trước của tất cả các lớp nền bán dẫn với nhau (theo kiểu mặt đối mặt). Trong trường hợp

trong đó ba lớp nền bán dẫn được xếp chồng lộn xộn, có khả năng làm tăng kích cỡ chip hoặc làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh do cấu hình mà trong đó các lớp nền bán dẫn được ghép nối với nhau bằng điện.

Ngược lại, theo phương án hiện tại, các điểm ảnh cảm biến 12 và các mạch đọc 22 được tạo nên trong lớp nền khác với nhau (lớp nền thứ nhất 10 và lớp nền thứ hai 20). Điều này có thể kéo dài các diện tích của các điểm ảnh cảm biến 12 và các mạch đọc 22, khi được so sánh với trường hợp trong đó các điểm ảnh cảm biến 12 và các mạch đọc 22 được tạo nên trong cùng một lớp nền. Kết quả là, có thể cải thiện hiệu quả chuyển đổi quang điện và giảm nhiễu tranzito. Ngoài ra, lớp nền thứ nhất 10 bao gồm các điểm ảnh cảm biến 12 và lớp nền thứ hai 20 bao gồm các mạch đọc 22 được ghép nối với nhau bằng điện bởi đường nối dây đi qua 54 được bố trí trong màng cách điện có lớp xen kẽ 51. Điều này có thể giảm hơn nữa kích cỡ chip, khi được so sánh với trường hợp trong đó lớp nền thứ nhất 10 và lớp nền thứ hai 20 được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm và đường nối dây đi qua xuyên qua lớp nền bán dẫn (ví dụ, TSV (thông qua Si)). Ngoài ra, việc giảm hơn nữa về diện tích trên mỗi điểm ảnh có thể làm tăng thêm độ phân giải. Ngoài ra, trong trường hợp trong đó kích cỡ chip là giống như trước, có thể kéo dài vùng hình thành của các điểm ảnh cảm biến 12. Ngoài ra, theo phương án hiện tại, các mạch đọc 22 và mạch logic 32 được tạo nên trong các lớp nền khác với nhau (lớp nền thứ hai 20 và lớp nền thứ ba 30). Điều này có thể kéo dài các diện tích của các mạch đọc 22 và mạch logic 32, khi được so sánh với trường hợp trong đó các mạch đọc 22 và mạch logic 32 được tạo nên trong cùng một lớp nền. Ngoài ra, các diện tích của các mạch đọc 22 và mạch logic 32 không được xác định bởi bộ phân tách phần tử 43, mà có thể cải thiện các đặc tính về sự nhiễu. Ngoài ra, theo phương án hiện tại, lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi điểm nối giữa các điện cực đệm 58 và 64. Ở đây, các mạch đọc 22 được tạo nên trong lớp nền thứ hai 20, và mạch logic 32 được tạo nên trong lớp nền thứ ba 30, mà có thể tạo nên cấu hình dùng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 với cách bố trí linh hoạt hơn như là sự sắp xếp và số lượng liên kết để ghép nối, khi được so sánh với cấu hình dùng cho sự ghép nối bằng điện giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20. Theo đó, có thể sử dụng điểm nối giữa các điện cực đệm 58

và 64 dùng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Như được mô tả ở trên, theo phương án hiện tại, các lớp nền được ghép nối với nhau bằng điện theo các mức độ tích hợp của các lớp nền. Do đó, cấu trúc dùng cho sự ghép nối bằng điện giữa các lớp nền không gây ra sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, theo phương án hiện tại, các điểm ảnh cảm biến 12 đều bao gồm điốt quang PD, tranzito chuyển TR, và phần khuếch tán nổi FD được tạo nên trong lớp nền thứ nhất 10, và các mạch đọc 22 đều bao gồm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL được tạo nên trong lớp nền thứ hai 20. Điều này có thể kéo dài các diện tích của các điểm ảnh cảm biến 12 và các mạch đọc 22, khi được so sánh với trường hợp trong đó các điểm ảnh cảm biến 12 và các mạch đọc 22 được tạo nên trong cùng một lớp nền. Điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó điểm nối giữa các điện cực đệm 58 và 64 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh. Cụ thể, số lượng tranzito được cung cấp trong lớp nền thứ nhất 10 giảm đi, mà có thể để kéo dài các diện tích của các điốt quang PD của các điểm ảnh cảm biến 12. Điều này có thể làm tăng lượng điện tích tín hiệu bão hòa trong sự chuyển đổi quang điện và làm tăng hiệu quả chuyển đổi quang điện. Trong lớp nền thứ hai 20, có thể đảm bảo tính linh hoạt của cách bố trí của mỗi tranzito trong mạch đọc 22. Ngoài ra, có thể kéo dài diện tích của mỗi tranzito; do đó, kéo dài một cách cụ thể diện tích của tranzito khuếch đại AMP có thể làm giảm sự nhiễu mà ảnh hưởng đến tín hiệu điểm ảnh. Ngay cả trong trường hợp trong đó điểm nối giữa các điện cực đệm 58 và 64 được sử dụng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30, sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh được ngăn chặn. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, theo phương án hiện tại, lớp nền thứ hai 20 được liên kết với lớp nền thứ nhất 10 theo thiết kế sao cho bề mặt sau của lớp nền bán dẫn 21 đối diện với phía bề mặt trước của lớp nền bán dẫn 11, và lớp nền thứ ba 30 được liên kết với lớp nền thứ hai 20 theo thiết kế sao cho bề mặt trước của lớp nền bán dẫn 31 đối diện với phía bề mặt trước của lớp nền bán dẫn 21. Theo đó, bằng cách sử dụng đường nối dây đi qua 54 để ghép nối bằng điện giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20 và bằng cách sử dụng điểm nối giữa các điện cực đệm 58 và 64 để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 có thể cung cấp phần tử tạo ảnh 1 có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, theo phương án hiện tại, diện tích mặt cắt của đường nối dây đi qua 54 nhỏ hơn diện tích mặt cắt của phần nối giữa các điện cực đệm 58 và 64. Việc này có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, trong mạch logic 32 của phương án hiện tại, vùng có độ bền thấp bao gồm silixua, như là CoSi_2 hoặc NiSi , được sử dụng bằng việc sử dụng quy trình salixua (Silixua tự căn chỉnh) được tạo nên ở bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát. Vùng có độ bền thấp bao gồm silixua được tạo nên bằng cách sử dụng hợp chất của vật liệu của lớp nền bán dẫn và kim loại. Ở đây, mạch logic 32 được bố trí trong lớp nền thứ ba 30. Điều này có thể tạo nên mạch logic 32 trong quy trình khác với quy trình tạo nên các điểm ảnh cảm biến 12 và các mạch đọc 22. Kết quả là, có thể sử dụng quy trình nhiệt độ cao như là sự oxy hóa nhiệt để tạo ra các điểm ảnh cảm biến 12 và các mạch đọc 22. Ngoài ra, có thể sử dụng, cho mạch logic 32, silixua mà là vật liệu có độ bền nhiệt thấp. Theo đó, trong trường hợp trong đó vùng có độ bền thấp bao gồm silixua được bố trí trong bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát của mạch logic 32, có thể giảm độ bền chống tiếp xúc, và kết quả là, có thể tăng tốc độ hoạt động trong mạch logic 32.

Ngoài ra, theo phương án hiện tại, lớp nền thứ nhất 10 bao gồm bộ phân tách phần tử 43 mà phân tách các điểm ảnh cảm biến 12 tương ứng. Tuy nhiên, theo phương án hiện tại, các điểm ảnh cảm biến 12 đều bao gồm điốt quang PD, tranzito

chuyển TR, và phần khuếch tán nổi FD được tạo nên trong lớp nền thứ nhất 10, và các mạch đọc 22 đều bao gồm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL được tạo nên trong lớp nền thứ hai 20. Điều này có thể kéo dài các diện tích của các điểm ảnh cảm biến 12 và các mạch đọc 22 ngay cả trong trường hợp trong đó diện tích bao quanh bởi bộ phân tách phần tử 43 giảm đi bởi sự giảm đi về diện tích trên mỗi điểm ảnh. Điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó bộ phân tách phần tử 43 được sử dụng. Việc này có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, theo phương án hiện tại, bộ phân tách phần tử 43 đi qua lớp nền bán dẫn 11. Điều này có thể ngăn sự xuyên âm tín hiệu giữa các điểm ảnh cảm biến 12 liền kề, và ngăn giảm độ phân giải trên hình ảnh được tái tạo và làm giảm chất lượng hình ảnh gây ra bởi hỗn hợp màu ngay cả trong trường hợp trong đó khoảng cách giữa các điểm ảnh cảm biến 12 giảm đi bởi sự giảm đi về diện tích trên mỗi điểm ảnh.

Ngoài ra, theo phương án hiện tại, phần thân xếp chồng của lớp nền thứ nhất 10 và lớp nền thứ hai 20 bao gồm ba đường nối dây đi qua 54, 47, và 48 cho mỗi điểm ảnh cảm biến 12. Đường nối dây đi qua 48 được ghép nối bằng điện với cổng (cổng chuyển TG) của tranzito chuyển TR, đường nối dây đi qua 47 được ghép nối bằng điện với lớp giếng p 42 của lớp nền bán dẫn 11, và đường nối dây đi qua 54 được ghép nối bằng điện với phần khuếch tán nổi FD. Tức là, số lượng các đường nối dây đi qua 54, 47, và 48 lớn hơn số lượng các điểm ảnh cảm biến 12 được chứa trong lớp nền thứ nhất 10. Tuy nhiên, theo phương án hiện tại, đường nối dây đi qua 54 mà có diện tích mặt cắt nhỏ được sử dụng cho sự ghép nối bằng điện giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20. Điều này có thể giảm hơn nữa kích cỡ chip và giảm hơn nữa diện tích trên mỗi điểm ảnh trong lớp nền thứ nhất 10. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

<2.Các ví dụ cải biến

Sau đây, phần mô tả được đưa ra của ví dụ cải biến về phần tử tạo ảnh 1 theo

phương án được mô tả nêu trên. Trong các ví dụ cải biến dưới đây, các thành phần chung cho các ví dụ theo phương án được mô tả nêu trên được ký hiệu bằng các số tham chiếu giống nhau.

[Ví dụ cải biến A]

Fig.17 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo phương án được mô tả nêu trên. Fig.17 minh họa ví dụ cải biến của cấu hình mặt cắt được minh họa trên Fig.7. Trong ví dụ cải biến hiện tại, tranzito chuyển TR có cổng chuyển phẳng TG. Theo đó, cổng chuyển TG không xuyên qua lớp giếng 42 và được tạo nên chỉ trên bề mặt trước của lớp nền bán dẫn 11. Ngay cả trong trường hợp trong đó cổng chuyển phẳng TG được sử dụng cho tranzito chuyển TR, phần tử tạo ảnh 1 có các hiệu quả tương tự như theo phương án được mô tả nêu trên.

[Ví dụ cải biến B]

Fig.18 và Fig.19 đều minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo phương án và ví dụ cải biến của nó được mô tả nêu trên. Fig.18 minh họa ví dụ cải biến của cấu hình mặt cắt được minh họa trên Fig.7. Fig.19 minh họa ví dụ cải biến của cấu hình mặt cắt được minh họa trên Fig.17. Trong ví dụ cải biến hiện tại, đối với cấu hình dùng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30, đường nối dây đi qua 65 xuyên qua lớp nền bán dẫn 31 được sử dụng thay vì điểm nối giữa các điện cực đệm 58 và 64. Tức là, lớp nền thứ ba 30 bao gồm đường nối dây đi qua 65 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30, và lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi đường nối dây đi qua 65. Tức là, số lượng các (cổng chuyển TG) của tranzito chuyển TR được ghép nối bằng điện với mạch logic 32 qua đường nối dây đi qua 48, điện cực đệm 58, và đường nối dây đi qua 65. Ở đây, tổng số các đường nối dây đi qua 65 nhỏ hơn tổng số các điểm ảnh cảm biến 12 được chứa trong lớp nền thứ nhất 10. Đường nối dây đi qua 65 tương ứng với ví dụ cụ thể của "đường nối dây đi qua thứ hai" của sáng chế.

Đường nối dây đi qua 65 bao gồm theo ví dụ, được gọi là TSV (thông qua Silic). Độ rộng D1 của đường nối dây đi qua 54 hẹp hơn độ rộng D3 của đường

nối dây đi qua 65. Tức là, diện tích mặt cắt của đường nối dây đi qua 54 nhỏ hơn diện tích mặt cắt của đường nối dây đi qua 65. Theo đó, đường nối dây đi qua 54 không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh trong lớp nền thứ nhất 10. Thêm vào đó, các mạch đọc 22 được tạo nên trong lớp nền thứ hai 20, và mạch logic 32 được tạo trong lớp nền thứ ba 30, mà có thể tạo nên cấu hình dùng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 với cách bố trí linh hoạt hơn như là sự sắp xếp và số lượng liên kết để ghép nối, khi được so sánh với cấu hình dùng cho sự ghép nối bằng điện giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20. Do đó, điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó đường nối dây đi qua 65 được sử dụng làm cấu hình để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

[Ví dụ cải biến C]

Fig.20 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo phương án được mô tả nêu trên. Trong ví dụ cải biến hiện tại, sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 được tạo nên trong vùng đối diện với vùng ngoại vi 14 của lớp nền thứ nhất 10. Vùng ngoại vi 14 tương ứng với vùng khung của lớp nền thứ nhất 10 và được bố trí trên phần ngoại vi của vùng điểm ảnh 13. Trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 bao gồm các điện cực đệm 58 trong vùng đối diện với vùng ngoại vi 14, và lớp nền thứ ba 30 bao gồm các điện cực đệm 64 trong vùng đối diện với vùng ngoại vi 14. Lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi các điểm nối giữa các điện cực đệm 58 và 64 được bố trí trong các vùng đối diện với vùng ngoại vi 14.

Như được mô tả ở trên, trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi các điểm nối giữa các điện cực đệm 58 và 64 được bố trí trong các vùng đối diện với vùng ngoại vi 14. Điều này có thể làm giảm khả năng làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh, khi được so sánh với trường hợp trong đó các điện cực đệm 58 và 64 được nối với nhau trong các vùng đối diện với vùng điểm ảnh 13. Theo đó, có thể

cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

[Ví dụ cải biến D]

Fig.21 và Fig.22 đều minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo ví dụ cải biến C được mô tả nêu trên. Trong ví dụ cải biến hiện tại, sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30 được tạo ra trong vùng đối diện với vùng ngoại vi 14.

Trong ví dụ cải biến hiện tại, phần tử tạo ảnh 1 bao gồm đường nối dây đi qua 66 trong vùng đối diện với vùng ngoại vi 14, ví dụ, như được minh họa trên Fig.21. Đường nối dây đi qua 66 ghép nối bằng điện lớp nền thứ hai 20 và lớp nền thứ ba 30 với nhau. Đường nối dây đi qua 66 kéo dài theo chiều trục giao với các lớp nền bán dẫn 11 và 21, và đi qua lớp nền thứ nhất 10 và lớp nền thứ hai 20 và chạm đến phần bên trong của lớp nối dây 62 của lớp nền thứ ba 30. Đường nối dây đi qua 66 ghép nối bằng điện với đường nối dây trong lớp nối dây 56 của lớp nền thứ hai 20 và đường nối dây trong lớp nối dây 62 của lớp nền thứ ba 30 với nhau.

Trong ví dụ cải biến hiện tại, phần tử tạo ảnh 1 có thể bao gồm các đường nối dây đi qua 67 và 68, và đường nối dây ghép nối 69 trong vùng đối diện với vùng ngoại vi 14, ví dụ, như được minh họa trên Fig.22. Đường nối dây bao gồm các đường nối dây đi qua 67 và 68 và đường nối dây ghép nối 69 ghép nối bằng điện lớp nền thứ hai 20 và lớp nền thứ ba 30 với nhau. Đường nối dây đi qua 67 kéo dài theo chiều trục giao với các lớp nền bán dẫn 11 và 21, và đi qua lớp nền thứ nhất 10 và lớp nền thứ hai 20 và chạm đến phần bên trong của lớp nối dây 62 của lớp nền thứ ba 30. Đường nối dây đi qua 68 kéo dài theo chiều trục giao với các lớp nền bán dẫn 11 và 21, và đi qua lớp nền thứ nhất 10 và chạm đến phần bên trong của lớp nối dây 56 của lớp nền thứ hai 20. Đường nối dây ghép nối 69 được bố trí tiếp xúc với bề mặt sau của lớp nền bán dẫn 11, và được bố trí tiếp xúc với đường nối dây đi qua 67 và đường nối dây đi qua 68. Các đường nối dây đi qua 67 và 68 ghép nối bằng điện với đường nối dây trong lớp nối dây 56 của lớp nền thứ hai 20 và đường nối dây trong lớp nối dây 62 của lớp nền thứ ba 30 với nhau qua đường nối dây ghép nối 69.

Như được mô tả ở trên, trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện bởi đường nối dây đi qua 66 hoặc đường nối dây bao gồm các đường nối dây đi qua 67 và 68 và đường nối dây ghép nối 69 được bố trí trong vùng đối diện với vùng ngoại vi 14. Điều này có thể giảm khả năng làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh, khi được so sánh với trường hợp trong đó lớp nền thứ hai 20 và lớp nền thứ ba 30 được ghép nối với nhau bằng điện trong vùng đối diện với vùng điểm ảnh 13. Theo đó, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

[Ví dụ cải biến E]

Fig.23 và Fig.24 đều minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo phương án được mô tả nêu trên. Sơ đồ phía trên của mỗi Fig.23 và Fig.24 minh họa ví dụ cải biến của cấu hình mặt cắt ở phần cắt Sec1 của Fig.7, và sơ đồ phía dưới của mỗi trong số Fig.23 và Fig.24 minh họa ví dụ cải biến của cấu hình mặt cắt ở phần cắt Sec2 của Fig.7. Cần lưu ý là, trong các hình mặt cắt phía trên của Fig.23 và Fig.24, sơ đồ khối minh họa ví dụ cải biến của cấu trúc bề mặt trước của lớp nền bán dẫn 11 trên Fig.7 được xếp chồng trên sơ đồ khối minh họa ví dụ cải biến của cấu hình mặt cắt ở phần cắt Sec1 của Fig.7, và lớp cách điện 46 không được minh họa. Ngoài ra, trong các hình mặt cắt phía dưới của Fig.23 và Fig.24, sơ đồ khối minh họa ví dụ cải biến của cấu hình bề mặt trước của lớp nền bán dẫn 21 được xếp chồng trên sơ đồ khối minh họa ví dụ cải biến của cấu hình mặt cắt ở phần cắt Sec2 của Fig.7.

Như được minh họa trên Fig.23 và Fig.24, các đường nối dây đi qua 54, các đường nối dây đi qua 48, và các đường nối dây đi qua 47 (các dấu chấm được bố trí theo các hàng và cột trong các sơ đồ) được bố trí cạnh nhau theo thiết kế kiểu băng chuyền theo chiều thứ nhất V (chiều hướng phải-hướng trái trên Fig.23 và Fig.24) trong mặt phẳng của lớp nền thứ nhất 10. Cần lưu ý là Fig.23 và Fig.24 lấy ví dụ về trường hợp trong đó các đường nối dây đi qua 54, các đường nối dây đi qua 48, và các đường nối dây đi qua 47 được bố trí cạnh nhau trong hai cột theo chiều thứ nhất V. Trong bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc 22, bốn phần khuếch tán nối FD được bố trí gần nhau với bộ phân tách phần tử 43 được đặt xen kẽ vào giữa theo ví dụ. Trong bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc 22, bốn

cổng chuyển TG (TG1, TG2, TG3, và TG4) được bố trí để bao quanh bốn phần khuếch tán nổi FD, và bốn cổng chuyển TG tạo ra hình khuyên theo ví dụ.

Lớp cách điện 53 bao gồm các khối mà kéo dài theo chiều thứ nhất V. Lớp nền bán dẫn 21 bao gồm các khối hình dạng lồi lên 21A mà kéo dài theo chiều thứ nhất V và được bố trí cạnh nhau theo chiều thứ hai H vuông góc với chiều thứ nhất V với lớp cách điện 53 được đặt xen kẽ vào giữa. Mỗi trong số các khối 21A bao gồm, ví dụ, tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL. Một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 không được bố trí để trực tiếp đối diện với bốn điểm ảnh cảm biến 12, và được bố trí để thay đổi theo chiều thứ hai H theo ví dụ.

Trên Fig.23, một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL trong vùng được thay đổi theo chiều thứ hai H từ vùng đối diện với bốn điểm ảnh cảm biến 12 trong lớp nền thứ hai 20. Một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm theo ví dụ, tranzito khuếch đại AMP, tranzito thiết đặt lại RST, và tranzito lựa chọn SEL trong một khối 21A.

Trên Fig.24, một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, tranzito lựa chọn SEL, và tranzito chuyển FD FDG trong vùng được thay đổi theo chiều thứ hai H từ vùng đối diện với bốn điểm ảnh cảm biến 12 trong lớp nền thứ hai 20. Một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 bao gồm theo ví dụ, tranzito khuếch đại AMP, tranzito thiết đặt lại RST, tranzito lựa chọn SEL, và tranzito chuyển FD FDG trong một khối 21A.

Trong ví dụ cải biến hiện tại, một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 không được bố trí để trực tiếp đối diện với bốn điểm ảnh cảm biến 12, và được bố trí để được thay đổi theo chiều thứ hai H từ vị trí trực tiếp đối diện với bốn điểm ảnh cảm biến 12 theo ví dụ. Trong trường hợp này, có thể cắt ngắn đường nối dây 25, hoặc có thể bỏ qua đường nối dây 25 và tạo nguồn của tranzito khuếch đại AMP và cực thoát của tranzito lựa chọn SEL trong vùng tạp chất chung. Kết quả là, có thể giảm kích cỡ của mạch đọc 22 hoặc tăng kích cỡ của phần bắt kỳ khác trong mạch đọc 22.

Fig.25, Fig.26, và Fig.27 đều minh họa ví dụ của cách bố trí nối dây theo mặt phẳng ngang của phần tử tạo ảnh 1 được mô tả trên Fig.24. Các hình vẽ từ Fig.25 đến Fig.27 lấy ví dụ về trường hợp trong đó một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 được bố trí trong vùng được thay đổi theo chiều thứ hai H từ vùng đối diện với bốn điểm ảnh cảm biến 12. Các đường nối dây được minh họa trên các hình vẽ từ Fig.25 đến Fig.27 được bố trí trong các lớp khác với nhau trong lớp nối dây 56 theo ví dụ.

Bốn đường nối dây đi qua 54 liên kết với nhau được ghép nối bằng điện với đường nối dây ghép nối 55, ví dụ, như được minh họa trên Fig.25. Bốn đường nối dây đi qua 54 liên kết với nhau còn được ghép nối bằng điện với cổng của tranzito khuếch đại AMP được chứa trong khối liên kết bên dưới 21A của lớp cách điện 53 và nguồn của tranzito chuyển FD FDG được chứa trong khối liên kết bên dưới 21A của lớp cách điện 53 qua đường nối dây ghép nối 55 và phần ghép nối 59, ví dụ, như được minh họa trên Fig.25.

Ví dụ, như được minh họa trên Fig.26, đường nối dây SELG, đường nối dây Vout, đường nối dây RSTG, đường nối dây FDG, và đường nguồn điện VSS được bố trí trong vùng đối diện với mỗi khối 21A. Ngoài ra theo ví dụ, như được minh họa trên Fig.26, các đường nối dây TRG1, TRG2, TRG3, và TRG4 được bố trí trong vùng đối diện với mỗi trong số các lớp cách điện 53.

Hơn nữa theo ví dụ, như được minh họa trên Fig.27, đường nguồn điện VDDx được ghép nối bằng điện với đường nguồn điện VDD được bố trí. Đường nguồn điện VDDx kéo dài theo chiều thứ hai H vuông góc với đường nguồn điện VDD mà kéo dài theo chiều thứ nhất V. Ngoài ra theo ví dụ, như được minh họa trên Fig.27, đường nguồn điện VSSx được ghép nối bằng điện với đường nguồn điện VSS được bố trí. Đường nguồn điện VSSx kéo dài theo chiều thứ hai H vuông góc với đường nguồn điện VSS mà kéo dài theo chiều thứ nhất V.

Ngoài ra theo ví dụ, như được minh họa trên Fig.27, đường nối dây VOUT1x được ghép nối bằng điện với đường nối dây VOUT1 được bố trí. Đường nối dây VOUT1x kéo dài theo chiều thứ hai H vuông góc với đường nối dây VOUT1 mà kéo dài theo chiều thứ nhất V. Ngoài ra theo ví dụ, như được minh họa trên Fig.27, đường nối dây VOUT2x được ghép nối bằng điện với đường nối dây VOUT2 được bố trí. Đường nối dây VOUT2x kéo dài theo chiều thứ hai H vuông góc với

đường nối dây VOUT2 mà kéo dài theo chiều thứ nhất V. Ngoài ra theo ví dụ, như được minh họa trên Fig.27, đường nối dây VOUT3x được ghép nối bằng điện với đường nối dây VOUT3 được bố trí. Đường nối dây VOUT3x kéo dài theo chiều thứ hai H vuông góc với đường nối dây VOUT3 mà kéo dài theo chiều thứ nhất V. Ngoài ra theo ví dụ, như được minh họa trên Fig.27, đường nối dây VOUT4x được ghép nối bằng điện với đường nối dây VOUT4 được bố trí. Đường nối dây VOUT4x kéo dài theo chiều thứ hai H vuông góc với đường nối dây VOUT4 mà kéo dài theo chiều thứ nhất V.

Trong ví dụ cải biến hiện tại, các đường nguồn điện VDDx và VSSx, và các đường nối dây VOUT1x đến VOUT4x được bố trí trong lớp nối dây 56. Điều này có thể thiết đặt một cách linh hoạt chiều vẽ đường nối dây.

[Ví dụ cải biến F]

Fig.28 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo phương án được mô tả nêu trên. Fig.28 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.10.

Trong ví dụ cải biến hiện tại, lớp nền bán dẫn 21 bao gồm các khối hình dạng lồi lên 21A được bố trí cạnh nhau theo chiều thứ nhất V và chiều thứ hai H với lớp cách điện 53 được đặt xen kẽ vào giữa. Mỗi trong số các khối 21A bao gồm, ví dụ, một nhóm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL. Trong trường hợp này, có thể ngăn sự xuyên âm tín hiệu giữa các mạch đọc 22 liền kề với nhau bởi lớp cách điện 53, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và giảm đi về chất lượng hình ảnh gây ra bởi hỗn hợp màu.

[Ví dụ cải biến G]

Fig.29 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo phương án được mô tả nêu trên. Fig.29 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.28.

Trong ví dụ cải biến hiện tại, một mạch đọc 22 được chia sẻ bởi bốn điểm ảnh cảm biến 12 không được bố trí để trực tiếp đối diện với bốn điểm ảnh cảm biến 12, và được bố trí để được thay đổi theo chiều thứ nhất V. Hơn nữa, trong ví dụ cải biến hiện tại, như trong ví dụ cải biến F, lớp nền bán dẫn 21 bao gồm các

khối hình dạng lồi lên 21A được bố trí cạnh nhau theo chiều thứ nhất V và chiều thứ hai H với lớp cách điện 53 được đặt xen kẽ vào giữa. Mỗi trong số các khối 21A bao gồm, ví dụ, một nhóm tranzito thiết đặt lại RST, tranzito khuếch đại AMP, và tranzito lựa chọn SEL. Hơn nữa, trong ví dụ cải biến hiện tại, các đường nối dây đi qua 47 và các đường nối dây đi qua 54 cũng được sắp xếp theo chiều thứ hai H. Cụ thể, các đường nối dây đi qua 47 được bố trí giữa bốn đường nối dây đi qua 54 chia sẻ mạch đọc 22 cụ thể và bốn đường nối dây đi qua 54 chia sẻ mạch đọc 22 khác liên tiếp theo chiều thứ hai H đến mạch đọc 22 cụ thể. Trong trường hợp này, có thể ngăn sự xuyên âm tín hiệu giữa các mạch đọc 22 liên tiếp với nhau bởi lớp cách điện 53, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và giảm đi về chất lượng hình ảnh gây ra bởi hỗn hợp màu.

[Ví dụ cải biến H]

Fig.30 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Fig.30 là hình phóng to của ví dụ cải biến của cấu hình mặt cắt của phần ghép nối giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20 trên Fig.7, các hình vẽ từ Fig.17 đến Fig.24, Fig.28, và Fig.29.

Trong ví dụ cải biến hiện tại, cổng chuyển TG không được ghép nối với đường nối dây đi qua 48, và được ghép nối bằng điện với đường nối dây cổng 49 mà được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46) và kéo dài theo chiều song song với bề mặt trước của lớp nền thứ nhất 10. Tức là, trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm đường nối dây cổng 49 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46). Đường nối dây cổng 49 được ghép nối bằng điện với mạch logic 32 qua đường nối dây đi qua được bố trí trong vùng (vùng khung) không đối diện với vùng điểm ảnh 13 trong phần thân xếp chồng của lớp nền thứ nhất 10 và lớp nền thứ hai 20 theo ví dụ. Tức là, cổng (cổng chuyển TG) của tranzito chuyển TR được ghép nối bằng điện với mạch logic 32 thông qua đường nối dây cổng 49. Theo đó, không cần cung cấp đường nối dây đi qua 48, mà có thể tăng hơn nữa diện tích của mạch đọc 22, khi được so sánh với trường hợp trong đó đường nối dây đi qua 48 được bố trí.

Đường nối dây cổng 49 có thể được tạo ra sử dụng vật liệu kim loại có độ

bền nhiệt cao. Ví dụ về vật liệu kim loại mà có độ bền nhiệt cao bao gồm W (vonfam), Ru (ruteni), hoặc loại tương tự. Trong trường hợp trong đó đường nối dây công 49 được tạo nên sử dụng vật liệu kim loại mà có độ bền nhiệt cao, có thể sử dụng màng oxit nhiệt làm màng cách điện với công trong trường hợp trong đó mạch đọc 22 được tạo nên sau khi liên kết lớp nền bán dẫn 21 với lớp nền thứ nhất 10 theo ví dụ.

Fig.31 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.31 minh họa ví dụ của cấu hình mặt cắt của phần tử tạo ảnh 1 có cấu trúc mặt cắt trên Fig.30. Mỗi trong số các đường nối dây 49 kéo dài theo chiều song song với chiều thứ nhất V theo ví dụ. Ở thời điểm này, mỗi trong số các đường nối dây 49 được bố trí ở vị trí đối diện với mỗi khối 21A của lớp nền bán dẫn 21 theo ví dụ.

Trong ví dụ cải biến hiện tại, đường nối dây đi qua 48 được bỏ qua, và cổng chuyển TG được ghép nối bằng điện với đường nối dây công 49 mà được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46) và kéo dài theo chiều song song với bề mặt trước của lớp nền thứ nhất 10. Theo đó, các đường nối dây công 49 được bố trí giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau theo chiều thứ hai H. Kết quả là, có thể làm giảm, bởi các đường nối dây công 49, mật độ của các đường điện của lực được tạo ra giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau theo chiều thứ hai H. Kết quả là, có thể ngăn sự xuyên âm tín hiệu giữa các điểm ảnh cảm biến 12 liền kề với nhau, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và giảm chất lượng hình ảnh gây ra bởi hỗn hợp màu.

[Ví dụ cải biến I]

Fig.32 minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo ví dụ cải biến H. Fig.32 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.30.

Trong ví dụ cải biến hiện tại, cổng chuyển TG được ghép nối bằng điện với đường nối dây công 49 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46). Hơn nữa, trong ví dụ cải biến hiện tại, bốn phần khuếch tán nối

FD chia sẻ mạch đọc 22 được ghép nối bằng điện với bộ ghép nối 71 và đường nối dây ghép nối 72 mà được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46). Đường nối dây ghép nối 72 được ghép nối bằng điện với đường nối dây đi qua 54. Tức là, trong ví dụ cải biến hiện tại, đường nối dây đi qua 54 không được cấp cho mỗi điểm ảnh cảm biến 12, và một đường nối dây đi qua 54 được bố trí cho mỗi bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc 22 (đường nối dây ghép nối 72). Cần lưu ý là, trên Fig.32, phần ghép nối 71 và đường nối dây ghép nối 72 có thể được tạo nên một cách tích hợp.

Fig.33 và Fig.34 đều minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.33 và Fig.34 đều minh họa ví dụ của cấu hình mặt cắt của phần tử tạo ảnh 1 có cấu trúc mặt cắt trên Fig.32.

Trong ví dụ cải biến hiện tại, như được mô tả ở trên, một đường nối dây đi qua 54 được bố trí cho mỗi bốn phần khuếch tán nối FD chia sẻ mạch đọc 22. Hơn nữa, trong ví dụ cải biến hiện tại, đường nối dây đi qua 47 cũng được bố trí qua một cách tương tự cho đường nối dây đi qua 54. Cụ thể, thay vì bốn đường nối dây đi qua 47 liền kề với nhau, ví dụ, như được minh họa trên Fig.35, bốn bộ ghép nối 73 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46) được ghép nối bằng điện với các lớp giếng p tương ứng 42 của lớp nền bán dẫn 11 của các điểm ảnh cảm biến 12 tương ứng. Bốn bộ ghép nối 73 này được ghép nối bằng điện với đường nối dây ghép nối 74 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46). Đường nối dây ghép nối 74 được ghép nối bằng điện với đường nối dây đi qua 47 và đường nguồn điện VSS. Tức là, trong ví dụ cải biến hiện tại, đường nối dây đi qua 47 không được cấp cho mỗi điểm ảnh cảm biến 12, và một đường nối dây đi qua 47 được bố trí cho mỗi bốn điểm ảnh cảm biến 12 chia sẻ đường nối dây ghép nối 74.

Bốn điểm ảnh cảm biến 12 chia sẻ đường nối dây ghép nối 74 không hoàn toàn trùng với bốn điểm ảnh cảm biến 12 mà chia sẻ mạch đọc 22 (đường nối dây ghép nối 72). Ở đây, trong các điểm ảnh cảm biến 12 được bố trí trong ma trận, bốn điểm ảnh cảm biến 12 tương ứng với vùng thu được bằng cách thay đổi vùng đơn vị tương ứng với bốn điểm ảnh cảm biến 12 chia sẻ một phần khuếch tán nối FD theo chiều thứ nhất V bởi một điểm ảnh cảm biến 12 được coi là bốn điểm ảnh cảm biến 12A để thuận tiện. Ở thời điểm này, trong ví dụ cải biến hiện tại, lớp

nền thứ nhất 10 bao gồm đường nối dây đi qua 47 được chia sẻ bởi mỗi bốn điểm ảnh cảm biến 12A. Theo đó, trong ví dụ cải biến hiện tại, một đường nối dây đi qua 47 được bố trí cho mỗi bốn điểm ảnh cảm biến 12A.

Ngoài ra, hai mạch đọc 22 liên kề với nhau theo chiều thứ nhất V được coi là mạch đọc thứ nhất 22A và mạch đọc thứ hai 22B để thuận tiện. Hai điểm ảnh cảm biến 12 liên kề với mạch đọc thứ hai 22B của bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc thứ nhất 22A, và hai điểm ảnh cảm biến 12 liên kề với mạch đọc thứ nhất 22A của bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc thứ hai 22B chia sẻ một đường nối dây ghép nối 74. Tức là, bốn điểm ảnh cảm biến 12 chia sẻ đường nối dây ghép nối 74 và bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc 22 (đường nối dây ghép nối 72) được thay đổi với nhau bởi một điểm ảnh cảm biến 12 theo chiều thứ nhất V.

Theo đó, ví dụ, như được minh họa trên Fig.34, có thể bố trí các đường nối dây đi qua 54 và 47 trong một cột trong lớp cách điện 53 mà kéo dài theo chiều thứ nhất V. Ở thời điểm này, có thể làm giảm độ rộng theo chiều thứ hai H của lớp cách điện 53, khi được so sánh với trường hợp trong đó các đường nối dây đi qua 54, 47, và 48 được bố trí cạnh nhau trong hai cột. Hơn nữa, có thể tăng độ rộng theo chiều thứ hai H của mỗi khối 21A của lớp nền bán dẫn 21 mà kéo dài theo chiều thứ nhất V bởi lượng tương ứng với sự giảm đi về độ rộng theo chiều thứ hai H của lớp cách điện 53. Trong trường hợp trong đó mỗi khối 21A của lớp nền bán dẫn 21 tăng lên, cũng có thể làm tăng kích cỡ của mạch đọc 22 trong mỗi khối 21A. Điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó điểm nối giữa các điện cực đệm 58 và 64 được sử dụng cho sự ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Fig.36 minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.36 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.34. Ngay cả trong phần tử tạo ảnh 1 được minh họa trên Fig.36, một đường nối dây đi qua 54 được bố trí cho mỗi bốn điểm ảnh cảm biến 12 chia sẻ mạch đọc 22 (đường nối dây ghép nối 72), và một đường nối dây đi qua 47 được

bố trí cho mỗi bốn điểm ảnh cảm biến 12 chia sẻ đường nối dây ghép nối 74.

Điều này có thể bố trí các đường nối dây đi qua 54 và 47 trong một cột trong phần mà kéo dài theo chiều thứ nhất V của lớp cách điện 53, ví dụ, như được minh họa trên Fig.36. Ở thời điểm này, có thể tăng độ rộng theo chiều thứ hai H của phần mà kéo dài theo chiều thứ nhất V của lớp cách điện 53, khi được so sánh với trường hợp trong đó các đường nối dây đi qua 54, 47, và 48 được bố trí cạnh nhau trong hai cột. Hơn nữa, có thể tăng độ rộng theo chiều thứ hai H của mỗi khối 21A của lớp nền bán dẫn 21 bởi lượng tương ứng với sự giảm đi về độ rộng theo chiều thứ hai H của phần mà kéo dài theo chiều thứ nhất V của lớp cách điện 53. Trong trường hợp trong đó mỗi khối 21A của lớp nền bán dẫn 21 tăng lên, có thể tăng kích cỡ của mạch đọc 22 trong mỗi khối 21A. Điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó điểm nối giữa các điện cực đệm 58 và 64 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

Fig.37 và Fig.38 đều minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.37 và Fig.38 minh họa các ví dụ về cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 có cấu trúc mặt cắt trên Fig.32, và minh họa các ví dụ cải biến về cấu hình mặt cắt trên Fig.33 và Fig.34.

Trong ví dụ cải biến hiện tại, như được mô tả ở trên, một đường nối dây đi qua 54 được bố trí cho mỗi bốn phần khuếch tán nối FD chia sẻ mạch đọc 22. Hơn nữa, trong ví dụ cải biến hiện tại, đường nối dây đi qua 47 cũng được bố trí qua một cách tương tự cho đường nối dây đi qua 54. Cụ thể, thay vì hai đường nối dây đi qua 47 liền kề với nhau, ví dụ, như được minh họa trên Fig.39, hai bộ ghép nối 73 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46) được ghép nối bằng điện với các lớp giếng p tương ứng 42 của lớp nền bán dẫn 11 của các điểm ảnh cảm biến 12 tương ứng. Hai bộ ghép nối 73 này được ghép nối bằng điện với đường nối dây ghép nối 74 được bố trí trong màng cách điện có lớp xen kẽ 51 (cụ thể, lớp cách điện 46). Đường nối dây ghép nối 74 được ghép nối bằng điện với đường nối dây đi qua 47 và đường nguồn điện VSS. Tức là, trong ví dụ

cải biến hiện tại, đường nối dây đi qua 47 không được cấp cho mỗi điểm ảnh cảm biến 12, và một đường nối dây đi qua 47 được bố trí cho mỗi hai điểm ảnh cảm biến 12 chia sẻ đường nối dây ghép nối 74.

Điều này có thể bố trí các đường nối dây đi qua 54 và 47 trong một cột trong phần mà kéo dài theo chiều thứ nhất V của lớp cách điện 53, ví dụ, như được minh họa trên Fig.38. Hơn nữa theo ví dụ, như được minh họa trên Fig.38, cũng có thể bố trí các đường nối dây đi qua 54 và 47 trong một cột trong phần mà kéo dài theo chiều thứ hai H của lớp cách điện 53. Ở thời điểm này, có thể giảm độ rộng theo chiều thứ hai H của phần mà kéo dài theo chiều thứ nhất V của lớp cách điện 53, và có thể giảm độ rộng theo chiều thứ nhất V của phần mà kéo dài theo chiều thứ hai H của lớp cách điện 53, khi được so sánh với trường hợp trong đó các đường nối dây đi qua 54, 47, và 48 được bố trí trong hai cột. Hơn nữa, có thể tăng độ rộng theo chiều thứ nhất V của mỗi khối 21A của lớp nền bán dẫn 21 bởi lượng tương ứng với sự giảm đi về độ rộng theo chiều thứ hai H của phần mà kéo dài theo chiều thứ nhất của lớp cách điện 53, và có thể tăng độ rộng theo chiều thứ nhất V của mỗi khối 21A của lớp nền bán dẫn 21 bởi lượng tương ứng với sự giảm đi về độ rộng theo chiều thứ nhất V của phần mà kéo dài theo chiều thứ hai H của lớp cách điện 53. Trong trường hợp trong đó mỗi khối 21A của lớp nền bán dẫn 21 tăng lên, cũng có thể làm tăng kích cỡ của mạch đọc 22 trong mỗi khối 21A. Điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh ngay cả trong trường hợp trong đó điểm nối giữa các điện cực đệm 58 và 64 được sử dụng để ghép nối bằng điện giữa lớp nền thứ hai 20 và lớp nền thứ ba 30. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh.

[Ví dụ cải biến J]

Các hình vẽ từ Fig.40A đến Fig.40F đều minh họa ví dụ cải biến của quy trình sản xuất của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

Đầu tiên, mạch đọc 22 bao gồm tranzito khuếch đại AMP và loại tương tự được tạo nên trong lớp nền bán dẫn 21 (Fig.40A). Tiếp theo, phần lõm được tạo nên ở vị trí định trước của bề mặt trước của lớp nền bán dẫn 21, và lớp cách điện

53 được tạo nên được đưa vào trong phần lõm (Fig.40A). Tiếp theo, lớp cách điện 52 được tạo ra trên lớp nền bán dẫn 21 (Fig.40A). Do đó, lớp nền 110 được tạo ra. Tiếp theo, lớp nền đỡ 120 được liên kết với chất 110 để làm tiếp xúc với lớp cách điện 52 (Fig.40B). Tiếp đó, bề mặt sau của lớp nền bán dẫn 21 được đánh bóng để giảm độ dày của lớp nền bán dẫn 21 (Fig.40C). Ở thời điểm này, bề mặt sau của lớp nền bán dẫn 21 được đánh bóng đến khi đạt tới phần lõm của lớp nền bán dẫn 21. Sau đó, lớp liên kết 130 được tạo nên trên bề mặt được đánh bóng (Fig.40D).

Tiếp theo, lớp nền 110 được liên kết với lớp nền thứ nhất 10 theo thiết kế sao cho lớp liên kết 130 đối diện với phía bề mặt trước của lớp nền bán dẫn 11 của lớp nền thứ nhất 10 (Fig.40E). Tiếp đó, lớp nền đỡ 120 được bong ra từ lớp nền 110 trong trạng thái mà trong đó lớp nền 110 được liên kết với lớp nền thứ nhất 10 (Fig.40F). Sau đó, thủ tục được mô tả ở trên trên các hình vẽ từ Fig.16D đến Fig.16F được thực hiện. Ngay cả theo cách thức như vậy, cũng có thể sản xuất phần tử tạo ảnh 1.

Như được mô tả ở trên, trong ví dụ cải biến hiện tại, sau khi mạch đọc 22 bao gồm tranzito khuếch đại AMP và loại tương tự được tạo nên trong lớp nền bán dẫn 21, lớp nền bán dẫn 21 được liên kết với lớp nền thứ nhất 10. Ngay cả trong trường hợp này, có thể đạt được tạo cấu hình của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

[Ví dụ cải biến K]

Fig.41 minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Fig.41 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.10.

Trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm điốt quang PD và tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12, và phần khuếch tán nổi FD được chia sẻ bởi mỗi bốn điểm ảnh cảm biến 12. Theo đó, trong ví dụ cải biến hiện tại, một đường nối dây đi qua 5 được bố trí cho mỗi bốn điểm ảnh cảm biến 12.

Trong các điểm ảnh cảm biến 12 được bố trí trong ma trận, bốn điểm ảnh cảm biến 12 tương ứng với vùng thu được bằng cách thay đổi vùng đơn vị tương

ứng với bốn điểm ảnh cảm biến 12 chia sẻ một phần khuếch tán nổi FD theo chiều thứ nhất V bởi một điểm ảnh cảm biến 12 được coi là bốn điểm ảnh cảm biến 12A để thuận tiện. Ở thời điểm này, trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm đường nối dây đi qua 47 được chia sẻ bởi mỗi bốn điểm ảnh cảm biến 12A. Theo đó, trong ví dụ cải biến hiện tại, một đường nối dây đi qua 47 được bố trí cho mỗi bốn điểm ảnh cảm biến 12A.

Trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm bộ phân tách phần tử 43 mà phân tách các điốt quang PD và các tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12. Như được thấy từ chiều trục giao với lớp nền bán dẫn 11, bộ phân tách phần tử 43 không hoàn toàn bao quanh điểm ảnh cảm biến 12, và có các khoảng trống (các vùng không được tạo nên) trong vùng lân cận của phần khuếch tán nổi FD (đường nối dây đi qua 54) và trong vùng lân cận của đường nối dây đi qua 47. Sau đó, các khoảng trống cho phép chia sẻ một đường nối dây đi qua 54 bởi bốn điểm ảnh cảm biến 12, và chia sẻ một đường nối dây đi qua 47 bởi bốn điểm ảnh cảm biến 12A. Trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 bao gồm mạch đọc 22 cho mỗi bốn điểm ảnh cảm biến 12 chia sẻ phần khuếch tán nổi FD.

Fig.42 minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.42 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.28. Trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm điốt quang PD và tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12, và phần khuếch tán nổi FD được chia sẻ bởi mỗi bốn điểm ảnh cảm biến 12. Hơn nữa, lớp nền thứ nhất 10 bao gồm bộ phân tách phần tử 43 mà phân tách các điốt quang PD và các tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12.

Fig.43 minh họa ví dụ của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Fig.43 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.29. Trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm điốt quang PD và tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12, và phần khuếch tán nổi FD được chia sẻ bởi mỗi bốn điểm ảnh cảm biến 12. Hơn nữa, lớp nền thứ nhất 10 bao gồm bộ phân tách phần tử 43 mà phân tách các điốt quang PD và các tranzito chuyển TR cho mỗi điểm ảnh cảm biến 12.

[Ví dụ cải biến L]

Fig.44 minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Fig.44 minh họa hình phóng to của phần ghép nối giữa lớp nền thứ nhất 10 và lớp nền thứ hai 20 trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

Trong hai điểm ảnh cảm biến 12 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau, hai cổng chuyển TG được bố trí tại khe hở giữa phần khuếch tán nổi FD của một trong hai điểm ảnh cảm biến 12 và phần khuếch tán nổi FD của điểm ảnh cảm biến 12 khác. Ở thời điểm này, quan hệ giữa t_1 và t_2 tốt hơn là thỏa mãn $t_2 > t_1 > t_2 / 3,5$, trong đó t_1 là độ dày của mỗi cổng chuyển TG và t_2 là độ dày của lớp cách điện 46 trong khe hở giữa phần khuếch tán nổi FD của một điểm ảnh cảm biến 12 và phần khuếch tán nổi FD của điểm ảnh cảm biến 12 khác.

Điều này có thể làm giảm mật độ của các đường điện của lực được tạo ra giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau. Kết quả là, có thể ngăn sự xuyên âm tín hiệu giữa các điểm ảnh cảm biến 12 liền kề với nhau, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và làm giảm chất lượng hình ảnh gây ra bởi hỗn hợp màu.

Trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.44, lớp cách điện 53 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của các lớp cách điện 46 và 52. Ở thời điểm này, lớp cách điện 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và các lớp cách điện 46 và 52 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.44, các lớp cách điện 53 và 52 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với hằng số điện môi tương đối của lớp cách điện 46. Ở thời điểm này, các lớp cách điện 53 và 52 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và lớp cách điện 46 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên

Fig.44, các lớp cách điện 46 và 53 có thể được tạo bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với hằng số điện môi tương đối của lớp cách điện 52. Ở thời điểm này, các lớp cách điện 46 và 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và lớp cách điện 52 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.44, lớp cách điện 46 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của các lớp cách điện 52 và 53. Ở thời điểm này, lớp cách điện 46 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và các lớp cách điện 52 và 53 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.44, các lớp cách điện 46, 52, và 53 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp. Ở thời điểm này, các lớp cách điện 46, 52, và 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.44, lớp cách điện 52 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của các lớp cách điện 46 và 52. Ở thời điểm này, lớp cách điện 52 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và các lớp cách điện 46 và 52 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1).

Trong trường hợp này, có thể giảm điện dung được tạo ra giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liên kết với nhau. Kết quả là, có thể ngăn sự xuyên âm tín hiệu giữa các điểm ảnh cảm biến 12 liên kết với nhau, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và làm giảm chất lượng hình ảnh gây ra bởi hỗn hợp màu.

Trong ví dụ cải biến hiện tại, lớp cách điện 53 được cung cấp để che phủ bề mặt bên cạnh của đường nối dây đi qua 54 có thể bao gồm vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của lớp cách điện 46 và lớp cách điện 52 theo ví dụ. Lớp cách điện 46 và lớp cách điện 52 được tạo ra bằng cách sử dụng, ví dụ, SiO₂ (hằng số điện môi tương đối khoảng 4,1).

Lớp cách điện 46 và lớp cách điện 52 có thể được tạo bằng cách sử dụng màng oxit silicon bao gồm, ví dụ, TEOS (Tetraethylorthosilicat), NSG, HDP (Tia plasma mật độ cao), BSG (Thủy tinh Boro Silicat), PSG (Thủy tinh Photpho Silicat), BPSG (Thủy tinh Boro Photpho Silicat), hoặc loại tương tự. Lớp cách điện 53 được tạo ra bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9). Trong trường hợp này, có thể giảm điện dung được tạo ra giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau. Kết quả là, có thể cải thiện hiệu quả chuyển đổi.

Trong ví dụ cải biến hiện tại, lớp cách điện 46 có thể bao gồm phần thân xếp chồng của ít nhất hai lớp cách điện. Lớp cách điện 46 có thể bao gồm lớp cách điện 46A tiếp xúc với lớp nền bán dẫn 11 và lớp cách điện 46B tiếp xúc với lớp cách điện 46A và lớp nền bán dẫn 21, ví dụ, như được minh họa trên Fig.45. Ở đây, lớp cách điện 46A là lớp trên cùng của lớp cách điện 46, và bao gồm, ví dụ, vật liệu có hằng số điện môi tương đối cao hơn so với hằng số điện môi tương đối ở vị trí bất kỳ nào khác của màng cách điện có lớp xen kẽ 51. Ở thời điểm này, lớp cách điện 46A có thể được tạo nên bằng cách sử dụng, ví dụ, SiN (hằng số điện môi tương đối khoảng 7,0). Lớp cách điện 46B và lớp cách điện 52 có thể được tạo bằng cách sử dụng, ví dụ, SiO₂ (hằng số điện môi tương đối khoảng 4,1). Lớp cách điện 46B và lớp cách điện 52 có thể được tạo bằng cách sử dụng màng oxit silicon bao gồm theo ví dụ, TEOS, NSG, HDP, BSG, PSG, BPSG, hoặc loại tương tự. Lớp cách điện 53 có thể được tạo bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9).

Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.45, lớp cách điện 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và các lớp cách điện 46B và 52 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.45, các lớp cách điện 53 và 52 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và lớp cách điện 46B có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.45, các lớp cách điện 46B và 53 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp

so với hằng số điện môi tương đối của lớp cách điện 52. Ở thời điểm này, các lớp cách điện 46B và 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và lớp cách điện 52 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.45, lớp cách điện 46B có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của các lớp cách điện 52 và 53. Ở thời điểm này, lớp cách điện 46B có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9), và các lớp cách điện 52 và 53 có thể được tạo nên bằng cách sử dụng SiO₂ (hằng số điện môi tương đối khoảng 4,1). Ngoài ra, trong màng cách điện có lớp xen kẽ 51 được minh họa trên Fig.45, các lớp cách điện 46B, 52, và 53 có thể được tạo nên bằng cách sử dụng vật liệu có hằng số điện môi tương đối thấp. Ở thời điểm này, các lớp cách điện 46B, 52, và 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiOC (hằng số điện môi tương đối khoảng 2,9).

Trong trường hợp này, có thể giảm điện dung được tạo ra giữa hai đường nối dây đi qua 54 mà được ghép nối với các mạch đọc 22 khác với nhau và liền kề với nhau. Kết quả là, có thể ngăn sự xuyên âm tín hiệu giữa các điểm ảnh cảm biến 12 liền kề với nhau, và có thể ngăn sự giảm đi về độ phân giải trên hình ảnh được tái tạo và làm giảm chất lượng hình ảnh gây ra bởi hỗn hợp màu.

Cần lưu ý là, trong một số trường hợp, các lớp cách điện 46B, 52, và 53 có thể được tạo nên bằng cách sử dụng vật liệu chung. Ở thời điểm này, các lớp cách điện 46B, 52, và 53 có thể được tạo nên bằng cách sử dụng, ví dụ, SiO₂ (hằng số điện môi tương đối khoảng 4,1).

[Ví dụ cải biến M]

Fig.46 và Fig.47 đều minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Fig.46 minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 mà được minh họa trên Fig.2. Fig.47 minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 mà được minh họa trên Fig.3. Trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 bao gồm mạch đọc 22 cho mỗi hai điểm ảnh cảm biến 12. Ngay cả với cấu trúc này, phần tử tạo ảnh 1 có các hiệu quả được

mô tả theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

[Ví dụ cải biến N]

Fig.48 và Fig.49 đều minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Fig.48 minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 mà được minh họa trên Fig.2. Fig.49 minh họa ví dụ cải biến của điểm ảnh cảm biến 12 và mạch đọc 22 mà được minh họa trên Fig.3. Trong ví dụ cải biến hiện tại, lớp nền thứ hai 20 bao gồm mạch đọc 22 cho mỗi điểm ảnh cảm biến 12. Ngay cả với cấu hình này, phần tử tạo ảnh 1 có các hiệu quả được mô tả theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

Cần lưu ý là, trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, lớp nền thứ hai 20 có thể bao gồm mạch đọc 22 cho mỗi ba điểm ảnh cảm biến 12. Ngoài ra, trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, lớp nền thứ hai 20 có thể bao gồm mạch đọc 22 cho mỗi tám điểm ảnh cảm biến 12. Ngoài ra, trong phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, lớp nền thứ hai 20 có thể bao gồm mạch đọc 22 cho mỗi năm hoặc nhiều điểm ảnh cảm biến 12 hơn. Ngay cả với cấu hình này, phần tử tạo ảnh 1 có các hiệu quả được mô tả theo phương án và các ví dụ cải biến của nó được mô tả nêu trên.

[Ví dụ cải biến O]

Fig.50 minh họa cấu hình mặt cắt ví dụ của phần của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Trong ví dụ cải biến hiện tại, tranzito (ví dụ, tranzito chuyển TR) trong lớp nền thứ nhất 10 và tranzito (ví dụ, tranzito khuếch đại AMP) trong lớp nền thứ hai 20 được tạo ra theo các điều kiện thiết kế khác với nhau. Cụ thể là, độ dày màng của màng cách điện cổng 81 của tranzito trong lớp nền thứ nhất 10 khác với độ dày màng của màng cách điện cổng 83 của tranzito trong lớp nền thứ hai 20. Ngoài ra, độ rộng tường bên của tranzito trong lớp nền thứ nhất 10 khác với độ rộng tường bên của tranzito trong lớp nền thứ hai 20. Ngoài ra, nồng độ nguồn/thoát (ví dụ, nồng độ của phần khuếch tán nổi FD) của tranzito trong lớp nền thứ nhất 10 khác với nồng độ nguồn/thoát của tranzito trong lớp nền thứ hai 20. Ngoài ra, độ dày màng của lớp

82 che phủ tranzito trong lớp nền thứ nhất 10 khác với độ dày màng của lớp 84 che phủ tranzito trong lớp nền thứ hai 20.

Tức là, trong ví dụ cải biến hiện tại, điều kiện thiết kế cho thấy sự khác nhau giữa tranzito trong điểm ảnh cảm biến 12 và tranzito trong mạch đọc 22. Điều này có thể thiết đặt điều kiện thiết kế thích hợp cho tranzito trong điểm ảnh cảm biến 12, và còn thiết đặt điều kiện thiết kế thích hợp cho tranzito trong mạch đọc 22.

[Ví dụ cải biến P]

Fig.51 và Fig.52 đều minh họa ví dụ cải biến của cấu hình mặt cắt theo chiều ngang của phần tử tạo ảnh 1 theo ví dụ cải biến C được mô tả nêu trên. Fig.51 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.33. Fig.52 minh họa ví dụ cải biến của cấu hình mặt cắt trên Fig.34.

Trong ví dụ cải biến hiện tại, đường nối dây cổng 49 được bỏ qua, và một trong các các đường nối dây đi qua 48 được bố trí cho mỗi cổng chuyển TG. Mỗi trong số các đường nối dây đi qua 48 được ghép nối bằng điện với cổng chuyển tương ứng TG và được ghép nối bằng điện với đường dẫn động điểm ảnh 23. Như được minh họa trên Fig.51 và Fig.52, các đường nối dây đi qua 54, các đường nối dây đi qua 48, và các đường nối dây đi qua 47 được bố trí cạnh nhau theo thiết kế kiểu băng chuyển theo chiều thứ nhất V (chiều hướng phải-hướng trái trên Fig.51 và Fig.52). Các đường nối dây đi qua 54 và các đường nối dây đi qua 47 được bố trí cạnh nhau trong cột theo chiều thứ nhất V (chiều bên phải-bên trái trên Fig.51 và Fig.52), và các đường nối dây đi qua 48 được bố trí cạnh nhau trong hai cột theo chiều thứ nhất V (chiều bên phải-bên trái trên Fig.51 và Fig.52).

Fig.53 minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Trong ví dụ cải biến hiện tại, một đường nối dây ghép nối 76 được bố trí cho mỗi bốn phần khuếch tán nối FD chia sẻ mạch đọc 22. Trong ví dụ cải biến I được minh họa trên Fig.32, như ví dụ về phương án, phần mà kéo dài theo chiều ngang với lớp nền của đường nối dây ghép nối 72 được tạo ra trên cổng chuyển TG (ở vị trí gần với lớp nền thứ hai 20). Ví dụ của phương pháp sản xuất được thông qua để tạo ra cấu hình này có thể tạo đường nối dây ghép nối 72 sau khi tạo cổng chuyển TG và sau đó tạo màng cách điện mà chạm đến chiều cao của cổng chuyển TG. Ngược lại, trong ví dụ cải biến P được

minh họa trên Fig.53, như ví dụ về phương án, bề mặt đáy (bề mặt ở phía lớp nền thứ nhất 10) của phần mà kéo dài theo chiều ngang đến lớp nền của đường nối dây ghép nối 76 được tạo ra dưới bề mặt trên cùng bề mặt ở phía lớp nền thứ hai 20) của cổng chuyển TG (ở vị trí gần với lớp nền thứ nhất 10). Theo ví dụ, phần kéo dài theo chiều ngang đến lớp nền của đường nối dây ghép nối 76 có thể được tạo ra trên màng cách điện cổng của tranzito của mạch đọc 22. Ngoài ra, màng cách điện có độ dày màng nhỏ hơn so với chiều cao của cổng chuyển TG có thể được tạo ra trên bề mặt trên cùng và bề mặt bên của cổng chuyển TG và bề mặt trên cùng của lớp nền thứ nhất 10 mà trong đó cổng chuyển TG không được bố trí, và phần kéo dài theo chiều ngang đến lớp nền của đường nối dây ghép nối 76 có thể được bố trí trên màng cách điện.

Đường nối dây ghép nối 76 được ghép nối với bốn phần khuếch tán nối FD qua số lượng các màng cách điện (ví dụ, màng cách điện cổng 75 của tranzito chuyển TR) của tranzito của mạch đọc 22 hoặc phần hở được bố trí trong màng cách điện mà có độ dày màng nhỏ hơn so với chiều cao của cổng chuyển TG. Đường nối dây ghép nối 76 được tạo nên tiếp xúc với bề mặt trước của số lượng các màng cách điện (ví dụ, số lượng các màng cách điện 75 của tranzito chuyển TR) của tranzito của mạch đọc 22. Đối với vật liệu điện cực được sử dụng cho đường nối dây ghép nối 76, vật liệu có độ bền nhiệt cao tốt hơn là được sử dụng. Ví dụ về vật liệu có độ bền nhiệt cao bao gồm polysilicon. Đường nối dây ghép nối 76 có thể bao gồm, ví dụ, kim loại như là vonfam hoặc đồng.

Trong ví dụ cải biến hiện tại, việc cung cấp đường nối dây ghép nối 76 có thể làm giảm diện tích chiếm giữ của lớp cách điện 53 mà đường nối dây đi qua 54 xuyên qua đó. Theo đó, có thể tăng diện tích của lớp nền bán dẫn 21 (khối 21A) bởi lượng tương ứng với sự giảm đi về diện tích chiếm giữ của lớp cách điện 53, mà có thể làm tăng diện tích của mạch đọc 22 (cụ thể, tranzito khuếch đại AMP). Kết quả là, có thể giảm sự nhiễu ngẫu nhiên.

Trong trường hợp trong đó độ dài theo chiều vuông góc với lớp nền của đường nối dây ghép nối 71 được minh họa trên Fig.32 được so sánh với độ dài b theo chiều vuông góc với lớp nền đến đường nối dây chung của đường nối dây ghép nối 76 được minh họa trên Fig.53, độ dài b ngắn hơn độ dài a. Một cách tương tự, trong trường hợp trong đó độ dài c theo chiều vuông góc với lớp nền

của đường nối dây ghép nối 73 được minh họa trên Fig.35 trong ví dụ cải biến I được so sánh với độ dài d theo chiều vuông góc với lớp nền đến đường nối dây chung của đường nối dây ghép nối 77 được mô tả sau đây trên Fig.54 trong ví dụ cải biến P, độ dài d ngắn hơn độ dài c . Ngoài ra, trong trường hợp trong đó độ dày e của phần mà được bao gồm trong các đường nối dây ghép nối 76 và 77 và kéo dài theo chiều ngang đến lớp nền (chiều cao theo chiều vuông góc với lớp nền của đường nối dây chung) được so sánh với độ dày $f (= b)$ của phần kéo dài theo chiều vuông góc với lớp nền, độ dày f nhỏ hơn độ dày e .

Ở đây, ví dụ, trường hợp sử dụng sự cấy ion được xét đến dùng cho phương pháp sản xuất để pha tạp loại N đường nối dây ghép nối 76 được ghép nối với phần khuếch tán nối FD mà là vùng tạp chất loại N, và phương pháp sản xuất để pha tạp loại P đường nối dây ghép nối 77 được ghép nối với lớp giếng p 42. Trong trường hợp trong đó độ dài của phần mà đi qua màng cách điện và kéo dài theo chiều vuông góc với lớp nền của các phần được chứa trong các đường nối dây ghép nối 76 và 77 là dài, để pha tạp toàn bộ các đường nối dây ghép nối 76 và 77 với nồng độ tạp chất đủ cao, có khả năng là cần thực hiện riêng việc cấy ion vào phần mà được bao gồm trong các đường nối dây ghép nối 76 và 77 và kéo dài theo chiều ngang đến lớp nền và cấy ion vào phần mà được chứa trong các đường nối dây ghép nối 76 và 77 và kéo dài trong lớp nền. Ngược lại, trong trường hợp trong đó phần mà đi qua màng cách điện và kéo dài theo chiều vuông góc với lớp nền là ngắn, có khả năng là việc thực hiện sự cấy ion vào phần kéo dài theo chiều ngang đến lớp nền có thể cũng pha tạp phần kéo dài theo chiều vuông góc với lớp nền có nồng độ đủ cao. Theo đó, có khả năng là có thể đơn giản hóa phương pháp sản xuất. Ngoài ra, có khả năng là có thể thực hiện đồng nhất việc pha tạp trong phần kéo dài theo chiều vuông góc với lớp nền mà không tạo sự chênh lệch nồng độ pha tạp tạp chất theo chiều vuông góc với lớp nền. Hơn nữa, có khả năng là có thể thực hiện sự pha tạp trong phần kéo dài theo chiều vuông góc với lớp nền và phần kéo dài theo chiều ngang đến lớp nền với cùng nồng độ.

Fig.54 minh họa ví dụ của cấu hình mặt cắt theo chiều dọc của phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại. Trong ví dụ cải biến hiện tại, một đường nối dây ghép nối 77 được bố trí cho các lớp giếng của mỗi bốn điểm ảnh cảm biến 12 liên kề với nhau. Trong ví dụ cải biến P được minh họa trên Fig.54, như ví dụ về

phương án, bề mặt dưới cùng (bề mặt ở phía lớp nền thứ nhất 10) của đường nối dây ghép nối 77 được tạo ra dưới bề mặt trên cùng (bề mặt ở phía lớp nền thứ hai 20) của cổng chuyển TG được minh họa trên Fig.53 (ở vị trí gần với lớp nền thứ nhất 10). Theo ví dụ, phần kéo dài theo chiều ngang đến lớp nền của đường nối dây ghép nối 77 có thể được tạo ra trên màng cách điện cổng của tranzito của mạch đọc 22. Ngoài ra, màng cách điện có độ dày màng nhỏ hơn so với chiều cao của cổng chuyển TG có thể được tạo ra trên bề mặt trên cùng và bề mặt bên của cổng chuyển TG và bề mặt trên cùng của lớp nền thứ nhất 10 mà trong đó cổng chuyển TG không được bố trí, và phần kéo dài theo chiều ngang đến lớp nền của đường nối dây ghép nối 77 có thể được bố trí trên màng cách điện.

Đường nối dây ghép nối 77 được ghép nối với bốn lớp giếng 42 qua số lượng các màng cách điện 75 của tranzito (ví dụ, tranzito chuyển TR) của mạch đọc 22 hoặc phần hở được bố trí trong màng cách điện có độ dày màng nhỏ hơn so với chiều cao của cổng chuyển TG. Đường nối dây ghép nối 76 được tạo nên tiếp xúc với bề mặt trước của số lượng các màng cách điện (ví dụ, số lượng các màng cách điện 75 của tranzito chuyển TR) của tranzito của mạch đọc 22. Đối với vật liệu điện cực được sử dụng cho đường nối dây ghép nối 77, vật liệu có độ bền nhiệt cao tốt hơn là được sử dụng. Ví dụ về vật liệu có độ bền nhiệt cao bao gồm polysilicon. Đường nối dây ghép nối 77 bao gồm, ví dụ, polysilicon được pha tạp với tạp chất loại P. Đường nối dây ghép nối 77 có thể bao gồm, ví dụ, kim loại như là vonfam hoặc đồng.

Trong trường hợp trong đó bộ ghép nối 73 và đường nối dây ghép nối 74 được minh họa trên Fig.35 của ví dụ cải biến I được so sánh với đường nối dây ghép nối 77 được minh họa trên Fig.54 của ví dụ cải biến P, độ dài g của phần mà đi qua màng cách điện và kéo dài theo chiều vuông góc với các lớp nền 10 và 20 trong đường nối dây ghép nối 77 ngắn hơn độ dài h của phần mà đi qua màng cách điện và kéo dài theo chiều vuông góc với các lớp nền 10 và 20 trong phần ghép nối 73 và đường nối dây ghép nối 74. Ngoài ra, trong trường hợp trong đó độ dày i (chiều cao theo chiều vuông góc với lớp nền) của phần mà được bao gồm trong đường nối dây ghép nối 77 và kéo dài theo chiều ngang đến lớp nền được so sánh với độ dày g (chiều cao theo chiều vuông góc với lớp nền) của phần kéo dài theo chiều vuông góc với lớp nền, độ dày g nhỏ hơn độ dày i.

Trong ví dụ cải biến hiện tại, việc cung cấp đường nối dây ghép nối 77 có thể làm giảm diện tích chiếm giữ của lớp cách điện 53 mà đường nối dây đi qua 47 xuyên qua đó. Theo đó, có thể tăng diện tích của lớp nền bán dẫn 21 (khối 21A) bởi lượng tương ứng với sự giảm đi về diện tích chiếm giữ của lớp cách điện 53, mà có thể làm tăng diện tích của mạch đọc 22 (cụ thể, tranzito khuếch đại AMP). Kết quả là, có thể giảm sự nhiễu ngẫu nhiên.

Độ dày của các đường nối dây ghép nối 76 và 77 có thể không cần giống như độ dày của điện cực cổng (ví dụ, cổng chuyển TG của tranzito chuyển TR) của tranzito của mạch đọc 22. Độ dày của các đường nối dây ghép nối 76 và 77 nhỏ hơn độ dày của điện cực cổng (ví dụ, cổng chuyển TG của tranzito chuyển TR) của tranzito của mạch đọc 22 theo ví dụ. Cần lưu ý là độ dày của các đường nối dây ghép nối 76 và 77 có thể cơ bản là bằng hoặc lớn hơn độ dày của điện cực cổng (ví dụ, cổng chuyển TG của tranzito chuyển TR) của tranzito của mạch đọc 22, ví dụ, như được minh họa trên Fig.55 và Fig.56.

Ví dụ, có khả năng là có thể giảm điện dung ghép nối giữa đường nối dây ghép nối 76 được ghép nối với phần khuếch tán nối FD và cổng chuyển TG khi độ dày của các đường nối dây ghép nối 76 và 77 trở nên nhỏ hơn độ dày của cổng chuyển TG. Theo đó, trong trường hợp trong đó lượng điện tích cụ thể được đưa vào chuyển đổi điện tích thành điện áp trong phần khuếch tán nối FD, có khả năng là điện áp tín hiệu được tạo ra được tăng thêm.

Ngược lại, trong trường hợp trong đó các đường nối dây ghép nối 76 và 77 được pha tạp với tạp chất bằng cách cấy ion, khoảng cấy ion không phải là một khoảng cụ thể, nhưng là sự phân bố khoảng được gọi là khoảng dự kiến, mà trải ra theo chiều của khoảng. Khi xem xét đến sự trải ra của tạp chất theo chiều của khoảng này, trong trường hợp trong đó các đường nối dây ghép nối 76 và 77 được pha tạp với tạp chất bằng cách cấy ion, có khả năng là các đường nối dây ghép nối 76 và 77 được pha tạp với tạp chất với khả năng kiểm soát đầy đủ khi độ dày của các đường nối dây ghép nối 76 và 77 tăng lên.

Cần lưu ý là, trong ví dụ cải biến hiện tại, ví dụ, như được minh họa trên Fig.57, Fig.58, và Fig.59, một đường nối dây đi qua 48 có thể được cung cấp không phải cho mỗi trong số các cổng chuyển TG mà là cho tất cả các cổng chuyển TG. Trong trường hợp này, bộ ghép nối 79 và đường nối dây ghép nối 78 mà ghép

nối các cổng chuyển TG chia sẻ đường nối dây đi qua 48 với nhau có thể được cung cấp. Một trong số các bộ ghép nối 79 được bố trí cho mỗi cổng chuyển TG, và mỗi trong số các phần ghép nối 79 được ghép nối với cổng chuyển TG và đường nối dây ghép nối 78. Một trong số các đường nối dây ghép nối 78 được bố trí cho mỗi cổng chuyển TG mà chia sẻ đường nối dây đi qua 48. Bộ ghép nối 79 và đường nối dây ghép nối 78 bao gồm, ví dụ, polysilicon được pha tạp với tạp chất loại N, và được ghép nối với cổng chuyển TG. Bộ ghép nối 73 và đường nối dây ghép nối 74 bao gồm, ví dụ, polysilicon được pha tạp với tạp chất loại N, và được ghép nối với phần khuếch tán nối FD mà là vùng tạp chất loại N.

Như được mô tả ở trên, trong trường hợp trong đó một đường nối dây đi qua 48 được bố trí cho mỗi cổng chuyển TG, ví dụ, như được minh họa trên Fig.58, có thể giảm diện tích chiếm giữ của lớp cách điện 53 mà đường nối dây đi qua 48 xuyên qua đó. Theo đó, có thể tăng diện tích của lớp nền bán dẫn 21 (khối 21A) bởi lượng tương ứng với sự giảm đi về diện tích chiếm giữ của lớp cách điện 53, mà có thể làm tăng diện tích của mạch đọc 22 (cụ thể, tranzito khuếch đại AMP). Cần lưu ý là, trên Fig.59, phần ghép nối 71 và đường nối dây ghép nối 72 có thể được tạo ra một cách tích hợp. Ngoài ra, đường nối dây đi qua 48 có thể được tạo ra trong lớp nền thứ nhất 10 và được ghép nối với đường nối dây được tạo ra trong lớp cách điện 46 để thu tín hiệu dẫn động của cổng chuyển.

Ngoài ra, trong ví dụ cải biến hiện tại, chiều cao j của phần ghép nối 71 lớn hơn chiều cao k của cổng chuyển TG. Tức là, màng cách điện được tạo ra lên phía trên bề mặt trên cùng của cổng chuyển TG, và đường nối dây ghép nối 72 được tạo trong trạng thái mà trong đó bề mặt trước của lớp nền được làm phẳng bởi màng cách điện. Điều này làm cho dễ dàng hơn trong việc xử lý đường nối dây ghép nối 72.

Ngoài ra, trong ví dụ cải biến hiện tại, ví dụ, như được minh họa trên Fig.60, Fig.61, và Fig.62, đường nối dây đi qua 80 kéo dài qua bốn điểm ảnh cảm biến 12 liền kề với nhau có thể được đề xuất thay cho nhóm của phần ghép nối 73, đường nối dây ghép nối 74, và đường nối dây đi qua 47. Đường nối dây đi qua 80 được tạo ra để xuyên qua lớp cách điện thông qua 53, và được ghép nối bằng điện với các lớp giếng 42 của bốn điểm ảnh cảm biến 12 liền kề với nhau và đường nguồn điện VSS. Cần lưu ý là, mặc dù tiếp xúc với lớp giếng p không được minh họa,

như trong các cấu trúc trên các Fig.54 và 56, có thể sử dụng cấu trúc mà trong đó polysilicon được pha tạp loại p.

Trong ví dụ cải biến hiện tại, trong trường hợp trong đó đường nối dây đi qua 80 được bố trí, có thể giảm diện tích chiếm giữ của lớp cách điện 53 mà đường nối dây đi qua 80 xuyên qua đó. Theo đó, có thể tăng diện tích của lớp nền bán dẫn 21 (khối 21A) bởi lượng tương ứng với sự giảm đi về diện tích chiếm giữ của lớp cách điện 53, mà có thể làm tăng diện tích của mạch đọc 22 (cụ thể, tranzito khuếch đại AMP). Kết quả là, có thể giảm sự nhiễu ngẫu nhiên.

Ngoài ra, trong ví dụ cải biến hiện tại, ví dụ, như được minh họa trên Fig.63, đường nối dây ghép nối 76 có thể được cung cấp ngoài việc cung cấp đường nối dây đi qua 80. Trong trường hợp này, có thể giảm diện tích chiếm giữ của lớp cách điện 53 mà các đường nối dây đi qua 54 và 80 xuyên qua đó. Theo đó, có thể tăng diện tích của lớp nền bán dẫn 21 (khối 21A) bởi lượng tương ứng với sự giảm đi về diện tích chiếm giữ của lớp cách điện 53, mà có thể làm tăng diện tích của mạch đọc 22 (cụ thể, tranzito khuếch đại AMP). Kết quả là, có thể giảm sự nhiễu ngẫu nhiên.

[Ví dụ cải biến Q]

Fig.64 minh họa ví dụ của cấu hình mạch của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại là cảm biến hình ảnh CMOS bao gồm ADC song song theo cột.

Như được minh họa trên Fig.64, phần tử tạo ảnh 1 theo ví dụ cải biến hiện tại bao gồm mạch dẫn động dọc 33, mạch xử lý tín hiệu cột 34, bộ cấp điện áp tham chiếu 38, mạch dẫn động ngang 35, đường đầu ra nằm ngang 37, và mạch điều khiển hệ thống 36, ngoài vùng điểm ảnh 13 được tạo cấu hình bằng cách sắp xếp hai chiều, theo các hàng và các cột (ma trận), các điểm ảnh cảm biến 12 đều bao gồm bộ chuyển đổi quang điện.

Trong cấu trúc hệ thống này, mạch điều khiển hệ thống 36 tạo ra tín hiệu đếm xung, tín hiệu điều khiển, và loại tương tự đóng vai trò là các tham chiếu của các hoạt động của mạch dẫn động dọc 33, mạch xử lý tín hiệu cột 34, bộ cấp điện áp tham chiếu 38, mạch dẫn động ngang 35, và loại tương tự trên cơ sở của bộ đếm xung chủ MCK, và cung cấp tín hiệu đếm xung, tín hiệu điều khiển, và loại tương

tự cho mạch dẫn động dọc 33, mạch xử lý tín hiệu cột 34, bộ cấp điện áp tham chiếu 38, mạch dẫn động ngang 35, và loại tương tự.

Ngoài ra, mạch dẫn động dọc 33 được tạo ra, cùng với các điểm ảnh cảm biến 12 tương ứng trong vùng điểm ảnh 13, trong lớp nền thứ nhất 10, và cũng được tạo nên trong lớp nền thứ hai 20 mà trong đó các mạch dọc 22 được tạo ra. Mạch xử lý tín hiệu cột 34, bộ cấp điện áp tham chiếu 38, mạch dẫn động ngang 35, đường đầu ra nằm ngang 37, và mạch điều khiển hệ thống 36 được tạo nên trong lớp nền thứ ba 30.

Mặc dù không được minh họa ở đây, như các điểm ảnh cảm biến 12, ví dụ, có thể sử dụng các điểm ảnh cảm biến có cấu hình bao gồm tranzito chuyển TR ngoài điốt quang PD. Tranzito chuyển TR chuyển, đến phần khuếch tán nổi FD, các phần điện tích thu được bởi sự chuyển đổi quang điện trong điốt quang PD. Ngoài ra, mặc dù không được minh họa ở đây, như các mạch dọc 22, ví dụ, có thể sử dụng mạch dọc mà có cấu trúc ba tranzito bao gồm tranzito thiết đặt lại RST mà điều khiển điện thế của phần khuếch tán nổi FD, tranzito khuếch đại AMP mà đưa ra tín hiệu tương ứng với điện thế của phần khuếch tán nổi FD, và tranzito lựa chọn SEL dùng cho việc lựa chọn điểm ảnh.

Trong vùng điểm ảnh 13, các điểm ảnh cảm biến 12 được sắp xếp hai chiều, và một trong các đường dẫn điểm ảnh 23 được nối dây với mỗi hàng của hàng m bởi sự sắp xếp điểm ảnh theo cột n, và một trong các đường tín hiệu dọc 24 được nối dây với mỗi cột. Các đường dẫn động điểm ảnh 23 đều có một đầu được ghép nối với một trong các thiết bị đầu cuối đầu ra tương ứng, tương ứng với các hàng tương ứng, của mạch dẫn động dọc 33. Mạch dẫn động dọc 33 bao gồm bộ đăng ký dịch chuyển và loại tương tự, và thực hiện việc điều khiển địa chỉ hàng và sự quét hàng của vùng điểm ảnh 13 qua các đường dẫn động điểm ảnh 23.

Mạch xử lý tín hiệu cột 34 bao gồm, ví dụ, các ADC (các mạch chuyển đổi tương tự-số) 34-1 đến 34-m, một trong số đó được bố trí cho mỗi cột điểm ảnh của vùng điểm ảnh 13, mà là, cho mỗi đường tín hiệu dọc 24, và chuyển đổi tín hiệu tương tự được đưa ra từ mỗi cột của các điểm ảnh cảm biến 12 trong vùng điểm ảnh 13 vào tín hiệu số, và đưa ra tín hiệu số.

Bộ cấp điện áp tham chiếu 38 bao gồm, ví dụ, DAC (mạch chuyển đổi số-

tương tự) 38A như các phương tiện tạo ra điện áp tham chiếu V_{ref} của dạng sóng đoạn đường nối (RAMP), trong đó mức độ được thay đổi dần theo thời gian. Cần lưu ý là, như các phương tiện tạo ra điện áp tham chiếu V_{ref} của dạng sóng đoạn đường nối không giới hạn ở DAC 38A.

DAC 38A tạo ra điện áp tham chiếu V_{ref} của dạng sóng đoạn đường nối trên cơ sở của bộ đếm xung CK được cấp từ mạch điều khiển hệ thống 36 theo sự điều khiển bởi tín hiệu điều khiển CS1 được cấp từ mạch điều khiển hệ thống 36, và cấp điện áp tham chiếu V_{ref} cho các ADC 34-1 đến 34-m của bộ xử lý theo cột 15.

Cần lưu ý là mỗi ADC 34-1 đến 34-m được tạo cấu hình để thực hiện một cách chọn lọc hoạt động chuyển đổi AD tương ứng với mỗi chế độ hoạt động. Các chế độ hoạt động bao gồm chế độ tốc độ khung thông thường trong hệ thống quét lũy tiến mà trong đó thông tin của tất cả các điểm ảnh cảm biến 12 được đọc, và chế độ tốc độ khung cao mà trong đó thời gian phơi sáng của các điểm ảnh cảm biến 12 được thiết đặt là $1/N$ để làm tăng tốc độ khung bởi N lần, ví dụ, bằng hai lần tốc độ khung trong chế độ tốc độ khung thông thường. Việc chuyển đổi các chế độ hoạt động như vậy được thực hiện bởi điều khiển bởi các tín hiệu điều khiển CS2 và CS3 được cấp từ mạch điều khiển hệ thống 36. Ngoài ra, thông tin lệnh để chuyển đổi giữa các chế độ hoạt động tương ứng, tức là, chế độ tốc độ khung thông thường và chế độ tốc độ khung tốc độ cao được bố trí từ bộ điều khiển hệ thống bên ngoài (không được minh họa) đến mạch điều khiển hệ thống 36.

Các ADC 34-1 đến 34-m tất cả có cùng cấu hình, và ADC 34-m được mô tả ở đây là ví dụ. ADC 34-m bao gồm bộ so sánh 34A, ví dụ, bộ đếm lên-xuống (mà được gọi là “U/DCNT” trong sơ đồ) 34B đóng vai trò là các phương tiện đếm, bộ chuyển đổi chuyển 34C, và thiết bị bộ nhớ 34D.

Bộ so sánh 34A so sánh điện áp tín hiệu V_x của đường tín hiệu dọc 24 tương ứng với tín hiệu được đưa ra từ mỗi trong số các điểm ảnh cảm biến 12 trong cột thứ n của vùng điểm ảnh 13 với điện áp tham chiếu V_{ref} của dạng sóng đoạn đường nối được cung cấp từ bộ cấp điện áp tham chiếu 38, và, chuyển đầu ra V_{co} sang mức “H” trong trường hợp trong đó điện áp tham chiếu V_{ref} lớn hơn điện áp tín hiệu V_x , ví dụ, và chuyển đầu ra V_{co} sang mức “L” trong trường hợp trong đó

điện áp tham chiếu V_{ref} bằng hoặc nhỏ hơn điện áp tín hiệu V_x theo ví dụ.

Bộ đếm lên-xuống 34B bao gồm bộ đếm không đồng bộ, và đo khoảng thời gian so sánh từ điểm bắt đầu đến điểm kết thúc của hoạt động so sánh trong bộ so sánh 34A bằng cách thu bộ đếm xung CK từ mạch điều khiển hệ thống 36 cùng lúc với DAC 38A và thực hiện đếm xuống (DOWN) hoặc đếm lên (UP) khi đồng bộ với bộ đếm xung CK theo sự điều khiển bởi tín hiệu điều khiển CS2 được cấp từ mạch điều khiển hệ thống 36.

Cụ thể, trong chế độ tốc độ khung thông thường, trong hoạt động đọc tín hiệu từ một điểm ảnh cảm biến 12, thời gian so sánh trong bộ đọc thứ nhất được đo bằng cách thực hiện đếm xuống trong hoạt động đọc thứ nhất, và thời gian so sánh trong bộ đọc thứ hai được đo bằng cách thực hiện đếm lên trong hoạt động đọc thứ hai.

Ngược lại, trong chế độ tốc độ khung cao, kết quả đếm của các điểm ảnh cảm biến 12 trong hàng cụ thể được giữ nguyên. Tiếp đó, đối với các điểm ảnh cảm biến 12 trong hàng tiếp theo sau hàng cụ thể, thời gian so sánh trong bộ đọc thứ nhất được đo bằng cách thực hiện đếm xuống trong hoạt động đọc thứ nhất từ kết quả đếm trước đó, và thời gian so sánh trong bộ đọc thứ hai được đo bằng cách thực hiện đếm lên trong hoạt động đọc thứ hai.

Trong chế độ tốc độ khung thông thường, theo sự điều khiển bởi tín hiệu điều khiển CS3 được cấp từ mạch điều khiển hệ thống 36, bộ chuyển đổi chuyển 34C được chuyển sang trạng thái BẬT (được đóng) khi hoạt động đếm cho các điểm ảnh cảm biến 12 trong hàng cụ thể bởi bộ đếm lên-xuống 34B được hoàn tất, và chuyển kết quả đếm bởi bộ đếm lên-xuống 34B đến thiết bị bộ nhớ 34D.

Ngược lại, ở tốc độ khung cao $N = 2$, bộ chuyển đổi chuyển 34C duy trì ở trạng thái TẮT (mở) khi hoạt động đếm cho các điểm ảnh cảm biến 12 trong hàng cụ thể bởi bộ đếm lên-xuống 34B được hoàn tất. Tiếp đó bộ chuyển đổi chuyển 34C được chuyển sang trạng thái BẬT khi hoạt động đếm cho các điểm ảnh cảm biến 12 trong hàng tiếp theo sau hàng cụ thể bởi bộ đếm lên-xuống 34B được hoàn tất, và chuyển các kết quả đếm của hai điểm ảnh dọc bởi bộ đếm lên-xuống 34B đến thiết bị bộ nhớ 34D.

Như được mô tả ở trên, các tín hiệu tương tự được cấp từ các điểm ảnh cảm

biến 12 trong vùng điểm ảnh 13 trên cơ sở cột với cột qua các đường tín hiệu dọc 24 được chuyển đổi thành các tín hiệu số N-bit bởi các hoạt động tương ứng bởi bộ so sánh 34A và bộ đếm lên-xuống 34B trong các ADC 34-1 đến 34-m, và các tín hiệu số được lưu trữ trong thiết bị bộ nhớ 34D.

Mạch dẫn động ngang 35 bao gồm bộ đăng ký dịch chuyển và loại tương tự, và thực hiện điều khiển các địa chỉ cột và việc quét cột của các ADC 34-1 đến 34-m trong mạch xử lý tín hiệu cột 34. Dưới sự điều khiển bởi mạch dẫn động ngang 35, N-bit tín hiệu số thu được bởi sự chuyển đổi A/D trong các ADC 34-1 đến 34-m tương ứng được tuần tự đọc cho đường đầu ra nằm ngang 37, và được đưa ra dưới dạng dữ liệu tạo ảnh qua đường đầu ra nằm ngang 37.

Cần lưu ý là mạch và loại tương tự mà thực hiện các kiểu khác nhau của việc xử lý tín hiệu trên dữ liệu tạo ảnh được đưa ra qua đường đầu ra nằm ngang 37 có thể được cung cấp ngoài các thành phần được mô tả nêu trên; tuy nhiên, mạch và loại tương tự không được minh họa, vì mạch và loại tương tự không trực tiếp liên quan đến sáng chế.

Trong phần tử tạo ảnh 1 bao gồm ADC song song theo cột mà có cấu hình như được mô tả ở trên theo ví dụ cải biến hiện tại, có thể chuyển một cách chọn lọc kết quả đếm của bộ đếm lên-xuống 34B đến thiết bị bộ nhớ 34D qua bộ chuyển đổi chuyển 34C, mà có thể để điều khiển độc lập hoạt động đếm bởi bộ đếm lên-xuống 34B và hoạt động đọc của kết quả đếm từ bộ đếm lên-xuống 34B cho đường đầu ra nằm ngang 37.

[Ví dụ cải biến R]

Fig.65 minh họa ví dụ mà trong đó phần tử tạo ảnh 1 trên Fig.64 được tạo cấu hình bằng cách xếp chồng ba lớp nền (lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30). Trong ví dụ cải biến hiện tại, lớp nền thứ nhất 10 bao gồm vùng điểm ảnh 13 bao gồm các điểm ảnh cảm biến 12 mà được tạo trong phần trung tâm, và mạch dẫn động dọc 33 mà được tạo xung quanh vùng điểm ảnh 13. Ngoài ra, trong lớp nền thứ hai 20, vùng mạch đọc 15 bao gồm các mạch đọc 22 được tạo nên trong phần trung tâm, và mạch dẫn động dọc 33 được tạo nên xung quanh vùng mạch đọc 15. Trong lớp nền thứ ba 30, mạch xử lý tín hiệu cột 34, mạch dẫn động ngang 35, mạch điều khiển hệ thống 36, đường đầu ra nằm

ngang 37, và bộ cấp điện áp tham chiếu 38 được tạo nên. Đối với phương án và các ví dụ cải biến của nó được mô tả nêu trên, điều này ngăn sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh bởi cấu trúc mà trong đó các lớp nền được ghép nối với nhau bằng điện. Kết quả là, có thể cung cấp phần tử tạo ảnh 1 mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh. Cần lưu ý là mạch dẫn động dọc 33 có thể được tạo nên chỉ trong lớp nền thứ nhất 10, hoặc có thể được tạo nên chỉ trong lớp nền thứ hai 20.

[Ví dụ cải biến S]

Fig.66 minh họa ví dụ cải biến của cấu hình mặt cắt của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, phần tử tạo ảnh 1 được tạo cấu hình bằng cách xếp chồng ba lớp nền (lớp nền thứ nhất 10, lớp nền thứ hai 20, và lớp nền thứ ba 30). Tuy nhiên, theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, phần tử tạo ảnh 1 có thể được tạo cấu hình bằng cách xếp chồng hai lớp nền (lớp nền thứ nhất 10 và lớp nền thứ hai 20). Ở thời điểm này, mạch logic 32 được phân tách để cung cấp cho lớp nền thứ nhất 10 và lớp nền thứ hai 20, ví dụ, như được minh họa trên Fig.66. Ở đây, mạch 32A được cung cấp trong lớp nền thứ nhất 10 của mạch logic 32 bao gồm tranzito mà có cấu hình cổng mà trong đó màng có hằng số điện môi cao (ví dụ, k cao) bao gồm hằng số vật liệu cho việc xử lý ở nhiệt độ cao và điện cực cổng kim loại được xếp chồng. Ngược lại, trong mạch 32B được cung cấp trong lớp nền thứ hai 20, vùng có điện trở thấp 26 bao gồm silixua như là CoSi_2 và NiSi được bố trí trên bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát. Silixua được tạo ra với việc sử dụng quy trình silixua (Silixua tự căn chỉnh). Vùng có độ bền thấp bao gồm silixua bao gồm hợp chất mà chứa vật liệu của lớp nền bán dẫn và kim loại. Điều này khiến có thể sử dụng quy trình nhiệt độ cao chẳng như sự oxy hóa nhiệt cho sự hình thành các điểm ảnh cảm biến 12. Ngoài ra, có thể làm giảm độ bền chống tiếp xúc trong trường hợp trong đó vùng có độ bền thấp 26 bao gồm silixua được bố trí trên bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát trong mạch 32B được bố trí trong điện cực thứ hai 20 của mạch logic 32. Kết quả là, có thể tăng tốc độ hoạt

động của mạch logic 32.

Fig.67 minh họa ví dụ cải biến của cấu hình mặt cắt của phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên. Trong mạch logic 32 của lớp nền thứ ba 30 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, vùng có điện trở thấp 37 bao gồm silixua như là CoSi_2 và NiSi có thể được cung cấp trên bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát. Silixua được tạo ra với việc sử dụng quy trình silixua (Silixua tự căn chỉnh). Điều này khiến có thể sử dụng quy trình nhiệt độ cao chẳng hạn như sự oxy hóa nhiệt cho sự hình thành các điểm ảnh cảm biến 12. Ngoài ra, có thể giảm độ bền chống tiếp xúc trong trường hợp trong đó vùng có độ bền thấp 37 bao gồm silixua được bố trí trên bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn và điện cực thoát trong mạch logic 32. Kết quả là, có thể tăng tốc độ hoạt động của mạch logic 32.

[Ví dụ cải biến T]

Theo phương án và các ví dụ cải biến của nó được mô tả nêu trên, kiểu dẫn điện có thể được đảo ngược. Ví dụ, trong phần mô tả của phương án và các ví dụ cải biến của nó được mô tả nêu trên, loại p có thể được thay thế bằng loại n, và loại n có thể được thay thế bằng loại p. Ngay cả trong trường hợp này, các hiệu quả tương tự như theo phương án và các ví dụ cải biến của nó được mô tả nêu trên là có thể đạt được.

Cần lưu ý là sáng chế áp dụng được không chỉ cho phần tử thu ánh sáng cho ánh sáng quan sát được mà còn cho phần tử mà được tạo kết cấu để phát hiện các kiểu bức xạ khác nhau như là các tia hồng ngoại, các tia cực tím, các tia X, và các sóng điện từ. Sáng chế có thể áp dụng được cho các ứng dụng khác nhau như là đo khoảng cách, thay đổi lượng ánh sáng, và phát hiện đặc tính vật lý ngoài việc đưa ra hình ảnh.

<3.Ví dụ ứng dụng>

Fig.68 minh họa ví dụ của cấu hình giản lược của thiết bị tạo ảnh 2 bao gồm phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên (sau đây, được gọi đơn giản là “phần tử tạo ảnh 1”).

Thiết bị tạo ảnh 2 bao gồm, ví dụ, thiết bị điện tử bao gồm thiết bị tạo ảnh

như là camera kỹ thuật số hoặc camera video, hoặc thiết bị đầu cuối di động như là điện thoại thông minh hoặc thiết bị đầu cuối dạng bảng. Thiết bị tạo ảnh 2 bao gồm, ví dụ, phần tử tạo ảnh 1, hệ thống quang học 141, thiết bị màn trập 142, mạch điều khiển 143, mạch DSP 144, bộ nhớ khung 145, bộ hiển thị 146, bộ lưu trữ 147, bộ thao tác 148, và bộ nguồn điện 149. Trong thiết bị tạo ảnh 2, phần tử tạo ảnh 1, thiết bị màn trập 142, mạch điều khiển 143, mạch DSP 144, bộ nhớ khung 145, bộ hiển thị 146, bộ lưu trữ 147, bộ thao tác 148, và bộ nguồn điện 149 được ghép nối với một bộ khác qua đường kênh truyền 150.

Phần tử tạo ảnh 1 đưa ra dữ liệu hình ảnh tương ứng với ánh sáng đi vào. Hệ thống quang học 141 bao gồm một hoặc nhiều ống kính, và dẫn hướng ánh sáng (ánh sáng đi vào) từ đối tượng đến phần tử tạo ảnh 1 để tạo nên hình ảnh trên bề mặt thu ánh sáng của phần tử tạo ảnh 1. Thiết bị màn trập 142 được bố trí giữa hệ thống quang học 141 và phần tử tạo ảnh 1, và điều khiển khoảng thời gian mà trong đó phần tử tạo ảnh 1 được chiếu xạ với ánh sáng và khoảng thời gian mà trong đó ánh sáng được chặn theo sự điều khiển bởi mạch điều khiển 143. Phần tử tạo ảnh 1 tích lũy điện tích tín hiệu trong khoảng thời gian định trước theo ánh sáng mà hình ảnh được tạo nên trên bề mặt thu ánh sáng qua hệ thống quang học 141 và thiết bị màn trập 142. Điện tích tín hiệu được tích lũy trong phần tử tạo ảnh 1 được chuyển sang dữ liệu hình ảnh theo tín hiệu dẫn động (tín hiệu định thời) được cấp từ mạch điều khiển 143. Mạch điều khiển 143 đưa ra tín hiệu dẫn động để điều khiển hoạt động chuyển của phần tử tạo ảnh 1 và thao tác trập của thiết bị màn trập 142 để dẫn động phần tử tạo ảnh 1 và thiết bị màn trập 142.

Mạch DSP 144 là mạch xử lý tín hiệu mà xử lý tín hiệu (dữ liệu hình ảnh) được đưa ra từ phần tử tạo ảnh 1. Bộ nhớ khung 145 tạm thời giữ dữ liệu hình ảnh được xử lý bởi mạch DSP 144 trong đơn vị khung. Bộ hiển thị 146 bao gồm, ví dụ, thiết bị hiển thị panen như là panen tinh thể lỏng hoặc panen hữu cơ EL (Electro Luminescence, điện phát quang), và hiển thị hình ảnh động hoặc hình ảnh tĩnh được chụp lại bởi phần tử tạo ảnh 1. Bộ lưu trữ 147 ghi dữ liệu hình ảnh của hình ảnh động hoặc hình ảnh tĩnh được chụp lại bởi phần tử tạo ảnh 1 trong phương tiện ghi như là bộ nhớ bán dẫn hoặc đĩa cứng. Bộ thao tác 148 đưa ra lệnh thao tác về các kiểu chức năng khác nhau của thiết bị tạo ảnh 2 theo thao tác bởi người dùng. Bộ nguồn điện 149 cấp các kiểu nguồn điện khác nhau đóng vai trò

là nguồn thao tác dùng cho phần tử tạo ảnh 1, thiết bị màn trập 142, mạch điều khiển 143, mạch DSP 144, bộ nhớ khung 145, bộ hiển thị 146, bộ lưu trữ 147, và bộ thao tác 148, cho các đích cấp này khi cần thiết.

Phần tử tạo ảnh của sáng chế cũng được ứng dụng cho phần tử tạo ảnh của môđun tạo ảnh bao gồm ống kính, IRCF (Infrared Cut Filter, bộ lọc cắt hồng ngoại), và loại tương tự được mô tả là ví dụ đã biết trong công bố đơn sáng chế chưa qua xét nghiệm Nhật Bản số 2015-99262, hoặc là sáng chế. Ngay cả trong thiết bị tạo ảnh 2, môđun tạo ảnh bằng cách sử dụng phần tử tạo ảnh này cũng áp dụng được.

Tiếp theo, phần mô tả được đưa ra về thủ tục tạo ảnh trong thiết bị tạo ảnh 2.

Fig.69 minh họa ví dụ về lưu đồ của thao tác tạo ảnh trong thiết bị tạo ảnh 2. Người dùng thao tác bộ thao tác 148 để cung cấp lệnh để bắt đầu tạo ảnh (bước S101). Sau đó, bộ thao tác 148 truyền lệnh tạo ảnh đến mạch điều khiển 143 (bước S102). Mạch điều khiển 143 bắt đầu điều khiển thiết bị màn trập 142 và phần tử tạo ảnh 1 dựa trên sự tiếp nhận lệnh tạo ảnh. Phần tử tạo ảnh 1 (cụ thể, mạch điều khiển hệ thống 32d) thực hiện tạo ảnh trong hệ thống tạo ảnh định trước bởi sự điều khiển bởi mạch điều khiển 143 (bước S103). Thiết bị màn trập 142 điều khiển khoảng thời gian mà trong đó phần tử tạo ảnh 1 được chiếu xạ bằng ánh sáng và khoảng thời gian mà trong đó ánh sáng được chặn bởi sự điều khiển bởi mạch điều khiển 143.

Phần tử tạo ảnh 1 đưa ra dữ liệu hình ảnh được chụp lại bằng cách tạo ảnh cho mạch DSP 144. Ở đây, dữ liệu hình ảnh là dữ liệu của các tín hiệu điểm ảnh về tất cả các điểm ảnh được tạo ra trên cơ sở của các phần điện tích tạm thời được giữ trong các phần khuếch tán nổi FD. Mạch DSP 144 thực hiện xử lý tín hiệu định trước (ví dụ, xử lý giảm nhiễu, hoặc loại tương tự) trên cơ sở của dữ liệu hình ảnh được thu từ phần tử tạo ảnh 1 (bước S104). Mạch DSP 144 làm cho bộ nhớ khung 145 giữ dữ liệu hình ảnh đã được trải qua xử lý tín hiệu định trước, và bộ nhớ khung 145 lưu trữ dữ liệu hình ảnh trong bộ lưu trữ 147 (bước S105). Do đó, sự tạo ảnh được thực hiện bởi thiết bị tạo ảnh 2.

Trong ví dụ sáng chế, phần tử tạo ảnh 1 theo phương án và các ví dụ cải biến của nó được mô tả nêu trên được sử dụng cho thiết bị tạo ảnh 2. Điều này có thể

giảm kích cỡ phần tử tạo ảnh 1 hoặc tăng độ nét của phần tử tạo ảnh 1, mà có thể cung cấp thiết bị tạo ảnh 2 có kích cỡ nhỏ hoặc độ nét cao.

<4. Các ví dụ ứng dụng thực tế>

[Ví dụ ứng dụng thực tế 1]

Kỹ thuật (kỹ thuật hiện tại) theo sáng chế có thể áp dụng được cho các sản phẩm khác nhau. Ví dụ, kỹ thuật theo sáng chế có thể đạt được dưới dạng thiết bị được gắn vào thân di động của các vật bất kỳ như là xe ô tô, phương tiện giao thông chạy điện, phương tiện giao thông chạy điện lai, xe máy, xe đạp, di động cá nhân, máy bay, thiết bị bay không người lái, tàu, và robot.

Fig.70 là sơ đồ khối mô tả ví dụ của cấu hình giản lược của hệ thống điều khiển phương tiện giao thông như ví dụ về hệ thống điều khiển thân di động mà kỹ thuật theo phương án của sáng chế có thể được áp dụng.

Hệ thống điều khiển phương tiện giao thông 12000 bao gồm các đơn vị điều khiển điện tử được kết nối với nhau qua mạng truyền thông 12001. Trong ví dụ được mô tả trên Fig.70, hệ thống điều khiển phương tiện giao thông 12000 bao gồm đơn vị điều khiển hệ thống dẫn động 12010, đơn vị điều khiển hệ thống thân 12020, đơn vị phát hiện thông tin về phương tiện giao thông bên ngoài 12030, đơn vị phát hiện thông tin trong phương tiện giao thông 12040, và đơn vị điều khiển được tích hợp 12050. Ngoài ra, máy vi tính 12051, bộ đầu ra âm thanh/hình ảnh 12052, và giao diện mạng được gắn vào phương tiện giao thông (I/F) 12053 được minh họa là cấu hình chức năng của đơn vị điều khiển được tích hợp 12050.

Đơn vị điều khiển hệ thống dẫn động 12010 điều khiển thao tác của các thiết bị liên quan đến hệ thống lái của phương tiện giao thông theo các chương trình khác nhau. Ví dụ, đơn vị điều khiển hệ thống dẫn động 12010 có chức năng như thiết bị điều khiển dùng cho thiết bị tạo lực dẫn động để tạo ra lực dẫn động của phương tiện giao thông, như là động cơ đốt trong, động cơ dẫn động, hoặc loại tương tự, cơ chế truyền lực dẫn động để truyền lực dẫn động đến các bánh xe, cơ chế lái để điều chỉnh góc lái của phương tiện giao thông, thiết bị phanh để tạo ra lực phanh của phương tiện giao thông, và loại tương tự.

Đơn vị điều khiển hệ thống thân 12020 điều khiển thao tác của các kiểu thiết bị khác nhau được cung cấp cho thân của phương tiện giao thông theo các chương

trình khác nhau. Ví dụ, đơn vị điều khiển hệ thống thân 12020 có chức năng là thiết bị điều khiển dùng cho hệ thống ra vào không cần chìa khóa, hệ thống chìa khóa thông minh, thiết bị cửa sổ điều chỉnh bằng điện, hoặc các loại đèn khác nhau như là đèn pha, đèn dự phòng, đèn phanh, tín hiệu rẽ, đèn sương mù, hoặc loại tương tự. Trong trường hợp này, các sóng vô tuyến được truyền từ thiết bị di động để thay thế cho khóa hoặc các tín hiệu của các loại chuyển đổi khác nhau có thể được nhập vào đơn vị điều khiển hệ thống thân 12020. Đơn vị điều khiển hệ thống thân 12020 thu các sóng hoặc tín hiệu vô tuyến đầu vào này, và điều khiển thiết bị khóa cửa, thiết bị cửa sổ điều chỉnh bằng điện, các đèn, hoặc loại tương tự của phương tiện giao thông.

Đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030 phát hiện thông tin về bên ngoài của phương tiện giao thông bao gồm hệ thống điều khiển phương tiện giao thông 12000. Ví dụ, đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030 được kết nối với bộ tạo ảnh 12031. Đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030 làm cho bộ tạo ảnh 12031 tạo ảnh hình ảnh bên ngoài của phương tiện giao thông, và thu hình ảnh được tạo ảnh. Trên cơ sở của hình ảnh thu được, đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030 có thể thực hiện xử lý phát hiện đối tượng như là con người, phương tiện giao thông, chướng ngại vật, dấu hiệu, ký tự trên bề mặt đường, hoặc loại tương tự, hoặc xử lý phát hiện khoảng cách ở đó.

Bộ tạo ảnh 12031 là cảm biến quang học mà thu ánh sáng, và đưa ra tín hiệu điện tương ứng với lượng ánh sáng thu được của ánh sáng. Bộ tạo ảnh 12031 có thể đưa ra tín hiệu điện như hình ảnh, hoặc có thể đưa ra tín hiệu điện như thông tin về khoảng cách được đo. Ngoài ra, ánh sáng được thu bởi bộ tạo ảnh 12031 có thể là ánh sáng nhìn thấy được, hoặc có thể là ánh sáng không nhìn thấy được như là các tia hồng ngoại hoặc loại tương tự.

Đơn vị phát hiện thông tin bên trong phương tiện giao thông 12040 phát hiện thông tin về bên trong của phương tiện giao thông. Đơn vị phát hiện thông tin bên trong phương tiện giao thông 12040, ví dụ, được kết nối với bộ phát hiện trạng thái người lái 12041 mà phát hiện trạng thái của người lái. Bộ phát hiện trạng thái người lái 12041, ví dụ, bao gồm camera mà chụp ảnh người lái. Trên cơ sở của thông tin phát hiện được nhập từ bộ phát hiện trạng thái người lái 12041, đơn vị

phát hiện thông tin bên trong phương tiện giao thông 12040 có thể tính toán mức độ mệt mỏi của người lái hoặc mức độ tập trung của người lái, hoặc có thể xác định xem người lái có đang ngủ gật hay không.

Máy vi tính 12051 có thể tính toán giá trị đích điều khiển cho thiết bị tạo lực dẫn động, cơ chế lái, hoặc thiết bị phanh trên cơ sở của thông tin bên trong hoặc bên ngoài của phương tiện giao thông mà thông tin được thu nhận bởi đơn vị phát hiện thông tin bên ngoài phương tiện giao thông 12030 hoặc đơn vị phát hiện thông tin bên trong phương tiện giao thông 12040, và đưa ra lệnh điều khiển cho đơn vị điều khiển hệ thống dẫn động 12010. Ví dụ, máy vi tính 12051 có thể thực hiện điều khiển hợp tác nhằm để thực hiện các chức năng của hệ thống hỗ trợ người lái nâng cao (ADAS) mà các chức năng bao gồm tránh va chạm hoặc giảm sóc cho phương tiện giao thông, cho phép lái dựa trên khoảng cách cho phép, lái xe duy trì tốc độ phương tiện giao thông, cảnh báo va chạm của phương tiện giao thông, cảnh báo phương tiện giao thông đi chệch phần đường, hoặc loại tương tự.

Ngoài ra, máy vi tính 12051 có thể thực hiện điều khiển hợp tác nhằm để lái tự động, mà làm cho phương tiện giao thông di chuyển tự động mà không phụ thuộc vào thao tác của người lái, hoặc loại tương tự, bằng cách điều khiển thiết bị tạo lực dẫn động, cơ chế lái, thiết bị phanh, hoặc loại tương tự trên cơ sở của thông tin bên ngoài hoặc bên trong của phương tiện giao thông mà thông tin được thu nhận bởi đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030 hoặc đơn vị phát hiện thông tin bên trong phương tiện giao thông 12040.

Ngoài ra, máy vi tính 12051 có thể đưa ra lệnh điều khiển cho đơn vị điều khiển hệ thống thân 12020 trên cơ sở của thông tin bên ngoài của phương tiện giao thông mà thông tin được thu nhận bởi thiết bị phát hiện thông tin về bên ngoài phương tiện giao thông 12030. Ví dụ, máy vi tính 12051 có thể thực hiện điều khiển hợp tác nhằm tránh độ chói bằng cách điều khiển đèn pha sao cho thay đổi từ chùm tia cao đến chùm tia thấp, ví dụ, theo vị trí của phương tiện giao thông trước đó hoặc phương tiện giao thông sắp tới được phát hiện bởi đơn vị phát hiện thông tin về bên ngoài phương tiện giao thông 12030.

Bộ đầu ra âm thanh/hình ảnh 12052 truyền tín hiệu đầu ra của ít nhất một trong âm thanh và hình ảnh cho thiết bị đưa ra có khả năng thông báo thông tin bằng hình ảnh hoặc thính giác cho người điều khiển phương tiện giao thông hoặc

bên ngoài phương tiện giao thông. Trong ví dụ của Fig.70, loa âm thanh 12061, bộ hiển thị 12062, và panen điều khiển 12063 được minh họa như thiết bị đầu ra. Bộ hiển thị 12062 có thể, ví dụ, bao gồm ít nhất một trong hiển thị trên phương tiện và hiển thị trên kính lái.

Fig.71 là sơ đồ khối mô tả ví dụ của vị trí lắp đặt của bộ tạo ảnh 12031.

Trên Fig.71, bộ tạo ảnh 12031 bao gồm các bộ tạo ảnh 12101, 12102, 12103, 12104, và 12105.

Các bộ tạo ảnh 12101, 12102, 12103, 12104, và 12105, ví dụ, được bố trí ở các vị trí trên phía trước mũi xe, các gương hai bên, phần cản sau, và cửa sau của phương tiện giao thông 12100 cũng như vị trí trên phần trên của kính chắn gió bên trong phương tiện giao thông. Bộ tạo ảnh 12101 được cung cấp cho phía trước mũi xe và bộ tạo ảnh 12105 được cung cấp cho phần trên của kính chắn gió bên trong phương tiện giao thông chủ yếu thu nhận hình ảnh phía trước của phương tiện giao thông 12100. Các bộ tạo ảnh 12102 và 12103 được cung cấp cho các gương hai bên chủ yếu thu nhận hình ảnh các bên của phương tiện giao thông 12100. Bộ tạo ảnh 12104 được cung cấp cho phần cản sau hoặc cửa sau chủ yếu thu nhận hình ảnh phía sau của phương tiện giao thông 12100. Bộ tạo ảnh 12105 được cung cấp cho phần trên của kính chắn gió bên trong phương tiện giao thông được sử dụng chủ yếu để phát hiện phương tiện giao thông trước đó, người đi bộ, chướng ngại vật, tín hiệu, biển báo giao thông, phần đường, hoặc loại tương tự.

Một cách ngẫu nhiên, Fig.71 mô tả ví dụ của các phạm vi chụp ảnh của các bộ tạo ảnh 12101 đến 12104. Phạm vi tạo ảnh 12111 biểu diễn phạm vi tạo ảnh của bộ tạo ảnh 12101 được cung cấp cho phía trước mũi xe. Các phạm vi tạo ảnh 12112 và 12113 theo cách tương ứng biểu diễn các phạm vi tạo ảnh của các bộ tạo ảnh 12102 và 12103 được cung cấp cho các gương hai bên. Phạm vi tạo ảnh 12114 thể hiện phạm vi tạo ảnh của bộ tạo ảnh 12104 được cung cấp cho bộ cản sau hoặc cửa sau. Hình ảnh mắt thần của phương tiện giao thông 12100 khi được nhìn từ phía trên được thu nhận bằng cách chồng dữ liệu hình ảnh được tạo ảnh bởi các bộ tạo ảnh 12101 đến 12104 theo ví dụ.

Ít nhất một trong các bộ tạo ảnh 12101 đến 12104 có thể có chức năng thu nhận thông tin khoảng cách. Ví dụ, ít nhất một trong các bộ tạo ảnh 12101 đến

12104 có thể là camera stereo được cấu thành bởi các thành phần tạo ảnh, hoặc có thể là phần tử tạo ảnh mà có các điểm ảnh dùng cho sự phát hiện chênh lệch pha.

Ví dụ, máy vi tính 12051 có thể xác định khoảng cách cho từng đối tượng ba chiều nằm trong các phạm vi tạo ảnh 12111 đến 12114 và sự thay đổi tạm thời về khoảng cách (tốc độ tương đối đối với phương tiện giao thông 12100) trên cơ sở của thông tin khoảng cách thu được từ các bộ tạo ảnh 12101 đến 12104, và nhờ đó trích xuất, như phương tiện giao thông trước đó, đối tượng ba chiều gần nhất cụ thể mà biểu diễn trên đường di chuyển của phương tiện giao thông 12100 và di chuyển theo cùng một chiều với phương tiện giao thông 12100 với tốc độ định trước (ví dụ, bằng hoặc lớn hơn 0 km/giờ). Hơn nữa, máy vi tính 12051 có thể thiết đặt khoảng cách cho phép được duy trì phía trước phương tiện giao thông trước đó trước, và thực hiện điều khiển phanh tự động (bao gồm điều khiển dừng lại cho phép), điều khiển tự động tăng tốc (bao gồm điều khiển bắt đầu cho phép), hoặc loại tương tự. Do đó có thể thực hiện điều khiển hợp tác nhằm lái tự động mà làm cho phương tiện giao thông di chuyển tự động mà không phụ thuộc vào thao tác của người lái hoặc loại tương tự.

Ví dụ, máy vi tính 12051 có thể phân loại dữ liệu về đối tượng ba chiều trên các đối tượng ba chiều thành dữ liệu về đối tượng ba chiều của phương tiện giao thông hai bánh, phương tiện giao thông có kích cỡ tiêu chuẩn, phương tiện giao thông có kích cỡ lớn, người đi bộ, cột điện, và các đối tượng ba chiều trên cơ sở của thông tin khoảng cách thu được từ các bộ tạo ảnh 12101 đến 12104, trích xuất dữ liệu được phân loại về đối tượng ba chiều, và sử dụng dữ liệu được trích xuất về đối tượng ba chiều để tự động tránh chướng ngại vật. Ví dụ, máy vi tính 12051 nhận dạng các chướng ngại vật xung quanh phương tiện giao thông 12100 là các chướng ngại vật mà người lái của phương tiện giao thông 12100 có thể nhận ra bằng mắt thường và các chướng ngại vật mà người lái của phương tiện giao thông 12100 khó nhận biết được bằng mắt thường. Sau đó, máy vi tính 12051 xác định nguy cơ va chạm cho thấy nguy cơ va chạm với mỗi chướng ngại vật. Trong trường hợp mà trong đó nguy cơ va chạm bằng hoặc cao hơn giá trị thiết đặt và do đó có khả năng va chạm, máy vi tính 12051 đưa ra cảnh báo cho người lái qua loa âm thanh 12061 hoặc bộ hiển thị 12062, và thực hiện giảm lực hoặc điều khiển

tránh qua đơn vị điều khiển hệ thống dẫn động 12010. Máy vi tính 12051 có thể nhờ đó hỗ trợ điều khiển tránh va chạm.

Ít nhất một trong các bộ tạo ảnh 12101 đến 12104 có thể là camera hồng ngoại mà phát hiện các tia hồng ngoại. Máy vi tính 12051 có thể, ví dụ, nhận biết người đi bộ bằng cách xác định xem có hay không người đi bộ trong các hình ảnh được tạo ảnh của các bộ tạo ảnh 12101 đến 12104. Sự nhận biết người đi bộ như vậy, ví dụ, được thực hiện bởi thủ tục trích xuất các điểm đặc tính trong các hình ảnh được tạo ảnh của các bộ tạo ảnh 12101 đến 12104 như các camera hồng ngoại và thủ tục xác định xem có hay không có người đi bộ bằng cách thực hiện xử lý khớp mẫu trên loạt điểm đặc tính biểu diễn đường viền của đối tượng. Khi máy vi tính 12051 xác định rằng có người đi bộ trong các hình ảnh được tạo ảnh của các bộ tạo ảnh 12101 đến 12104, và do đó nhận biết người đi bộ, bộ đầu ra âm thanh/hình ảnh 12052 điều khiển bộ hiển thị 12062 sao cho đường viền hình vuông dùng để làm nổi bật được hiển thị sao cho được chồng trên người đi bộ được nhận biết. Bộ đầu ra âm thanh/hình ảnh 12052 có thể cũng điều khiển bộ hiển thị 12062 sao cho biểu tượng hoặc loại tương tự biểu diễn người đi bộ được hiển thị ở vị trí mong muốn.

Ở trên, phần mô tả đưa ra ví dụ của hệ thống điều khiển thân di động mà kỹ thuật theo sáng chế áp dụng được. Kỹ thuật theo sáng chế có thể áp dụng được cho bộ tạo ảnh 12031 trong cấu hình được mô tả nêu trên. Cụ thể, phần tử tạo ảnh 1 theo phương án bất kỳ và các ví dụ cải biến của nó được mô tả nêu trên có thể áp dụng được cho bộ tạo ảnh 12031. Ứng dụng của kỹ thuật theo sáng chế cho bộ tạo ảnh 12031 có thể thu nhận hình ảnh được chụp có độ nét cao với nhiễu thấp và, kết quả là, đạt được sự điều khiển có độ chính xác cao nhờ sử dụng hình ảnh được chụp bởi hệ thống điều khiển thân di động.

[Ví dụ ứng dụng thực tế 2]

Fig.72 là hình mô tả ví dụ của cấu hình giản lược của hệ thống phẫu thuật nội soi mà kỹ thuật theo phương án của sáng chế (kỹ thuật hiện tại) có thể được áp dụng.

Trên Fig.72, trạng thái được minh họa mà trong đó bác sĩ phẫu thuật (bác sĩ y khoa) 11131 sử dụng hệ thống phẫu thuật nội soi 11000 để thực hiện phẫu thuật

cho bệnh nhân 11132 trên giường bệnh 11133. Như được mô tả, hệ thống phẫu thuật nội soi 11000 bao gồm ống nội soi 11100, các dụng cụ phẫu thuật khác 11110 như là ống tràn khí màng bụng 11111 và thiết bị năng lượng 11112, thiết bị tay đỡ 11120 mà đỡ ống nội soi 11100 trên đó, và xe đẩy 11200 mà thiết bị khác nhau dùng cho việc phẫu thuật nội soi được gắn.

Phần nội soi 11100 bao gồm vành ống kính 11101 mà có vùng độ dài định trước từ đầu xa của nó được đưa vào khoang cơ thể của bệnh nhân 11132, và đầu camera 11102 được nối với đầu ở gần của vành ống kính 11101. Trong ví dụ được mô tả, ống nội soi 11100 được mô tả mà bao gồm như ống nội soi cứng mà có vành ống kính 11101 loại cứng. Tuy nhiên, ống nội soi 11100 có thể ngược lại được bao gồm như ống nội soi linh hoạt mà có vành ống kính 11101 loại linh hoạt.

Vành ống kính 11101 có, ở đầu xa của nó, phần hở mà trong đó vật kính được lắp. Thiết bị nguồn sáng 11203 được nối với ống nội soi 11100 như ánh sáng được tạo ra bởi thiết bị nguồn sáng 11203 được đưa đến đầu xa của vành ống kính 11101 bởi đường dẫn ánh sáng kéo dài bên trong của vành ống kính 11101 và được chiếu xạ về phía mục tiêu quan sát trong khoang cơ thể của bệnh nhân 11132 thông qua vật kính. Cần lưu ý rằng ống nội soi 11100 có thể là ống nội soi nhìn thẳng hoặc có thể là ống nội soi nhìn xiên hoặc ống nội soi nhìn sang bên.

Hệ thống quang và phần tử thu nhật hình ảnh được bố trí trong bên trong của đầu camera 11102 như ánh sáng phản xạ (ánh sáng quan sát) từ mục tiêu quan sát được ngưng tụ trên phần tử thu nhật hình ảnh bởi hệ thống quang học. Ánh sáng quan sát được chuyển đổi quang-điện bởi phần tử thu nhật hình ảnh để tạo ra tín hiệu điện tương ứng với ánh sáng quan sát, cụ thể là, tín hiệu hình ảnh tương ứng với hình ảnh quan sát. Tín hiệu hình ảnh được truyền như dữ liệu RAW đến CCU 11201.

CCU 11201 bao gồm bộ xử lý trung tâm (CPU), bộ xử lý đồ họa (GPU) hoặc loại tương tự và điều khiển tích hợp thao tác của ống nội soi 11100 và thiết bị hiển thị 11202. Hơn nữa, CCU 11201 thu tín hiệu hình ảnh từ đầu camera 11102 và thực hiện, đối với tín hiệu hình ảnh, các xử lý hình ảnh khác nhau để hiển thị hình ảnh dựa trên tín hiệu hình ảnh như là, ví dụ, xử lý phát triển (xử lý demosa).

Thiết bị hiển thị 11202 hiển thị trên đó hình ảnh dựa trên tín hiệu hình ảnh,

mà các xử lý hình ảnh được thực hiện bởi CCU 11201, dưới sự điều khiển của CCU 11201.

Thiết bị nguồn sáng 11203 bao gồm nguồn sáng như là, ví dụ, điốt phát quang (LED) và cấp ánh sáng chiếu xạ khi tạo ảnh trong vùng phẫu thuật cho ống nội soi 11100.

Thiết bị nhập vào 11204 là giao diện nhập vào cho hệ thống phẫu thuật nội soi 11000. Người dùng có thể thực hiện nhập vào các kiểu thông tin khác nhau hoặc lệnh mà nhập vào hệ thống phẫu thuật nội soi 11000 qua thiết bị nhập vào 11204. Ví dụ, người dùng nhập lệnh hoặc tương tự để thay đổi điều kiện thu nhận hình ảnh (kiểu ánh sáng chiếu xạ, độ phóng đại, khoảng cách tiêu cự hoặc loại tương tự) bởi ống nội soi 11100.

Thiết bị điều khiển dụng cụ điều trị 11205 điều khiển sự dẫn động của thiết bị năng lượng 11112 để đốt hoặc rạch mô mô, bít kín mạch máu hoặc loại tương tự. Thiết bị tràn khí phúc mạc 11206 nạp khí vào khoang cơ thể của bệnh nhân 11132 qua ống tràn khí phúc mạc 11111 để làm phòng khoang cơ thể để đảm bảo phạm vi quan sát của ống nội soi 11100 và đảm bảo không gian thực hiện cho việc phẫu thuật. Bộ ghi 11207 là thiết bị có thể ghi các kiểu thông tin khác nhau liên quan đến việc phẫu thuật. Bộ in 11208 là thiết bị có thể in các kiểu thông tin khác nhau liên quan đến việc phẫu thuật theo các dạng khác nhau như là văn bản, hình ảnh hoặc đồ thị.

Có thể lưu ý rằng thiết bị nguồn sáng 11203 mà cấp ánh sáng chiếu xạ khi vùng phẫu thuật được tạo ảnh cho ống nội soi 11100 có thể bao gồm nguồn sáng trắng mà bao gồm, ví dụ, LED, nguồn sáng laze hoặc kết hợp của chúng. Trong đó nguồn sáng trắng bao gồm kết hợp của các nguồn sáng laze đỏ, xanh lá cây, và xanh lục (RGB), vì cường độ đầu ra và thời gian đầu ra có thể được điều khiển với độ chính xác cao cho mỗi màu sắc (mỗi bước sóng), sự điều chỉnh của độ cân bằng trắng của hình ảnh được thu có thể được thực hiện bởi thiết bị nguồn sáng 11203. Hơn nữa, trong trường hợp này, nếu các chùm tia laze từ các nguồn sáng laze RGB tương ứng được chiếu xạ theo cách phân chia thời gian trên mục tiêu quan sát và di chuyển của các phần tử thu nhận hình ảnh của đầu camera 11102 được điều khiển đồng bộ với các khoảng định thời chiếu xạ. Sau đó các hình ảnh tương ứng độc lập với các màu sắc R, G và B có thể cũng được thu nhận theo cách

phân chia thời gian. Theo phương pháp này, hình ảnh màu có thể thu được ngay cả khi các bộ lọc màu không được cung cấp cho phần tử thu hình ảnh.

Hơn nữa, thiết bị nguồn sáng 11203 có thể được điều khiển sao cho cường độ ánh sáng được đưa ra được thay đổi cho từng thời điểm định trước. Bằng cách điều khiển sự di chuyển của phần mềm thu hình ảnh của đầu camera 11102 khi đồng bộ với sự định thời của việc thay đổi cường độ ánh sáng để có được các hình ảnh theo cách phân chia thời gian và đồng bộ các hình ảnh, hình ảnh của dải động cao thoát ra khỏi các bóng bị chặn bởi sự thiếu sáng và các điểm nổi bật phơi sáng quá mức có thể được tạo ra.

Hơn nữa, thiết bị nguồn sáng 11203 có thể được tạo kết cấu để cung cấp ánh sáng của dải bước sóng định trước dùng cho việc quan sát ánh sáng đặc biệt. Trong việc quan sát ánh sáng đặc biệt, ví dụ, bằng cách sử dụng sự phụ thuộc bước sóng của việc hấp thụ ánh sáng trong mô cơ thể để chiếu xạ ánh sáng của dải hẹp khi so sánh với ánh sáng chiếu xạ khi quan sát thông thường (cụ thể là, ánh sáng trắng), quan sát dải hẹp (tạo ảnh dải hẹp) của việc tạo ảnh mô định trước như là mạch máu của phần mặt ngoài của màng nhầy niêm mạc hoặc tương tự với độ tương phản cao được thực hiện. Ngoài ra, trong việc quan sát ánh sáng đặc biệt, sự quan sát huỳnh quang để thu nhận hình ảnh từ ánh sáng huỳnh quang được tạo ra bởi sự chiếu xạ của ánh sáng kích thích có thể được thực hiện. Trong quan sát huỳnh quang, có thể thực hiện sự quan sát ánh sáng huỳnh quang từ mô cơ thể bằng cách chiếu ánh sáng kích thích trên mô cơ thể (quan sát tự phát huỳnh quang) hoặc để thu nhận hình ảnh ánh sáng huỳnh quang bằng cách tiêm cục bộ thuốc thử như indocyanin xanh lá cây (ICG) vào mô cơ thể và chiếu ánh sáng kích thích tương ứng với bước sóng ánh sáng huỳnh quang của thuốc thử trên mô cơ thể. Thiết bị nguồn sáng 11203 có thể được tạo kết cấu để cung cấp ánh sáng có dải hẹp và/hoặc ánh sáng kích thích phù hợp cho việc quan sát ánh sáng đặc biệt như được mô tả ở trên.

Fig.73 là sơ đồ khối mô tả ví dụ của cấu hình chức năng của đầu camera 11102 và CCU 11201 được mô tả trên Fig.72.

Đầu camera 11102 bao gồm đơn vị ống kính 11401, đơn vị thu nhận hình ảnh 11402, đơn vị dẫn động 11403, đơn vị truyền thông 11404 và đơn vị điều khiển đầu camera 11405. CCU 11201 bao gồm đơn vị truyền thông 11411, đơn vị xử lý

hình ảnh 11412 và đơn vị điều khiển 11413. Đầu camera 11102 và CCU 11201 được kết nối để truyền thông với nhau bởi cáp truyền 11400.

Đơn vị ống kính 11401 là hệ thống quang học, được đặt ở vị trí nối với vành ống kính 11101. Ánh sáng quan sát được lấy từ đầu xa của vành ống kính 11101 được dẫn hướng đến đầu camera 11102 và được đưa vào đơn vị ống kính 11401. Đơn vị ống kính 11401 bao gồm sự kết hợp của các ống kính bao gồm ống kính thu phóng và ống kính lấy nét.

Số các phần tử thu nhật hình ảnh mà được bao gồm bởi đơn vị thu hình ảnh 11402 có thể là một (kiểu đĩa đơn) hoặc số nhiều (kiểu đĩa đa). Trong đó đơn vị thu nhật hình ảnh 11402 được tạo cấu hình là kiểu đĩa đa, ví dụ, các tín hiệu hình ảnh tương ứng với R, G và B tương ứng được tạo ra bởi các phần tử thu nhật hình ảnh, và các tín hiệu hình ảnh có thể được đồng bộ để thu nhận hình ảnh màu. Đơn vị thu nhật hình ảnh 11402 có thể cũng được tạo cấu hình để có một cặp phần tử thu nhật hình ảnh để thu được các tín hiệu hình ảnh tương ứng cho mắt phải và mắt trái sẵn sàng cho việc hiển thị ba chiều (3D). Nếu hiển thị 3D được thực hiện, sau đó độ sâu của mô cơ thể sống trong vùng phẫu thuật có thể được biết chính xác hơn bởi bác sĩ phẫu thuật 11131. Cần lưu ý rằng, khi đơn vị thu nhật hình ảnh 11402 được tạo cấu hình là kiểu lập thể, các hệ thống của các đơn vị ống kính 11401 được cung cấp tương ứng với các phần tử thu nhật hình ảnh độc lập.

Hơn nữa, đơn vị thu nhật hình ảnh 11402 có thể không cần có trên đầu camera 11102. Ví dụ, đơn vị thu nhật hình ảnh 11402 có thể được bố trí ngay sau vật kính bên trong của vành ống kính 11101.

Đơn vị dẫn động 11403 bao gồm bộ truyền động và di chuyển ống kính thu phóng và ống kính lấy nét của đơn vị ống kính 11401 theo khoảng định trước dọc theo trục quang dưới sự điều khiển của đơn vị điều khiển đầu camera 11405. Kết quả là, độ phóng đại và điểm lấy nét của hình ảnh được thu nhật bởi đơn vị thu nhật hình ảnh 11402 có thể được điều chỉnh một cách thích hợp.

Bộ truyền thông 11404 bao gồm thiết bị truyền thông để truyền và thu các kiểu thông tin khác nhau đến và từ CCU 11201. Bộ truyền thông 11404 truyền tín hiệu hình ảnh thu được từ đơn vị thu nhật hình ảnh 11402 dưới dạng dữ liệu RAW đến CCU 11201 qua cáp truyền 11400.

Ngoài ra, bộ truyền thông 11404 thu tín hiệu điều khiển để điều khiển sự dẫn động của đầu camera 11102 từ CCU 11201 và cấp tín hiệu điều khiển đến đơn vị điều khiển đầu camera 11405. Tín hiệu điều khiển bao gồm thông tin liên quan đến các điều kiện thu nhật hình ảnh như là, ví dụ, thông tin về tốc độ khung của hình ảnh được thu nhật được chỉ định, thông tin về giá trị phơi sáng khi việc thu nhật hình ảnh được chỉ định và/hoặc thông tin về độ phóng đại và điểm lấy nét của hình ảnh được thu nhật được chỉ định.

Cần lưu ý rằng các điều kiện thu nhật hình ảnh như là tốc độ khung, giá trị phơi sáng, độ phóng đại hoặc điểm lấy nét có thể được chỉ định bởi người dùng hoặc có thể được tự động thiết đặt bởi đơn vị điều khiển 11413 của CCU 11201 trên cơ sở của tín hiệu hình ảnh thu được. Trong trường hợp sau đó, chức năng phơi sáng tự động (AE), chức năng lấy nét tự động (AF) và chức năng cân bằng trắng tự động (AWB) được kết hợp trong ống nội soi 11100.

Đơn vị điều khiển đầu camera 11405 điều khiển sự dẫn truyền của đầu camera 11102 trên cơ sở của tín hiệu điều khiển từ CCU 11201 được thu thông qua đơn vị truyền thông 11404.

Đơn vị truyền thông 11411 bao gồm thiết bị truyền thông để truyền và thu các kiểu thông tin khác nhau đến và từ đầu camera 11102. Bộ truyền thông 11411 thu tín hiệu hình ảnh được truyền vào đó từ đầu camera 11102 qua cáp truyền 11400.

Hơn nữa, đơn vị truyền thông 11411 truyền tín hiệu điều khiển để điều khiển sự dẫn động của đầu camera 11102 đến đầu camera 11102. Tín hiệu hình ảnh và tín hiệu điều khiển có thể được truyền bởi truyền thông điện tử, truyền thông quang học hoặc loại tương tự.

Đơn vị xử lý hình ảnh 11412 thực hiện các xử lý hình ảnh khác nhau cho tín hiệu hình ảnh dưới dạng dữ liệu RAW được truyền vào đó từ đầu camera 11102.

Đơn vị điều khiển 11413 thực hiện các kiểu điều khiển khác nhau liên quan đến sự thu nhật hình ảnh của vùng phẫu thuật hoặc loại tương tự bởi ống nội soi 11100 và hiển thị hình ảnh được thu nhật được thu nhận bởi sự thu nhật hình ảnh của vùng phẫu thuật hoặc loại tương tự. Ví dụ, đơn vị điều khiển 11413 tạo tín hiệu điều khiển để điều khiển sự dẫn động của đầu camera 11102.

Hơn nữa, đơn vị điều khiển 11413 điều khiển, trên cơ sở của tín hiệu hình ảnh mà các xử lý hình ảnh được thực hiện bởi bộ xử lý hình ảnh 11412, thiết bị hiển thị 11202 để hiển thị hình ảnh được thu nhận mà trong đó vùng phẫu thuật hoặc loại tương tự được tạo ảnh. Sau đó, đơn vị điều khiển 11413 có thể nhận biết các đối tượng khác nhau trong hình ảnh được thu nhận bằng cách sử dụng các kỹ thuật nhận biết hình ảnh khác nhau. Ví dụ, đơn vị điều khiển 11413 có thể nhận ra dụng cụ phẫu thuật như là kẹp, vùng mô sống cụ thể, sự chảy máu, hơi nước khi thiết bị năng lượng 11112 được sử dụng và như vậy bằng cách phát hiện hình dạng, màu sắc và v.v. của các góc của các đối tượng được bao gồm trong hình ảnh được thu nhận. Đơn vị điều khiển 11413 có thể làm cho, khi nó điều khiển thiết bị hiển thị 11202 hiển thị hình ảnh được thu nhận, các kiểu thông tin hỗ trợ phẫu thuật khác nhau được hiển thị theo cách thức trùng lặp với hình ảnh của vùng phẫu thuật nhờ sử dụng kết quả nhận biết. Trong đó thông tin hỗ trợ phẫu thuật được hiển thị theo cách thức trùng lặp và được thể hiện cho bác sĩ phẫu thuật 11131, gánh nặng của bác sĩ phẫu thuật 11131 có thể giảm đi và bác sĩ phẫu thuật 11131 có thể tiến hành phẫu thuật với sự chắc chắn.

Cáp truyền 11400 mà nối đầu camera 11102 và CCU 11201 với nhau là cáp tín hiệu điện sẵn dùng cho truyền thông của tín hiệu điện, sợi quang sẵn dùng cho truyền thông quang học hoặc cáp hỗn hợp có sẵn dùng cho cả truyền thông điện tử và truyền thông quang học.

Ở đây, trong khi đó, trong ví dụ được mô tả, sự truyền thông được thực hiện bởi truyền thông có dây nhờ sử dụng cáp truyền 11400, truyền thông giữa đầu camera 11102 và CCU 11201 có thể được thực hiện bởi truyền thông không dây.

Ở trên, phần mô tả được đưa ra cho ví dụ của hệ thống phẫu thuật nội soi mà kỹ thuật theo sáng chế áp dụng được. Kỹ thuật theo sáng chế áp dụng phù hợp cho đơn vị thu nhận hình ảnh 11402 được bố trí trong đầu camera 11102 của ống nội soi 11100 trong cấu trúc được mô tả nêu trên. Ứng dụng của kỹ thuật theo sáng chế cho đơn vị thu hình ảnh 11402 có thể đạt được sự giảm kích cỡ hoặc độ nét cao của đơn vị thu hình ảnh 11402 và, kết quả là, cung cấp ống nội soi 11100 nhỏ hoặc có độ nét cao.

Mặc dù sáng chế được mô tả nêu trên có viện dẫn tới phương án, các ví dụ cải biến của nó, các ví dụ ứng dụng của nó, và các ví dụ ứng dụng thực tế của nó,

sáng chế không giới hạn ở phương án và loại tương tự được mô tả nêu trên, và có thể được thay đổi theo các cách khác nhau. Cần lưu ý là các hiệu quả được mô tả ở đây chỉ mang tính minh họa. Các hiệu quả của sáng chế không giới hạn ở các hiệu quả được mô tả ở đây. Các hiệu quả của sáng chế có thể còn bao gồm các hiệu quả khác với các hiệu quả được mô tả ở đây.

Hơn nữa, sáng chế có thể có các cấu hình sau đây.

(1)

Phần tử tạo ảnh bao gồm:

lớp nền thứ nhất bao gồm điểm ảnh cảm biến trong lớp nền bán dẫn thứ nhất, điểm ảnh cảm biến thực hiện sự chuyển đổi quang điện;

lớp nền thứ hai bao gồm mạch đọc trong lớp nền bán dẫn thứ hai, mạch đọc đưa ra tín hiệu điểm ảnh trên cơ sở của điện tích được đưa ra từ điểm ảnh cảm biến; và

lớp nền thứ ba bao gồm mạch logic trong lớp nền bán dẫn thứ ba, mạch logic xử lý tín hiệu điểm ảnh,

lớp nền thứ nhất, lớp nền thứ hai, và lớp nền thứ ba được xếp chồng theo thứ tự này,

phần thân xếp chồng của lớp nền thứ nhất và lớp nền thứ hai bao gồm màng cách điện có lớp xen kẽ và đường nối dây đi qua thứ nhất được bố trí trong màng cách điện có lớp xen kẽ,

lớp nền thứ nhất và lớp nền thứ hai được ghép nối bằng điện với nhau bởi đường nối dây đi qua thứ nhất, và

trong trường hợp trong đó mỗi lớp nền thứ hai và lớp nền thứ ba bao gồm điện cực đệm, lớp nền thứ hai và lớp nền thứ ba được ghép nối bằng điện với nhau bởi điểm nối giữa các điện cực đệm, và trong trường hợp trong đó lớp nền thứ ba bao gồm đường nối dây đi qua thứ hai xuyên qua lớp nền bán dẫn thứ ba, lớp nền thứ hai và lớp nền thứ ba được ghép nối bằng điện với nhau bởi đường nối dây đi qua thứ hai.

(2)

Phần tử tạo ảnh theo mục (1), mà trong đó

điểm ảnh cảm biến bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nổi, tranzito chuyển được ghép nối bằng điện với bộ chuyển đổi quang điện, và phần khuếch tán nổi tạm thời giữ điện tích được đưa ra từ bộ chuyển đổi quang điện thông qua tranzito chuyển, và

mạch đọc bao gồm tranzito thiết đặt lại, tranzito khuếch đại, và tranzito lựa chọn, tranzito thiết đặt lại thiết đặt lại điện thế của phần khuếch tán nổi thành điện thế định trước, tranzito khuếch đại tạo ra, như tín hiệu điểm ảnh, tín hiệu của điện áp tương ứng với mức độ của điện tích được giữ trong phần khuếch tán nổi, và tranzito lựa chọn điều khiển định thời đầu ra của tín hiệu điểm ảnh từ tranzito khuếch đại.

(3)

Phần tử tạo ảnh theo mục (1) hoặc (2), mà trong đó

lớp nền thứ nhất có cấu trúc mà trong đó bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nổi được bố trí trong phần ở phía bề mặt trước của lớp nền bán dẫn thứ nhất,

lớp nền thứ hai có cấu trúc mà trong đó mạch đọc được bố trí trong phần ở phía bề mặt trước của lớp nền bán dẫn thứ hai, và được liên kết với lớp nền thứ nhất theo thiết kế sao cho bề mặt sau của lớp nền bán dẫn thứ hai đối diện với phía bề mặt trước của lớp nền bán dẫn thứ nhất, và

lớp nền thứ ba có cấu trúc mà trong đó mạch logic được bố trí trong phần ở phía bề mặt trước của lớp nền bán dẫn thứ ba, và được liên kết với lớp nền thứ hai theo thiết kế sao cho bề mặt trước của lớp nền bán dẫn thứ ba đối diện với phía bề mặt trước của lớp nền bán dẫn thứ hai.

(4)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (1) đến (3), mà trong đó

mỗi lớp nền thứ hai và lớp nền thứ ba bao gồm điện cực đệm, và

diện tích mặt cắt của đường nối dây đi qua thứ nhất nhỏ hơn diện tích mặt cắt của phần ghép nối giữa các điện cực đệm.

(5)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (1) đến (3), mà trong đó

lớp nền thứ ba bao gồm đường nối dây đi qua thứ nhất, và

diện tích mặt cắt của đường nối dây đi qua thứ nhất nhỏ hơn diện tích mặt cắt của đường nối dây đi qua thứ hai.

(6)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (1) đến (5), mà trong đó mạch logic bao gồm silixua trong bề mặt trước của vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn hoặc điện cực thoát.

(7)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (2) đến (6), mà trong đó

lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nổi cho mỗi điểm ảnh cảm biến, và còn bao gồm bộ phân tách phần tử mà phân tách các điểm ảnh cảm biến tương ứng, và

lớp nền thứ hai bao gồm mạch đọc cho mỗi điểm ảnh cảm biến.

(8)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (2) đến (6), mà trong đó

lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nổi cho mỗi điểm ảnh cảm biến, và còn bao gồm bộ phân tách phần tử mà phân tách các điểm ảnh cảm biến tương ứng, và

lớp nền thứ hai bao gồm mạch đọc cho mỗi trong số các điểm ảnh cảm biến.

(9)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (2) đến (6), mà trong đó

lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện và tranzito chuyển cho

mỗi điểm ảnh cảm biến, và phần khuếch tán nối được chia sẻ bởi mỗi trong số các điểm ảnh cảm biến, và còn bao gồm bộ phân tách phân tử mà phân tách các bộ chuyển đổi quang điện và các tranzito chuyển cho mỗi điểm ảnh cảm biến, và

lớp nền thứ hai bao gồm mạch đọc cho mỗi trong số các điểm ảnh cảm biến chia sẻ phần khuếch tán nối.

(10)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (7) đến (9), mà trong đó bộ phân tách phân tử đi qua lớp nền bán dẫn thứ nhất.

(11)

Phần tử tạo ảnh theo mục (8) hoặc (9), mà trong đó

phần thân xếp chồng bao gồm ít nhất hai trong số các đường nối dây đi qua thứ nhất đối với mỗi điểm ảnh cảm biến,

đường nối dây đi qua thứ nhất đầu tiên trong số các đường nối dây đi qua thứ nhất được ghép nối bằng điện với cổng của tranzito chuyển, và

đường nối dây đi qua thứ nhất thứ hai trong số các đường nối dây đi qua thứ nhất được ghép nối bằng điện với phần khuếch tán nối, và

(12)

Phần tử tạo ảnh theo mục (11), mà trong đó lớp nền thứ hai còn bao gồm đường nối dây ghép nối ghép nối bằng điện với các đường nối dây đi qua thứ nhất tương ứng với nhau, các đường nối dây đi qua thứ nhất được ghép nối bằng điện với mỗi trong số các phần khuếch tán nối chia sẻ mạch đọc.

(13)

Phần tử tạo ảnh theo mục (12), mà trong đó

số lượng các đường nối dây đi qua thứ nhất lớn hơn số lượng các điểm ảnh cảm biến được chứa trong lớp nền thứ nhất, và

số lượng điểm nối giữa các điện cực đệm hoặc số lượng các đường nối dây đi qua thứ hai nhỏ hơn số lượng các điểm ảnh cảm biến được bao gồm trong lớp nền thứ nhất.

(14)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (11) đến (13), mà trong đó cổng của tranzito chuyển được ghép nối bằng điện với mạch logic qua đường nối dây đi qua thứ nhất và các điện cực đệm hoặc đường nối dây đi qua thứ hai.

(15)

Phần tử tạo ảnh theo mục (8) hoặc (9), mà trong đó

lớp nền thứ nhất còn bao gồm, trong màng cách điện có lớp xen kẽ, đường nối dây cổng mà kéo dài theo chiều song song với lớp nền thứ nhất, và

cổng của tranzito chuyển được ghép nối bằng điện với mạch logic thông qua qua đường nối dây cổng.

(16)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (1) đến (15), mà trong đó

màng cách điện có lớp xen kẽ bao gồm

lớp cách điện thứ nhất được bố trí tại khe hở giữa lớp nền bán dẫn thứ nhất và lớp nền bán dẫn thứ hai,

lớp cách điện thứ hai được bố trí để che phủ bề mặt bên của đường nối dây đi qua thứ nhất, và

lớp cách điện thứ ba được bố trí tại khe hở giữa lớp nền bán dẫn thứ hai và lớp nền bán dẫn thứ ba, và

lớp cách điện thứ hai bao gồm vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của lớp cách điện thứ nhất và lớp cách điện thứ ba.

(17)

Phần tử tạo ảnh theo mục (16), mà trong đó

lớp cách điện thứ nhất bao gồm phần thân xếp chồng của ít nhất hai lớp cách điện, và

lớp cách điện mà là lớp trên cùng của phần thân xếp chồng bao gồm vật liệu có hằng số điện môi tương đối cao hơn so với hằng số điện môi ở vị trí bất kỳ nào khác của màng cách điện có lớp xen kẽ.

(18)

Phần tử tạo ảnh theo mục bất kỳ trong số các mục từ (11) đến (13), mà trong đó

lớp nền thứ hai bao gồm mạch đọc cho mỗi bốn điểm ảnh cảm biến, và các đường nối dây đi qua thứ nhất được bố trí cạnh nhau theo thiết kế kiểu băng chuyền theo chiều thứ nhất trong mặt phẳng của lớp nền thứ nhất.

(19)

Phần tử tạo ảnh theo mục (18), mà trong đó mạch đọc không được bố trí để trực tiếp đối diện với bốn điểm ảnh cảm biến chia sẻ mạch đọc, và được bố trí để được thay đổi theo chiều thứ hai vuông góc với chiều thứ nhất.

(20)

Phần tử tạo ảnh theo mục (18) hoặc (19), mà trong đó các điểm ảnh cảm biến được bố trí trong ma trận theo chiều thứ nhất và chiều thứ hai vuông góc với chiều thứ nhất, và

lớp nền thứ hai còn bao gồm:

đường điều khiển thứ nhất được ghép nối bằng điện với cổng của tranzito chuyển của mỗi trong số các điểm ảnh cảm biến được bố trí cạnh nhau theo chiều thứ hai,

đường điều khiển thứ hai được ghép nối bằng điện với cổng của các tranzito được thiết đặt lại được bố trí cạnh nhau theo chiều thứ hai,

đường điều khiển thứ ba được ghép nối bằng điện với cổng của các tranzito lựa chọn được bố trí cạnh nhau theo chiều thứ hai, và

đường đầu ra được ghép nối bằng điện thiết bị đầu cuối đầu ra của mỗi mạch đọc được bố trí cạnh nhau theo chiều thứ nhất.

Theo phần tử tạo ảnh theo phương án của sáng chế, các lớp nền được ghép nối với nhau bằng điện theo mức độ tích hợp của các lớp nền, mà tránh sự tăng lên về kích cỡ chip và làm giảm sự giảm đi về diện tích trên mỗi điểm ảnh. Kết quả là, có thể cung cấp phần tử tạo ảnh mà có cấu hình ba lớp mà về cơ bản cùng một kích cỡ chip như trước mà không làm giảm sự giảm đi về diện tích trên mỗi

điểm ảnh. Cần lưu ý là các hiệu quả của sáng chế không giới hạn ở các hiệu quả được mô tả ở đây, và có thể là hiệu quả bất kỳ được mô tả trong bản mô tả này.

Đơn này yêu cầu hưởng quyền ưu tiên của đơn sáng chế Mỹ số 62/610806 được nộp ngày 27 tháng 12 năm 2017 và đơn sáng chế PCT số PCT/JP2018/036417 được nộp ngày 28 tháng 09 năm 2018, toàn bộ nội dung được kết hợp ở đây để tham khảo.

Những người có hiểu biết trung bình trong lĩnh vực kỹ thuật nên hiểu rằng các cải biến, kết hợp, kết hợp phụ, và thay thế khác nhau có thể xảy ra phụ thuộc vào các yêu cầu thiết kế và các yếu tố khác sao cho chúng nằm trong phạm vi của các yêu cầu bảo hộ kèm theo hoặc tương đương của nó.

YÊU CẦU BẢO HỘ

1. Thiết bị phát hiện ánh sáng, trong đó thiết bị này bao gồm:

bộ lớp nền thứ nhất bao gồm lớp nền bán dẫn thứ nhất có điểm ảnh cảm biến;

bộ lớp nền thứ hai bao gồm lớp nền bán dẫn thứ hai có mạch thứ nhất để đưa ra tín hiệu điểm ảnh;

bộ lớp nền thứ ba bao gồm lớp nền bán dẫn thứ ba có mạch thứ hai để xử lý tín hiệu điểm ảnh; và

màng cách điện có lớp xen kẽ được bố trí giữa lớp nền bán dẫn thứ nhất và lớp nền bán dẫn thứ hai,

trong đó đường nối dây đi qua thứ nhất ghép nối bằng điện với bộ lớp nền thứ nhất và bộ lớp nền thứ hai được bố trí trong màng cách điện có lớp xen kẽ,

trong đó điện cực thứ nhất ở bộ lớp nền thứ hai và điện cực thứ hai ở bộ lớp nền thứ ba được liên kết với nhau để ghép nối bằng điện bộ lớp nền thứ hai và bộ lớp nền thứ ba, và

trong đó, ở mặt cắt ngang, độ rộng của đường dây đi qua thứ nhất hẹp hơn ít nhất một trong số độ rộng của điện cực thứ nhất hoặc độ rộng của điện cực thứ hai.

2. Thiết bị phát hiện ánh sáng theo điểm 1, trong đó bộ lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nối, tranzito chuyển được ghép nối bằng điện với bộ chuyển đổi quang điện, và trong đó phần khuếch tán nối tạm thời giữ điện tích được đưa ra từ bộ chuyển đổi quang điện thông qua tranzito chuyển.

3. Thiết bị phát hiện ánh sáng theo điểm 2,

trong đó điểm ảnh cảm biến là một phần của nhiều điểm ảnh cảm biến,

trong đó bộ lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nối đối với mỗi điểm ảnh cảm biến trong số nhiều điểm ảnh cảm biến, và

trong đó bộ lớp nền thứ hai bao gồm mạch thứ nhất cho mỗi điểm ảnh cảm

biến trong số nhiều điểm ảnh cảm biến.

4. Thiết bị phát hiện ánh sáng theo điểm 3, trong đó thiết bị này còn bao gồm vật liệu cách ly mà phân tách các điểm ảnh cảm biến tương ứng trong số nhiều điểm ảnh cảm biến, trong đó vật liệu cách ly xuyên qua lớp nền bán dẫn thứ nhất.

5. Thiết bị phát hiện ánh sáng theo điểm 3,

trong đó màng cách điện có lớp xen kẽ bao gồm ít nhất hai trong số các đường nối dây đi qua thứ nhất cho mỗi điểm ảnh cảm biến trong số nhiều điểm ảnh cảm biến,

trong đó, đối với mỗi điểm ảnh cảm biến, đường nối dây đi qua thứ nhất đầu tiên trong số các đường nối dây đi qua thứ nhất được ghép nối bằng điện với cổng của tranzito chuyển, và

trong đó, đối với mỗi điểm ảnh cảm biến, đường nối dây đi qua thứ nhất thứ hai trong số các đường nối dây đi qua thứ nhất được ghép nối bằng điện với phần khuếch tán nổi.

6. Thiết bị phát hiện ánh sáng theo điểm 5, trong đó bộ lớp nền thứ hai còn bao gồm:

đường nối dây ghép nối ghép nối bằng điện với đường nối dây đi qua thứ nhất và thứ hai trong số các đường nối dây đi qua với nhau.

7. Thiết bị phát hiện ánh sáng theo điểm 6, trong đó số lượng đường nối dây thứ nhất đầu tiên và thứ hai trong số đường nối dây đi qua thứ nhất lớn hơn số lượng các điểm ảnh cảm biến được bao gồm trong bộ lớp nền thứ nhất.

8. Thiết bị phát hiện ánh sáng theo điểm 3,

trong đó bộ lớp nền thứ nhất còn bao gồm đường nối dây cổng kéo dài theo chiều song song với bộ lớp nền thứ nhất, và

trong đó cổng của tranzito chuyển được ghép nối bằng điện với mạch thứ hai thông qua đường nối dây cổng.

9. Thiết bị phát hiện ánh sáng theo điểm 3, trong đó đường nối dây đi qua thứ nhất được cung cấp cho mỗi điểm ảnh cảm biến trong số nhiều điểm ảnh cảm biến.

10. Thiết bị phát hiện ánh sáng theo điểm 2,

trong đó điểm ảnh cảm biến là một phần của nhiều điểm ảnh cảm biến được sắp xếp theo các nhóm,

trong đó bộ lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nối cho mỗi điểm ảnh cảm biến trong số nhiều điểm ảnh cảm biến, và

trong đó bộ lớp nền thứ hai bao gồm mạch thứ nhất cho mỗi nhóm điểm ảnh cảm biến.

11. Thiết bị phát hiện ánh sáng theo điểm 10, trong đó các điểm ảnh cảm biến trong mỗi nhóm điểm ảnh cảm biến chia sẻ các phần khuếch tán nối của chúng.

12. Thiết bị phát hiện ánh sáng theo điểm 2, trong đó cổng của tranzito chuyển được ghép nối bằng điện với mạch thứ hai thông qua điện cực thứ nhất và điện cực thứ hai.

13. Thiết bị phát hiện ánh sáng theo điểm 1, trong đó mạch thứ hai bao gồm silixua được bố trí trong vùng khuếch tán tạp chất tiếp xúc với điện cực nguồn hoặc điện cực thoát.

14. Thiết bị phát hiện ánh sáng theo điểm 1,

trong đó màng cách điện có lớp xen kẽ bao gồm:

lớp cách điện thứ nhất được bố trí tại khe hở giữa lớp nền bán dẫn thứ nhất và lớp nền bán dẫn thứ hai;

lớp cách điện thứ hai được bố trí để che phủ bề mặt bên của đường nối dây đi qua thứ nhất; và

lớp cách điện thứ ba được bố trí tại khe hở giữa lớp nền bán dẫn thứ hai và lớp nền bán dẫn thứ ba, và

trong đó lớp cách điện thứ hai bao gồm vật liệu có hằng số điện môi tương đối thấp hơn so với các hằng số điện môi tương đối của lớp cách điện thứ nhất và lớp cách điện thứ ba.

15. Thiết bị phát hiện ánh sáng theo điểm 14,

trong đó lớp cách điện thứ nhất bao gồm ít nhất hai lớp cách điện, và

trong đó lớp cách điện trên cùng trong ít nhất hai lớp cách điện bao gồm

vật liệu có hằng số điện môi tương đối cao hơn so với hằng số điện môi tương đối của các lớp cách điện còn lại trong ít nhất hai lớp cách điện.

16. Thiết bị phát hiện ánh sáng theo điểm 1, trong đó điện cực thứ nhất và thứ hai được tạo nên bằng đồng hoặc nhôm.

17. Thiết bị phát hiện ánh sáng, thiết bị này bao gồm:

bộ lớp nền thứ nhất bao gồm lớp nền bán dẫn thứ nhất có ít nhất một điểm ảnh cảm biến;

bộ lớp nền thứ hai bao gồm lớp nền bán dẫn thứ hai có mạch thứ nhất để đưa ra tín hiệu điểm ảnh của ít nhất một điểm ảnh cảm biến;

bộ lớp nền thứ ba bao gồm lớp nền bán dẫn thứ ba có mạch thứ hai để xử lý tín hiệu điểm ảnh của ít nhất một điểm ảnh cảm biến; và

màng cách điện có lớp xen kẽ được bố trí giữa lớp nền bán dẫn thứ nhất và lớp nền bán dẫn thứ hai,

trong đó các đường nối dây đi qua mà ghép nối bằng điện bộ lớp nền thứ nhất và bộ lớp nền thứ hai được bố trí trong màng cách điện có lớp xen kẽ,

trong đó điện cực thứ nhất trong bộ lớp nền thứ hai và điện cực thứ hai trong bộ lớp nền thứ ba được liên kết với nhau để ghép nối bằng điện bộ lớp nền thứ hai và bộ lớp nền thứ ba,

trong đó, ở mặt cắt ngang, các độ rộng của các đường nối dây đi qua hẹp hơn ít nhất một trong số độ rộng của điện cực thứ nhất hoặc độ rộng của điện cực thứ hai, và

trong đó số lượng các đường nối dây đi qua lớn hơn số lượng các điểm ảnh cảm biến được bao gồm trong bộ lớp nền thứ nhất.

18. Thiết bị phát hiện ánh sáng theo điểm 17, trong đó bộ lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển và phần khuếch tán nối, tranzito chuyển được ghép nối bằng điện với bộ chuyển đổi quang điện, và trong đó phần khuếch tán nối tạm thời giữ điện tích được đưa ra từ bộ chuyển đổi quang điện thông qua tranzito chuyển.

19. Thiết bị phát hiện ánh sáng, trong đó thiết bị này bao gồm:

bộ lớp nền thứ nhất bao gồm lớp nền bán dẫn thứ nhất có ít nhất một điểm ảnh cảm biến;

bộ lớp nền thứ hai bao gồm lớp nền bán dẫn thứ hai có mạch thứ nhất để đưa ra tín hiệu điểm ảnh của ít nhất một điểm ảnh cảm biến; và

bộ lớp nền thứ ba bao gồm lớp nền bán dẫn thứ ba có mạch thứ hai để xử lý tín hiệu điểm ảnh của ít nhất một điểm ảnh cảm biến,

trong đó phần thân được xếp chồng của bộ lớp nền thứ nhất và bộ lớp nền thứ hai bao gồm màng cách điện có lớp xen kẽ,

trong đó ít nhất một đường nối dây đi qua ghép nối bằng điện bộ lớp nền thứ nhất và bộ lớp nền thứ hai được bố trí trong màng cách điện có lớp xen kẽ,

trong đó ít nhất một điện cực thứ nhất trong bộ lớp nền thứ hai và ít nhất một điện cực thứ hai trong bộ lớp nền thứ ba được liên kết với nhau để ghép nối bằng điện bộ lớp nền thứ hai và bộ lớp nền thứ ba,

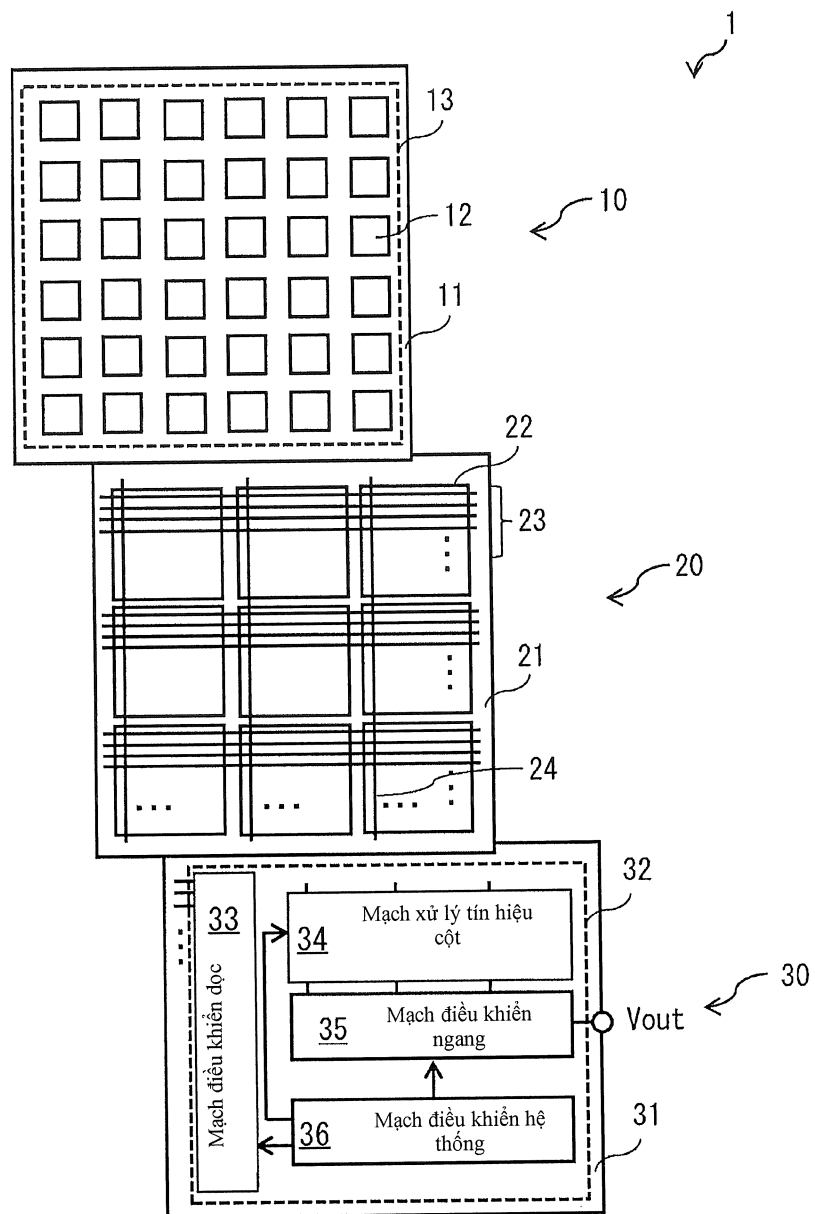
trong đó, trong mặt cắt ngang, độ rộng của ít nhất một đường nối dây đi qua hẹp hơn độ rộng của ít nhất một trong số ít nhất một điện cực thứ nhất hoặc độ rộng của ít nhất một điện cực thứ hai, và

trong đó tổng số điểm nối giữa các điện cực trong ít nhất một điện cực thứ nhất và các điện cực trong ít nhất một điện cực thứ hai nhỏ hơn số lượng các điểm ảnh cảm biến được bao gồm trong bộ lớp nền thứ nhất.

20. Thiết bị phát hiện ánh sáng theo điểm 19, trong đó bộ lớp nền thứ nhất bao gồm bộ chuyển đổi quang điện, tranzito chuyển, và phần khuếch tán nổi, tranzito chuyển được ghép nối bằng điện với bộ chuyển đổi quang điện, và trong đó phần khuếch tán nổi tạm thời giữ điện tích được đưa ra từ bộ chuyển đổi quang điện thông qua tranzito chuyển.

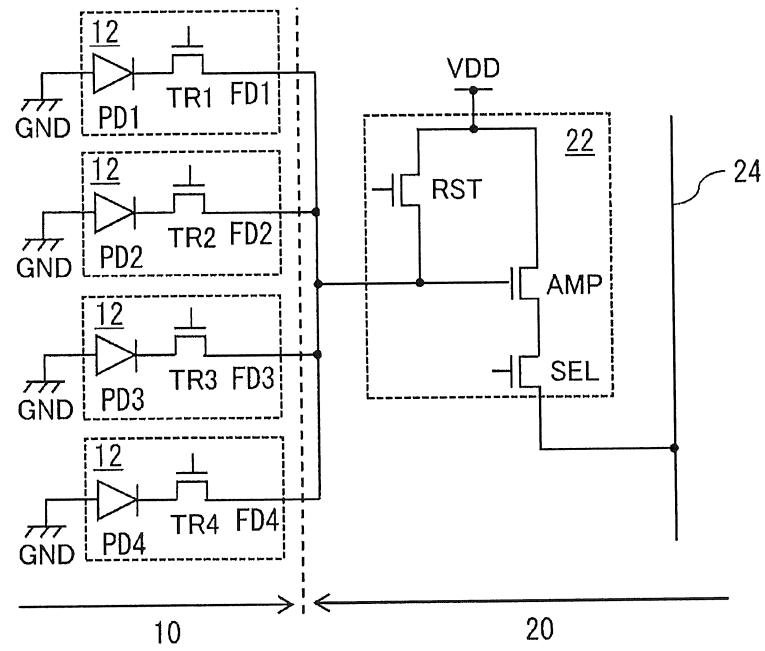
1/55

[FIG. 1]

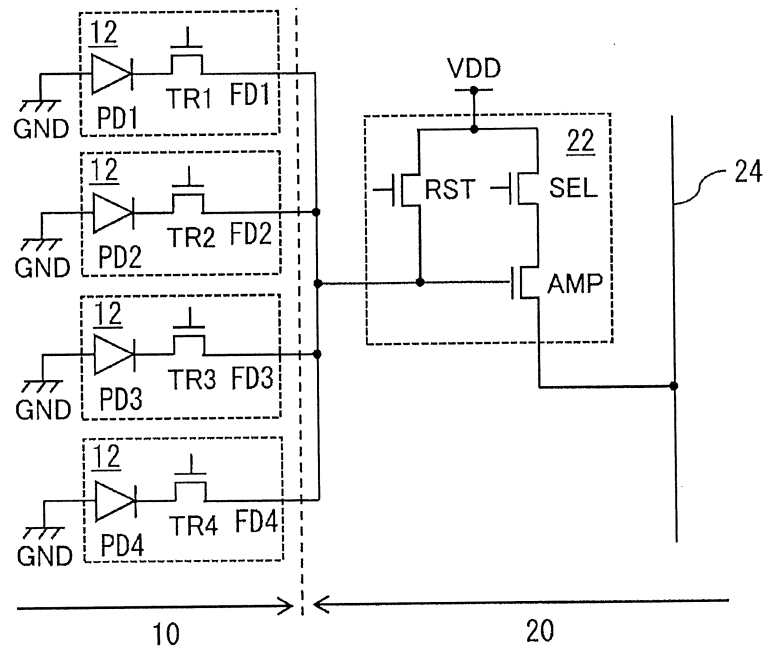


2/55

[FIG. 2]

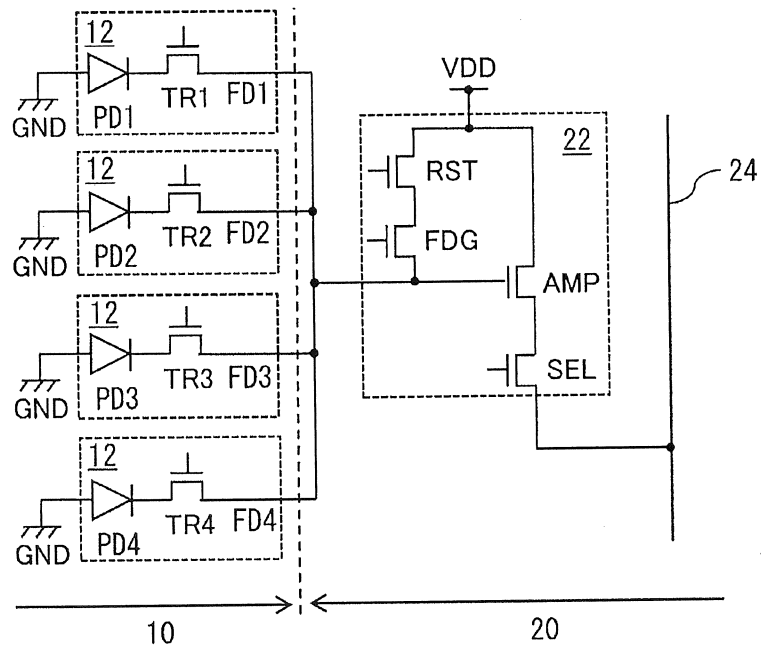


[FIG. 3]

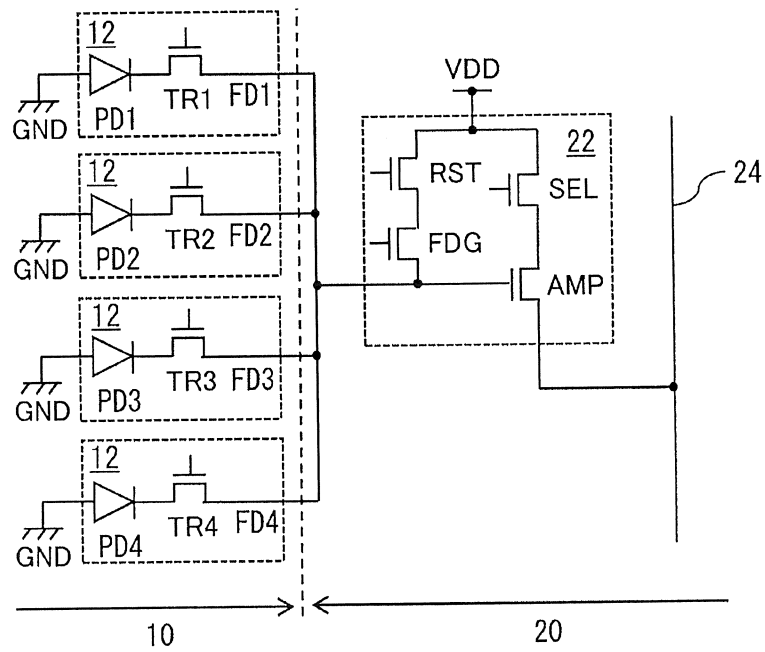


3/55

[FIG. 4]

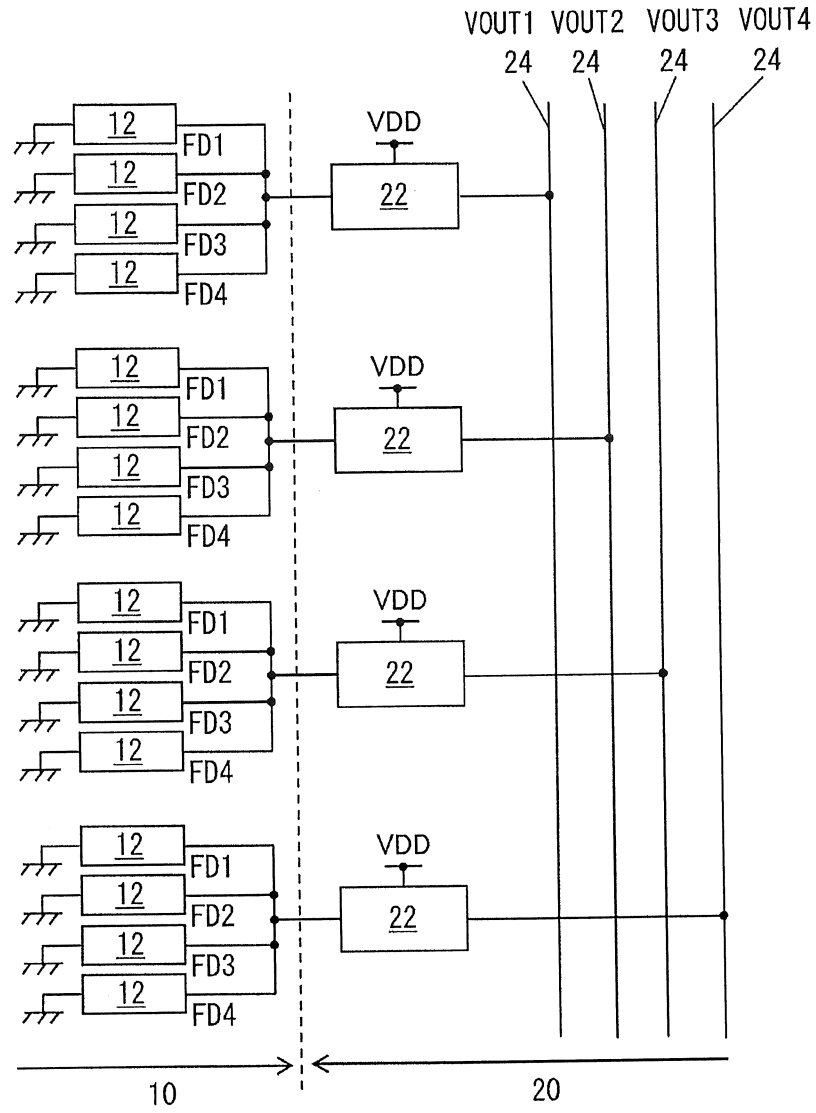


[FIG. 5]



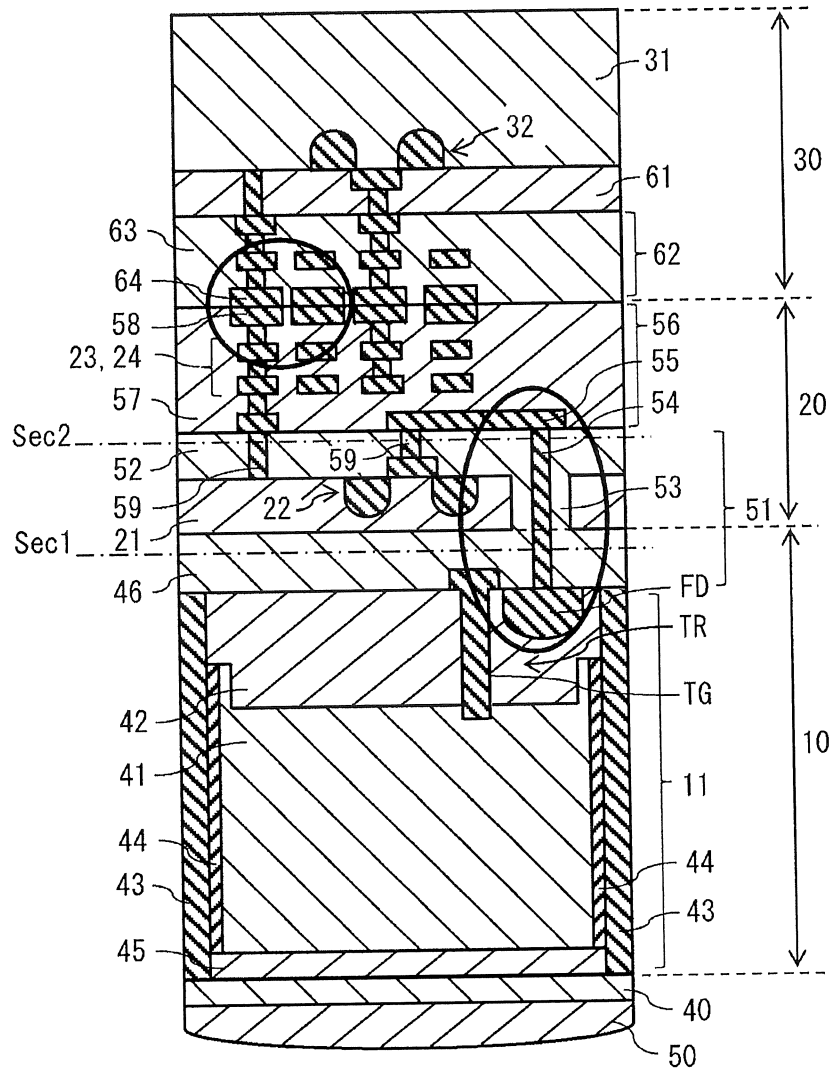
4/55

[FIG. 6]



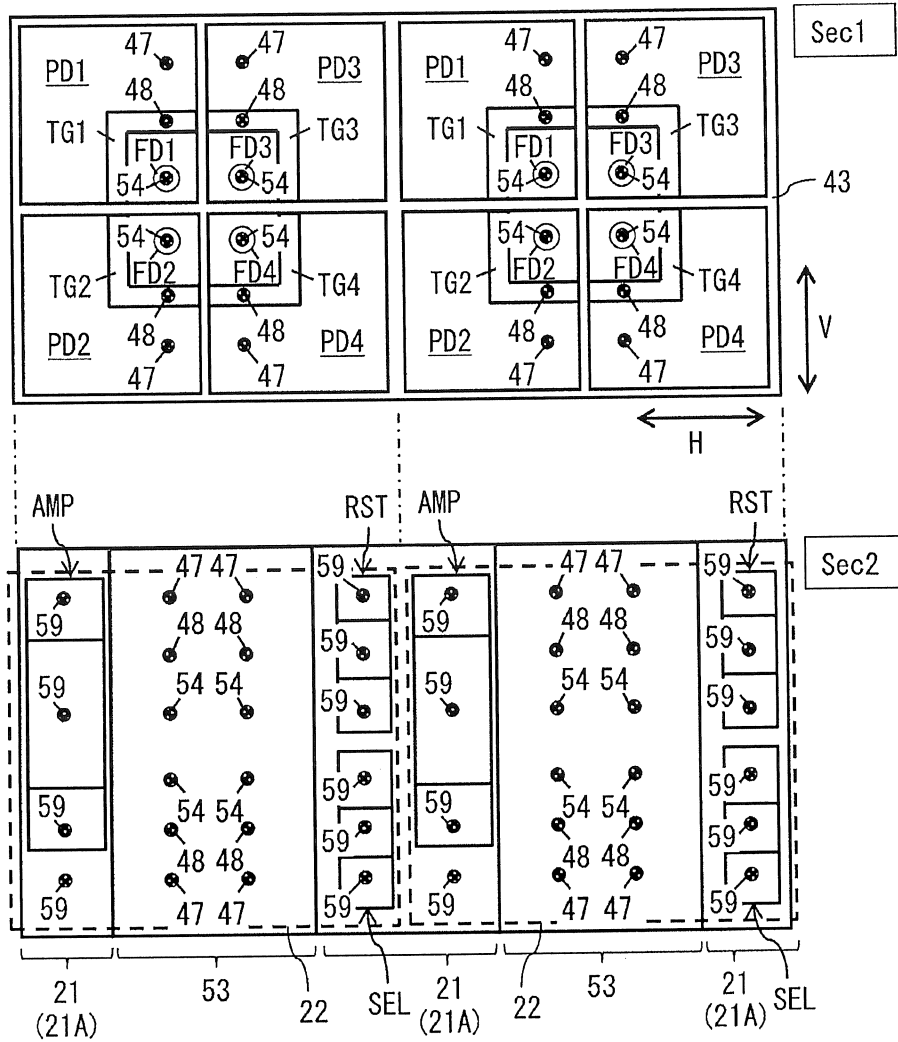
5/55

[FIG. 7]



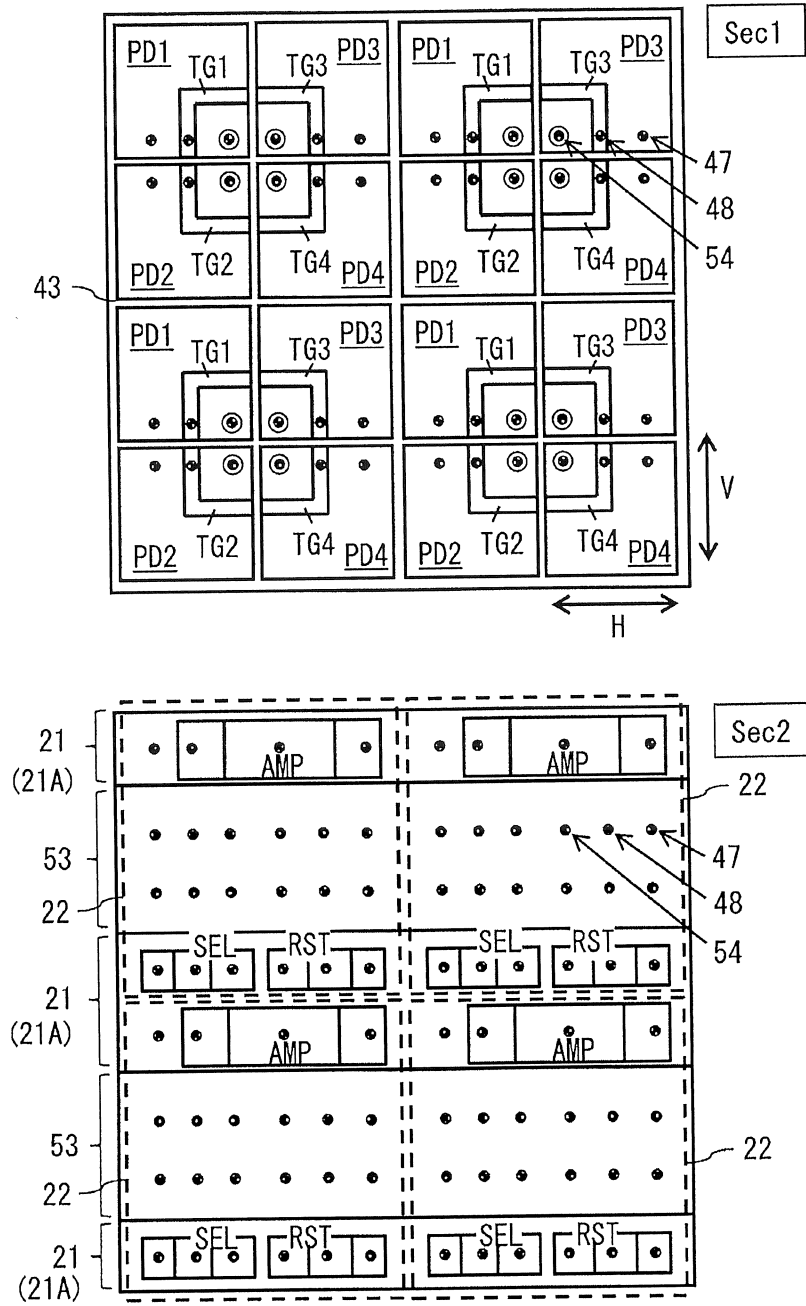
7/55

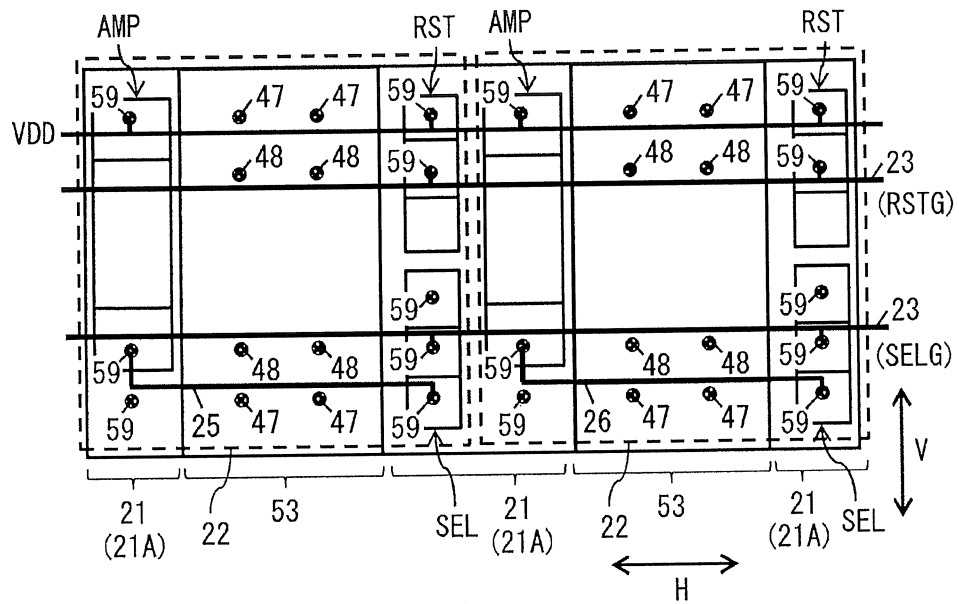
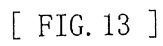
[FIG. 10]



8/55

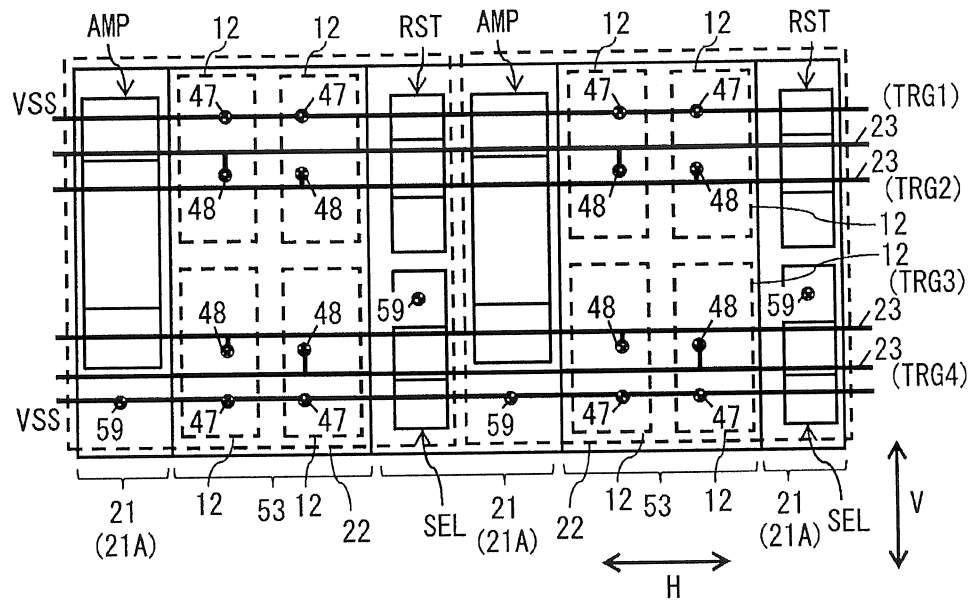
[FIG. 11]



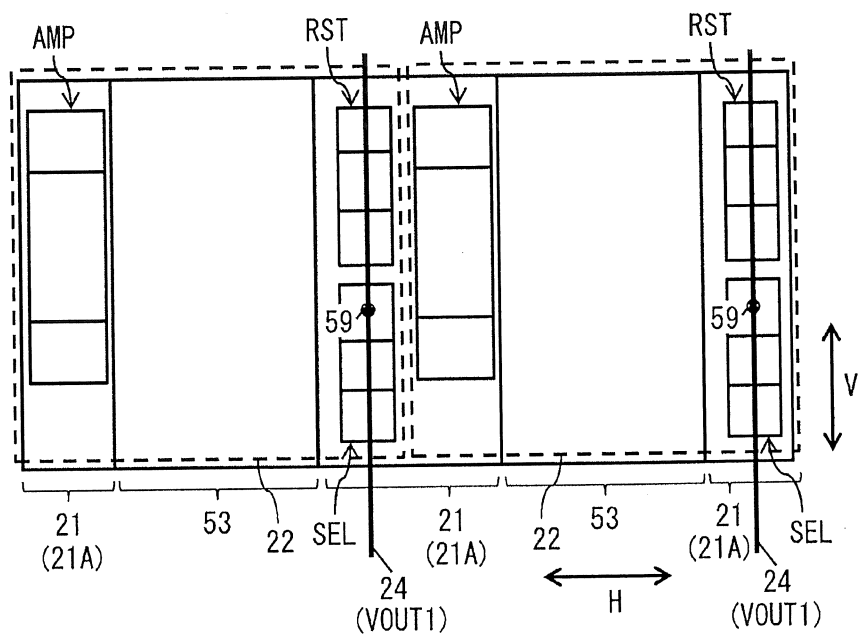


10/55

[FIG. 14]

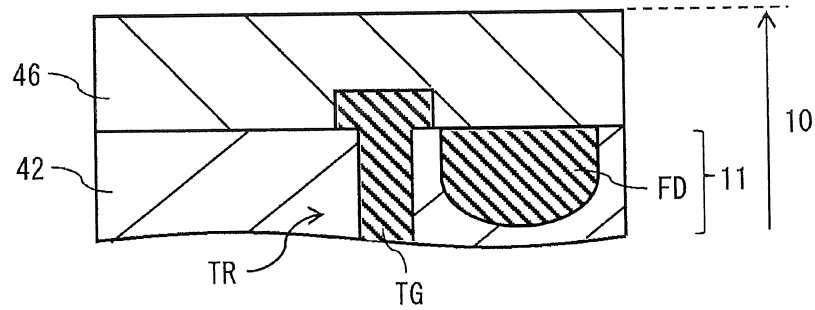


[FIG. 15]

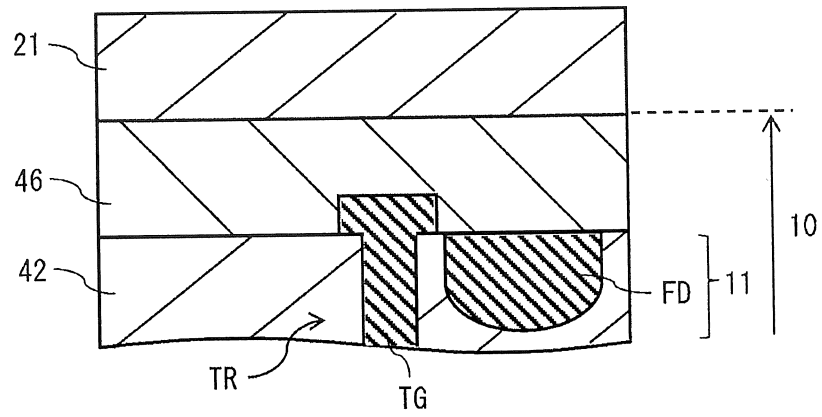


11/55

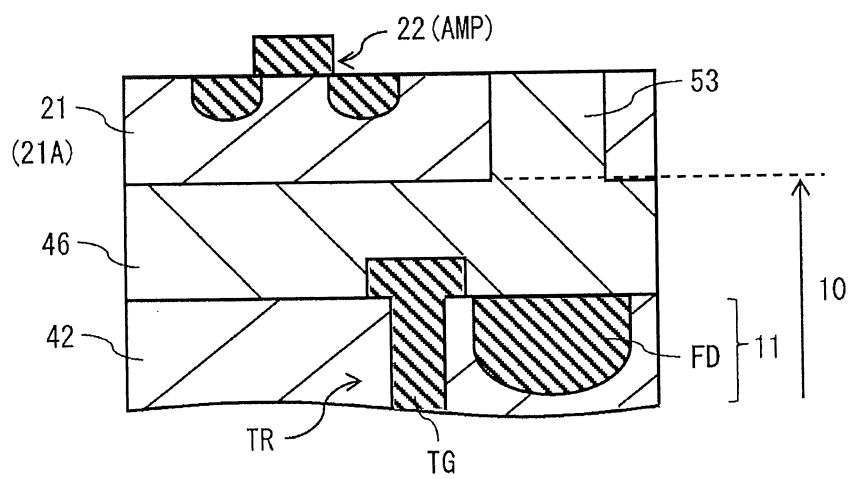
[FIG. 16A]



[FIG. 16B]

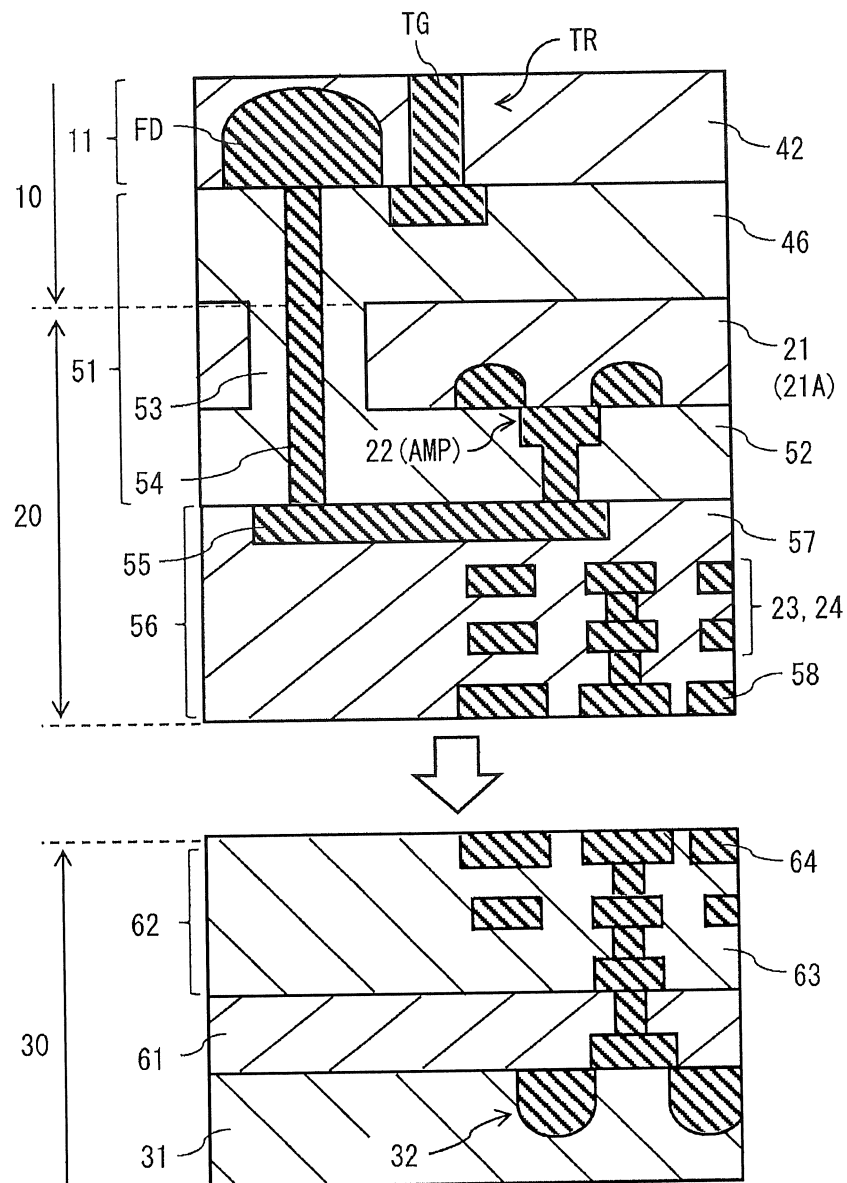


[FIG. 16C]



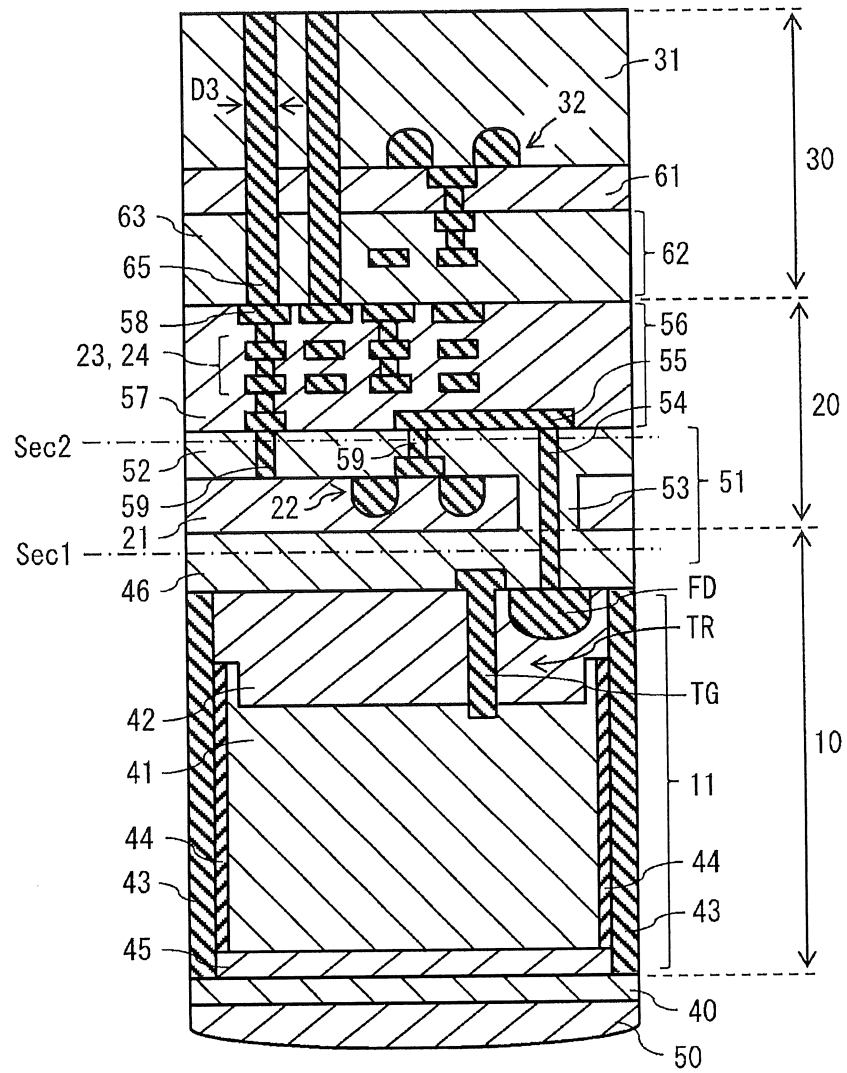
13/55

[FIG. 16F]



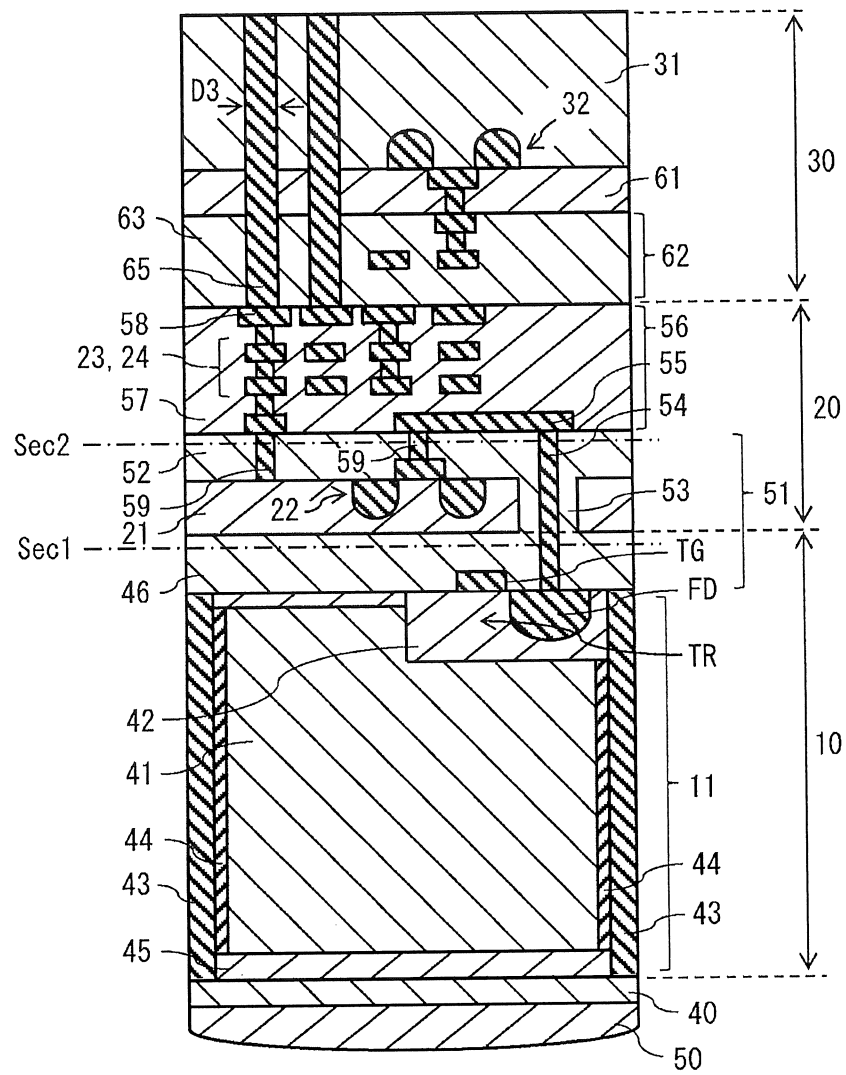
15/55

[FIG. 18]



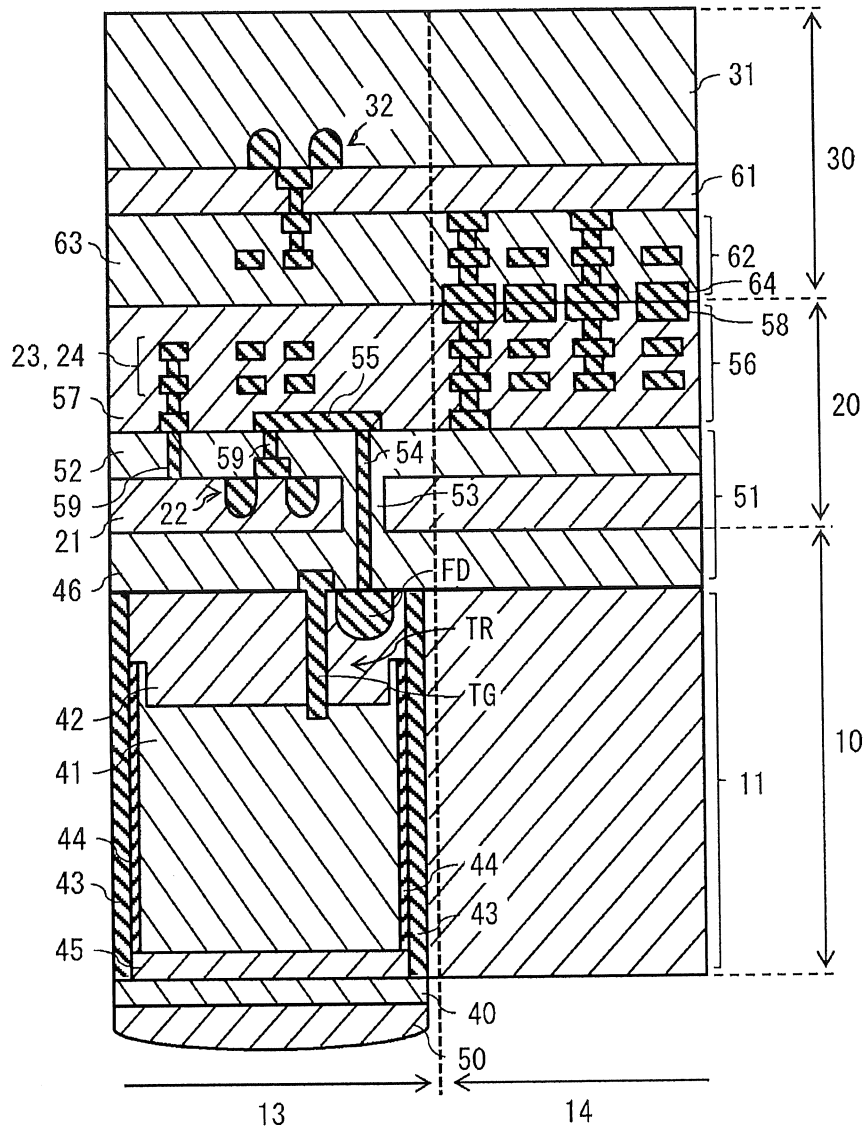
16/55

[FIG. 19]



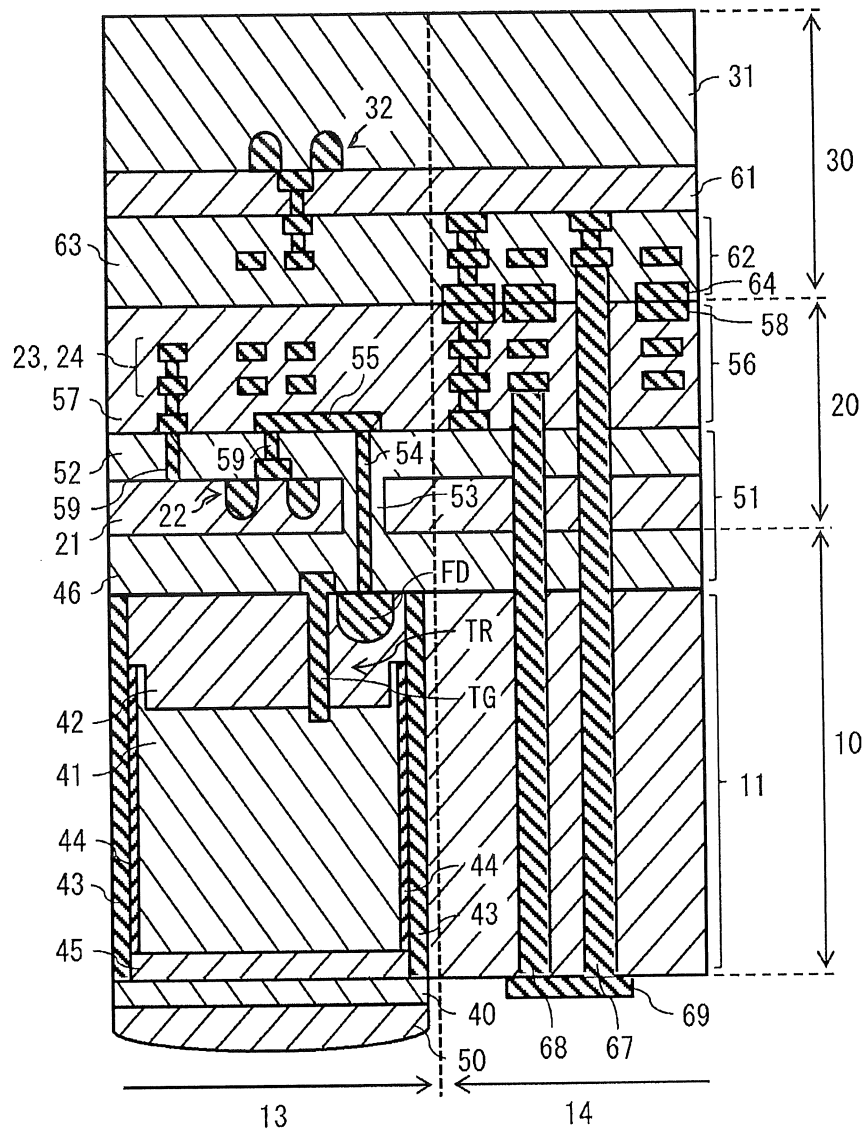
17/55

[FIG. 20]



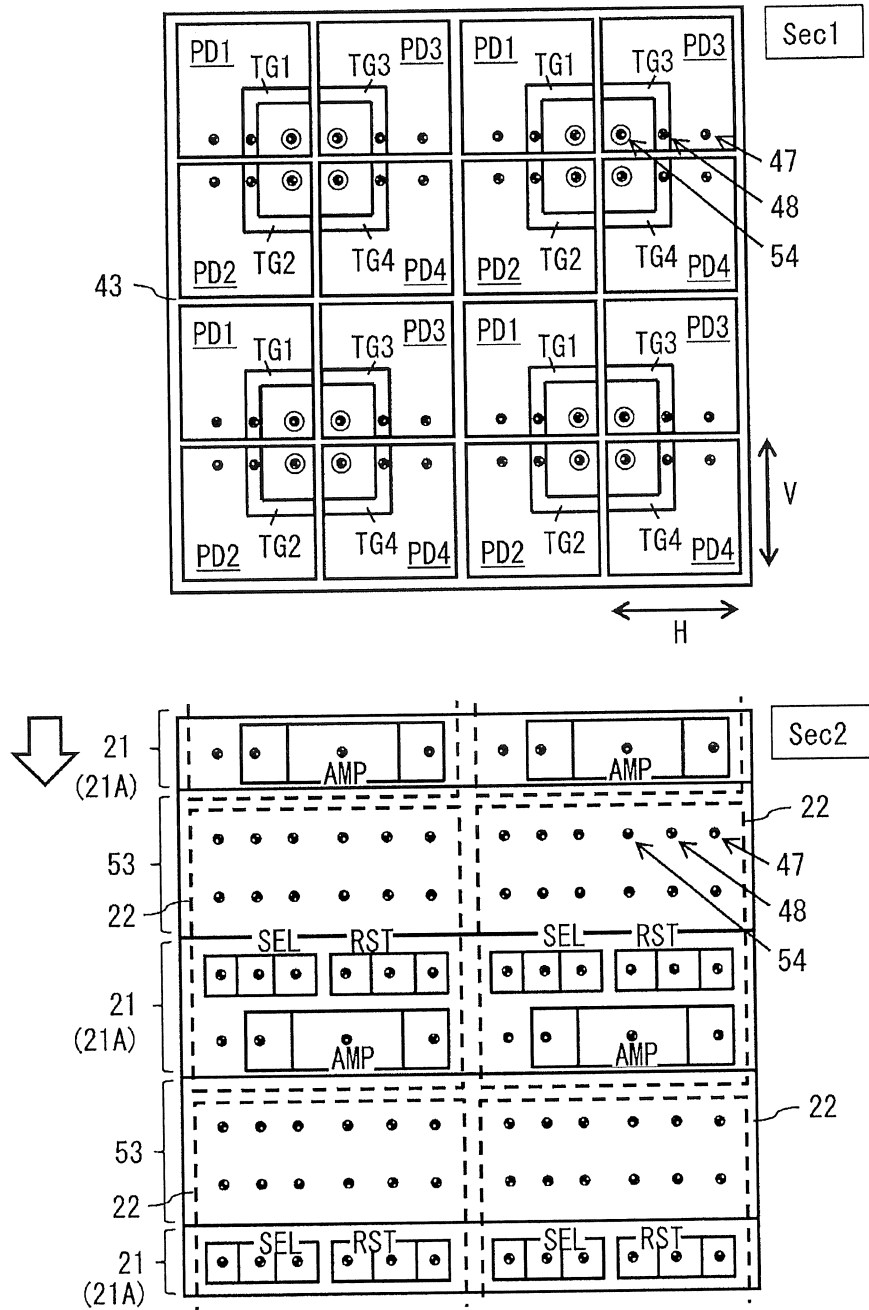
19/55

[FIG. 22]



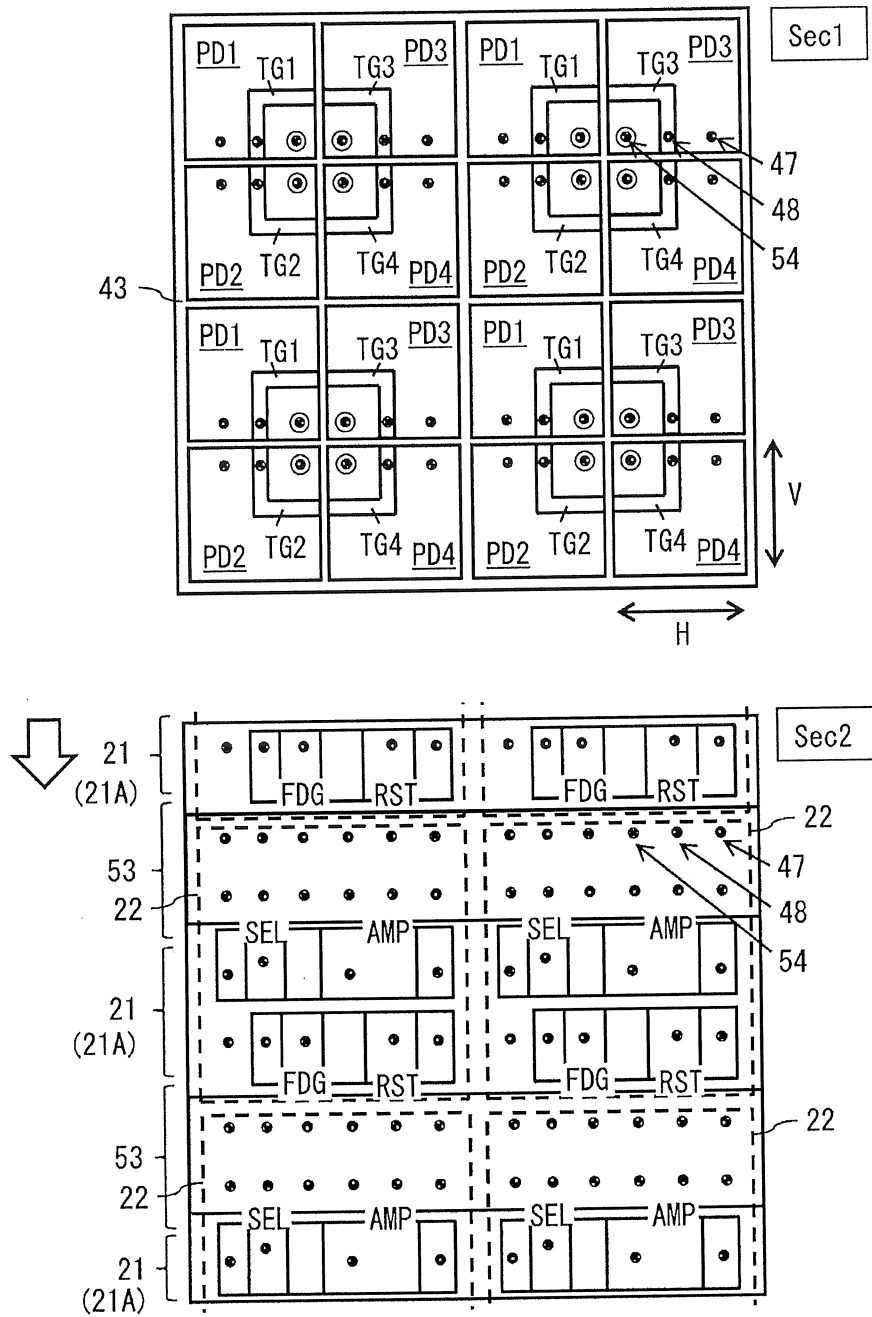
20/55

[FIG. 23]



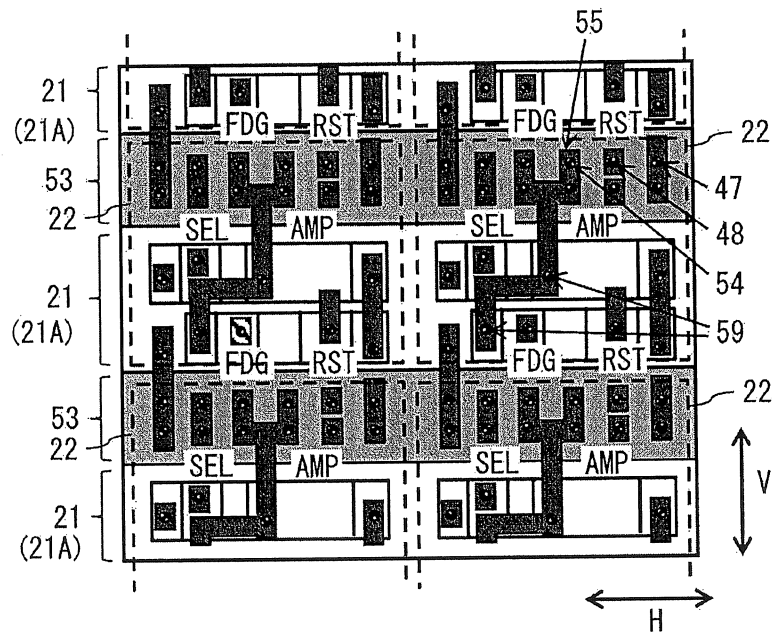
21/55

[FIG. 24]

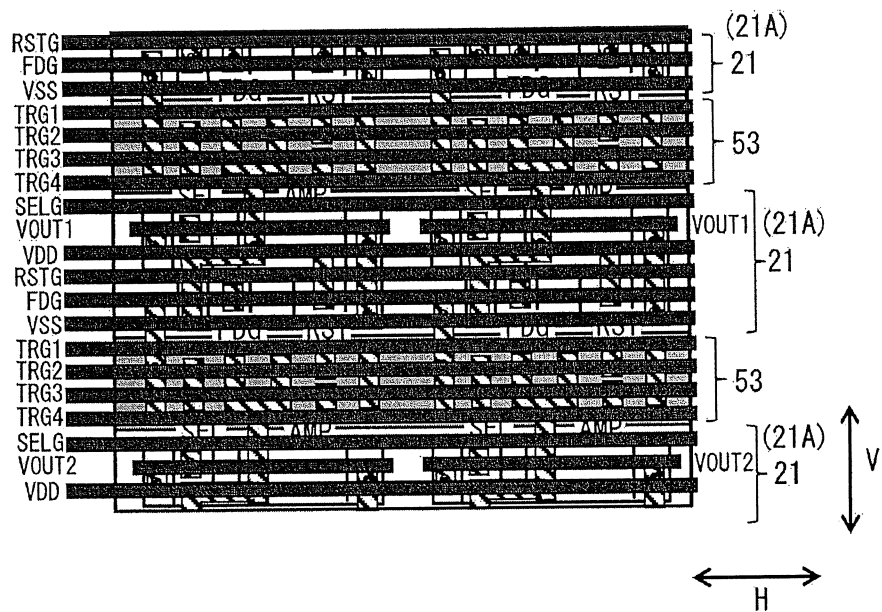


22/55

[FIG. 25]

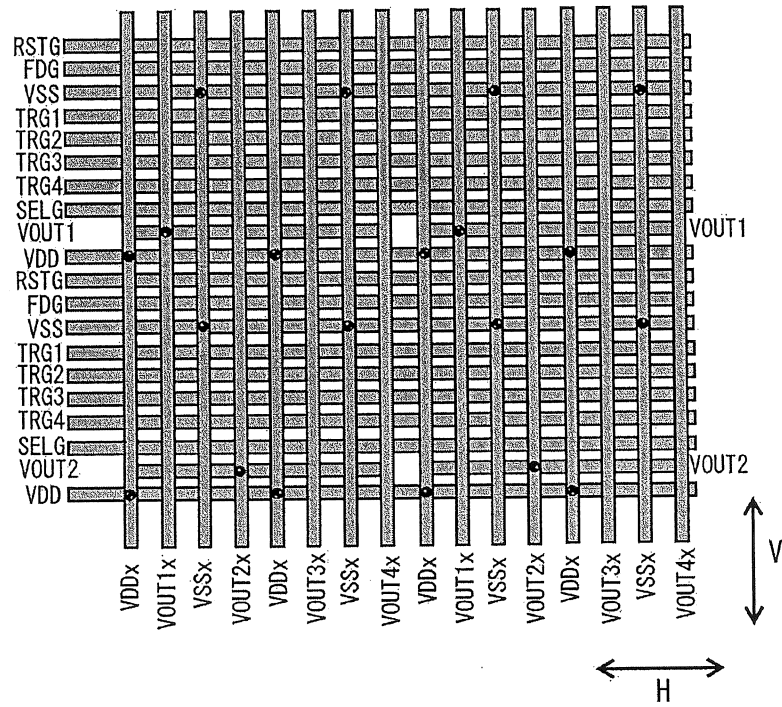


[FIG. 26]



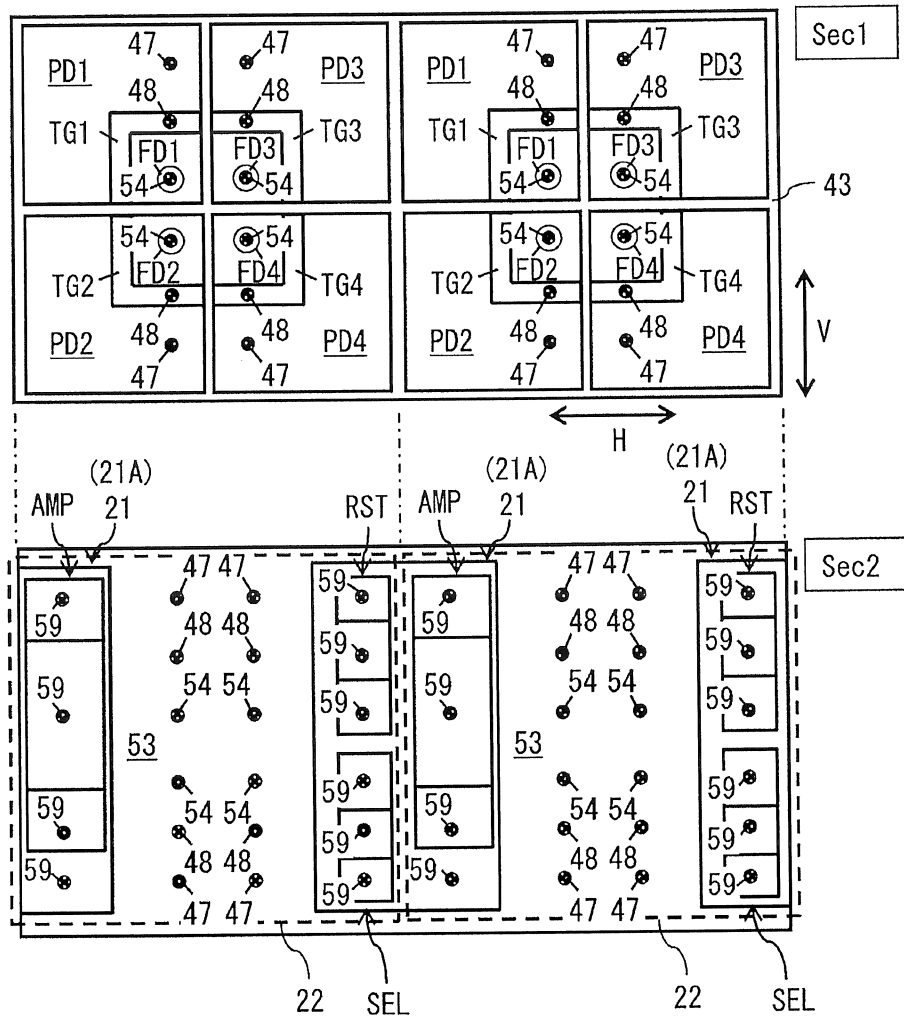
23/55

[FIG. 27]



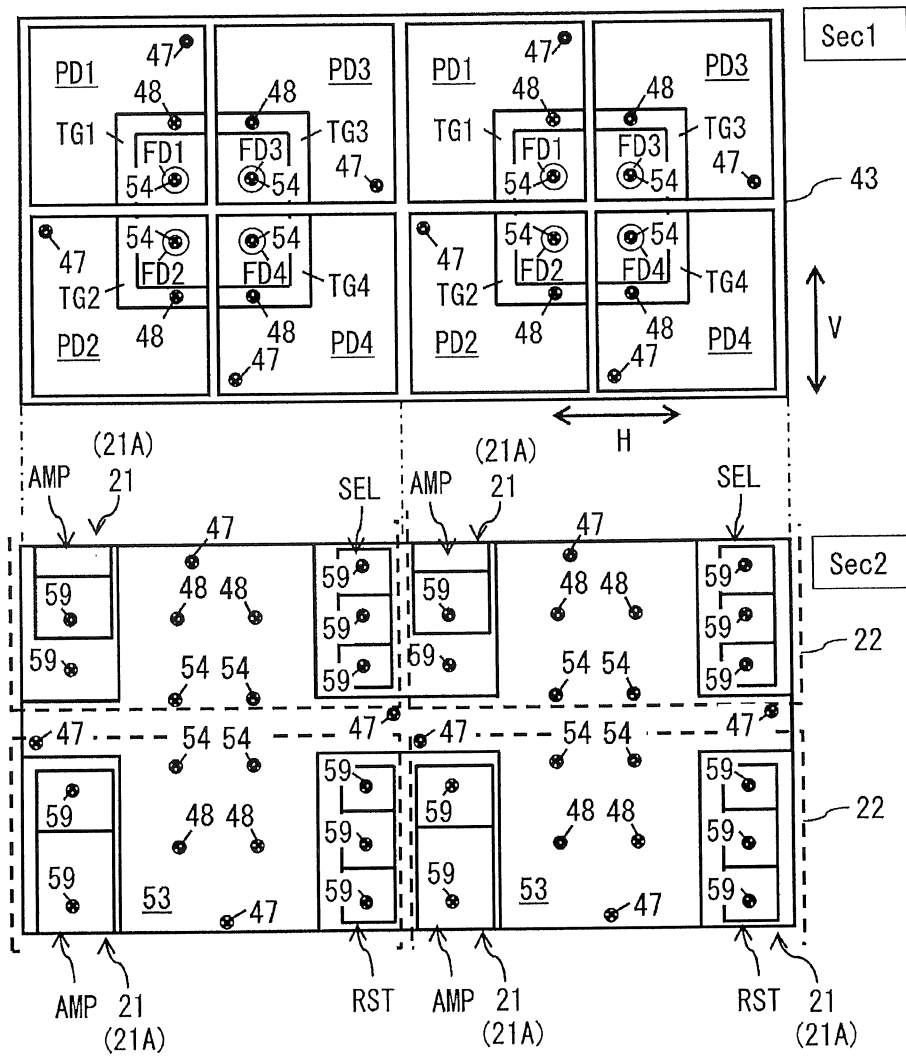
24/55

[FIG. 28]



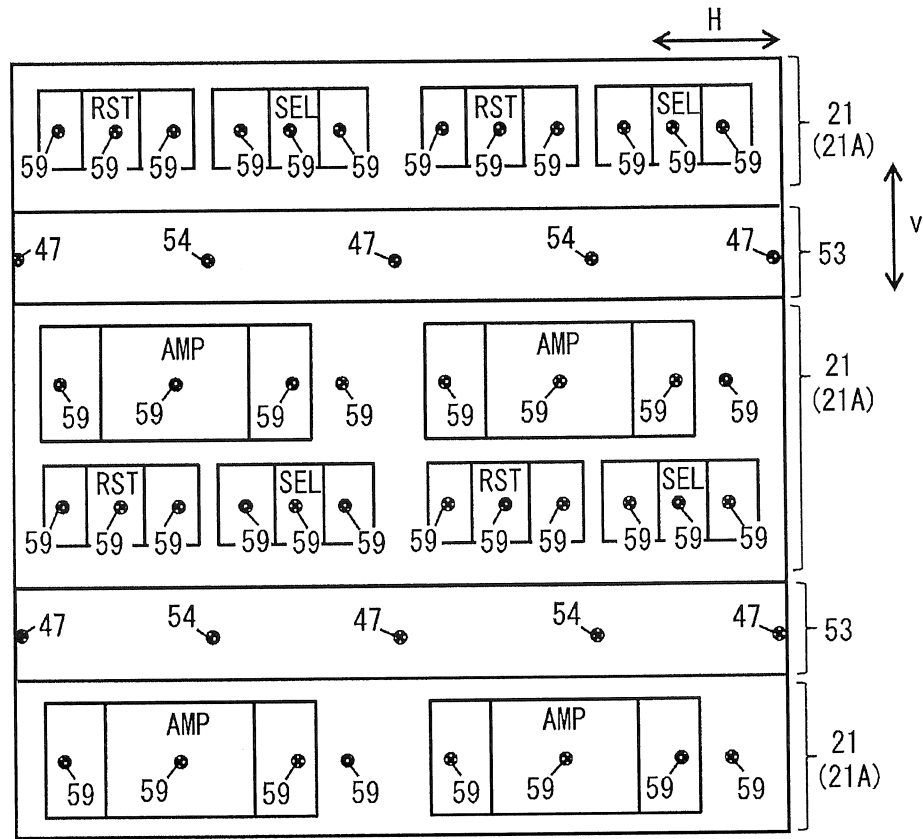
25/55

[FIG. 29]

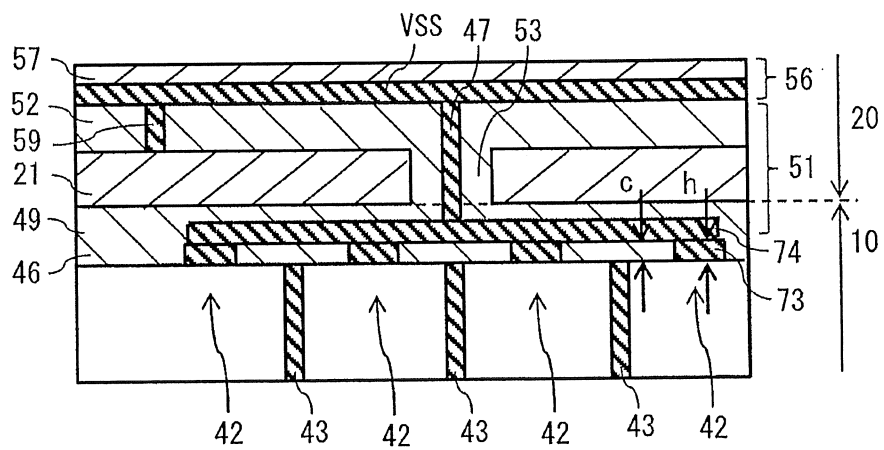


28/55

[FIG. 34]

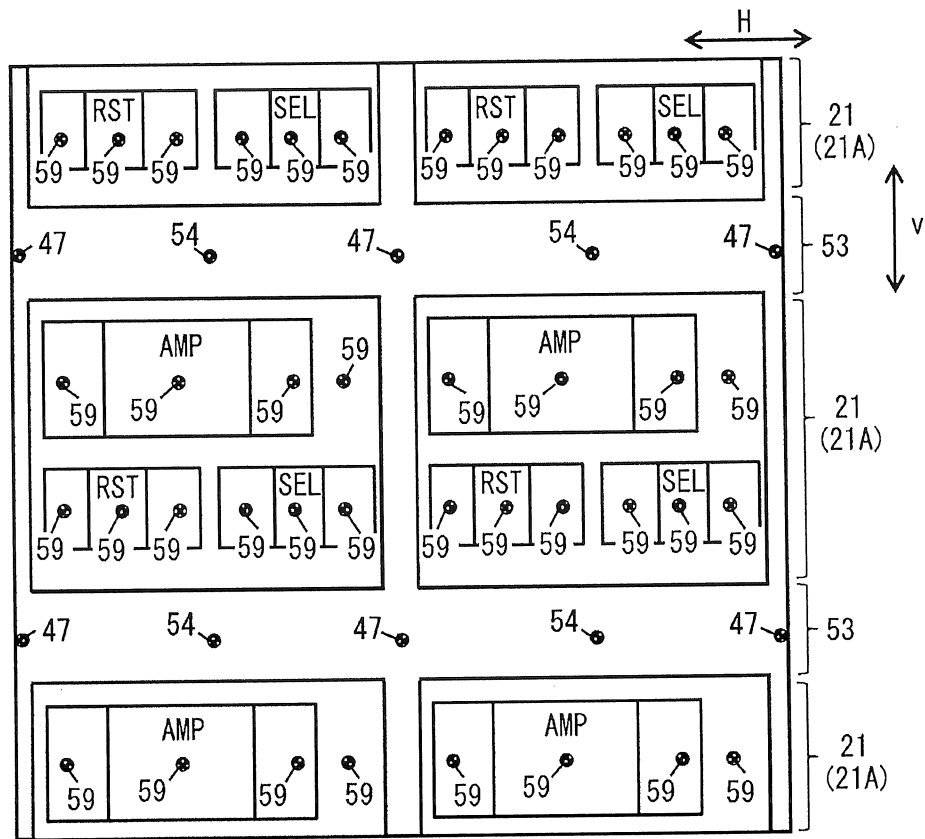


[FIG. 35]



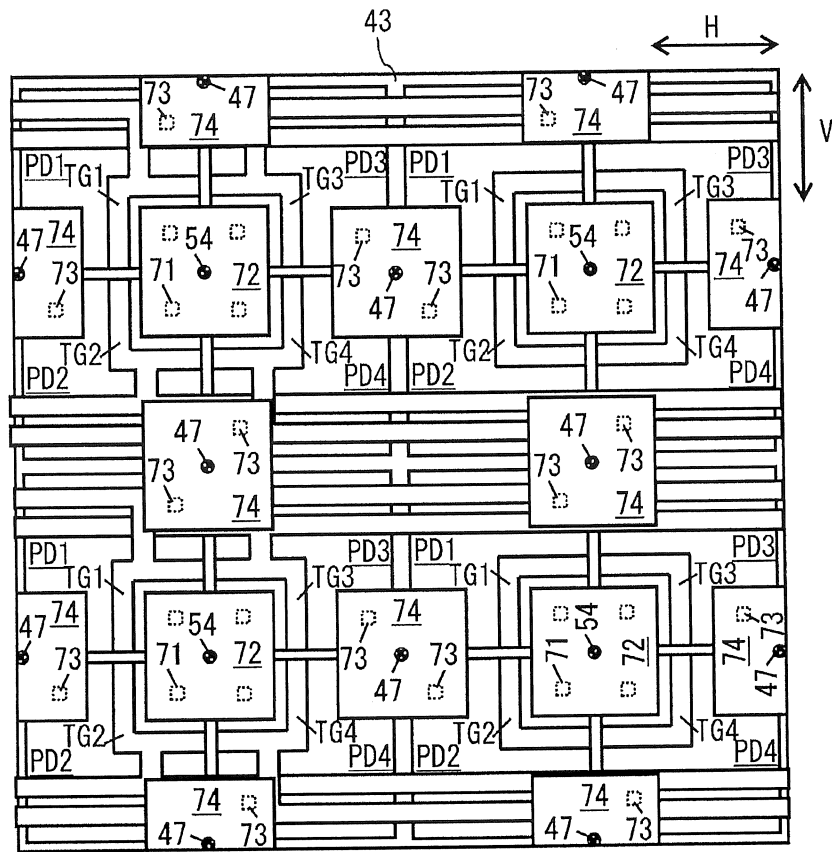
29/55

[FIG. 36]



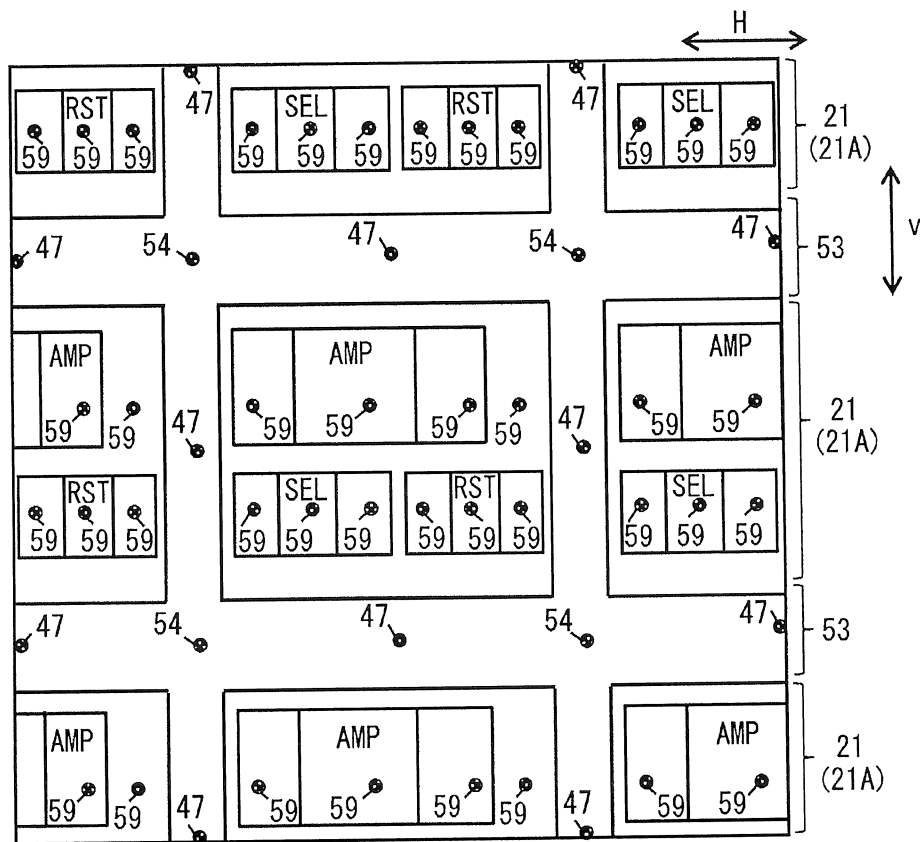
30/55

[FIG. 37]

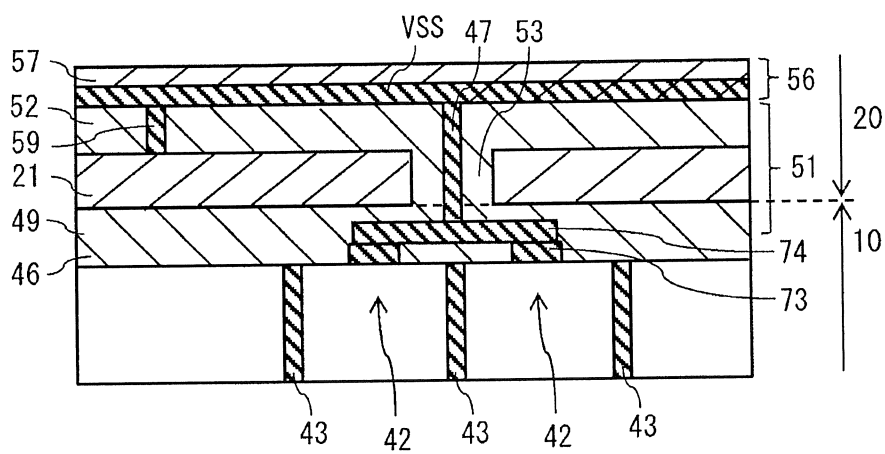


31/55

[FIG. 38]

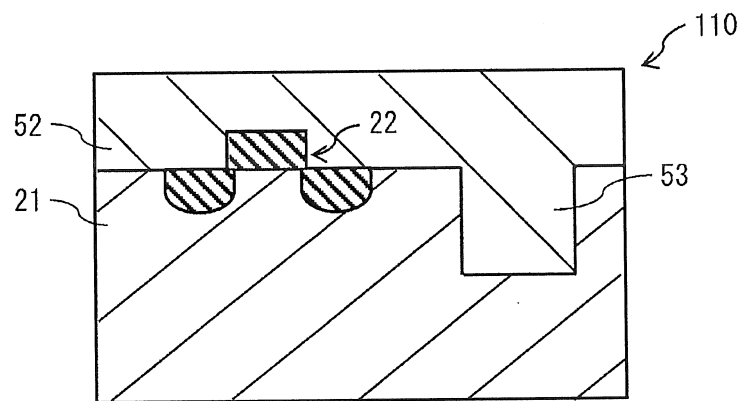


[FIG. 39]

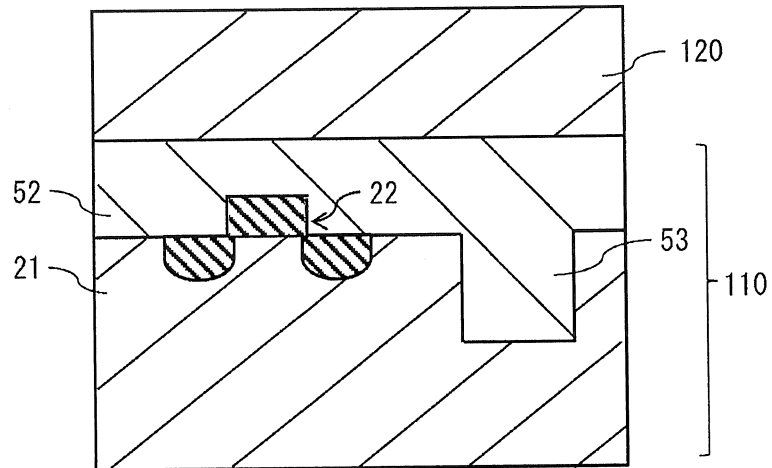


32/55

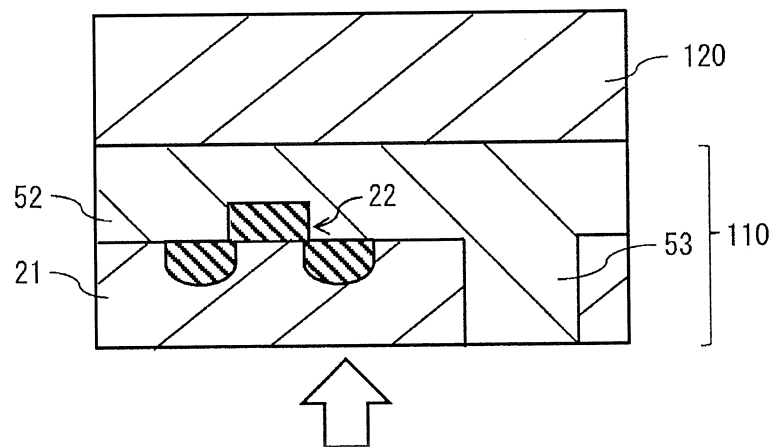
[FIG. 40A]



[FIG. 40B]

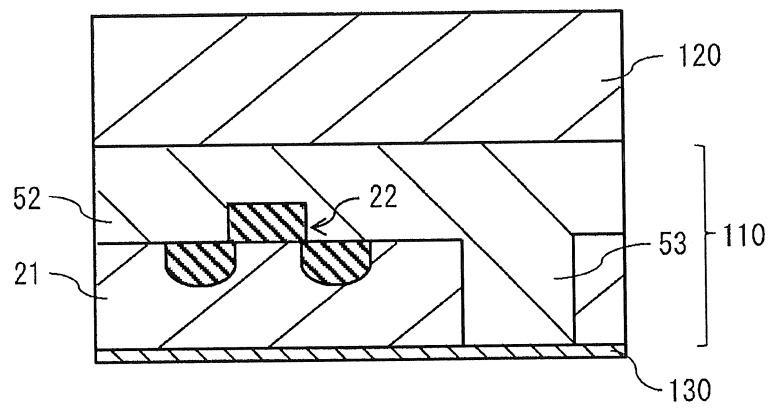


[FIG. 40C]

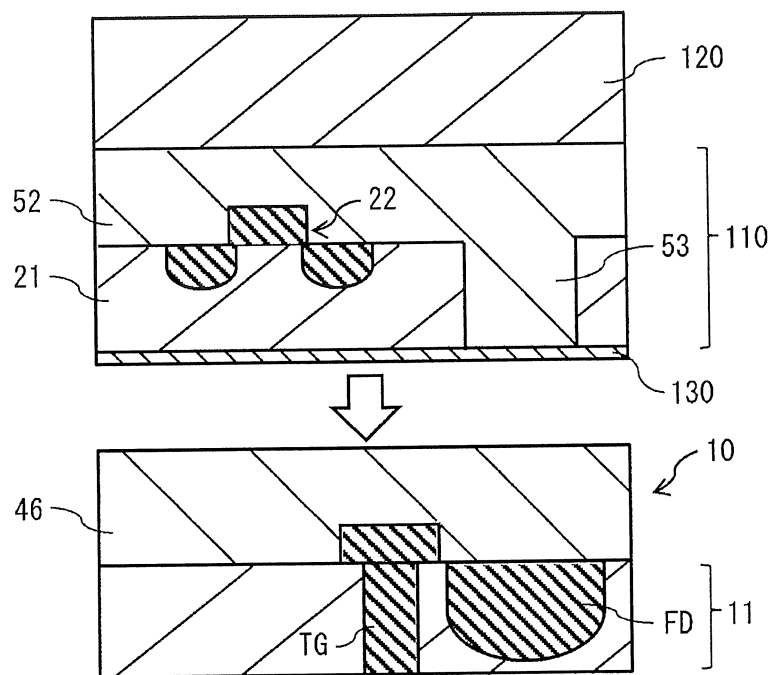


33/55

[FIG. 40D]

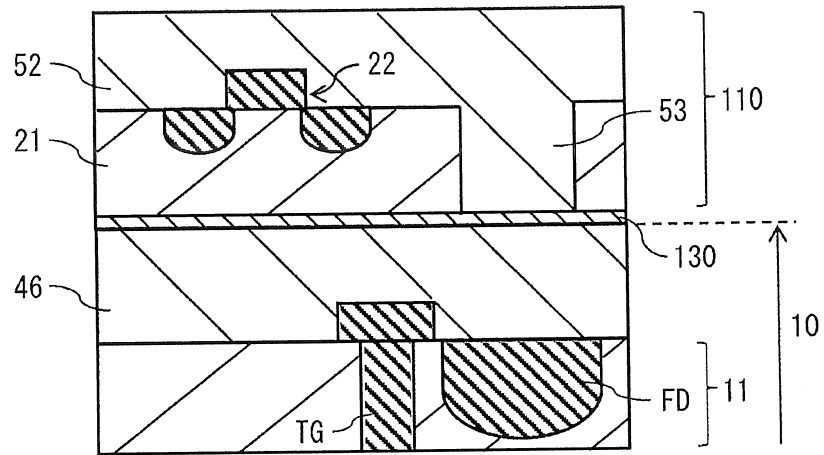


[FIG. 40E]



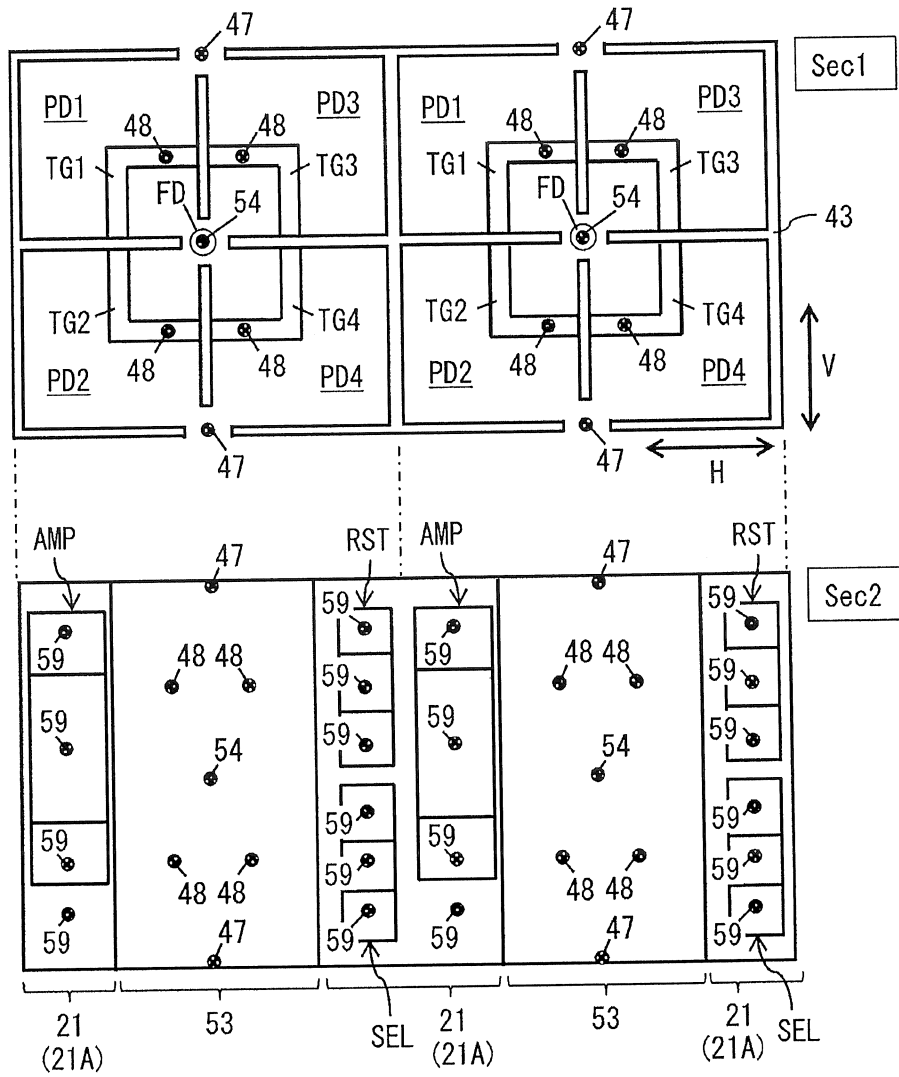
34/55

[FIG. 40F]



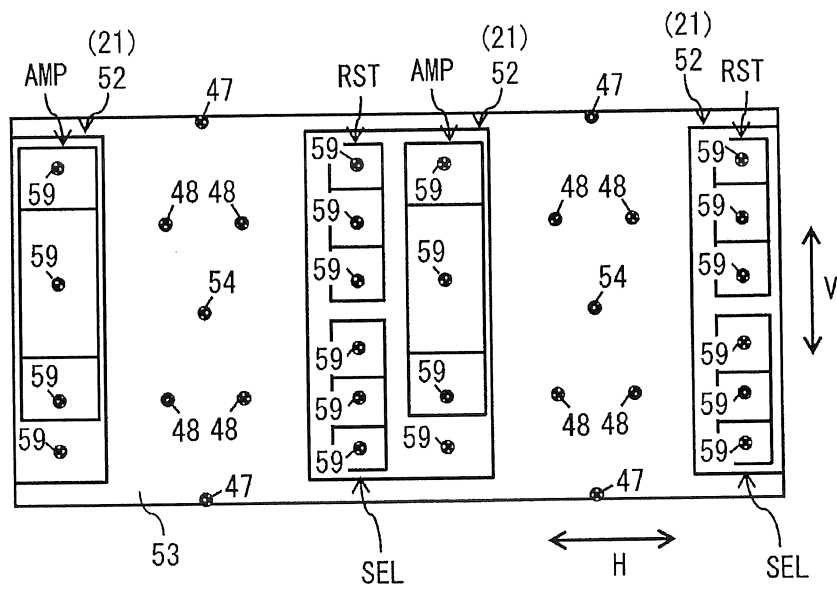
35/55

[FIG. 41]

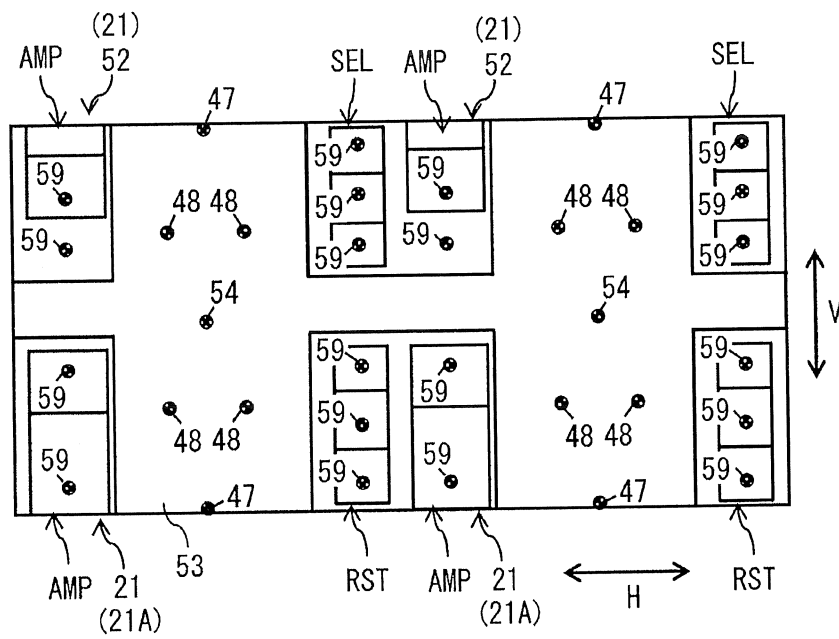


36/55

[FIG. 42]

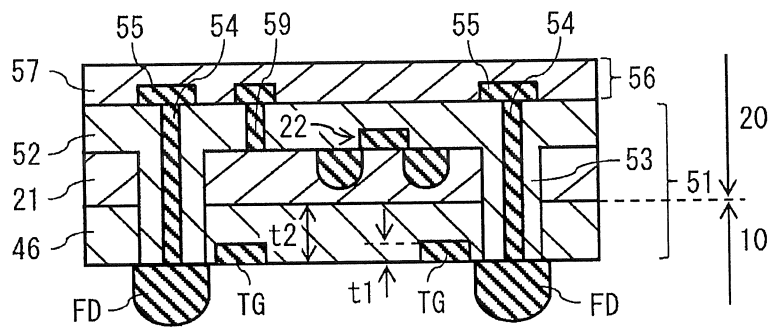


[FIG. 43]

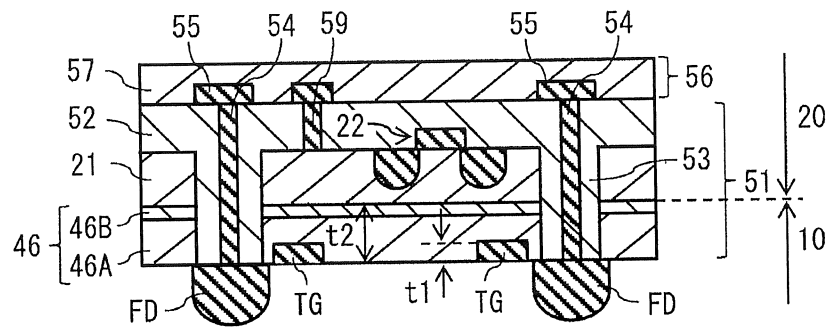


37/55

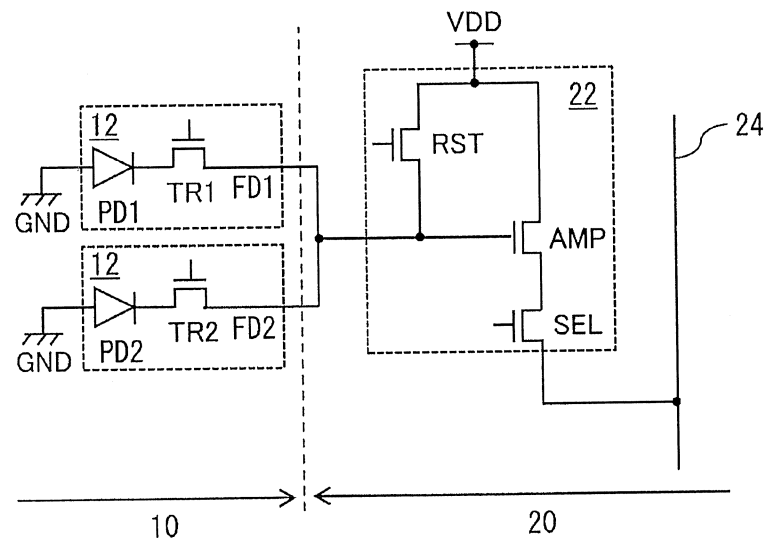
[FIG. 44]



[FIG. 45]

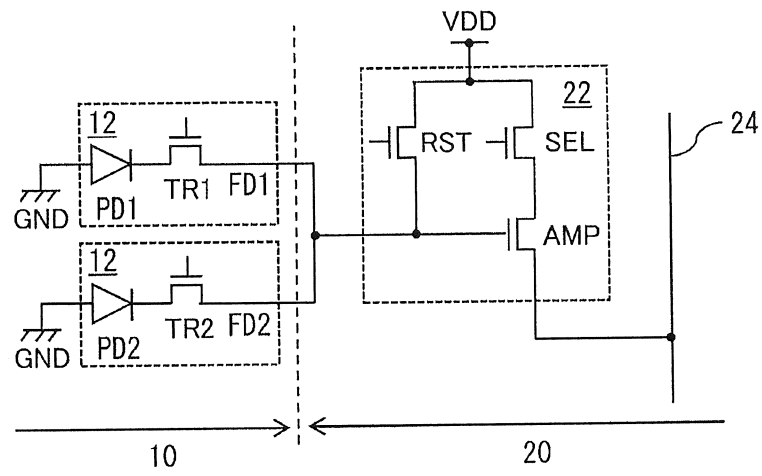


[FIG. 46]

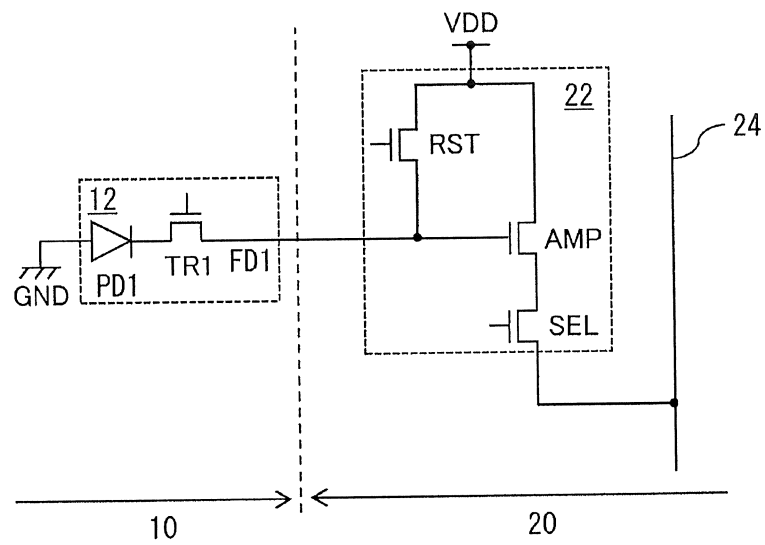


38/55

[FIG. 47]

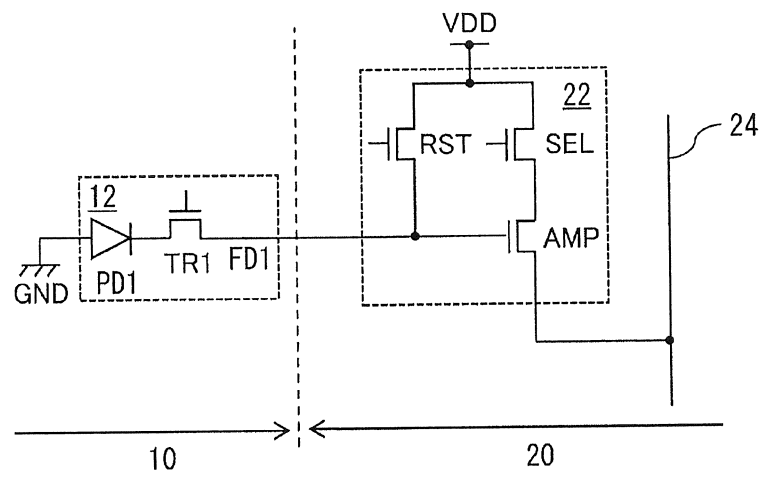


[FIG. 48]

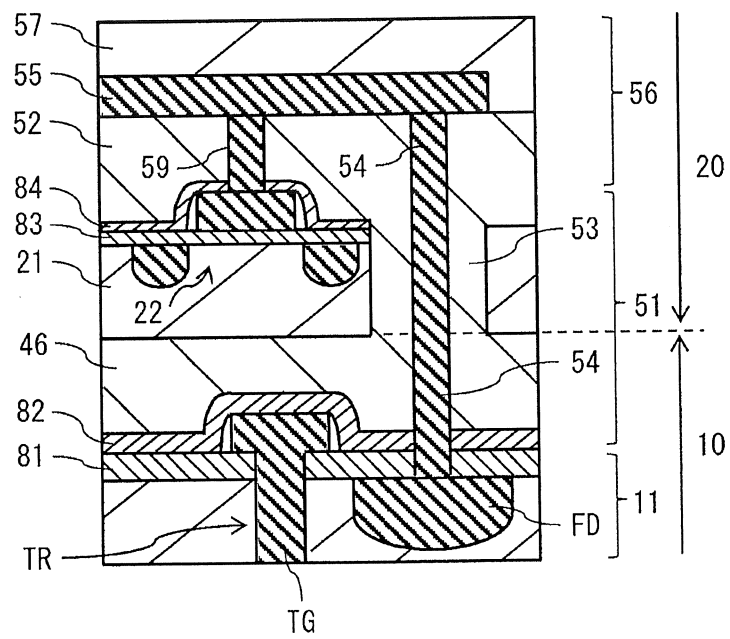


39/55

[FIG. 49]

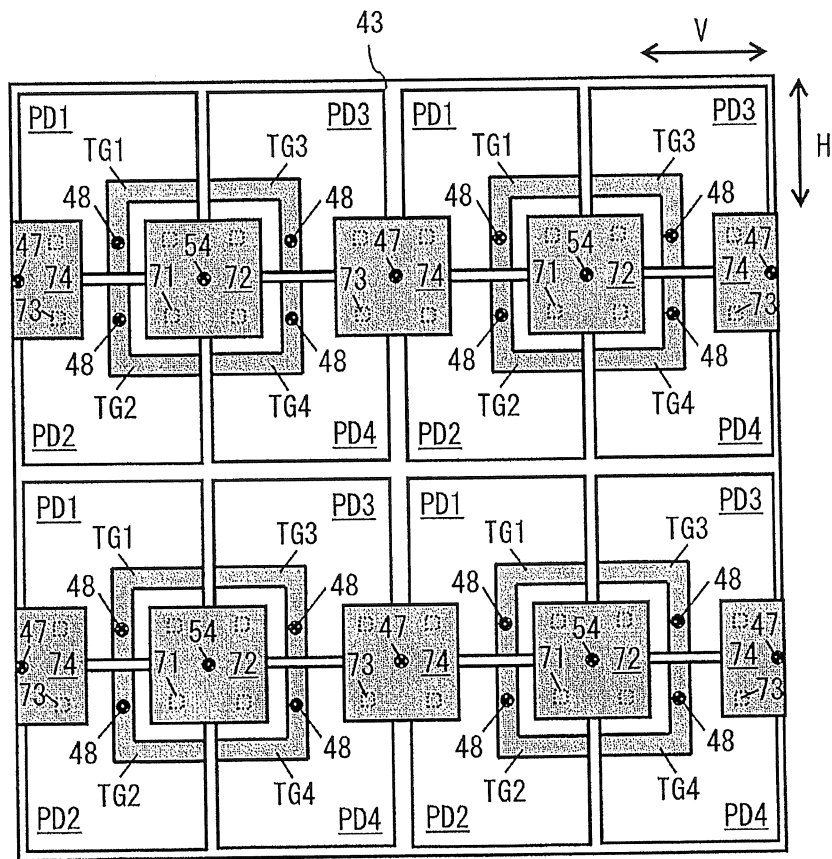


[FIG. 50]



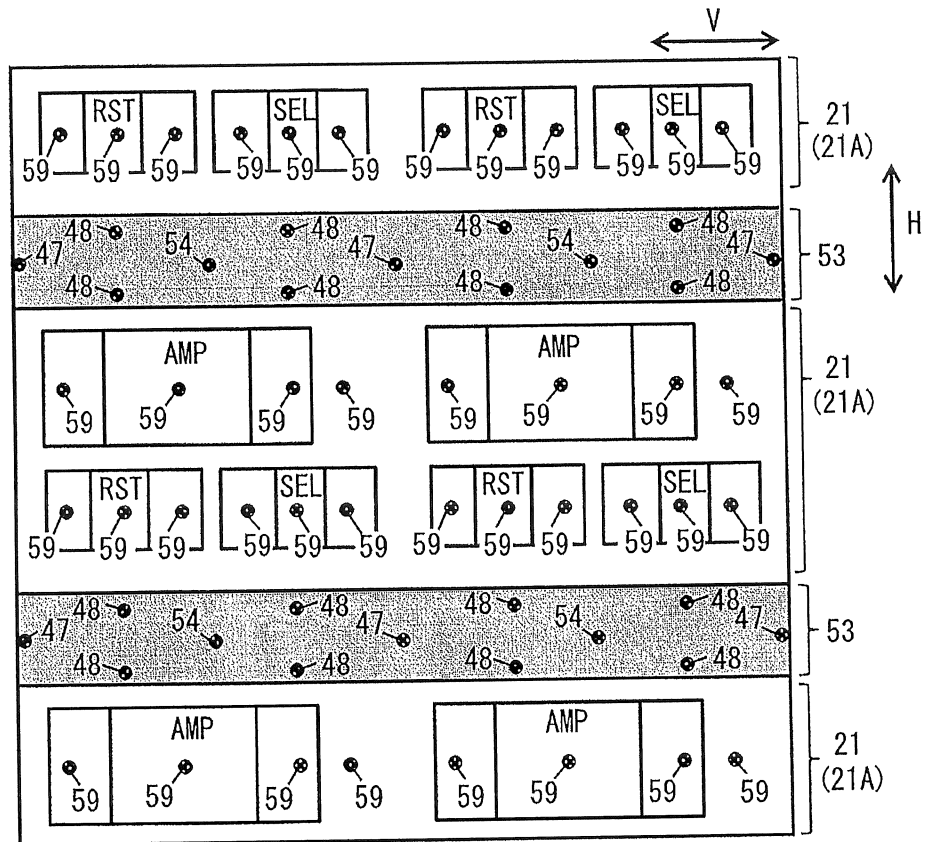
40/55

[FIG. 51]

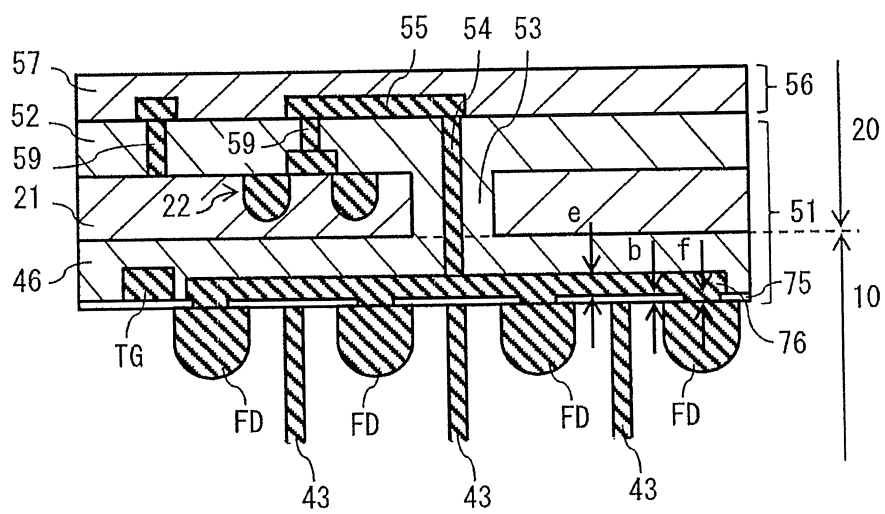


41/55

[FIG. 52]

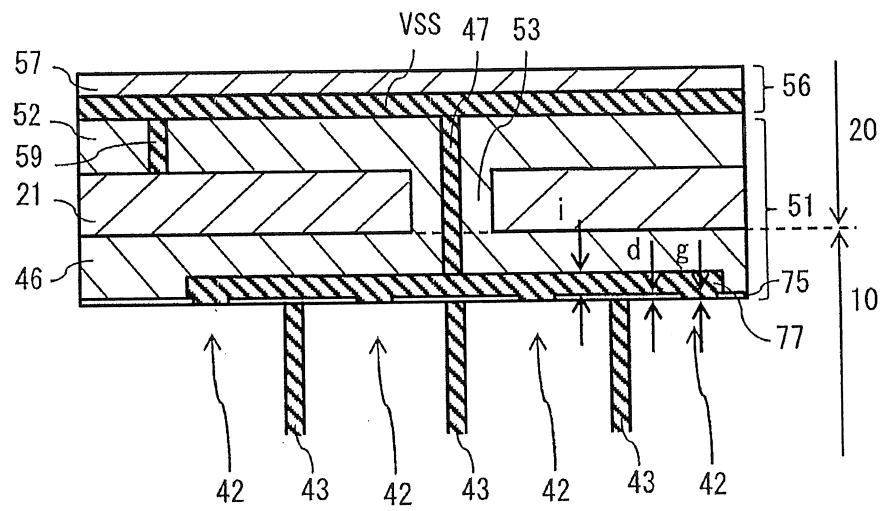


[FIG. 53]

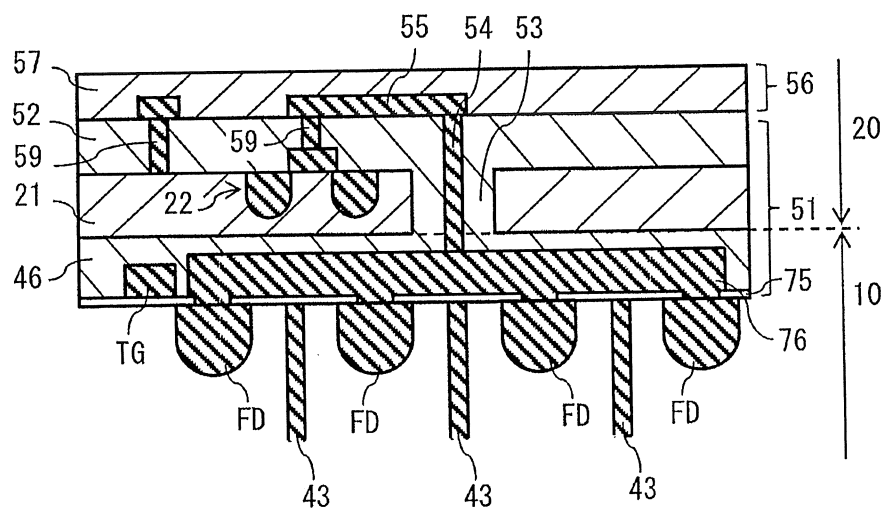


42/55

[FIG. 54]

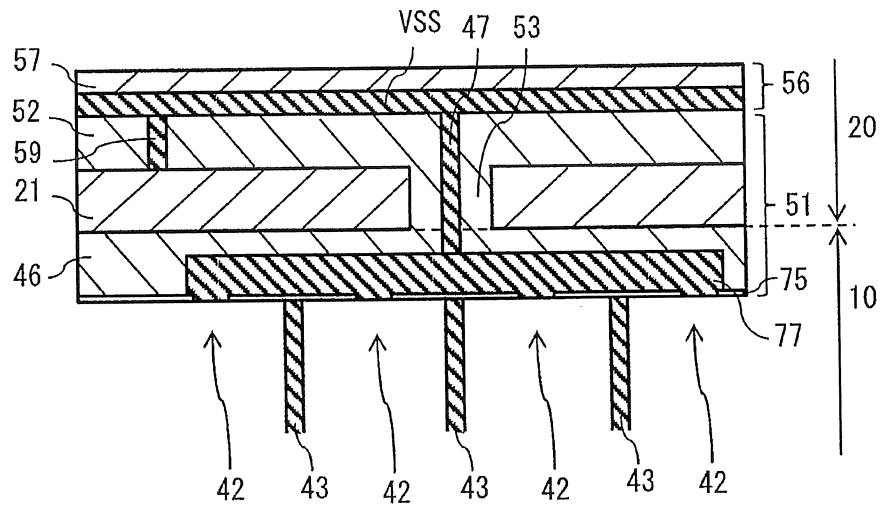


[FIG. 55]

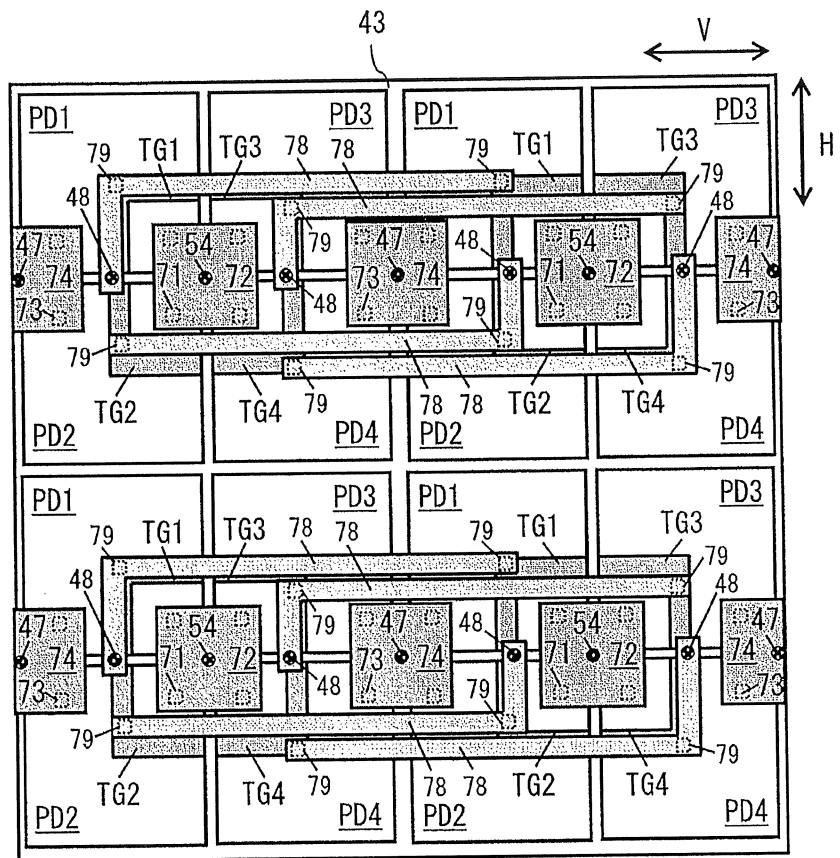


43/55

[FIG. 56]

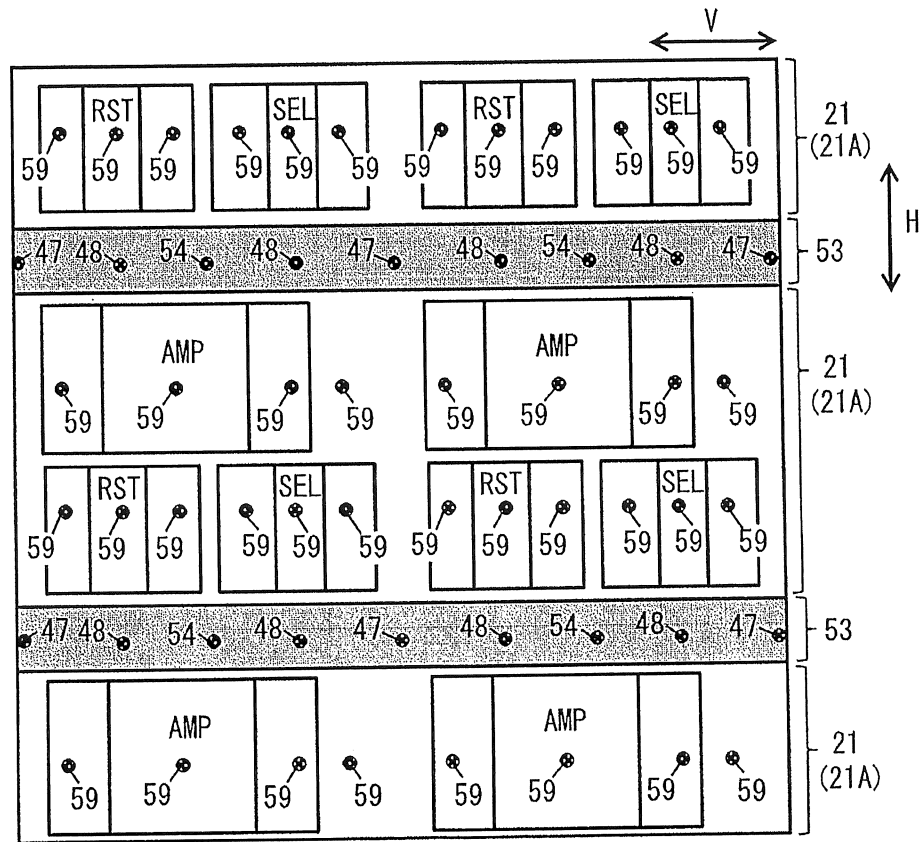


[FIG. 57]

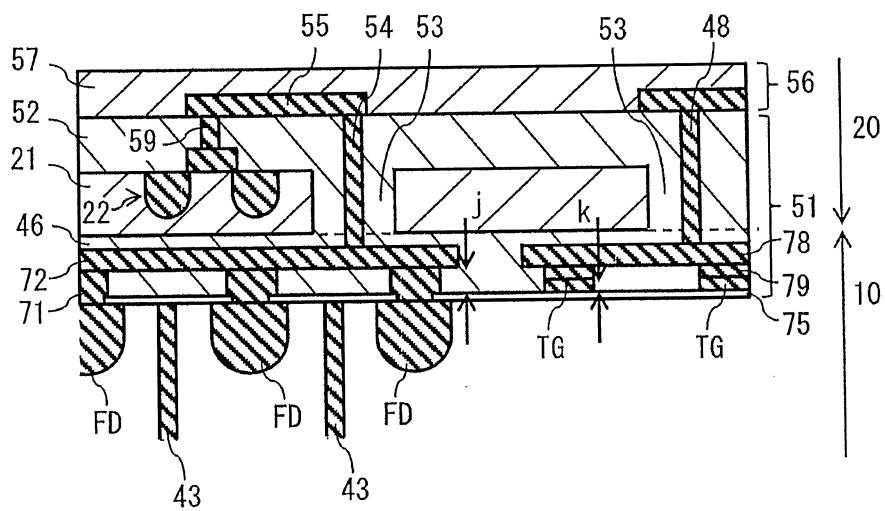


44/55

[FIG. 58]

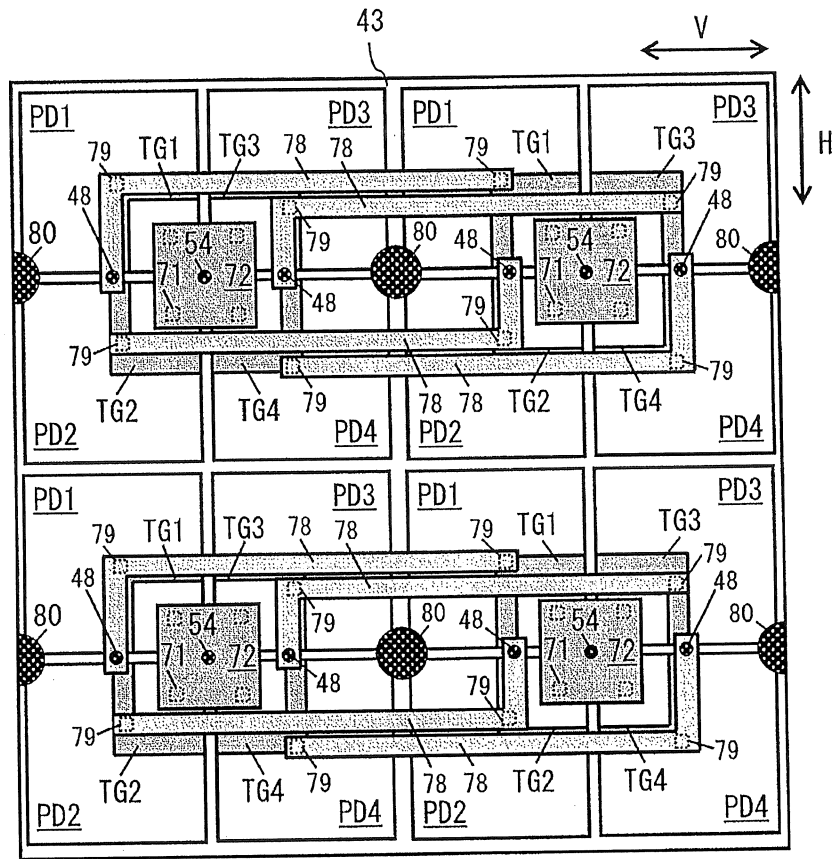


[FIG. 59]



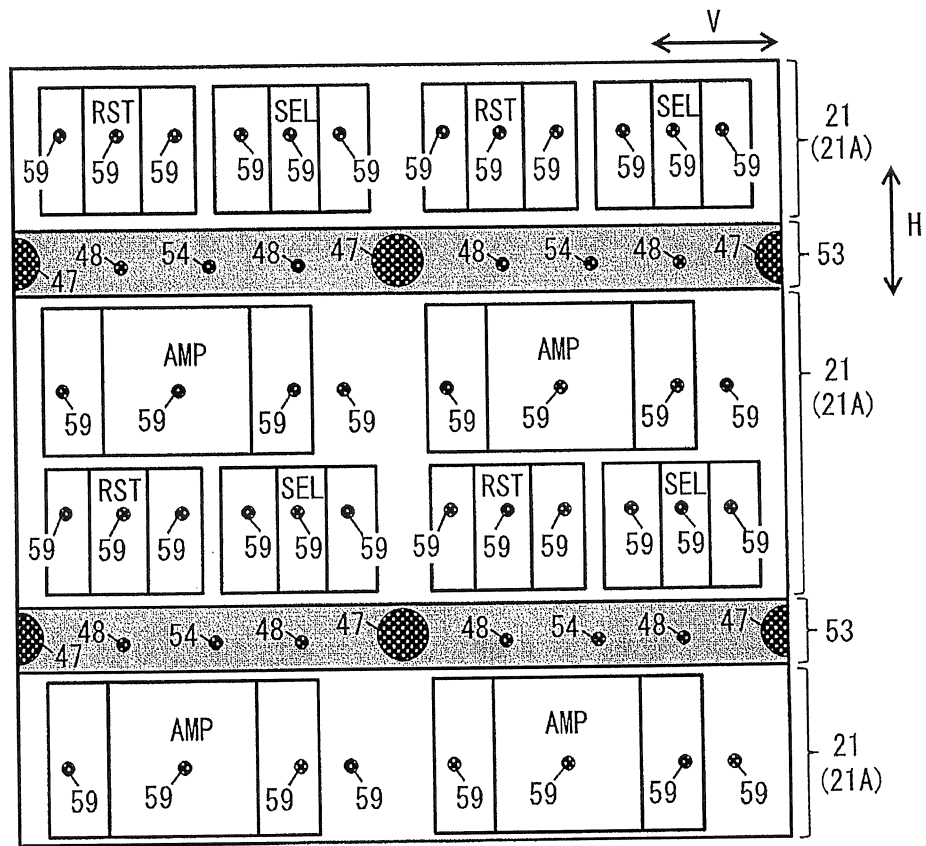
45/55

[FIG. 60]

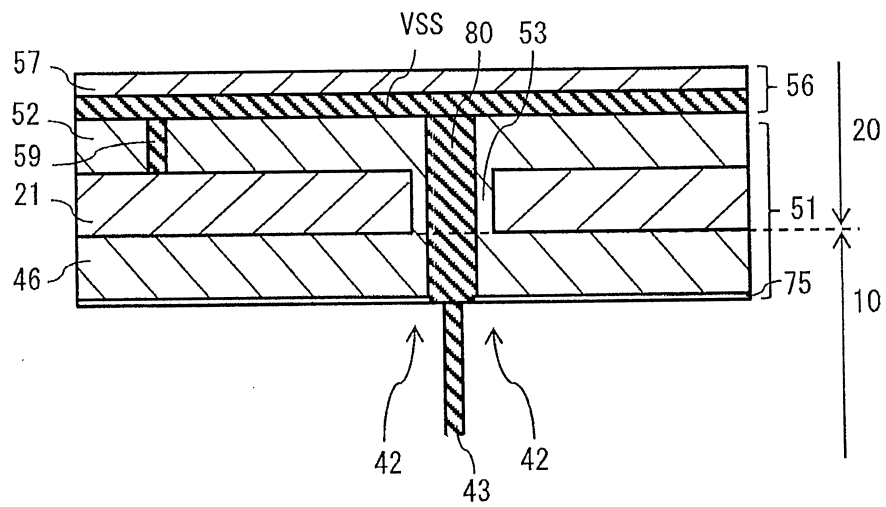


46/55

[FIG. 61]

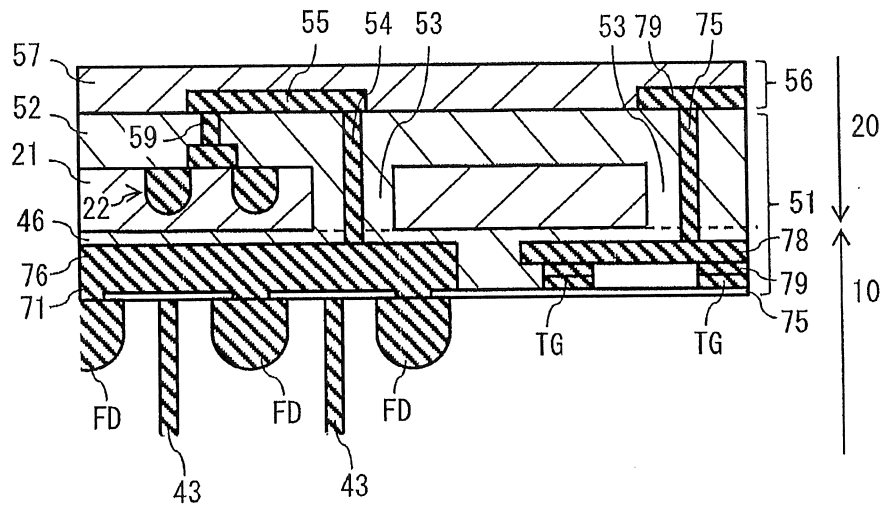


[FIG. 62]



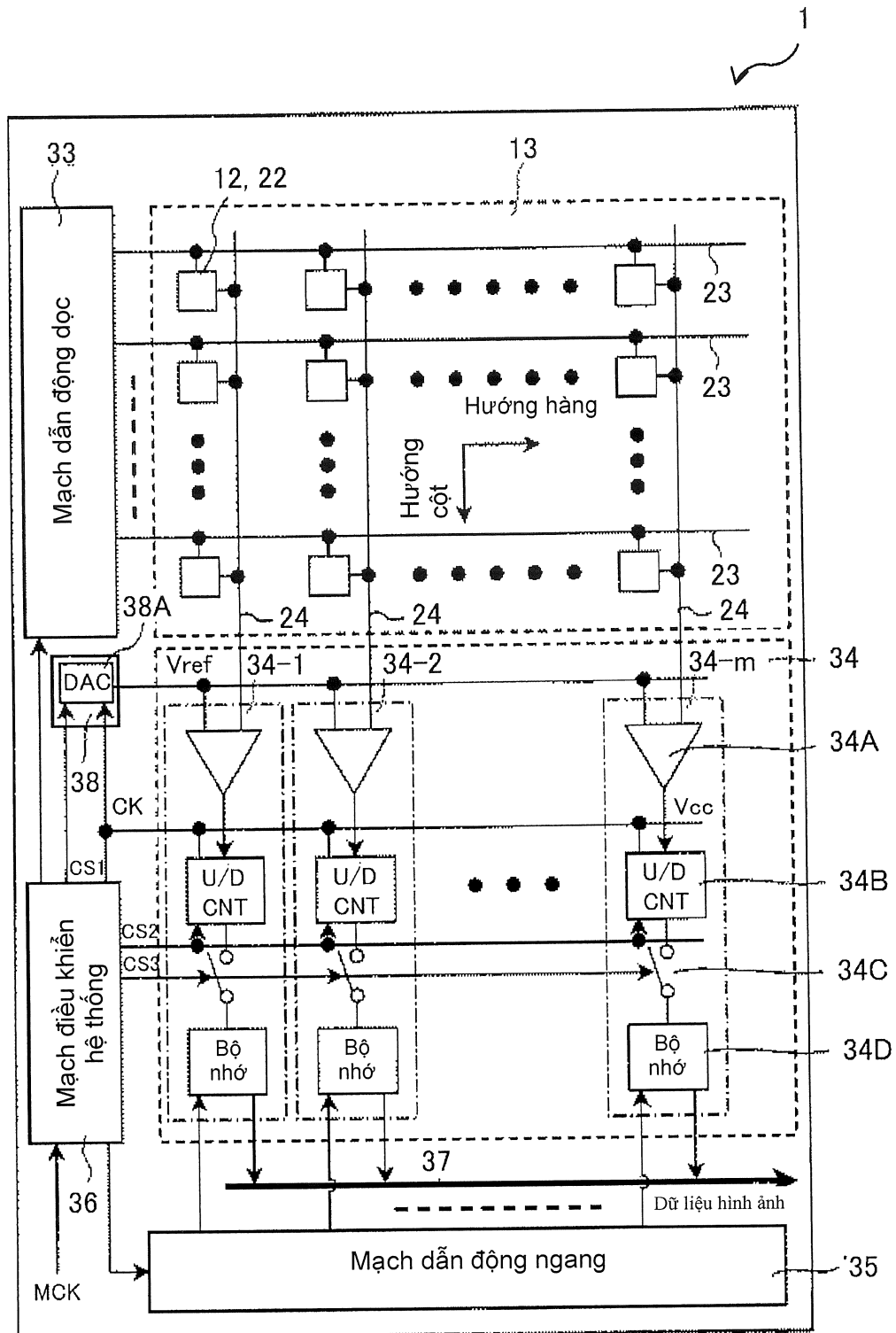
47/55

[FIG. 63]



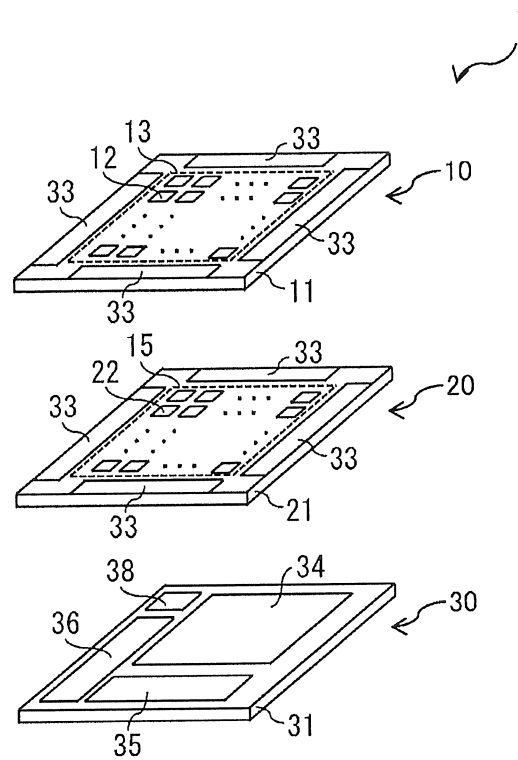
48/55

[FIG. 64]

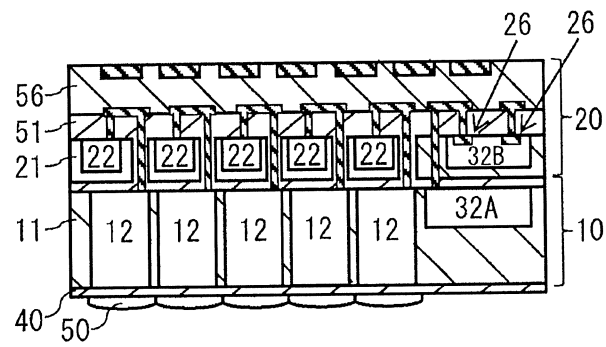


49/55

[FIG. 65]

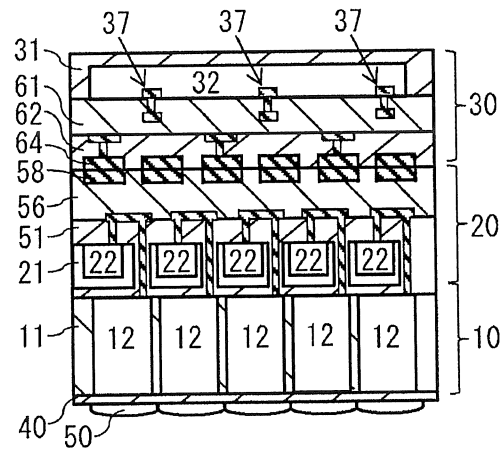


[FIG. 66]

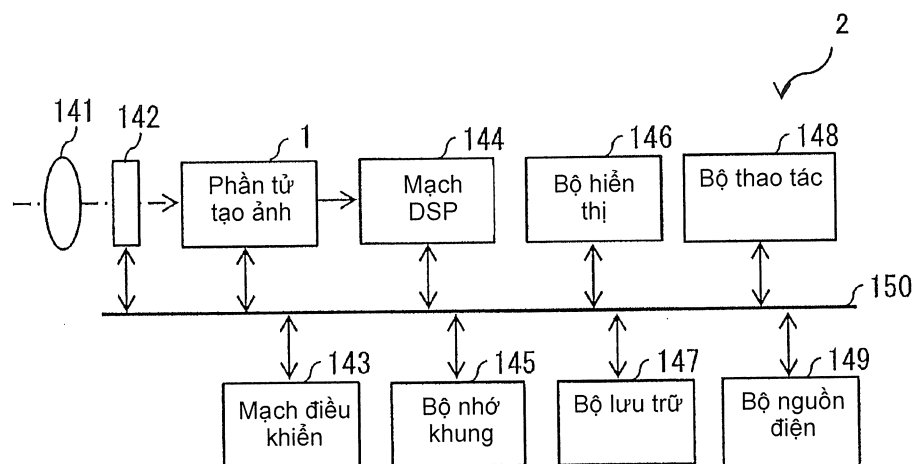


50/55

[FIG. 67]

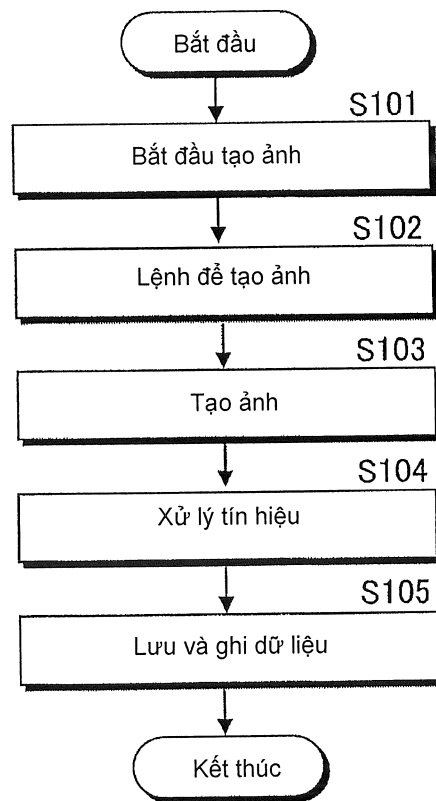


[FIG. 68]



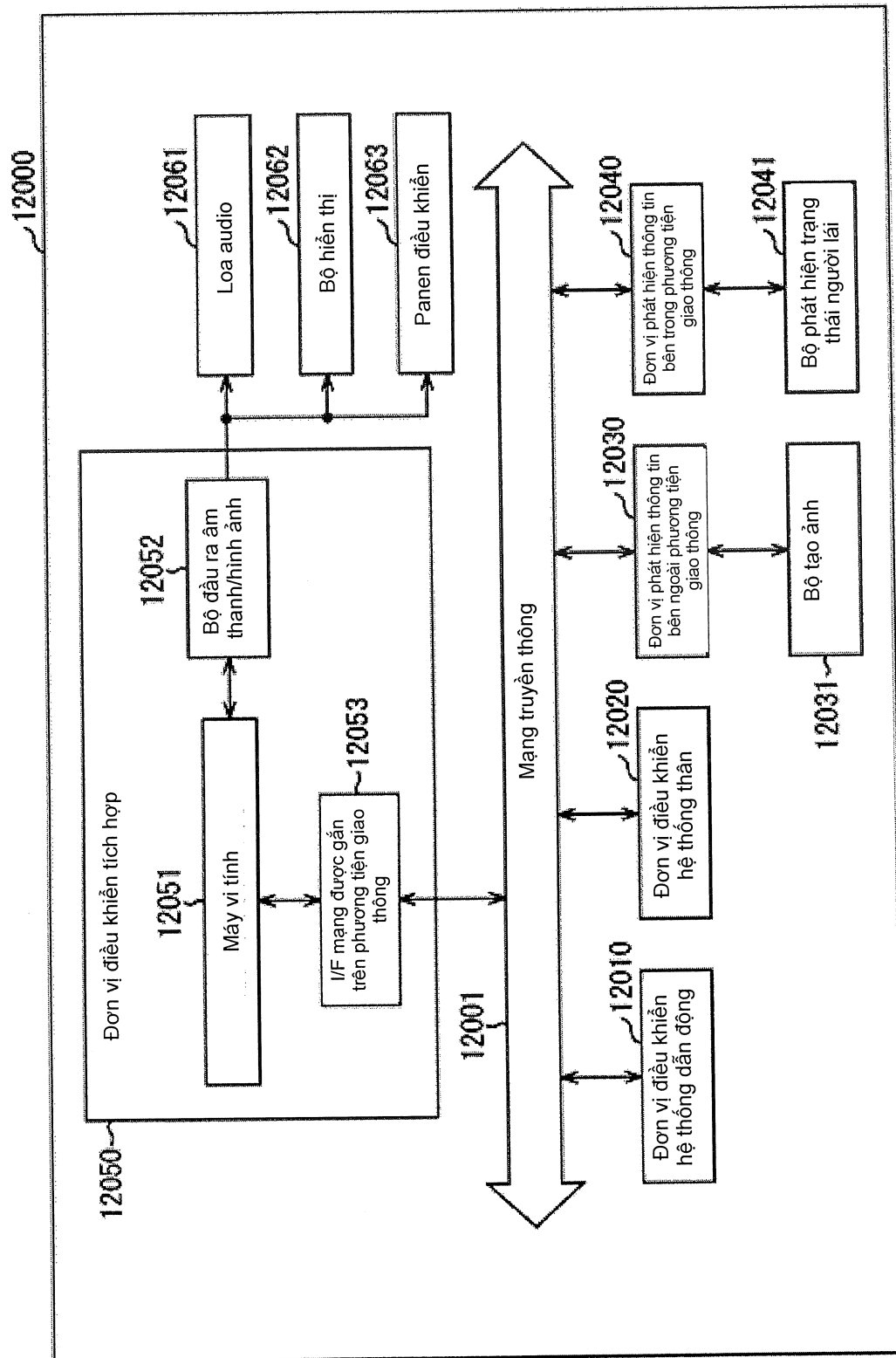
51/55

[FIG. 69]



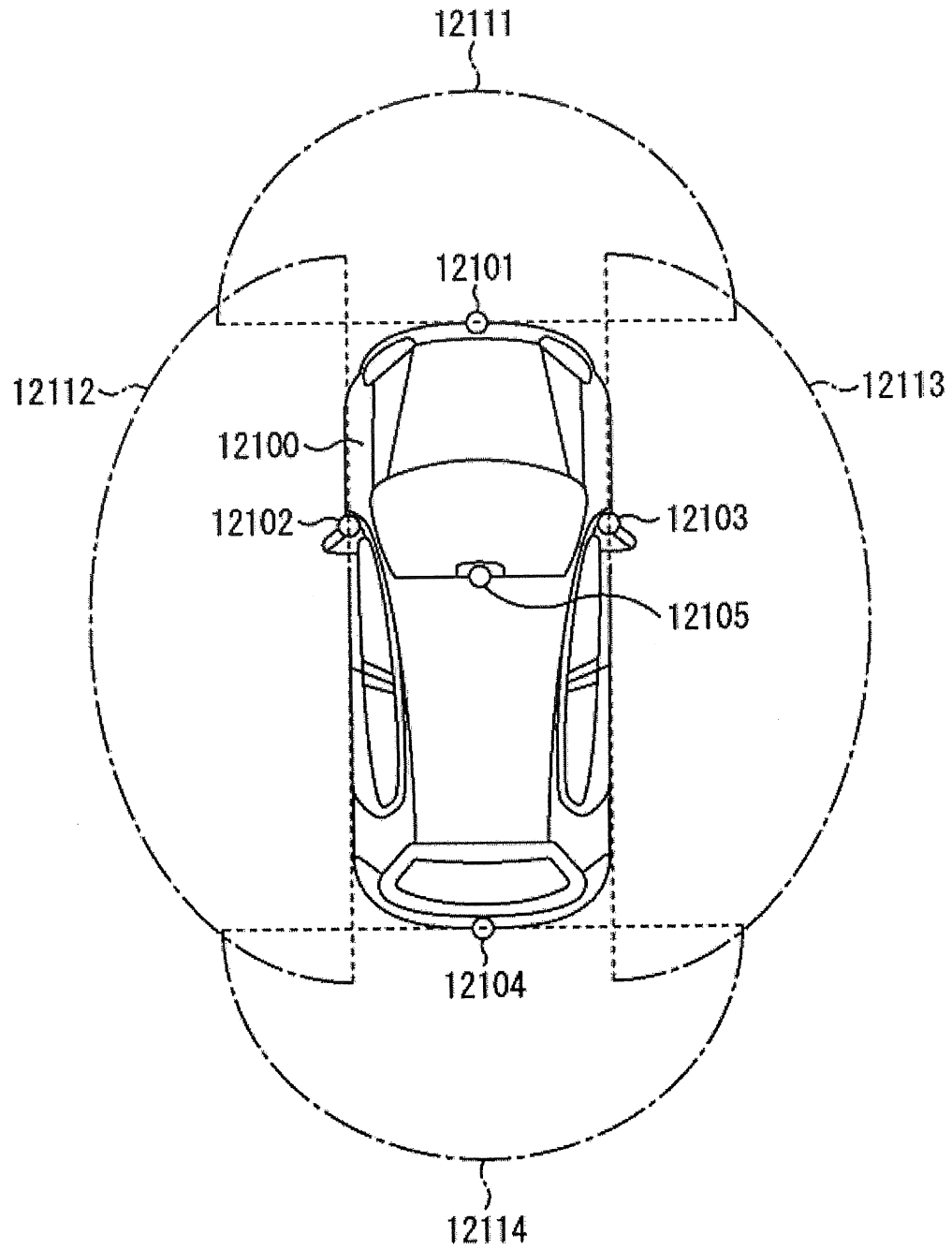
52/55

[FIG. 70]



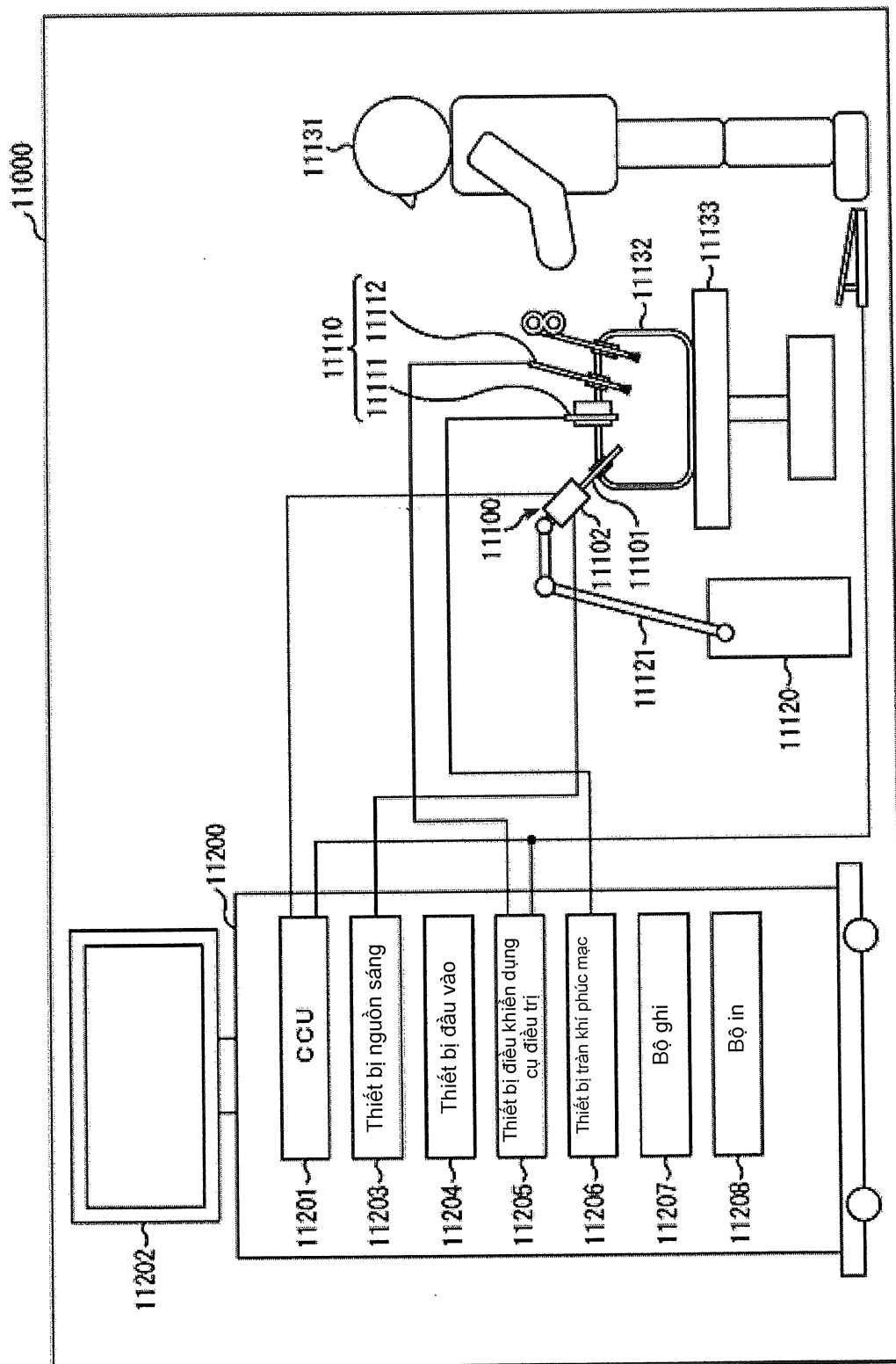
53/55

[FIG. 71]



54/55

[FIG. 72]



55/55

[FIG. 73]

