



- (12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ
1-0044487
(51)^{2020.01} **G06F 9/52**; G06F 9/50; G06F 1/28; (13) **B**
G06F 13/20
-

- (21) 1-2020-07566 (22) 18/10/2019
(86) PCT/US2019/056842 18/10/2019 (87) WO 2020/101836 22/05/2020
(30) 16/190,806 14/11/2018 US
(45) 25/04/2025 445 (43) 25/08/2021 401A
(71) INTEL CORPORATION (US)
2200 Mission College Boulevard, Santa Clara, California 95054, United States of America
(72) RAGLAND, Daniel J. (US); THERIEN, Guy M. (US); VARMA, Ankush (US);
DEHAEMER, Eric J. (US); MAYO, David T. (US); GUR, Ariel (IL); BEN-
RAPHAEL, Yoav (IL); SECONI, Mark P. (US).
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)
-

- (54) BỘ XỬ LÝ, PHƯƠNG PHÁP VÀ VẬT GHI LƯU TRỮ ĐỌC ĐƯỢC BẰNG MÁY
TÍNH

(21) 1-2020-07566

(57) Theo một phương án, bộ xử lý bao gồm: các lõi, mỗi lõi bao gồm lõi đa luồng để thực thi một cách đồng thời các luồng; và mạch điều khiển cho phép ít nhất một trong số các lõi hoạt động ở chế độ đơn luồng và ít nhất một lõi khác trong số các lõi hoạt động ở chế độ đa luồng một cách đồng thời. Các phương án khác được mô tả và được yêu cầu bảo hộ.

1800

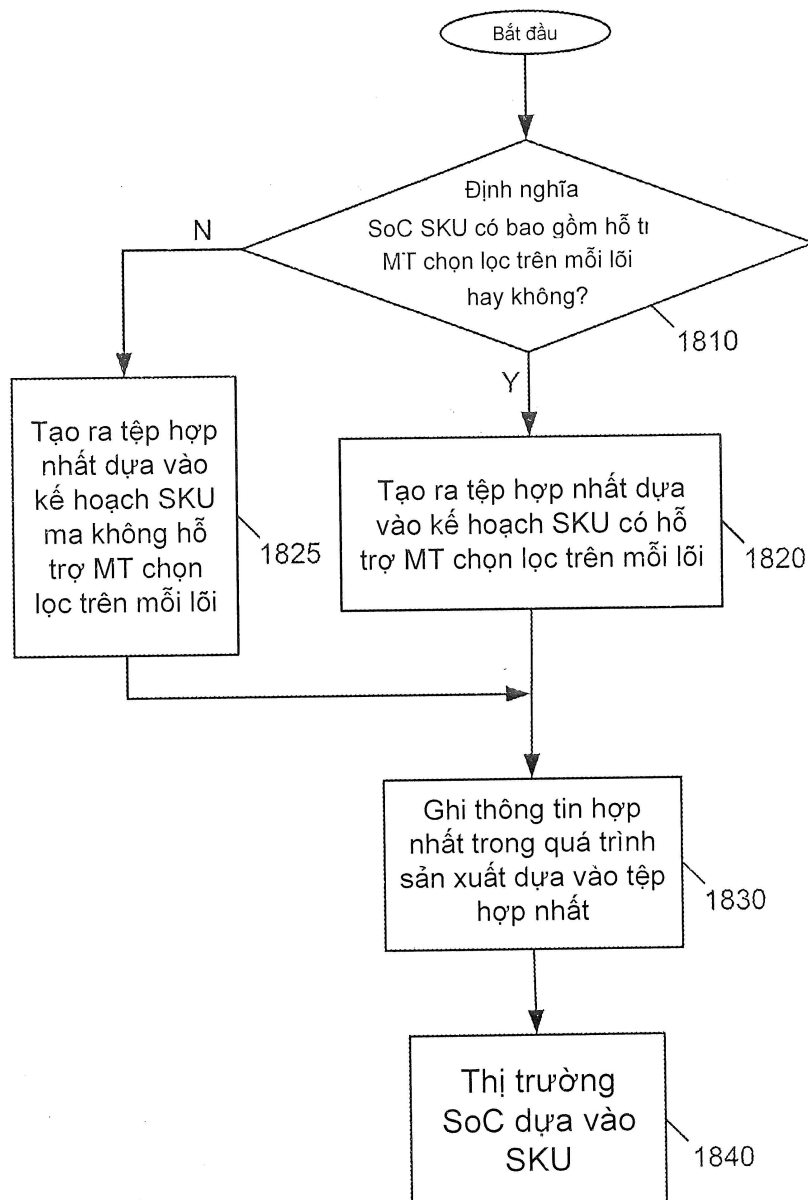


FIG. 18

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến việc điều khiển hỗ trợ đa luồng trong bộ xử lý.

Tình trạng kỹ thuật của sáng chế

Nhiều bộ xử lý hỗ trợ công nghệ được gọi là đa luồng đồng thời (Simultaneous Multithreading, SMT). Trong bộ xử lý có sự hỗ trợ đa luồng này, mỗi lõi vật lý có thể thực thi đồng thời nhiều hơn một luồng. Ví dụ, bộ xử lý 10 lõi có thể có 20 luồng. Mong muốn rằng các bộ xử lý trong tương lai sẽ hỗ trợ nhiều hơn một luồng bổ sung trên mỗi lõi (ví dụ, SMT4 có 4 luồng trên mỗi lõi). Các luồng này chia sẻ hầu hết các tài nguyên lõi bao gồm các bộ nhớ đệm và các trạng thái khác nhau của các đường dây giải mã và thực thi. Các bộ xử lý hiện nay có hỗ trợ đa luồng này như một tùy chọn được bật hoàn toàn hoặc được vô hiệu hóa hoàn toàn, nhưng không có gì ở giữa. Sự sắp xếp này hạn chế sự linh hoạt đối với cả các nhà sản xuất hệ thống và người dùng cuối. Điều này cũng có thể điều biến hiệu suất đối với khối lượng công việc của phần mềm nhất định.

Bản chất kỹ thuật của sáng chế

Một mục tiêu của sáng chế là đề xuất bộ xử lý 110 bao gồm các lõi 120, 120n, trong đó mỗi trong số các lõi này bao gồm lõi đa luồng được điều chỉnh để thực thi một cách đồng thời các luồng; và mạch điều khiển 1734 được điều chỉnh để cho phép ít nhất một lõi 120a trong số các lõi hoạt động ở chế độ đơn luồng và ít nhất một lõi khác 120n trong số các lõi hoạt động ở chế độ đa luồng một cách đồng thời, và khác biệt ở chỗ: thiết bị lưu trữ cấu hình 1740 được điều chỉnh để lưu bộ chỉ báo kích hoạt cho mỗi trong số các lõi để chỉ báo xem liệu lõi này có được cho phép hoạt động ở chế độ đa luồng hay không, bộ chỉ báo kích hoạt cho mỗi trong số các lõi được tạo cấu hình tĩnh bởi nhà sản xuất bộ xử lý.

Một mục tiêu khác của sáng chế đề xuất Phương pháp bao gồm các bước nhận, ở bộ điều khiển 1734 của bộ xử lý 110 có các lõi 120a, 120n, lựa chọn cấu hình đa luồng bất đối xứng của bộ xử lý trong đó ít nhất một lõi thứ nhất được cho phép hoạt động ở

chế độ đa luồng và ít nhất một lõi thứ hai được cho phép hoạt động ở chế độ đơn luồng; truyền thông tin cấu hình thứ nhất từ bộ điều khiển 1734 đến công cụ thứ nhất 1722 của ít nhất một lõi thứ nhất làm cho công cụ thứ nhất này tạo cấu hình ít nhất một lõi thứ nhất đối với chế độ đa luồng; và truyền thông tin cấu hình thứ hai từ bộ điều khiển 1734 đến công cụ thứ nhất của ít nhất một lõi thứ hai làm cho công cụ thứ nhất của lõi thứ hai này tạo cấu hình ít nhất một lõi thứ hai đối với chế độ đơn luồng, khác biệt ở chỗ: sự lựa chọn nhận được của cấu hình đa luồng bất đối xứng của bộ xử lý 110 bao gồm bộ chỉ báo kích hoạt cho mỗi trong số các lõi để chỉ báo xem liệu lõi này có được cho phép hoạt động ở chế độ đa luồng hay không, bộ chỉ báo kích hoạt cho mỗi trong số các lõi được tạo cấu hình tĩnh bởi nhà sản xuất bộ xử lý.

Mô tả vắn tắt các hình vẽ

FIG.1 là sơ đồ khối của một phần của hệ thống theo một phương án của sáng chế.

FIG.2 là sơ đồ khối của bộ xử lý theo một phương án của sáng chế.

FIG.3 là sơ đồ khối của bộ xử lý đa miền theo một phương án khác của sáng chế.

FIG.4 là một phương án về bộ xử lý bao gồm nhiều lõi.

FIG.5 là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án của sáng chế.

FIG.6 là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác.

FIG.7 là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác nữa.

FIG.8 là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác nữa.

FIG.9 là sơ đồ khối của bộ xử lý theo một phương án khác của sáng chế.

FIG.10 là sơ đồ khối của SoC điển hình theo một phương án của sáng chế.

FIG.11 là sơ đồ khối của SoC ví dụ khác theo một phương án của sáng chế.

FIG.12 là sơ đồ khối của hệ thống ví dụ mà các phương án có thể được sử dụng.

FIG.13 là sơ đồ khối của hệ thống ví dụ khác mà các phương án có thể được sử dụng.

FIG.14 là sơ đồ khối của hệ thống máy tính điển hình.

FIG.15 là sơ đồ khối của hệ thống theo một phương án của sáng chế.

FIG.16 là sơ đồ khối minh họa hệ thống phát triển lõi IP được sử dụng để sản xuất mạch tích hợp thực hiện các hoạt động theo một phương án.

FIG.17 là sơ đồ khối của một phần hệ thống theo một phương án.

FIG.18 là sơ đồ trình tự của phương pháp theo một phương án của sáng chế.

FIG.19 là sơ đồ trình tự của phương pháp theo một phương án khác của sáng chế.

FIG.20 là sơ đồ trình tự của phương pháp theo một phương án khác nữa của sáng chế.

FIG.21 là sơ đồ trình tự của phương pháp theo một phương án khác của sáng chế.

FIG.22 là hình minh họa đồ họa của giao diện người dùng theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Theo các phương án khác nhau, bộ xử lý hoặc hệ thống trên chip (System on Chip, SoC) khác có thể được đề xuất có khả năng đa luồng (Multi-Thread, MT) chọn lọc trên mỗi lõi. Tức là, các phương án cho phép nhiều lõi của bộ xử lý hoạt động với các khả năng bất đối xứng liên quan đến hỗ trợ đa luồng. Trong các trường hợp sử dụng khác nhau, không lõi nào của bộ xử lý có thể được cho phép hỗ trợ đa luồng, tất cả các lõi có thể được cho phép hỗ trợ đa luồng, hoặc sự kết hợp có thể được thực hiện trong đó một số lõi được cho phép hỗ trợ đa luồng và một số lõi không được cho phép.

Với mục đích này, các phương án đề xuất các kỹ thuật cho phép các thực thể khác nhau điều khiển hoạt động này. Các thực thể này có thể bao gồm các thực thể nhà sản xuất trang thiết bị gốc/nhà sản xuất thiết bị gốc (Original Equipment

Manufacturer/Original Device Manufacturer, OEM/ODM) mà có thể cho phép khả năng này và tạo cấu hình các bộ xử lý cụ thể có sự sắp xếp đã cho của các lõi/luồng hiện có. Các ví dụ là, các OEM/ODM này có thể thực hiện khả năng tạo cấu hình này trong phần sụn chẳng hạn như hệ thống đầu vào/đầu ra cơ sở (Basic Input/Output System, BIOS).

Trong các trường hợp khác, nhà sản xuất bộ xử lý có thể tự tạo cấu hình bộ xử lý có sự hỗ trợ đa luồng bất đối xứng này, ví dụ, bằng thông tin hợp nhất chọn lọc cho phép hoạt động đa luồng đối với một hoặc nhiều lõi, và vô hiệu hóa hoạt động đa luồng đối với một hoặc nhiều lõi khác (mặc dù các lõi này khi được chế tạo vốn có phần cứng hỗ trợ khả năng này).

Và hơn nữa, các phương án có thể cho phép người dùng cuối điều khiển khả năng tạo cấu hình hỗ trợ đa luồng trên cơ sở mỗi lõi (giả sử người dùng cuối được cho phép làm như vậy đối với cấu hình bộ xử lý đã cho). Việc điều khiển này của người dùng có thể được khẳng định về việc cho phép người dùng này làm như vậy, theo quy định của nhà sản xuất (ví dụ, bằng cách hợp nhất) hoặc của OEM/ODM, ví dụ, dựa vào khả năng BIOS.

Ngoài ra, các phương án có thể cho phép điều khiển động khả năng đa luồng chọn lọc trên mỗi lõi. Tức là, trong một lần khởi động hoặc vòng khởi động lại khác, chính bộ xử lý, ví dụ, tự động hoặc dựa vào hỗ trợ BIOS hoặc OS, có thể thay đổi một cách tự động và động các cấu hình hỗ trợ đa luồng đối với các lõi khác nhau dựa vào khối lượng công việc cụ thể đang được thực hiện, và/hoặc dựa vào hiệu suất và các yêu cầu về nhiệt. Do đó, mặc dù hoạt động MT nói chung rất hữu ích trong việc tăng hiệu suất hệ thống, nhưng có một số trường hợp nó không hữu ích. Các ví dụ bao gồm các trường hợp sử dụng nhất định trong đó không cần tất cả các luồng hiện có, nói cách khác, trong đó bộ xử lý bao gồm đủ các lõi để thực hiện khối lượng công việc đã cho. Ví dụ khác, hỗ trợ MT có thể không tăng cường khả năng thực thi phần mềm khi phần mềm này không được tối ưu cho số lượng luồng lớn. Hỗ trợ MT cũng có thể không hỗ trợ trong các trường hợp ép xung khi tần số tuyệt đối của lõi vật lý quan trọng hơn các luồng MT bổ sung.

Các phương án đề xuất khả năng phân biệt bộ phận lưu kho (Stock Keeping Unit, SKU) dễ dàng xung quanh MT. Như vậy, các cơ hội phân đoạn mới có thể được thực

hiện trong đó các SKU của sản phẩm bộ xử lý có thể được sản xuất có n luồng MT được cho phép trên mỗi lõi. Ví dụ, với phương án SKU có thể được chế tạo có 10 lõi và chỉ có 15 luồng. Do đó, các phương án đề xuất khả năng tối ưu hiệu suất của các SKU của bộ xử lý để thích hợp với các mục tiêu công suất/nhiệt cụ thể.

Do đó, các phương án có thể cho phép/vô hiệu hóa các luồng MT trên cơ sở mỗi lõi. Hỗ trợ MT bất đối xứng này có thể được quản lý bằng cách sử dụng BIOS, có sự thích ứng OS nhỏ để liệt kê các lõi/luồng tại thời điểm khởi động hoặc một cách tùy ý dựa vào ít nhất một phần chương trình giám sát liên tục theo thời gian thực. Theo các phương án, nhiều người dùng hoặc BIOS có thể cải thiện các kết quả hiệu suất và ép xung bằng cách chỉ cho phép các luồng MT cần thiết để thích hợp với nhu cầu của họ. Kết quả là, khả năng tinh chỉnh các hệ thống được tăng lên để có các kết quả hiệu suất tốt hơn, bao gồm việc cho phép các trường hợp ép xung tăng cường. Theo các phương án, nhiều người dùng có thể tạo cấu hình các luồng MT trên mỗi lõi trong BIOS. Có thể cải thiện hiệu suất rất lớn khi một số luồng MT bị vô hiệu hóa. Ví dụ, bộ xử lý có thể đạt đến các tần số cao hơn khi ép xung. Khi các bộ xử lý trong tương lai có đến 4 luồng MT trên mỗi lõi, thì lợi ích của việc phân đoạn sẽ tăng lên. Theo cách này, nhà sản xuất có thể chỉ cung cấp 2 luồng MT trên mỗi lõi đối với các SKU nhất định và đủ 4 luồng đối với các sản phẩm khác, ví dụ.

Các phương án có thể sử dụng vi mã (Microcode, uCode) bộ xử lý và hệ mạch quản lý công suất (bao gồm bộ phận được gọi là mã quản lý công suất hoặc pCode) để cho phép hoặc vô hiệu hóa các luồng MT/SMT đối với mỗi lõi vật lý riêng biệt. Trong các trường hợp khác nhau, việc lựa chọn luồng mà các lõi cho phép có thể được thực hiện qua các thiết lập hợp nhất (SKU-ing) hoặc BIOS (để cấp phát các trường hợp điều chỉnh hiệu suất và ép xung). Nhiều người dùng có thể tương tác với BIOS để thực hiện các lựa chọn cụ thể hoặc ODM có thể tạo cấu hình trước BIOS theo sở thích của họ, trong một số trường hợp.

Mặc dù các phương án sau được mô tả với tham chiếu đến sự bảo toàn năng lượng và hiệu quả năng lượng trong các mạch tích hợp cụ thể, chẳng hạn như trong các nền tảng điện toán hoặc các bộ xử lý, nhưng các phương án khác áp dụng được cho các kiểu mạch tích hợp và thiết bị logic khác. Các kỹ thuật và nội dung tương tự của các phương

án được mô tả ở đây có thể được áp dụng cho các kiểu mạch hoặc thiết bị bán dẫn khác cũng có thể được hưởng lợi từ việc hiệu quả năng lượng và bảo toàn năng lượng tốt hơn. Ví dụ, các phương án được bộc lộ không bị giới hạn ở kiểu cụ thể bất kỳ trong số các hệ thống máy tính. Tức là, các phương án được bộc lộ có thể được sử dụng trong nhiều kiểu hệ thống khác nhau, từ các máy tính chủ (ví dụ, máy chủ dạng tháp, tủ máy chủ, hệ thống máy chủ phiến, máy chủ micro và tương tự), các hệ thống truyền thông, các hệ thống lưu trữ, các máy tính bàn của cấu hình bất kỳ, máy tính xách tay, notebook, và các máy tính dạng bảng (bao gồm các máy tính dạng bảng 2:1, các phablet và tương tự), và có thể cũng được sử dụng trong các thiết bị khác, chẳng hạn như các thiết bị cầm tay, các hệ thống trên chip (System on Chip, SoC), và các ứng dụng nhúng. Một số ví dụ về thiết bị cầm tay bao gồm các điện thoại di động chẳng hạn như các điện thoại thông minh, các thiết bị giao thức Internet, các camera kỹ thuật số, các thiết bị hỗ trợ cá nhân kỹ thuật số (Personal Digital Assistant, PDA), và các PC cầm tay. Các ứng dụng nhúng có thể thường bao gồm bộ vi điều khiển, bộ xử lý tín hiệu số (Digital Signal Processor, DSP), các máy tính mạng (Network Computer, NetPC), các hộp thu giải mã tín hiệu truyền hình, các trung tâm mạng, các bộ chuyển mạch mạng diện rộng (Wide Area Network, WAN), các thiết bị đeo được, hoặc hệ thống khác bất kỳ có thể thực hiện các chức năng và các hoạt động được đưa ra dưới đây. Hơn nữa, các phương án có thể được thực hiện ở các thiết bị đầu cuối di động có chức năng thoại tiêu chuẩn chẳng hạn như các điện thoại di động, các điện thoại thông minh và các phablet, và/hoặc ở các thiết bị đầu cuối không di động mà không có khả năng truyền thông chức năng thoại không dây tiêu chuẩn, chẳng hạn như các thiết bị đeo được, thiết bị dạng bảng, notebook, thiết bị để bàn, máy chủ micro, máy chủ và tương tự. Hơn nữa, các thiết bị, phương pháp, và hệ thống được mô tả ở đây không bị giới hạn ở các thiết bị điện toán vật lý, mà cũng có thể liên quan đến việc tối ưu hóa phần mềm để bảo toàn và hiệu quả năng lượng. Như sẽ trở nên rõ ràng trong phần mô tả bên dưới, các phương án của các phương pháp, thiết bị, và hệ thống được mô tả ở đây (xem liên quan đến phần cứng, phần sụn, phần mềm, hay sự kết hợp của chúng) là quan trọng đối với tương lai của 'công nghệ xanh', chẳng hạn như để bảo toàn công suất và hiệu quả năng lượng trong các sản phẩm chiếm một phần lớn kinh tế US.

Bây giờ tham chiếu đến FIG.1, được thể hiện là sơ đồ khối của một phần của hệ

thống theo một phương án của sáng chế. Như được thể hiện trên FIG.1, hệ thống 100 có thể bao gồm các thành phần khác nhau, bao gồm bộ xử lý 110 được thể hiện là bộ xử lý đa lõi. Bộ xử lý 110 có thể được ghép nối với bộ cấp nguồn 150 qua bộ điều chỉnh điện áp bên ngoài 160, có thể thực hiện biến đổi điện áp thứ nhất để cấp điện áp điều chỉnh sơ cấp cho bộ xử lý 110.

Như được thấy, bộ xử lý 110 có thể là bộ xử lý một khuôn bao gồm nhiều lõi 120_a-120_n. Ngoài ra, mỗi lõi có thể được liên kết với bộ điều chỉnh điện áp tích hợp (Integrated Voltage Regulator, IVR) 125_a-125_n để nhận điện áp điều chỉnh sơ cấp và tạo ra điện áp hoạt động được cấp cho một hoặc nhiều đại lý của bộ xử lý được liên kết với IVR. Theo đó, một phương án thực hiện IVR có thể được đề xuất để cho phép điều khiển tinh điện áp và nhờ đó điều khiển công suất và hiệu suất của mỗi lõi riêng lẻ. Như vậy, mỗi lõi có thể hoạt động ở điện áp và tần số độc lập, cho phép sự linh hoạt cao và mang lại nhiều cơ hội cân bằng mức tiêu thụ công suất với hiệu suất. Theo một số phương án, việc sử dụng nhiều IVR cho phép nhóm các thành phần thành các mức công suất, sao cho công suất được điều chỉnh và được cấp bởi IVR chỉ cho các thành phần này trong nhóm. Trong quá trình quản lý công suất, mức công suất đã cho của một IVR có thể bị ngắt hoặc tắt nguồn khi bộ xử lý được đặt ở trạng thái công suất thấp nhất định, trong khi mức công suất khác của IVR khác vẫn hoạt động, hoặc được cấp nguồn đầy đủ.

Tiếp tục tham chiếu đến FIG.1, các thành phần bổ sung có thể có mặt trong bộ xử lý bao gồm giao diện đầu vào/đầu ra 132, giao diện khác 134, và bộ điều khiển bộ nhớ tích hợp 136. Như được thấy, mỗi trong số các thành phần này có thể được cấp nguồn bởi bộ điều chỉnh điện áp tích hợp 125_x khác. Theo một phương án, giao diện 132 có thể cho phép hoạt động đối với Intel®. Liên kết đường dẫn nhanh (Quick Path Interconnect, QPI), tạo ra cho các liên kết điểm đến điểm (Point-to-Point, PtP) trong giao thức nhất quán trong bộ đệm bao gồm nhiều lớp bao gồm lớp vật lý, lớp liên kết và lớp giao thức. Kết quả là, giao diện 134 có thể truyền thông qua giao thức kết nối nhanh thành phần ngoại vi (Peripheral Component Interconnect Express, PCIe™).

Cũng được thể hiện là bộ điều khiển công suất (Power Control Unit, PCU) 138, có thể bao gồm phần cứng, phần mềm và/hoặc phần sụn để thực hiện các hoạt động quản lý công suất liên quan đến bộ xử lý 110. Như được thấy, PCU 138 cấp thông tin điều

khuyến cho bộ điều chỉnh điện áp bên ngoài 160 qua giao diện số làm cho bộ điều chỉnh điện áp để tạo ra điện áp được điều chỉnh thích hợp. PCU 138 cũng cấp thông tin điều khiển cho các IVR 125 qua giao diện số khác để điều khiển điện áp hoạt động được tạo ra (hoặc làm cho IVR tương ứng bị vô hiệu hóa ở chế độ công suất thấp). Theo các phương án khác nhau, PCU 138 có thể bao gồm nhiều bộ phận logic quản lý công suất thực hiện quản lý công suất dựa trên phần cứng. Việc quản lý công suất này có thể hoàn toàn được điều khiển bởi bộ xử lý (ví dụ, bởi phần cứng bộ xử lý khác nhau, và có thể được kích hoạt bởi các ràng buộc khối lượng công việc và/hoặc công suất, nhiệt hoặc bộ xử lý khác) và/hoặc việc quản lý công suất có thể được thực hiện đáp ứng với các nguồn bên ngoài (chẳng hạn như nền tảng hoặc quản lý nguồn quản lý công suất hoặc phần mềm hệ thống).

Hơn nữa, mặc dù FIG.1 thể hiện một phương án thực hiện trong đó PCU 138 là công cụ xử lý riêng biệt (có thể được thực hiện ở dạng bộ vi điều khiển), cần hiểu rằng trong một số trường hợp ngoài hoặc thay vì bộ điều khiển công suất chuyên dụng, mỗi lõi có thể bao gồm hoặc được liên kết với đại lý điều khiển công suất để tự động điều khiển sự tiêu thụ năng lượng một cách độc lập hơn. Trong một số trường hợp, kiến trúc quản lý công suất phân cấp có thể được tạo ra, có PCU 138 truyền thông với các đại lý quản lý công suất tương ứng được liên kết với mỗi trong số các lõi 120. Một bộ phận logic quản lý công suất nằm trong PCU 138 có thể là mạch điều khiển đa luồng chọn lọc, có thể được sử dụng để cho phép một cách chọn lọc không, một số, hoặc tất cả các lõi hoạt động đa luồng.

Mặc dù không được thể hiện để dễ dàng cho việc minh họa, nhưng cần hiểu rằng các thành phần bổ sung có thể có mặt trong bộ xử lý 110 chẳng hạn như hệ mạch điều khiển bổ sung, và các thành phần khác chẳng hạn như các bộ nhớ trong, ví dụ, một hoặc nhiều cấp của hệ thống phân cấp bộ nhớ đệm và tương tự. Hơn nữa, mặc dù được thể hiện theo phương án thực hiện trên FIG.1 có bộ điều chỉnh điện áp tích hợp, nhưng các phương án không bị giới hạn.

Lưu ý rằng các kỹ thuật quản lý công suất được mô tả ở đây có thể độc lập và bổ sung cho cơ chế quản lý công suất dựa trên hệ điều hành (Operating System-based Power Management, OSPM). Theo một ví dụ về kỹ thuật OSPM, bộ xử lý có thể hoạt động ở

các trạng thái hoặc các mức hiệu suất khác nhau, cũng được gọi là các trạng thái P, cụ thể là từ P0 đến PN. Nói chung, trạng thái hiệu suất P1 có thể tương ứng với trạng thái hiệu suất được đảm bảo cao nhất có thể được yêu cầu bởi OS. Ngoài trạng thái P1 này, OS có thể còn yêu cầu trạng thái hiệu suất cao hơn, cụ thể là trạng thái P0. Do đó, trạng thái P0 này có thể là trạng thái chế độ cơ hội hoặc turbo trong đó, khi nguồn công suất và/hoặc nhiệt sẵn có, thì phần cứng bộ xử lý có thể tạo cấu hình bộ xử lý hoặc ít nhất các phần của nó để hoạt động ở tần số được đảm bảo cao hơn. Theo nhiều phương án thực hiện, bộ xử lý có thể bao gồm nhiều tần số cũng được gọi là các tần số bin trên tần số lớn nhất được đảm bảo P1, vượt quá tần số đỉnh lớn nhất của bộ xử lý cụ thể, khi được hợp nhất hoặc được ghi vào bộ xử lý trong quá trình sản xuất. Ngoài ra, theo một cơ chế OSPM, bộ xử lý có thể hoạt động ở các trạng thái hoặc mức công suất khác nhau. Đối với các trạng thái công suất, cơ chế OSPM có thể chỉ định các trạng thái tiêu thụ năng lượng khác nhau, thường được gọi là các trạng thái C, các trạng thái C0, từ C1 đến Cn. Khi lõi hoạt động, thì lõi này chạy ở trạng thái C0, và khi lõi ở trạng thái rỗi thì lõi này có thể được đặt ở trạng thái công suất thấp của lõi, cũng được gọi là trạng thái C khác không của lõi (ví dụ, các trạng thái C1-C6), với mỗi trạng thái C ở mức tiêu thụ năng lượng thấp hơn (sao cho C6 là trạng thái công suất thấp sâu hơn so với C1, và tương tự).

Cần hiểu rằng nhiều kiểu kỹ thuật quản lý công suất khác nhau có thể được sử dụng riêng lẻ hoặc kết hợp theo các phương án khác nhau. Các ví dụ điển hình, bộ điều khiển công suất có thể điều khiển bộ xử lý được quản lý công suất bởi một số dạng chia tỷ lệ tần số điện áp động (Dynamic Voltage Frequency Scaling, DVFS) trong đó điện áp hoạt động và/hoặc tần số hoạt động của một hoặc nhiều lõi hoặc logic bộ xử lý khác có thể được điều khiển động để làm giảm sự tiêu thụ năng lượng ở các trường hợp nhất định. Trong một ví dụ, DVFS có thể được thực hiện bằng cách sử dụng công nghệ Intel SpeedStep™ tăng cường có sẵn từ Intel Corporation, Santa Clara, Calif., để mang lại hiệu suất tối ưu ở mức tiêu thụ năng lượng thấp nhất. Ví dụ khác, DVFS có thể được thực hiện bằng cách sử dụng công nghệ Intel TurboBoost™ để cho phép một hoặc nhiều lõi hoặc các công cụ tính toán khác hoạt động ở tần số hoạt động được đảm bảo cao hơn dựa vào các điều kiện (ví dụ, khối lượng công việc và khả năng).

Các phương án có thể được thực hiện ở các bộ xử lý cho các thị trường khác nhau

bao gồm các bộ xử lý máy chủ, các bộ xử lý để bàn, các bộ xử lý di động và tương tự. Bây giờ tham chiếu đến FIG.2, được thể hiện là sơ đồ khối của bộ xử lý theo một phương án của sáng chế. Như được thể hiện trên FIG.2, bộ xử lý 200 có thể là bộ xử lý đa lõi bao gồm các lõi 210_a-210_n. Theo một phương án, mỗi lõi này có thể là miền công suất độc lập và có thể được tạo cấu hình để chuyển sang và thoát khỏi các trạng thái hoạt động và/hoặc các trạng thái hiệu suất lớn nhất dựa vào khối lượng công việc. Các lõi khác nhau có thể được ghép nối qua kết nối 215 với đại lý hệ thống 220 bao gồm các thành phần khác nhau. Như được thấy, đại lý hệ thống 220 có thể bao gồm bộ đệm chia sẻ 230 có thể là bộ đệm mức cuối. Ngoài ra, đại lý hệ thống có thể bao gồm bộ điều khiển bộ nhớ tích hợp 240 để truyền thông với bộ nhớ hệ thống (không được thể hiện trên FIG.2), ví dụ, qua bộ nhớ bus. Đại lý hệ thống 220 cũng bao gồm các giao diện 250 khác nhau và bộ điều khiển công suất 255, có thể bao gồm logic để thực hiện các kỹ thuật quản lý công suất được mô tả ở đây. Theo phương án được thể hiện, bộ điều khiển công suất 255 bao gồm mạch điều khiển đa luồng chọn lọc 258, có thể làm cho một hoặc nhiều lõi 210 hoạt động ở chế độ đa luồng và một hoặc nhiều lõi khác 210 hoạt động ở chế độ đơn luồng, theo các phương án như được mô tả ở đây.

Ngoài ra, bởi các giao diện 250_a-250_n, kết nối có thể được thực hiện với các thành phần ngoài chip chẳng hạn như các thiết bị ngoại vi, thiết bị lưu trữ lớn và tương tự. Mặc dù được thể hiện bằng phương án thực hiện cụ thể này theo phương án trên FIG.2, nhưng phạm vi của sáng chế không giới hạn ở đó.

Bây giờ tham chiếu đến FIG.3, được thể hiện là sơ đồ khối của bộ xử lý đa miền theo một phương án khác của sáng chế. Như được thể hiện theo phương án trên FIG.3, bộ xử lý 300 bao gồm nhiều miền. Cụ thể là, miền lõi 310 có thể bao gồm các lõi 310₀-310_n, miền đồ họa 320 có thể bao gồm một hoặc nhiều công cụ đồ họa, và miền đại lý hệ thống 350 có thể cũng có mặt. Theo một số phương án, miền đại lý hệ thống 350 có thể thực thi ở tần số độc lập so với miền lõi và có thể vẫn được cấp nguồn mọi lúc để xử lý các sự kiện điều khiển công suất và quản lý công suất sao cho các miền 310 và 320 có thể được điều khiển động để chuyển sang và thoát khỏi các trạng thái công suất cao và công suất thấp. Mỗi trong số các miền 310 và 320 có thể hoạt động ở điện áp và/hoặc công suất khác nhau. Lưu ý rằng mặc dù chỉ được thể hiện có ba miền, nhưng cần hiểu phạm vi của sáng chế không giới hạn ở đó và các miền bổ sung có thể có mặt theo các

phương án khác. Ví dụ, nhiều miền lõi có thể có mặt, mỗi miền lõi này bao gồm ít nhất một lõi.

Nói chung, mỗi lõi 310 có thể còn bao gồm các bộ đệm mức thấp ngoài các bộ phận thực thi khác nhau và các phần tử xử lý bổ sung. Kết quả là, các lõi khác nhau có thể được ghép nối với nhau và với bộ nhớ đệm chia sẻ được tạo thành từ các bộ phận của bộ đệm mức cuối (Last Level Cache, LLC) 340₀-340_n. Theo các phương án khác nhau, LLC 340 có thể được chia sẻ giữa các lõi và công cụ đồ họa, cũng như hệ mạch xử lý truyền thông khác nhau. Như được thấy, do đó, kết nối vòng 330 ghép nối các lõi với nhau, và tạo ra kết nối giữa các lõi, miền đồ họa 320 và hệ mạch đại lý hệ thống 350. Theo một phương án, kết nối 330 có thể là một phần của miền lõi. Tuy nhiên theo các phương án khác kết nối vòng có thể là miền của chính kết nối này.

Như còn được thấy, miền đại lý hệ thống 350 có thể bao gồm bộ điều khiển hiển thị 352 có thể cấp quyền điều khiển và giao diện cho màn hiển thị được liên kết. Như còn được thấy, miền đại lý hệ thống 350 có thể bao gồm bộ điều khiển công suất 355 có thể bao gồm mạch logic để thực hiện các kỹ thuật quản lý công suất được mô tả ở đây. Theo phương án được thể hiện, bộ điều khiển công suất 355 bao gồm mạch điều khiển đa luồng chọn lọc 358, có thể làm cho một hoặc nhiều lõi 310 hoạt động ở chế độ đa luồng và một hoặc nhiều lõi 310 khác hoạt động ở chế độ đơn luồng, theo các phương án như được mô tả ở đây.

Như còn được thấy trên FIG.3, bộ xử lý 300 có thể còn bao gồm bộ điều khiển bộ nhớ tích hợp (Integrated Memory Controller, IMC) 370 mà có thể tạo ra giao diện cho bộ nhớ hệ thống, chẳng hạn như bộ nhớ truy nhập ngẫu nhiên động (Dynamic Random Access Memory, DRAM). Các giao diện 380₀-380_n có thể có mặt để cho phép kết nối giữa bộ xử lý và hệ mạch khác. Ví dụ, theo một phương án ít nhất một giao diện phương tiện trực tiếp (Direct Media Interface, DMI) có thể được bố trí cũng như một hoặc nhiều giao diện PCIe™. Hơn nữa, để cấp truyền thông giữa các đại lý khác chẳng hạn như các bộ xử lý bổ sung hoặc hệ mạch khác, một hoặc nhiều giao diện QPI cũng có thể được bố trí. Mặc dù được thể hiện ở mức cao này theo phương án trên FIG.3, nhưng cần hiểu rằng phạm vi của sáng chế không giới hạn ở đó.

Tham chiếu đến FIG.4, một phương án về bộ xử lý bao gồm nhiều lõi được minh

họa. Bộ xử lý 400 bao gồm bộ xử lý hoặc thiết bị xử lý bất kỳ, chẳng hạn như bộ vi xử lý, bộ xử lý nhúng, bộ xử lý tín hiệu số (Digital Signal Processor, DSP), bộ xử lý mạng, bộ xử lý cảm tay, bộ xử lý ứng dụng, bộ đồng xử lý, hệ thống trên chip (System on Chip, SoC), hoặc thiết bị khác để thực thi mã. Bộ xử lý 400, theo một phương án, bao gồm ít nhất hai lõi -- các lõi 401 và 402, có thể bao gồm các lõi bất đối xứng hoặc các lõi đối xứng (phương án được minh họa). Tuy nhiên, bộ xử lý 400 có thể bao gồm số lượng phần tử xử lý bất kỳ có thể đối xứng hoặc bất đối xứng.

Theo một phương án, phần tử xử lý đề cập đến phần cứng hoặc logic để hỗ trợ luồng phần mềm. Các ví dụ về các phần tử xử lý phần cứng bao gồm: bộ phận luồng, khe luồng, luồng, bộ phận xử lý, ngữ cảnh, bộ phận ngữ cảnh, bộ xử lý logic, luồng phần cứng, lõi, và/hoặc phần tử khác bất kỳ, có khả năng giữ trạng thái cho bộ xử lý, chẳng hạn như trạng thái thực thi hoặc trạng thái kiến trúc. Nói cách khác, phần tử xử lý, theo một phương án, đề cập đến phần cứng bất kỳ có khả năng được liên kết với mã một cách độc lập, chẳng hạn như luồng phần mềm, hệ điều hành, ứng dụng, hoặc mã khác. Bộ xử lý vật lý thường đề cập đến mạch tích hợp, có khả năng bao gồm số lượng phần tử xử lý khác bất kỳ, chẳng hạn như các lõi hoặc các luồng phần cứng.

Lõi thường đề cập đến mạch logic được đặt trên mạch tích hợp có khả năng duy trì trạng thái kiến trúc độc lập, trong đó mỗi trạng thái được duy trì độc lập được liên kết với ít nhất một số tài nguyên thực thi chuyên dụng. Ngược với các lõi, luồng phần cứng thường đề cập đến mạch logic bất kỳ được đặt trên mạch tích hợp có khả năng duy trì trạng thái kiến trúc độc lập, trong đó các trạng thái kiến trúc được duy trì độc lập chia sẻ quyền truy cập các tài nguyên thực thi. Như có thể được thấy, khi các tài nguyên nhất định được chia sẻ và các tài nguyên khác được dành riêng cho trạng thái kiến trúc, thì danh giới giữa tên gọi của luồng phần cứng và lõi trùng lặp. Tuy nhiên, thông thường, lõi và luồng phần cứng được hệ điều hành xem như các bộ xử lý logic riêng biệt, trong đó hệ điều hành có thể lập lịch riêng lẻ đối với mỗi bộ xử lý logic.

Bộ xử lý vật lý 400, như được minh họa trên FIG.4, bao gồm hai lõi, các lõi 401 và 402. Ở đây, các lõi 401 và 402 được coi là các lõi đối xứng, tức là, các lõi có cùng các cấu hình, các bộ phận chức năng, và/hoặc mạch logic. Theo một phương án khác, lõi 401 bao gồm lõi bộ xử lý không theo thứ tự, trong khi lõi 402 bao gồm lõi bộ xử lý

theo thứ tự. Tuy nhiên, các lõi 401 và 402 có thể được chọn riêng lẻ từ kiểu lõi bất kỳ, chẳng hạn như lõi riêng, lõi quản lý phần mềm, lõi được điều chỉnh để thực thi kiến trúc tập lệnh riêng (Instruction Set Architecture, ISA), lõi được điều chỉnh để thực thi ISA đã dịch, lõi đồng thiết kế, hoặc lõi đã biết khác. Ngoài ra, các lõi 401 và 402 có thể được tạo cấu hình giống hoặc khác nhau đối với hỗ trợ đa luồng. Tức là, theo các phương án ở đây một, cả hai hoặc không lõi nào trong số các lõi 401, 402 có thể được cho phép hỗ trợ MT.

Tuy nhiên để thảo luận thêm, các bộ phận chức năng được minh họa trong lõi 401 được mô tả chi tiết dưới đây, do các bộ phận trong lõi 402 hoạt động theo cách tương tự. Như được mô tả, lõi 401 bao gồm hai luồng phần cứng 401a và 401b, cũng có thể được gọi là các khe luồng phần cứng 401a và 401b. Do đó, các mục nhập phần mềm, chẳng hạn như hệ điều hành, theo một phương án có thể xem bộ xử lý 400 là bốn bộ xử lý riêng biệt, tức là, bốn bộ xử lý logic hoặc phần tử xử lý có khả năng thực thi bốn luồng phần mềm một cách đồng thời. Như được đề cập trên đây, luồng thứ nhất được liên kết với các thanh ghi trạng thái kiến trúc 401a, luồng thứ hai được liên kết với các thanh ghi trạng thái kiến trúc 401b, luồng thứ ba có thể được liên kết với các thanh ghi trạng thái kiến trúc 402a, và luồng thứ tư có thể được liên kết với các thanh ghi trạng thái kiến trúc 402b. Ở đây, mỗi trong số các thanh ghi trạng thái kiến trúc (401a, 401b, 402a, và 402b) có thể được gọi là các phần tử xử lý, các khe luồng, hoặc các bộ phận luồng, như được mô tả trên đây. Như được minh họa, các thanh ghi trạng thái kiến trúc 401a được sao chép trong các thanh ghi trạng thái kiến trúc 401b, vì vậy các trạng thái/ngữ cảnh kiến trúc riêng lẻ có khả năng được lưu cho bộ xử lý logic 401a và bộ xử lý logic 401b. Trong lõi 401, các tài nguyên nhỏ hơn khác, chẳng hạn như các con trỏ lệnh và mạch logic đổi tên trong bộ cấp phát và khối đổi tên 430 cũng có thể được sao chép cho các luồng 401a và 401b. Một số tài nguyên, chẳng hạn như các bộ đệm sắp xếp lại trong bộ phận sắp xếp lại/ấn 435, ILTB 420, các bộ đệm tải/lưu trữ, và các hàng đợi có thể được chia sẻ qua phân vùng. Các tài nguyên khác, chẳng hạn như các thanh ghi bên ngoài đa năng, (các) thanh ghi dựa trên bảng trang, bộ đệm dữ liệu mức thấp và dữ liệu TLB 415, (các) bộ phận thực thi 440, và các phần của bộ phận không theo thứ tự 435 có thể được chia sẻ đầy đủ.

Bộ xử lý 400 thường bao gồm các tài nguyên khác, có thể được chia sẻ đầy đủ,

được chia sẻ qua phân vùng, hoặc được dành riêng bởi/cho các phần tử xử lý. Trên FIG.4, một phương án về bộ xử lý chỉ làm ví dụ có các bộ phận/tài nguyên của bộ xử lý được minh họa. Lưu ý rằng bộ xử lý có thể bao gồm, hoặc lược bỏ, bộ phận chức năng bất kỳ trong số các bộ phận chức năng này, cũng như bao gồm bộ phận chức năng, mạch logic, hoặc phần sụn đã biết bất kỳ không được mô tả. Như được minh họa, lõi 401 bao gồm lõi bộ xử lý đơn giản, điển hình không theo thứ tự (Out-Of-Order, OOO). Nhưng bộ xử lý theo thứ tự có thể được sử dụng theo các phương án khác nhau. Mã OOO bao gồm bộ đệm đích rẽ nhánh 420 để dự đoán các nhánh được thực thi/thực hiện và bộ đệm dịch lệnh (Instruction-Translation Buffer, I-TLB) 420 để lưu trữ các mục dịch địa chỉ cho các lệnh.

Lõi 401 còn bao gồm môđun giải mã 425 được ghép nối với bộ tìm nạp 420 để giải mã các phần tử được tìm nạp. Mạch logic tìm nạp, theo một phương án, bao gồm các bộ sắp xếp dãy riêng lẻ lần lượt được liên kết với các khe luồng 401a, 401b. Thông thường, lõi 401 được liên kết với ISA thứ nhất, xác định/chỉ định các lệnh thực thi được trên bộ xử lý 400. Thông thường, các lệnh mã máy là một phần ISA thứ nhất bao gồm một phần của lệnh (được gọi là mã hoạt động), tham chiếu/chỉ định lệnh hoặc hoạt động cần được thực hiện. Mạch logic giải mã 425 bao gồm hệ mạch để nhận diện các lệnh này từ các mã hoạt động của nó và chuyển các lệnh được giải mã vào đường truyền bằng ống để xử lý khi được xác định bởi ISA thứ nhất. Ví dụ, các bộ giải mã 425, theo một phương án, bao gồm mạch logic được thiết kế hoặc được điều chỉnh để nhận diện các lệnh cụ thể, chẳng hạn như lệnh giao dịch. Kết quả của sự nhận dạng bởi các bộ giải mã 425, kiến trúc hoặc lõi 401 thực hiện các hoạt động cụ thể, được xác định trước để thực hiện các tác vụ được liên kết với lệnh thích hợp. Điều quan trọng cần lưu ý rằng một bất kỳ trong số các tác vụ, khối, hoạt động, và phương pháp được mô tả ở đây có thể được thực hiện để đáp lại một hoặc nhiều lệnh; một số trong số các lệnh này có thể là các lệnh mới hoặc cũ.

Trong một ví dụ, bộ cấp phát và khối đổi tên 430 bao gồm bộ cấp phát để dự trữ các tài nguyên, chẳng hạn như các tệp thanh ghi để lưu các kết quả xử lý lệnh. Tuy nhiên, các luồng 401a và 401b có thể có khả năng thực thi không theo thứ tự, trong đó bộ cấp phát và khối đổi tên 430 cũng dự trữ các tài nguyên khác, chẳng hạn như các bộ đệm sắp xếp lại để theo dõi các kết quả lệnh. Bộ phận 430 cũng có thể bao gồm bộ đổi tên

thanh ghi để đổi tên các thanh ghi tham chiếu chương trình/lệnh thành các thanh ghi khác bên trong bộ xử lý 400. Bộ phận sắp xếp lại/ẩn 435 bao gồm các thành phần, chẳng hạn như các bộ đệm sắp xếp lại được đề cập trên đây, các bộ đệm tải, và các bộ đệm lưu trữ, để hỗ trợ thực thi không theo thứ tự và sau đó ẩn theo thứ tự các lệnh được thực thi không theo thứ tự.

Khối lập lịch và (các) bộ phận thực thi 440, theo một phương án, bao gồm các bộ phận lập lịch để lập lịch các lệnh/hoạt động trên các bộ phận thực thi. Ví dụ, lệnh dấu phẩy động được lập lịch trên công của bộ phận thực thi mà có bộ phận thực thi dấu phẩy động có sẵn. Các tệp thanh ghi được liên kết với các bộ phận thực thi cũng được bao gồm để lưu trữ các kết quả xử lý lệnh thông tin. Các bộ phận thực thi làm ví dụ bao gồm bộ phận thực thi dấu phẩy động, bộ phận thực thi số nguyên, bộ phận thực thi nhảy, bộ phận thực thi tải, bộ phận thực thi lưu trữ, và các bộ phận thực thi đã biết khác.

Bộ đệm dữ liệu mức thấp hơn và bộ đệm dịch dữ liệu (Data Translation Buffer, D-TLB) 450 được ghép nối với (các) bộ phận thực thi 440. Bộ đệm dữ liệu để lưu trữ các phần tử được sử dụng/được hoạt động gần đây, chẳng hạn như các toán hạng dữ liệu, có thể giữ ở các trạng thái phù hợp của bộ nhớ. D-TLB để lưu trữ các bản dịch địa chỉ ảo/tuyển tính sang các bản dịch địa chỉ vật lý. Một ví dụ cụ thể là, bộ xử lý có thể bao gồm cấu trúc bảng trang để chia bộ nhớ vật lý thành các trang ảo.

Ở đây, các lõi 401 và 402 chia sẻ quyền truy cập bộ đệm mức cao hơn hoặc xa hơn 410, để đệm các phần tử tìm nạp gần đây. Lưu ý rằng mức cao hơn hoặc xa hơn đề cập đến mức bộ đệm tăng lên hoặc xa hơn (các) bộ phận thực thi. Theo một phương án, bộ đệm mức cao hơn 410 là bộ đệm dữ liệu mức cuối - bộ đệm cuối ở bộ nhớ phân cấp trên bộ xử lý 400 - chẳng hạn như bộ đệm dữ liệu mức thứ hai hoặc thứ ba. Tuy nhiên, bộ đệm mức cao hơn 410 không bị giới hạn ở đó, vì có thể được liên kết với hoặc bao gồm bộ đệm lệnh. Bộ đệm dấu vết - kiểu bộ đệm lệnh - thay vào đó có thể được ghép nối sau bộ giải mã 425 để lưu trữ các dấu vết được giải mã gần đây.

Trong cấu hình được mô tả, bộ xử lý 400 cũng bao gồm mô đun giao diện bus 405 và bộ điều khiển công suất 460, có thể thực hiện quản lý công suất theo một phương án của sáng chế. Trong trường hợp này, giao diện bus 405 để truyền thông với các thiết bị bên ngoài bộ xử lý 400, chẳng hạn như bộ nhớ hệ thống và các thành phần khác.

Bộ điều khiển bộ nhớ 470 có thể tương tác với các thiết bị khác chẳng hạn như một hoặc nhiều bộ nhớ. Trong một ví dụ, giao diện bus 405 bao gồm kết nối vòng với bộ nhớ bộ điều khiển để tương tác với bộ nhớ và bộ điều khiển đồ họa để tương tác với bộ xử lý đồ họa. Trong môi trường SoC, thậm chí nhiều thiết bị hơn, chẳng hạn như giao diện mạng, các bộ đồng xử lý, bộ nhớ, bộ xử lý đồ họa, và các thiết bị/giao diện máy tính đã biết khác có thể được tích hợp vào một khuôn hoặc mạch tích hợp để tạo ra hệ số dạng nhỏ có chức năng cao và tiêu thụ năng lượng thấp.

Bây giờ tham chiếu đến FIG.5, được thể hiện là sơ đồ khối của kiến trúc micro của lõi bộ xử lý theo một phương án của sáng chế. Như được thể hiện trên FIG.5, lõi bộ xử lý 500 có thể là bộ xử lý không theo thứ tự được truyền bằng ống nhiều tầng. Lõi 500 có thể hoạt động ở các điện áp khác nhau dựa vào điện áp hoạt động được nhận, có thể được nhận từ bộ điều chỉnh điện áp tích hợp hoặc bộ điều chỉnh điện áp bên ngoài.

Như đã thấy trên FIG.5, lõi 500 bao gồm các bộ phận đầu phía trước 510, có thể được sử dụng để tìm nạp các lệnh cần được thực thi và tạo ra chúng để sử dụng sau này trong đường truyền bằng ống của bộ xử lý. Ví dụ, các bộ phận đầu phía trước 510 có thể bao gồm bộ tìm nạp 501, bộ đệm lệnh 503, và bộ giải mã lệnh 505. Theo một số phương án thực hiện, các bộ phận đầu phía trước 510 có thể còn bao gồm bộ đệm dấu vết, cùng với thiết bị lưu trữ vi mã cũng như thiết bị lưu trữ hoạt động micro. Bộ tìm nạp 501 có thể tìm nạp các lệnh macro, ví dụ, từ bộ nhớ hoặc bộ đệm lệnh 503, và nạp chúng cho bộ giải mã lệnh 505 để giải mã chúng thành các hàm nguyên thủy, tức là, các hoạt động micro để thực thi bởi bộ xử lý.

Được ghép nối giữa các bộ phận đầu phía trước 510 và các bộ phận thực thi 520 là công cụ không theo thứ tự (Out-Of-Order, OOO) 515 mà có thể được sử dụng để nhận các vi lệnh và tạo ra chúng để thực thi. Cụ thể hơn là, công cụ OOO 515 có thể bao gồm các bộ đệm khác nhau để sắp xếp lại dòng vi lệnh và cấp phát các tài nguyên khác nhau cần để thực thi, cũng như cấp khả năng đổi tên các thanh ghi logic vào các vị trí lưu trữ trong các tệp thanh ghi khác nhau chẳng hạn như tệp thanh ghi 530 và tệp thanh ghi được mở rộng 535. Tệp thanh ghi 530 có thể bao gồm các tệp thanh ghi riêng biệt cho các phép toán số nguyên và dấu phẩy động. Tệp thanh ghi mở rộng 535 có thể tạo ra thiết bị lưu trữ cho các đơn vị có kích thước vector, ví dụ, 256 hoặc 512 bit trên mỗi

thanh ghi. Đối với các mục đích tạo cấu hình, điều khiển, và các hoạt động bổ sung, tập hợp các thanh ghi máy riêng (Machine Specific Register, MSR) 538 cũng có thể có mặt và truy nhập được vào mạch logic khác nhau trong lõi 500 (và bên ngoài lõi). Lưu ý rằng đối với các mục đích hỗ trợ đa luồng, nhiều tập hợp thanh ghi trong các tệp thanh ghi khác nhau có thể được bố trí sao cho chúng có thể được sử dụng một cách đồng thời bởi các luồng khác nhau. Tuy nhiên cần lưu ý rằng các cấu trúc còn lại của lõi 500, bao gồm các bộ phận đầu phía trước 510 và các bộ phận thực thi 520, không được sao chép.

Các tài nguyên khác nhau có thể có mặt trong các bộ phận thực thi 520, bao gồm, ví dụ, số nguyên, dấu phẩy động, và các bộ phận logic đa dữ liệu đơn lệnh (Single Instruction Multiple Data, SIMD), trong số các phần cứng chuyên dụng khác. Ví dụ, các bộ phận thực thi này có thể bao gồm một hoặc nhiều bộ phận logic số học (Arithmetic Logic Unit, ALU) 522 và một hoặc nhiều bộ phận thực thi vectơ 524, trong số các bộ phận thực thi khác này.

Các kết quả từ các bộ phận thực thi có thể được cấp cho mạch logic ẩn, cụ thể là bộ đệm sắp xếp lại (Reorder Buffer, ROB) 540. Cụ thể hơn là, ROB 540 có thể bao gồm các mảng và mạch logic khác nhau để nhận thông tin được liên kết với các lệnh được thực thi. Thông tin này sau đó được kiểm tra bởi ROB 540 để xác định xem liệu các lệnh có thể được ẩn một cách hợp lệ và dữ liệu kết quả được cam kết với trạng thái kiến trúc của bộ xử lý hay không, hoặc xem liệu một hoặc nhiều trường hợp ngoại lệ có xảy ra hay không để ngăn việc ẩn các lệnh thích hợp. Tất nhiên, ROB 540 có thể xử lý các hoạt động khác liên quan đến việc ẩn.

Như được thể hiện trên FIG.5, ROB 540 được ghép nối với bộ đệm 550 mà, theo một phương án có thể là bộ đệm mức thấp (ví dụ, bộ đệm L1) mặc dù phạm vi của sáng chế không giới hạn trong vấn đề này. Ngoài ra, các bộ phận thực thi 520 có thể được ghép nối trực tiếp với bộ đệm 550. Từ bộ đệm 550, truyền thông dữ liệu có thể xảy ra với các bộ đệm mức cao hơn, bộ nhớ hệ thống và tương tự. Mặc dù được thể hiện bằng mức cao này theo phương án trên FIG.5, nhưng cần hiểu rằng phạm vi của sáng chế không giới hạn ở đó. Ví dụ, mặc dù phương án thực hiện trên FIG.5 liên quan đến máy không theo thứ tự chẳng hạn như kiến trúc tập lệnh (Instruction Set Architecture, ISA) Intel® x86, nhưng phạm vi của sáng chế không giới hạn ở đó. Tức là, các phương án

khác có thể được thực hiện ở bộ xử lý theo thứ tự, bộ xử lý tính toán tập lệnh giảm (Reduced Instruction Set Computing, RISC) chẳng hạn như bộ xử lý dựa trên ARM, hoặc bộ xử lý kiểu ISA khác mà có thể mô phỏng các lệnh và các hoạt động của ISA khác nhau qua công cụ mô phỏng và hệ mạch logic được liên kết.

Bây giờ tham chiếu đến FIG.6, được thể hiện là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác. Theo phương án trên FIG.6, lõi 600 có thể là lõi công suất thấp của kiến trúc micro khác nhau, chẳng hạn như Intel®. Bộ xử lý dựa trên atom™ có chiều sâu đường truyền bằng ống tương đối giới hạn được thiết kế để làm giảm sự tiêu thụ năng lượng. Như được thấy, lõi 600 bao gồm bộ đệm lệnh 610 được ghép nối để cấp các lệnh cho bộ giải mã lệnh 615. Bộ dự đoán rẽ nhánh 605 có thể được ghép nối với bộ đệm lệnh 610. Lưu ý rằng bộ đệm lệnh 610 có thể còn được ghép nối với mức bộ nhớ đệm khác, chẳng hạn như bộ đệm L2 (không được thể hiện để dễ dàng cho việc minh họa trên FIG.6). Kết quả là, bộ giải mã lệnh 615 cấp các lệnh được giải mã cho hàng đợi phát hành 620 để lưu trữ và phân phối đến đường truyền bằng ống thực thi. ROM vi mã 618 được ghép nối với bộ giải mã lệnh 615.

Đường truyền bằng ống dấu phẩy động 630 bao gồm tệp thanh ghi dấu phẩy động 632 có thể bao gồm các thanh ghi kiến trúc của bit đã cho chẳng hạn như 128, 256 hoặc 512 bit. Đường truyền bằng ống 630 bao gồm bộ lập lịch dấu phẩy động 634 để lập lịch các lệnh để thực thi trên một trong số nhiều bộ phận thực thi của đường truyền bằng ống này. Theo phương án được thể hiện, các bộ phận thực thi này bao gồm ALU 635, bộ trộn 636, và bộ cộng dấu phẩy động 638. Kết quả là, các kết quả được tạo ra ở các bộ phận thực thi này có thể được cấp lại cho các bộ đệm và/hoặc các thanh ghi của tệp thanh ghi 632. Tất nhiên, cần hiểu rằng mặc dù được thể hiện có một vài bộ phận thực thi ví dụ này, nhưng các bộ phận thực thi dấu phẩy động bổ sung và khác nhau có thể có mặt theo một phương án khác.

Đường truyền bằng ống số nguyên 640 cũng có thể được bố trí. Theo phương án được thể hiện, đường truyền bằng ống 640 bao gồm tệp thanh ghi số nguyên 642 có thể bao gồm các thanh ghi kiến trúc của bit đã cho chẳng hạn như 128 hoặc 256 bit. Đường truyền bằng ống 640 bao gồm bộ lập lịch số nguyên 644 để lập lịch các lệnh để thực thi trên một trong số nhiều bộ phận thực thi của đường truyền bằng ống này. Theo phương

án được thể hiện, các bộ phận thực thi này bao gồm ALU 645, bộ phận dịch chuyển 646, và bộ phận thực thi nhảy 648. Kết quả là, các kết quả được tạo ra ở các bộ phận thực thi này có thể được cấp lại cho các bộ đệm và/hoặc các thanh ghi của tệp thanh ghi 642. Tất nhiên, cần hiểu rằng mặc dù được thể hiện có một vài bộ phận thực thi ví dụ này, nhưng các bộ phận thực thi số nguyên bổ sung và khác nhau có thể có mặt theo một phương án khác.

Bộ lập lịch thực thi bộ nhớ 650 có thể lập lịch các hoạt động của bộ nhớ để thực thi ở bộ phận tạo địa chỉ 652, cũng được ghép nối với TLB 654. Như được thấy, các cấu trúc này có thể ghép nối với bộ đệm dữ liệu 660, có thể là bộ đệm dữ liệu L0 và/hoặc L1 từ đó ghép nối với các mức bộ nhớ đệm phân cấp bổ sung, bao gồm bộ nhớ đệm L2.

Để tạo ra hỗ trợ thực thi không theo thứ tự, bộ cấp phát/bộ đổi tên 670 có thể được bố trí, ngoài bộ đệm sắp xếp lại 680, được tạo cấu hình để sắp xếp lại các lệnh được thực thi không theo thứ tự để ẩn theo thứ tự. Mặc dù được thể hiện có kiến trúc đường truyền bằng ống cụ thể này trên hình minh họa trên FIG.6, nhưng cần hiểu rằng có thể có nhiều biến thể và dạng thay thế.

Lưu ý rằng trong bộ xử lý có các lõi bất đối xứng, chẳng hạn như theo các kiến trúc micro trên FIG.5 và FIG.6, khối lượng công việc có thể được hoán đổi động giữa các lõi vì các lý do quản lý công suất, vì các lõi này, mặc dù có các thiết kế và chiều sâu đường truyền bằng ống khác nhau, nhưng có thể có cùng ISA hoặc ISA liên quan. Việc hoán đổi lõi động này có thể được thực hiện theo cách minh bạch đối với ứng dụng người dùng (và có thể cả nhân).

Tham chiếu đến FIG.7, được thể hiện là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác nữa. Như được minh họa trên FIG.7, lõi 700 có thể bao gồm đường truyền bằng ống theo thứ tự nhiều tầng để thực thi ở các mức tiêu thụ năng lượng thấp. Một ví dụ là, bộ xử lý 700 có thể có kiến trúc micro theo thiết kế ARM Cortex A53 có sẵn từ ARM Holdings, LTD., Sunnyvale, Calif. Theo một phương án thực hiện, đường truyền bằng ống 8 tầng có thể được bố trí được tạo cấu hình để thực thi cả mã 32-bit và 64-bit. Lõi 700 bao gồm bộ tìm nạp 710 được tạo cấu hình để tìm nạp các lệnh và cấp chúng cho bộ giải mã 715, có thể giải mã các lệnh, ví dụ, các lệnh macro của ISA đã cho chẳng hạn như ARMv8 ISA. Cần lưu ý thêm rằng hàng đợi 730 có thể ghép nối

với bộ giải mã 715 để lưu các lệnh được giải mã. Các lệnh được giải mã được cấp cho mạch phát hành 725, trong đó các lệnh được giải mã này có thể được phát hành cho một trong số nhiều bộ phận thực thi đã cho.

Tiếp tục tham chiếu đến FIG.7, mạch logic phát hành 725 có thể phát hành các lệnh cho một trong số nhiều bộ phận thực thi. Theo phương án được thể hiện, các bộ phận thực thi này bao gồm bộ phận số nguyên 735, bộ phận nhân 740, bộ phận dấu phẩy động/vecto 750, bộ phận phát hành kép 760, và bộ phận tải/lưu trữ 770. Các kết quả của các bộ phận thực thi khác nhau này có thể được cấp cho bộ phận ghi lại 780. Cần hiểu rằng mặc dù một bộ phận ghi lại được thể hiện để dễ dàng cho việc minh họa, nhưng theo một số phương án thực hiện các bộ phận ghi lại riêng biệt có thể được liên kết với mỗi trong số các bộ phận thực thi. Hơn nữa, cần hiểu rằng mặc dù mỗi trong số các bộ phận và mạch logic được thể hiện trên FIG.7 được biểu diễn ở mức cao, nhưng một phương án thực hiện cụ thể có thể bao gồm nhiều hoặc các cấu trúc khác nhau. Bộ xử lý được thiết kế bằng cách sử dụng một hoặc nhiều lõi có đường truyền bằng ống như trên FIG.7 có thể được thực hiện ở nhiều sản phẩm cuối khác nhau, mở rộng từ các thiết bị di động đến các hệ thống chủ.

Tham chiếu đến FIG.8, được thể hiện là sơ đồ khối kiến trúc micro của lõi bộ xử lý theo một phương án khác nữa. Như được minh họa trên FIG.8, lõi 800 có thể bao gồm đường truyền bằng ống không theo thứ tự đa phát hành nhiều tầng để thực thi ở các mức hiệu suất rất cao (có thể xảy ra ở các mức tiêu thụ năng lượng cao hơn lõi 700 trên FIG.7). Một ví dụ là, bộ xử lý 800 có thể có kiến trúc micro theo thiết kế ARM Cortex A57. Theo một phương án thực hiện, đường truyền bằng ống 15 (hoặc lớn hơn 15) tầng có thể được đề xuất được tạo cấu hình để thực thi cả mã 32-bit và 64-bit. Ngoài ra, đường truyền bằng ống có thể cấp cho hoạt động 3 (hoặc lớn hơn 3)-rộng và 3 (hoặc lớn hơn)-phát hành. Lõi 800 bao gồm bộ tìm nạp 810 được tạo cấu hình để tìm nạp các lệnh và cấp chúng cho bộ giải mã/bộ đổi tên/bộ điều phối 815, có thể giả mã các lệnh này, ví dụ, các lệnh macro của kiến trúc tập lệnh ARMv8, đổi tên các tham chiếu thanh ghi trong các lệnh, và điều phối các lệnh (cuối cùng) đến bộ phận thực thi được chọn. Các lệnh được giải mã có thể được lưu trữ trong hàng đợi 825. Lưu ý rằng mặc dù cấu trúc một hàng đợi được thể hiện để dễ dàng cho việc minh họa trên FIG.8, cần hiểu rằng các hàng đợi riêng biệt có thể được cấp cho mỗi trong số các kiểu bộ phận thực thi khác

nhau.

Cũng được thể hiện trên FIG.8 là mạch logic phát hành 830 từ các lệnh được giải mã được lưu trong hàng đợi 825 có thể được phát hành cho bộ phận thực thi được chọn. Mạch logic phát hành 830 cũng có thể được thực hiện theo phương án cụ thể có mạch logic phát hành riêng biệt cho mỗi trong số các kiểu bộ phận thực thi khác nhau mà mạch logic phát hành 830 ghép nối.

Các lệnh được giải mã có thể được phát hành cho một trong số các bộ phận thực thi đã cho. Theo phương án được thể hiện, các bộ phận thực thi này bao gồm một hoặc nhiều bộ phận số nguyên 835, bộ phận nhân 840, bộ phận dấu phẩy động/vector 850, bộ phận rẽ nhánh 860, và bộ phận tải/lưu trữ 870. Theo một phương án, bộ phận dấu phẩy động/vector 850 có thể được tạo cấu hình để xử lý SIMD hoặc dữ liệu vector 128 hoặc 256 bit. Hơn nữa, bộ phận thực thi dấu phẩy động/vector 850 có thể thực hiện các phép toán dấu phẩy động chính xác kép IEEE-754. Các kết quả của các bộ phận thực thi khác nhau này có thể được cấp cho bộ phận ghi lại 880. Lưu ý rằng theo một số phương án thực hiện các bộ phận ghi lại riêng biệt có thể được liên kết với mỗi trong số các bộ phận thực thi. Hơn nữa, cần hiểu rằng mặc dù mỗi trong số các bộ phận và mạch logic được thể hiện trên FIG.8 được biểu diễn ở mức cao, nhưng phương án thực hiện cụ thể có thể bao gồm nhiều hoặc các cấu trúc khác nhau.

Lưu ý rằng trong bộ xử lý có các lỗi bất đối xứng, chẳng hạn như theo các kiến trúc micro trên FIG.7 và FIG.8, khối lượng công việc có thể được hoán đổi động vì lý do quản lý công suất, vì các lỗi này, mặc dù có các thiết kế và chiều sâu đường truyền bằng ống khác nhau, có thể có cùng ISA hoặc ISA liên quan. Việc hoán đổi lỗi động này có thể được thực hiện theo cách minh bạch đối với ứng dụng người dùng (và có thể cả nhân).

Bộ xử lý được thiết kế bằng cách sử dụng một hoặc nhiều lõi có đường truyền bằng ống như trên một hoặc nhiều hình vẽ bất kỳ trong số các hình vẽ từ FIG.5 đến FIG.8 có thể được thực hiện ở nhiều sản phẩm cuối khác nhau, mở rộng từ các thiết bị di động đến các hệ thống chủ. Bây giờ tham chiếu đến FIG.9, được thể hiện là sơ đồ khối của bộ xử lý theo một phương án khác của sáng chế. Theo phương án trên FIG.9, bộ xử lý 900 có thể là SoC bao gồm nhiều miền, mỗi trong số các miền này có thể được

điều khiển để hoạt động ở điện áp hoạt động và tần số hoạt động độc lập. Ví dụ minh họa cụ thể là, bộ xử lý 900 có thể là bộ xử lý dựa trên Intel® Architecture Core™ chẳng hạn như là i3, i5, i7 hoặc bộ xử lý khác có sẵn từ Intel Corporation. Tuy nhiên, các bộ xử lý công suất thấp khác chẳng hạn như có sẵn từ Micro Devices, Inc. (AMD) of Sunnyvale, Calif., thiết kế dựa trên ARM từ ARM Holdings, Ltd. hoặc người có giấy phép của chúng hoặc thiết kế dựa trên MIPS từ MIPS Technologies, Inc. of Sunnyvale, Calif., hoặc những người có giấy phép hoặc chấp nhận thay vào đó có thể có mặt theo các phương án khác chẳng hạn như bộ xử lý Apple A7, bộ xử lý Qualcomm Snapdragon, hoặc bộ xử lý Texas Instruments OMAP. SoC này có thể được sử dụng ở hệ thống công suất thấp chẳng hạn như điện thoại thông minh, máy tính dạng bảng, máy tính phablet, máy tính Ultrabook™ hoặc thiết bị điện toán cầm tay hoặc thiết bị được kết nối khác.

Ở mức cao được thể hiện trên FIG.9, bộ xử lý 900 bao gồm các bộ phận lõi 910₀-910_n. Mỗi bộ phận lõi có thể bao gồm một hoặc nhiều lõi bộ xử lý, một hoặc nhiều bộ nhớ đệm và hệ mạch khác. Mỗi bộ phận lõi 910 có thể hỗ trợ một hoặc nhiều tập lệnh (ví dụ, tập lệnh x86 (có một số phần mở rộng đã được thêm vào các phiên bản mới hơn); tập lệnh MIPS; tập lệnh ARM (có các phần mở rộng bổ sung tùy chọn chẳng hạn như NEON)) hoặc tập lệnh khác hoặc các sự kết hợp của chúng. Lưu ý rằng một số trong số các bộ phận lõi có thể là các tài nguyên không đồng nhất (ví dụ, của thiết kế khác nhau). Ngoài ra, mỗi lõi này có thể được ghép nối với bộ nhớ đệm (không được thể hiện trên hình vẽ) theo một phương án có thể là bộ nhớ đệm mức được chia sẻ (L2). Thiết bị lưu trữ bất khả biến 930 có thể được sử dụng để lưu trữ chương trình khác nhau và dữ liệu khác. Ví dụ, thiết bị lưu trữ này có thể được sử dụng để lưu trữ ít nhất các phần vi mã, thông tin khởi động chẳng hạn như BIOS, phần mềm hệ thống khác hoặc tương tự.

Mỗi bộ phận lõi 910 cũng có thể bao gồm giao diện chẳng hạn như bộ phận giao diện bus để cho phép kết nối hệ mạch bổ sung của bộ xử lý. Theo một phương án, mỗi bộ phận lõi 910 ghép nối với kết cấu nhất quán có thể hoạt động như kết nối trên khuôn nhất quán trong bộ đệm chính từ đó ghép nối với bộ nhớ bộ điều khiển 935. Kết quả là, bộ điều khiển bộ nhớ 935 điều khiển truyền thông với bộ nhớ chẳng hạn như DRAM (không được thể hiện trên hình vẽ để dễ dàng cho việc minh họa trên FIG.9).

Ngoài các bộ phận lõi, các công cụ xử lý bổ sung có mặt trong bộ xử lý, bao gồm

ít nhất một bộ phận đồ họa 920 có thể bao gồm một hoặc nhiều bộ phận xử lý đồ họa (Graphics Processing Unit, GPU) để thực hiện xử lý đồ họa cũng như có thể thực thi các hoạt động đa năng trên bộ xử lý đồ họa (cũng được gọi là hoạt động GPGPU). Ngoài ra, ít nhất một bộ xử lý tín hiệu hình ảnh 925 có thể có mặt. Bộ xử lý tín hiệu hình ảnh 925 có thể được tạo cấu hình để xử lý dữ liệu hình ảnh đến được nhận từ một hoặc nhiều thiết bị chụp, bên trong SoC hoặc ngoài chip.

Các bộ gia tốc khác cũng có thể có mặt. Trên hình minh họa trên FIG.9, bộ mã hóa video 950 có thể thực hiện các hoạt động mã hóa bao gồm mã hóa và giả mã thông tin video, ví dụ, cung cấp hỗ trợ tăng tốc phần cứng cho nội dung video độ phân giải cao. Bộ điều khiển hiển thị 955 còn có thể được bố trí để tăng tốc các hoạt động hiển thị bao gồm hỗ trợ các màn hiển thị bên trong và bên ngoài của hệ thống. Ngoài ra, bộ xử lý bảo mật 945 có thể có mặt để thực hiện các hoạt động bảo mật chẳng hạn như các hoạt động khởi động bảo mật, các hoạt động mã hóa khác nhau và tương tự.

Mỗi trong số các bộ phận này có thể được kiểm soát mức tiêu thụ năng lượng thông qua bộ quản lý công suất 940, có thể bao gồm mạch logic điều khiển để thực hiện các kỹ thuật quản lý công suất khác nhau và điều khiển tạo cấu hình được MT chọn lọc được mô tả ở đây.

Theo một số phương án, SoC 900 có thể còn bao gồm kết cấu không nhất quán được ghép nối với kết cấu nhất quán mà các thiết bị ngoại vi khác nhau có thể ghép nối. Một hoặc nhiều giao diện 960a-960d cho phép truyền thông với một hoặc nhiều thiết bị ngoại vi chip. Việc truyền thông này có thể qua nhiều kiểu giao thức truyền thông khác nhau chẳng hạn như PCIe™, GPIO, USB, I²C, UART, MIPI, SDIO, DDR, SPI, HDMI, trong số các kiểu giao thức truyền thông khác. Mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.9, nhưng cần hiểu rằng phạm vi của sáng chế không giới hạn ở đó.

Bây giờ tham chiếu đến FIG.10, được thể hiện là sơ đồ khối của SoC điển hình. Theo phương án được thể hiện, SoC 1000 có thể là SoC đa lõi được tạo cấu hình cho hoạt động công suất thấp được tối ưu hóa để kết hợp vào điện thoại thông minh hoặc thiết bị tiêu thụ năng lượng thấp khác chẳng hạn như máy tính bảng hoặc thiết bị máy tính cầm tay khác. Ví dụ, SoC 1000 có thể được triển khai bằng cách sử dụng các kiểu

lỗi không đối xứng hoặc khác nhau, chẳng hạn như sự kết hợp của lõi công suất cao hơn và/hoặc lõi công suất thấp, ví dụ, lõi không theo thứ tự và lõi theo thứ tự. Theo các phương án khác nhau, các lõi này có thể dựa vào thiết kế lõi Intel® Architecture™ hoặc thiết kế kiến trúc ARM. Theo các phương án khác nữa, sự kết hợp các lõi Intel® và ARM có thể được thực hiện trong SoC đã cho.

Như đã thấy trên FIG.10, SoC 1000 bao gồm miền lõi thứ nhất 1010 có các lõi thứ nhất 1012₀-1012₃. Trong một ví dụ, các lõi này có thể là các lõi công suất thấp chẳng hạn như các lõi theo thứ tự. Theo một phương án các lõi thứ nhất này có thể được thực hiện ở dạng các lõi ARM Cortex A53. Kết quả là, các lõi này ghép nối với bộ nhớ đệm 1015 của miền lõi 1010. Ngoài ra, SoC 1000 bao gồm miền lõi thứ hai 1020. Trên hình minh họa trên FIG.10, miền lõi thứ hai 1020 có các lõi thứ hai 1022₀-1022₃. Trong một ví dụ, các lõi này có thể là các lõi tiêu thụ năng lượng cao hơn các lõi thứ nhất 1012. Theo một phương án, các lõi thứ hai có thể là các lõi không theo thứ tự có thể được thực hiện ở dạng các lõi ARM Cortex A57. Kết quả là, các lõi này ghép nối với bộ nhớ đệm 1025 của miền lõi 1020. Lưu ý rằng mặc dù ví dụ được thể hiện trên FIG.10 bao gồm 4 lõi trong mỗi miền lõi, nhưng cần hiểu rằng nhiều hơn hoặc ít hơn 4 lõi có thể có trong miền đã cho trong các ví dụ khác.

Tiếp tục tham chiếu đến FIG.10, miền đồ họa 1030 cũng được bố trí, có thể bao gồm một hoặc nhiều bộ xử lý đồ họa (Graphics Processing Unit, GPU) được tạo cấu hình để thực thi một cách độc lập khối lượng công việc đồ họa, ví dụ, được tạo ra bởi một hoặc nhiều lõi của các miền lõi 1010 và 1020. Một ví dụ là, miền GPU 1030 có thể được sử dụng để tạo ra hỗ trợ hiển thị cho các kích thước màn hiển thị khác nhau, ngoài việc cấp đồ họa và hoạt động kết xuất màn hiển thị.

Như được thấy, các miền khác nhau ghép nối với kết nối nhất quán 1040, theo một phương án có thể là kết cấu kết nối nhất quán của bộ đệm từ đó ghép nối với bộ điều khiển bộ nhớ tích hợp 1050. Kết nối nhất quán 1040 có thể bao gồm bộ nhớ đệm chia sẻ, chẳng hạn như bộ đệm L3, trong một số ví dụ. Theo một phương án, bộ điều khiển bộ nhớ 1050 có thể là bộ điều khiển bộ nhớ trực tiếp để tạo ra nhiều kênh truyền thông với bộ nhớ ngoài chip, chẳng hạn như nhiều kênh DRAM (không được thể hiện để dễ dàng cho việc minh họa trên FIG.10).

Trong các ví dụ khác nhau, số lượng miền lõi có thể thay đổi. Ví dụ, đối với SoC công suất thấp thích hợp để tích hợp vào thiết bị điện toán di động, thì số lượng miền lõi được giới hạn chẳng hạn như được thể hiện trên FIG.10 có thể có mặt. Hơn nữa, trong các SoC công suất thấp này, miền lõi 1020 bao gồm các lõi công suất cao hơn có thể có số lượng lõi như vậy ít hơn. Ví dụ, theo một phương án thực hiện hai lõi 1022 có thể được bố trí để cho phép hoạt động ở các mức tiêu thụ năng lượng giảm. Ngoài ra, các miền lõi khác nhau cũng có thể được ghép nối với bộ điều khiển gián đoạn để cho phép hoán đổi động khối lượng công việc giữa các miền khác nhau này.

Theo các phương án khác nữa, số lượng miền lõi lớn hơn, cũng như mạch logic IP tùy chọn bổ sung có thể có mặt, trong đó SoC có thể điều chỉnh đến mức hiệu suất (và công suất) cao hơn để tích hợp vào các thiết bị tính toán khác, chẳng hạn như máy tính để bàn, máy chủ, hệ thống tính toán hiệu suất cao, trạm gốc về sau. Một ví dụ là, mỗi trong số 4 miền lõi có số lượng lõi không theo thứ tự đã cho có thể được bố trí. Hơn nữa, ngoài hỗ trợ GPU tùy chọn (ví dụ có thể có dạng GPGPU), một hoặc nhiều bộ gia tốc để tạo ra hỗ trợ phần cứng được tối ưu cho các chức năng cụ thể (ví dụ, phục vụ web, xử lý mạng, chuyển mạch hoặc tương tự) cũng có thể được bố trí. Ngoài ra, giao diện đầu vào/đầu ra có thể có mặt để ghép nối các bộ gia tốc này với các thành phần ngoài chip.

Bây giờ tham chiếu đến FIG.11, được thể hiện là sơ đồ khối của SoC ví dụ khác. Theo phương án trên FIG.11, SoC 1100 có thể bao gồm hệ mạch khác nhau để cho phép hiệu suất cao cho các ứng dụng đa phương tiện, truyền thông và các chức năng khác. Như vậy, SoC 1100 thích hợp để kết hợp với nhiều loại thiết bị di động và các thiết bị khác, chẳng hạn như các điện thoại thông minh, máy tính dạng bảng, TV thông minh và tương tự. Trong ví dụ được thể hiện, SoC 1100 bao gồm miền bộ xử lý trung tâm (Central Processor Unit, CPU) 1110. Theo một phương án, các lõi bộ xử lý riêng lẻ có thể có mặt trong miền CPU 1110. Một ví dụ là, miền CPU 1110 có thể là bộ xử lý lõi bốn có 4 lõi đa luồng. Các bộ xử lý này có thể là các bộ xử lý đồng nhất hoặc không đồng nhất, ví dụ, sự kết hợp các lõi bộ xử lý công suất thấp và công suất cao.

Kết quả là, miền GPU 1120 được bố trí để thực hiện xử lý đồ họa nâng cao trong một hoặc nhiều GPU để xử lý đồ họa và tính các API. Bộ phận DSP 1130 có thể tạo ra

một hoặc nhiều DSP công suất thấp để xử lý các ứng dụng đa phương tiện công suất thấp chẳng hạn như phát nhạc, âm thanh/video và tương tự, ngoài các tính toán nâng cao có thể xảy ra trong quá trình thực thi các lệnh đa phương tiện. Kết quả là, bộ truyền thông 1140 có thể bao gồm các thành phần khác nhau để tạo kết nối qua các giao thức không dây khác nhau, chẳng hạn như truyền thông di động (bao gồm 3G/4G LTE), các giao thức cục bộ không dây chẳng hạn như Bluetooth™, IEEE 802.11, và tương tự.

Hơn nữa, bộ xử lý đa phương tiện 1150 có thể được sử dụng để thực hiện thu và phát lại nội dung video và âm thanh độ phân giải cao, bao gồm xử lý cử động của người dùng. Bộ phận cảm biến 1160 có thể bao gồm các bộ cảm biến và/hoặc bộ điều khiển cảm biến để tương tác với các cảm biến ngoài chip khác nhau có trong nền tảng đã cho. Bộ xử lý tín hiệu hình ảnh 1170 có thể được tạo ra có một hoặc nhiều ISP riêng biệt để thực hiện xử lý hình ảnh đối với các nội dung được chụp từ một hoặc nhiều camera của nền tảng, bao gồm các camera tĩnh và video.

Bộ xử lý hiển thị 1180 có thể cấp hỗ trợ để kết nối với màn hình độ phân giải cao có mật độ điểm ảnh đã cho, bao gồm khả năng truyền thông không dây nội dung để phát lại trên màn hiển thị này. Hơn nữa, bộ phận vị trí 1190 có thể bao gồm bộ thu GPS có hỗ trợ cho nhiều chòm sao GPS để cấp các ứng dụng thông tin định vị chính xác cao được thu sử dụng chẳng hạn như bộ thu GPS. Cần hiểu rằng mặc dù được thể hiện có tập các thành phần cụ thể này trong ví dụ trên FIG.11, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.12, được thể hiện là sơ đồ khối hệ thống ví dụ mà các phương án có thể được sử dụng. Như được thấy, hệ thống 1200 có thể là điện thoại thông minh hoặc bộ truyền thông không dây khác. Bộ xử lý dải tần cơ sở 1205 được tạo cấu hình để thực hiện xử lý tín hiệu khác nhau đối với các tín hiệu truyền thông được truyền từ hoặc được nhận bởi hệ thống này. Kết quả là, bộ xử lý dải tần cơ sở 1205 được ghép nối với bộ xử lý ứng dụng 1210, có thể là CPU chính của hệ thống để thực thi OS và phần mềm hệ thống khác, ngoài các ứng dụng người dùng chẳng hạn như nhiều ứng dụng truyền thông xã hội và đa phương tiện đã biết. Bộ xử lý ứng dụng 1210 có thể còn được tạo cấu hình để thực hiện các hoạt động tính toán khác nhau cho thiết bị và có thể được tạo cấu hình, theo cách tĩnh hoặc động, để hỗ trợ MT chọn lọc trong đó tập con

các lỗi có thể được cho phép hoạt động MT một cách chọn lọc, như được mô tả ở đây.

Kết quả là, bộ xử lý ứng dụng 1210 có thể ghép nối với giao diện người dùng/màn hiển thị 1220, ví dụ, màn hình chạm. Ngoài ra, bộ xử lý ứng dụng 1210 có thể ghép nối với hệ thống bộ nhớ bao gồm bộ nhớ bất khả biến, cụ thể là bộ nhớ nhanh 1230 và bộ nhớ hệ thống, cụ thể là bộ nhớ truy nhập ngẫu nhiên động (Dynamic Random Access Memory, DRAM) 1235. Như còn được thấy, bộ xử lý ứng dụng 1210 còn ghép nối với thiết bị chụp 1240 chẳng hạn như một hoặc nhiều thiết bị chụp ảnh mà có thể ghi video và/hoặc các hình ảnh tĩnh.

Tiếp tục tham chiếu đến FIG.12, thẻ mạch tích hợp toàn cầu (Universal Integrated Circuit Card, UICC) 1240 bao gồm môđun nhận dạng thuê bao và có thể là thiết bị lưu trữ bảo mật và bộ xử lý mật mã được ghép nối với bộ xử lý ứng dụng 1210. Hệ thống 1200 có thể còn bao gồm bộ xử lý bảo mật 1250 có thể ghép nối với bộ xử lý ứng dụng 1210. Các bộ cảm biến 1225 có thể ghép nối với bộ xử lý ứng dụng 1210 để cho phép nhập vào các thông tin được cảm biến chẳng hạn như gia tốc kế và thông tin môi trường khác. Thiết bị đầu ra âm thanh 1295 có thể tạo ra giao diện để xuất ra âm thanh, ví dụ, ở dạng truyền thông giọng nói, dữ liệu âm thanh được phát hoặc phát trực tuyến và tương tự.

Như còn được minh họa, giao diện không tiếp xúc truyền thông trường gần (Near Field Communication, NFC) 1260 được tạo ra để truyền thông ở trường gần NFC qua ăng ten NFC 1265. Mặc dù ăng ten riêng biệt được thể hiện trên FIG.12, nhưng cần hiểu rằng theo một số phương án thực hiện một ăng ten hoặc tập hợp ăng ten khác nhau có thể được bố trí để cho phép các chức năng không dây khác nhau.

PMIC 1215 ghép nối với bộ xử lý ứng dụng 1210 để thực hiện quản lý công suất mức nền tảng. Với mục đích này, PMIC 1215 có thể phát hành các yêu cầu quản lý công suất cho bộ xử lý ứng dụng 1210 chuyển sang các trạng công suất thấp nhất định theo nhu cầu. Hơn nữa, dựa vào các ràng buộc của nền tảng, PMIC 1215 cũng có thể điều khiển mức công suất của các thành phần khác của hệ thống 1200.

Để cho phép truyền thông được truyền và được nhận, các hệ mạch khác nhau có thể được ghép nối giữa bộ xử lý dải tần cơ sở 1205 và ăng ten 1290. Cụ thể là, bộ thu

phát tần số vô tuyến (Radio Frequency, RF) 1270 và bộ thu phát mạng cục bộ không dây (Wireless Local Area Network, WLAN) 1275 có thể có mặt. Nói chung, bộ thu phát RF 1270 có thể được sử dụng để nhận và truyền dữ liệu không dây và các cuộc gọi theo giao thức truyền thông không dây đã cho chẳng hạn như giao thức truyền thông không dây 3G hoặc 4G chẳng hạn như theo giao thức đa truy nhập chia mã (Code Division Multiple Access, CDMA), truyền thông di động toàn cầu (Global System for Mobile Communication, GSM), tiến hóa dài hạn (Long Term Evolution, LTE) hoặc giao thức khác. Ngoài ra, bộ cảm biến GPS 1280 có thể có mặt. Truyền thông không dây khác chẳng hạn như tiếp nhận hoặc truyền tín hiệu vô tuyến, ví dụ, AM/FM và các tín hiệu khác cũng có thể được đề xuất. Ngoài ra, qua bộ thu phát WLAN 1275, truyền thông không dây cục bộ cũng có thể được thực hiện.

Bây giờ tham chiếu đến FIG.13, được thể hiện là sơ đồ khối của hệ thống ví dụ khác mà các phương án có thể được sử dụng. Trên hình minh họa trên FIG.13, hệ thống 1300 có thể là hệ thống công suất thấp di động chẳng hạn như máy tính dạng bảng, máy tính dạng bảng 2:1, phablet hoặc hệ thống máy tính dạng bảng chuyển đổi được hoặc độc lập khác. Như được minh họa, SoC 1310 có mặt và có thể được tạo cấu hình để hoạt động như bộ xử lý ứng dụng cho thiết bị và có thể được tạo cấu hình, theo cách tĩnh hoặc động, để hỗ trợ MT chọn lọc trong đó tập con các lõi có thể cho phép các hoạt động MT một cách chọn lọc, như được mô tả ở đây.

Nhiều thiết bị có thể ghép nối với SoC 1310. Trên hình minh họa được thể hiện, hệ thống bộ nhớ phụ bao gồm bộ nhớ nhanh 1340 và DRAM 1345 được ghép nối với SoC 1310. Ngoài ra, panen chạm 1320 được ghép nối với SoC 1310 để cung cấp khả năng hiển thị và người dùng nhập vào qua phần chạm, bao gồm cung cấp bàn phím ảo trên màn hiển thị của panen chạm 1320. Để tạo ra kết nối mạng có dây, SoC 1310 ghép nối với giao diện Ethernet 1330. Trung tâm ngoại vi 1325 được ghép nối với SoC 1310 để cho phép tương tác với các thiết bị ngoại vi khác nhau, chẳng hạn như có thể được ghép nối với hệ thống 1300 bằng cổng hoặc đầu nối bất kỳ trong số các cổng hoặc đầu nối khác nhau.

Ngoài mạch quản lý công suất bên trong và chức năng trong SoC 1310, PMIC 1380 được ghép nối với SoC 1310 để cung cấp khả năng quản lý công suất dựa trên nền

tăng, ví dụ, dựa vào việc xem liệu hệ thống được cấp nguồn bởi pin 1390 hay nguồn AC qua bộ đổi điện AC 1395. Ngoài sự quản lý công suất dựa trên nguồn năng lượng này, PMIC 1380 có thể còn thực hiện các hoạt động quản lý công suất nền tảng dựa vào các điều kiện môi trường và sử dụng. Hơn nữa, PMIC 1380 có thể truyền thông tin điều khiển và trạng thái đến SoC 1310 để thực hiện các hoạt động quản lý công suất trong SoC 1310.

Tiếp tục tham chiếu đến FIG.13, để cung cấp các khả năng không dây, bộ phận WLAN 1350 được ghép nối với SoC 1310 và đến ăng ten 1355. Theo các phương án thực hiện khác nhau, bộ phận WLAN 1350 có thể tạo truyền thông theo một hoặc nhiều giao thức không dây.

Như còn được minh họa, các bộ cảm biến 1360 có thể ghép nối với SoC 1310. Các bộ cảm biến này có thể bao gồm gia tốc kế, các bộ cảm biến môi trường khác nhau và các bộ cảm biến khác, bao gồm các bộ cảm biến cử động người dùng. Cuối cùng, bộ mã hóa/giải mã âm thanh 1365 được ghép nối với SoC 1310 để cung cấp giao diện cho thiết bị đầu ra âm thanh 1370. Tất nhiên, cần hiểu rằng mặc dù được thể hiện bằng phương án thực hiện cụ thể này trên FIG.13, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.14, được thể hiện là sơ đồ khối của hệ thống máy tính điển hình chẳng hạn như notebook, Ultrabook™ hoặc hệ thống hệ số dạng nhỏ khác. Bộ xử lý 1410, theo một phương án, bao gồm bộ vi xử lý, bộ xử lý đa lõi, bộ xử lý đa luồng, bộ xử lý điện áp siêu thấp, bộ xử lý nhúng, hoặc phần tử xử lý đã biết khác. Theo phương án thực hiện được minh họa, bộ xử lý 1410 hoạt động như bộ xử lý chính và trung tâm truyền thông với các thành phần khác nhau của hệ thống 1400. Một ví dụ là, bộ xử lý 1400 được thực hiện ở dạng SoC.

Bộ xử lý 1410, theo một phương án, truyền thông với bộ nhớ hệ thống 1415. Ví dụ minh họa, bộ nhớ hệ thống 1415 được thực hiện qua nhiều thiết bị hoặc mô đun nhớ để cung cấp dung lượng của bộ nhớ hệ thống đã cho.

Để tạo khả năng lưu trữ lâu dài thông tin chẳng hạn như dữ liệu, các ứng dụng, một hoặc nhiều hệ điều hành và tương tự, thiết bị lưu trữ lớn 1420 cũng có thể ghép nối

với bộ xử lý 1410. Theo các phương án khác nhau, để cho phép thiết kế hệ thống mỏng hơn và nhẹ hơn cũng như cải thiện độ đáp ứng hệ thống, thiết bị lưu trữ lớn này có thể được thực hiện qua SSD hoặc thiết bị lưu trữ lớn có thể được thực hiện thứ cấp bằng cách sử dụng ổ đĩa cứng (Hard Disk Drive, HDD) với dung lượng của thiết bị lưu trữ SSD hoạt động như một bộ nhớ đệm SSD để cho phép lưu trữ bất khả biến trạng thái ngữ cảnh và các thông tin khác như vậy trong các sự kiện tắt nguồn để có thể khởi động lại các hoạt động hệ thống một cách nhanh chóng. Cũng được thể hiện trên FIG.14, thiết bị mở rộng bộ nhớ 1422 có thể được ghép nối với bộ xử lý 1410, ví dụ, qua giao diện ngoại vi nối tiếp (Serial Peripheral Interface, SPI). Thiết bị mở rộng bộ nhớ này có thể cung cấp khả năng lưu trữ bất khả biến phần mềm hệ thống, bao gồm phần mềm đầu vào/đầu ra cơ sở (Basic Input/Output Software, BIOS) cũng như phần sụn khác của hệ thống.

Các thiết bị đầu vào/đầu ra (Input/Output, I/O) khác nhau có thể có mặt trong hệ thống 1400. Cụ thể là được thể hiện theo phương án trên FIG.14 là màn hiển thị 1424 có thể là panen LCD hoặc LED độ phân giải cao còn được bố trí cho màn hình chạm 1425. Theo một phương án, màn hiển thị 1424 có thể được ghép nối với bộ xử lý 1410 qua kết nối hiển thị có thể được thực hiện ở dạng kết nối đồ họa hiệu suất cao. Màn hình chạm 1425 có thể được ghép nối với bộ xử lý 1410 qua kết nối khác, theo một phương án có thể là kết nối I²C. Như được thể hiện trên FIG.14, ngoài màn hình chạm 1425, người dùng nhập vào bằng cách chạm cũng có thể xảy ra qua vùng cảm ứng 1430 có thể được tạo cấu hình trong khung và cũng có thể được ghép nối với cùng kết nối I²C với màn hình chạm 1425.

Đối với các mục đích điện toán tri giác và các mục đích khác, các bộ cảm biến khác nhau có thể có mặt trong hệ thống và có thể được ghép nối với bộ xử lý 1410 theo các cách khác nhau. Các bộ cảm biến quán tính và môi trường nhất định có thể ghép nối với bộ xử lý 1410 qua trung tâm cảm biến 1440, ví dụ, qua kết nối I²C. Theo phương án thực hiện được thể hiện trên FIG.14, các cảm biến này có thể bao gồm gia tốc kế 1441, bộ cảm biến ánh sáng xung quanh (Ambient Light Sensor, ALS) 1442, la bàn 1443 và con quay hồi chuyển 1444. Các bộ cảm biến môi trường khác có thể bao gồm một hoặc nhiều bộ cảm biến nhiệt 1446 theo một số phương án ghép nối với bộ xử lý 1410 qua bus quản lý hệ thống (System Management Bus, SMBus).

Như đã thấy trên FIG.14, các thiết bị ngoại vi khác nhau có thể ghép nối với bộ xử lý 1410 qua kết nối số lượng chân cắm thấp (Low Pin Count, LPC). Theo phương án được thể hiện, các thành phần khác nhau có thể được ghép nối qua bộ điều khiển nhúng 1435. Các thành phần này có thể bao gồm bàn phím 1436 (ví dụ, được ghép nối qua giao diện PS2), quạt 1437, và bộ cảm biến nhiệt 1439. Theo một số phương án, vùng cảm ứng 1430 cũng có thể ghép nối với EC 1435 qua giao diện PS2. Ngoài ra, bộ xử lý bảo mật chẳng hạn như môđun nền tảng tin cậy (Trusted Platform Module, TPM) 1438 cũng có thể ghép nối với bộ xử lý 1410 qua kết nối LPC này.

Hệ thống 1400 có thể truyền thông với các thiết bị bên ngoài theo nhiều cách, bao gồm cách không dây. Theo phương án thực hiện được thể hiện trên FIG.14, các môđun không dây khác nhau, mỗi trong số các môđun này có thể tương ứng với sóng vô tuyến được tạo cấu hình cho giao thức truyền thông không dây cụ thể, có mặt. Một cách để truyền thông không dây ở tầm ngắn chẳng hạn như trường gần có thể là qua bộ phận NFC 1445 có thể truyền thông, theo một phương án có bộ xử lý 1410 qua SMBus. Lưu ý rằng qua bộ NFC 1445, các thiết bị ở gần nhau có thể truyền thông.

Như còn được thấy trên FIG.14, các bộ không dây bổ sung có thể bao gồm các công cụ không dây tầm ngắn bao gồm bộ phận WLAN 1450 và bộ phận Bluetooth 1452. Sử dụng bộ phận WLAN 1450, truyền thông Wi-Fi™ có thể được thực hiện, trong khi qua bộ phận Bluetooth 1452, truyền thông Bluetooth™ tầm ngắn có thể xảy ra. Các bộ phận này có thể truyền thông với bộ xử lý 1410 qua liên kết đã cho.

Ngoài ra, truyền thông cục bộ không dây, ví dụ, theo giao thức cục bộ di động hoặc không dây khác, có thể xảy ra qua bộ phận WWAN 1456 từ đó có thể ghép nối với môđun nhận dạng thuê bao (Subscriber Identity Module, SIM) 1457. Ngoài ra, để cho phép tiếp nhận và sử dụng thông tin vị trí, môđun GPS 1455 cũng có thể có mặt. Lưu ý rằng theo phương án được thể hiện trên FIG.14, bộ phận WWAN 1456 và thiết bị chụp được tích hợp chẳng hạn như môđun camera 1454 có thể truyền thông qua liên kết đã cho.

Môđun camera được tích hợp 1454 có thể được hợp nhất trong nắp. Để tạo ra các đầu vào và đầu ra âm thanh, bộ xử lý âm thanh có thể được thực hiện qua bộ xử lý tín hiệu số (Digital Signal Processor, DSP) 1460, có thể ghép nối với bộ xử lý 1410 qua

liên kết âm thanh độ phân giải cao (High Definition Audio, HDA). Tương tự, DSP 1460 có thể truyền thông với bộ mã hóa/bộ giải mã (CODEC) và bộ khuếch đại 1462 được tích hợp từ đó có thể ghép nối với các loa đầu ra 1463 có thể được bố trí trong khung. Tương tự, bộ khuếch đại và CODEC 1462 có thể được ghép nối để nhận các đầu vào âm thanh từ micrô 1465, theo một phương án có thể được triển khai thông qua micrô mảng kép (chẳng hạn như mảng micrô kỹ thuật số) để cung cấp đầu vào âm thanh chất lượng cao để cho phép điều khiển kích hoạt bằng giọng nói các hoạt động khác nhau trong hệ thống. Cũng cần lưu ý rằng các đầu vào âm thanh có thể được cấp cho bộ khuếch đại/CODEC 1462 đến giắc cắm tai nghe 1464. Mặc dù được thể hiện có các thành phần cụ thể này theo phương án trên FIG.14, nhưng cần hiểu rằng phạm vi của sáng chế không giới hạn ở đó.

Các phương án có thể được thực hiện ở nhiều kiểu hệ thống khác nhau. Bây giờ tham chiếu đến FIG.15, được thể hiện là sơ đồ khối của hệ thống theo một phương án của sáng chế. Như được thể hiện trên FIG.15, hệ thống đa bộ xử lý 1500 là hệ thống kết nối điểm đến điểm, và bao gồm bộ xử lý thứ nhất 1570 và bộ xử lý thứ hai 1580 được ghép nối qua kết nối điểm đến điểm 1550. Như được thể hiện trên FIG.15, mỗi trong số các bộ xử lý 1570 và 1580 có thể là bộ xử lý đa lõi, bao gồm các lõi bộ xử lý thứ nhất và thứ hai (tức là, các bộ xử lý 1574a và 1574b và các lõi bộ xử lý 1584a và 1584b), mặc dù có thể có nhiều lõi hơn trong các bộ xử lý. Mỗi trong số các bộ xử lý có thể bao gồm PCU 1575, 1585 để thực hiện quản lý công suất dựa trên bộ xử lý, và điều khiển có chọn lọc các lõi 1574 để hoạt động theo cách bất đối xứng liên quan đến hoạt động đa luồng.

Tiếp tục tham chiếu đến FIG.15, bộ xử lý thứ nhất 1570 còn bao gồm trung tâm điều khiển bộ nhớ (Memory Controller Hub, MCH) 1572 và các giao diện điểm đến điểm (Point-to-Point, P-P) 1576 và 1578. Tương tự, bộ xử lý thứ hai 1580 bao gồm MCH 1582 và các giao diện P-P 1586 và 1588. Như được thể hiện trên FIG.15, các MCH 1572 và 1582 ghép nối các bộ xử lý với các bộ nhớ tương ứng, cụ thể là bộ nhớ 1532 và bộ nhớ 1534, có thể là các phần của bộ nhớ hệ thống (ví dụ, DRAM) được gắn cục bộ vào các bộ xử lý tương ứng. Bộ xử lý thứ nhất 1570 và bộ xử lý thứ hai 1580 có thể lần lượt được ghép nối với bộ chip 1590 qua các kết nối P-P 1562 và 1564. Như được thể hiện trên FIG.15, bộ chip 1590 bao gồm các giao diện P-P 1594 và 1598.

Hơn nữa, bộ chip 1590 bao gồm giao diện 1592 để ghép nối bộ chip 1590 với công cụ đồ họa hiệu suất cao 1538, bằng kết nối P-P 1539. Kết quả là, bộ chip 1590 có thể được ghép nối với bus thứ nhất 1516 qua giao diện 1596. Như được thể hiện trên FIG.15, các thiết bị đầu vào/đầu ra (Input/Output, I/O) 1514 khác nhau có thể được ghép nối với bus thứ nhất 1516, cùng với cầu bus 1518 mà ghép nối bus thứ nhất 1516 với bus thứ hai 1520. Các thiết bị khác nhau có thể được ghép nối với bus thứ hai 1520 bao gồm, ví dụ, bàn phím/chuột 1522, các thiết bị truyền thông 1526 và bộ phận lưu trữ dữ liệu 1528 chẳng hạn như ổ đĩa hoặc thiết bị lưu trữ lớn khác mà có thể bao gồm mã 1530, theo một phương án. Ngoài ra, I/O âm thanh 1524 có thể được ghép nối với bus thứ hai 1520. Các phương án có thể được hợp nhất thành các kiểu hệ thống khác bao gồm các thiết bị di động chẳng hạn như điện thoại di động thông minh, máy tính dạng bảng, netbook, Ultrabook™, hoặc tương tự.

FIG.16 là sơ đồ khối minh họa hệ thống phát triển lõi IP 1600 có thể được sử dụng để chế tạo mạch tích hợp để thực hiện các hoạt động theo một phương án. Hệ thống phát triển lõi IP 1600 có thể được sử dụng để tạo ra các thiết kế môđun, tái sử dụng được có thể được hợp nhất thành thiết kế lớn hơn hoặc được sử dụng để tạo thành toàn bộ mạch tích hợp (ví dụ, mạch tích hợp SoC). Phương tiện thiết kế 1630 có thể tạo ra bộ mô phỏng phần mềm 1610 của thiết kế lõi IP trong ngôn ngữ lập trình mức cao (ví dụ, C/C++). Bộ mô phỏng phần mềm 1610 có thể được sử dụng để thiết kế, kiểm tra, và xác minh hoạt động của lõi IP. Thiết kế mức chuyển thanh ghi (Register Transfer Level, RTL) có thể sau đó được tạo ra hoặc được tổng hợp từ mô hình mô phỏng. Thiết kế RTL 1615 là sự trừu tượng hóa hoạt động của mạch tích hợp để mô hình hóa luồng các tín hiệu số giữa các thanh ghi phần cứng, bao gồm mạch logic được liên kết được thực hiện bằng cách sử dụng các tín hiệu số được mô hình hóa. Ngoài thiết kế RTL 1615, các thiết kế mức thấp ở mức logic hoặc mức tranzito cũng có thể được tạo ra, được thiết kế, hoặc được tổng hợp. Do đó, nội dung chi tiết cụ thể của thiết kế và mô phỏng ban đầu có thể thay đổi.

Thiết kế RTL 1615 hoặc tương đương có thể còn được tổng hợp bởi phương tiện thiết kế vào mô hình phần cứng 1620, có thể là trong ngôn ngữ mô tả phần cứng (Hardware Description Language, HDL), hoặc một số biểu diễn dữ liệu thiết kế vật lý khác. HDL có thể còn được mô phỏng hoặc được kiểm tra để xác minh thiết kế lõi IP.

Thiết kế lõi IP có thể được lưu trữ để phân phối cho phương tiện chế tạo bên thứ ba 1665 bằng cách sử dụng bộ nhớ bất khả biến 1640 (ví dụ, đĩa cứng, bộ nhớ nhanh, hoặc vật ghi lưu trữ bất khả biến bất kỳ). Theo cách khác, thiết kế lõi IP có thể được truyền (ví dụ, qua Internet) qua kết nối có dây 1650 hoặc kết nối không dây 1660. Phương tiện chế tạo 1665 có thể sau đó chế tạo mạch tích hợp dựa trên ít nhất một phần trên thiết kế lõi IP. Mạch tích hợp được chế tạo có thể được tạo cấu hình để thực hiện các hoạt động theo ít nhất một phương án được mô tả ở đây.

Tham chiếu đến FIG.17, được thể hiện là sơ đồ khối một phần hệ thống theo một phương án. Như được thể hiện trên FIG.17, hệ thống 1700 có thể là kiểu bất kỳ trong số hệ thống tính toán, từ thiết bị cầm tay nhỏ chẳng hạn như điện thoại thông minh, máy tính dạng bảng, máy tính xách tay và tương tự, đến thiết bị lớn hơn bao gồm các máy tính cá nhân để bàn và máy tính cá nhân khác, các máy tính chủ và tương tự. Ở mức cao được thể hiện trên FIG.17, bộ xử lý 1710 chẳng hạn như bộ xử lý đa lõi đã cho hoặc SoC khác ghép nối với BIOS 1750, ví dụ, như được thực hiện ở dạng thiết bị lưu trữ bất khả biến chẳng hạn như chip bộ nhớ chỉ đọc (Read Only Memory, ROM) đã cho.

Ở mức cao trên FIG.17, nội dung chi tiết về bộ xử lý 1710 liên quan đến chọn lọc đa luồng trên mỗi lõi được thể hiện. Như được thấy, bộ xử lý 1710 bao gồm các lõi 1720_0 - 1720_n . Lưu ý rằng theo các phương án thực hiện khác nhau, các lõi 1720 có thể là các lõi đồng nhất hoặc một hoặc nhiều kiểu lõi không đồng nhất có thể có mặt, chẳng hạn như sự kết hợp các lõi theo thứ tự và không theo thứ tự. Ở mức cao được thể hiện trên FIG.17, mỗi lõi 1720 bao gồm công cụ vi mã 1722 để thực thi các lệnh vi mã được lưu trong lõi. Lưu ý ở đây, công cụ vi mã 1722 có thể thực thi các lệnh để tạo cấu hình lõi đã cho đối với chế độ hoạt động chọn lọc đơn luồng hoặc đa luồng. Theo các phương án, sự điều khiển này có thể được thực hiện theo cách tĩnh như được tạo cấu hình bởi nhà sản xuất bộ xử lý hoặc nhà sản xuất trang thiết bị gốc (Original Equipment Manufacturer, OEM) hoặc bởi người dùng cuối, hoặc theo cách động như được mô tả ở đây.

Với mục đích này, lõi 1720 có thể tương tác với bộ điều khiển công suất (Power Control Unit, PCU) 1730, qua giao diện vi mã PCU 1736. Như còn được thể hiện, các lõi 1720 và PCU 1730 còn ghép nối với thiết bị lưu trữ bất khả biến 1740, chẳng hạn

như thiết bị lưu trữ hợp nhất đã cho. Quan tâm ở đây, thiết bị lưu trữ bất khả biến 1740 bao gồm phần lưu trữ 1742 để lưu thông tin cấu hình hợp nhất đa luồng, có thể được ghi trong quá trình chế tạo bộ xử lý 1710. Thông tin này có thể, khi hoạt động khởi động trong bộ xử lý 1710 (và trước khi thực thi mã BIOS), được truy nhập qua PCU 1730, và cụ thể hơn là qua mạch điều khiển mã đa luồng chọn lọc 1734 để thu được thông tin cấu hình này và lưu nó theo cách cục bộ, ví dụ, trong bộ nhớ PCU 1735, chẳng hạn như thiết bị lưu trữ RAM trong PCU 1730. Dựa vào thông tin này, mạch điều khiển mã đa luồng chọn lọc 1734 có thể truyền thông tin qua giao diện 1736 đến các công cụ vi mã 1722 tương ứng để cho phép cấu hình các mã đã cho thích hợp cho các chế độ hoạt động đơn luồng hoặc đa luồng.

Tương tự PCU 1730, và cụ thể hơn là mạch điều khiển mã đa luồng chọn lọc (PCC) 1734, cũng có thể truyền thông tin để cấp cho công cụ vi mã 1722 được nhận qua BIOS 1750. Cụ thể hơn như được mô tả thêm ở đây, trong chính mã BIOS hoặc được thu qua giao diện người dùng trong mã BIOS, thông tin cấu hình đa luồng chọn lọc OEM/người dùng 1755 có thể có mặt trong BIOS 1750 và tương tự được truyền đến PCU 1730 để cho phép sử dụng nó trong việc tạo cấu hình các lõi 1720 cho chế độ hoạt động luồng thích hợp. Ngoài ra khi được mô tả trong bản mô tả này, PCU 1730 cũng bao gồm mạch điều khiển công suất (Power Control Circuit, PCC) 1732, có thể điều khiển động sự tiêu thụ năng lượng trong bộ xử lý 1730. Ví dụ, PCC 1732 có thể điều khiển các lõi 1720 cụ thể hoạt động ở các trạng thái hiệu suất nhất định và/hoặc làm cho một hoặc nhiều lõi chuyển sang các trạng thái rồi dựa vào các mức hoạt động, khối lượng công việc, nhiệt, công suất hoặc các điều kiện môi trường khác. Cần hiểu rằng mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.17, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.18, được thể hiện là sơ đồ trình tự của phương pháp theo một phương án của sáng chế. Như được thể hiện trên FIG.18, phương pháp 1800 là phương pháp lên kế hoạch và sản xuất SoC theo một phương án. Như vậy, phương pháp 1800 có thể được thực hiện bởi hệ mạch phần cứng, phần sụn, phần mềm và/hoặc các sự kết hợp của chúng. Theo một phương án cụ thể, phương pháp 1800 có thể được thực hiện bởi một hoặc nhiều hệ thống thiết kế để thiết kế SoC và cung cấp các tệp sử dụng bởi trang thiết bị sản xuất để sản xuất SoC, có thể chế tạo SoC dưới sự điều khiển

của các lệnh đọc được bằng máy. Như được thấy, phương pháp 1800 bắt đầu bằng cách xác định, xem liệu bộ phận lưu kho (Stock Keeping Unit, SKU) cho SoC có được xác định bao gồm điều khiển đa luồng chọn lọc được mô tả trong bản mô tả này hay không, cụ thể là khả năng SMP bất đối xứng (hình thoi 1810). Nếu có, việc điều khiển đi đến khối 1820 trong đó tập hợp nhất có thể được tạo ra dựa vào kế hoạch SKU này bằng hỗ trợ MT chọn lọc trên mỗi lõi. Nếu không, ở khối 1825, tập hợp nhất có thể được tạo ra dựa vào kế hoạch SKU này không có hỗ trợ MT chọn lọc trên mỗi lõi. Lưu ý rằng các hợp nhất có thể được sử dụng để lưu nội dung chi tiết mức SKU liên quan đến sự cho phép SMT/MT được mong đợi trên cơ sở mỗi lõi. Các bit hợp nhất có thể được cấp phát để chỉ báo số lượng luồng SMT/MT được cho phép đối với bộ xử lý. Một ví dụ là, các bit hợp nhất có thể được tạo ra để chỉ báo có bao nhiêu luồng SMT/MT được cho phép. Ví dụ, các bit hợp nhất sẵn có có thể chỉ báo giá trị nguyên, trong đó, ví dụ, giá trị là 4 có nghĩa là cho phép tất cả 4 luồng SMT/MT ở bộ xử lý 4 SMT. Giá trị là 0 có nghĩa là vô hiệu hóa tất cả các luồng MT. Ví dụ khác, mặt nạ bit có thể được sử dụng để chỉ báo các luồng SMT/MT cụ thể trên các lõi vật lý cho phép. Ví dụ, bộ xử lý 8 lõi sẽ sử dụng 8 bit như sau: 10010001. Trong ví dụ này chỉ các luồng SMT/MT được liên kết với các lõi thứ 4 và thứ 8 được cho phép. Theo một số phương án, cũng có thể cho phép tập con trong số các luồng MT đối với các lõi nhất định. Theo các phương án, uCode/pCode đọc các hợp nhất này và sau đó tạo cấu hình tương ứng.

Trong cả hai trường hợp, dựa vào ít nhất một phần tập hợp nhất này, các hợp nhất có thể được ghi vào thiết bị lưu trữ hợp nhất của SoC trong quá trình chế tạo (khối 1830). Như vậy, sản phẩm SoC hoàn chỉnh được thực hiện có hỗ trợ đa luồng đối với cơ sở chọn lọc trên mỗi lõi sử dụng các kỹ thuật được mô tả ở đây hoặc, nếu khả năng này trên mỗi lõi được vô hiệu hóa, thì SoC có thể được hợp nhất để cho phép tất cả các lõi có hoạt động đa luồng hoặc vô hiệu hóa hoàn toàn hoạt động đa luồng. Do đó ở khối 1840 phụ thuộc vào SKU của sản phẩm cụ thể, SoC có thể được tiếp thị và bán cho người tiêu dùng, ví dụ, các OEM có hỗ trợ MT như được tạo cấu hình. Cần hiểu rằng mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.18, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.19, được thể hiện là sơ đồ trình tự của phương pháp theo một phương án khác của sáng chế. Như được thể hiện trên FIG.19, phương pháp

1900 là phương pháp thực hiện các hoạt động khởi tạo và tạo cấu hình bên trong bộ xử lý để cho phép hỗ trợ đa luồng trên mỗi lõi chọn lọc theo một phương án. Lưu ý rằng phương pháp 1900 trên FIG.19 được thực hiện khi khởi tạo hoạt động lõi khi tăng công suất hoặc khởi động lại, và trước hoạt động khởi tạo BIOS hoặc phần sụn khác bất kỳ. Như vậy, phương pháp 1900 có thể được thực hiện bởi hệ mạch phần cứng, phần sụn, phần mềm và/hoặc các sự kết hợp của chúng, bao gồm qua mã khởi tạo bộ xử lý mã cứng để thực thi trên phần cứng của bộ xử lý.

Như được minh họa, phương pháp 1900 bắt đầu ở khối 1910 hoặc bật nguồn hệ thống bao gồm SoC hoặc trở về khởi động lại lạnh hoặc nóng từ các hoạt động khác, để cho phép PCU nhận và xử lý thông tin được liên kết với các khả năng MT bất đối xứng. Theo một phương án, giao diện pCode có thể chấp nhận thông tin được vô hiệu hóa hoặc được cho phép tùy chỉnh được khởi tạo bởi OEM hoặc người dùng. Giao diện pCode có thể bao gồm hộp thư BIOS-đến-pCode hoặc thanh ghi phần cứng được ghi bởi BIOS. BIOS cũng có thể chấp nhận các yêu cầu OEM được xác định trước để vô hiệu hóa/cho phép luồng SMT/MT cụ thể. Ngoài ra, BIOS cho phép nhiều người dùng, hoặc tự động hóa ODM BIOS, để yêu cầu các luồng SMT/MT cụ thể được cho phép/được vô hiệu hóa. Thiết bị lưu trữ lâu dài tùy chọn của thông tin được cho phép/vô hiệu hóa MT có thể được sử dụng để thực hiện khởi động lạnh có sẵn của nó.

Như được thể hiện trên FIG.19, thông tin hợp nhất có thể được đọc và được lưu vào thiết bị lưu trữ PCU (khối 1920). Quan tâm ở đây, thông tin hợp nhất này có thể bao gồm thông tin cấu hình MT dựa trên hợp nhất tĩnh. Như được mô tả ở đây, thông tin mã cứng này nhận dạng, đối với mỗi lõi, xem liệu nó có được cho phép hoạt động đa luồng hay không. Theo một phương án, thiết bị lưu trữ này có thể là thiết bị lưu trữ pCode RAM.

Vẫn tham chiếu đến FIG.19, ở hình thoi 1930 xác định được xem liệu có vô hiệu hóa có chọn lọc các luồng của một hoặc nhiều lõi hay không. Việc xác định này có thể dựa vào thông tin hợp nhất hoặc thông tin cấu hình MT khác, ví dụ, khi được thu từ BIOS hoặc người dùng, như được mô tả dưới đây. Nếu có, việc điều khiển chuyển đến khối 1940 trong đó mặt nạ bit có thể được tạo ra. Cụ thể hơn là, mặt nạ bit này, cũng có thể được lưu ở pCode RAM, có thể được sử dụng để nhận dạng, đối với mỗi lõi, xem

liệu đa luồng được cho phép hay được vô hiệu hóa (và nếu có, chỉ báo số lượng luồng có sẵn, trong một số trường hợp). Tiếp theo ở khối 1950, thông tin mặt nạ bit này có thể được truyền trực tiếp đến các lõi riêng lẻ, ví dụ, qua giao diện vi mã PCU. Tiếp theo ở khối 1960, vi mã của các lõi được điều khiển cho chế độ đơn luồng (tức là, được vô hiệu hóa cho hoạt động đa luồng) có thể thực thi ngoại tuyến các luồng này. Các ví dụ là, vi mã có thể thực hiện các hoạt động cấu hình trong lõi, ví dụ, để cho phép các đường dẫn rẽ để rẽ các cấu trúc hỗ trợ đa luồng bao gồm các tập thanh ghi bổ sung và phần cứng dư thừa có thể khác để sử dụng cho hoạt động đa luồng. Như vậy, hoạt động ngoại vi vi mã này tạo cấu hình các lõi này chỉ cho hoạt động đơn luồng. Vi mã đặt các luồng được vô hiệu hóa ở trạng thái công suất thấp đến không có. Vi mã thể hiện cấu trúc liên kết lõi/luồng qua CPUID và/hoặc MSR đã cho. PCU và vi mã sẽ giả sử các luồng được là các luồng ở trạng thái C lõi sâu và bỏ qua việc thiếu yêu cầu trạng thái C của chúng. Tiếp theo ở khối 1970 các hoạt động khởi tạo vi mã bổ sung được thực hiện để tạo cấu hình các lõi cho hoạt động thông thường. Cần hiểu rằng mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.19, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.20, được thể hiện là sơ đồ trình tự của phương pháp theo một phương án khác nữa của sáng chế. Như được thể hiện trên FIG.20, phương pháp 2000 còn liên quan đến các hoạt động cấu hình, bao gồm bước tạo cấu hình bộ xử lý cho hỗ trợ đa luồng trên mỗi lõi chọn lọc như được mô tả ở đây. Như vậy, phương pháp 2000 có thể được thực hiện bởi hệ mạch phần cứng, phần sụn, phần mềm và/hoặc các sự kết hợp của chúng.

Như được minh họa, phương pháp 2000 bắt đầu bằng cách bắt đầu các hoạt động BIOS, ví dụ, qua hoạt động BIOS giao diện phần sụn mở rộng được (Extensible Firmware Interface, EFI) để đáp lại mã phần sụn (khối 2010). Tiếp theo xác định được ở hình 2020 xem liệu yêu cầu của người dùng đã được nhận hay chưa để chuyển sang menu thiết lập BIOS. Ví dụ, trong các hoạt động khởi tạo, người dùng có thể chọn bàn phím định trước, ví dụ, phím chức năng đã cho, để yêu cầu chuyển sang menu thiết lập BIOS này.

Theo các phương án ở đây, menu thiết lập BIOS có thể bao gồm một hoặc nhiều

giao diện người dùng để tìm kiếm đầu vào người dùng liên quan đến việc điều khiển đa luồng chọn lọc được mô tả ở đây. Giả sử rằng yêu cầu của người dùng này được nhận, thì việc điều khiển chuyển đến khối 2025 trong đó, qua giao diện người dùng, người dùng có thể chọn một hoặc nhiều lỗi cho hoạt động MT sẽ được vô hiệu hóa. Lưu ý rằng theo một phương án thực hiện, giao diện người dùng có thể cấp cơ chế đầu vào cho mỗi lỗi, để cho phép người dùng chọn động vô hiệu hóa MT cho lỗi hoặc, khi được cho phép, chỉ nhận dạng tập con trong số nhiều luồng sẽ được cho phép, trong đó lỗi có hỗ trợ nhiều hơn hai luồng trên mỗi lỗi. Trong các trường hợp khác nữa, giao diện người dùng có thể chỉ cấp chỉ báo về số lượng lỗi trong bộ xử lý và tìm kiếm đầu vào của người dùng về tổng số lượng luồng được cho phép. Trong sự kiện bất kỳ, việc điều khiển chuyển đến khối 2030 trong đó thông tin chọn của người dùng này có thể được lưu trong BIOS.

Vẫn tham chiếu đến FIG.20, xác định được ở hình thời 2040 xem liệu chính OEM được tạo cấu hình trước trên mỗi lỗi vô hiệu hóa MT trong BIOS hay người dùng trước đó đã yêu cầu hoạt động này mà chưa áp dụng cấu hình này. Nếu có, việc điều khiển chuyển đến khối 2080 trong đó BIOS có thể ghi yêu cầu vô hiệu hóa luồng MT, ví dụ, vào PCU qua hoạt động ghi vào thanh ghi điều khiển. Lưu ý rằng cùng đường dẫn này có thể tiến hành trong các trường hợp trong đó người dùng được yêu cầu vô hiệu hóa MT trên mỗi lỗi (như được xác định ở hình thời 2045).

Ngược lại, nếu không có thay đổi mới nào với điều khiển MT chọn lọc này đối với vòng khởi động lại này của SoC, thì việc dữ liệu chuyển đến khối 2050 trong đó BIOS hoàn thành hoạt động của nó, và chuyển quyền điều khiển để khởi động OS (khối 2060). Trong quá trình khởi động này, OS liệt kê các lỗi bộ xử lý và các luồng được cho phép (khối 2065). Theo một phương án, OS có thể truy nhập thông tin ở nhiều bảng bộ mô tả đa APIC (Multiple APIC Descriptor Table, MADT). Theo các phương án ở đây, BIOS có thể được tạo cấu hình để ghi thông tin vào bảng MADT này dựa vào ít nhất một phần thông tin cấu hình MT trên mỗi lỗi chọn lọc có sẵn. Sau đó ở khối 2070 hoàn thành khởi động OS.

Vẫn tham chiếu đến FIG.20, từ khối 2080 việc điều khiển chuyển đến khối 2090, trong đó khởi động lại nóng được kích hoạt. Sau đây ở khối 2095, thông tin mật nà MT

có thể được lưu trữ trong thiết bị lâu dài trong PCU. Tức là, trong khoảng thời gian khởi động lại nóng ngắn, việc ghi thông tin mặt nạ này, ví dụ, vào pCode RAM, có thể duy trì lâu dài. Và do đó khởi động lại nóng xảy ra ở khối 2010 (v.v.), thông tin này có thể được truy nhập và được sử dụng làm cho vi mã tạo cấu hình các lỗi một cách thích hợp, như được thảo luận trên đây liên quan đến phương pháp 2000. Cần hiểu rằng mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.20, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.21, được thể hiện là sơ đồ trình tự của phương pháp theo một phương án khác của sáng chế. Cụ thể hơn là, phương pháp 2100 trên FIG.21 là phương pháp thực hiện điều khiển công suất ở bộ xử lý đa luồng bất đối xứng như được mô tả ở đây. Như vậy, phương pháp 2100 có thể được thực hiện bởi hệ mạch phần cứng, phần sụn, phần mềm và/hoặc các sự kết hợp của chúng, bao gồm bộ điều khiển công suất của bộ xử lý chẳng hạn như PCU.

Như được minh họa, phương pháp 2100 có thể bắt đầu bằng cách nhận nguồn công suất và nhiệt cho bộ xử lý. Thông tin này có thể được nhận và được lưu trữ, ví dụ, ở PCU (khối 2110). Sau đây, trong các yêu cầu trạng thái hiệu suất hoạt động thông thường có thể được nhận cho các lỗi khác nhau (khối 2120). Xác định được ở hình thời 2130 xem liệu có đủ các nguồn (công suất và nhiệt) cho các lỗi hoạt động ở các trạng thái hiệu suất được yêu cầu này hay không. Nếu có, việc điều khiển chuyển đến khối 2135 trong đó các lỗi được cho phép hoạt động ở các trạng thái hiệu suất được yêu cầu của nó. Với mục đích này, PCU có thể gửi thông tin điều khiển đến các bộ tạo xung tương ứng và các bộ điều chỉnh điện áp để cấp cho lỗi cặp tần số và điện áp đã cho được liên kết với trạng thái hiệu suất đã cho.

Vẫn tham chiếu đến FIG.21 nếu xác định được rằng không có đủ nguồn công suất, thì ít nhất một lỗi có thể hoạt động ở trạng thái hiệu suất thấp (khối 2140). Sau đó trong quá trình hoạt động khi các lỗi thực thi ở các trạng thái hiệu suất đã cho, khoảng trống công suất và nhiệt có thể được giám sát (khối 2145). Ở khối 2150, giả sử rằng yêu cầu được nhận từ lỗi chế độ đơn luồng hoạt động ở chế độ turbo. Để đáp lại yêu cầu này xác định được ở hình thời 2160 xem liệu có đủ khoảng trống cho hoạt động này hay không. Nếu có, thì ở khối 2170 lỗi chế độ đơn luồng được cho phép hoạt động ở tần số chế độ

turbo. Nếu không đủ khoảng trống khả dụng cho chế độ turbo được yêu cầu, thì không có thay đổi trạng thái hiệu suất của lõi nào xảy ra.

Lưu ý rằng với các phương án trong bản mô tả này, khả năng ép xung lớn hơn có thể được thực hiện bằng cách vô hiệu hóa hỗ trợ đa luồng chọn lọc đối với một hoặc nhiều lõi. Như vậy, tần số chế độ turbo này có thể là một hoặc nhiều bin (ví dụ, trong đó mỗi bin tương ứng với, ví dụ, 100 MHz) của tần số chế độ turbo cao hơn. Một ví dụ là, các lõi chế độ đơn luồng có thể được cho phép hoạt động đến tần số chế độ turbo thứ nhất, trong khi các lõi chế độ đa luồng được cho phép hoạt động đến tần số hoạt động thứ hai, trong đó tần số chế độ turbo thứ hai thấp hơn tần số chế độ turbo thứ nhất (ví dụ, bằng một hoặc nhiều mức bin). Theo cách khác, một hoặc nhiều lõi chế độ đơn luồng có thể được điều khiển để hoạt động ở các tần số hoạt động cao hơn tần số hoạt động của các chế độ đa luồng tương ứng, cả trong các chế độ hoạt động thông thường và trong quá trình ép xung hoặc các chế độ hoạt động turbo khác. Ngoài ra, lưu ý rằng tần số chế độ turbo đường cơ sở đối với các lõi đơn luồng có thể ở tần số cao hơn tần số chế độ turbo đường cơ sở đối với các lõi đa luồng. Và tiếp theo là lõi đơn luồng có thể được cho phép hoạt động ở tần số đến tần số chế độ turbo lớn nhất cao hơn tần số chế độ turbo lớn nhất tương ứng đối với lõi đa luồng. Cần hiểu rằng mặc dù được thể hiện ở mức cao này theo một phương án trên FIG.21, nhưng có thể có nhiều biến thể và dạng thay thế.

Bây giờ tham chiếu đến FIG.22, được thể hiện là hình minh họa đồ họa của giao diện người dùng 2200 theo một phương án của sáng chế. Cụ thể hơn là, giao diện người dùng 2200 có thể được trình bày cho người dùng trong quá trình thiết lập BIOS. Như vậy, giao diện người dùng 2200 có thể được hiển thị để đáp lại việc thực thi các lệnh dựa vào giao diện người dùng của BIOS. Theo phương án thực hiện được thể hiện trên FIG.22, giao diện người dùng 2200 nhận dạng SKU bộ xử lý đã cho ở mục nhập 2210. Cũng được hiển thị là số lượng lõi của bộ xử lý ở mục nhập 2220. Trong ví dụ này, giả sử có mặt A lõi (8 lõi). Tiếp theo, mục nhập 2230 nhận dạng số lượng luồng. Lưu ý rằng mục nhập 2230 có thể tạo ra trường đầu vào người dùng 2235 để nhận đầu vào người dùng về tổng số lượng luồng sẵn có. Như được thể hiện, giả sử rằng người dùng nhập vào số nguyên đã cho (ví dụ, B). Ví dụ, số nguyên này có thể tương ứng với lựa chọn tập con của người dùng trong số tổng số lượng luồng sẵn có. Ví dụ, giả sử bộ xử lý 8 lõi có hỗ trợ đa luồng đối với tổng 4 luồng trên mỗi lõi, số này có thể nhỏ hơn khả năng 32

luồng đầy đủ của lỗi. Giả sử với mục đích thảo luận rằng người dùng chọn giá trị của B để cho phép 16 luồng.

Trong một số trường hợp, điều này có thể là tất cả tham số cấu hình người dùng chọn được thể hiện trên FIG.22. Trong các trường hợp khác, một cách tùy ý người dùng có thể được cho phép nhận dạng các lỗi cụ thể cho phép hoặc vô hiệu hóa hoạt động MT. Do đó, như được minh họa thêm trên FIG.22, ở mục nhập tùy chọn 2240, giao diện người dùng 2200 có thể cung cấp khả năng cho người dùng nhận dạng các lỗi cụ thể được cho phép/được vô hiệu hóa hỗ trợ MT. Như được thể hiện, các trường giao diện người dùng 2245₀-2245_a có thể được tạo ra, cho phép người dùng xác định xem liệu có cho phép hỗ trợ đa luồng trên cơ sở mỗi lỗi hay không. Như được thể hiện trong ví dụ này, ở đây người dùng chọn (ví dụ, giá trị là một, theo quy ước) cho phép hỗ trợ MT đối với các lỗi 0-3 và vô hiệu hóa hỗ trợ MT đối với các lỗi 4-A. Cần hiểu rằng theo các phương án khác, thông tin bổ sung hoặc khác nhau có thể được tạo ra trong giao diện người dùng 2200 và đầu vào người dùng bổ sung có thể được tìm kiếm.

Các ví dụ tiếp theo liên quan đến các phương án khác.

Trong một ví dụ, bộ xử lý bao gồm: các lỗi, trong đó mỗi trong số các lỗi này bao gồm lỗi đa luồng để thực thi một cách đồng thời các luồng; và mạch điều khiển cho phép ít nhất một trong số các lỗi hoạt động ở chế độ đơn luồng và ít nhất một lỗi khác trong số các lỗi hoạt động ở chế độ đa luồng một cách đồng thời.

Trong một ví dụ, bộ xử lý còn bao gồm thiết bị lưu trữ cấu hình để lưu trữ bộ chỉ báo kích hoạt cho mỗi trong số các lỗi để chỉ báo xem liệu lỗi này có được cho phép hoạt động ở chế độ đa luồng hay không.

Trong một ví dụ, thiết bị lưu trữ cấu hình này bao gồm thiết bị lưu trữ hợp nhất.

Trong một ví dụ, thiết bị lưu trữ cấu hình này được ghi bởi phần sụn.

Trong một ví dụ, phần sụn bao gồm giao diện chọn người dùng cho phép người dùng chọn số lượng lỗi được cho phép đối với chế độ đa luồng.

Trong một ví dụ, bộ xử lý này còn bao gồm thanh ghi cấu hình để lưu trữ bộ chỉ

báo đa luồng chọn lọc để chỉ báo xem liệu mạch điều khiển có được kích hoạt để cho phép bộ xử lý hoạt động ở chế độ đơn luồng và chế độ đa luồng một cách đồng thời hay không.

Trong một ví dụ, bộ xử lý này còn bao gồm: bộ điều khiển công suất để điều khiển việc tiêu thụ năng lượng của bộ xử lý này; và bộ nhớ để lưu mặt nạ bit dựa vào bộ chỉ báo kích hoạt cho mỗi trong số các lỗi, trong đó bộ điều khiển công suất này truyền ít nhất phần thứ nhất của mặt nạ bit đến công cụ vi mã thứ nhất của lỗi thứ nhất làm cho công cụ vi mã thứ nhất này tạo cấu hình lỗi thứ nhất hoạt động ở chế độ đơn luồng, và truyền ít nhất phần thứ hai của mặt nạ bit đến công cụ vi mã thứ hai của lỗi thứ hai làm cho công cụ vi mã thứ hai này tạo cấu hình lỗi thứ hai hoạt động ở chế độ đa luồng.

Trong một ví dụ, công cụ vi mã thứ nhất vô hiệu hóa một hoặc nhiều cấu trúc đa luồng của lỗi thứ nhất để đáp lại phần thứ nhất của mặt nạ bit.

Trong một ví dụ, bộ xử lý còn bao gồm bộ điều khiển công suất cho phép lỗi thứ nhất hoạt động ở tần số chế độ turbo, lỗi thứ nhất này được cho phép hoạt động ở chế độ đơn luồng, trong đó tần số chế độ turbo này bao gồm tần số chế độ turbo đường cơ sở thứ nhất đối với chế độ đơn luồng, tần số chế độ turbo đường cơ sở thứ nhất này lớn hơn tần số chế độ turbo đường cơ sở thứ hai đối với chế độ đa luồng.

Ví dụ khác, phương pháp bao gồm các bước: nhận, ở bộ điều khiển của bộ xử lý có các lỗi, lựa chọn cấu hình đa luồng bất đối xứng của bộ xử lý trong đó ít nhất một lỗi thứ nhất được cho phép hoạt động ở chế độ đa luồng và ít nhất một lỗi thứ hai được cho phép hoạt động ở chế độ đơn luồng; truyền thông tin cấu hình thứ nhất từ bộ điều khiển đến công cụ thứ nhất của ít nhất một lỗi thứ nhất làm cho công cụ thứ nhất này tạo cấu hình ít nhất một lỗi thứ nhất đối với chế độ đa luồng; và truyền thông tin cấu hình thứ hai từ bộ điều khiển đến công cụ thứ nhất của ít nhất một lỗi thứ hai làm cho công cụ thứ nhất của lỗi thứ hai này tạo cấu hình ít nhất một lỗi thứ hai đối với chế độ đơn luồng.

Trong một ví dụ, phương pháp này còn bao gồm bước nhận lựa chọn cấu hình đa luồng bất đối xứng từ người dùng qua giao diện người dùng của hệ thống đầu vào/đầu ra cơ sở để cho phép người dùng này nhận dạng số lượng lỗi hoạt động ở chế độ đa luồng và số lượng lỗi hoạt động ở chế độ đơn luồng.

Trong một ví dụ, phương pháp này còn bao gồm bước nhận lựa chọn cấu hình đa luồng bất đối xứng từ hệ thống đầu vào/đầu ra cơ sở dựa vào lựa chọn cấu hình đa luồng bất đối xứng bởi nhà sản xuất trang thiết bị gốc.

Trong một ví dụ, phương pháp này còn bao gồm các bước: cho phép ít nhất một lõi thứ nhất hoạt động ở tần số hoạt động thứ nhất; và cho phép ít nhất một lõi thứ hai hoạt động ở tần số chế độ turbo, tần số chế độ turbo này lớn hơn tần số hoạt động thứ nhất.

Trong một ví dụ, phương pháp này còn bao gồm các bước: xác định rằng bộ xử lý có đủ khoảng trống công suất và nhiệt; và để đáp lại việc xác định rằng bộ xử lý có đủ khoảng trống công suất và nhiệt, cho phép ít nhất một lõi thứ hai hoạt động ở tần số chế độ turbo thứ hai lớn hơn tần số chế độ turbo lớn nhất mà ít nhất một lõi thứ nhất có thể hoạt động.

Ví dụ khác, vật ghi đọc được bằng máy tính bao gồm các lệnh thực hiện phương pháp theo ví dụ bất kỳ trong số các ví dụ nêu trên.

Ví dụ khác, vật ghi đọc được bằng máy tính bao gồm dữ liệu được sử dụng bởi ít nhất một máy để chế tạo ít nhất một mạch tích hợp thực hiện phương pháp theo ví dụ bất kỳ trong số các ví dụ nêu trên.

Ví dụ khác, thiết bị bao gồm phương tiện để thực hiện phương pháp theo ví dụ bất kỳ trong số các ví dụ nêu trên.

Ví dụ khác, hệ thống bao gồm bộ xử lý có: các lõi, trong đó mỗi trong số các lõi này bao gồm lõi đa luồng để thực thi một cách đồng thời các luồng; và mạch điều khiển cho phép, dựa vào ít nhất một phần thông tin cấu hình đa luồng chọn lọc, lõi thứ nhất trong số các lõi hoạt động ở chế độ đơn luồng và lõi thứ hai trong số các lõi hoạt động ở chế độ đa luồng một cách đồng thời. Hệ thống này còn bao gồm bộ nhớ bất khả biến được ghép nối với bộ xử lý để lưu BIOS, BIOS này bao gồm: vùng thứ nhất để lưu trữ thông tin cấu hình đa luồng chọn lọc để nhận dạng tập con thứ nhất trong số các lõi được cho phép đối với chế độ đơn luồng và tập con thứ hai trong số các lõi được cho phép đối với chế độ đa luồng; và mã thứ nhất làm cho thông tin cấu hình đa luồng chọn lọc được

truyền đến bộ xử lý.

Trong một ví dụ, BIOS này còn bao gồm mã thứ hai tạo ra giao diện người dùng cho phép người dùng nhận dạng số lượng lõi được cho phép đối với chế độ đơn luồng và số lượng lõi được cho phép đối với chế độ đa luồng.

Trong một ví dụ, bộ xử lý còn bao gồm thiết bị lưu trữ cấu hình để lưu bộ chỉ báo kích hoạt cho mỗi trong số các lõi để chỉ báo xem liệu lõi này có được cho phép hoạt động ở chế độ đa luồng hay không.

Trong một ví dụ, BIOS này còn bao gồm mã thứ ba để ghi bộ chỉ báo kích hoạt cho mỗi trong số các lõi dựa vào thông tin cấu hình đa luồng chọn lọc.

Trong một ví dụ, bộ xử lý còn bao gồm bộ nhớ để lưu trữ mặt nạ bit dựa vào bộ chỉ báo kích hoạt cho mỗi trong số các lõi, trong đó công cụ vi mã thứ nhất của lõi thứ nhất cho phép lõi thứ nhất đối với chế độ đơn luồng dựa vào phần thứ nhất của mặt nạ bit, và công cụ vi mã thứ hai của lõi thứ hai cho phép lõi thứ hai đối với chế độ đa luồng dựa vào phần thứ hai của mặt nạ bit.

Trong một ví dụ, bộ xử lý còn bao gồm bộ điều khiển công suất cho phép lõi thứ nhất hoạt động ở tần số chế độ turbo, trong đó tần số chế độ turbo này bao gồm tần số chế độ turbo đường cơ sở thứ nhất đối với chế độ đơn luồng, tần số chế độ turbo đường cơ sở thứ nhất này lớn hơn tần số chế độ turbo đường cơ sở thứ hai đối với chế độ đa luồng.

Cần hiểu rằng các sự kết hợp khác nhau của các ví dụ nêu trên là khả dụng.

Lưu ý rằng thuật ngữ “mạch” và “hệ mạch” được sử dụng thay đổi cho nhau trong bản mô tả này. Khi được sử dụng trong bản mô tả này, các thuật ngữ này và thuật ngữ “logic” được sử dụng đề cập đến độc lập hoặc sự kết hợp bất kỳ, hệ mạch tương tự, hệ mạch số, hệ mạch dây cứng, hệ mạch lập trình được, hệ mạch bộ xử lý, hệ mạch bộ vi điều khiển, hệ mạch logic phần cứng, hệ mạch máy trạng thái và/hoặc kiểu thành phần phần cứng vật lý khác bất kỳ. Các phương án có thể được sử dụng trong nhiều kiểu hệ thống khác nhau. Ví dụ, theo một phương án thiết bị truyền thông có thể được bố trí để thực hiện các phương pháp và các kỹ thuật khác nhau được mô tả trong bản mô tả này.

Tất nhiên, phạm vi của sáng chế không giới hạn ở thiết bị truyền thông, và thay vào đó các phương án khác có thể được hướng đến các kiểu thiết bị khác để xử lý các lệnh, hoặc một hoặc nhiều vật ghi đọc được bằng máy bao gồm các lệnh để đáp lại việc đang được thực thi trên thiết bị điện toán, làm cho thiết bị này thực hiện một hoặc nhiều trong số các phương pháp và kỹ thuật được mô tả trong bản mô tả này.

Các phương án có thể được thực hiện ở mã và có thể được lưu trữ trên vật ghi lưu trữ lâu dài có các lệnh được lưu trữ trên đó mà có thể được sử dụng để lập trình hệ thống thực hiện các lệnh. Các phương án cũng có thể được thực hiện ở dữ liệu và có thể được lưu trữ trên vật ghi lưu trữ lâu dài, mà nếu được sử dụng bởi ít nhất một máy, làm cho ít nhất một máy này chế tạo ít nhất một mạch tích hợp thực hiện một hoặc nhiều hoạt động. Các phương án khác nữa có thể được thực hiện ở vật ghi lưu trữ đọc được bằng máy tính bao gồm thông tin mà, khi được sản xuất vào SoC hoặc bộ xử lý khác, tạo cấu hình SoC hoặc bộ xử lý khác thực hiện một hoặc nhiều hoạt động. Vật ghi lưu trữ này có thể bao gồm, nhưng không giới hạn ở, kiểu đĩa bất kỳ bao gồm các đĩa mềm, đĩa quang, ổ đĩa trạng thái rắn (Solid State Drive, SSD), bộ nhớ chỉ đọc đĩa nén (Compact Disk Read-Only Memory, CD-ROM), bộ nhớ ghi lại được đĩa nén (Compact Disk Rewritable, CD-RW), và đĩa từ quang, thiết bị bán dẫn chẳng hạn như các bộ nhớ chỉ đọc (Read-Only Memory, ROM), bộ nhớ truy nhập ngẫu nhiên (Random Access Memory, RAM) chẳng hạn như các bộ nhớ truy nhập ngẫu nhiên động (Dynamic Random Access Memory, DRAM), bộ nhớ truy nhập ngẫu nhiên tĩnh (Static Random Access Memory, SRAM), bộ nhớ chỉ đọc lập trình được xóa được (Erasable Programmable Read-Only Memory, EPROM), bộ nhớ nhanh, bộ nhớ chỉ đọc lập trình được xóa được bằng tín hiệu điện (Electrically Erasable Programmable Read-Only Memory, EEPROM), thẻ từ hoặc quang, hoặc kiểu vật ghi khác bất kỳ thích hợp để lưu trữ các lệnh điện tử.

Mặc dù sáng chế đã được mô tả bằng số lượng phương án giới hạn, nhưng người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ hiểu các cải biên và biến thể từ các phương pháp này. Dự định là yêu cầu bảo hộ kèm theo bao hàm tất cả các cải biên và biến thể này vì nằm trong bản chất và phạm vi thực của sáng chế.

YÊU CẦU BẢO HỘ

1. Bộ xử lý (110) bao gồm:

các lõi (120, 120n), trong đó mỗi trong số các lõi này bao gồm lõi đa luồng được điều chỉnh để thực thi một cách đồng thời các luồng; và

mạch điều khiển (1734) được điều chỉnh để cho phép ít nhất một lõi (120a) trong số các lõi hoạt động ở chế độ đơn luồng và ít nhất một lõi khác (120n) trong số các lõi hoạt động ở chế độ đa luồng một cách đồng thời, và khác biệt ở chỗ:

thiết bị lưu trữ cấu hình (1740) được điều chỉnh để lưu bộ chỉ báo kích hoạt cho mỗi trong số các lõi để chỉ báo xem liệu lõi này có được cho phép hoạt động ở chế độ đa luồng hay không, bộ chỉ báo kích hoạt cho mỗi trong số các lõi được tạo cấu hình tĩnh bởi nhà sản xuất bộ xử lý.

2. Bộ xử lý (110) theo điểm 1, trong đó thiết bị lưu trữ cấu hình (1740) bao gồm thiết bị lưu trữ hợp nhất (1742).

3. Bộ xử lý (110) theo điểm 1, bộ xử lý này còn bao gồm thanh ghi cấu hình được điều chỉnh để lưu trữ bộ chỉ báo đa luồng chọn lọc để chỉ báo xem liệu mạch điều khiển (1734) có được kích hoạt để cho phép bộ xử lý hoạt động ở chế độ đơn luồng và chế độ đa luồng một cách đồng thời hay không.

4. Bộ xử lý (110) theo điểm 1, bộ xử lý này còn bao gồm:

bộ điều khiển công suất (138) được điều chỉnh để điều khiển sự tiêu thụ năng lượng của bộ xử lý (110); và

bộ nhớ (1735) được điều chỉnh để lưu trữ mặt nạ bit dựa vào bộ chỉ báo kích hoạt cho mỗi trong số các lõi, trong đó bộ điều khiển công suất (138) được điều chỉnh để truyền ít nhất phần thứ nhất của mặt nạ bit đến công cụ vi mã thứ nhất (1722) của lõi thứ nhất (1720o) làm cho công cụ vi mã thứ nhất (1722) tạo cấu hình lõi thứ nhất hoạt động ở chế độ đơn luồng, và truyền ít nhất phần thứ hai của mặt nạ bit đến công cụ vi mã thứ hai của lõi thứ hai (1720n) làm cho công cụ vi mã thứ hai này tạo cấu hình lõi thứ hai hoạt động ở chế độ đa luồng.

5. Bộ xử lý (110) theo điểm 4, trong đó công cụ vi mã thứ nhất (1722) được điều chỉnh để vô hiệu hóa một hoặc nhiều cấu trúc đa luồng của lõi thứ nhất để đáp lại phần thứ nhất của mặt nạ bit.

6. Bộ xử lý (110) theo điểm bất kỳ trong số các điểm từ 1 đến 5, bộ xử lý này còn bao gồm bộ điều khiển công suất (138), trong đó bộ điều khiển công suất này được điều chỉnh để cho phép lõi thứ nhất hoạt động ở tần số chế độ turbo, lõi thứ nhất được cho phép hoạt động ở chế độ đơn luồng, trong đó tần số chế độ turbo này bao gồm tần số chế độ turbo đường cơ sở thứ nhất cho chế độ đơn luồng, tần số chế độ turbo đường cơ sở thứ nhất này lớn hơn tần số chế độ turbo đường cơ sở thứ hai cho chế độ đa luồng.

7. Phương pháp bao gồm các bước:

nhận, ở bộ điều khiển (1734) của bộ xử lý (110) có các lõi (120a, 120n), lựa chọn cấu hình đa luồng bất đối xứng của bộ xử lý trong đó ít nhất một lõi thứ nhất được cho phép hoạt động ở chế độ đa luồng và ít nhất một lõi thứ hai được cho phép hoạt động ở chế độ đơn luồng;

truyền thông tin cấu hình thứ nhất từ bộ điều khiển (1734) đến công cụ thứ nhất (1722) của ít nhất một lõi thứ nhất làm cho công cụ thứ nhất này tạo cấu hình ít nhất một lõi thứ nhất đối với chế độ đa luồng; và

truyền thông tin cấu hình thứ hai từ bộ điều khiển (1734) đến công cụ thứ nhất của ít nhất một lõi thứ hai làm cho công cụ thứ nhất của lõi thứ hai này tạo cấu hình ít nhất một lõi thứ hai đối với chế độ đơn luồng, khác biệt ở chỗ:

sự lựa chọn nhận được của cấu hình đa luồng bất đối xứng của bộ xử lý (110) bao gồm bộ chỉ báo kích hoạt cho mỗi trong số các lõi để chỉ báo xem liệu lõi này có được cho phép hoạt động ở chế độ đa luồng hay không, bộ chỉ báo kích hoạt cho mỗi trong số các lõi được tạo cấu hình tĩnh bởi nhà sản xuất bộ xử lý.

8. Phương pháp theo điểm 7, phương pháp này còn bao gồm các bước:

xác định rằng bộ xử lý (110) có đủ khoảng trống công suất và nhiệt; và

để đáp lại việc xác định rằng bộ xử lý có đủ khoảng trống công suất và nhiệt, cho

phép ít nhất một lõi thứ hai hoạt động ở tần số chế độ turbo thứ hai lớn hơn tần số chế độ turbo lớn nhất mà ít nhất một lõi thứ nhất có thể hoạt động.

9. Vật ghi lưu trữ đọc được bằng máy tính bao gồm các lệnh đọc được bằng máy tính, khi được thực thi, thực hiện phương pháp theo điểm 7 hoặc 8.

1/22

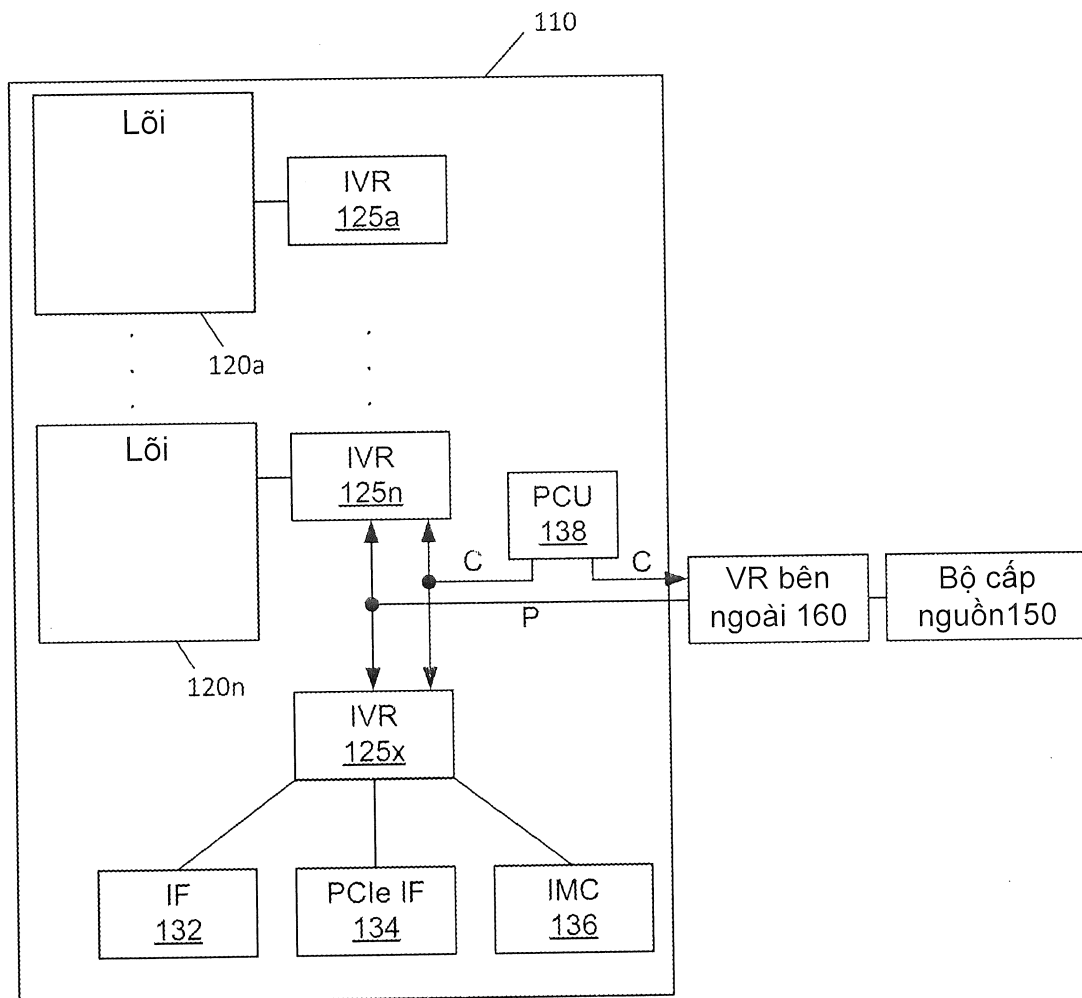
100

FIG. 1

200

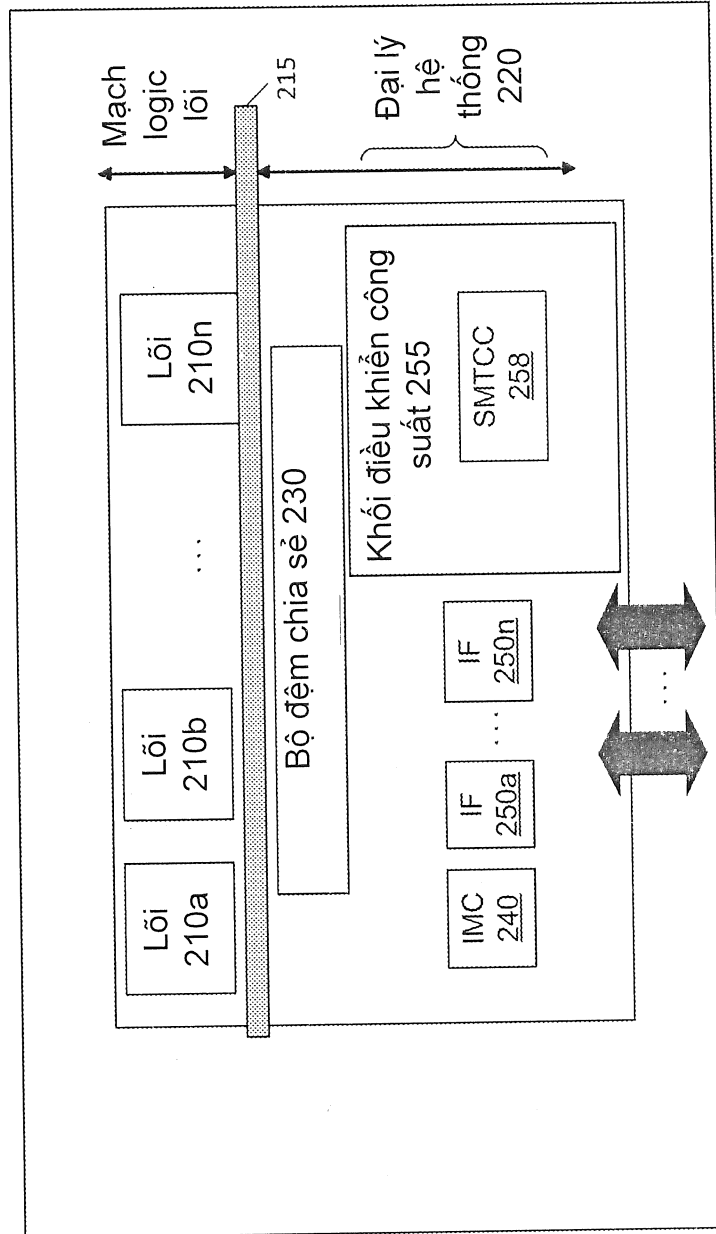


FIG. 2

300

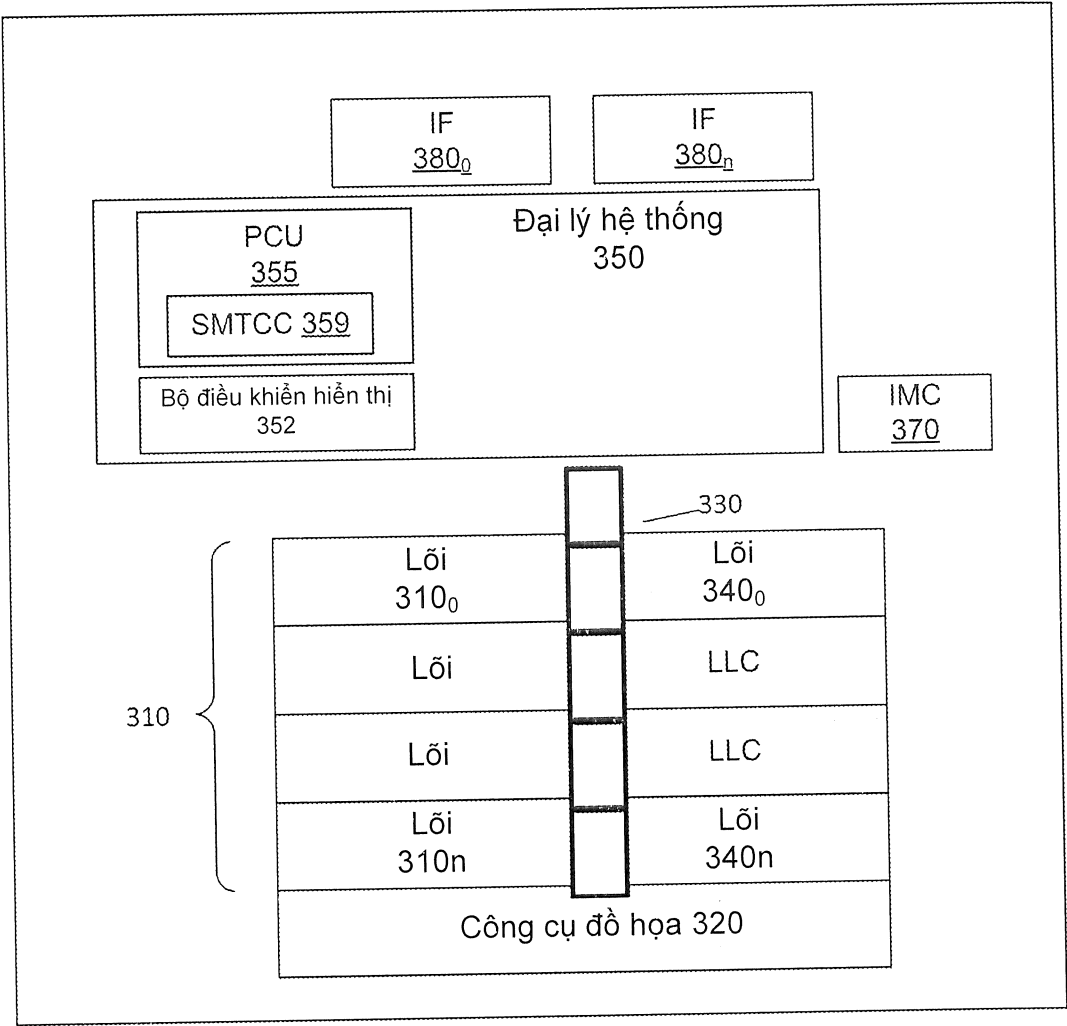


FIG. 3

4/22

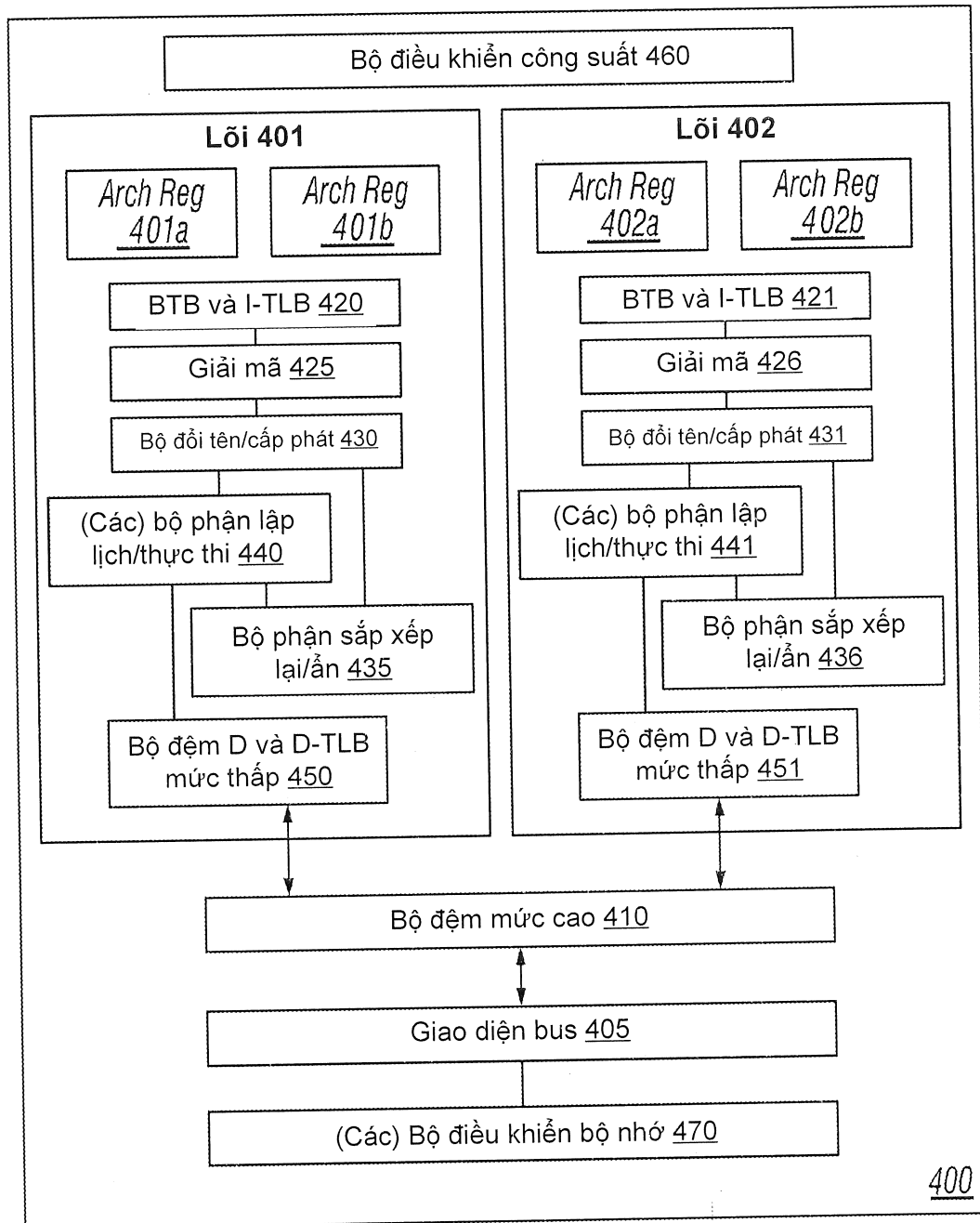


FIG. 4

5/22

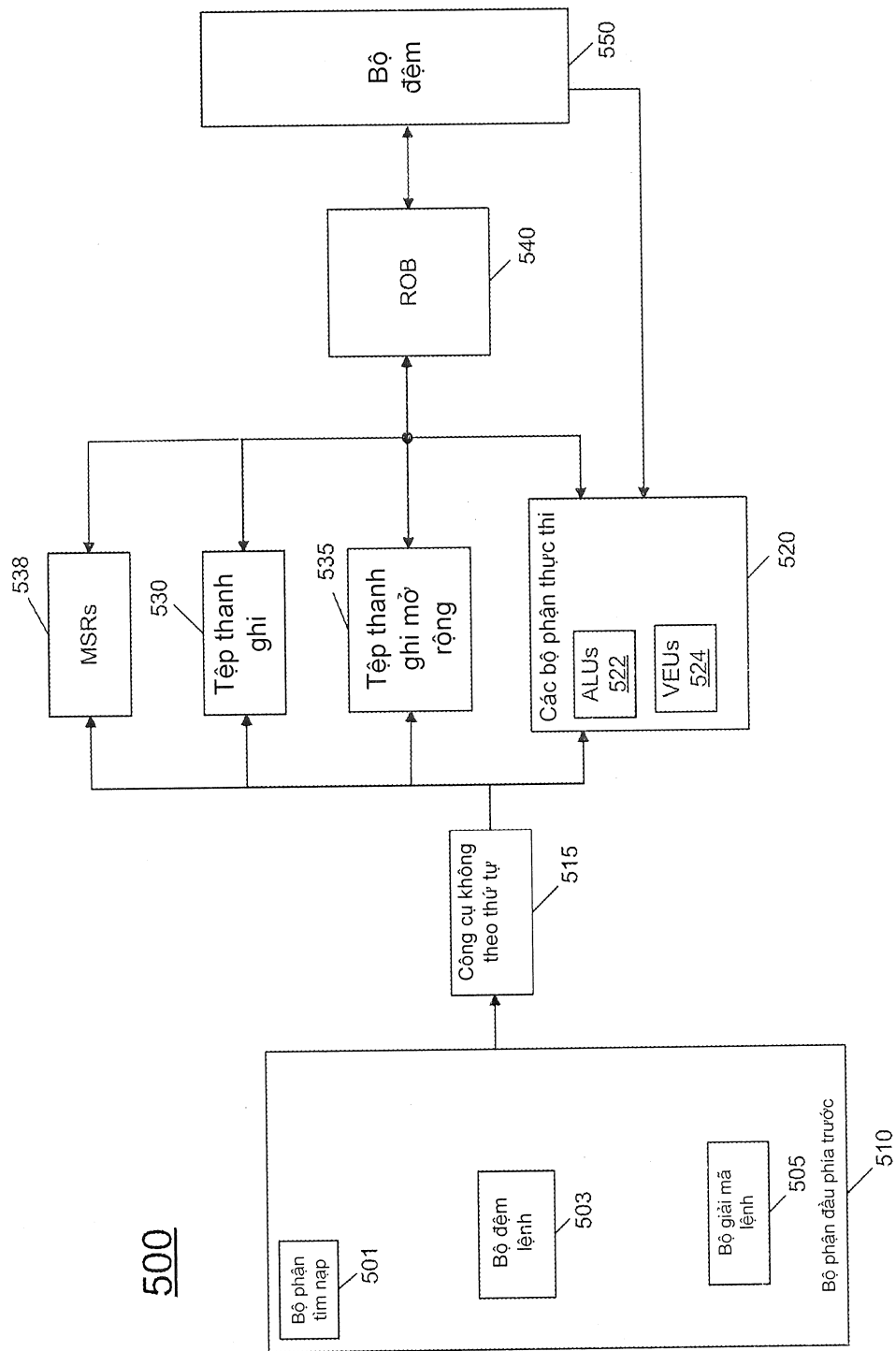


FIG. 5

6/22

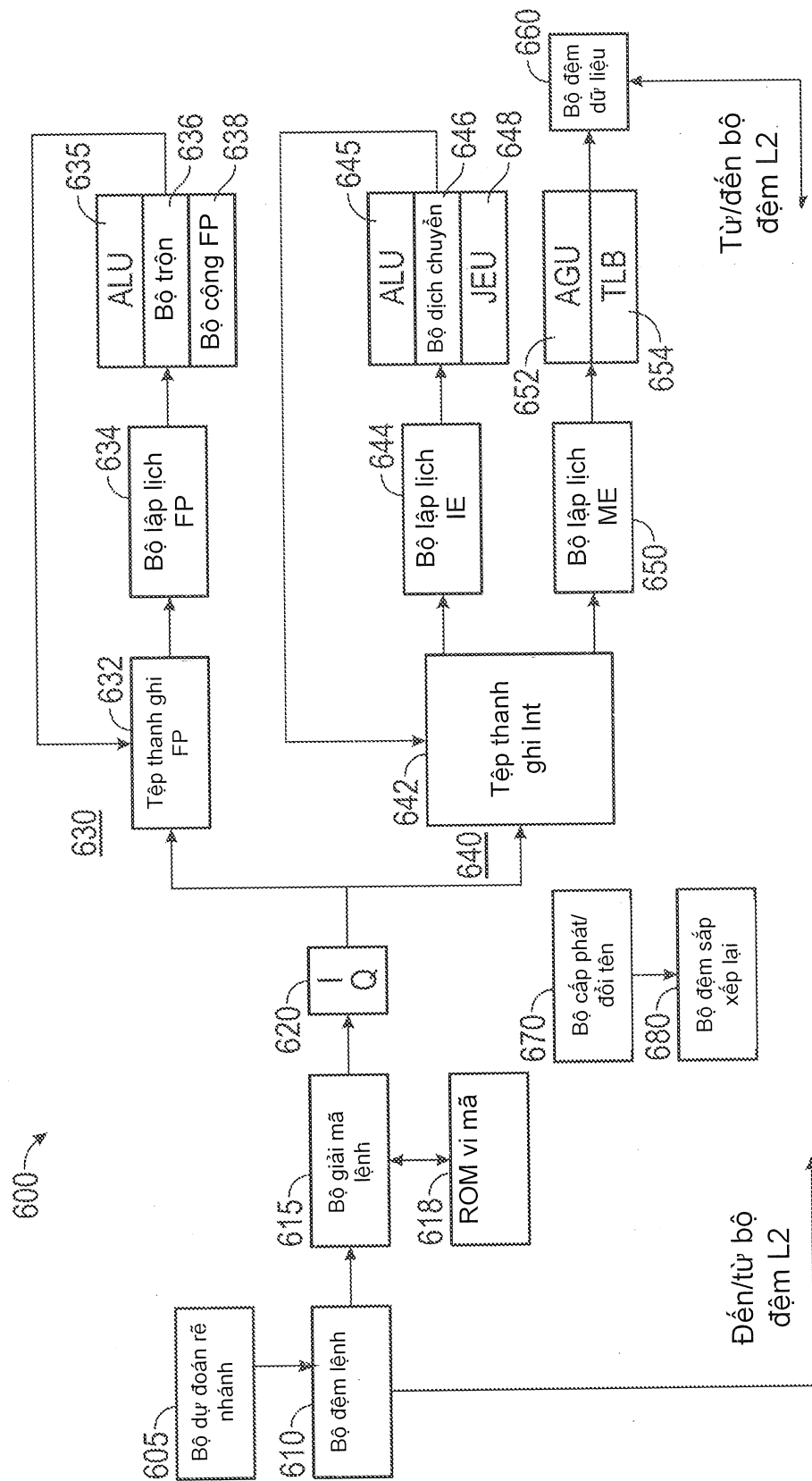


FIG. 6

7/22

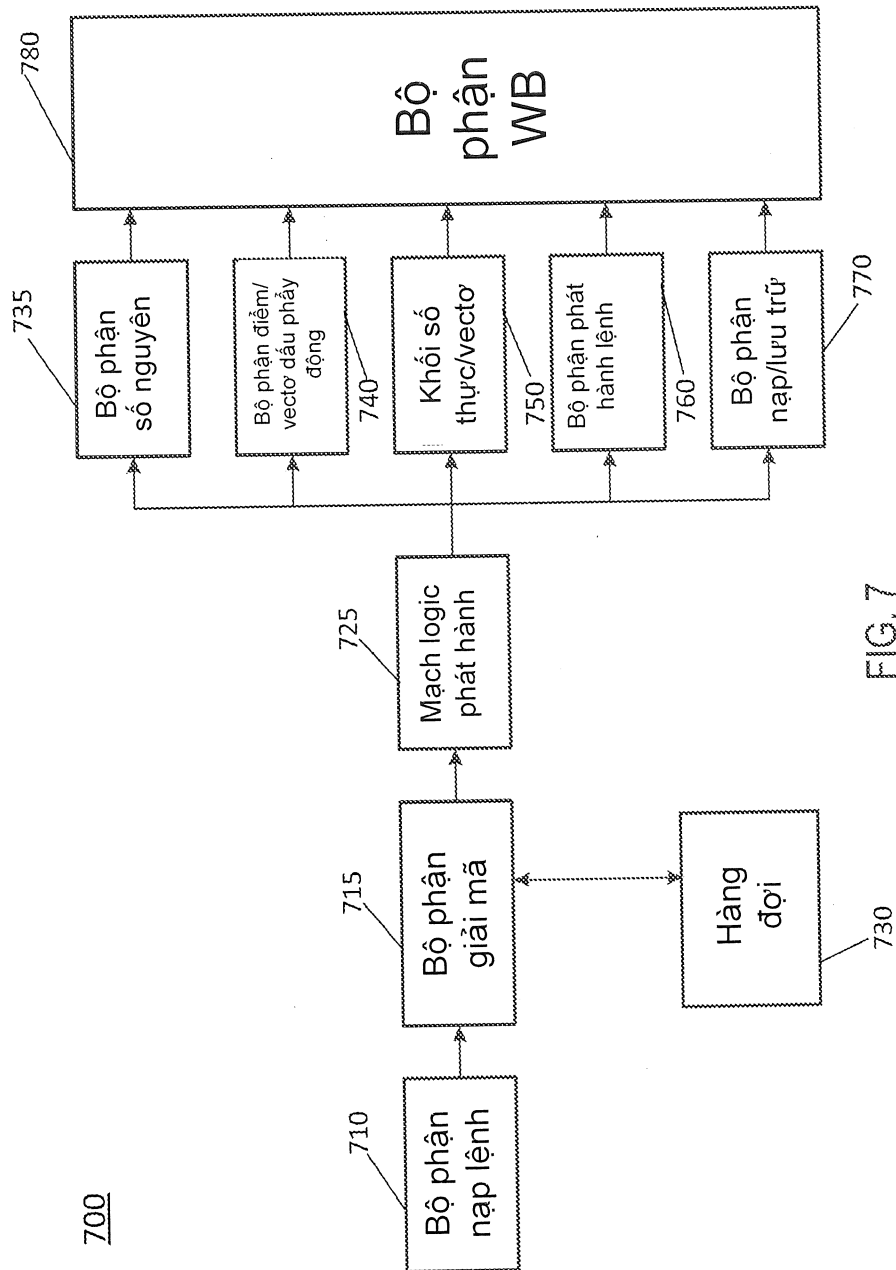
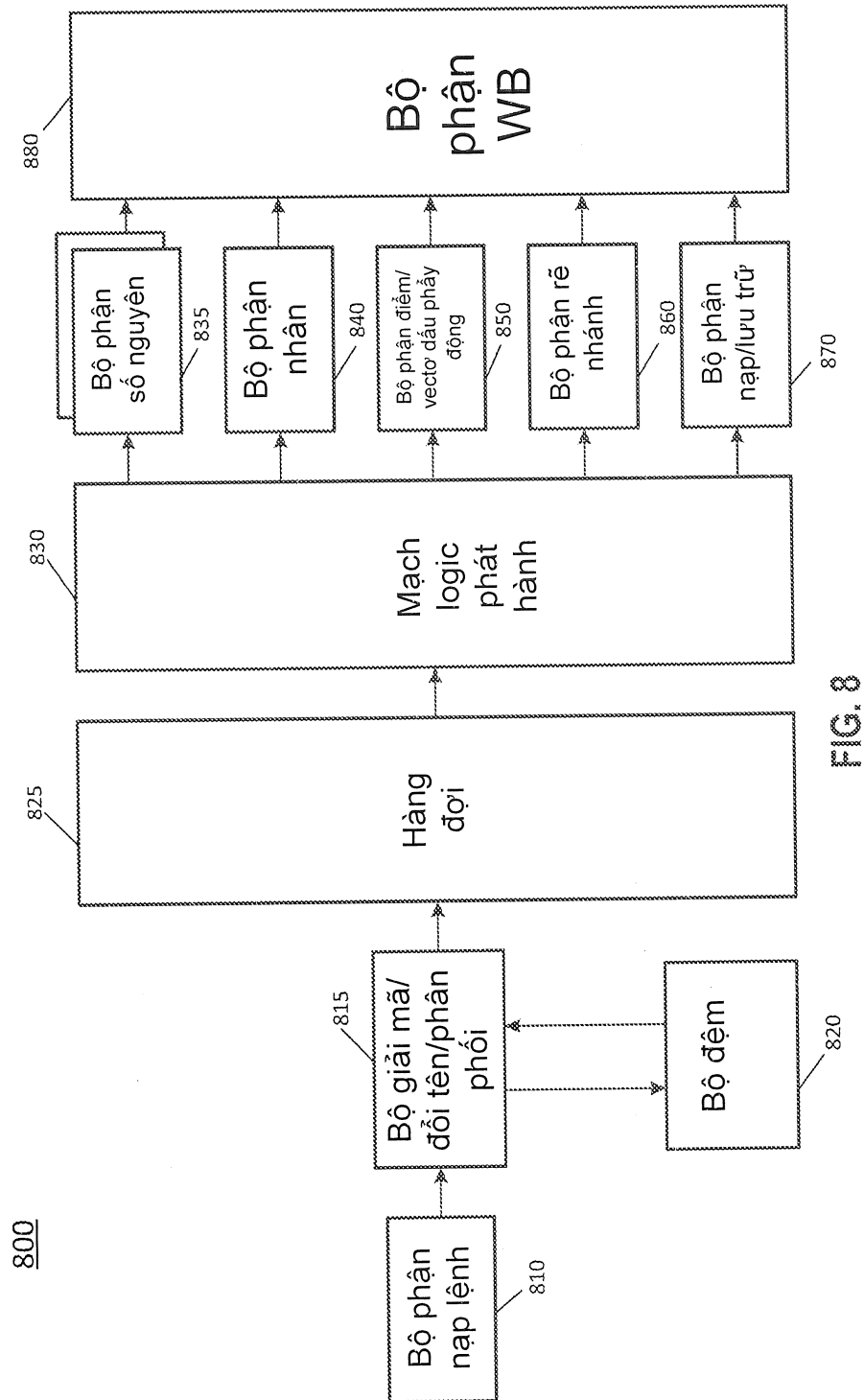


FIG. 7

8/22



9/22

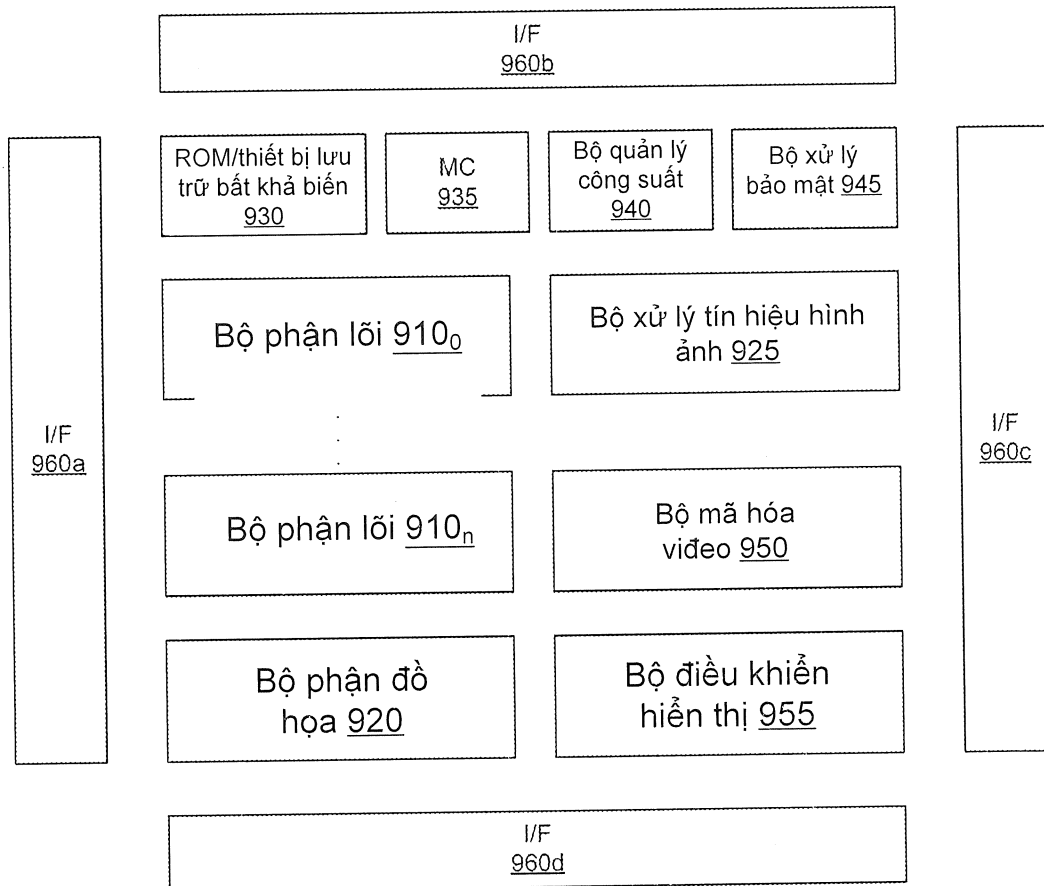
900

FIG. 9

1000

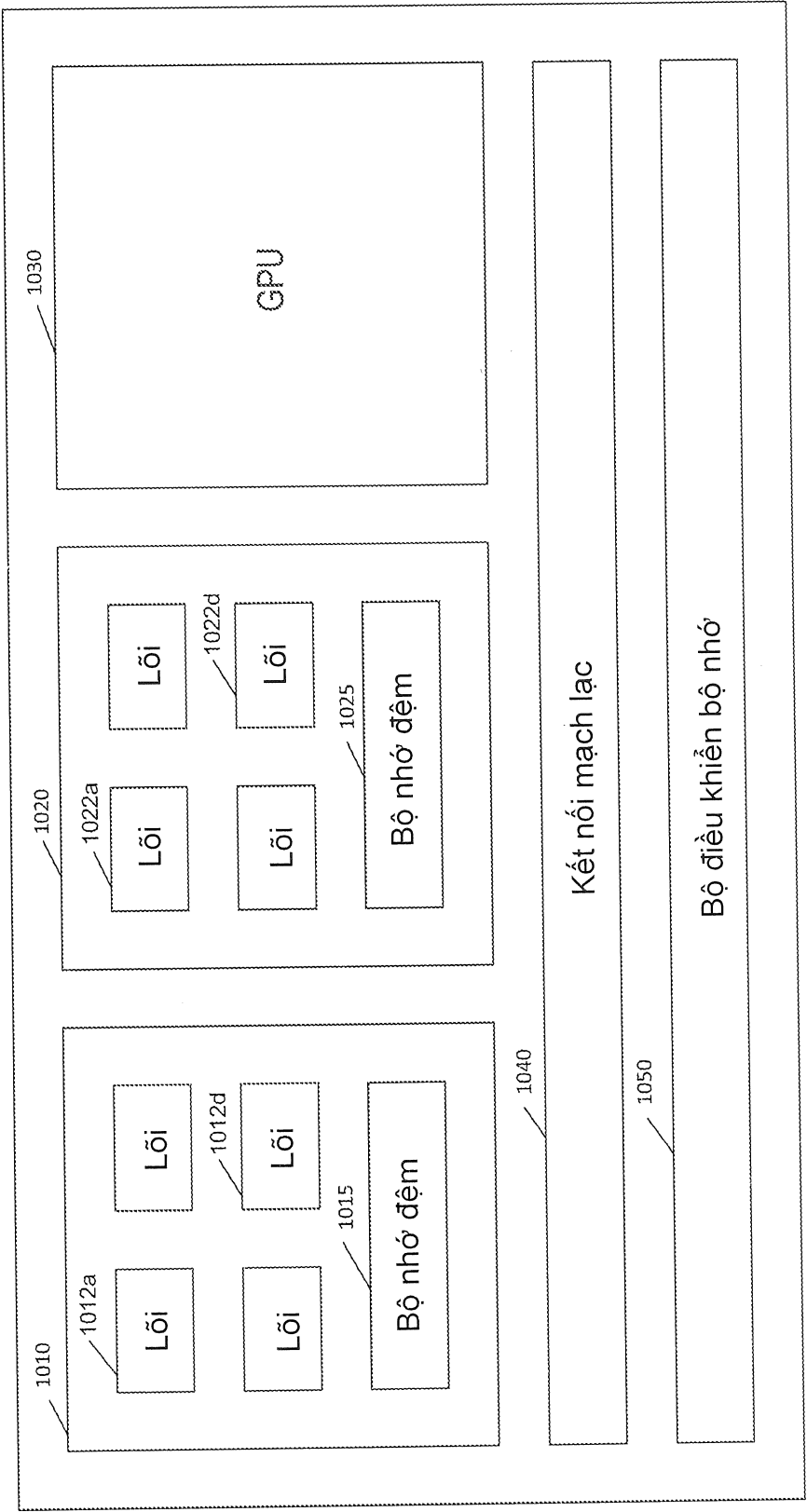


FIG.10

11/22

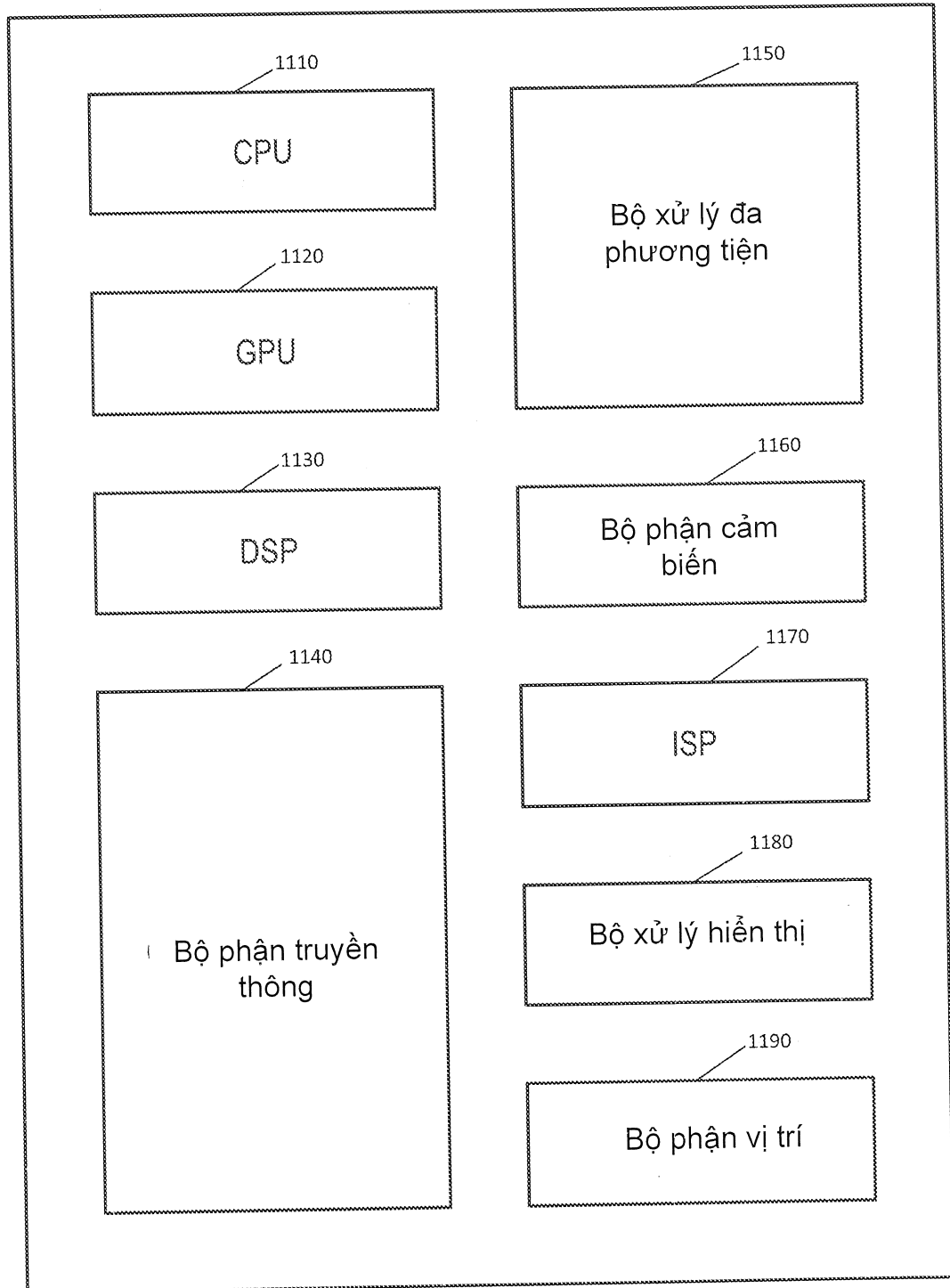
1100

FIG. 11

12/22

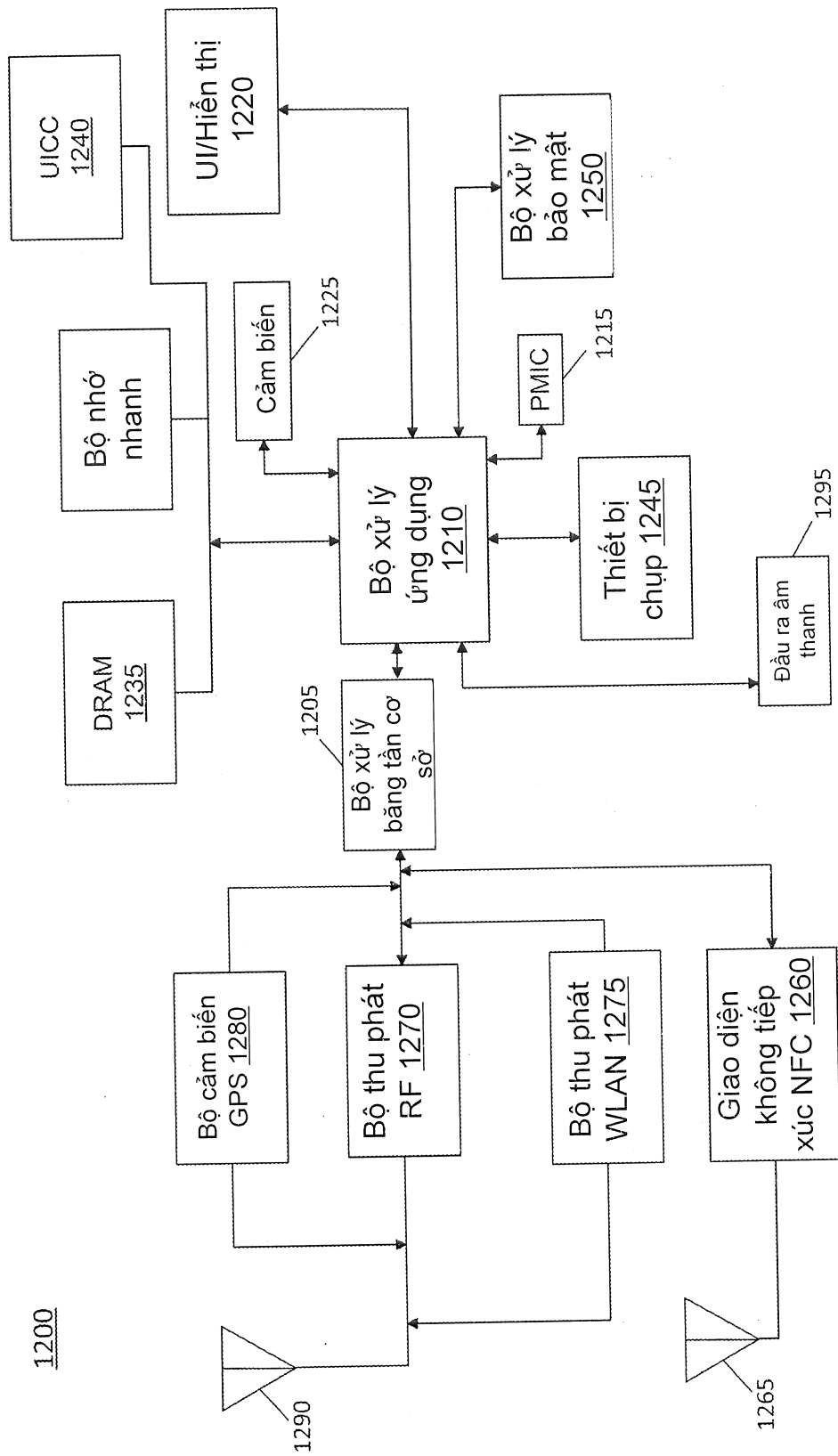


FIG. 12

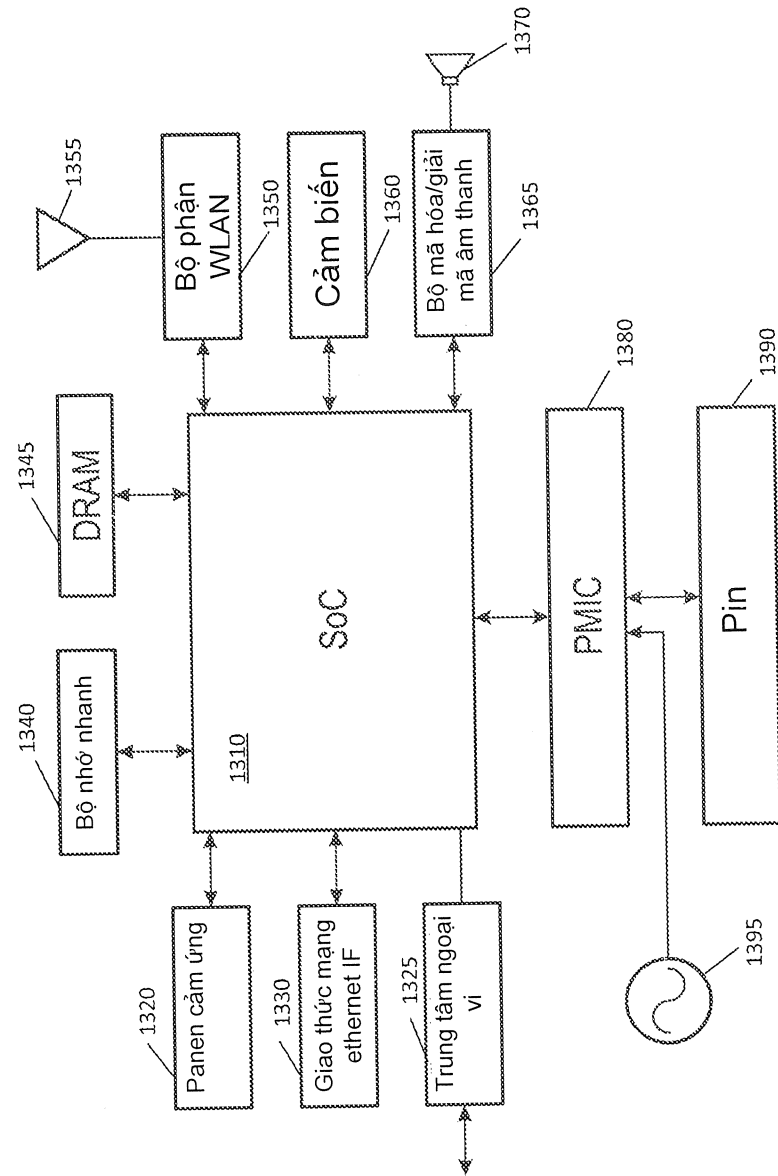
1300

FIG. 13

14/22

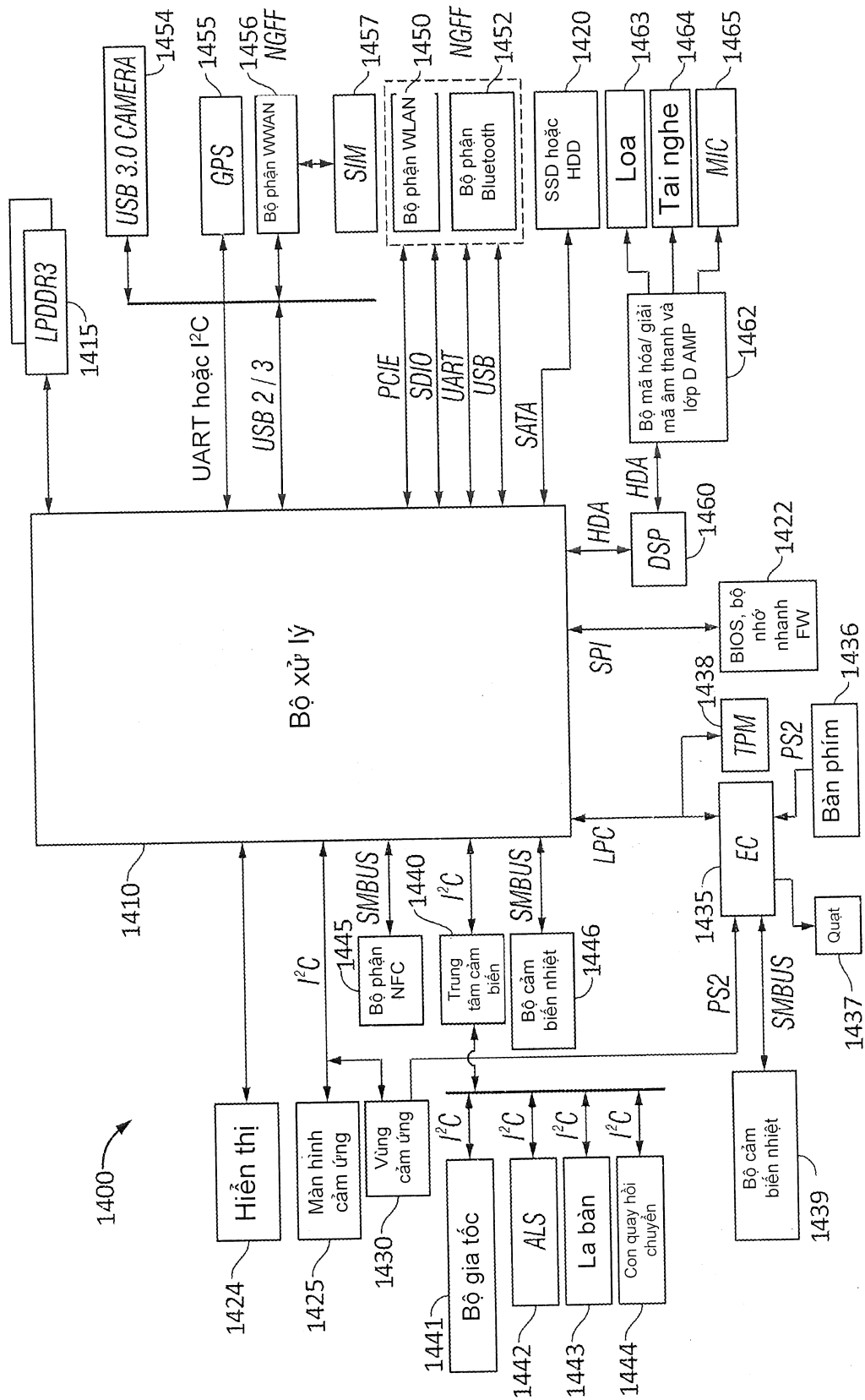
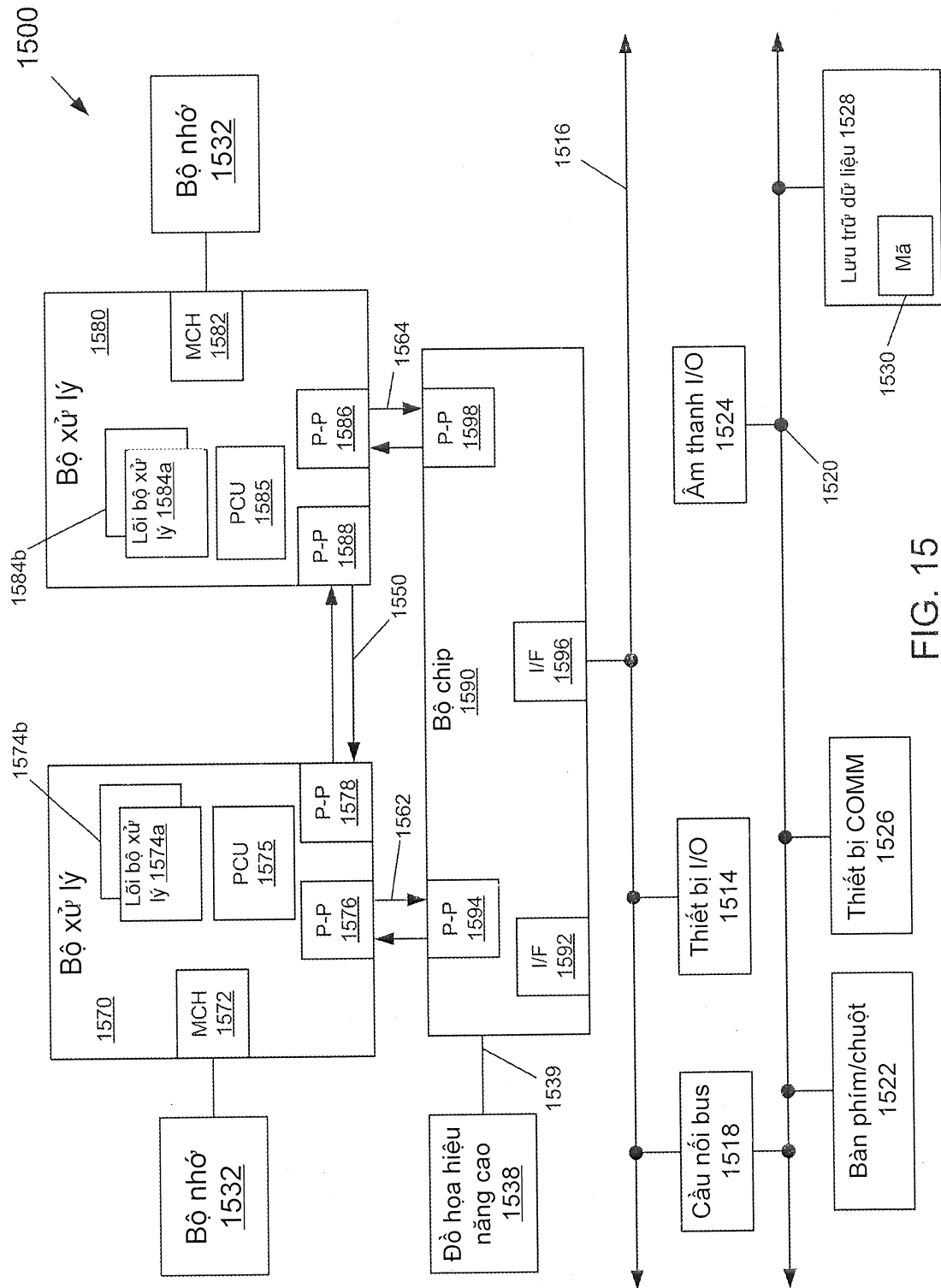


FIG. 14

15/22



1600

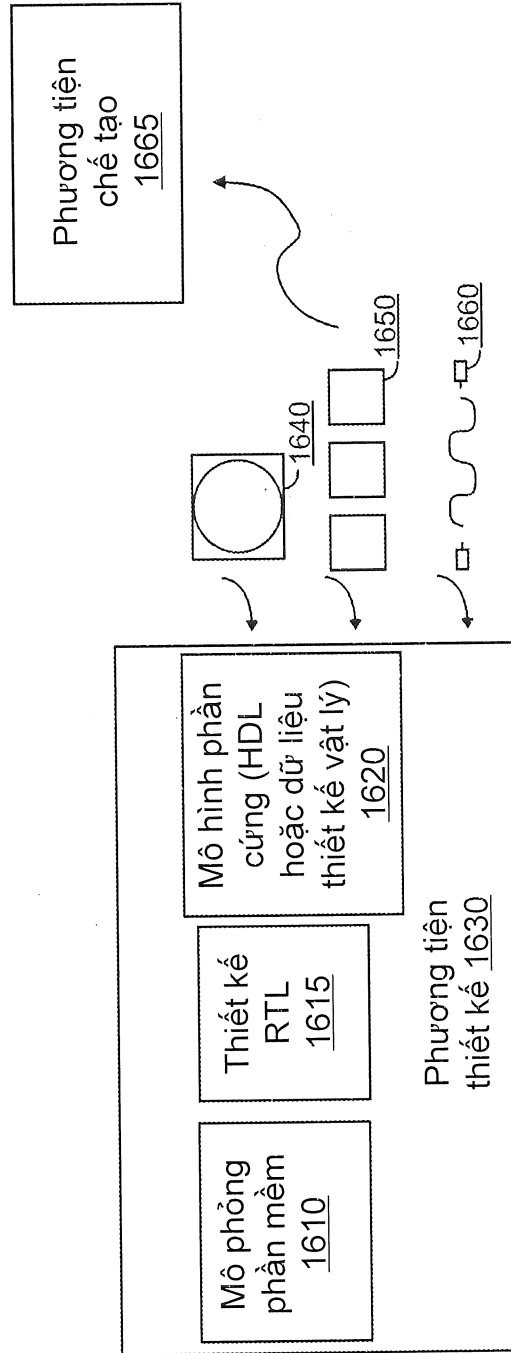


FIG. 16

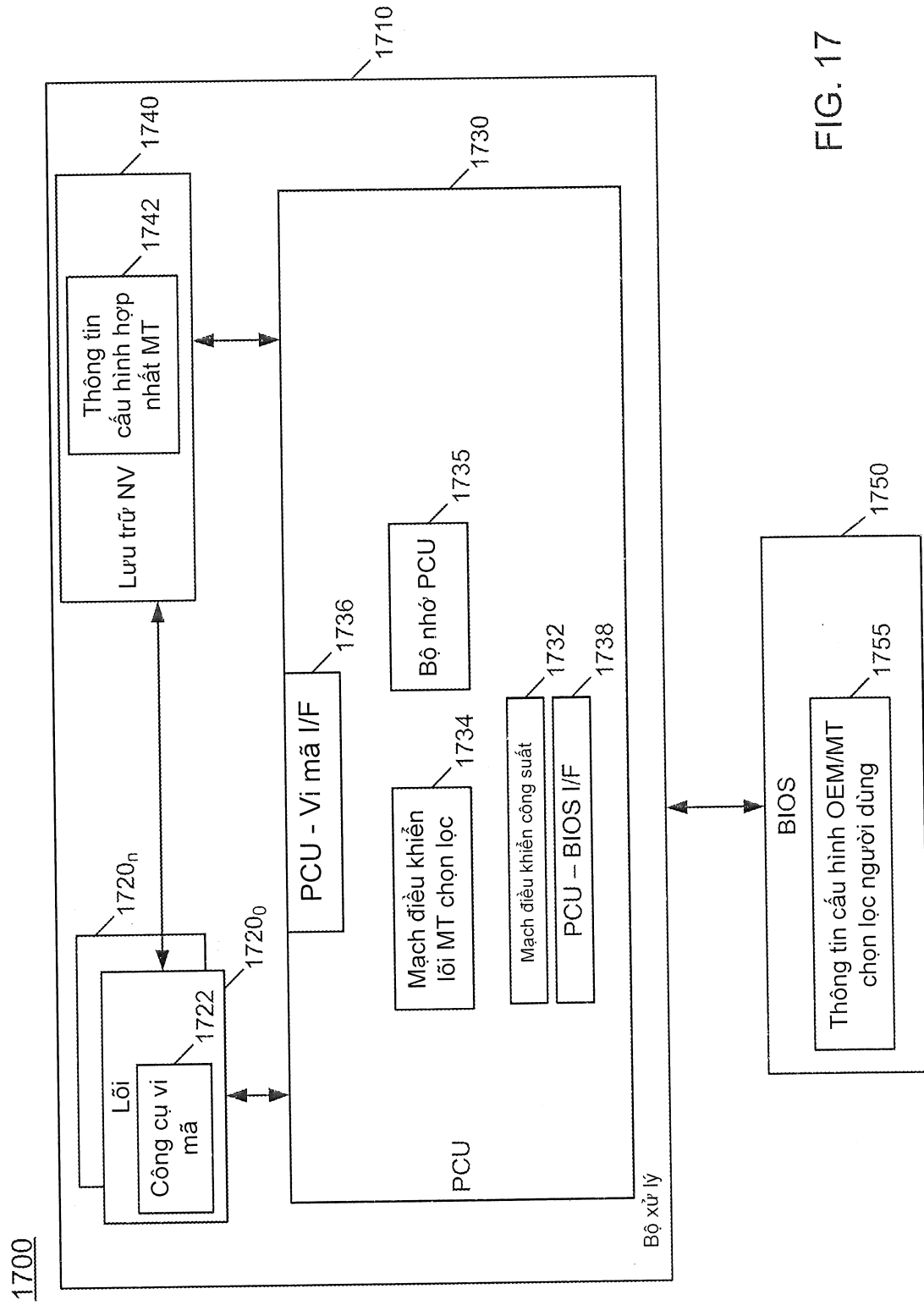


FIG. 17

18/22

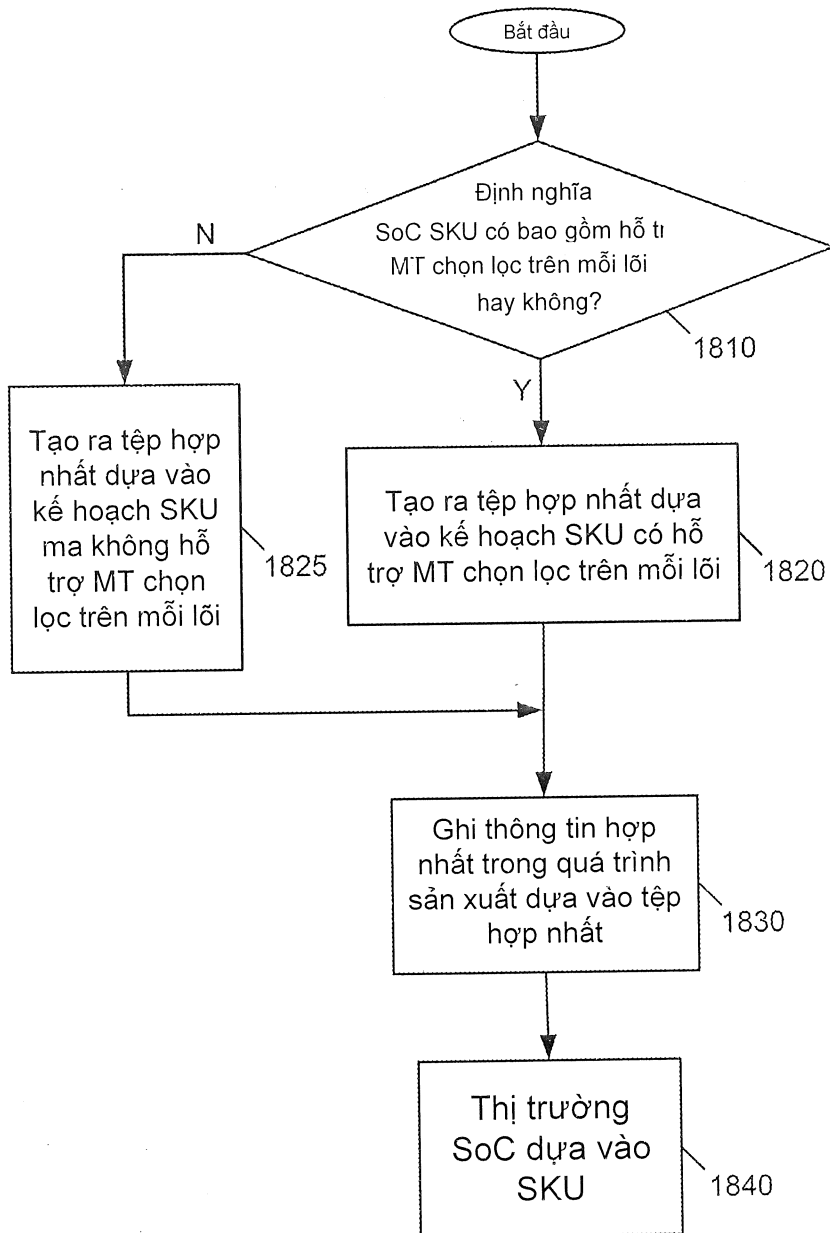
1800

FIG. 18

19/22

1900

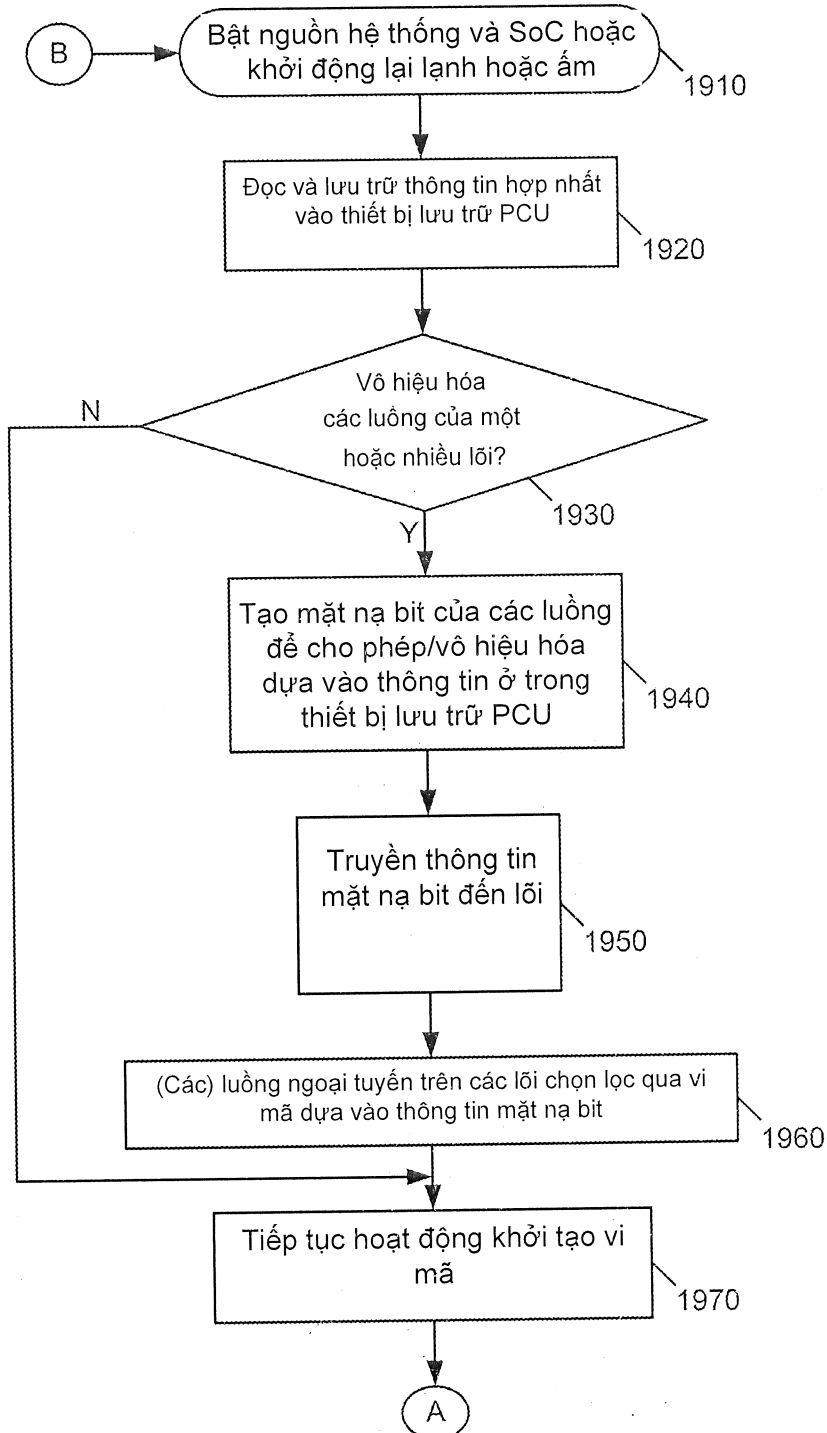


FIG. 19

20/22

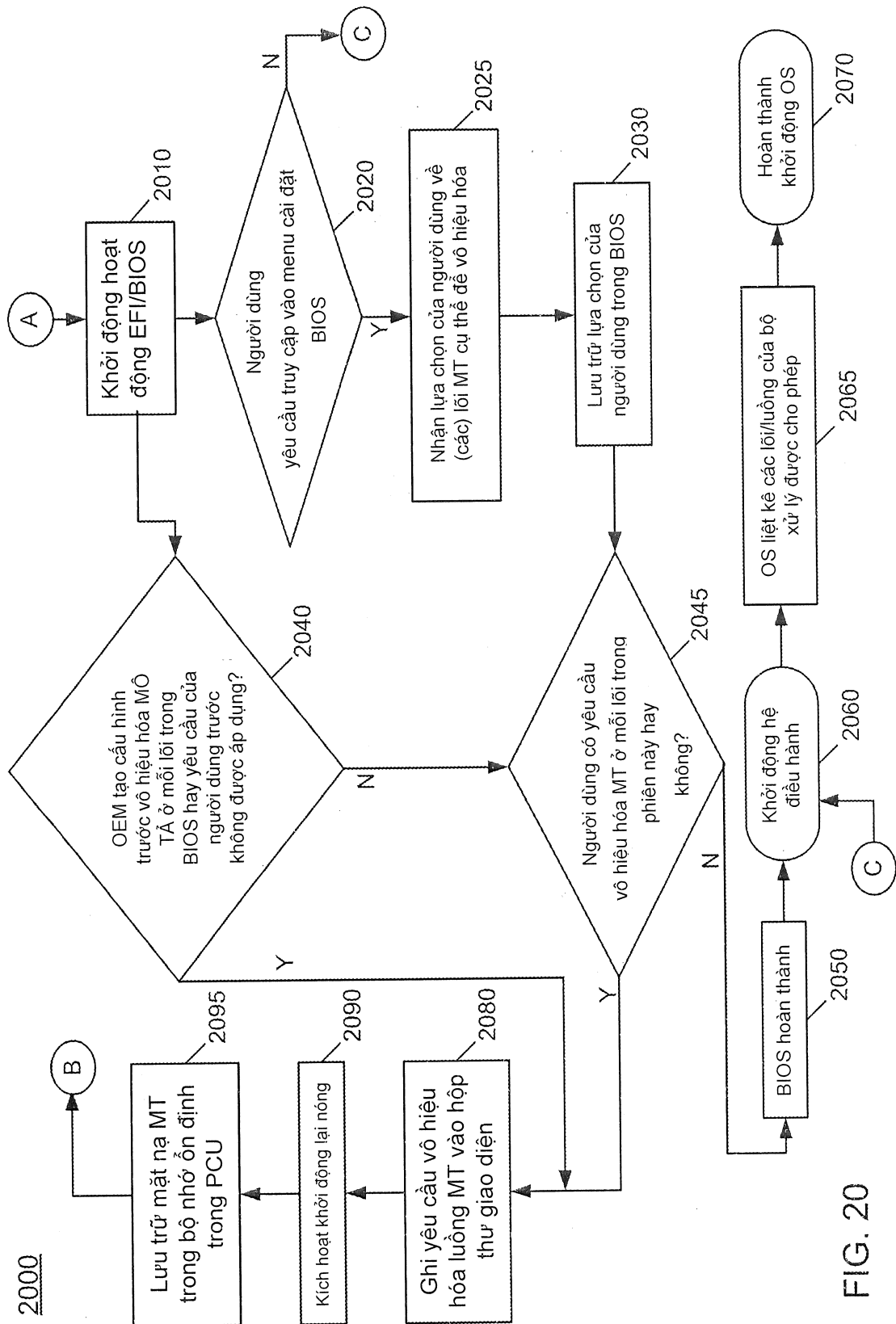


FIG. 20

21/22

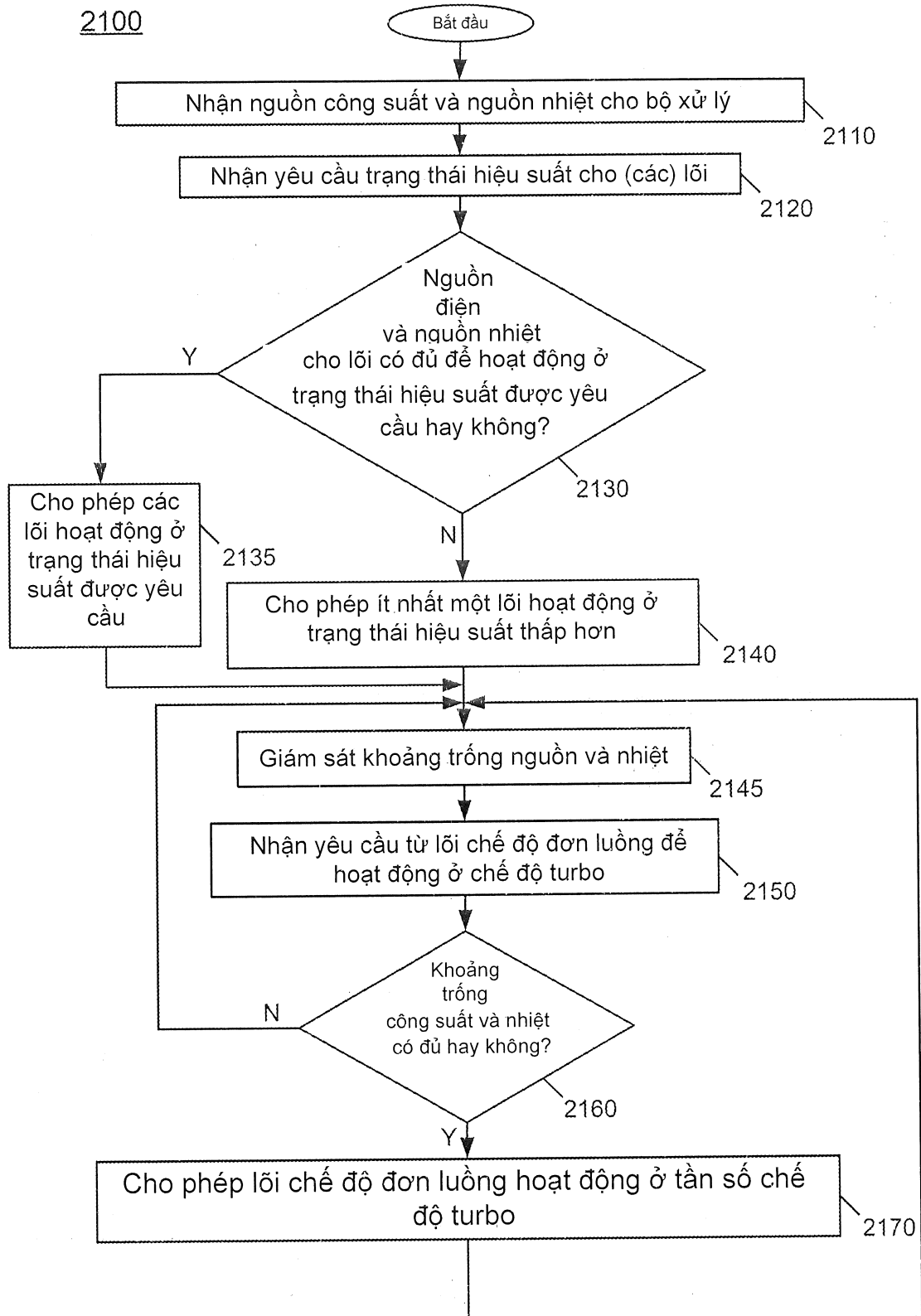


FIG. 21

22/22

2200

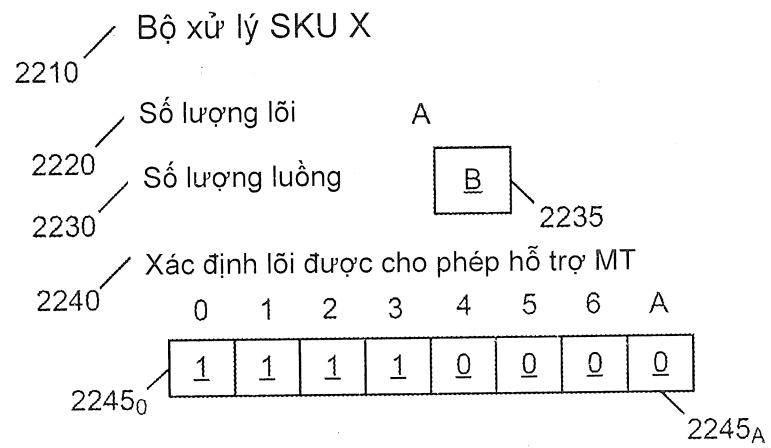


FIG. 22