(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) **1-0044389**

(51)[2020.01] **G01R 13/00**

(13) **B**

(21) 1-2020-01873

(22) 31/03/2020

(30) US 16/371,149 01/04/2019 US

(45) 25/03/2025 444

(43) 26/10/2020 391A

(71) InnoLux Corporation (TW)
No. 160 Kesyue Rd., Jhu-Nan Site, Hsinchu Science Park, Jhu-Nan, Miao-Li County, Taiwan

(72) LIUS CHANDRA (ID); Lee Kuan-Feng (TW).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ CÓ CẢM BIẾN SINH TRẮC HỌC

(21) 1-2020-01873

(57) Sáng chế đề cập đến thiết bị hiển thị có vùng hiển thị và vùng cạnh liền kề với vùng hiển thị và bao gồm các bộ hiển thị, các bộ cảm biến, trình điều khiển hiển thị và trình điều khiển cảm biến. Các bộ hiển thị và các bộ cảm biến được bố trí trên vùng hiển thị. Trình điều khiển hiển thị được nối với ít nhất một phần của bộ hiển thị, và bao gồm các tranzito màng mỏng thứ nhất có lớp kênh thứ nhất. Trình điều khiển cảm biến được nối với ít nhất một phần của các bộ cảm biến, và bao gồm các tranzito màng mỏng thứ hai có lớp kênh thứ hai. Ít nhất một phần của các tranzito màng mỏng thứ nhất và ít nhất một phần của các tranzito màng mỏng thứ hai được bố trí trên vùng cạnh.

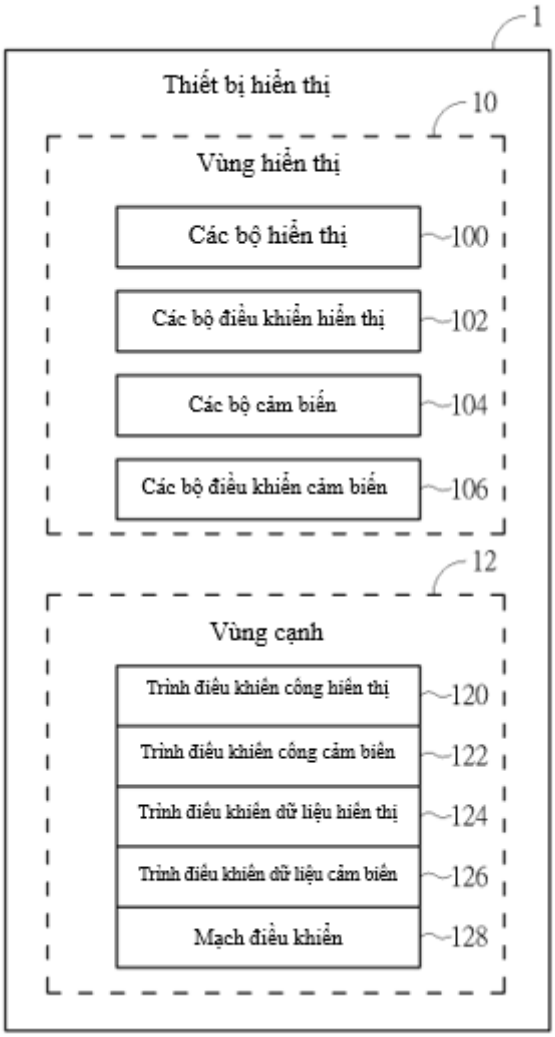

FIG.1

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị có màn hình cảm ứng, và cụ thể là, thiết bị hiển thị có các cảm biến sinh trắc học.

Tình trạng kỹ thuật của sáng chế

Nhu cầu ngày càng cao về an toàn thông tin và bảo mật thông tin đã thúc đẩy việc sử dụng bước xác thực sinh trắc học trên các thiết bị điện tử như điện thoại thông minh, máy tính xách tay, máy tính bảng, thiết bị trong lĩnh vực ngân hàng, và máy chơi trò chơi điện tử. Hình thức phổ biến của việc xác thực sinh trắc học là nhận dạng dấu vân tay. Gần đây, các cảm biến vân tay đã được áp dụng cho các thiết bị điện tử khác nhau sao cho các thiết bị điện tử này có thể được mở khóa bởi chủ sở hữu thiết bị thông qua việc xác thực bằng vân tay, bảo vệ các thiết bị điện tử khỏi sự truy cập không được phép.

Thông thường, cảm biến vân tay được bố trí riêng biệt với màn hình hiển thị trên thiết bị hiển thị, vì vậy thiết bị hiển thị bị khóa màn hình có thể được mở khóa chỉ bằng cách chạm vào cảm biến vân tay. Tuy nhiên, điều đáng quan tâm đối với các nhà sản xuất và người dùng thiết bị hiển thị là kết hợp cảm biến vân tay vào màn hình hiển thị, do đó làm tăng vùng hiển thị của thiết bị hiển thị và tạo ra thiết kế không khung hoặc khung hẹp cho vùng không hiển thị của thiết bị hiển thị.

Vì vậy, nảy sinh nhu cầu cho thiết bị hiển thị chứa các cảm biến sinh trắc học, giảm kích thước khung của thiết bị hiển thị trong khi vẫn tạo ra sự xác thực sinh trắc học để bảo vệ thiết bị hiển thị khỏi sự truy cập không được phép.

Bản chất kỹ thuật của sáng chế

Phương án đề xuất thiết bị hiển thị có vùng hiển thị và vùng cạnh liền kề với vùng hiển thị. Thiết bị hiển thị này bao gồm các bộ hiển thị, các bộ cảm biến, trình điều khiển hiển thị và trình điều khiển cảm biến. Các bộ hiển thị và các bộ cảm biến này được bố trí trên vùng hiển thị. Trình điều khiển hiển thị được nối với ít nhất một phần của các bộ hiển thị, và bao gồm các tranzito màng mỏng thứ nhất có lớp kênh thứ nhất. Trình điều khiển cảm biến được nối với ít nhất một phần của các bộ cảm biến, và bao gồm các tranzito màng mỏng thứ hai có lớp kênh thứ hai. Ít nhất một

phần của các tranzito màng mỏng thứ nhất và ít nhất một phần của các tranzito màng mỏng thứ hai được bố trí trên vùng cạnh.

Những mục đích này và những mục đích khác của sáng chế chắc chắn sẽ trở nên rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng sau khi đọc phần mô tả chi tiết dưới đây theo phương án được minh họa trên các hình vẽ khác nhau.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối của thiết bị hiển thị theo một phương án của sáng chế.

Fig.2 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ của thiết bị hiển thị trên Fig.1.

Fig.3 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.2 dọc theo đường 3-3'.

Fig.4 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị trên Fig.1.

Fig.5 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị trên Fig.1.

Fig.6 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị trên Fig.1.

Fig.7 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.6 dọc theo đường 7-7'.

Fig.8 là hình vẽ mặt cắt ngang khác của bản vẽ mạch điện của thiết bị hiển thị trên Fig.6 dọc theo đường 8-8'.

Fig.9 là sơ đồ mạch điện của trình điều khiển cổng theo một phương án của sáng chế.

Fig.10 là hình chiếu bằng của các tranzito chồng lặp trên bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị trên Fig.1.

Fig.11 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.10 dọc theo đường 11-11'.

Fig.12 là hình chiếu bằng của các tranzito chồng lặp trên bản vẽ mạch điện

làm ví dụ khác của thiết bị hiển thị trên Fig.1.

Fig.13 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.12 dọc theo đường 13-13'.

Fig.14 là hình vẽ mặt cắt ngang của các thiết bị được chọn của thiết bị hiển thị trên Fig.1.

Các hình vẽ từ Fig.15 đến Fig.17 là ba hình vẽ mặt cắt ngang của các bản vẽ mạch điện làm ví dụ của thiết bị hiển thị trên Fig.1.

Mô tả chi tiết sáng chế

Các phương án sau đây khi đọc cùng với các hình vẽ kèm theo được thực hiện để thể hiện rõ ràng các nội dung kỹ thuật, các dấu hiệu, và các hiệu quả nêu trên và các nội dung kỹ thuật, các dấu hiệu, và các hiệu quả khác nữa của sáng chế. Thông qua việc mô tả bằng các phương án cụ thể, mọi người sẽ hiểu thêm về các phương tiện và hiệu quả kỹ thuật của sáng chế làm theo để đạt được các mục đích được chỉ ra ở trên. Ngoài ra, các nội dung được bộc lộ ở đây nên được hiểu dễ dàng và có thể được thực hiện bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng, tất cả những thay đổi hoặc cải biến tương đương mà không tách rời khỏi nội dung của sáng chế nên được xác định bởi các yêu cầu bảo hộ kèm theo.

Ngoài ra, các số chỉ dẫn được nêu trong bản mô tả và các yêu cầu bảo hộ như "thứ nhất", "thứ hai" đến "thứ sáu" và số chỉ dẫn tương tự chỉ nhằm mô tả các phần tử yêu cầu bảo hộ và không bao hàm hoặc thể hiện rằng các phần tử yêu cầu bảo hộ có bất kỳ thứ tự tiến hành, cũng như trình tự giữa một phần tử yêu cầu bảo hộ này và một phần tử yêu cầu bảo hộ khác hoặc giữa các bước của phương pháp sản xuất. Việc sử dụng các số chỉ dẫn này chỉ đơn thuần để phân biệt một phần tử yêu cầu bảo hộ có ký hiệu nhất định với phần tử yêu cầu bảo hộ khác có cùng ký hiệu. Cần hiểu rằng khi phần tử hoặc lớp được mô tả là "được bố trí trên" phần tử hoặc lớp khác, thì nó có thể được bố trí trực tiếp trên phần tử hoặc lớp khác này, hoặc các phần tử hoặc lớp xen giữa có thể có mặt. Ngược lại, khi phần tử được mô tả là "được bố trí trực tiếp trên" phần tử hoặc lớp khác, thì không có các phần tử hoặc lớp xen giữa. Như được sử dụng ở đây, thuật ngữ "được nối với" tương đương với thuật ngữ "được nối điện" trong sáng chế.

Fig.1 là sơ đồ khối của thiết bị hiển thị 1 theo một phương án của sáng chế. Thiết bị hiển thị 1 có vùng hiển thị 10 và vùng cạnh 12 liền kề với vùng hiển thị 10. Thiết bị hiển thị 1 có các cảm biến sinh trắc học mà kết hợp các chức năng hiển thị ảnh và cảm biến ảnh trên vùng hiển thị 10. Theo một phương án, thiết bị hiển thị 1 cũng có thể là thiết bị hiển thị tinh thể lỏng (LCD: liquid-crystal display), thiết bị hiển thị điôt phát quang hữu cơ (OLED: organic light-emitting diode), thiết bị hiển thị mini LED có LED vô cơ (ví dụ, thiết bị panen mini LED, thiết bị panen micro LED, hoặc thiết bị panen LED chấm lượng tử), nhưng không bị giới hạn ở đó. Theo một phương án khác, hình dạng của vùng hiển thị 10 hoặc thiết bị hiển thị 1 có thể là hình chữ nhật, hình vuông, hình tròn, hoặc dạng tự do, nhưng không bị giới hạn ở đó. Vùng hiển thị 10 có thể là vùng màn hình hiển thị của thiết bị hiển thị 1 và vùng cạnh 12 có thể là ít nhất một phần của vùng không hiển thị bên ngoài vùng hiển thị 10. Cụ thể, thiết bị hiển thị 1 gồm các bộ hiển thị 100, các bộ điều khiển hiển thị 102, các bộ cảm biến 104 và các bộ điều khiển cảm biến 106 được bố trí trên vùng hiển thị 10, và trình điều khiển cổng hiển thị 120, trình điều khiển cổng cảm biến 122, trình điều khiển dữ liệu hiển thị 124, trình điều khiển dữ liệu cảm biến 126, và mạch điều khiển 128 được bố trí trên vùng cạnh 12.

Các bộ điều khiển hiển thị 102 có thể là các tranzito màng mỏng lần lượt điều khiển các bộ hiển thị 100 để hiển thị ảnh trên vùng hiển thị 10. Các bộ điều khiển cảm biến 106 có thể là các tranzito màng mỏng lần lượt điều khiển các bộ cảm biến 104 để phát hiện ảnh như dấu vân tay. Theo một phương án, ít nhất một trong số các tranzito màng mỏng gồm tranzito màng mỏng vô định hình, tranzito màng mỏng silic đa tinh thể nhiệt độ thấp, hoặc tranzito màng mỏng oxit kim loại, nhưng không bị giới hạn ở đó. Trình điều khiển cổng hiển thị 120 có thể được nối với một phần của các bộ hiển thị 100 và có thể gồm các tranzito màng mỏng thứ nhất để chọn các bộ hiển thị 100 thông qua các bộ điều khiển hiển thị tương ứng 102, và trình điều khiển dữ liệu hiển thị 124 có thể được nối với một phần của các bộ hiển thị 100 và có thể gồm các bộ ghép kênh hoặc chuyển mạch để tải dữ liệu ảnh đến các bộ hiển thị được chọn 100. Tương tự, trình điều khiển cổng cảm biến 122 có thể được nối với một phần của các bộ cảm biến 104 và có thể gồm các tranzito màng mỏng thứ hai để chọn các bộ cảm biến 104 thông qua các bộ điều khiển cảm biến tương ứng 106, và trình điều khiển dữ liệu cảm biến 126 có thể được nối với một phần của các bộ cảm biến 104

và có thể gồm các bộ ghép kênh hoặc chuyển mạch để đọc các tín hiệu được phát hiện từ các bộ cảm biến được chọn 104. Mạch điều khiển 128 có thể là bộ xử lý ảnh, bộ xử lý tín hiệu số, bộ xử lý trung tâm hoặc bộ vi xử lý. Mạch điều khiển 128 có thể được nối với trình điều khiển cổng hiển thị 120, trình điều khiển cổng cảm biến 122, trình điều khiển dữ liệu hiển thị 124, và trình điều khiển dữ liệu cảm biến 126 để điều khiển các bộ hiển thị 100 và các bộ cảm biến 104. Ít nhất một phần của các tranzito màng mỏng thứ nhất và ít nhất một phần của các tranzito màng mỏng thứ hai được bố trí trên vùng cạnh 12.

Như được sử dụng ở đây, trình điều khiển hiển thị có thể là trình điều khiển cổng hiển thị 120 hoặc trình điều khiển dữ liệu hiển thị 124, và trình điều khiển cảm biến có thể là trình điều khiển cổng cảm biến 122 hoặc trình điều khiển dữ liệu cảm biến 126. Các phương án khác nhau về các bản vẽ mạch điện của thiết bị hiển thị 1 được đưa ra trên các hình vẽ từ Fig.2 đến Fig.5 và từ Fig.7 đến Fig.10 để minh họa cách trình điều khiển hiển thị và trình điều khiển cảm biến có thể chia vùng cạnh 12 một cách hiệu quả trong khi vẫn truyền chất lượng tín hiệu mong muốn.

Fig.2 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ của thiết bị hiển thị 1, Fig.3 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị 1 dọc theo đường 3-3'. Fig.2 thể hiện rằng thiết bị hiển thị 1 còn bao gồm tấm nền mảng 14. Trình điều khiển dữ liệu hiển thị 124, trình điều khiển dữ liệu cảm biến 126 và mạch điều khiển 128 chia vùng cạnh 12. Vùng cạnh 12 này là một phần của vùng không hiển thị bao quanh vùng hiển thị 10, ví dụ, phần này được bố trí liền kề với mặt đáy 11 của vùng hiển thị 10. Trình điều khiển dữ liệu cảm biến 126 được bố trí trên trình điều khiển dữ liệu hiển thị 124 theo hướng từ trên xuống của thiết bị hiển thị 1. Fig.3 thể hiện rằng thiết bị hiển thị 1 còn bao gồm lớp cách điện thứ nhất 32 và lớp cách điện thứ hai 30 được bố trí liên tục trên tấm nền mảng 14 này. Hình vẽ mặt cắt ngang trên Fig.3 cũng thể hiện rằng trình điều khiển dữ liệu cảm biến 126 và trình điều khiển dữ liệu hiển thị 124 được bố trí trên tấm nền mảng 14 và chồng ít nhất một phần lên nhau theo hướng từ trên xuống của thiết bị hiển thị 1. Lớp cách điện thứ nhất 32 và lớp cách điện thứ hai 30 có thể bao gồm silic nitrua (SiN_x), silic oxit (SiO_x), hoặc sự kết hợp của chúng, và có thể có nhiều lớp.

Trên Fig.2, hình chiếu bằng thể hiện rằng các điểm ảnh phụ hiển thị Pd(1,1), Pd(1,2), Pd(1,3), Pd(2,1), Pd(2,2), Pd(2,3) và các điểm ảnh cảm biến Ps(1,1), Ps(1,2),

Ps(2,1), Ps(2,2) có thể được sắp xếp ở dạng ma trận, dạng tự do (không được thể hiện trên hình vẽ), hoặc sự kết hợp của các dạng này trên vùng hiển thị 10. Mỗi trong số các điểm ảnh phụ hiển thị Pd(M,N) có thể bao gồm bộ hiển thị 100 và bộ điều khiển hiển thị 102, và có thể là một trong số các điểm ảnh phụ đỏ, xanh lục và xanh lam (RGB: red green blue), trong đó M và N là các số nguyên dương và lần lượt biểu diễn các chỉ số hàng và cột của ma trận của các điểm ảnh phụ hiển thị. Cụ thể, các điểm ảnh phụ RGB có thể được sắp xếp theo bản vẽ điểm ảnh phụ xen kẽ cố định. Mạch điều khiển 128 và trình điều khiển dữ liệu hiển thị 124 có thể được nối với các điểm ảnh phụ hiển thị Pd(1,1), Pd(2,1) trong cột thứ nhất thông qua đường dữ liệu hiển thị Ldd[1], với các điểm ảnh phụ hiển thị Pd(1,2), Pd(2,2) trong cột thứ hai thông qua đường dữ liệu hiển thị Ldd[2], và với các điểm ảnh phụ hiển thị Pd(1,3), Pd(2,3) trong cột thứ ba thông qua đường dữ liệu hiển thị Ldd[3]. Tương tự như vậy, mỗi trong số các điểm ảnh cảm biến Ps(P,Q) có thể bao gồm bộ cảm biến 104 và bộ điều khiển cảm biến 106, và P và Q là các số nguyên dương và lần lượt biểu diễn các chỉ số hàng và cột của ma trận của các điểm ảnh phụ cảm biến. Mạch điều khiển 128 và trình điều khiển dữ liệu cảm biến 126 có thể được nối với các điểm ảnh cảm biến Ps(1,1), Ps(2,1) trong cột thứ nhất thông qua đường dữ liệu cảm biến Lsd[1], và với các điểm ảnh cảm biến Ps(1,2), Ps(2,2) trong cột thứ hai thông qua đường dữ liệu cảm biến Lsd[2]. Các điểm ảnh phụ hiển thị Pd(M,N) và các điểm ảnh cảm biến Ps(P,Q) có thể được sắp xếp xen kẽ dọc theo mỗi hàng của ma trận này, nhưng không bị giới hạn ở đó.

Cấu hình chồng lặp của trình điều khiển dữ liệu cảm biến 126 và trình điều khiển dữ liệu hiển thị 124 dẫn đến sự thu nhỏ diện tích của vùng cạnh 12, do đó làm co lại kích thước của thiết bị hiển thị 1. Chú ý rằng bản vẽ mạch điện của thiết bị hiển thị 1 không bị giới hạn ở cấu hình chồng lặp như được thể hiện trên Fig.2 và Fig.3, nhưng trình điều khiển dữ liệu cảm biến 126 và trình điều khiển dữ liệu hiển thị 124 cũng có thể không chồng lên nhau theo hướng từ trên xuống của thiết bị hiển thị 1. Hướng từ trên xuống là hướng quan sát trên Fig.2. Ngoài ra, trình điều khiển dữ liệu cảm biến 126 và trình điều khiển dữ liệu hiển thị 124 có thể được bố trí nằm giữa vùng hiển thị 10 và mạch điều khiển 128 theo hướng từ trên xuống của thiết bị hiển thị 1. Trình điều khiển dữ liệu hiển thị 124 và trình điều khiển dữ liệu cảm biến 126 khác với mạch chuyển mạch đường dữ liệu và mạch chuyển mạch đọc có thể được tích hợp với mạch điều khiển 128 tạo thành mạch tích hợp. Mạch chuyển mạch đường

dữ liệu của trình điều khiển dữ liệu hiển thị 124 và mạch chuyển mạch đọc của trình điều khiển dữ liệu cảm biến 126 có thể được bố trí trên vùng hiển thị 10. Còn chú ý thêm rằng số lượng điểm ảnh phụ hiển thị Pd(M,N) và số lượng điểm ảnh cảm biến Ps(P,Q) không bị giới hạn ở các phương án được đề xuất trên Fig.2 và Fig.3, số lượng điểm ảnh phụ hiển thị Pd(M,N) và số lượng điểm ảnh cảm biến Ps(P,Q) bất kỳ có thể được áp dụng trong thiết bị hiển thị 1 này, và kích thước ma trận của các điểm ảnh phụ hiển thị Pd(M,N) có thể giống hoặc khác với kích thước ma trận của các điểm ảnh cảm biến Ps(P,Q).

Fig.4 và Fig.5 là các hình chiếu bằng của hai bản vẽ mạch điện làm ví dụ của thiết bị hiển thị 1, trong đó trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 chia vùng cạnh 12 và không chồng lên nhau, và vùng cạnh 12 này được bố trí ở một bên (ví dụ, bên trái) của thiết bị hiển thị 1. Cấu hình mạch trong của các điểm ảnh phụ hiển thị Pd(M,N) và các điểm ảnh cảm biến Ps(P,Q) tương tự với cấu hình trên Fig.2, và ở đây phần giải thích chi tiết của nó được bỏ qua để đơn giản. Mặt phẳng nhìn từ trên xuống của thiết bị hiển thị 1 có hướng x (ví dụ, hướng thứ nhất) và hướng y (ví dụ, hướng thứ hai) vuông góc với hướng x. Mặt phẳng nhìn từ trên xuống là mặt phẳng quan sát trên Fig.4 hoặc Fig.5.

Trên Fig.4, trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 được bố trí dọc theo hướng y. Trình điều khiển cổng hiển thị 120 có thể được nối với các điểm ảnh phụ hiển thị Pd(M,N) trong hàng thứ nhất thông qua đường cổng hiển thị Ldr[1] và với các điểm ảnh phụ hiển thị Pd(M,N) trong hàng thứ hai thông qua đường cổng hiển thị Ldr[2]. Tương tự, trình điều khiển cổng cảm biến 122 có thể được nối với các điểm ảnh cảm biến Ps(P,Q) trong hàng thứ nhất thông qua đường cổng cảm biến Lsr[1] và với các điểm ảnh cảm biến Ps(P,Q) trong hàng thứ hai thông qua đường cổng cảm biến Lsr[2]. Mạch điều khiển 128 được nối với trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 thông qua các bộ phận kết nối 400, 401, 420, 421 để chọn lần lượt mỗi hàng của các điểm ảnh phụ hiển thị Pd(M,N) và mỗi hàng của các điểm ảnh cảm biến Ps(P,Q). Trên Fig.5, trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 lần lượt được phân loại thành các trình điều khiển cổng phụ hiển thị 120a, 120b và các trình điều khiển cổng phụ cảm biến 122a, 122b, và các trình điều khiển cổng phụ hiển thị 120a, 120b và các trình điều khiển cổng phụ cảm biến 122a, 122b này được sắp xếp xen kẽ và được căn

thẳng dọc theo hướng y. Các trình điều khiển cổng phụ hiển thị 120a, 120b và các trình điều khiển cổng phụ cảm biến 122a, 122b có thể được sắp xếp xen kẽ với số lượng không đều. Ví dụ, 3 trình điều khiển cổng phụ 120a và 2 trình điều khiển cổng phụ cảm biến 122a có thể được sắp xếp xen kẽ, và 3 trình điều khiển cổng phụ 120b và 2 trình điều khiển cổng phụ cảm biến 122b có thể được sắp xếp xen kẽ. Trình điều khiển cổng phụ hiển thị 120a có thể được nối với các điểm ảnh phụ hiển thị Pd(M,N) trong hàng thứ nhất thông qua đường cổng hiển thị Ldr[1] và trình điều khiển cổng phụ hiển thị 120b có thể được nối với các điểm ảnh phụ hiển thị Pd(M,N) trong hàng thứ hai thông qua đường cổng hiển thị Ldr[2]. Tương tự, trình điều khiển cổng phụ cảm biến 122a có thể được nối với các điểm ảnh cảm biến Ps(P,Q) trong hàng thứ nhất thông qua đường cổng cảm biến Lsr[1] và trình điều khiển cổng phụ cảm biến 122b có thể được nối với các điểm ảnh cảm biến Ps(P,Q) trong hàng thứ hai thông qua đường cổng cảm biến Lsr[2]. Mạch điều khiển 128 lần lượt được nối với các trình điều khiển cổng phụ hiển thị 120a, 120b và các trình điều khiển cổng phụ cảm biến 122a, 122b thông qua các bộ phận kết nối 500, 501, 520, 521 để chọn mỗi hàng của các điểm ảnh phụ hiển thị Pd(M,N) và mỗi hàng của các điểm ảnh cảm biến Ps(P,Q).

Các bản vẽ mạch điện của trình điều khiển dữ liệu cảm biến 126 và trình điều khiển dữ liệu hiển thị 124 như trên Fig.4 và Fig.5 tạo ra thiết kế khung hẹp (vùng không hiển thị hoặc vùng cạnh 12 nhỏ hơn) đối với thiết bị hiển thị 1. Chú ý rằng bản vẽ mạch điện của thiết bị hiển thị 1 không bị giới hạn ở các bản vẽ trên Fig.4 và Fig.5, nhưng trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 cũng có thể được sắp xếp thành cấu hình xếp chồng. Ngoài ra, vùng cạnh 12 có thể được phân tách thành vùng cạnh phụ thứ nhất và thứ hai được sắp xếp tại các bên đối diện của vùng hiển thị 10, và trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 có thể được phân tách lần lượt thành hai phần, sao cho các phần thứ nhất của trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 có thể được bố trí trên vùng cạnh phụ thứ nhất để điều khiển dữ liệu quét của một nửa bộ hiển thị 100 và các bộ cảm biến 104, và các phần thứ hai của trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 có thể được bố trí trên vùng cạnh phụ thứ hai để điều khiển dữ liệu quét của một nửa khác của bộ hiển thị 100 và các bộ cảm biến 104. Bản vẽ mạch điện của các phần phân tách của trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122 trong vùng cạnh phụ bất kỳ có thể

được sắp xếp trong dạng bản vẽ bất kỳ như được thảo luận trên Fig.4 và Fig.5. Ngoài ra, trình điều khiển dữ liệu hiển thị 124 và trình điều khiển dữ liệu cảm biến 126 khác với mạch chuyển mạch đường dữ liệu và mạch chuyển mạch đọc có thể được tích hợp với mạch điều khiển 128 tạo thành mạch tích hợp. Mạch chuyển mạch đường dữ liệu của trình điều khiển dữ liệu hiển thị 124 và mạch chuyển mạch đọc của trình điều khiển dữ liệu cảm biến 126 có thể được bố trí trên vùng hiển thị 10. Còn chú ý rằng số lượng các điểm ảnh phụ hiển thị Pd(M,N) và số lượng các điểm ảnh cảm biến Ps(P,Q) không bị giới hạn ở số lượng được tạo ra trên Fig.4 và Fig.5, số lượng bất kỳ của các điểm ảnh phụ hiển thị Pd(M,N) và các điểm ảnh cảm biến Ps(P,Q) có thể được áp dụng trong thiết bị hiển thị 1, và kích thước ma trận của các điểm ảnh phụ hiển thị Pd(M,N) có thể giống hoặc khác với kích thước ma trận của các điểm ảnh cảm biến Ps(P,Q). Sự kết hợp bất kỳ các bản vẽ mạch điện của trình điều khiển cổng hiển thị 120, trình điều khiển cổng cảm biến 122, trình điều khiển dữ liệu hiển thị 124, và trình điều khiển dữ liệu cảm biến 126 như được thể hiện trên các hình vẽ từ Fig.2 đến Fig.5 có thể được áp dụng trong thiết bị hiển thị 1.

Fig.6 là hình chiếu bằng của bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị 1, Fig.7 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị 1 trên Fig.6 dọc theo đường 7-7', và Fig.8 là hình vẽ mặt cắt ngang khác của bản vẽ mạch điện của thiết bị hiển thị 1 trên Fig.6 dọc theo đường 8-8'. Các vùng cạnh phụ 12a và 12b được căn thẳng dọc theo hướng x và tại các bên đối diện của vùng hiển thị 10, và vùng cạnh phụ 12c và vùng hiển thị 10 được căn thẳng dọc theo hướng y. Trên Fig.6, trình điều khiển cổng hiển thị 120a và trình điều khiển cổng cảm biến 122a chồng lên nhau trong vùng cạnh phụ 12a, trình điều khiển cổng hiển thị 120b và trình điều khiển cổng cảm biến 122b chồng lên nhau trong vùng cạnh phụ 12b. Trình điều khiển dữ liệu hiển thị 124, trình điều khiển dữ liệu cảm biến 126 và mạch điều khiển 128 được tích hợp vào mạch tích hợp 628 được bố trí trên vùng cạnh phụ 12c. Mạch tích hợp 628 này được nối với các điểm ảnh phụ hiển thị Pd(1,1), Pd(2,1) thông qua đường dữ liệu hiển thị Ldd[1], với các điểm ảnh phụ hiển thị Pd(1,2), Pd(2,2) thông qua đường dữ liệu hiển thị Ldd[2] và với các điểm ảnh phụ hiển thị Pd(1,3), Pd(2,3) thông qua đường dữ liệu hiển thị Ldd[3]. Hơn nữa, mạch tích hợp 628 được nối với các điểm ảnh phụ cảm biến Ps(1,1), Ps(2,1) thông qua đường dữ liệu cảm biến Lsd[1] và các điểm ảnh phụ cảm biến Pd(1,2), Ps(2,2) thông qua đường dữ liệu cảm biến Lsd[2].

Cấu hình mạch trong của các điểm ảnh phụ hiển thị Pd(M,N) và các điểm ảnh cảm biến Ps(P,Q) tương tự với cấu hình trên Fig.2, và ở đây phần giải thích chi tiết của nó được bỏ qua để đơn giản.

Bản vẽ mạch điện chồng lặp, mặc dù kích thước nhỏ, có thể gây ra sự nhiễu và làm giảm chất lượng tín hiệu khi mạch chồng lặp chuyển mạch giữa các trạng thái. Như được chỉ ra trên Fig.7, để giảm sự nhiễu, thì các lớp chắn 71a, 71b và/hoặc các lớp cách điện 72, 74, 76 được bố trí giữa trình điều khiển cổng hiển thị 120a và trình điều khiển cổng cảm biến 122a chồng lặp, và giữa trình điều khiển cổng hiển thị 120b và trình điều khiển cổng cảm biến 122b chồng lặp. Các lớp cách điện 76, 74, 72 có thể được bố trí liên tục trên tấm nền 70, và có thể bao gồm vật liệu hữu cơ, vật liệu vô cơ hoặc sự kết hợp của các vật liệu này. Lớp chắn 71a được bố trí giữa ít nhất một phần của các tranzito màng mỏng thứ nhất trong trình điều khiển cổng hiển thị 120a và ít nhất một phần của các tranzito màng mỏng thứ hai trong trình điều khiển cổng cảm biến 122a. Tương tự, lớp chắn 71b được bố trí giữa ít nhất một phần của các tranzito màng mỏng thứ nhất trong trình điều khiển cổng hiển thị 120b và ít nhất một phần của các tranzito màng mỏng thứ hai trong trình điều khiển cổng cảm biến 122b. Cụ thể, các lớp chắn 71a, 71b lần lượt kéo dài khắp vùng giữa ít nhất một phần của các tranzito màng mỏng thứ nhất trong các trình điều khiển cổng hiển thị 120a, 120b và ít nhất một phần của các tranzito màng mỏng thứ hai trong các trình điều khiển cổng cảm biến 122a, 122b. Hơn nữa, các lớp chắn 71a, 71b có thể được chồng lên các trình điều khiển cổng hiển thị 120a, 120b và các trình điều khiển cổng cảm biến 122a, 122b theo hướng z trên Fig.7. Theo các phương án khác, các lớp chắn 71a, 71b có thể được bố trí giữa mỗi trong số ít nhất một phần của các tranzito màng mỏng thứ nhất và tranzito màng mỏng thứ hai tương ứng của nó. Theo các phương án khác nữa, lớp chắn 71a, 71b có thể được bố trí giữa các vùng kênh của ít nhất một phần của các tranzito màng mỏng thứ nhất và các vùng kênh của ít nhất một phần của các tranzito màng mỏng thứ hai. Trên Fig.8, thiết bị hiển thị 1 có thể còn bao gồm màng 80 là màng dẫn không đẳng hướng (ACF: anisotropic conductive film), lớp cách điện thứ nhất 81, lớp cách điện thứ hai 83 và các bộ phận kết nối 85. Lớp cách điện thứ hai 83, lớp cách điện thứ nhất 81, màng ACF 80 và mạch tích hợp 628 có thể được bố trí liên tục trên tấm nền 70. Lớp cách điện thứ nhất 81 và lớp cách điện thứ hai 83 có thể bao gồm silic nitrua (SiN_x), silic oxit (SiO_x), hoặc sự kết hợp của chúng, và có thể có

nhiều lớp.

Các đường dữ liệu hiển thị Ldd[1], Ldd[2], Ldd[3] và đường dữ liệu cảm biến Lsd[1], Lsd[2] truyền qua các lớp khác nhau và sau đó được nối với mạch tích hợp 628 thông qua các bộ phận kết nối 85, các lớp đệm tiếp xúc 82 và các phần tử ACF 84. Các lớp đệm tiếp xúc 82 bao gồm vật liệu kim loại như đồng, vonfram, bạc, thiếc, niken, crom, titan, chì, vàng, bitmut, antimon, kẽm, ziriconi, magiê, indi, telua, gali, vật liệu kim loại phù hợp khác, hợp kim hoặc sự kết hợp của các vật liệu này, và không bị giới hạn ở đó. Mỗi trong số các phần tử ACF 84 bao gồm lõi và vỏ, với lõi được tạo thành từ các đại phân tử, và vỏ được tạo thành từ kim loại hoặc hợp kim kim loại. Vật liệu của vỏ có thể giống vật liệu của các lớp đệm tiếp xúc 82.

Fig.9 là sơ đồ mạch điện của trình điều khiển cổng 9 theo một phương án của sáng chế. Trình điều khiển cổng 9 có thể đóng vai trò như trình điều khiển cổng hiển thị 120 hoặc trình điều khiển cổng cảm biến 122, có thể tạo ra tín hiệu đường cổng đối với hàng hiện thời của bộ hiển thị 100 hoặc các bộ cảm biến 104, và có thể bao gồm các tranzito từ M1 đến M4 và tụ điện Cc. Các tín hiệu STV, CKV, GL1, GL2, và VGL lần lượt là tín hiệu đường cổng đối với hàng có trước, tín hiệu đồng hồ, tín hiệu đường cổng đối với hàng hiện thời, tín hiệu đường cổng của hàng tiếp theo, và tín hiệu tham chiếu nối đất. Cực nguồn hoặc cực máng của tranzito M1 được nối với cực cổng của tranzito M2 thông qua nút Q(1). Khi tranzito M1 nhận mức điện áp cao của tín hiệu STV, thì nút Q(1) được nạp điện trước đến mức điện áp cao. Sau đó, tranzito M2 được bật để kéo tín hiệu GL1 đến mức điện áp cao khi tín hiệu CKV chuyển đến trạng thái cao, trong khi tăng áp tại nút Q(1) đến điện áp cao hơn Vh thông qua tụ điện Cc. Mức điện áp cao của tín hiệu GL1 được truyền đến trình điều khiển cổng tiếp theo 9 đối với hàng tiếp theo để kéo tín hiệu GL2 đến mức điện áp cao. Khi phát hiện mức điện áp cao của tín hiệu GL2, thì các tranzito M3 và M4 được bật để kéo điện áp tại nút Q(1) và điện áp của tín hiệu GL1 đến mức điện áp thấp, do đó hoàn thành việc tạo xung cho tín hiệu GL1. Tín hiệu GL1 có thể được sử dụng để chọn hàng hiện thời của bộ hiển thị 100 hoặc các bộ cảm biến 104.

Fig.10 và Fig.12 là các hình chiếu bằng của các tranzito chồng lặp trên các bản vẽ mạch điện làm ví dụ khác của thiết bị hiển thị 1, Fig.11 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.10 dọc theo đường 11-11', và Fig.13 là hình vẽ mặt cắt ngang của bản vẽ mạch điện của thiết bị hiển thị trên Fig.12

dọc theo đường 13-13'. Fig.10 và Fig.11 minh họa rằng lớp chắn 110 có mặt giữa các mạch chồng lặp, và Fig.12 và Fig.13 minh họa rằng các mạch chồng lặp được dịch chuyển nhỏ cùng nhau và không cần lớp chắn nằm giữa các mạch chồng lặp.

Trên Fig.10, lớp chắn 110 được lồng giữa trình điều khiển cổng hiển thị 120 và trình điều khiển cổng cảm biến 122, và trình điều khiển cổng hiển thị 120 bao gồm hai tranzito 114a, 114b và trình điều khiển cổng cảm biến 122 bao gồm hai tranzito 112a, 112b.

Trên Fig.11, tranzito 112a được bố trí trên tranzito 114a, và hình mẫu chắn 110a được bố trí có hướng nằm giữa vùng kênh 1120a của tranzito 112a và vùng kênh 1140a của tranzito 114a để chắn tín hiệu không mong muốn nối giữa tranzito 112a và tranzito 114a. Tranzito 112b được bố trí trên tranzito 114b, và hình mẫu chắn 110b được bố trí có hướng giữa vùng kênh 1120b của tranzito 112b và vùng kênh 1140b của tranzito 114b để chắn tín hiệu không mong muốn nối giữa tranzito 112b và tranzito 114b. Các vùng kênh của tất cả các tranzito của trình điều khiển cổng cảm biến 122 tạo thành lớp kênh thứ nhất, và các vùng kênh của tất cả các tranzito của trình điều khiển cổng hiển thị 120 tạo thành lớp kênh thứ hai. Hơn nữa, tất cả các hình mẫu chắn 110a/110b nằm giữa các vùng kênh của trình điều khiển cổng cảm biến 122 và các vùng kênh của trình điều khiển cổng hiển thị 120 tạo thành lớp chắn 110. Tranzito 112a gồm các bộ phận cực nguồn/cổng 1126a, 1126b, vật cách điện cực cổng 1128a, và các lớp bán dẫn 1122a. Tranzito 112b gồm các bộ phận cực nguồn/cổng 1126c, 1126d, vật cách điện cực cổng 1128b, và các lớp bán dẫn 1120b. Bộ phận cực nguồn/cổng 1126b được nối với bộ phận cực nguồn/cổng 1126c thông qua bộ phận kết nối 1124. Bộ phận kết nối 1124 này có thể bao gồm nhôm, đồng, thiếc indi oxit (ITO), titan, hoặc sự kết hợp của các vật liệu này. Tranzito 114a gồm các bộ phận cực nguồn/cổng 1146a, 1146b, vật cách điện cực cổng 1148a, và các lớp bán dẫn 1140a. Tranzito 114b gồm các bộ phận cực nguồn/cổng 1146c, 1146d, vật cách điện cực cổng 1148b, và các lớp bán dẫn 1140b. Bộ phận cực nguồn/cổng 1146b được nối với bộ phận cực nguồn/cổng 1146c thông qua bộ phận kết nối 1144. Bộ phận kết nối 1144 này có thể bao gồm nhôm, đồng, ITO, titan, hoặc sự kết hợp của các vật liệu này. Thiết bị hiển thị 1 còn bao gồm tấm nền được bố trí liên tục 1160, lớp đệm 1162, lớp cách điện thứ nhất 1164, lớp cách điện cực cổng thứ nhất 1166, chất điện môi giữa các lớp thứ nhất 1168, chất điện môi giữa các lớp thứ hai 1170,

lớp cách điện thứ hai 1172, lớp cách điện cực cổng thứ hai 1174, chất điện môi giữa các lớp thứ ba 1176, chất điện môi giữa các lớp thứ tư 1178 và lớp cách điện thứ ba 1180. Lớp cách điện thứ ba 1180 có thể bao gồm vật liệu hữu cơ.

Trên Fig.12, bốn tranzito 112a, 112b, 112c, 112d của trình điều khiển cổng cảm biến 122 được dịch chuyển cách xa bốn tranzito 114a, 114b, 114c, 114d của trình điều khiển cổng hiển thị 120. Do đó, các tranzito 112a, 112b, 114a, 114b và thiết bị hiển thị 1 trên Fig.13 có các kết cấu tương tự với các tranzito và thiết bị hiển thị trên Fig.11, ngoài trừ các tranzito 112a, 112b lần lượt được dịch chuyển từ các tranzito 114a, 114b trên Fig.13, và vì vậy, sự chuyển mạch tín hiệu của các tranzito 112a, 112b và các tranzito 114a, 114b sẽ không gây ra sự nhiễm cho nhau, vì vậy không cần lớp chắn.

Fig.14 là hình vẽ mặt cắt ngang của các thiết bị được chọn của thiết bị hiển thị 1, mô tả vùng hiển thị 10 và vùng cạnh 12. Trong vùng hiển thị 10, bộ hiển thị 100, các bộ điều khiển hiển thị 102a, 102b, bộ cảm biến 104 và bộ điều khiển cảm biến 106 được bố trí. Trong vùng cạnh 12, trình điều khiển dữ liệu hiển thị 124 và trình điều khiển dữ liệu cảm biến 126 được tạo ra. Lớp kênh thứ ba của bộ điều khiển hiển thị 102a hoặc 102b và ít nhất một trong số lớp kênh thứ nhất trong trình điều khiển dữ liệu hiển thị 124 và lớp kênh thứ hai trong trình điều khiển dữ liệu cảm biến 126 được tạo thành trong cùng một quy trình, do đó làm đơn giản hóa quy trình sản xuất và làm giảm chi phí sản xuất. Ví dụ, vật liệu của lớp kênh thứ ba của bộ điều khiển hiển thị 102a hoặc 102b gồm inđi gali kẽm oxit (IGZO), silic đa tinh thể nhiệt độ thấp (LTPS), hoặc sự kết hợp của các vật liệu này. Vật liệu của lớp kênh thứ nhất trong trình điều khiển dữ liệu hiển thị 124 chứa LTPS. Vật liệu của lớp kênh thứ hai trong trình điều khiển dữ liệu cảm biến 126 chứa IGZO. Thiết bị hiển thị 1 bao gồm tấm nền 1400, lớp đệm 1402, vật cách điện cực cổng thứ nhất 1404, chất điện môi giữa các lớp 1406, lớp thụ động hóa phía sau thứ nhất 1408, vật cách điện cực cổng thứ hai 1410, lớp thụ động hóa phía sau thứ hai 1412, lớp phẳng hóa 1414, lớp xác định điểm ảnh 1416, lớp catôt 1418, lớp vô cơ 1419, lớp hữu cơ 1420, lớp vô cơ 1421, lớp pha tạp loại N+ 1422, lớp pha tạp loại P 1424, điện cực cổng thứ hai 1426, lớp bán dẫn thứ hai 1428, bộ phận cực nguồn/máng 1430, lớp chắn ánh sáng 1432, lớp bán dẫn 1434, bộ phận cực nguồn/máng thứ hai 1436, điện cực cổng 1438, lớp anôt 1440 và lớp điôt phát quang hữu cơ (OLED) 1442.

Các hình vẽ từ Fig.15 đến Fig.17 là ba hình vẽ mặt cắt ngang của các bản vẽ mạch điện làm ví dụ của thiết bị hiển thị 1, minh họa ba trường hợp của các bản vẽ mạch điện đối với các tấm nền mảng tranzito màng mỏng. Trên Fig.15, các bộ hiển thị 100, các bộ cảm biến 104, các trình điều khiển hiển thị 120a, 120b và các trình điều khiển cảm biến 122a, 122b được sắp xếp trên tấm nền mảng thứ nhất Sa và nằm giữa tấm nền mảng thứ nhất Sa và tấm nền thứ hai Sb. Trên Fig.16, các bộ cảm biến 104 và các bộ hiển thị 100 được bố trí trên tấm nền mảng Sa, và các trình điều khiển hiển thị 120a, 120b và các trình điều khiển cảm biến 122a, 122b lần lượt được bố trí trên tấm nền mảng Sa. Trên Fig.17, các bộ cảm biến 104 được bố trí trên các bộ hiển thị 100, và các trình điều khiển cảm biến 122a, 122b được bố trí trên các trình điều khiển hiển thị 120a, 120b, và các bộ hiển thị 100, các bộ cảm biến 104, các trình điều khiển hiển thị 120a, 120b và các trình điều khiển cảm biến 122a, 122b được sắp xếp nằm giữa hai tấm nền Sa, Sb.

Các cấu hình mạch điện khác nhau của thiết bị hiển thị 1 trên các hình vẽ từ Fig.2 đến Fig.8 và Fig.10 đến Fig.17 cho phép cảm biến sinh trắc học được tích hợp vào panen hiển thị của thiết bị hiển thị, làm tăng vùng hiển thị của thiết bị hiển thị hoặc làm giảm kích thước khung của thiết bị hiển thị trong khi vẫn tạo ra sự xác thực sinh trắc học.

Người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng sẽ dễ dàng quan sát thấy nhiều biến thể và thay đổi của thiết bị và phương pháp có thể được thực hiện trong khi vẫn giữ nguyên các nội dung của phần mô tả. Theo đó, phần mô tả ở trên nên được hiểu là chỉ bị giới hạn bởi những giới hạn và phạm vi của yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị (1) có vùng hiển thị (10) và vùng cạnh (12) liền kề với vùng hiển thị (10), và thiết bị hiển thị (1), khác biệt ở chỗ, bao gồm:

các bộ hiển thị (100) và các bộ cảm biến (104) được bố trí trên vùng hiển thị (10);

trình điều khiển hiển thị (120, 124), được nối với ít nhất một phần của các bộ hiển thị (100), và bao gồm các tranzito màng mỏng thứ nhất (114a, 114b) có lớp kênh thứ nhất (1120a, 1120b); và

trình điều khiển cảm biến (122, 126), được nối với ít nhất một phần của các bộ cảm biến (104), và bao gồm các tranzito màng mỏng thứ hai (112a, 112b) có lớp kênh thứ hai (1140a, 1140b); và

lớp chắn (110, 110a, 110b, 71a, 71b) được bố trí giữa ít nhất một phần của các tranzito màng mỏng thứ nhất (114a, 114b) và ít nhất một phần của các tranzito màng mỏng thứ hai (112a, 112b) trên hình vẽ mặt cắt ngang của thiết bị hiển thị (1);

trong đó ít nhất một phần của các tranzito màng mỏng thứ nhất (114a, 114b) và ít nhất một phần của các tranzito màng mỏng thứ hai (112a, 112b) được bố trí trên vùng cạnh (12); và

trình điều khiển hiển thị (120, 124) và trình điều khiển cảm biến (122, 126) chồng lên nhau theo hướng từ trên xuống của thiết bị hiển thị (1).

2. Thiết bị hiển thị (1) theo điểm 1, khác biệt ở chỗ thiết bị này còn bao gồm các tranzito màng mỏng thứ ba được bố trí trên vùng hiển thị (10) và bao gồm lớp kênh thứ ba, trong đó lớp kênh thứ ba này và ít nhất một trong số lớp kênh thứ nhất (1120a, 1120b) và lớp kênh thứ hai (1140a, 1140b) được tạo thành trong cùng một quy trình.

3. Thiết bị hiển thị (1) theo điểm 2, khác biệt ở chỗ vật liệu của lớp kênh thứ nhất (1120a, 1120b) và lớp kênh thứ ba gồm silic đa tinh thể nhiệt độ thấp.

4. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ thiết bị này còn bao gồm ít nhất một trong số các đường quét (Ldr[1] đến Ldr [3]) được nối với ít nhất một phần của các bộ hiển thị (100) và trình điều khiển hiển thị (120), và ít nhất một trong số các đường quét (Ldr[1] đến Ldr [3]) kéo dài dọc theo

hướng thứ nhất (hướng X), trong đó trình điều khiển hiển thị (120) và trình điều khiển cảm biến (122) được căn thẳng dọc theo hướng thứ hai (hướng Y) vuông góc với hướng thứ nhất (hướng X).

5. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ mặt phẳng nhìn từ trên xuống của thiết bị hiển thị (1) có hướng thứ nhất (hướng X) và hướng thứ hai (hướng Y) vuông góc với hướng thứ nhất (hướng X) này, vùng cạnh (12) và vùng hiển thị (10) được căn thẳng dọc theo hướng thứ nhất (hướng X), trình điều khiển hiển thị (120) là trình điều khiển cổng hiển thị (120) và trình điều khiển cảm biến (122) là trình điều khiển cổng cảm biến (122).

6. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ vùng cạnh (12) bao gồm hai vùng cạnh phụ (12a, 12b) được sắp xếp ở các bên đối diện của vùng hiển thị (10).

7. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ mặt phẳng nhìn từ trên xuống của thiết bị hiển thị (1) có hướng thứ nhất (hướng X) và hướng thứ hai (hướng Y) vuông góc với hướng thứ nhất này, vùng cạnh (12) và vùng hiển thị (10) được căn thẳng dọc theo hướng thứ hai (hướng Y), trình điều khiển hiển thị (124) là trình điều khiển dữ liệu hiển thị (124) và trình điều khiển cảm biến (126) là trình điều khiển dữ liệu cảm biến (126).

8. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ thiết bị này còn bao gồm mạch điều khiển (128) được nối với trình điều khiển hiển thị (124) và trình điều khiển cảm biến (126), trình điều khiển hiển thị (124) và trình điều khiển cảm biến (126) lần lượt là trình điều khiển dữ liệu hiển thị (124) và trình điều khiển dữ liệu cảm biến (126), và mạch điều khiển (128), trình điều khiển dữ liệu hiển thị (124) và trình điều khiển dữ liệu cảm biến (126) được tích hợp vào một mạch tích hợp (628).

9. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ các bộ hiển thị (100) và các bộ cảm biến (104) được sắp xếp xen kẽ trong vùng hiển thị (10).

10. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ

trình điều khiển hiển thị (120a, 120b) và trình điều khiển cảm biến (122a, 122b) được bố trí trên tấm nền thứ nhất (Sa).

11. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ các bộ hiển thị (100), các bộ cảm biến (104), trình điều khiển hiển thị (120a, 120b) và trình điều khiển cảm biến (122a, 122b) được sắp xếp trên tấm nền thứ nhất (Sa) và nằm giữa tấm nền thứ nhất và tấm nền thứ hai (Sb).

12. Thiết bị hiển thị (1) theo điểm bất kỳ trong số các điểm nêu trên, khác biệt ở chỗ các bộ cảm biến (104) được bố trí trên các bộ hiển thị (100), và trình điều khiển cảm biến (122a, 122b) được bố trí trên trình điều khiển hiển thị (120a, 120b), và các bộ hiển thị (100), các bộ cảm biến (104), trình điều khiển hiển thị (120a, 120b) và trình điều khiển cảm biến (122a, 122b) được sắp xếp nằm giữa hai tấm nền (Sa, Sb).

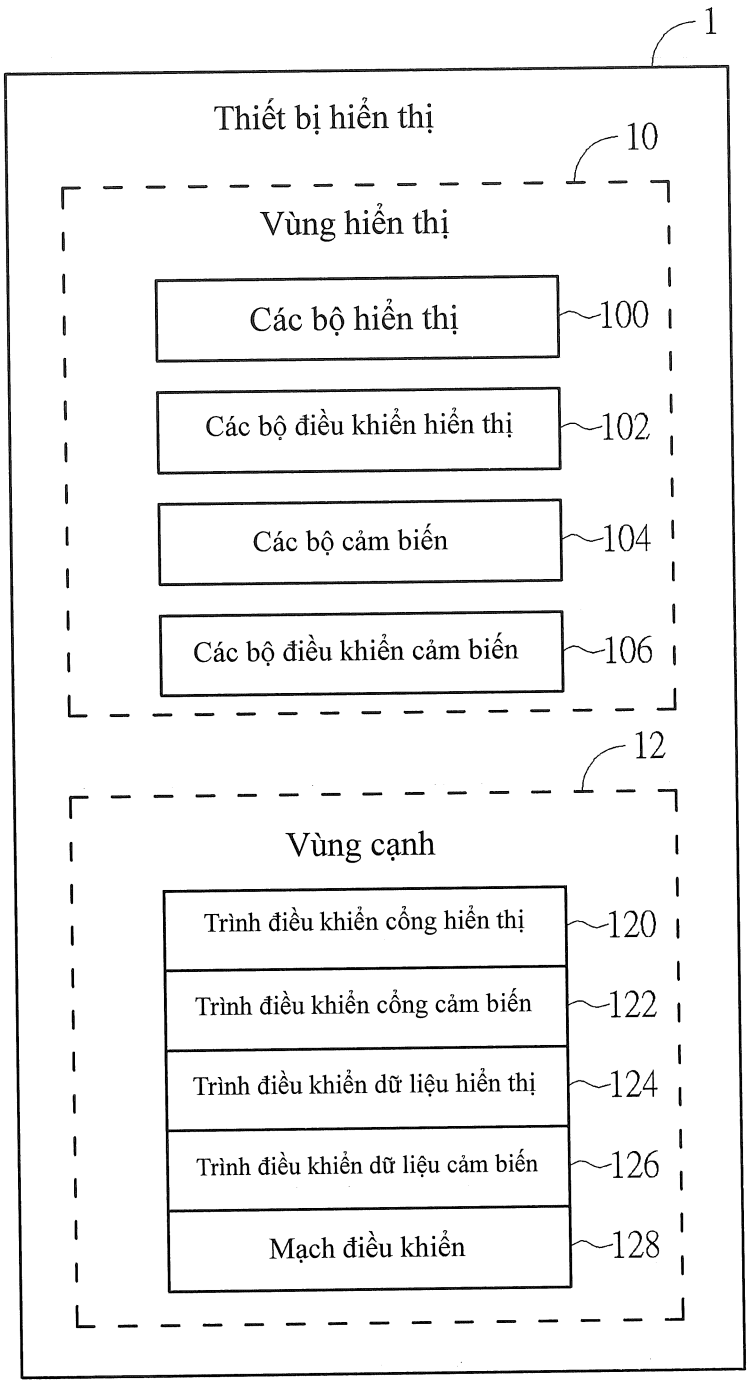
1
Thiết bị hiển thị
10
Vùng hiển thị
Các bộ hiển thị
100
Các bộ điều khiển hiển thị
102
Các bộ cảm biến
104
Các bộ điều khiển cảm biến
106
12
Vùng cạnh
Trình điều khiển cổng hiển thị
120
Trình điều khiển cổng cảm biến
122
Trình điều khiển dữ liệu hiển thị
124
Trình điều khiển dữ liệu cảm biến
126
Mạch điều khiển
128

FIG. 1

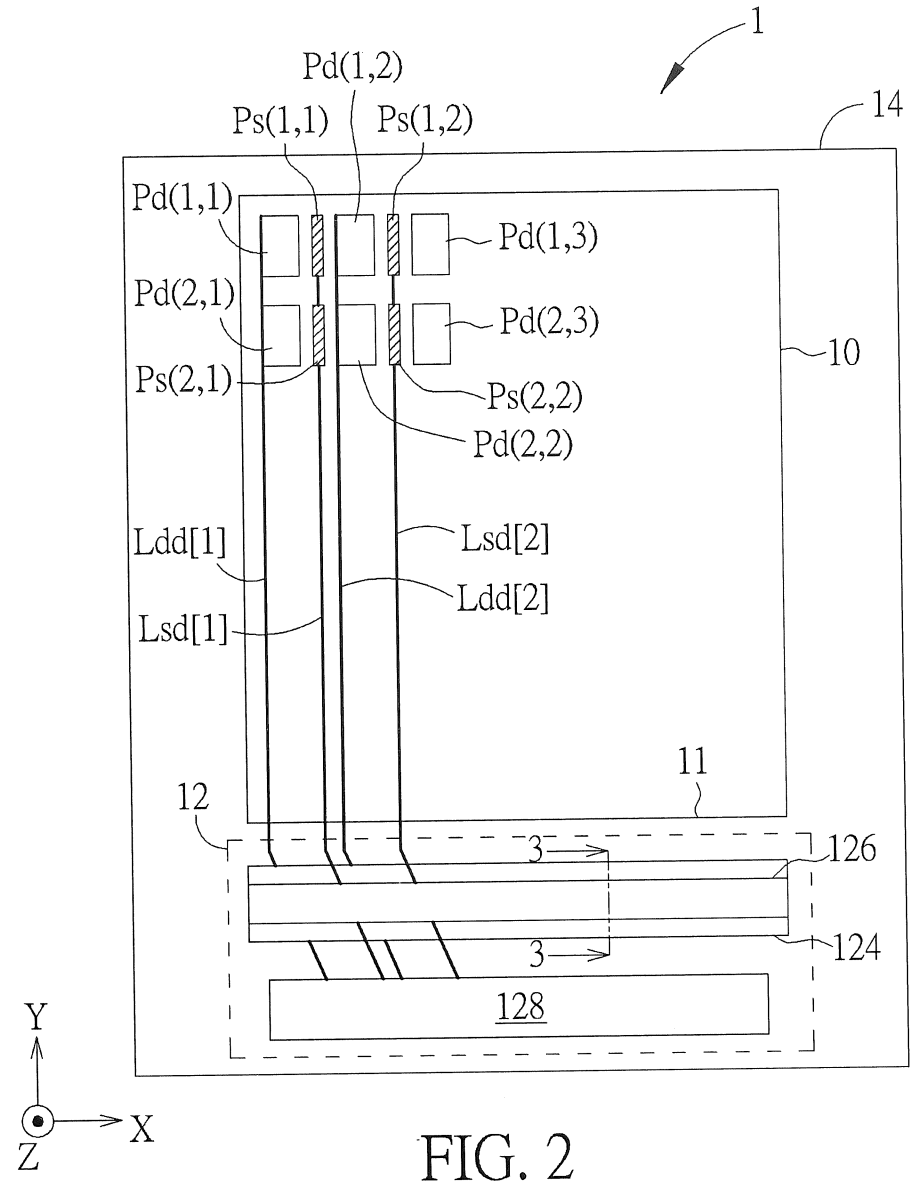
1
Pd(1,2)
Ps(1,1)
Ps(1,2)
14
Pd(1,1)
Pd(1,3)
Pd(2,1)
Pd(2,3)
10
Ps(2,1)
Ps(2,2)
Pd(2,2)
Ldd[1]
Lsd[2]
Ldd[2]
Lsd[1]
11
12
3
126
3
124
128
Y
X
Z

FIG. 2

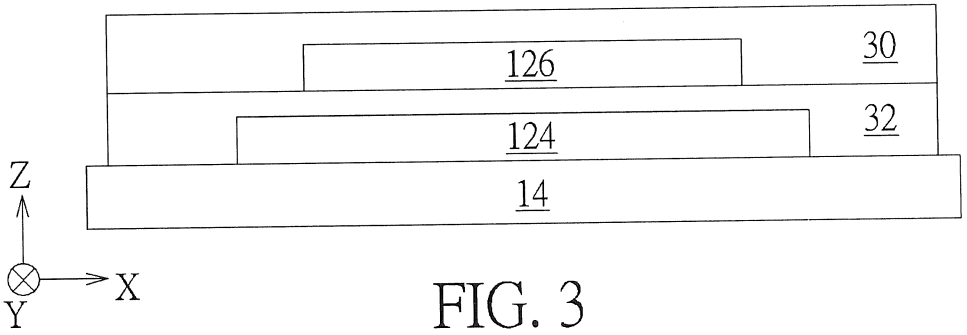
126
30
124
32
14
Z
X
Y

FIG. 3

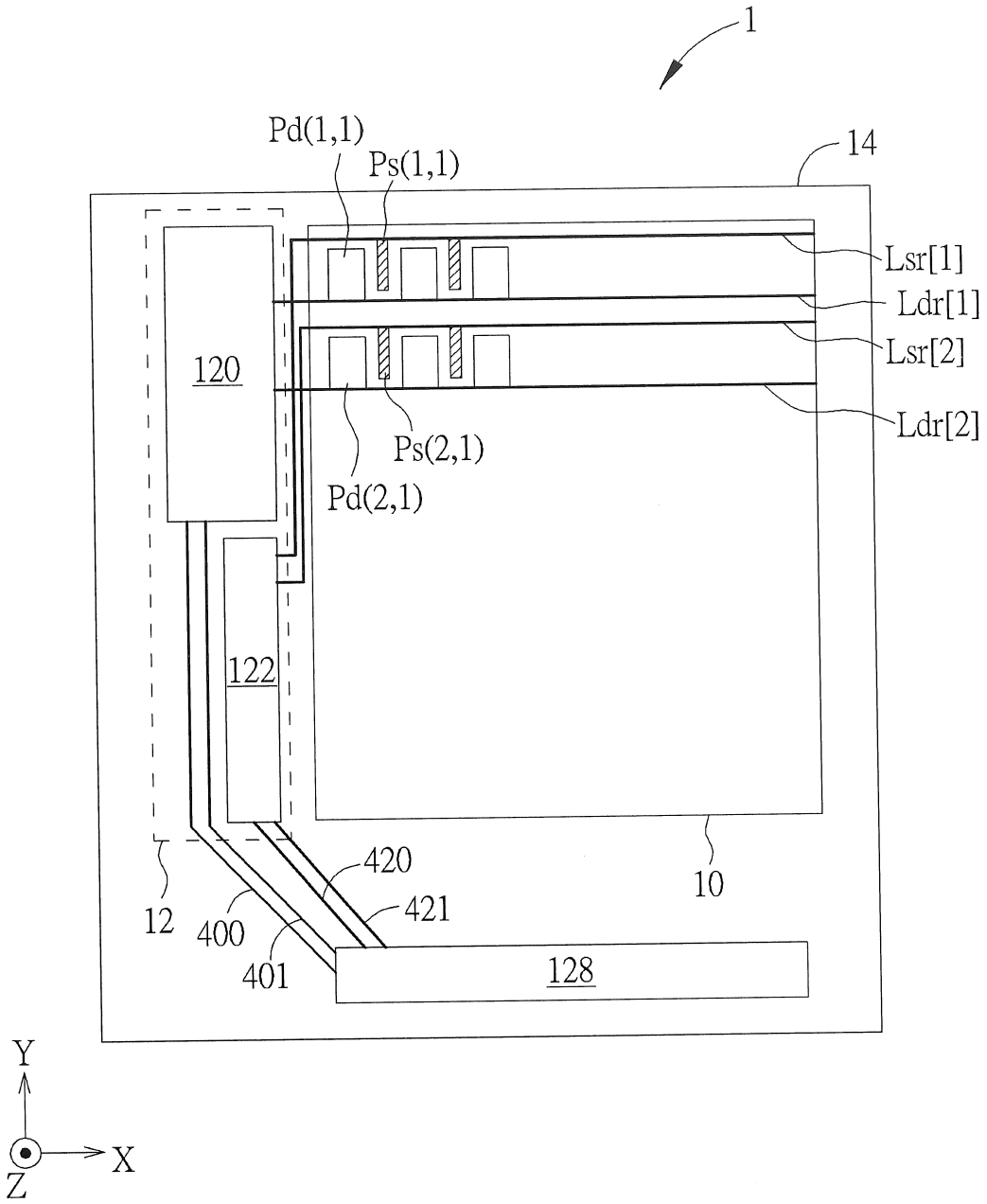
1
Pd(1,1)
Ps(1,1)
14
Lsr[1]
Ldr[1]
Lsr[2]
Ldr[2]
120
Ps(2,1)
Pd(2,1)
122
420
421
12
400
401
128
10
Y
X
Z

FIG. 4

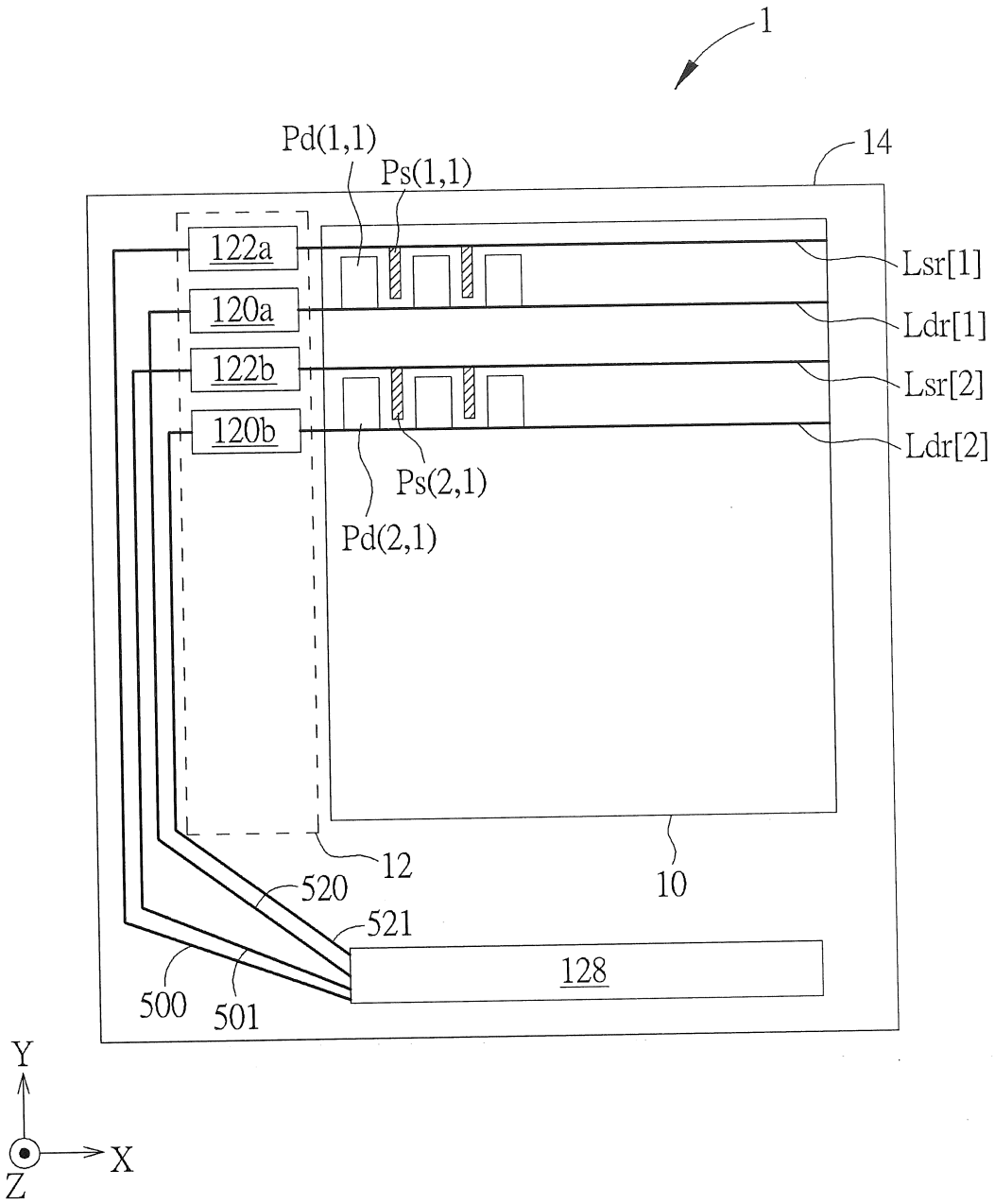
1
Pd(1,1)
Ps(1,1)
14
122a
120a
122b
120b
Lsr[1]
Ldr[1]
Lsr[2]
Ldr[2]
Ps(2,1)
Pd(2,1)
12
10
520
521
128
500
501
Y
X
Z

FIG. 5

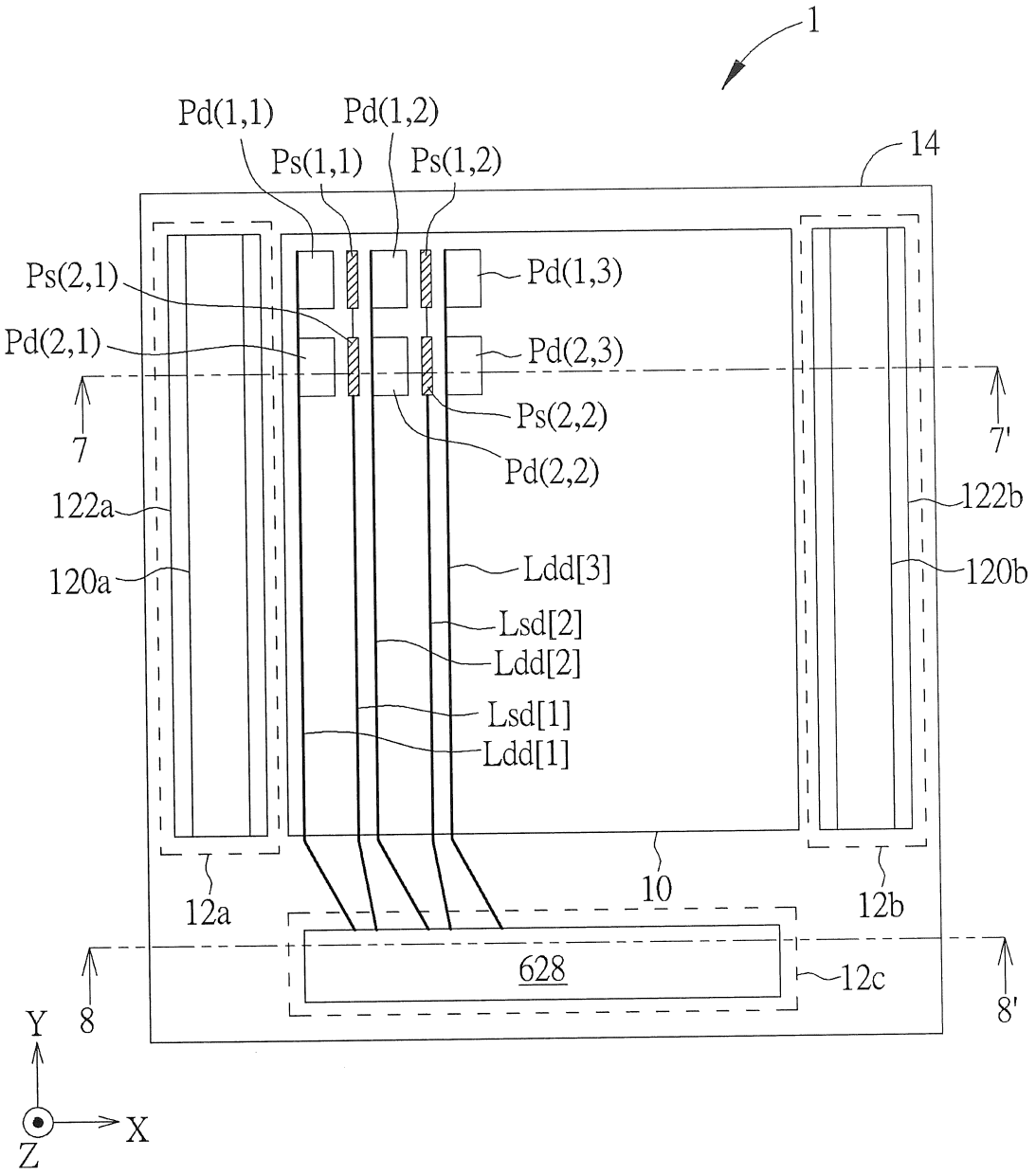
1
Pd(1,1)
Pd(1,2)
Ps(1,1)
Ps(1,2)
14
Ps(2,1)
Pd(1,3)
Pd(2,1)
Pd(2,3)
7
7'
Ps(2,2)
Pd(2,2)
122a
122b
120a
120b
Ldd[3]
Lsd[2]
Ldd[2]
Lsd[1]
Ldd[1]
12a
10
12b
628
12c
8
8'
Y
X
Z

FIG. 6

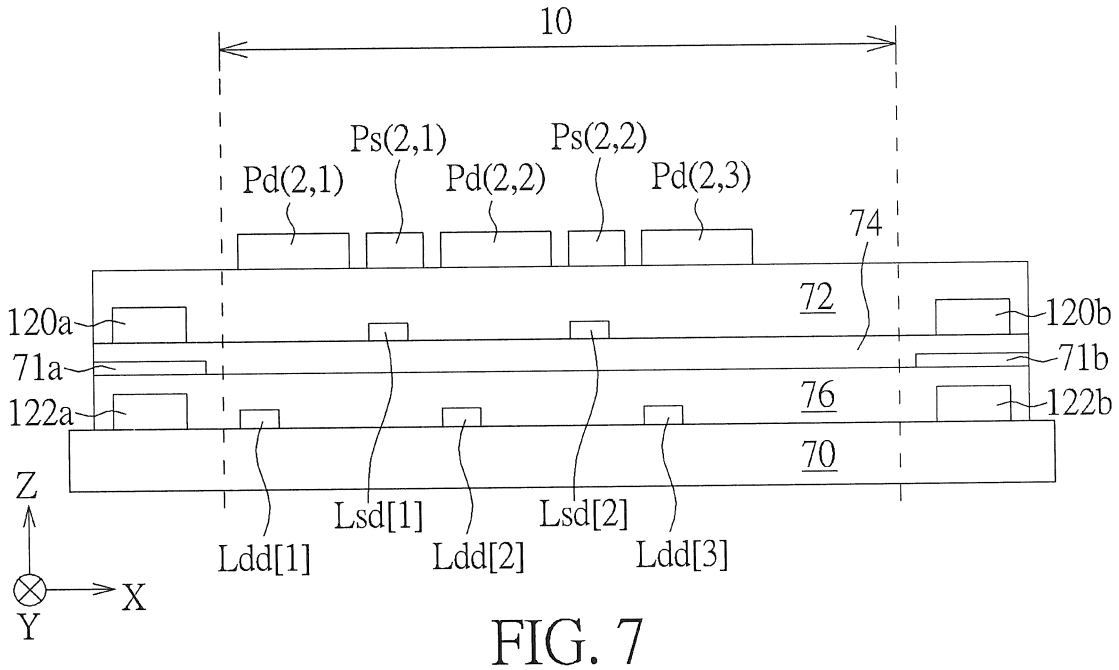
10
Ps(2,1)
Ps(2,2)
Pd(2,1)
Pd(2,2)
Pd(2,3)
74
72
120a
120b
71a
71b
76
122a
122b
70
Z
Lsd[1]
Lsd[2]
Ldd[1]
Ldd[2]
Ldd[3]
X
Y

FIG. 7

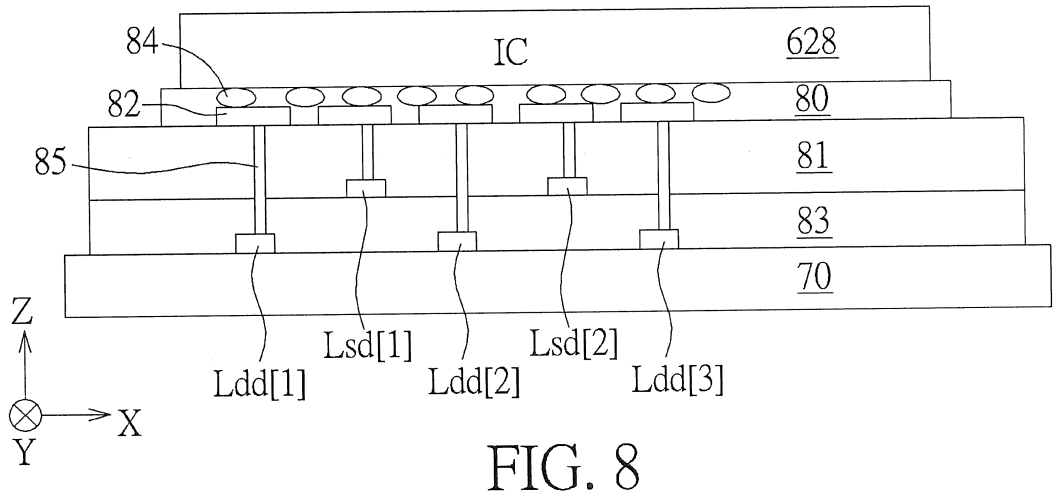
84
IC
628
82
80
85
81
83
70
Z
Lsd[1]
Lsd[2]
Ldd[1]
Ldd[2]
Ldd[3]
X
Y

FIG. 8

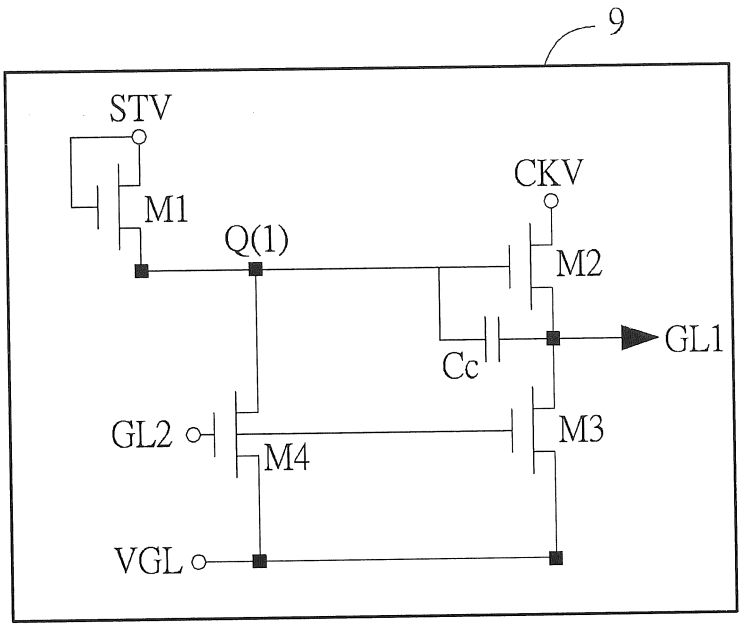
9
STV
M1
Q(1)
CKV
M2
GL1
Cc
GL2
M4
M3
VGL

FIG. 9

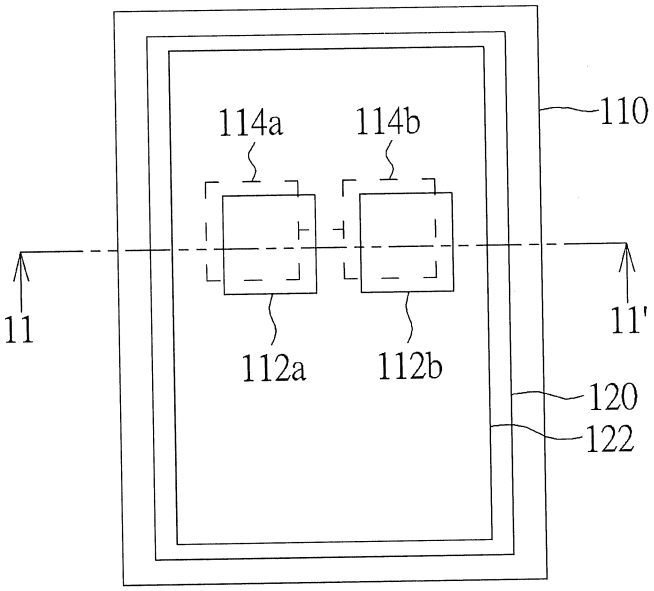
110
114a
114b
11
11'
112a
112b
120
122

FIG. 10

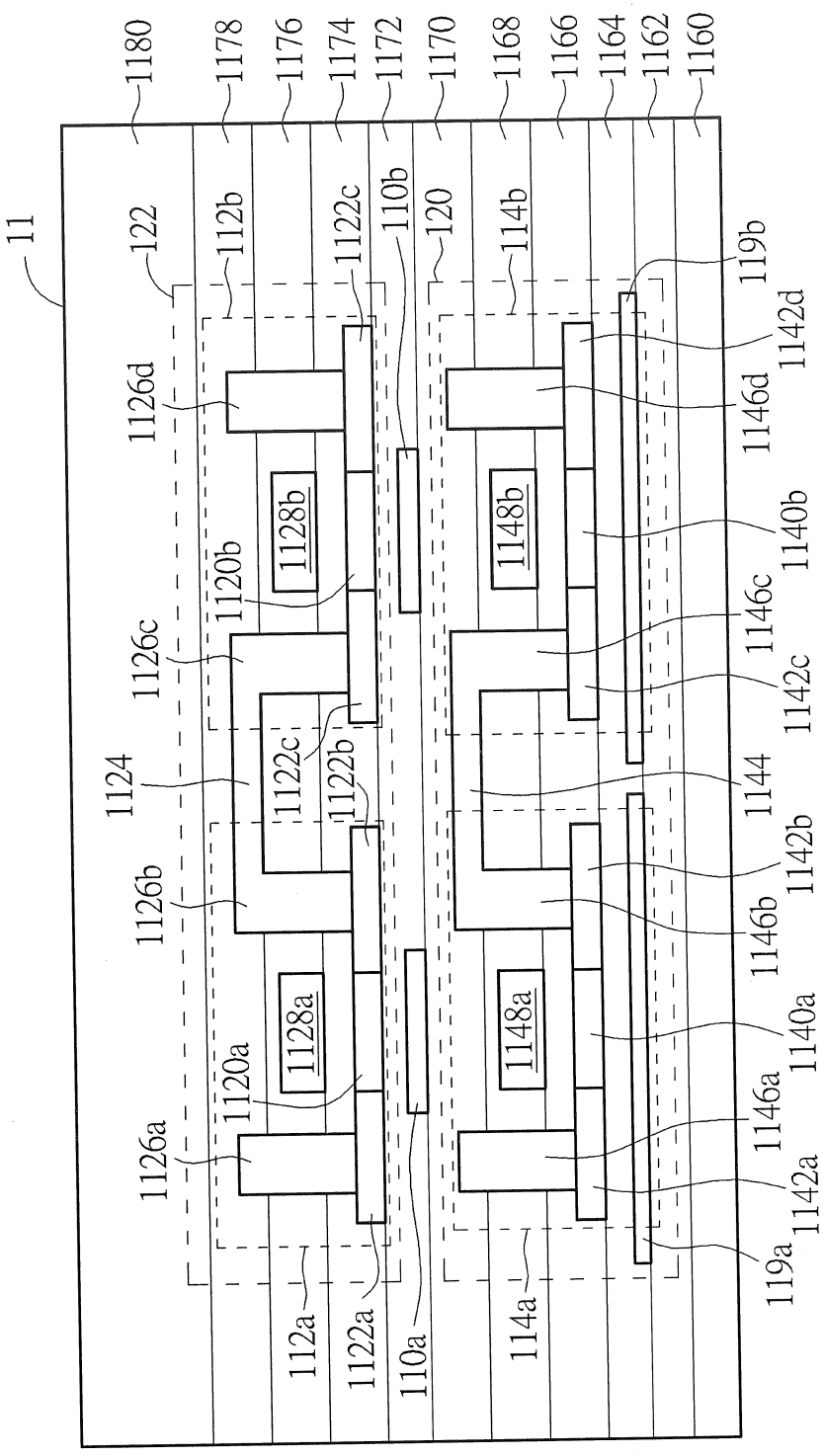
11
1180
1178
1176
1174
1172
1170
1168
1166
1164
1162
1160
122
112b
1122c
110b
120
114b
119b
1142d
1126d
1146d
1128b
1148b
1120b
1140b
1126c
1146c
1122c
1142c
1124
1122b
1144
1126b
1142b
1146b
1128a
1148a
1120a
1140a
1126a
1146a
1142a
119a
112a
1122a
110a
114a

FIG. 11

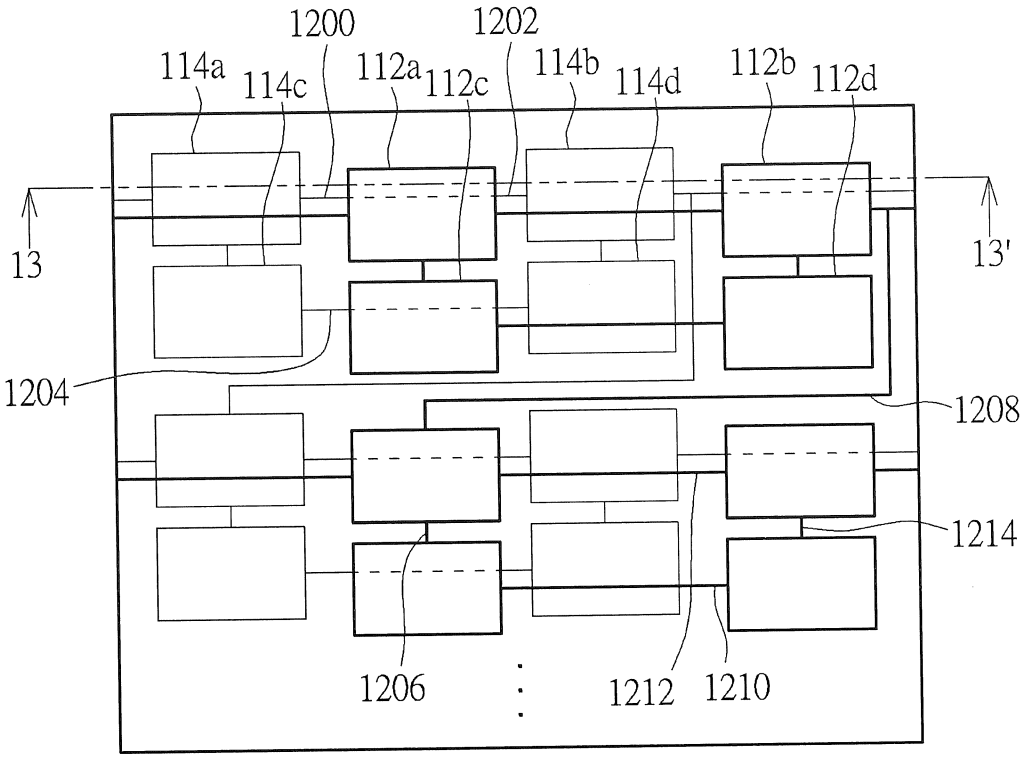
1200
1202
114a
114c
112a
112c
114b
114d
112b
112d
13
13'
1204
1208
1214
1206
1212
1210

FIG. 12

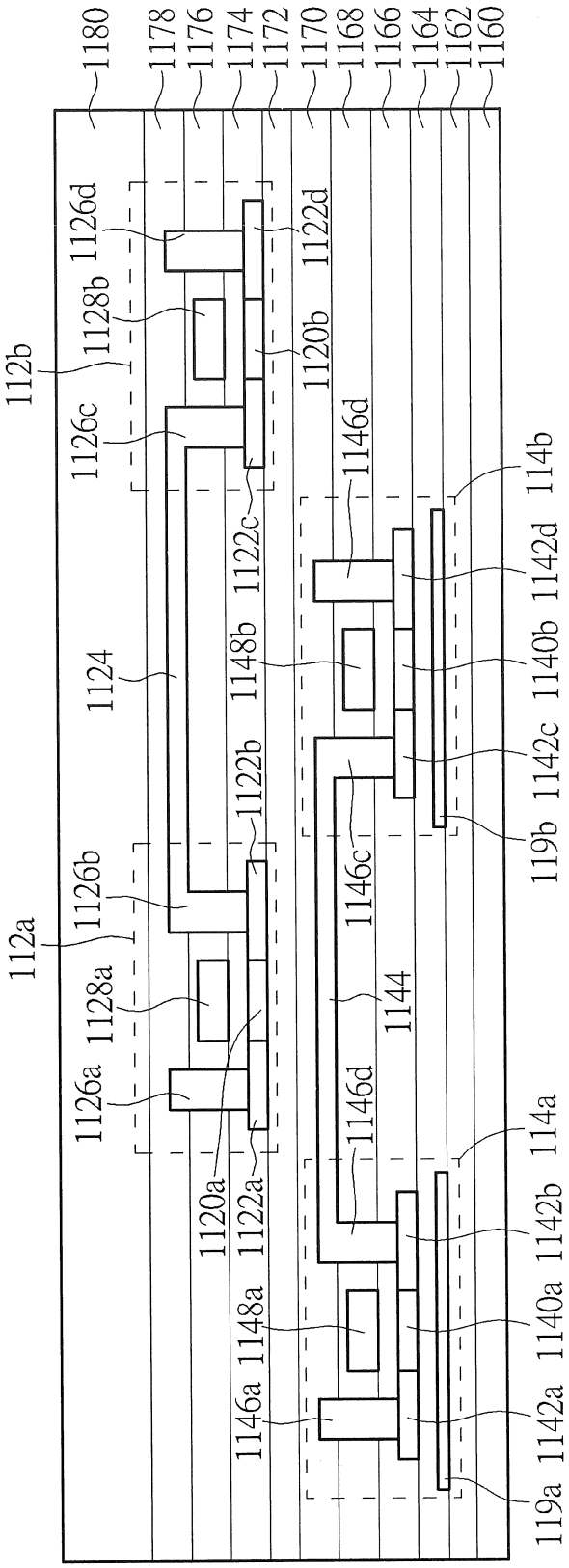
1180
1178
1176
1174
1172
1170
1168
1166
1164
1162
1160
112b
1126d
1128b
1122d
1120b
1126c
1146d
1122c
114b
1142d
1124
1148b
1140b
1122b
1142c
1126b
1146c
119b
112a
1128a
1144
1126a
1146d
114a
1120a
1122a
1142b
1148a
1140a
1146a
1142a
119a

FIG. 13

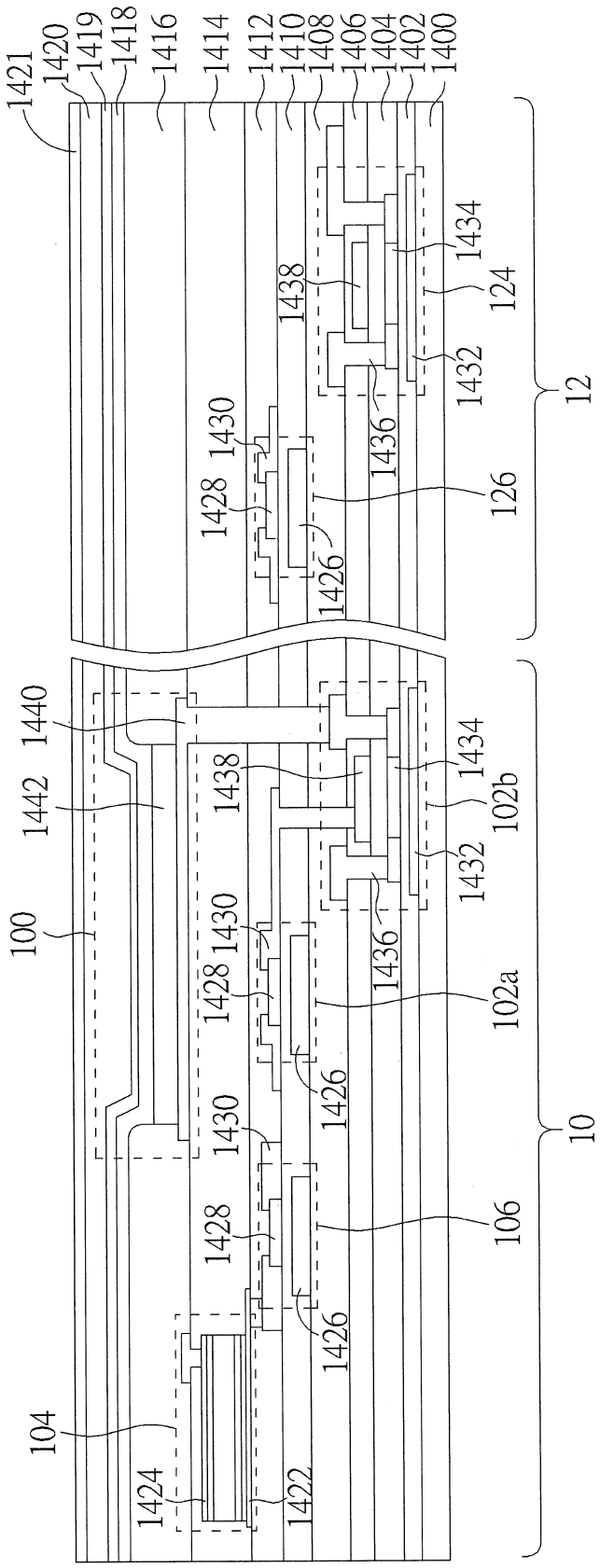
1421
1420
1419
1418
1416
1414
1412
1410
1408
1406
1404
1402
1400
1434
1438
124
1432
1430
1436
126
1428
1426
12
1440
1442
1438
1434
102b
1432
100
1430
1436
1428
102a
1426
1430
10
1428
106
1426
104
1424
1422

FIG. 14

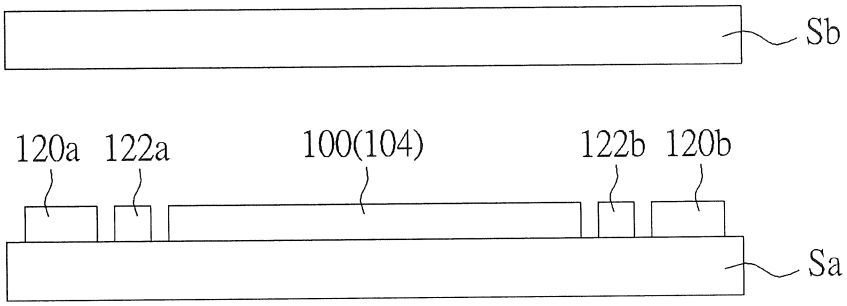

FIG. 15

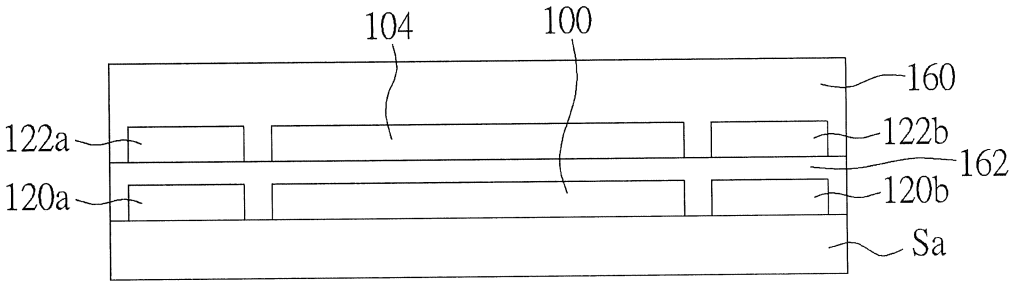

FIG. 16

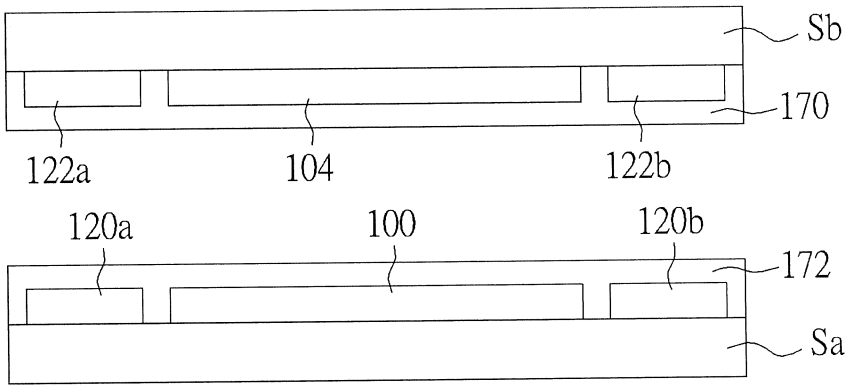

FIG. 17