



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0043908

(51)^{2020.01} F21S 9/00

(13) B

(21) 1-2020-02642

(22) 08/05/2020

(30) 16/412,375 14/05/2019 US

(45) 25/03/2025 444

(43) 25/11/2020 392A

(73) INNOLUX CORPORATION (TW)

No. 160 Kesyue Rd., Jhu-Nan Site, Hsinchu Science Park, Jhu-Nan, Miao-Li County,
Taiwan

(72) Cheng Pai-Chiao (TW).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ ĐIỆN TỬ

(21) 1-2020-02642

(57) Sáng chế đề cập đến thiết bị điện tử bao gồm nền, đế hàn thứ nhất được bố trí trên nền, đế hàn thứ hai được bố trí đối diện với đế hàn thứ nhất và hạt dẫn điện được bố trí giữa đế hàn thứ nhất và đế hàn thứ hai. Đế hàn thứ nhất có rãnh, và một phần hạt dẫn điện chìm trong rãnh.

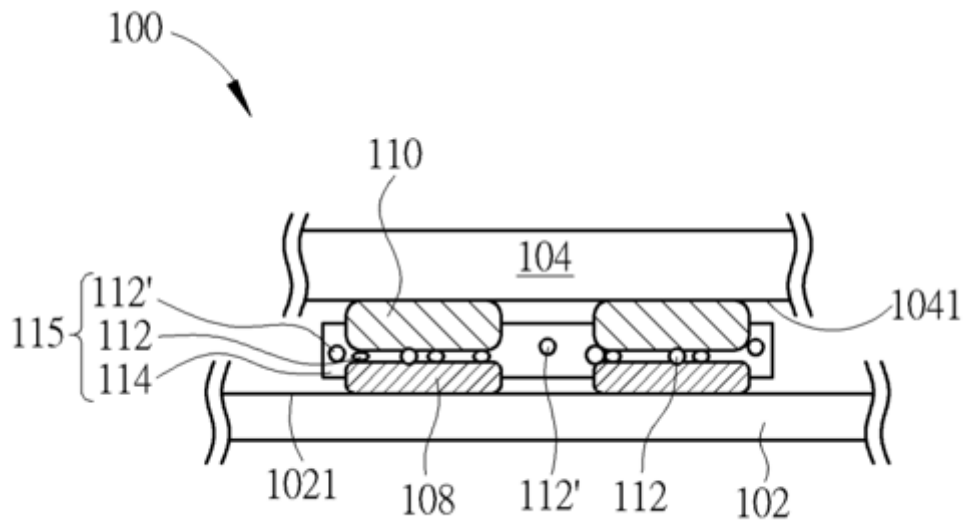


FIG. 2

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị điện tử, và cụ thể hơn là, thiết bị điện tử bao gồm các đế hàn dẫn điện để kết nối điện.

Tình trạng kỹ thuật của sáng chế

Do sự phát triển của công nghệ, nên các thiết bị điện tử được sử dụng rộng rãi trong đời sống hàng ngày. Các thiết bị điện tử này vẫn cần cải thiện chất lượng kết nối điện giữa các thành phần điện đối với các nhà sản xuất, để cải thiện độ tin cậy của các thiết bị điện tử.

Bản chất kỹ thuật của sáng chế

Một trong số những mục tiêu của sáng chế là đề xuất thiết bị điện tử với cấu trúc cụ thể mà có thể tạo ra độ tin cậy tốt hơn của kết nối điện giữa các đế hàn dẫn điện.

Một phương án khác của sáng chế đề xuất thiết bị điện tử bao gồm nền, đế hàn thứ nhất được bố trí trên nền, đế hàn thứ hai được bố trí đối diện với đế hàn thứ nhất và hạt dẫn điện được bố trí giữa đế hàn thứ nhất và đế hàn thứ hai. Đế hàn thứ nhất có rãnh, và một phần hạt dẫn điện chìm trong rãnh.

Một phương án khác của sáng chế đề xuất thiết bị điện tử bao gồm nền, đế hàn thứ nhất được bố trí trên nền và hạt dẫn điện được bố trí trên nền, mà không chồng lên đế hàn thứ nhất. Đế hàn thứ nhất này có rãnh. Rãnh có chiều rộng thứ nhất. Hạt dẫn điện có chiều rộng thứ ba. Tỷ lệ của chiều rộng thứ nhất trên chiều rộng thứ ba nằm trong khoảng từ 0,25 đến 1.

Những mục tiêu này và mục tiêu khác theo sáng chế chắc chắn sẽ trở nên rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật sau khi đọc phần mô tả chi tiết sau theo một phương án được minh họa trên các hình và hình vẽ khác nhau.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ từ trên xuống sơ lược của thiết bị điện tử theo phương án thứ

nhất của sáng chế.

Fig.2 là hình vẽ mặt cắt sơ lược một phần của thiết bị điện tử được thể hiện trên Fig.1.

Fig.3 là sơ đồ phóng to sơ lược của một phần thiết bị điện tử được thể hiện trên Fig.2.

Fig.4 là sơ đồ sơ lược của đế hàn thứ nhất của thiết bị điện tử theo phương án thứ hai của sáng chế.

Fig.5 là sơ đồ sơ lược của đế hàn thứ nhất của thiết bị điện tử theo phương án thứ ba của sáng chế.

Fig.6 hình vẽ phác thảo sơ lược một phần sơ đồ kính hiển vi điện tử quét (scanning electron microscope, SEM) của thiết bị điện tử theo phương án làm ví dụ thứ nhất của sáng chế.

Fig.7 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ hai của sáng chế.

Fig.8 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ ba của sáng chế.

Fig.9 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ tư của sáng chế.

Fig.10 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ năm của sáng chế.

Fig.11 hình vẽ phác thảo sơ lược một phần sơ đồ kính hiển vi quang học (optical microscope, OM) của thiết bị điện tử theo phương án làm ví dụ thứ sáu của sáng chế.

Fig.12 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ sáu của sáng chế.

Fig.13 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ bảy của sáng chế.

Fig.14 hình vẽ phác thảo sơ lược một phần sơ đồ OM 3D của thiết bị điện tử theo phương án làm ví dụ thứ tám của sáng chế.

Fig.15 là biểu đồ biên dạng sơ lược thu được từ sơ đồ OM 3D trên Fig.14 dọc theo đường OML.

Fig.16 hình vẽ phác thảo sơ lược một phần sơ đồ OM 3D của thiết bị điện tử theo phương án làm ví dụ thứ chín của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế có thể được hiểu bằng cách dựa vào phần mô tả chi tiết sau, được thực hiện kết hợp với các hình vẽ như được mô tả dưới đây. Lưu ý rằng, nhằm mục đích minh họa một cách rõ ràng và dễ dàng hiểu được bởi những người đọc, các hình vẽ khác nhau theo sáng chế này thể hiện một phần thiết bị điện tử (ví dụ, thiết bị hiển thị theo sáng chế này), và các thành phần nhất định trên các hình vẽ khác nhau có thể không được vẽ theo tỷ lệ. Ngoài ra, số lượng và kích thước của mỗi thiết bị được thể hiện trên các hình vẽ này chỉ minh họa và không nhằm làm giới hạn phạm vi của sáng chế.

Các thuật ngữ nhất định được sử dụng trong toàn bộ phần mô tả và các điểm yêu cầu bảo hộ sau dựa vào các bộ phận cụ thể. Vì người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu, nên những nhà sản xuất thiết bị điện tử có thể đề cập đến bộ phận bởi các tên gọi khác nhau. Tài liệu này không nhằm phân biệt giữa các bộ phận khác nhau về tên gọi mà không có chức năng. Theo phần mô tả sau và các điểm yêu cầu bảo hộ, các thuật ngữ “bao gồm”, “gồm có” và “có” được sử dụng theo kiểu có kết thúc mở, và do đó nên được hiểu là có nghĩa “bao gồm, nhưng không bị giới hạn ở...”. Do đó, khi các thuật ngữ “bao gồm”, “gồm có” và/hoặc “có” này được sử dụng trong phần mô tả của sáng chế, thì các dấu hiệu, khu vực, bước, hoạt động và/hoặc bộ phận tương ứng sẽ được chỉ ra là tồn tại, nhưng không bị giới hạn ở sự tồn tại của một hoặc nhiều dấu hiệu, khu vực, bước, hoạt động và/hoặc bộ phận tương ứng.

Khi bộ phận tương ứng chẳng hạn như lớp hoặc khu vực được gọi là “nằm trên bộ phận khác (hoặc biến thể của bộ phận này)” hoặc “kéo dài đến bộ phận khác”, thì bộ phận này có thể trực tiếp nằm trên bộ phận khác hoặc trực tiếp kéo dài đến bộ phận khác, hoặc bộ phận khác này có thể tồn tại giữa các bộ phận này. Mặt khác, khi một bộ phận được gọi là “trực tiếp nằm trên bộ phận khác (hoặc biến thể của bộ phận này)” hoặc “trực tiếp kéo dài đến bộ phận khác”, thì bộ phận bất kỳ

không tồn tại giữa các bộ phận này.

Sẽ hiểu được rằng khi thành phần hoặc lớp được gọi là đang “được nối với” thành phần hoặc lớp khác, thì thành phần hoặc lớp này có thể trực tiếp được nối với thành phần hoặc lớp khác, hoặc có thể có mặt các thành phần hoặc lớp xen giữa. Ngược lại, khi một thành phần được gọi là đang “trực tiếp được nối với” thành phần hoặc lớp khác, thì không có mặt các thành phần hoặc lớp xen giữa. Ngoài ra, khi một bộ phận được gọi là “được ghép nối vào/với bộ phận khác (hoặc biến thể của bộ phận này)”, thì bộ phận này có thể trực tiếp được nối với bộ phận khác, hoặc có thể được nối gián tiếp (chẳng hạn như được nối điện) với bộ phận khác thông qua bộ phận khác hoặc các bộ phận này.

Sẽ hiểu được rằng khi “một phần cấu trúc” nằm giữa hai bộ phận khác, thì cấu trúc này có thể hoàn toàn nằm giữa hoặc một phần nằm giữa các bộ phận này.

Nói chung, các thuật ngữ “khoảng”, “gần như”, “bằng” hoặc “giống” có nghĩa là nằm trong 20% giá trị hoặc phạm vi đã cho, hoặc có nghĩa là nằm trong 10%, 5%, 3%, 2%, 1% hoặc 0,5% giá trị hoặc phạm vi đã cho này.

Mặc dù các thuật ngữ chẳng hạn như thứ nhất, thứ hai, thứ ba, v.v., có thể được sử dụng để mô tả các thành phần cấu thành đa dạng, nhưng các thành phần cấu thành này không bị giới hạn bởi các thuật ngữ này. Các thuật ngữ được sử dụng chỉ để phân biệt thành phần cấu thành trong số các thành phần cấu thành khác trong bản mô tả này. Các điểm yêu cầu bảo hộ có thể không sử dụng cùng các thuật ngữ, nhưng thay vào đó có thể sử dụng các thuật ngữ thứ nhất, thứ hai, thứ ba, v.v. có dựa vào thứ tự trong đó thành phần này được yêu cầu. Theo đó, trong phần mô tả sau, thành phần cấu thành thứ nhất có thể là thành phần cấu thành thứ hai theo điểm yêu cầu bảo hộ.

Cần lưu ý rằng các dấu hiệu kỹ thuật theo các phương án khác nhau được mô tả ở phần sau có thể được thay thế, kết hợp lại hoặc pha trộn với một dấu hiệu kỹ thuật khác để cấu thành một phương án khác mà không lệch khỏi mục đích của sáng chế.

Dựa vào các hình vẽ từ Fig.1 đến Fig.3, Fig.1 là hình vẽ từ trên xuống sơ lược của thiết bị điện tử theo phương án thứ nhất của sáng chế, Fig.2 là hình vẽ mặt

cắt sơ lược một phần của thiết bị điện tử dọc theo đường A-A' được thể hiện trên Fig.1 và Fig.3 là sơ đồ phóng to sơ lược của một phần thiết bị điện tử được thể hiện trên Fig.2. Sáng chế đề xuất thiết bị điện tử 100 mà bao gồm các thành phần điện và các kết nối điện giữa các thành phần điện này. Thiết bị điện tử 100 bao gồm ít nhất nền 102, và các thành phần điện được bố trí trên nền 102. Theo một số phương án, thiết bị điện tử 100 có thể bao gồm các vật liệu tinh thể lỏng (liquid crystal, LC), điốt phát quang (ví dụ, điốt phát quang siêu nhỏ, điốt phát quang nhỏ, điốt phát quang hữu cơ hoặc điốt phát quang chấm lượng tử), chấm lượng tử, huỳnh quang, photpho, vật liệu thích hợp khác hoặc sự kết hợp của các vật liệu này, nhưng sáng chế không bị giới hạn. Theo một số phương án, thiết bị điện tử 100 này có thể là thiết bị hiển thị, thiết bị điện tử dẻo, thiết bị điện tử được chia ô, thiết bị cảm biến, thiết bị ăngten, thiết bị điện tử cảm ứng, thiết bị điện tử thích hợp khác bất kỳ hoặc sự kết hợp của các thiết bị này, nhưng sáng chế không bị giới hạn. Như được thể hiện trên Fig.1, khi thiết bị điện tử 100 là thiết bị hiển thị, thì nền 102 có thể bao gồm vùng hiển thị R1 và vùng ngoại vi R2 được bố trí liền kề với vùng hiển thị R1. Ví dụ, vùng ngoại vi R2 có thể bao quanh vùng hiển thị R1. Ít nhất một chip mạch tích hợp (integrated circuit, IC) 104 có thể được bố trí trên nền 102 và ở vùng ngoại vi R2. Các dây dẫn 122 có thể được bố trí trên nền 102 và kéo dài ở vùng hiển thị R1 và vùng ngoại vi R2. Chip IC 104 này được nối điện với các dây dẫn 122 hoặc các thành phần điện khác (không được thể hiện trên hình vẽ) trên nền 102. Như được thể hiện trên Fig.2, thiết bị điện tử 100 còn bao gồm ít nhất một đế hàn thứ nhất 108 được bố trí trên nền 102 và ít nhất một đế hàn thứ hai 110 được bố trí đối diện với đế hàn thứ nhất 108. Trên Fig.2, hai đế hàn thứ nhất 108 và hai đế hàn thứ hai 110 được thể hiện để minh họa. Một cách chi tiết, các đế hàn thứ nhất 108 được bố trí trên bề mặt 1021 của nền 102, trong đó một hoặc nhiều lớp hoặc thành phần (không được thể hiện trên hình vẽ) có thể được bố trí giữa hoặc được nối điện với các đế hàn thứ nhất 108 và nền 102. Ví dụ, một trong số các đế hàn thứ nhất 108 có thể được nối điện với một trong số các dây dẫn 122 được thể hiện trên Fig.1. Các đế hàn thứ hai 110 được bố trí trên bề mặt 1041 của chip IC 104. Tương tự, một hoặc nhiều lớp hoặc thành phần có thể được bố trí giữa các đế hàn thứ hai 110 và chip IC 104. Thiết bị điện tử 100 này còn bao gồm ít nhất một hạt dẫn điện 112 được bố trí giữa các đế hàn thứ nhất 108 và các đế hàn thứ hai 110. Như được thể hiện trên

Fig.3, hạt dẫn điện 112 trực tiếp tiếp xúc với đế hàn thứ nhất 108 và đế hàn thứ hai 110 sao cho đế hàn thứ nhất 108 có thể được nối điện với đế hàn thứ hai 110 qua hạt dẫn điện 112, và do đó chip IC 104 có thể được nối điện với các thành phần điện, chẳng hạn như dây dẫn 122, qua đế hàn thứ hai 110, hạt dẫn điện 112 và đế hàn thứ nhất 108. Theo một số phương án, đế hàn thứ hai 110 có thể là đế hàn kết nối hoặc phần lõi của chip IC 110, nhưng không bị giới hạn ở đó.

Dựa vào Fig.3, đế hàn thứ nhất 108 có rãnh 116 trên bề mặt trên cùng 1081 của đế hàn thứ nhất này, và một phần hạt dẫn điện 112 chìm trong rãnh 116, có nghĩa là một phần hạt dẫn điện 112 ở rãnh 116, và phần còn lại của hạt dẫn điện 112 được bố trí ngoài rãnh 116. Bề mặt của rãnh 116 có thể trực tiếp tiếp xúc với bề mặt của phần dưới của hạt dẫn điện 112, do đó có thể tăng khu vực tiếp xúc giữa hạt dẫn điện 112 và đế hàn thứ nhất 108. Hiệu quả kết nối điện giữa hạt dẫn điện 112 và đế hàn thứ nhất 108 có thể được cải thiện. Theo khía cạnh khác, vì một phần hạt dẫn điện 112 chìm trong rãnh 116, nên hạt dẫn điện 112 này có thể được cố định trên đế hàn thứ nhất 108 chắc chắn hơn.

Theo một số phương án, độ dày của đế hàn thứ nhất 108 có thể không đồng đều, trong đó độ dày của đế hàn thứ nhất 108 này biểu thị độ dày tổng cộng từ lớp dưới cùng đến lớp trên cùng của đế hàn thứ nhất 108 theo hướng D1, nếu đế hàn thứ nhất 108 có nhiều lớp. Theo cách khác, độ dày tổng cộng biểu thị khoảng cách giữa bề mặt dưới cùng và bề mặt trên cùng 1081 của đế hàn thứ nhất 108 theo hướng D1. Hướng D1 này là hướng thông thường của nền 102. Đế hàn thứ nhất 108 có phần thứ nhất OLP chồng lên hạt dẫn điện 112 theo hướng D1 và có phần thứ hai NOP mà không chồng lên hạt dẫn điện 112. Độ dày tối đa T1 của phần thứ nhất OLP của đế hàn thứ nhất 108 chồng lên hạt dẫn điện 112 có thể tương đối lớn hơn độ dày tối thiểu T2 của phần thứ hai NOP của đế hàn thứ nhất 108 không chồng lên hạt dẫn điện 112. Cần lưu ý rằng độ dày T1 và độ dày T2 có thể được đo dọc theo hướng D1 theo hình ảnh mặt cắt ngang bất kỳ, để so sánh giá trị tương đối tối đa hoặc tối thiểu theo hình ảnh mặt cắt ngang này. Nói cách khác, mặc dù theo các mặt cắt ngang khác nhau của thiết bị điện tử 100, độ dày T1 và độ dày T2 đã đo có thể lần lượt có các giá trị khác nhau, độ dày T1 còn lớn hơn độ dày T2. Theo một số phương án, khi chip IC 101 với các đế hàn thứ hai 110 được liên kết và ép vào nền 102 như được thể hiện bởi mũi tên rộng trên Fig.3, thì phần thứ nhất OLP của đế

hàn thứ nhất 108 có thể được ép để tạo ra rãnh 116. Trong quy trình liên kết, một phần đế hàn thứ nhất 108 có thể được ép về phía mép của rãnh 116, và do đó mép của rãnh 116 này có thể có độ dày lớn hơn, là độ dày T1 được nêu ở trên. Theo một số phương án, bề mặt trên cùng 1081 của đế hàn thứ nhất 108 có thể tương đối phẳng hoặc tương đối nhẵn trước quy trình liên kết, và rãnh 116 được tạo ra sau quy trình liên kết, nhưng không bị giới hạn ở đó. Theo một số phương án khác, bề mặt trên cùng 1081 của đế hàn thứ nhất 108 có thể tương đối nhám, có thể có cấu trúc giống rãnh hoặc có thể có rãnh trước quy trình liên kết, mà có thể giúp cố định hạt dẫn điện 112 trong quy trình liên kết, nhưng không bị giới hạn ở đó.

Hạt dẫn điện 112 có thể bao gồm lõi 112c và vỏ 112s bao quanh lõi 112c. Lõi 112c có thể bao gồm vật liệu nhựa hoặc vật liệu thích hợp khác. Vỏ 112s có thể bao gồm vật liệu dẫn điện, chẳng hạn như kim loại, nhưng không bị giới hạn ở đó. Hạt dẫn điện 112 có thể có biên dạng tròn trước khi đế hàn thứ hai 110 được liên kết với đế hàn thứ nhất 108. Trong quy trình liên kết, khi đế hàn thứ hai 110 được ép về phía đế hàn thứ nhất 108, thì hạt dẫn điện 112 được bố trí giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110 còn được ép để có biên dạng tương đối phẳng, chẳng hạn như có biên dạng có dạng hình ovan, và do đó có thể tăng khu vực tiếp xúc giữa hạt dẫn điện 112 và đế hàn thứ nhất 108 và/hoặc khu vực tiếp xúc giữa hạt dẫn điện 112 và đế hàn thứ hai 110. Sau quy trình liên kết, một phần vỏ 112s có thể bị gãy hoặc có (các) lỗ rỗng hoặc (các) lỗ, có thể không ảnh hưởng đến độ dẫn của hạt dẫn điện 112 và kết nối điện giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110.

Ngoài ra, Fig.3 thể hiện hình vẽ sơ lược mặt cắt ngang của thiết bị điện tử 100, và chiều rộng tối đa của rãnh 116 theo hướng D2 được xác định dưới dạng chiều rộng thứ nhất W1, trong đó hướng D2 vuông góc với hướng D1. Chiều rộng thứ nhất W1 có thể thu được bởi các bước sau: xác định điểm thấp nhất MT1 của rãnh 116 ở phần thứ nhất OLP của đế hàn thứ nhất 108, một phần của phần thứ nhất OLP ở một phía (ví dụ, phía bên phải trên Fig.3) của điểm thấp nhất MT1 được xác định dưới dạng phần thứ ba OLP1, và phần còn lại của phần thứ nhất OLP ở phía còn lại (ví dụ, phía bên trái trên Fig.3) của điểm thấp nhất MT1 được xác định dưới dạng phần thứ tư OLP2; xác định điểm thứ hai MT2 ở phần thứ ba OLP1 có độ dày T1, trong đó độ dày T1 này là độ dày tối đa của phần thứ ba OLP1 theo hướng D1; xác định điểm thứ ba MT3 ở phần thứ tư OLP2 có độ dày T3, trong đó độ dày T3

này là độ dày tối đa của phần thứ tư OLP2 theo hướng D1; và đo khoảng cách dọc theo hướng D2 giữa hình chiếu của điểm thứ hai MT2 và hình chiếu của điểm thứ ba MT3 trên nền 102 để thu được chiều rộng thứ nhất W1. Chiều rộng thứ nhất W1 này có thể nằm trong khoảng từ 1,5 micrômet (μm) đến 3,5 μm ($1,5 \mu\text{m} \leq W1 \leq 3,5 \mu\text{m}$). Ví dụ, chiều rộng thứ nhất W1 có thể bằng 1,7 μm , 2 μm , 2,3 μm , 2,5 μm , 2,7 μm , 3 μm hoặc 3,2 μm , nhưng không bị giới hạn ở đó. Theo hướng D2, chiều rộng tối đa của hạt dẫn điện 112 được xác định dưới dạng chiều rộng thứ hai W2. Chiều rộng thứ hai W2 này có thể thu được bằng cách đo lõi 112c cùng với vỏ 112s dọc theo hướng D2. Chiều rộng thứ hai W2 có thể nằm trong khoảng từ 2 μm đến 6 μm ($2 \mu\text{m} \leq W2 \leq 6 \mu\text{m}$). Ví dụ, chiều rộng W2 có thể bằng 2,5 μm , 3 μm , 3,5 μm , 4 μm , 4,5 μm , 5 μm hoặc 5,5 μm , nhưng không bị giới hạn ở đó. Theo một số phương án, chiều rộng thứ nhất W1 nhỏ hơn hoặc bằng chiều rộng thứ hai W2. Cần lưu ý rằng chiều rộng thứ nhất W1 và chiều rộng thứ hai W2 này có thể được đo dọc theo hướng D2 theo hình ảnh mặt cắt ngang bất kỳ, để so sánh giá trị tối đa hoặc tối thiểu tương đối theo hình ảnh mặt cắt ngang này. Nói cách khác, thiết bị điện tử 100 có thể có các giá trị chiều rộng thứ nhất W1 và chiều rộng thứ hai W2 khác nhau theo các hình ảnh mặt cắt ngang khác nhau, nhưng chiều rộng thứ nhất W1 và chiều rộng thứ hai W2 này còn có cùng mối liên hệ tương đối: $W1 \leq W2$. Ngoài ra, tỷ lệ của chiều rộng thứ nhất W1 trên chiều rộng thứ hai W2 có thể nằm trong khoảng từ 0,25 đến 1 ($0,25 \leq W1/W2 \leq 1$). Ví dụ, tỷ lệ này có thể bằng 0,3, 0,4, 0,5, 0,6, 0,7, 0,8 hoặc 0,9, nhưng không bị giới hạn ở đó. Các mối liên hệ được nêu ở trên có thể thể hiện rằng kích thước (hoặc khu vực hình chiếu trên nền 102) của rãnh 116 nhỏ hơn hoặc bằng kích thước (hoặc khu vực hình chiếu trên nền 102) của hạt dẫn điện 112, và một phần hạt dẫn điện 112 có thể được chứa hoặc chìm trong rãnh 116. Thiết kế này có thể mang lại hiệu quả kết nối điện tốt hơn giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110. Nếu chiều rộng thứ hai W2 nhỏ hơn chiều rộng thứ nhất W1, thì rãnh 116 lớn hơn hạt dẫn điện 112 và hầu hết hoặc tất cả hạt dẫn điện 112 có thể bị chìm trong rãnh 116. Khu vực tiếp xúc giữa hạt dẫn điện 112 và đế hàn thứ hai 110 có thể được giảm, và hiệu quả kết nối điện giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110 có thể bị ảnh hưởng. Theo một số phương án, nếu rãnh 116 là quá lớn, thì hạt dẫn điện 112 có thể dễ dàng trượt hoặc lăn trong rãnh 116, do đó việc khó cố định hạt dẫn điện 112 có thể được tăng lên.

Dựa vào Fig.2 và Fig.3, thiết bị điện tử 100 có thể còn bao gồm lớp kết dính 114 được bố trí giữa nền 102 và chip IC 104, và các hạt dẫn điện 112' được bố trí trong lớp kết dính 114 nằm giữa nền 102 và chip IC 104. Lớp kết dính 114 có thể còn được bố trí giữa các đế hàn thứ nhất 108 và các đế hàn thứ hai 110, và các hạt dẫn điện 112 được bố trí trong lớp kết dính 114 nằm giữa các đế hàn thứ nhất 108 và các đế hàn thứ hai 110. Theo một số phương án, màng dẫn điện không đẳng hướng (anisotropic conductive film, ACF) 115 có thể được bố trí để liên kết chip IC 104 lên trên nền 102. Màng dẫn điện không đẳng hướng 115 này có thể bao gồm lớp kết dính 114, các hạt dẫn điện 112' và các hạt dẫn điện 112. Các hạt dẫn điện 112' có thể có các hình dạng tương đối tròn. Khi chip IC 104 được ép lên trên nền 102, thì hạt dẫn điện 112 nằm giữa các đế hàn thứ nhất 108 và các đế hàn thứ hai 110 có thể được ép để có biên dạng tương đối hình ovan, và hạt dẫn điện 112 có thể chìm trong rãnh 116.

Thiết bị điện tử theo sáng chế không bị giới hạn ở phương án được nêu ở trên. Các phương án khác hoặc phương án biến thể theo sáng chế này được mô tả dưới đây. Cần lưu ý rằng các dấu hiệu kỹ thuật theo các phương án khác nhau được mô tả có thể được thay thế, kết hợp lại hoặc pha trộn với một dấu hiệu kỹ thuật khác để cấu thành một phương án khác mà không lệch khỏi mục đích của sáng chế. Để thực hiện điều này dễ dàng hơn để so sánh khác biệt giữa các phương án và các phương án biến thể, phần mô tả sau sẽ mô tả những khác biệt giữa các phương án biến thể hoặc các phương án khác nhau và các dấu hiệu giống nhau sẽ không được mô tả một cách dư thừa.

Fig.4 là sơ đồ sơ lược của đế hàn thứ nhất của thiết bị điện tử theo phương án thứ hai của sáng chế. Fig.4 thể hiện biên dạng của đế hàn thứ nhất 108 khi màng dẫn điện không đẳng hướng 115 và đế hàn thứ hai 110 không được bố trí trên đế hàn thứ nhất 108. Như được thể hiện trên Fig.4, đế hàn thứ nhất 108 có thể là cấu trúc đa lớp theo một số phương án. Một cách chi tiết, đế hàn thứ nhất 108 có thể bao gồm bộ dẫn điện thứ nhất CS1 bao gồm nhiều lớp dẫn điện, chẳng hạn như nhiều lớp kim loại. Ví dụ, bộ dẫn điện thứ nhất CS1 có thể bao gồm lớp dẫn điện thứ nhất 108a, lớp dẫn điện thứ hai 108b và lớp dẫn điện thứ ba 108c được xếp chồng theo trình tự trên nền 102 đến từ cấu trúc xếp chồng. Vật liệu của lớp dẫn điện thứ nhất 108a, lớp dẫn điện thứ hai 108b và lớp dẫn điện thứ ba 108c này có thể bao gồm các

vật liệu giống hoặc khác nhau. Theo một số phương án, bộ dẫn điện thứ nhất CS1 có thể bao gồm cấu trúc xếp chồng có lớp molybden (Mo), lớp nhôm (Al) và lớp Mo (được thể hiện dưới dạng cấu trúc xếp chồng Mo/Al/Mo), cấu trúc xếp chồng titan (Ti)/Al/Ti, cấu trúc xếp chồng Mo/Al/Ti, cấu trúc xếp chồng Ti/Al/Mo, cấu trúc xếp chồng khác với các vật liệu thích hợp hoặc sự kết hợp của các cấu trúc xếp chồng này, nhưng sáng chế không bị giới hạn ở đó. Lấy cấu trúc xếp chồng Mo/Al/Mo làm một ví dụ, lớp dẫn điện thứ nhất 108a là lớp Mo, lớp dẫn điện thứ hai 108b là lớp Al và lớp dẫn điện thứ ba 108c là lớp Mo. Lớp dẫn điện thứ hai 108b bao gồm vật liệu Al có thể có độ dẫn điện tốt, và lớp dẫn điện thứ nhất 108a và lớp dẫn điện thứ ba 108c bao gồm vật liệu Mo có thể tạo ra độ bám dính tốt hơn cho đế hàn thứ nhất 108 hoặc các lớp khác. Cấu trúc xếp chồng khác được nêu ở trên có thể có các cấu trúc và chức năng tương tự, mà sẽ không được mô tả lặp lại. Ngoài ra, theo một số phương án khác, đế hàn thứ nhất 108 có thể bao gồm ít nhất một lớp kim loại và lớp bảo vệ dẫn điện CPL được bố trí ở ít nhất một lớp kim loại. Ví dụ, ít nhất một lớp kim loại có thể là lớp Mo hoặc lớp Ti mà thay thế cấu trúc xếp chồng của bộ dẫn điện thứ nhất CS1 được đề cập ở trên hoặc được thể hiện trên Fig.4; theo cách khác, ít nhất một lớp kim loại có thể biểu thị một trong số lớp dẫn điện thứ nhất 108a, lớp dẫn điện thứ hai 108b và lớp dẫn điện thứ ba 108c trong bộ dẫn điện thứ nhất CS1, nhưng không bị giới hạn ở đó. Lớp bảo vệ dẫn điện CPL có thể bao gồm vật liệu dẫn điện với điện trở suất ăn mòn hoặc độ cứng tốt hơn kim loại. Ví dụ, lớp bảo vệ dẫn điện CPL có thể là lớp dẫn điện chứa oxy hoặc lớp oxit, chẳng hạn như lớp oxit thiếc indi (ITO), nhưng không bị giới hạn ở đó. Theo khía cạnh khác, thiết bị điện tử 100 này có thể còn bao gồm lớp cách điện 118 được bố trí giữa đế hàn thứ nhất 108 và nền 102, và đế hàn thứ nhất 108 này có thể trực tiếp tiếp xúc với lớp cách điện 118 (ví dụ, bề mặt trên cùng của lớp cách điện 118). Lớp cách điện 118 có thể tạo ra chức năng đệm trong quy trình liên kết.

Fig.5 là sơ đồ sơ lược của đế hàn thứ nhất của thiết bị điện tử theo phương án thứ ba của sáng chế. Fig.5 thể hiện biên dạng của đế hàn thứ nhất 108 khi màng dẫn điện không đẳng hướng 115 và đế hàn thứ hai 110 đã không được bố trí trên đế hàn thứ nhất 108. Theo một số phương án, đế hàn thứ nhất 108 này có thể có bề mặt trên cùng không bằng phẳng 1081. Nói cách khác, bề mặt trên cùng 1081 của đế hàn thứ nhất 108 có thể có các độ nhám hoặc mẫu hình siêu nhỏ nhất định trước khi liên kết.

Thiết kế này có thể giúp cố định các hạt dẫn điện được bố trí trên đó. Trên Fig.5, bề mặt trên cùng 1081 này có thể còn là bề mặt trên cùng của lớp dẫn điện thứ ba 108c, nhưng không bị giới hạn ở đó. Ngoài ra, lớp cách điện 118 được bố trí giữa đế hàn thứ nhất 108 và nền 102 có thể là cấu trúc đa lớp và có các lớp cách điện phụ 118a, 118b và 118c chẳng hạn. Theo một số phương án, ít nhất một trong số các lớp cách điện phụ 118a, 118b và 118c này có thể có độ dày khác với lớp còn lại trong số các lớp cách điện phụ 118a, 118b và 118c. Theo một số phương án khác, một trong số các lớp cách điện phụ 118a, 118b và 118c này có thể có độ dày thay đổi. Lấy lớp cách điện phụ 118b làm một ví dụ, một phần lớp cách điện phụ 118b có thể độ dày t_1 và phần còn lại của lớp cách điện phụ 118b có thể độ dày t_2 , độ dày t_2 này có thể nhỏ hơn độ dày t_1 . Theo một số phương án, độ dày t_1 có thể tương ứng với đế hàn thứ nhất 108, nhưng không bị giới hạn ở đó. Phần dày hơn của lớp cách điện phụ 118b có thể tạo ra chức năng đệm trong quy trình liên kết.

Theo sáng chế này, để tạo ra hiệu quả tốt hơn cho quy trình liên kết của chip IC trên nền, áp suất quy trình, nhiệt độ quy trình, vật liệu của hạt dẫn điện, độ dày và tính chất vật liệu của đế hàn thứ nhất, các độ dày của cấu trúc hợp chất, các vật liệu của các lớp hợp chất của đế hàn thứ nhất và/hoặc độ nhám của đế hàn thứ nhất có thể được chọn và điều chỉnh dựa vào yêu cầu thực tế bằng cách dựa vào tất cả các phương án và các phương án biến thể được đề xuất trong bản mô tả này. Ví dụ, các vật liệu và độ dày của các lớp dẫn điện khác nhau của cấu trúc đa lớp của đế hàn thứ nhất có thể được điều chỉnh để thu được tính chất dự kiến của rãnh của đế hàn thứ nhất.

Dựa vào Fig.6, Fig.6 hình vẽ phác thảo sơ lược một phân sơ đồ kính hiển vi điện tử quét (scanning electron microscope, SEM) của thiết bị điện tử theo phương án làm ví dụ thứ nhất của sáng chế. Theo phương án làm ví dụ này, một hạt dẫn điện 112 được bố trí giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110. Đế hàn thứ nhất 108 này có bộ dẫn điện thứ nhất CS1 và lớp bảo vệ dẫn điện CPL được bố trí trên bộ dẫn điện thứ nhất CS1. Làm một ví dụ, bộ dẫn điện thứ nhất CS1 có thể bao gồm cấu trúc xếp chồng Ti/Al/Ti, và lớp bảo vệ dẫn điện CPL có thể là lớp ITO. Rãnh 116 của đế hàn thứ nhất 108 được tạo ra bởi lớp bảo vệ dẫn điện CPL và một phần bộ dẫn điện thứ nhất CS1. Độ dày tối đa T1 của đế hàn thứ nhất 108 chồng lên hạt dẫn điện 112 lớn hơn độ dày tối thiểu T2 của đế hàn thứ nhất 108 không chồng

lên hạt dẫn điện 112. Chiều rộng thứ nhất $W1$ của rãnh 116 theo hướng $D2$ nhỏ hơn hoặc bằng chiều rộng thứ hai $W2$ của hạt dẫn điện 112 theo hướng $D2$. Các mối liên hệ này giữa chiều rộng thứ nhất $W1$ và chiều rộng thứ hai $W2$, và giữa độ dày $T1$ và độ dày $T2$ có thể áp dụng cho các phương án làm ví dụ sau, mà sẽ không được lặp lại. Ngoài ra, thiết bị điện tử 100 có thể còn bao gồm lớp cách điện 120 được bố trí trên nền 120. Lớp cách điện 120 này có khoảng hở 1201 làm lộ ra bộ dẫn điện thứ nhất $CS1$, có nghĩa là ít nhất một phần bề mặt trên cùng của bộ dẫn điện thứ nhất $CS1$ được làm lộ ra ở khoảng hở 1201. Lớp bảo vệ dẫn điện CPL che bộ dẫn điện thứ nhất $CS1$ ở khoảng hở 1201 và kéo dài qua khoảng hở 1201 để che một phần lớp cách điện 120. Theo đó, lớp bảo vệ dẫn điện CPL trực tiếp tiếp xúc với bộ dẫn điện thứ nhất $CS1$ qua khoảng hở 1201, và được nối điện với bộ dẫn điện thứ nhất $CS1$. Hơn nữa, thiết bị điện tử 100 này có thể bao gồm ít nhất một dây dẫn 122 được bố trí trên nền 102 và được che bởi lớp cách điện 120. Cần lưu ý rằng vì sơ đồ SEM thu được bởi quy trình cắt để tạo ra phần mẫu của thiết bị điện tử 100, nên việc tách lớp có thể xảy ra trong quy trình cắt đối với mẫu SEM. Ví dụ, một hoặc nhiều khoảng trống không khí (air gap, AG) có thể xuất hiện như được thể hiện trên Fig.6. Cần lưu ý rằng các khoảng trống không khí AG này có thể không tồn tại trước quy trình cắt. Tình huống giống nhau sẽ thể hiện ở các sơ đồ sơ lược phác thảo SEM sau, sẽ không được lặp lại.

Dựa vào Fig.7, Fig.7 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ hai của sáng chế. Hình vẽ phác thảo sơ lược phóng to của sơ đồ SEM được thể hiện. Vỏ 112s của hạt dẫn điện 112 có thể có bề mặt không đều và không bằng phẳng, và chiều rộng thứ hai $W2$ được xác định bởi chiều rộng tối đa của mép ngoài của vỏ 112s theo hướng $D2$. Độ dày $T1$, độ dày $T3$ và chiều rộng thứ nhất $W1$ có thể được đo theo sơ đồ SEM bất kỳ và được tính toán bằng cách sử dụng định nghĩa tương tự như được nêu trên Fig.3, và sẽ không được mô tả lặp lại. Trên sơ đồ SEM, khoảng trống không khí AG có thể được tạo ra bằng cách tách lớp do quy trình cắt mẫu SEM.

Dựa vào Fig.8, Fig.8 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ ba của sáng chế. Theo phương án làm ví dụ này, vỏ 112s của hạt dẫn điện 112 có thể có một hoặc nhiều khoảng hở 1121, nó có thể còn tạo ra độ dẫn điện cho đế hàn thứ nhất 108 và đế hàn thứ hai 110.

Chiều rộng thứ hai W2 có thể thu được từ mép/bề mặt ngoài của vỏ 112s theo hướng D2.

Dựa vào Fig.9, Fig.9 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ tư của sáng chế. Theo phương án làm ví dụ này, vỏ 112s có khoảng hở 1121 và một phần vỏ 112s có thể tách lớp khỏi lõi 112c. Chiều rộng thứ hai W2 có thể được đo từ mép ngoài của lõi 112c đến mép ngoài còn lại của lõi 112c hoặc vỏ 112s theo hướng D2 để thu được chiều rộng tối đa.

Dựa vào Fig.10, Fig.10 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ năm của sáng chế. Theo phương án làm ví dụ này, vỏ 112s của hạt dẫn điện 112 có thể có bề mặt tương đối nhẵn hơn. Chiều rộng thứ hai W2 của hạt dẫn điện 112 có thể được đo từ bề mặt ngoài cùng của hạt dẫn điện 112 theo hướng D2, mặc dù vỏ 112s có phần nhô ra P. Lớp cách điện 118 được thể hiện giữa nền 102 và đế hàn thứ nhất 108. Theo một số phương án, lớp cách điện 118 có thể là cấu trúc đơn lớp hoặc cấu trúc đa lớp, nhưng sáng chế không bị giới hạn ở đó.

Dựa vào Fig.11 và Fig.12, Fig.11 hình vẽ phác thảo sơ lược một phần sơ đồ kính hiển vi quang học (optical microscope, OM) của thiết bị điện tử theo phương án làm ví dụ thứ sáu của sáng chế, và Fig.12 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ sáu của sáng chế, trong đó Fig.11 thể hiện biên dạng của đế hàn thứ nhất 108 khi các hạt dẫn điện 112 và đế hàn thứ hai 110 không được bố trí trên đế hàn thứ nhất 108. Trên Fig.12, hai hạt dẫn điện 112 được bố trí giữa đế hàn thứ nhất 108 và đế hàn thứ hai 110. Ngoài ra, đế hàn thứ nhất 108 bao gồm bộ dẫn điện thứ nhất CS1, bộ dẫn điện thứ hai CS2 được bố trí trên bộ dẫn điện thứ nhất CS1, và lớp bảo vệ dẫn điện CPL được bố trí trên bộ dẫn điện thứ hai CS2. Bộ dẫn điện thứ nhất CS1 và bộ dẫn điện thứ hai CS2 có thể bao gồm độc lập lớp Mo, lớp Ti, cấu trúc Mo/Al/Mo, cấu trúc Ti/Al/Ti, cấu trúc Mo/Al/Ti hoặc cấu trúc Ti/Al/Mo, nhưng không bị giới hạn ở đó. Ví dụ, cả bộ dẫn điện thứ nhất CS1 và bộ dẫn điện thứ hai CS2 đều có cấu trúc Mo/Al/Mo. Lớp bảo vệ dẫn điện CPL có thể bao gồm lớp ITO. Thiết bị điện tử 100 bao gồm lớp cách điện 120 che một phần bộ dẫn điện thứ nhất CS1. Lớp cách điện 120 có khoảng hở

OP1 làm lộ ra một phần bộ dẫn điện thứ nhất CS1. Ít nhất một phần bộ dẫn điện thứ hai CS2 được bố trí trong khoảng hở OP1 và trực tiếp tiếp xúc với bộ dẫn điện thứ nhất CS1 qua khoảng hở OP1. Bộ dẫn điện thứ nhất CS1 được nối điện với bộ dẫn điện thứ hai CS2 qua khoảng hở OP1. Thiết bị điện tử 100 này có thể còn bao gồm lớp cách điện 124 che lớp cách điện 120 và một phần bộ dẫn điện thứ hai CS2. Lớp cách điện 124 có khoảng hở OP2 mà làm lộ ra một phần bộ dẫn điện thứ hai CS2. Lớp bảo vệ dẫn điện CPL che một phần lớp cách điện 124 và trực tiếp tiếp xúc với bộ dẫn điện thứ hai CS2 qua khoảng hở OP2. Các dây dẫn 122 được bố trí liền kề với đế hàn thứ nhất 108 có thể có các cấu trúc tương tự với bộ dẫn điện thứ nhất CS1. Ví dụ, các dây dẫn 122 có thể lần lượt có cấu trúc Mo/Al/Mo, nhưng không bị giới hạn ở đó. Lớp cách điện 120 che các dây dẫn 122 theo phương án làm ví dụ này.

Dựa vào Fig.13, Fig.13 hình vẽ phác thảo sơ lược một phần sơ đồ SEM của thiết bị điện tử theo phương án làm ví dụ thứ bảy của sáng chế. Theo phương án làm ví dụ này, bộ dẫn điện thứ nhất CS1 có thể bao gồm một lớp dẫn điện đơn, chẳng hạn như lớp Mo. Bộ dẫn điện thứ hai CS2 có thể có cấu trúc đa lớp, chẳng hạn như cấu trúc Mo/Al/Mo. Lớp bảo vệ dẫn điện CPL che bộ dẫn điện thứ hai CS2 và một phần lớp cách điện 124. Lớp bảo vệ dẫn điện CPL này có thể bao gồm lớp ITO, nhưng không bị giới hạn ở đó. Lớp cách điện 118 được bố trí giữa đế hàn thứ nhất 108 và nền 102. Lớp cách điện 118 này có thể sử dụng làm lớp đệm và có thể bao gồm vật liệu silic nitrua (SiNx) hoặc silic oxit (SiOx), nhưng không bị giới hạn ở đó.

Dựa vào Fig.14 và Fig.15, Fig.14 hình vẽ phác thảo sơ lược một phần sơ đồ OM 3D của thiết bị điện tử theo phương án làm ví dụ thứ tám của sáng chế, và Fig.15 là biểu đồ biên dạng sơ lược thu được từ sơ đồ OM 3D (hoặc OM) trên Fig.14 dọc theo đường OML, trong đó Fig.14 thể hiện ba đế hàn thứ nhất 108A, 108B, 108C và ba dây dẫn 122 theo cách khác được bố trí trên nền 102. Sau khi đế hàn thứ hai và chip IC được loại bỏ khỏi các đế hàn thứ nhất 108A, 108B, 108C, thì các rãnh 116 có thể được thể hiện trên bề mặt của các đế hàn thứ nhất 108A, 108B, và/hoặc 108C này. Trên đế hàn thứ nhất 108A, rãnh “A”, rãnh “B”, rãnh “C”, rãnh “D”, rãnh “E” và rãnh “F” được chọn để tính toán các biên dạng thẳng đứng dọc theo đường OML, để thu được Fig.15. Trên Fig.15, lấy rãnh “B” làm một ví dụ, độ

dày tối đa T1 và độ dày tối đa thứ cấp T3 có thể được xác định theo đường cơ sở BAL đã chọn. Đường cơ sở BAL đã chọn này có thể là đường nằm ngang bất kỳ bên dưới tất cả các rãnh đã đo như được thể hiện trên Fig.15. Chiều rộng thứ nhất W1 có thể được đo theo hướng D2 giữa điểm của rãnh “B” với độ dày tối đa T1 và điểm của rãnh “B” với độ dày tối đa thứ cấp T3, độ dày tối đa T1 và độ dày tối đa thứ cấp T3 ở các phía đối diện của điểm thấp nhất của rãnh “B”. Ngoài ra, độ sâu Dp của rãnh “B” có thể còn được xác định từ dưới cùng (điểm của rãnh “B” với độ dày tối thiểu được xác định theo đường cơ sở BAL đã chọn) đến trên cùng (điểm của rãnh “B” với độ dày tối đa T1) theo hướng D1. Bằng phương pháp tương tự, chiều rộng thứ nhất W1 và độ sâu Dp có thể được đo theo các mẫu khác nhau như bảng sau.

	W1 (μm)	Dp (μm)	W3 (μm)
Mẫu I	1,905 đến 2,667	0,462 đến 1,941	3,274
Mẫu II	2,996 đến 2,709	0,821 đến 1,814	3,735
Mẫu III	2,224 đến 2,817	0,285 đến 1,941	3,051
Mẫu IV	2,431 đến 2,817	0,631 đến 1,894	3,471

Theo một số phương án, chiều rộng thứ nhất W1 của rãnh có thể nằm trong khoảng từ 1,5 μm đến 3,5 μm ($1,5 \mu\text{m} \leq W1 \leq 3,5 \mu\text{m}$), và độ sâu Dp của rãnh có thể nằm trong khoảng từ 0,1 μm đến 2,2 μm ($0,1 \mu\text{m} \leq Dp \leq 2,2 \mu\text{m}$), nhưng không bị giới hạn ở đó. Theo một số phương án, chiều rộng thứ nhất W1 có thể bằng 1,7 μm, 2 μm, 2,3 μm, 2,5 μm, 2,7 μm, 3 μm hoặc 3,2 μm, nhưng không bị giới hạn ở đó. Theo một số phương án, độ sâu Dp có thể bằng 0,3 μm, 0,5 μm, 0,7 μm, 0,9 μm, 1,1 μm, 1,3 μm, 1,5 μm, 1,7 μm hoặc 1,9 μm, nhưng không bị giới hạn ở đó. Theo khía cạnh khác, chiều rộng thứ ba W3 của các mẫu khác nhau có thể được đo bằng kính hiển vi quang học (OM) trước khi đế hàn thứ hai và chip IC được loại bỏ. Cụ thể hơn là, chiều rộng thứ ba W3 là trung bình của chiều rộng tối đa của ba hạt dẫn điện 112' bất kỳ (không phải các hạt dẫn điện 112) được đo theo hình ảnh OM bất kỳ. Theo một số phương án, chiều rộng thứ ba W3 của các hạt dẫn điện 112' có thể nằm trong khoảng từ 2 μm đến 6 μm ($2 \mu\text{m} \leq W3 \leq 6 \mu\text{m}$), nhưng không bị giới hạn ở đó. Theo một số phương án, chiều rộng thứ ba W3 của các hạt dẫn điện 112' có

thể bằng 2,5 μm , 3 μm , 3,5 μm , 4 μm , 4,5 μm , 5 μm hoặc 5,5 μm , nhưng không bị giới hạn ở đó. Tỷ lệ của chiều rộng thứ nhất W1 trên chiều rộng thứ ba W3 có thể nằm trong khoảng từ 0,25 đến 1 ($0,25 \leq W1/W3 \leq 1$). Ví dụ, tỷ lệ này có thể bằng 0,3, 0,4, 0,5, 0,6, 0,7, 0,8 hoặc 0,9, nhưng không bị giới hạn ở đó. Tỷ lệ của độ sâu Dp trên chiều rộng thứ ba W3 có thể nằm trong khoảng từ 0,01 đến 0,4 ($0,01 \leq D/W3 \leq 0,4$). Ví dụ, tỷ lệ này có thể bằng 0,05, 0,1, 0,15, 0,2, 0,25, 0,3 hoặc 0,35, nhưng không bị giới hạn ở đó. Theo một số phương án, chiều rộng thứ ba W3 khác với chiều rộng thứ nhất W1.

Theo Fig.14 và Fig.15, thiết bị điện tử 100 của sáng chế có thể bao gồm nền 102, đế hàn thứ nhất (ví dụ, 108A) được bố trí trên nền 102, và hạt dẫn điện (ví dụ, hạt dẫn điện 112' được thể hiện trên Fig.2) được bố trí trên nền 102. Đế hàn thứ nhất 108A có rãnh 116 với chiều rộng thứ nhất W1 và hạt dẫn điện (không được thể hiện trên hình vẽ) có chiều rộng thứ ba W3. Chiều rộng thứ nhất W1 này có thể nằm trong khoảng từ 1,5 micrômet (μm) đến 3,5 μm ($1,5 \mu\text{m} \leq W1 \leq 3,5 \mu\text{m}$). Ví dụ, chiều rộng thứ nhất W1 có thể bằng 1,7 μm , 2 μm , 2,3 μm , 2,5 μm , 2,7 μm , 3 μm hoặc 3,2 μm , nhưng không bị giới hạn ở đó. Chiều rộng thứ ba W3 này có thể nằm trong khoảng từ 2 μm đến 6 μm ($2 \mu\text{m} \leq W2 \leq 6 \mu\text{m}$). Ví dụ, chiều rộng thứ ba W3 có thể bằng 2,5 μm , 3 μm , 3,5 μm , 4 μm , 4,5 μm , 5 μm hoặc 5,5 μm , nhưng không bị giới hạn ở đó. Theo một số phương án, chiều rộng thứ nhất W1 nhỏ hơn hoặc bằng chiều rộng thứ ba W3 ($W1 \leq W3$). Tỷ lệ của chiều rộng thứ nhất W1 trên chiều rộng thứ ba W3 nằm trong khoảng từ 0,25 đến 1 ($0,25 \leq W1/W3 \leq 1$). Ví dụ, tỷ lệ này có thể bằng 0,3, 0,4, 0,5, 0,6, 0,7, 0,8 hoặc 0,9, nhưng không bị giới hạn ở đó.

Ngoài ra, độ nhám Ra và độ nhám Rms của các đế hàn thứ nhất 108A, 108B, 108C có thể được đo bằng 3D OM. Như được thể hiện trên Fig.14, khu vực không đổi thể hiện bởi khung ARL có thể được chọn để đo các đế hàn thứ nhất 108A, 108B, 108C để thu được độ nhám Ra và/hoặc Rms. Theo một số phương án, độ nhám này có thể nằm trong khoảng từ 0,01 μm đến 0,3 μm ($0,01 \mu\text{m} \leq \text{độ nhám} \leq 0,3 \mu\text{m}$), nhưng không bị giới hạn ở đó. Cụ thể hơn là, độ nhám Ra có thể nằm trong khoảng từ 0,01 μm đến 0,2 μm ($0,01 \mu\text{m} \leq Ra \leq 0,2 \mu\text{m}$), và độ nhám Rms có thể nằm trong khoảng từ 0,02 μm đến 0,3 μm ($0,02 \mu\text{m} \leq Rms \leq 0,3 \mu\text{m}$), nhưng không bị giới hạn ở đó. Theo một số phương án, độ nhám Ra có thể bằng 0,05 μm , 0,07 μm , 0,1 μm , 0,13 μm , 0,15 μm hoặc 0,17 μm , nhưng không bị giới hạn ở đó. Theo

một số phương án, độ nhám Rms có thể bằng 0,05 μm , 0,07 μm , 0,1 μm , 0,13 μm , 0,15 μm , 0,17 μm , 0,2 μm , 0,23 μm , 0,25 μm hoặc 0,27 μm , nhưng không bị giới hạn ở đó. Theo một phương án làm ví dụ biến thể, độ nhám Ra có thể nằm trong khoảng từ 0,020 μm đến 0,043 μm ($0,020 \mu\text{m} \leq Ra \leq 0,043 \mu\text{m}$), và độ nhám Rms có thể nằm trong khoảng từ 0,033 μm đến 0,079 μm ($0,033 \mu\text{m} \leq Rms \leq 0,079 \mu\text{m}$), nhưng không bị giới hạn ở đó. Độ nhám Rm và Rms này có thể được đo bằng kính hiển vi lực nguyên tử (atomic force microscope, AFM), 3D OM hoặc các dụng cụ đo thích hợp khác bất kỳ.

Dựa vào Fig.16, Fig.16 hình vẽ phác thảo sơ lược một phần sơ đồ OM 3D (hoặc OM) của thiết bị điện tử theo phương án làm ví dụ thứ chín của sáng chế. Phương án làm ví dụ này thể hiện loại đế hàn thứ nhất 108A, 108B, 108C khác với hình vẽ phác thảo khác nhau. Bằng cách sử dụng phương pháp tương tự theo phương án làm ví dụ thứ tám, độ nhám Rm và Rms có thể thu được, trong đó khu vực này được thể hiện bởi khung ARL được xác định để đo độ nhám. Theo phương án làm ví dụ này, độ nhám Ra có thể nằm trong khoảng từ 0,05 μm đến 0,15 μm ($0,05 \mu\text{m} \leq Ra \leq 0,15 \mu\text{m}$), và độ nhám Rms có thể nằm trong khoảng từ 0,1 μm đến 0,2 μm ($0,1 \mu\text{m} \leq Rms \leq 0,2 \mu\text{m}$), nhưng không bị giới hạn ở đó. Theo một số phương án, độ nhám Ra có thể bằng 0,06 μm , 0,07 μm , 0,08 μm , 0,09 μm , 0,1 μm , 0,11 μm , 0,12 μm , 0,13 μm hoặc 0,14 μm , nhưng không bị giới hạn ở đó. Theo một số phương án, độ nhám Rms có thể bằng 0,11 μm , 0,12 μm , 0,13 μm , 0,14 μm , 0,15 μm , 0,16 μm , 0,17 μm , 0,18 μm hoặc 0,19 μm , nhưng không bị giới hạn ở đó.

Theo sáng chế này, hạt dẫn điện có thể được sử dụng để kết nối điện để hàn thứ nhất và đế hàn thứ hai trong thiết bị điện tử. Đế hàn thứ nhất có thể có rãnh tương ứng với hạt dẫn điện. Hạt dẫn điện này có thể chìm trong rãnh, khu vực tiếp xúc giữa đế hàn thứ nhất và hạt dẫn điện có thể được tăng lên và kết nối điện giữa đế hàn thứ nhất và hạt dẫn điện có thể được cải thiện. Rãnh có thể giúp cố định hạt dẫn điện chắc chắn hơn để liên kết hoặc kết nối điện giữa đế hàn thứ nhất và đế hàn thứ hai. Các cấu trúc và/hoặc hợp chất khác nhau của các lớp dẫn điện của đế hàn thứ nhất có thể được tạo ra dựa vào các yêu cầu khác nhau. Ví dụ, vật liệu dẫn điện chứa oxy hoặc vật liệu dẫn điện oxit có thể được sử dụng để tạo ra bề mặt trên cùng của đế hàn thứ nhất.

Người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ dễ dàng quan sát thấy rằng nhiều cải biến và thay đổi của thiết bị và phương pháp có thể được thực hiện trong khi vẫn giữ nguyên các mục đích của sáng chế. Sáng chế này có thể bao gồm các kết hợp của (các) phương án, (các) biến thể và/hoặc các dấu hiệu bất kỳ được mô tả theo các điểm yêu cầu bảo hộ. Theo đó, sáng chế nêu trên nên được hiểu là chỉ bị giới hạn bởi những giới hạn về quyền sở hữu của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị điện tử, thiết bị này bao gồm:

nền;

đế hàn thứ nhất được bố trí trên nền, trong đó đế hàn thứ nhất này có bộ dẫn điện thứ nhất, bộ dẫn điện thứ hai được bố trí trên bộ dẫn điện thứ nhất, và lớp bảo vệ dẫn điện được bố trí trên bộ dẫn điện thứ hai;

lớp cách điện được bố trí trên bộ dẫn điện thứ hai, và lớp cách điện này có khoảng hở làm lộ ra một phần bộ dẫn điện thứ hai, trong đó lớp bảo vệ dẫn điện che bộ dẫn điện thứ hai trong khoảng hở và kéo dài qua khoảng hở để che một phần lớp cách điện;

đế hàn thứ hai được bố trí đối diện với đế hàn thứ nhất; và

hạt dẫn điện được bố trí giữa đế hàn thứ nhất và đế hàn thứ hai;

trong đó đế hàn thứ nhất có rãnh, và một phần hạt dẫn điện chìm trong rãnh.

2. Thiết bị điện tử theo điểm 1, trong đó độ dày tối đa của đế hàn thứ nhất chồng lên hạt dẫn điện lớn hơn độ dày tối thiểu của đế hàn thứ nhất không chồng lên hạt dẫn điện.

3. Thiết bị điện tử theo điểm 1, trong đó chiều rộng thứ nhất của rãnh theo một hướng nhỏ hơn hoặc bằng chiều rộng thứ hai của hạt dẫn điện theo một hướng.

4. Thiết bị điện tử theo điểm 3, trong đó chiều rộng thứ nhất nằm trong khoảng từ 1,5 μm đến 3,5 μm .

5. Thiết bị điện tử theo điểm 3, trong đó chiều rộng thứ hai nằm trong khoảng từ 2 μm đến 6 μm .

6. Thiết bị điện tử theo điểm 3, trong đó tỷ lệ của chiều rộng thứ nhất trên chiều rộng thứ hai nằm trong khoảng từ 0,25 đến 1.

7. Thiết bị điện tử theo điểm 1, trong đó độ sâu của rãnh nằm trong khoảng từ 0,1 μm đến 2,2 μm .

8. Thiết bị điện tử theo điểm 1, trong đó hạt dẫn điện bao gồm lõi và vỏ bao quanh lõi, và vỏ có bề mặt không đều.

9. Thiết bị điện tử theo điểm 1, trong đó bộ dẫn điện thứ nhất được nối điện với bộ dẫn điện thứ hai.
10. Thiết bị điện tử theo điểm 9, trong đó bộ dẫn điện thứ nhất bao gồm lớp titan (Ti), lớp molypden (Mo), lớp nhôm (Al), cấu trúc Mo/Al/Mo, cấu trúc Ti/Al/Ti, cấu trúc Mo/Al/Ti hoặc cấu trúc Ti/Al/Mo, và bộ dẫn điện thứ hai bao gồm lớp titan, lớp molypden, lớp nhôm, cấu trúc Mo/Al/Mo, cấu trúc Ti/Al/Ti, cấu trúc Mo/Al/Ti hoặc cấu trúc Ti/Al/Mo.
11. Thiết bị điện tử theo điểm 1, trong đó bộ dẫn điện thứ nhất bao gồm ít nhất một lớp kim loại và lớp bảo vệ dẫn điện được bố trí trên ít nhất một lớp kim loại.
12. Thiết bị điện tử theo điểm 11, trong đó lớp bảo vệ dẫn điện được nối điện với ít nhất một lớp kim loại.
13. Thiết bị điện tử theo điểm 1, trong đó độ nhám của bề mặt trên cùng của đế hàn thứ nhất nằm trong khoảng từ 0,01 μm đến 0,3 μm .
14. Thiết bị điện tử theo điểm 1, trong đó thiết bị này còn bao gồm lớp cách điện được bố trí giữa nền và đế hàn thứ nhất.
15. Thiết bị điện tử theo điểm 14, trong đó lớp cách điện được bố trí giữa nền và đế hàn thứ nhất là ở cấu trúc đa lớp mà bao gồm các lớp cách điện phụ, và ít nhất một trong số các lớp cách điện phụ này có độ dày khác với lớp còn lại trong số các lớp cách điện phụ.
16. Thiết bị điện tử theo điểm 1, trong đó thiết bị này còn bao gồm chip mạch tích hợp (integrated circuit, IC) được bố trí trên đế hàn thứ hai và được nối điện với đế hàn thứ hai.
17. Thiết bị điện tử theo điểm 1, trong đó lớp bảo vệ dẫn điện bao gồm lớp dẫn điện chứa oxy hoặc lớp oxit.
18. Thiết bị điện tử, thiết bị này bao gồm:
- nền;
- đế hàn thứ nhất được bố trí trên nền, trong đó đế hàn thứ nhất này có bộ dẫn điện thứ nhất và lớp bảo vệ dẫn điện được bố trí trên bộ dẫn điện thứ nhất;

lớp cách điện được bố trí trên bộ dẫn điện thứ nhất, và lớp cách điện này có khoảng hở làm lộ ra một phần bộ dẫn điện thứ nhất, trong đó lớp bảo vệ dẫn điện che bộ dẫn điện thứ nhất trong khoảng hở và kéo dài qua khoảng hở để che một phần lớp cách điện;

đế hàn thứ hai được bố trí đối diện với đế hàn thứ nhất; và

hạt dẫn điện được bố trí giữa đế hàn thứ nhất và đế hàn thứ hai,

trong đó đế hàn thứ nhất có rãnh, và một phần hạt dẫn điện chìm trong rãnh,

trong đó lớp bảo vệ dẫn điện bao gồm lớp dẫn điện chứa oxy hoặc lớp oxit.

1/14

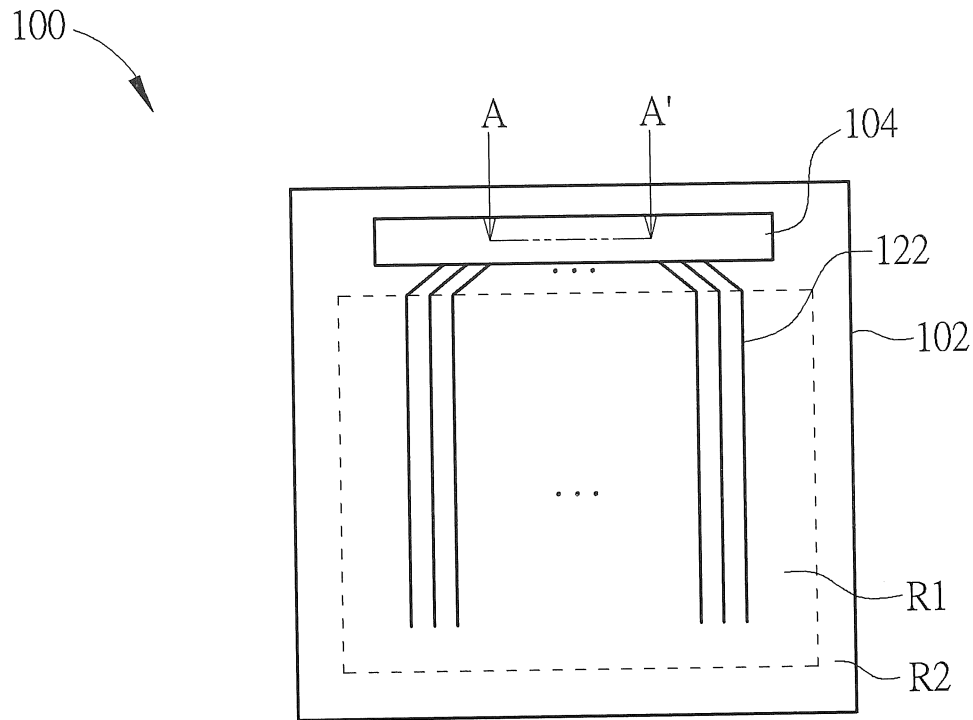


FIG. 1

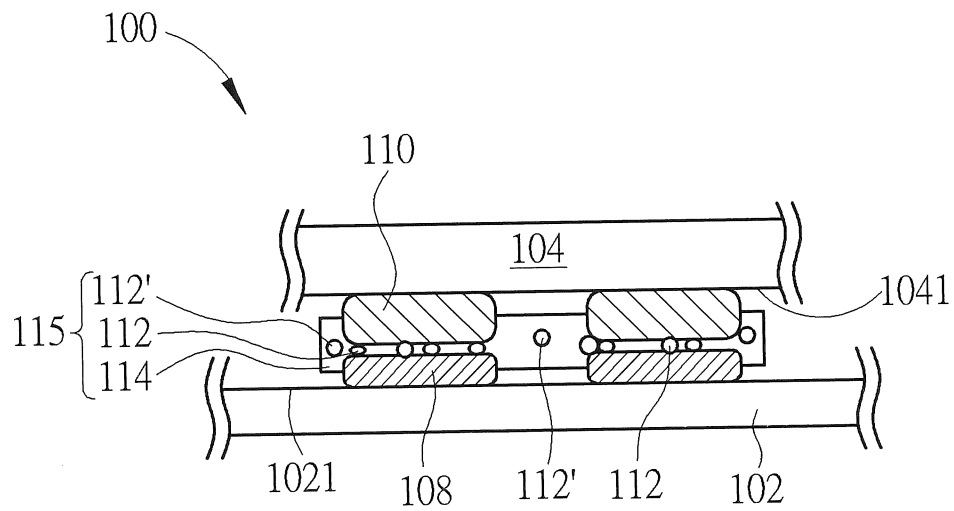


FIG. 2

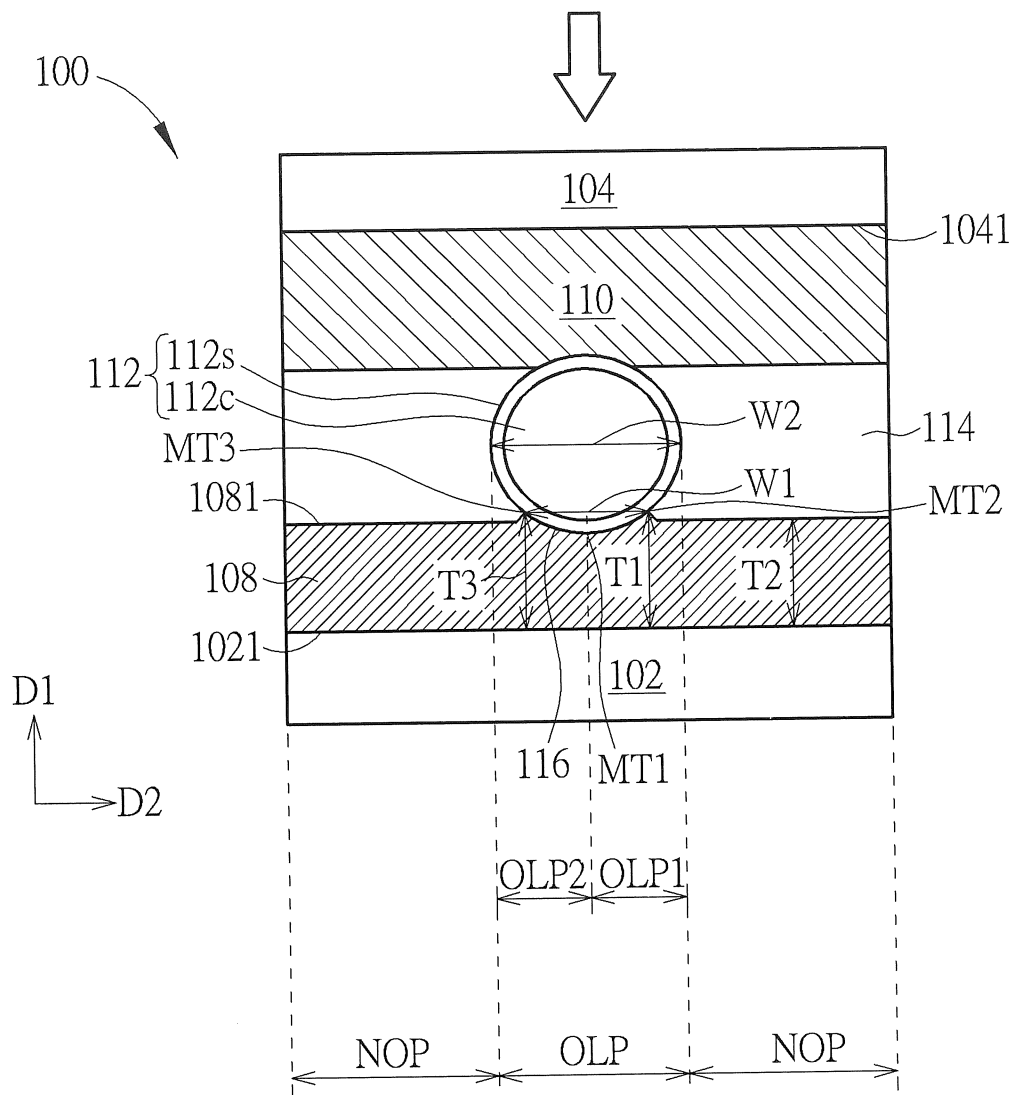


FIG. 3

3/14

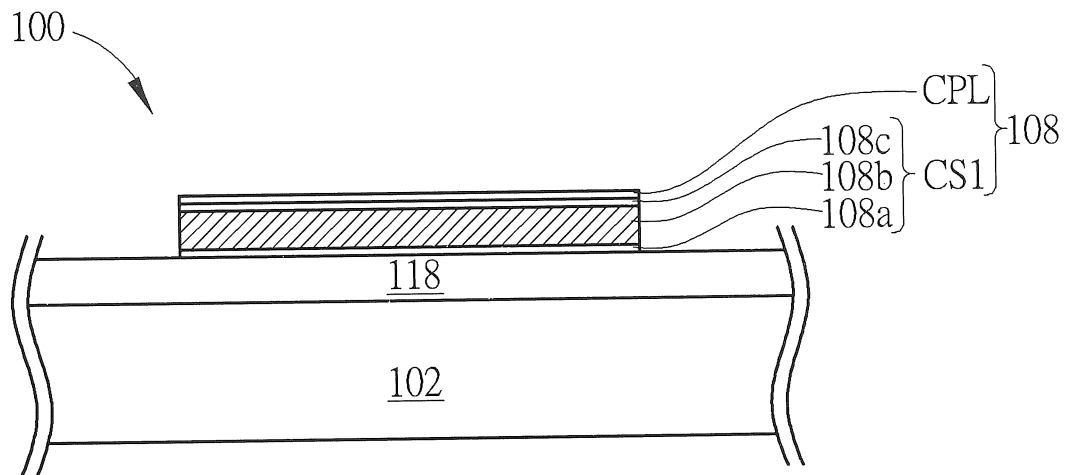


FIG. 4

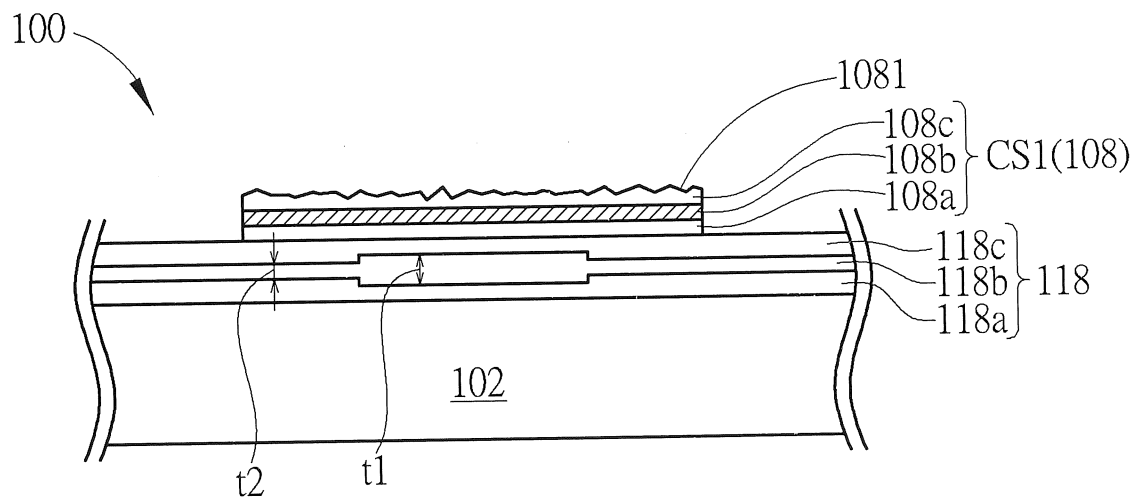


FIG. 5

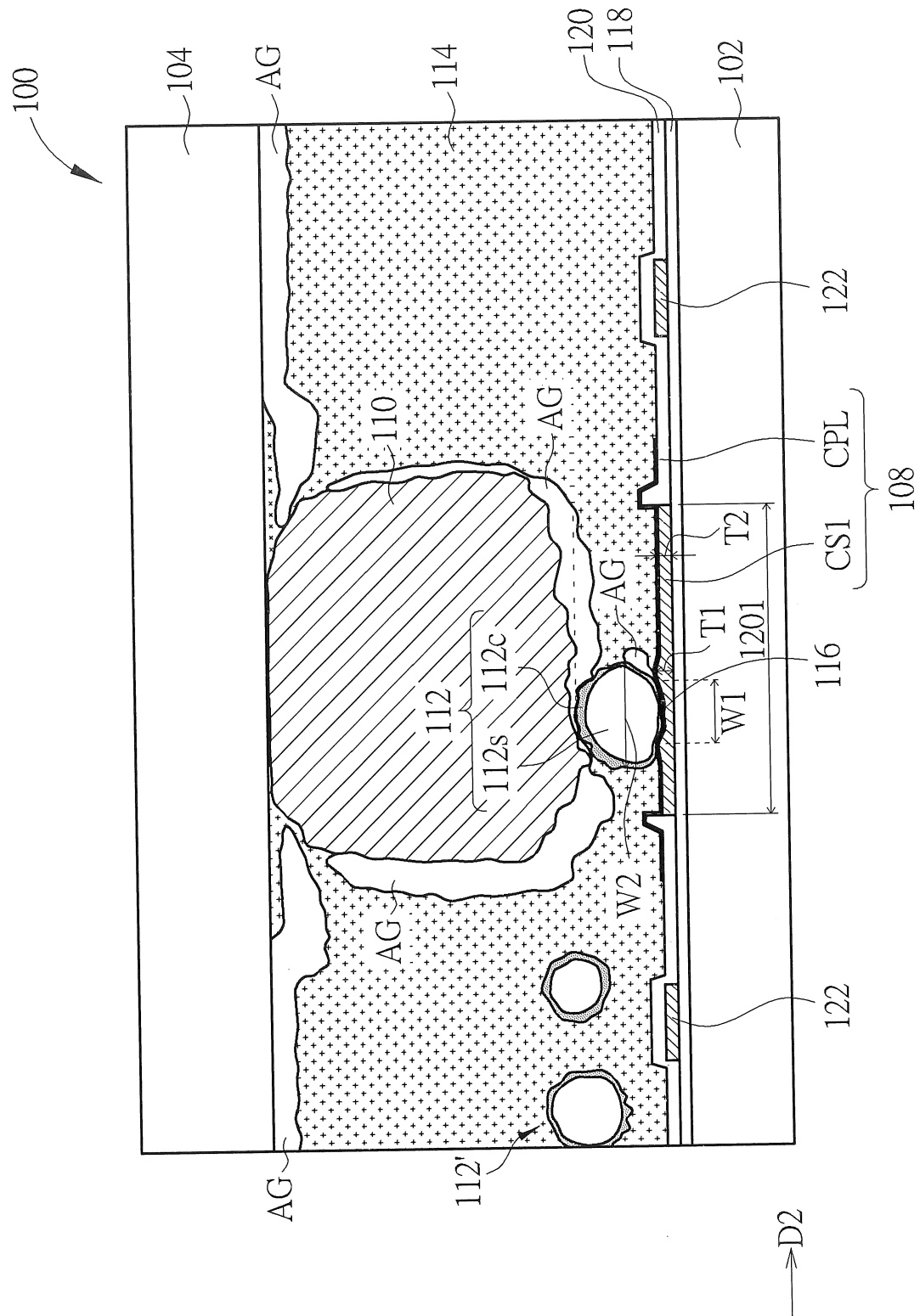


FIG. 6

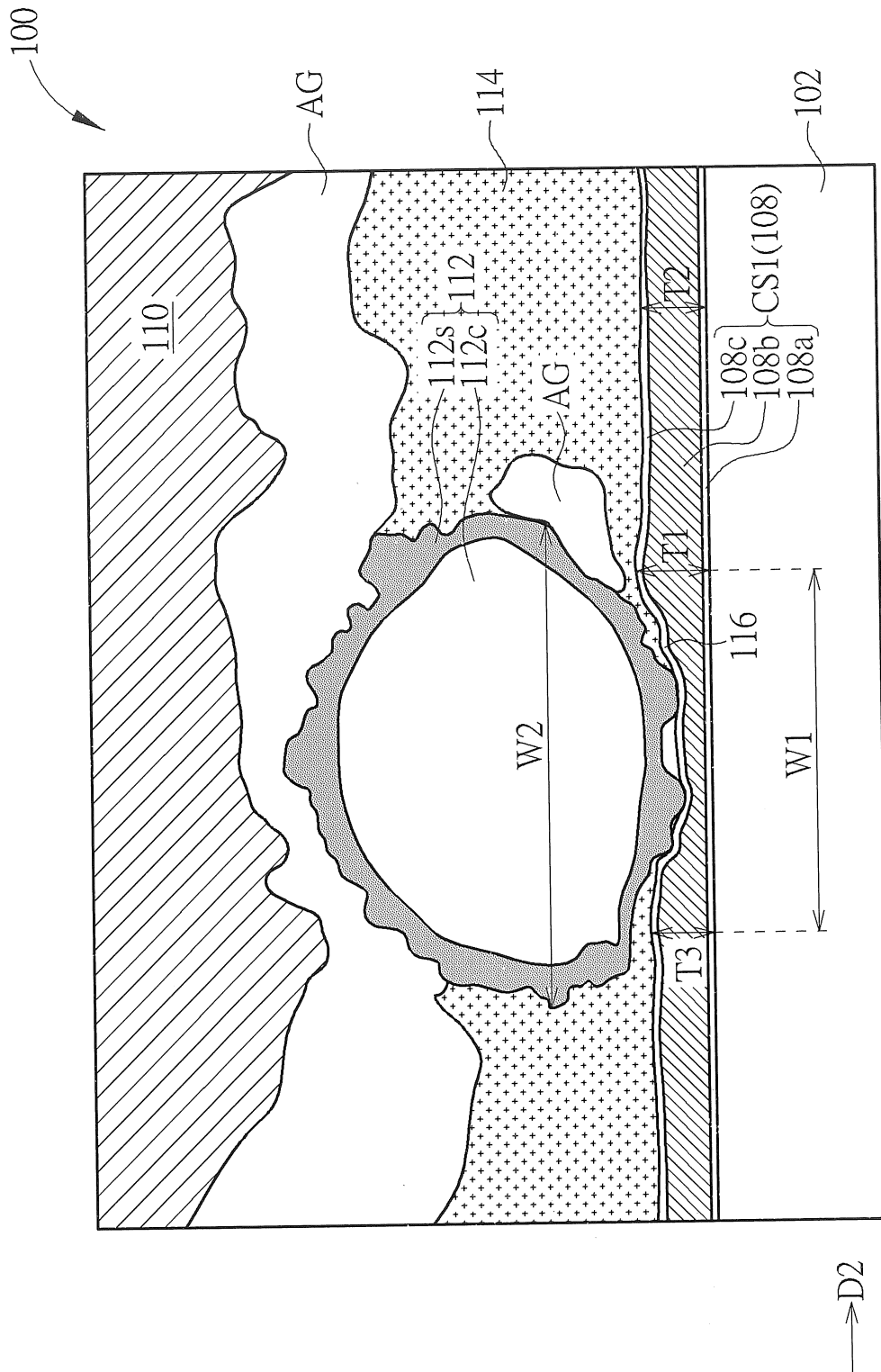


FIG. 7

6/14

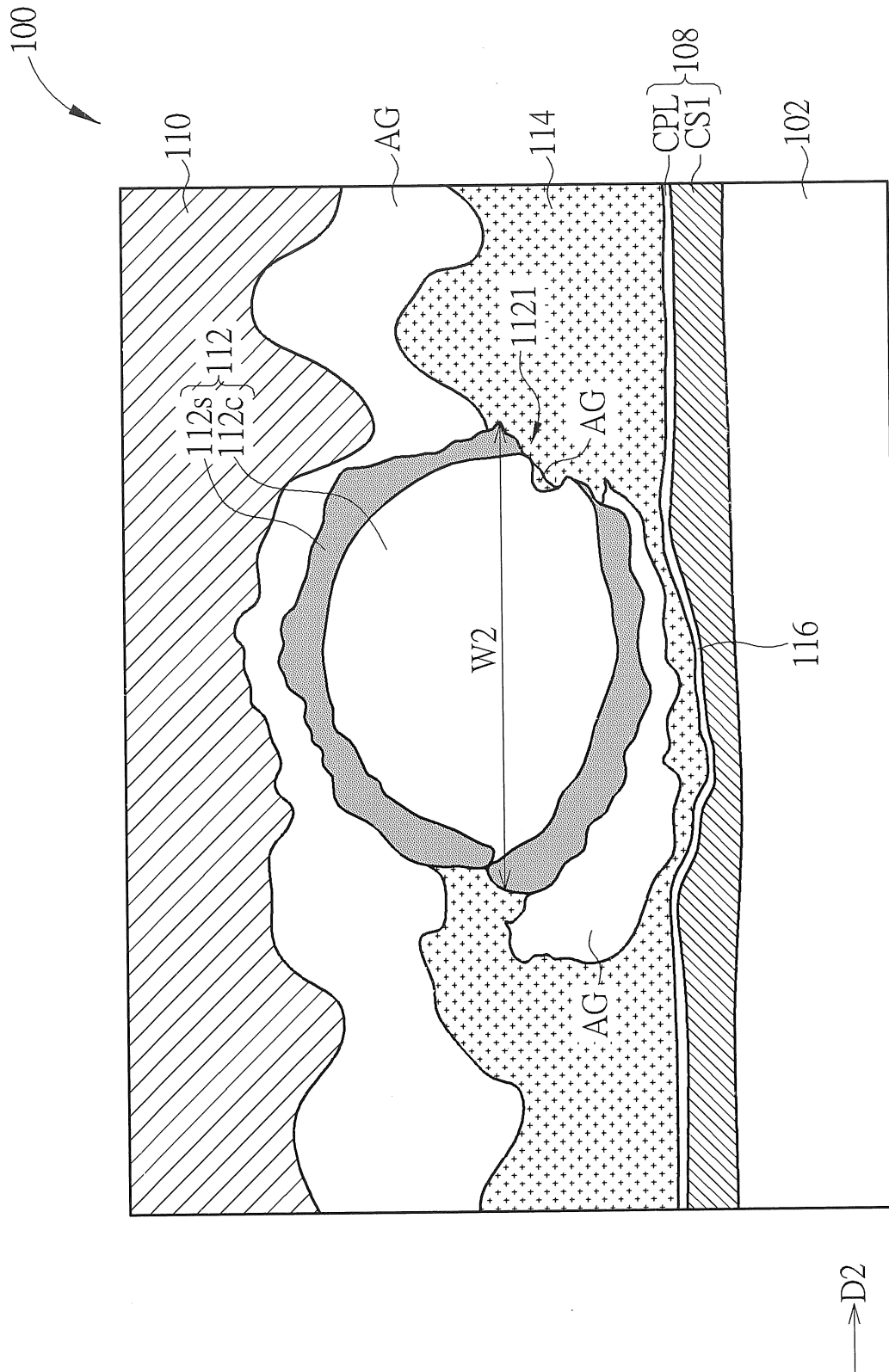


FIG. 8

7/14

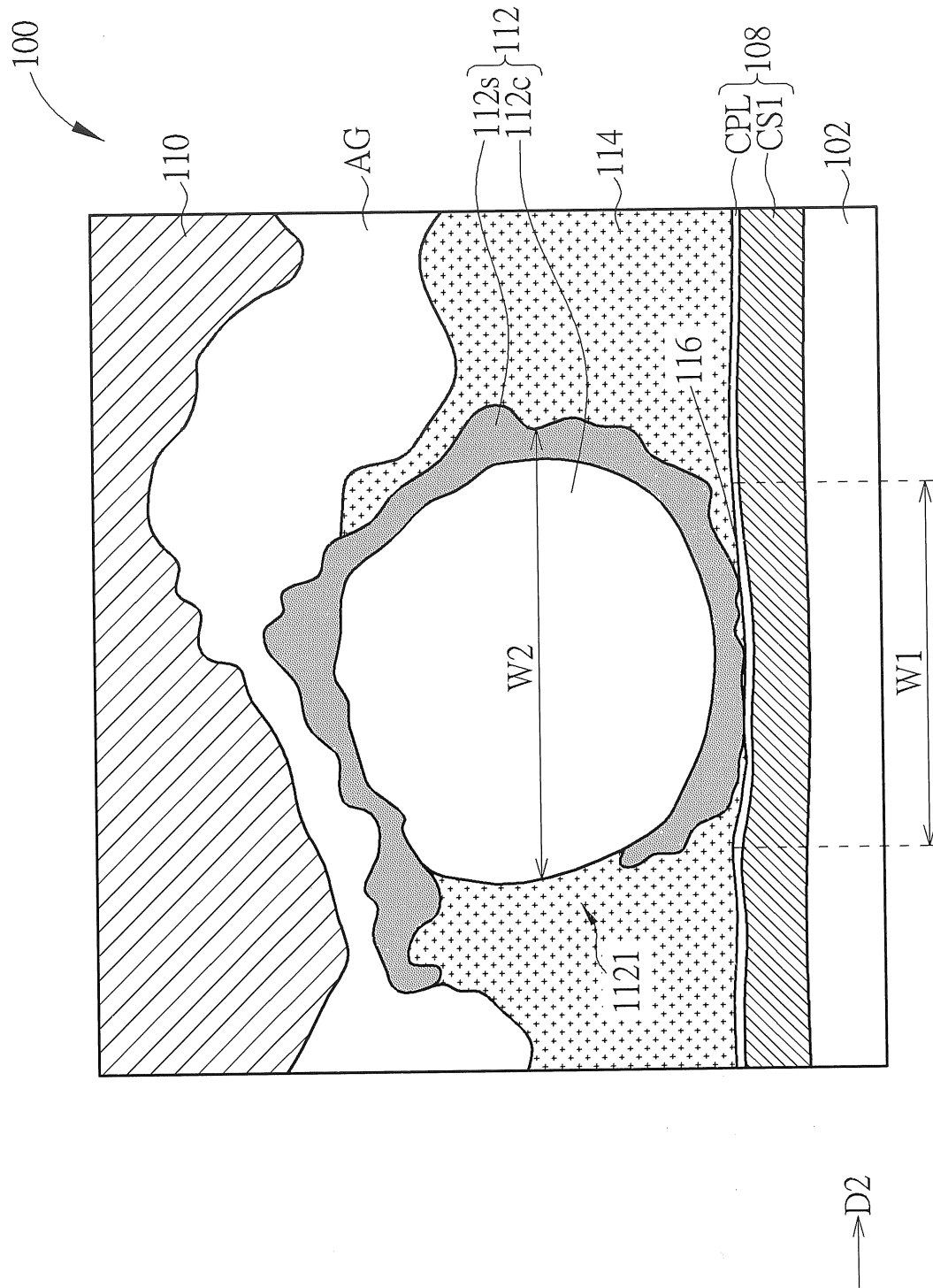


FIG. 9

8/14

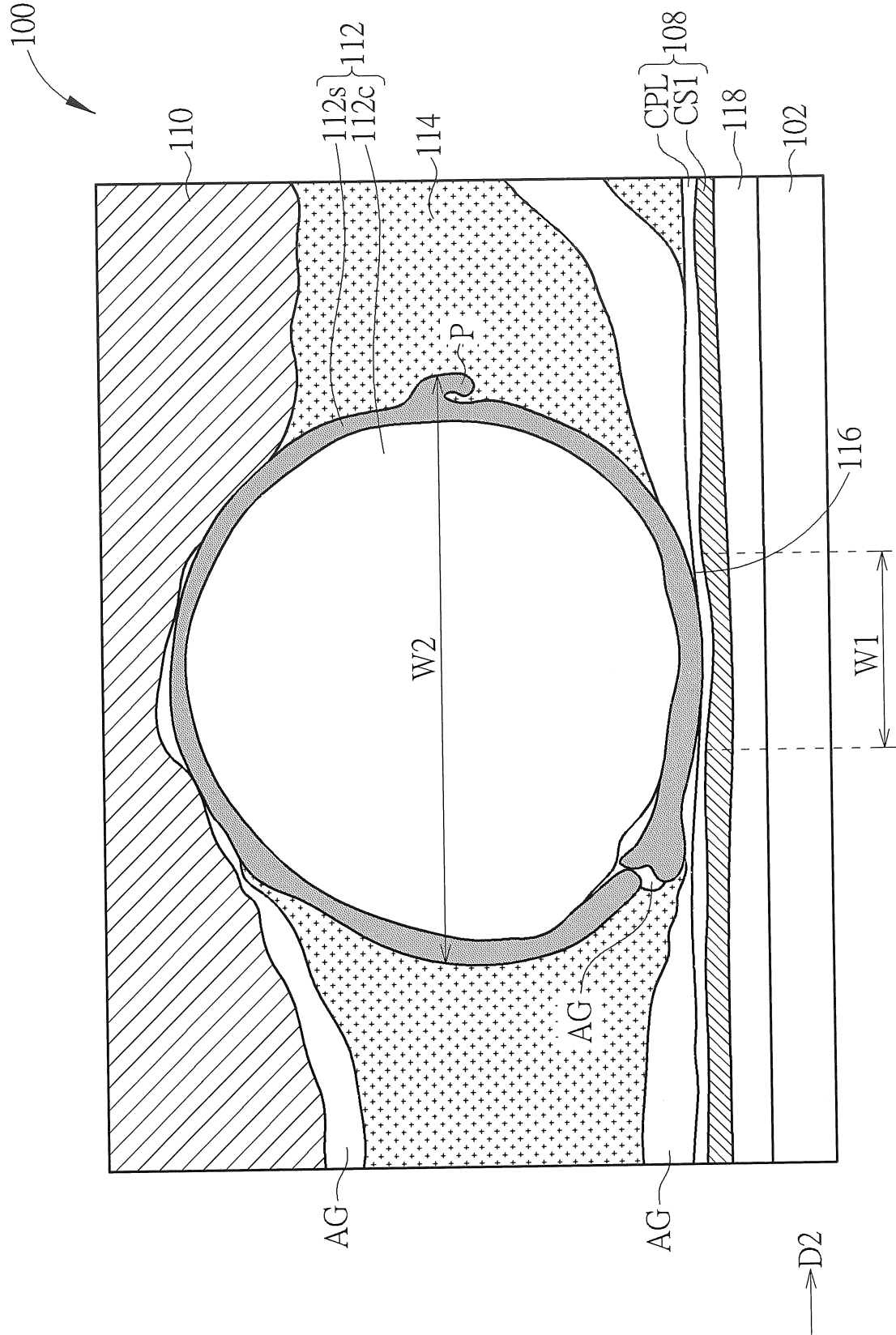


FIG. 10

9/14

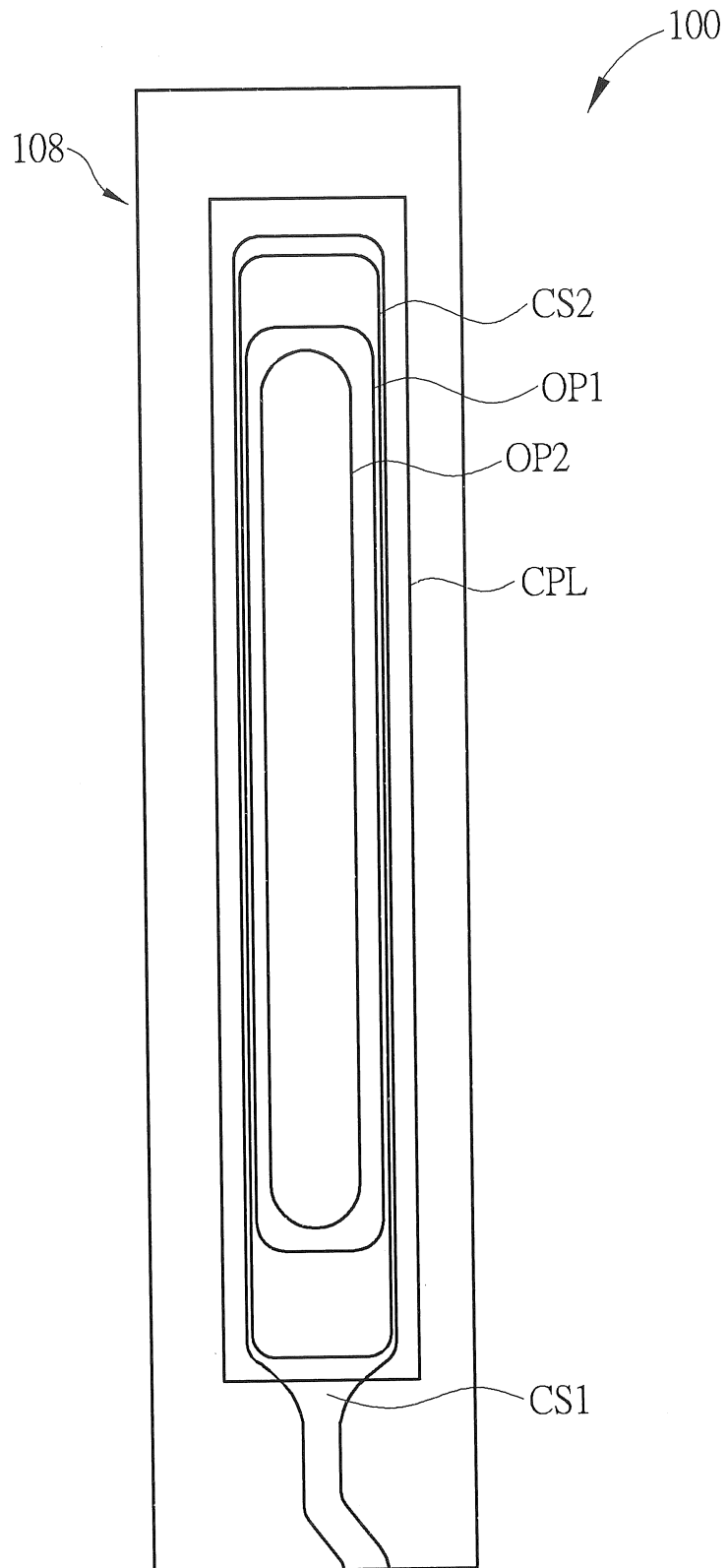


FIG. 11

10/14

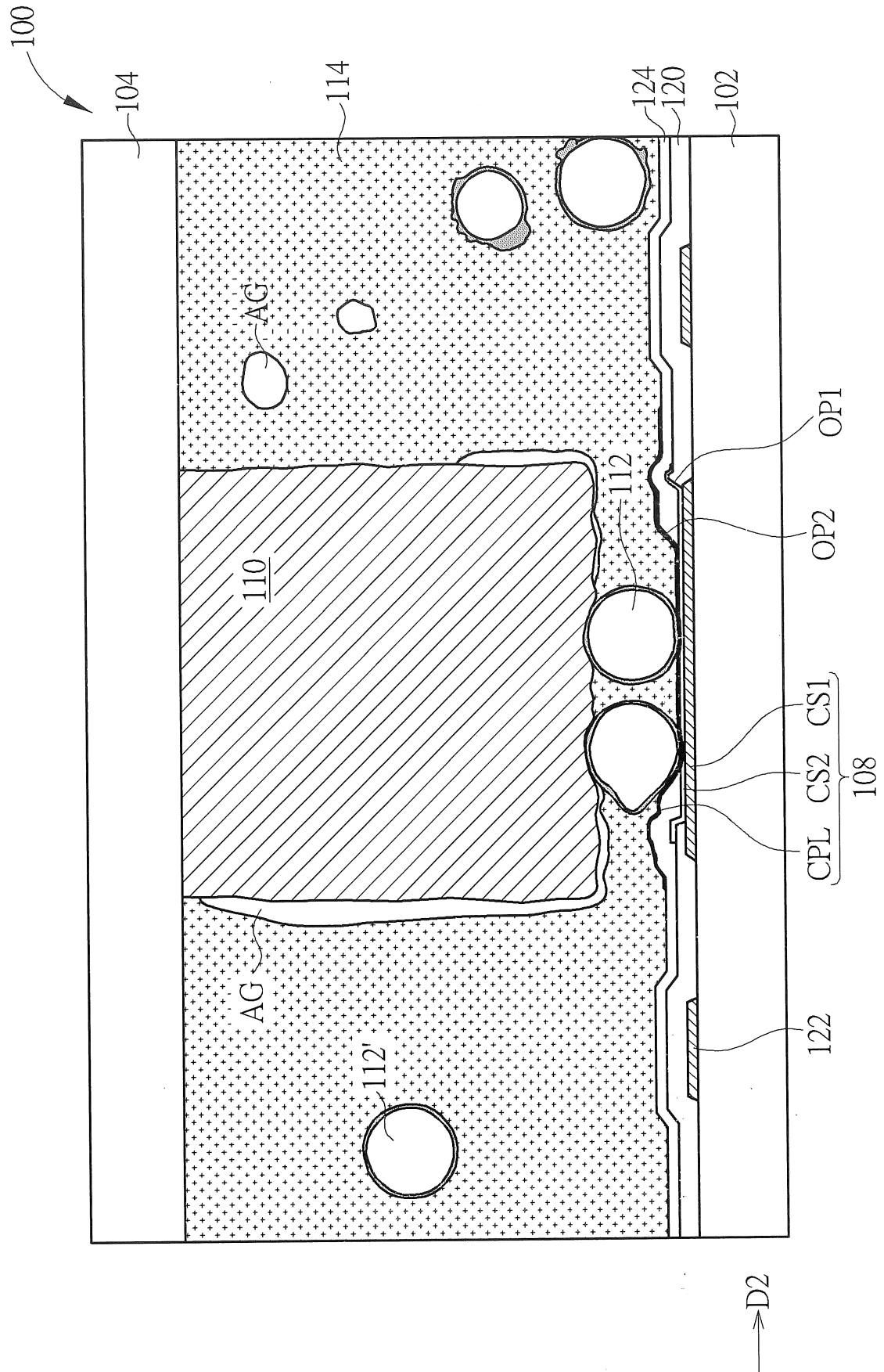


FIG. 12

11/14

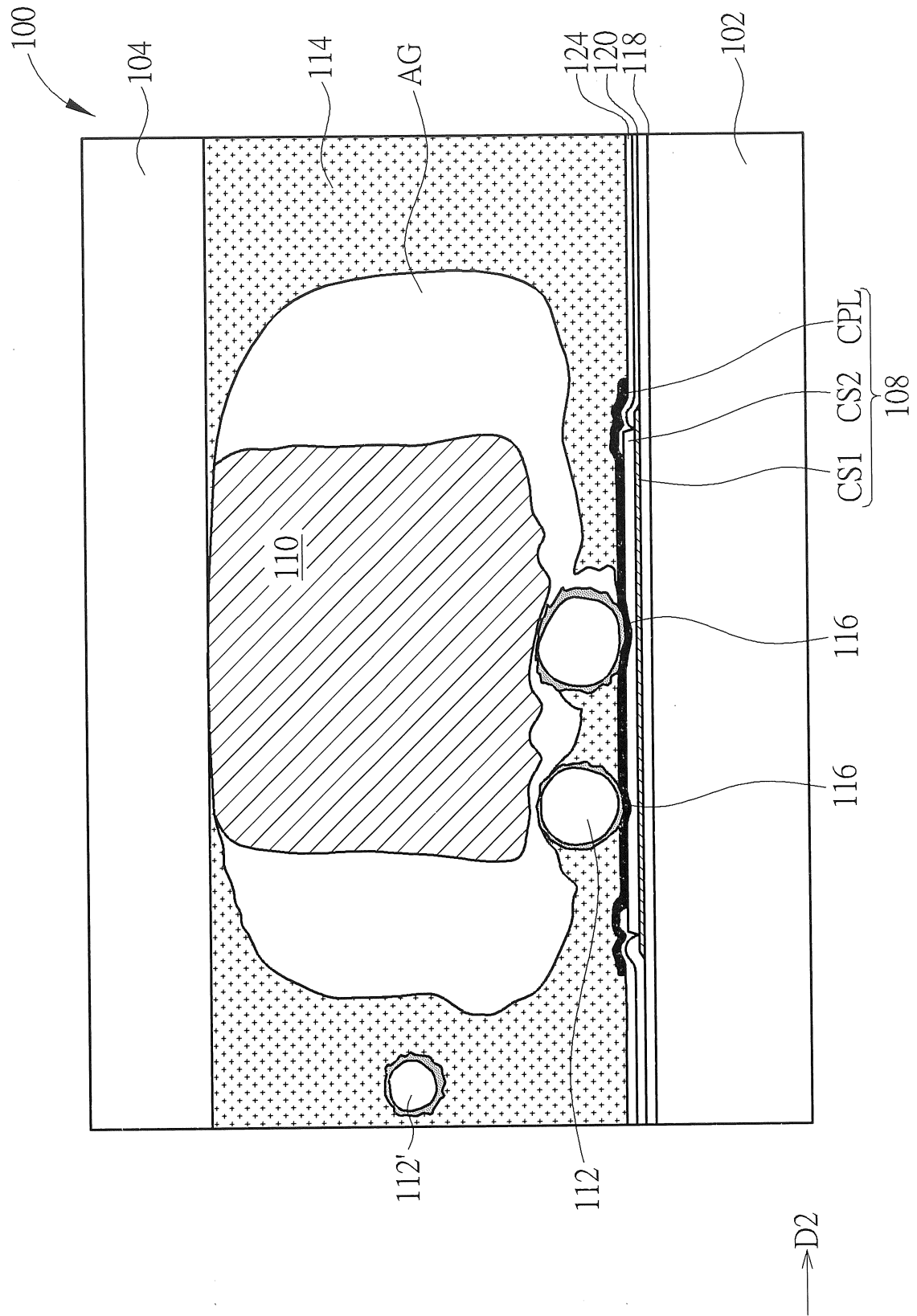


FIG. 13

12/14

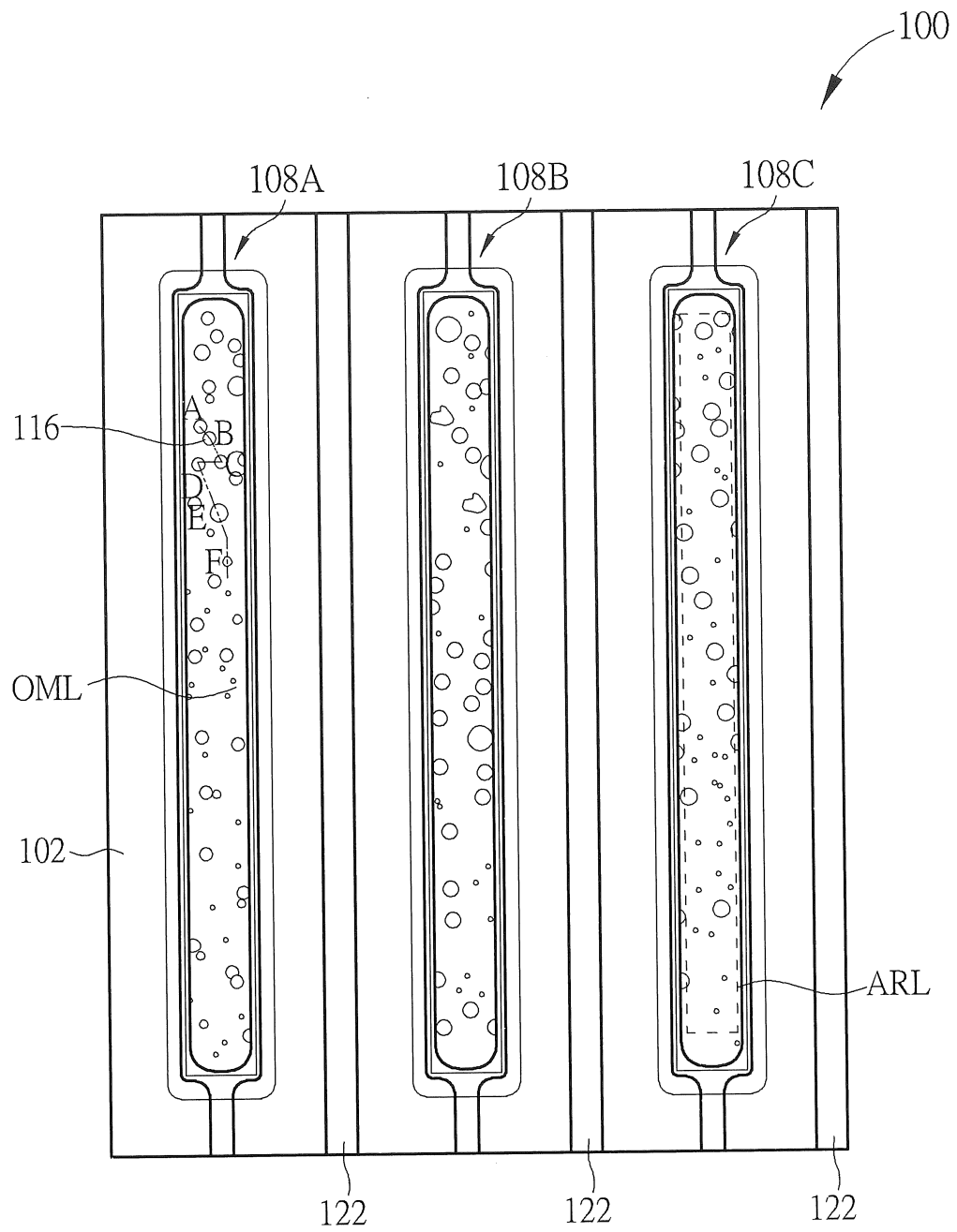


FIG. 14

13/14

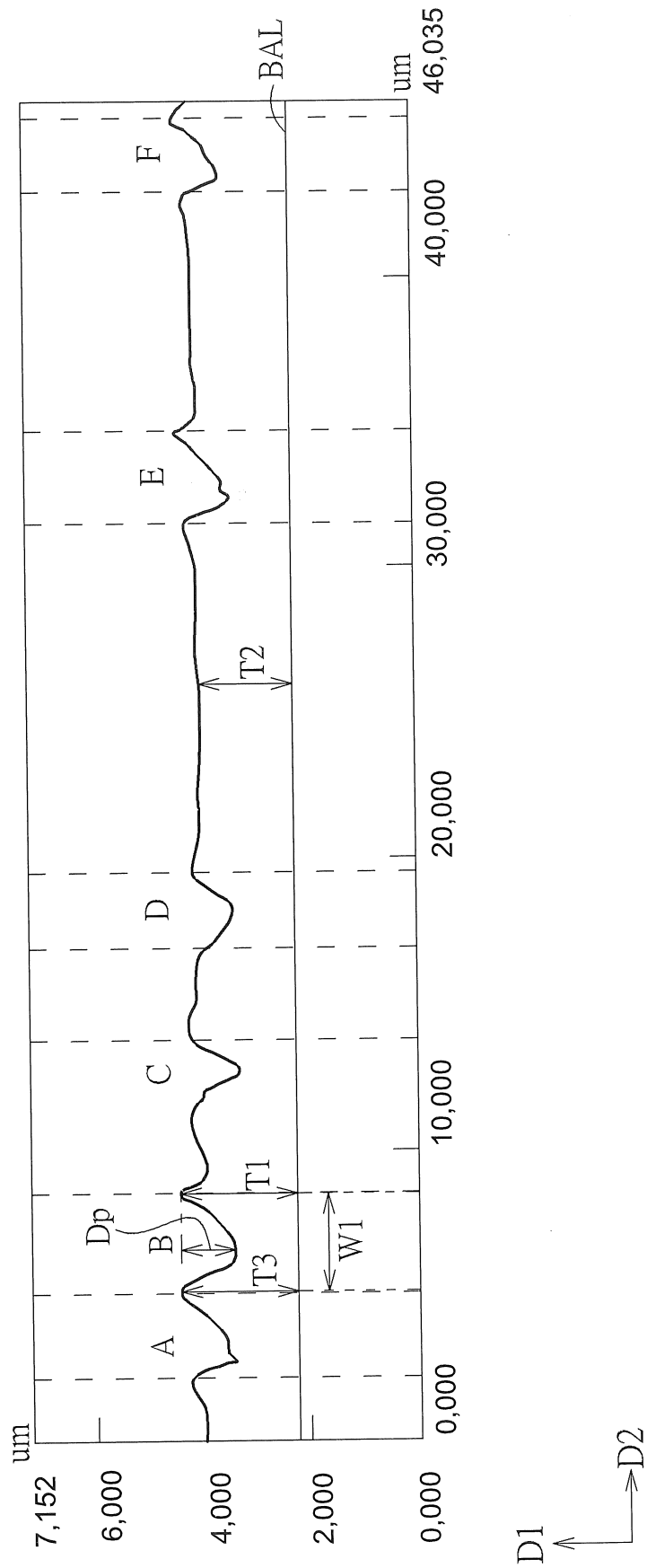


FIG. 15

14/14

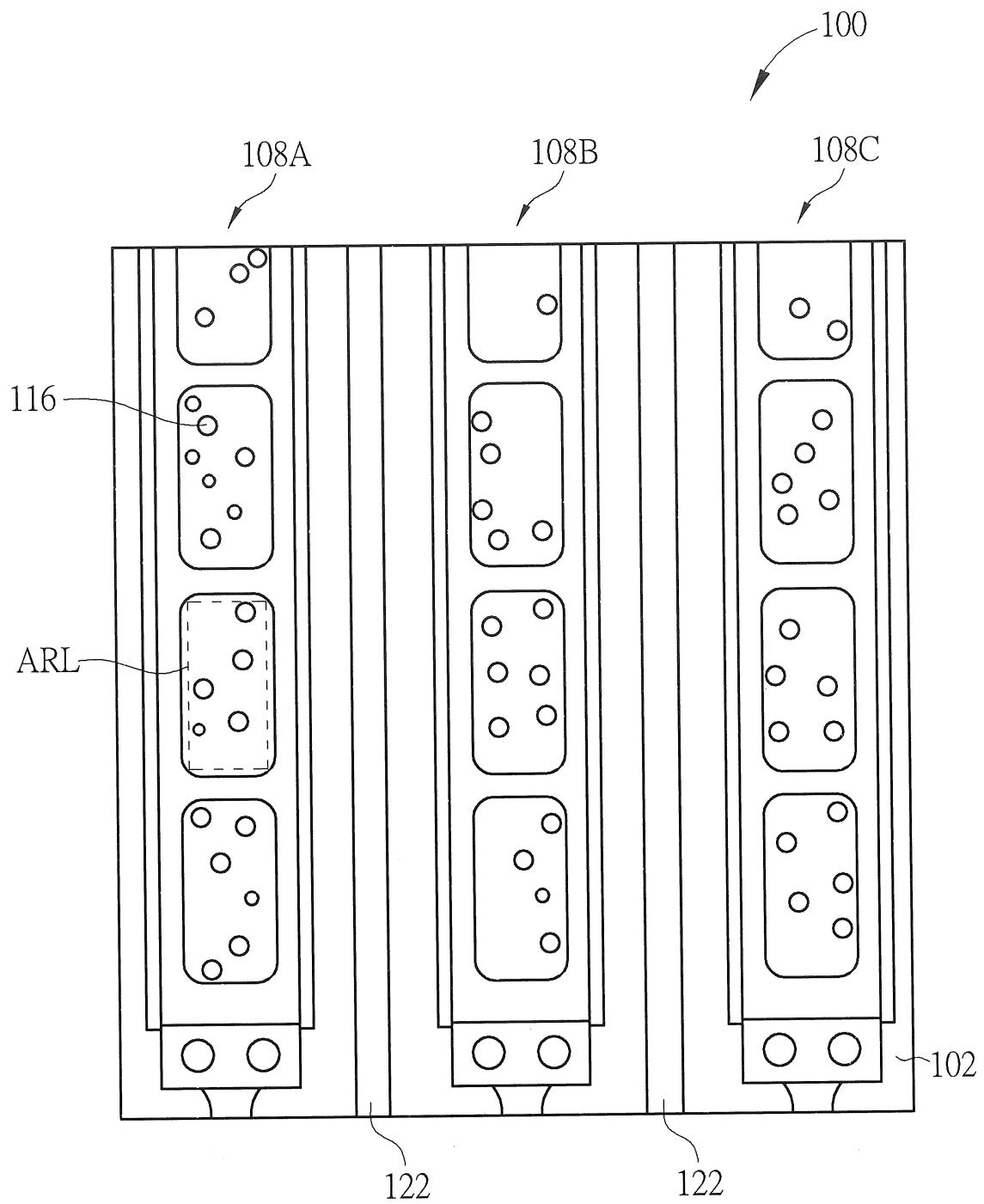


FIG. 16