



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ
1-0043743
(51)⁷ G01L -001/20; G01C -009/06; G09G - (13) B
003/30; G01B -007/30; G01D -005/16

(21) 1-2019-03896 (22) 18/07/2019
(30) 10-2018-0083232 18/07/2018 KR
(45) 25/03/2025 444 (43) 30/01/2020 382A
(73) SAMSUNG DISPLAY CO., LTD. (KR)
1, Samsung-ro, Giheung-gu, Yongin-si, Gyeonggi-do, Republic of Korea
(72) Ah-ram LEE (KR); Myoung-ha JEON (KR); Hongkwon KIM (KR); Seongsik AHN (KR).
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ

(21) 1-2019-03896

(57) Thiết bị hiển thị bao gồm: lớp nền bao gồm khu vực thứ nhất, khu vực thứ hai, và khu vực uốn cong, khu vực uốn cong này bao gồm khu vực uốn cong thứ nhất liền kề với khu vực thứ nhất và khu vực uốn cong thứ hai liền kề với khu vực thứ hai; các điểm ảnh được bố trí trên khu vực thứ nhất; các đế hàn được bố trí trên khu vực thứ hai; các đường tín hiệu được nối điện với các điểm ảnh và được bố trí trên khu vực thứ nhất, khu vực uốn cong, và khu vực thứ hai; đường cảm biến thứ nhất được bố trí trên khu vực uốn cong thứ nhất; các đường nối cảm biến thứ nhất được nối điện với đường cảm biến thứ nhất, kéo dài qua khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai; đường cảm biến thứ hai được bố trí trên khu vực uốn cong thứ hai và giữa đường cảm biến thứ nhất và khu vực thứ hai; và các đường nối cảm biến thứ hai được nối điện với đường cảm biến thứ hai, kéo dài qua khu vực uốn cong thứ hai và khu vực thứ hai.

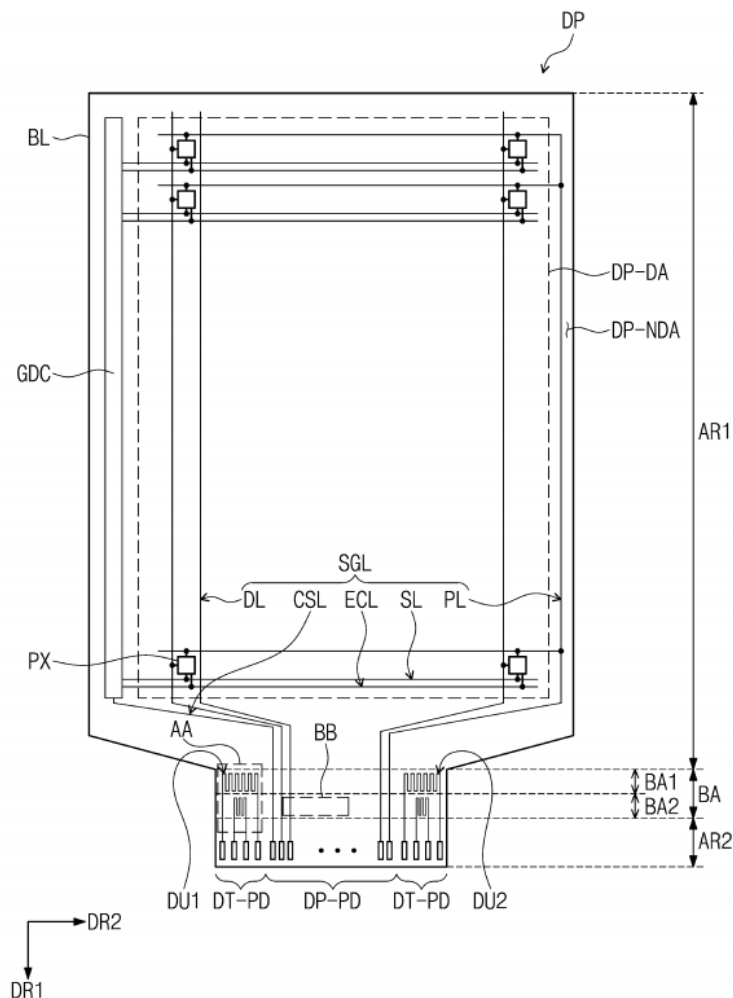


FIG.4

Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập đến thiết bị hiển thị và, cụ thể là thiết bị điện tử bao gồm panen hiển thị uốn cong được có bộ phát hiện vết nứt.

Tình trạng kỹ thuật của sáng chế

Thiết bị hiển thị bao gồm lớp nền mềm dẻo và các đường tín hiệu và các hình mẫu dẫn điện được bố trí trên lớp nền này. Lớp nền có thể được uốn cong một phần. Trong trường hợp mà lớp nền có phần uốn cong, thì các đường tín hiệu và các hình mẫu dẫn điện cũng có thể được uốn cong, và trong trường hợp này, ứng suất có thể được tác dụng lên các đường tín hiệu và các hình mẫu dẫn điện gây ra vết nứt của các đường tín hiệu và các hình mẫu dẫn điện. Hơn nữa, vết nứt này có thể dẫn đến lỗi chức năng của thiết bị hiển thị. Lỗi chức năng của thiết bị hiển thị có thể được phát hiện bởi quy trình kiểm tra đối với thiết bị hiển thị. Tuy nhiên, trong trường hợp mà vết nứt nhỏ được tạo thành trong các đường tín hiệu hoặc các hình mẫu dẫn điện, thì vết nứt nhỏ này có thể lan rộng dần theo thời gian, và lỗi chức năng của thiết bị hiển thị có thể không được phát hiện trong quy trình kiểm tra của quy trình sản xuất thiết bị hiển thị. Nói cách khác, vết nứt, mà không được phát hiện trong quy trình kiểm tra, có thể lan rộng dần, và trong trường hợp này, lỗi chức năng của thiết bị hiển thị có thể xảy ra khi thiết bị hiển thị được sử dụng bởi người dùng.

Thông tin được bộc lộ trong phần tình trạng kỹ thuật này như nêu ở trên chỉ để hiểu tình trạng kỹ thuật của sáng chế, và do đó, có thể chứa thông tin không cấu thành tình trạng kỹ thuật của sáng chế.

Bản chất kỹ thuật của sáng chế

Các thiết bị hiển thị được cấu tạo theo các phương án thực hiện làm ví dụ của sáng chế có thể nhận biết lỗi uốn cong của panen hiển thị.

Theo các nguyên lý và các phương án thực hiện làm ví dụ của sáng chế, khu vực uốn cong của lớp nền có thể được phân chia thành các khu vực uốn cong, và các đường điện trở có thể được bố trí tương ứng trên mỗi trong số các khu vực uốn cong

được phân chia để phát hiện sự thay đổi điện trở cho mỗi khu vực uốn cong và nhờ đó xác định xem liệu có lỗi uốn cong mà có thể không được phát hiện thông qua quá trình kiểm tra hay không. Do đó, các lỗi chức năng và độ tin cậy của sản phẩm có thể được cải thiện.

Các dấu hiệu bổ sung của sáng chế sẽ được mô tả trong phần mô tả sau đây, và phần nào sẽ được hiểu rõ ràng thông qua phần mô tả này, hoặc có thể hiểu bằng cách thực hiện sáng chế.

Theo một hoặc nhiều phương án của sáng chế, thiết bị hiển thị bao gồm: lớp nền bao gồm khu vực thứ nhất, khu vực thứ hai, và khu vực uốn cong, khu vực uốn cong này bao gồm khu vực uốn cong thứ nhất liền kề với khu vực thứ nhất và khu vực uốn cong thứ hai liền kề với khu vực thứ hai; các điểm ảnh được bố trí trên khu vực thứ nhất; các đế hàn được bố trí trên khu vực thứ hai; các đường tín hiệu được nối điện với các điểm ảnh và được bố trí trên khu vực thứ nhất, khu vực uốn cong, và khu vực thứ hai; đường cảm biến thứ nhất được bố trí trên khu vực uốn cong thứ nhất; các đường nối cảm biến thứ nhất được nối điện với đường cảm biến thứ nhất, kéo dài qua khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai; đường cảm biến thứ hai được bố trí trên khu vực uốn cong thứ hai và giữa đường cảm biến thứ nhất và khu vực thứ hai; và các đường nối cảm biến thứ hai được nối điện với đường cảm biến thứ hai, kéo dài qua khu vực uốn cong thứ hai và khu vực thứ hai.

Khu vực uốn cong có thể còn bao gồm khu vực uốn cong ở giữa được bố trí giữa khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai.

Ít nhất một phần của đường cảm biến thứ nhất có thể kéo dài từ khu vực uốn cong thứ nhất về phía khu vực uốn cong ở giữa, và ít nhất một phần của đường cảm biến thứ hai có thể kéo dài từ khu vực uốn cong thứ hai về phía khu vực uốn cong ở giữa.

Thiết bị hiển thị này có thể còn bao gồm: đường cảm biến thứ ba được bố trí trên khu vực uốn cong ở giữa; và các đường nối cảm biến thứ ba được nối điện với đường cảm biến thứ ba và kéo dài qua khu vực uốn cong ở giữa, khu vực uốn cong thứ hai, và khu vực thứ hai.

Khu vực uốn cong có thể còn bao gồm: khu vực uốn cong ở giữa phụ thứ nhất được bố trí giữa khu vực uốn cong thứ nhất và khu vực uốn cong ở giữa và khu vực uốn cong ở giữa phụ thứ hai được bố trí giữa khu vực uốn cong ở giữa và khu vực uốn cong thứ hai, trong đó ít nhất một phần của đường cảm biến thứ nhất có thể kéo dài từ khu vực uốn cong thứ nhất về phía khu vực uốn cong ở giữa phụ thứ nhất, trong đó ít nhất một phần của đường cảm biến thứ hai có thể kéo dài từ khu vực uốn cong thứ hai về phía khu vực uốn cong ở giữa phụ thứ hai, trong đó phần thứ nhất của đường cảm biến thứ ba có thể kéo dài từ khu vực uốn cong ở giữa về phía khu vực uốn cong ở giữa phụ thứ nhất, và trong đó phần thứ hai của đường cảm biến thứ ba có thể được kéo dài từ khu vực uốn cong ở giữa về phía khu vực uốn cong ở giữa phụ thứ hai.

Các đường nối cảm biến thứ hai có thể được bố trí giữa các đường nối cảm biến thứ nhất trong khu vực uốn cong thứ hai.

Khu vực thứ nhất, khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai có thể được sắp xếp một cách tuần tự theo hướng thứ nhất.

Mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai có thể bao gồm: đường uốn cong thứ nhất kéo dài theo hướng thứ nhất; đường nối kéo dài từ đầu của đường uốn cong thứ nhất theo hướng thứ hai giao với hướng thứ nhất; và đường uốn cong thứ hai kéo dài từ đầu của đường nối theo hướng thứ nhất.

Mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai có thể bao gồm: đường uốn cong thứ nhất kéo dài theo hướng thứ ba giữa hướng thứ nhất và hướng thứ hai trực giao với hướng thứ nhất; và đường uốn cong thứ hai được kéo dài từ đầu của đường uốn cong thứ nhất theo hướng thứ tư giao với hướng thứ ba.

Đường cảm biến thứ nhất có thể bao gồm các đường điện trở thứ nhất và đường cảm biến thứ hai có thể bao gồm các đường điện trở thứ hai, trong đó các đường điện trở thứ nhất có thể được đặt cách xa nhau, theo hướng thứ hai giao với hướng thứ nhất, với các đường tín hiệu được đặt vào giữa chúng, và trong đó các đường điện trở thứ hai có thể được đặt cách xa nhau, theo hướng thứ hai, với các đường tín hiệu được đặt vào giữa chúng.

Thiết bị hiển thị này có thể còn bao gồm: đường cảm biến trung bình được bố trí

trên khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai; và các đường nối cảm biến trung bình được nối điện với đường cảm biến trung bình và kéo dài qua khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai.

Thiết bị hiển thị này có thể còn bao gồm màng bảo vệ được bố trí dưới các khu vực thứ nhất và thứ hai của lớp nền.

Thiết bị hiển thị này có thể còn bao gồm lớp bù được bố trí trên khu vực uốn cong của lớp nền để che các đường tín hiệu, đường cảm biến thứ nhất, đường cảm biến thứ hai, các đường nối cảm biến thứ nhất, và các đường nối cảm biến thứ hai được bố trí trên khu vực uốn cong.

Thiết bị hiển thị này có thể còn bao gồm trình điều khiển dữ liệu được nối điện với mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai, trình điều khiển dữ liệu này được tạo kết cấu để nhận biết sự thay đổi tính chất của mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai được tạo ra để đáp ứng lại sự uốn cong được phát hiện trong khu vực uốn cong.

Đường cảm biến thứ nhất có thể không chồng lên khu vực uốn cong thứ hai, và đường cảm biến thứ hai có thể không chồng lên khu vực uốn cong thứ nhất.

Theo một hoặc nhiều phương án của sáng chế, thiết bị hiển thị bao gồm: lớp nền bao gồm khu vực thứ nhất, khu vực thứ hai, và khu vực uốn cong, khu vực uốn cong này bao gồm khu vực uốn cong thứ nhất liền kề với khu vực thứ nhất và khu vực uốn cong thứ hai liền kề với khu vực thứ hai; các điểm ảnh được bố trí trên khu vực thứ nhất; các đề hàn được bố trí trên khu vực thứ hai; các đường tín hiệu được nối điện với các điểm ảnh và được bố trí trên khu vực thứ nhất, khu vực uốn cong, và khu vực thứ hai; đường điện trở thứ nhất được bố trí trên khu vực uốn cong thứ nhất, đường điện trở thứ nhất này có điện trở thay đổi khác nhau phụ thuộc vào lượng uốn cong của khu vực uốn cong thứ nhất; đường điện trở thứ hai được bố trí trên khu vực uốn cong thứ hai, đường điện trở thứ hai này có điện trở thay đổi khác nhau phụ thuộc vào lượng uốn cong của khu vực uốn cong thứ hai; đường điện trở trung bình được bố trí trên khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai, đường điện trở trung bình này có điện trở thay đổi phụ thuộc vào lượng uốn cong của khu vực uốn cong; và trình điều khiển dữ liệu để nhận biết và lưu trữ sự thay đổi điện trở của mỗi trong số đường điện

trở thứ nhất, đường điện trở thứ hai, và đường điện trở trung bình được tạo ra để đáp ứng lại sự uốn cong trong khu vực uốn cong.

Khu vực uốn cong có thể còn bao gồm khu vực uốn cong ở giữa giữa khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai, thiết bị hiển thị này có thể còn bao gồm đường điện trở thứ ba được bố trí trên khu vực uốn cong ở giữa, đường điện trở thứ ba này có điện trở thay đổi phụ thuộc vào lượng uốn cong của khu vực uốn cong ở giữa.

Theo một hoặc nhiều phương án của sáng chế, thiết bị hiển thị bao gồm: lớp nền bao gồm khu vực hiển thị, khu vực đế hàn, và khu vực uốn cong giữa khu vực hiển thị và khu vực đế hàn, khu vực uốn cong này bao gồm khu vực uốn cong thứ nhất liền kề với khu vực hiển thị và khu vực uốn cong thứ hai liền kề với khu vực đế hàn; lớp dẫn điện thứ nhất được bố trí trên lớp nền; lớp cách điện thứ nhất được bố trí trên lớp dẫn điện thứ nhất; lớp dẫn điện thứ hai được bố trí trên lớp cách điện thứ nhất, lớp dẫn điện thứ hai này bao gồm: đường điện trở thứ nhất được bố trí trên khu vực uốn cong thứ nhất, đường điện trở thứ nhất này được tạo kết cấu để có điện trở thay đổi để đáp ứng lại trạng thái uốn cong của khu vực uốn cong thứ nhất; và đường điện trở thứ hai được bố trí trên khu vực uốn cong thứ hai, đường điện trở thứ hai này được tạo kết cấu để có điện trở thay đổi để đáp ứng lại trạng thái uốn cong của khu vực uốn cong thứ hai; và lớp cách điện thứ hai được bố trí trên lớp dẫn điện thứ hai.

Trên hình chiếu bằng, đường điện trở thứ nhất có thể không chồng lên khu vực uốn cong thứ hai và đường điện trở thứ hai có thể không chồng lên khu vực uốn cong thứ nhất.

Lớp dẫn điện thứ hai có thể còn bao gồm các đường nối điện trở thứ nhất được nối với hai đầu đối diện của đường điện trở thứ nhất, và các đường nối điện trở thứ hai được nối với hai đầu đối diện của đường điện trở thứ hai, trong đó mỗi trong số các đường nối điện trở thứ nhất và thứ hai có thể kéo dài theo hướng thứ nhất, trong đó đường điện trở thứ nhất có thể kéo dài theo hướng thứ hai giao với hướng thứ nhất để nối các đường nối điện trở thứ nhất với nhau, và trong đó đường điện trở thứ hai có thể kéo dài theo hướng thứ hai để nối các đường nối điện trở thứ hai với nhau.

Cần hiểu rằng cả phần mô tả chung nêu trên và phần mô tả chi tiết sau đây được

mô tả để làm ví dụ và giải thích nhằm giải thích sáng chế chi tiết hơn như yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, được bao gồm để giúp hiểu sáng chế rõ hơn và được kết hợp và cấu thành một phần của bản mô tả này, sẽ minh họa các phương án làm ví dụ của sáng chế, và cùng với phần mô tả sẽ giải thích sáng chế.

FIG.1 là hình vẽ phối cảnh của thiết bị hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.2 là hình vẽ mặt cắt của thiết bị hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.3A và FIG.3B là các hình vẽ phối cảnh minh họa panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.3C là hình vẽ mặt cắt minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.4 là hình chiếu bằng của panen hiển thị trên FIG.3A.

FIG.5 là hình vẽ sơ đồ mạch tương đương của điểm ảnh đại diện được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.6A là hình vẽ mặt cắt minh họa một phần của điểm ảnh đại diện được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.6B là hình vẽ mặt cắt minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.7 là hình chiếu bằng phóng to minh họa khu vực 'AA' trên FIG.4.

FIG.8 là hình chiếu bằng phóng to minh họa khu vực 'BB' trên FIG.4.

FIG.9 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.10 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.11 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.12 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.13 hình chiếu bằng minh họa panen hiển thị được thể hiện trên FIG.3A.

FIG.14 là hình chiếu bằng phóng to minh họa khu vực ‘AA’ trên FIG.13.

FIG.15 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.16 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.17 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.18 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

FIG.19 là hình vẽ mặt cắt minh họa một phần của panen hiển thị ở trạng thái thứ nhất, theo một phương án làm ví dụ của sáng chế.

FIG.20 là hình vẽ mặt cắt minh họa một phần của panen hiển thị ở trạng thái thứ hai, được cấu tạo theo một phương án làm ví dụ của sáng chế.

Mô tả chi tiết sáng chế

Trong phần mô tả sau đây, nhiều chi tiết cụ thể được đưa ra nhằm mục đích giải thích để hiểu rõ các phương án hoặc các phương án thực hiện làm ví dụ khác nhau của sáng chế. Khi được sử dụng trong bản mô tả này “các phương án” và “các phương án thực hiện” là các từ có thể hoán đổi cho nhau mà là các ví dụ không giới hạn của các thiết bị hoặc các phương pháp sử dụng một hoặc nhiều trong số các ý tưởng sáng tạo

được bộc lộ trong bản mô tả này. Tuy nhiên, rõ ràng là các phương án làm ví dụ khác nhau có thể được thực hiện mà không cần nội dung chi tiết cụ thể này hoặc bằng một hoặc nhiều cách bố trí tương đương. Trong các trường hợp khác, các kết cấu và thiết bị đã biết được thể hiện ở dạng sơ đồ khối để tránh gây khó hiểu cho các phương án làm ví dụ khác một cách không cần thiết. Ngoài ra, các phương án làm ví dụ khác có thể khác nhau, nhưng không phải duy nhất. Ví dụ, các hình dạng, kết cấu, và đặc tính cụ thể của một phương án làm ví dụ có thể được sử dụng hoặc được thực hiện trong một phương án làm ví dụ khác mà không vượt ra khỏi sáng chế.

Trừ khi được quy định khác, các phương án làm ví dụ được minh họa cần được hiểu là đề xuất các dấu hiệu làm ví dụ của chi tiết khác nhau theo một số cách trong đó sáng chế có thể được thực hiện trong thực tế. Do đó, trừ khi được quy định khác, các dấu hiệu, thành phần, môđun, lớp, màng, panen, khu vực, và/hoặc khía cạnh, v.v. (sau đây được gọi riêng biệt hoặc chung là “các phần tử”), của các phương án khác nhau có thể được kết hợp, tách biệt, hoán đổi, và/hoặc sắp xếp lại khác mà không vượt ra khỏi sáng chế.

Ngoài ra, trên các hình vẽ kèm theo, kích thước và các kích thước tương đối của các phần tử có thể được phóng đại nhằm mục đích làm rõ và/hoặc mô tả. Khi một phương án làm ví dụ có thể được thực hiện khác nhau, thì thứ tự quy trình cụ thể có thể được thực hiện khác với thứ tự được mô tả. Ví dụ, hai quy trình được mô tả liên tiếp có thể được thực hiện gần như đồng thời hoặc thực hiện theo thứ tự ngược với thứ tự được mô tả. Ngoài ra, các số chỉ dẫn giống nhau biểu thị các phần tử giống nhau.

Khi một phần tử, chẳng hạn như lớp, được gọi là “trên,” “được nối với,” hoặc “được ghép nối với” một phần tử hoặc lớp khác, thì lớp này có thể trực tiếp trên, được nối với, hoặc được ghép nối với phần tử hoặc lớp khác hoặc các phần tử hoặc các lớp xen giữa có thể có mặt. Tuy nhiên, khi một phần tử hoặc lớp được gọi là “trực tiếp trên,” “được nối trực tiếp với,” hoặc “được ghép nối trực tiếp với” một phần tử khác hoặc lớp, thì không có sự có mặt của các phần tử xen giữa. Cuối cùng, thuật ngữ “được nối” có thể đề cập đến kết nối vật lý, điện, và/hoặc chất lỏng, có hoặc không có các phần tử xen giữa. Ngoài ra, hướng thứ nhất DR1, hướng thứ hai DR2, và hướng thứ ba DR3 không giới hạn ở ba trục của hệ trục tọa độ vuông góc, chẳng hạn như các trục x, y, và z, và có thể có thể được diễn giải theo nghĩa rộng hơn. Ví dụ, hướng thứ

nhất DR1, hướng thứ hai DR2, và hướng thứ ba DR3 có thể vuông góc với một trục khác, hoặc có thể biểu diễn các hướng khác nhau mà không vuông góc với một trục khác. Nhằm các mục đích của sáng chế này, “ít nhất một trong số X, Y, và Z” và “ít nhất một được chọn từ nhóm bao gồm X, Y, và Z” có thể được hiểu là chỉ X, chỉ Y, chỉ Z, hoặc sự kết hợp bất kỳ của hai hoặc nhiều hơn hai trong số X, Y, và Z, chẳng hạn như, ví dụ, XYZ, XYY, YZ, và ZZ. Khi được sử dụng trong bản mô tả này, thuật ngữ “và/hoặc” bao gồm bất kỳ hoặc tất cả các sự kết hợp của một hoặc nhiều mục được liệt kê kèm theo.

Mặc dù các thuật ngữ “thứ nhất,” “thứ hai,” v.v. có thể được sử dụng trong bản mô tả này để mô tả các loại phần tử khác nhau, nhưng các phần tử này không giới hạn bởi các thuật ngữ này. Những thuật ngữ này được sử dụng để phân biệt một phần tử với phần tử khác. Do đó, phần tử thứ nhất được thảo luận dưới đây có thể được gọi là phần tử thứ hai mà không vượt ra khỏi nội dung của sáng chế.

Các thuật ngữ liên quan đến không gian, chẳng hạn như “ở dưới,” “bên dưới,” “nằm dưới,” “dưới,” “bên trên,” “trên,” “phía trên,” “ở trên,” “bên” (ví dụ, như trong “thành bên”), và thuật ngữ tương tự, có thể được sử dụng trong bản mô tả này nhằm mục đích mô tả, và, nhờ đó, để mô tả một mối tương quan của các phần tử với (các) phần tử khác như được minh họa trên các hình vẽ. Các thuật ngữ liên quan đến không gian nhằm bao gồm các định hướng của thiết bị khi sử dụng, hoạt động, và/hoặc sản xuất ngoài định hướng được mô tả trên các hình vẽ. Ví dụ, nếu thiết bị trên các hình vẽ được lật ngược lại, thì các phần tử được mô tả là “bên dưới” hoặc “ở dưới” các phần tử và bộ phận khác sau đó sẽ được định hướng “bên trên” các phần tử hoặc bộ phận khác. Do đó, thuật ngữ làm ví dụ “bên dưới” có thể bao gồm cả định hướng bên trên và bên dưới. Hơn nữa, thiết bị có thể được định hướng khác (ví dụ, được xoay 90 độ hoặc các định hướng khác), và, như vậy, các ký hiệu liên quan đến không gian được sử dụng trong bản mô tả này được diễn giải một cách phù hợp.

Thuật ngữ được sử dụng trong bản mô tả này chỉ có mục đích để mô tả các phương án cụ thể và không nhằm để giới hạn. Khi được sử dụng trong bản mô tả này, các dạng số ít dự định bao hàm cả các dạng số nhiều, trừ khi ngữ cảnh biểu thị rõ ràng khác. Ngoài ra, thuật ngữ “chứa” và/hoặc “việc chứa,” hoặc “bao gồm” và/hoặc “việc bao gồm” khi được sử dụng trong bản mô tả này, để chỉ rõ sự có mặt của các dấu hiệu,

tổng thể, bước, hoạt động, phần tử, thành phần, và/hoặc nhóm của chúng, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, tổng thể, bước, hoạt động, phần tử, thành phần khác và/hoặc nhóm của chúng. Cũng cần lưu ý rằng, khi được sử dụng trong bản mô tả này, các thuật ngữ “gần như,” “khoảng,” và các thuật ngữ tương tự khác, được sử dụng là thuật ngữ gần đúng và không phải là thuật ngữ mức độ, và, như vậy, được sử dụng để giải thích cho độ lệch vốn có trong các giá trị được đo, được tính toán, và/hoặc được cho mà sẽ được công nhận bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật.

Các phương án làm ví dụ khác nhau được mô tả trong bản mô tả này với tham chiếu đến các hình minh họa mặt cắt và/hoặc khai triển là các hình minh họa giản lược của các phương án làm ví dụ lý tưởng và/hoặc các kết cấu trung gian. Như vậy, những thay đổi so với các hình dạng trên các hình minh họa là kết quả của các kỹ thuật sản xuất và/hoặc hệ dung sai chẳng hạn, là được dự tính trước. Do đó, các phương án làm ví dụ được bộc lộ trong bản mô tả này không nên được hiểu là giới hạn ở các hình dạng được minh họa cụ thể của các khu vực, mà còn bao gồm các độ lệch về các hình dạng do sản xuất, chẳng hạn. Theo cách này, các khu vực được minh họa trên các hình vẽ có thể là giản lược về bản chất và hình dạng của các khu vực này có thể không phản ánh hình dạng thực của các khu vực của thiết bị, và, như vậy, không nhằm để giới hạn.

Trừ khi được định nghĩa khác, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng trong bản mô tả này có nghĩa giống như thường được hiểu bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật mà sáng chế này thuộc về. Các thuật ngữ, chẳng hạn như các thuật ngữ đó được định nghĩa trong các từ điển thường được sử dụng, nên được diễn giải là có nghĩa thống nhất với nghĩa của chúng trong ngữ cảnh của lĩnh vực kỹ thuật phù hợp và không nên được diễn giải theo cách được lý tưởng hóa hoặc quá hình thức, trừ khi được định nghĩa riêng trong bản mô tả này.

FIG.1 là hình vẽ phối cảnh minh họa thiết bị hiển thị DD được cấu tạo theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.1, khu vực hiển thị DA và khu vực không hiển thị NDA có thể được xác định trong thiết bị hiển thị DD.

Khu vực hiển thị DA có thể được sử dụng để hiển thị hình ảnh IM và thường có thể song song với mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Hướng pháp tuyến với khu vực hiển thị DA (ví dụ, hướng chiều dày của thiết bị hiển thị DD) sẽ được gọi là hướng thứ ba DR3. Bề mặt phía trước (hoặc bề mặt trên) và bề mặt phía sau (hoặc bề mặt đáy) của mỗi chi tiết có thể được phân biệt, dựa vào hướng thứ ba DR3. Tuy nhiên, các hướng được chỉ ra bởi các hướng thứ nhất DR1, hướng thứ hai DR2 và hướng thứ ba DR3 có thể là các khái niệm tương đối, và theo một số phương án làm ví dụ, chúng có thể được thay đổi để chỉ các hướng khác. Sau đây, các hướng thứ nhất, thứ hai, và thứ ba có thể lần lượt là các hướng được chỉ ra bởi các hướng thứ nhất DR1, hướng thứ hai DR2 và hướng thứ ba DR3, và sẽ được tham chiếu bằng các số giống nhau.

Thiết bị hiển thị DD có thể được sử dụng cho các thiết bị điện tử có kích thước lớn (ví dụ, các máy thu truyền hình, màn hình, và biển quảng cáo ngoài trời) hoặc các thiết bị điện tử có kích thước nhỏ hoặc trung bình (ví dụ, các máy tính cá nhân, máy tính notebook, thiết bị hỗ trợ cá nhân kỹ thuật số, hệ thống định vị của ô tô, máy trò chơi, thiết bị điện tử cầm tay, và camera). Tuy nhiên, cần hiểu rằng đó chỉ là các ví dụ của sáng chế, và các thiết bị điện tử khác có thể được sử dụng để thực hiện sáng chế, mà chúng không vượt ra khỏi sáng chế.

Khu vực không hiển thị NDA có thể được đặt liền kề với khu vực hiển thị DA và có thể không được sử dụng để hiển thị hình ảnh IM. Khu vực khung viền của thiết bị hiển thị DD có thể được xác định bởi khu vực không hiển thị NDA.

Khu vực không hiển thị NDA có thể được bố trí bao quanh khu vực hiển thị DA. Tuy nhiên, sáng chế không giới hạn ở đó, và các hình dạng của khu vực hiển thị DA và khu vực không hiển thị NDA có thể được thay đổi khác nhau theo cách có ảnh hưởng lẫn nhau.

FIG.2 là hình vẽ mặt cắt minh họa thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.2, thiết bị hiển thị DD có thể bao gồm panen hiển thị DP và bộ phận cảm biến SU.

Panen hiển thị DP có thể bao gồm lớp nền BL, lớp mạch ML, lớp thiết bị phát quang EL, và lớp bao mỏng TFE. Để cho đơn giản, phần mô tả sau đây sẽ đề cập đến ví dụ trong đó panen hiển thị DP bao gồm panen hiển thị phát quang hữu cơ, nhưng sáng chế không giới hạn ở đó.

Lớp nền BL có thể là đế silic, đế chất dẻo, đế thủy tinh, màng cách điện, hoặc chồng bao gồm các lớp cách điện.

Lớp mạch ML có thể được bố trí trên lớp nền BL. Lớp mạch ML có thể bao gồm các lớp cách điện, các lớp dẫn điện, và ít nhất một lớp bán dẫn.

Lớp thiết bị phát quang EL có thể được bố trí trên lớp mạch ML. Lớp thiết bị phát quang EL có thể bao gồm các thiết bị hiển thị (ví dụ, các điốt phát quang hữu cơ). Tuy nhiên, sáng chế không giới hạn ở đó, và phụ thuộc vào loại panen hiển thị DP, lớp thiết bị phát quang EL có thể bao gồm các điốt phát quang vô cơ hoặc các điốt phát quang lai hữu cơ-vô cơ.

Lớp bao mỏng TFE có thể được tạo kết cấu để bịt kín lớp thiết bị phát quang EL. Lớp bao mỏng TFE có thể bao gồm các lớp vô cơ và ít nhất một lớp hữu cơ được đặt vào giữa chúng. Lớp vô cơ có thể bảo vệ lớp thiết bị phát quang EL khỏi hơi ẩm hoặc oxy, và lớp hữu cơ có thể bảo vệ lớp thiết bị phát quang EL khỏi các chất lạ (ví dụ, các hạt bụi). Lớp vô cơ có thể được tạo thành từ hoặc bao gồm ít nhất một trong số silic nitrua, silic oxynitrua, silic oxit, titan oxit, hoặc nhôm oxit. Lớp hữu cơ có thể bao gồm lớp polyme (ví dụ, lớp hữu cơ nền acrylic), nhưng sáng chế không giới hạn ở đó.

Ngoài ra, lớp bao mỏng TFE có thể còn bao gồm lớp đệm. Lớp đệm này có thể là lớp gần với bộ phận cảm biến SU nhất. Lớp đệm này có thể là lớp vô cơ hoặc lớp hữu cơ.

Bộ phận cảm biến SU có thể bao gồm mạch được tạo kết cấu để phát hiện sự kiện chạm. Trong bộ phận cảm biến SU, sự kiện chạm có thể được phát hiện bằng các phương pháp khác nhau (ví dụ, phương pháp lớp điện trở, phương pháp cảm biến quang, phương pháp cảm biến điện dung, và phương pháp cảm biến sóng siêu âm), nhưng sáng chế không giới hạn ở đó. Trong bộ phận cảm biến SU sử dụng phương pháp cảm biến điện dung, sự thay đổi điện dung, được gây ra khi một vật chạm vào

màn hình của thiết bị hiển thị DD, được sử dụng để xác định xem liệu sự kiện chạm có xảy ra hay không. Phương pháp cảm biến điện dung có thể được phân loại thành phương pháp điện dung tương hỗ và phương pháp điện dung riêng.

Bộ phận cảm biến SU có thể được bố trí trực tiếp trên panen hiển thị DP. Trong bản mô tả này, cách diễn đạt “được bố trí trực tiếp” được sử dụng để biểu diễn rằng hai lớp được tạo thành liên tiếp nhau trên mặt trên của một lớp khác, mà không có sự tạo thành của lớp bám dính bổ sung. Tuy nhiên, sáng chế không giới hạn ở đó, và panen hiển thị DP và bộ phận cảm biến SU có thể được ghép nối với nhau bởi chi tiết bám dính. Theo một phương án làm ví dụ, bộ phận cảm biến SU có thể được lược bỏ.

FIG.3A và FIG.3B là các hình vẽ phối cảnh minh họa panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.3A và FIG.3B, ít nhất một phần của panen hiển thị DP có thể được uốn cong. Lớp nền BL của panen hiển thị DP có thể được phân loại thành các khu vực, phụ thuộc vào trạng thái uốn cong của nó. Ví dụ, lớp nền BL của panen hiển thị DP có thể bao gồm khu vực thứ nhất AR1, khu vực thứ hai AR2, và khu vực uốn cong BA. Khu vực uốn cong BA có thể được xác định giữa khu vực thứ nhất AR1 và khu vực thứ hai AR2. Khu vực thứ nhất AR1, khu vực uốn cong BA, và khu vực thứ hai AR2 có thể được sắp xếp theo hướng thứ nhất DR1.

Nói chung, khu vực thứ nhất AR1 có thể song song với mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Khu vực thứ nhất AR1 có thể bao gồm khu vực hiển thị DP-DA và khu vực ngoại vi DP-NDA. Phần tử hiển thị (ví dụ, điểm ảnh) hiển thị hình ảnh có thể được bố trí trên khu vực hiển thị DP-DA. Do đó, khu vực phát xạ điểm ảnh PXA có thể được xác định trong khu vực hiển thị DP-DA.

Khu vực ngoại vi DP-NDA có thể liên kề với khu vực hiển thị DP-DA. Theo phương án được minh họa, khu vực ngoại vi DP-NDA có thể được bố trí dọc theo mép của khu vực hiển thị DP-DA bao quanh khu vực hiển thị DP-DA. Trong khi đó, theo phương án được minh họa, khu vực ngoại vi DP-NDA có thể bao gồm phần, mà được đặt giữa khu vực hiển thị DP-DA và khu vực uốn cong BA, và có chiều dày nhỏ hơn khu vực hiển thị DP-DA khi được đo theo hướng thứ hai DR2. Do đó, vùng uốn cong của panen hiển thị DP có thể giảm đi. Tuy nhiên, sáng chế không giới hạn ở các ví dụ

nêu trên.

Khu vực uốn cong BA có thể được xác định ở khu vực, có chiều dày theo hướng thứ hai DR2 nhỏ hơn chiều dày của khu vực thứ nhất AR1 theo hướng thứ hai DR2. Khu vực uốn cong BA có thể được uốn cong quanh trục uốn cong BX thường song song với hướng thứ hai DR2. Khu vực uốn cong BA có thể có độ cong Cụ thể là, khi panen hiển thị DP ở trạng thái uốn cong.

Khi panen hiển thị DP ở trạng thái uốn cong, thì khu vực thứ hai AR2 có thể hướng về một phần của khu vực thứ nhất AR1, theo hướng thứ ba DR3.

FIG.3C là hình vẽ mặt cắt minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế.

Cụ thể là, FIG.3C là hình vẽ mặt cắt của khu vực uốn cong BA ở trạng thái uốn cong.

Tham chiếu đến FIG.3C, các màng bảo vệ PFa và PFb có thể được gắn vào bề mặt phía sau của lớp nền BL. Các màng bảo vệ PFa và PFb có thể bao gồm màng bảo vệ thứ nhất PFa, được gắn vào bề mặt phía sau của khu vực thứ nhất AR1 của lớp nền BL, và màng bảo vệ thứ hai PFb, được gắn vào bề mặt phía sau của khu vực thứ hai AR2.

Mỗi trong số màng bảo vệ thứ nhất PFa và màng bảo vệ thứ hai PFb có thể có suất trong khoảng từ 1Gpa đến 10Gpa. Ví dụ, suất của mỗi trong số màng bảo vệ thứ nhất PFa và màng bảo vệ thứ hai PFb có thể xấp xỉ bằng 8Gpa.

Theo một phương án làm ví dụ, màng bảo vệ thứ nhất PFa và màng bảo vệ thứ hai PFb có thể không được gắn vào bề mặt phía sau của khu vực uốn cong BA của lớp nền BL. Do đó, khu vực uốn cong BA có thể dễ dàng được uốn cong.

Theo một phương án làm ví dụ, lớp nệm có thể được gắn vào bề mặt phía sau của màng bảo vệ thứ nhất PFa. Lớp nệm này có thể được tạo kết cấu để hấp thụ tác động được tác dụng từ bên ngoài. Theo một phương án làm ví dụ, lớp bảo vệ kim loại có thể được bố trí trên bề mặt phía sau của màng bảo vệ thứ nhất PFa. Lớp bảo vệ kim loại này có thể có tính chất cứng. Do sự có mặt của lớp bảo vệ kim loại, nên có thể

ngăn hoặc giảm sự gợn sóng xảy ra trong lớp nền BL.

Lớp liên kết MLa có thể được bố trí trên bề mặt trên của lớp nền BL. Lớp liên kết MLa có thể được bố trí trên toàn bộ khu vực thứ nhất AR1, khu vực uốn cong BA, và khu vực thứ hai AR2. Lớp liên kết MLa có thể là ít nhất một lớp kim loại, mà có thể được sử dụng như một phần của lớp mạch ML (ví dụ, xem FIG.2).

Các màng bảo vệ PFa và PFb có thể không được gắn vào bề mặt phía sau của khu vực uốn cong BA của lớp nền BL. Do đó, vị trí của mặt phẳng trung hòa, tại đó ứng suất uốn cong bằng không, có thể được thay đổi. Trong trường hợp mà mặt phẳng trung hòa được tạo thành ở dưới lớp liên kết MLa, ứng suất kéo có thể được tác dụng lên lớp liên kết MLa. Nếu ứng suất kéo được tác dụng trên lớp liên kết MLa, thì xác suất để vết nứt xảy ra trong lớp liên kết MLa có thể tăng lên.

Để điều chỉnh một phần của mặt phẳng trung hòa, thì lớp bù NSC có thể được bố trí trên lớp liên kết MLa. Lớp bù NSC có thể được tạo thành từ hoặc bao gồm nhựa. Vị trí của mặt phẳng trung hòa có thể được điều khiển bằng cách điều chỉnh chiều dày và suất của lớp bù NSC. Do lớp bù NSC được bố trí, nên mặt phẳng trung hòa có thể được tạo thành trong hoặc trên lớp liên kết MLa. Do đó, ứng suất nén có thể được tác dụng lên lớp liên kết MLa hoặc ứng suất uốn cong có thể không được tác dụng lên lớp liên kết MLa. Theo đó, xác suất để vết nứt xảy ra trong lớp liên kết MLa có thể giảm đi.

Bảng mạch in PCB có thể được nối điện với khu vực thứ hai AR2 của lớp nền BL. Trình điều khiển dữ liệu IC có thể được đặt trên bề mặt của bảng mạch in PCB. Theo một phương án làm ví dụ, trình điều khiển dữ liệu IC có thể được đặt trong khu vực thứ hai AR2 của lớp nền BL. Nói cách khác, trình điều khiển dữ liệu IC có thể được lắp trực tiếp trên panen hiển thị DP. Trình điều khiển dữ liệu IC có thể được tạo ra ở dạng chip kích thích.

FIG.4 là hình chiếu bằng của panen hiển thị DP trên FIG.3A.

Tham chiếu đến FIG.4, panen hiển thị DP có thể bao gồm các điểm ảnh PX, các đường tín hiệu SGL, và mạch kích thích GDC.

Các điểm ảnh PX có thể được bố trí trên khu vực thứ nhất AR1 của lớp nền BL.

Các điểm ảnh PX có thể được bố trí trên khu vực hiển thị DP-DA của khu vực thứ nhất AR1. Mỗi trong số các điểm ảnh PX có thể được tạo kết cấu để hiển thị ánh sáng có màu cụ thể. Các điểm ảnh PX có thể bao gồm, ví dụ, các điểm ảnh đỏ, các điểm ảnh xanh lục, và các điểm ảnh xanh lam. Theo một phương án làm ví dụ, các điểm ảnh PX có thể còn bao gồm các điểm ảnh trắng. Theo một phương án làm ví dụ, các điểm ảnh PX có thể còn bao gồm ít nhất một trong số các điểm ảnh lục lam, các điểm ảnh đỏ thẫm, hoặc các điểm ảnh vàng.

Mạch kích thích GDC có thể được bố trí trên khu vực ngoại vi DP-NDA. Mạch kích thích GDC có thể bao gồm mạch kích thích quét và mạch kích thích điều khiển phát xạ. Mạch kích thích quét có thể được tạo kết cấu để tạo ra các tín hiệu quét và sau đó kết xuất lần lượt các tín hiệu được tạo ra thành các đường quét SL được mô tả dưới đây. Mạch kích thích điều khiển phát xạ có thể được tạo kết cấu để tạo ra các tín hiệu điều khiển phát xạ và sau đó kết xuất các tín hiệu điều khiển phát xạ được tạo ra cho các đường điều khiển phát xạ ECL.

Mạch kích thích GDC có thể bao gồm các tranzito màng mỏng được tạo thành bởi cùng quy trình với mạch kích thích điểm ảnh của các điểm ảnh PX (ví dụ, bởi quy trình silic đa tinh thể nhiệt độ thấp (Low Temperature Polycrystalline Silicon, LTPS) hoặc quy trình oxit đa tinh thể nhiệt độ thấp (Low Temperature Polycrystalline Oxide, LTPO)).

Trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) có thể được tạo kết cấu để kết xuất các tín hiệu dữ liệu cho các đường dữ liệu DL. Các tín hiệu dữ liệu này có thể được bố trí ở dạng điện áp tương tự, có các mức được xác định dựa vào mức độ tăng dần của dữ liệu hình ảnh.

Theo một phương án làm ví dụ, trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) có thể được lắp trên bảng mạch in PCB (ví dụ, xem FIG.3C). Bảng mạch in PCB có thể được nối điện với các đế hàn DP-PD và DT-PD, mà được bố trí ở các đầu của các đường dữ liệu DL. Tuy nhiên, sáng chế không giới hạn ở đó, và theo một phương án làm ví dụ, trình điều khiển dữ liệu IC có thể được lắp trực tiếp trên panen hiển thị DP.

Các đường tín hiệu SGL có thể bao gồm các đường quét SL, các đường điều khiển phát xạ ECL, các đường dữ liệu DL, đường nguồn PL, và đường tín hiệu điều

khiển CSL. Các đường tín hiệu SGL có thể được bố trí trên khu vực thứ nhất AR1, khu vực uốn cong BA, và khu vực thứ hai AR2.

Các đường quét SL có thể được kéo dài theo hướng thứ hai DR2 và có thể được sắp xếp theo hướng thứ nhất DR1. Các đường điều khiển phát xạ ECL có thể được kéo dài theo hướng thứ hai DR2 và có thể được sắp xếp theo hướng thứ nhất DR1. Nói cách khác, mỗi trong số các đường điều khiển phát xạ ECL có thể thường được bố trí song song với một trong số các đường quét SL tương ứng.

Các đường dữ liệu DL có thể được kéo dài theo hướng thứ nhất DR1 và có thể được sắp xếp theo hướng thứ hai DR2. Các đường dữ liệu DL có thể được sử dụng để cấp các tín hiệu dữ liệu cho một điểm ảnh tương ứng trong số các điểm ảnh PX.

Đường nguồn PL có thể được sử dụng để cấp nguồn thứ nhất cho một điểm ảnh tương ứng trong số các điểm ảnh PX.

Mỗi trong số các điểm ảnh PX có thể được ghép nối với một đường quét tương ứng trong số các đường quét SL, một đường điều khiển phát xạ tương ứng trong số các đường điều khiển phát xạ ECL, một đường dữ liệu tương ứng trong số các đường dữ liệu DL, và đường nguồn PL.

Bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2 có thể được bố trí trên khu vực uốn cong BA. Điện trở của mỗi trong số các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2 có thể thay đổi phụ thuộc vào sự uốn cong của khu vực uốn cong BA. Các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2 có thể được đặt cách xa nhau theo hướng thứ hai DR2. Khi được nhìn trên hình chiếu bằng, thì các đường tín hiệu SGL có thể được bố trí giữa các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2. Bộ phận điện trở thứ nhất DU1 sẽ được mô tả chi tiết dưới đây.

Các đế hàn DP-PD và DT-PD có thể được bố trí trên khu vực thứ hai AR2. Khu vực thứ hai AR2 cũng có thể được gọi là khu vực đế hàn. Các đế hàn DP-PD và DT-PD có thể bao gồm các đế hàn thứ nhất DP-PD được nối điện với các đường tín hiệu SGL và các đế hàn thứ hai DT-PD được nối điện với các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2. Bảng mạch in PCB (ví dụ, xem FIG.3C) có thể

được gắn vào các đế hàn thứ nhất DP-PD và các đế hàn thứ hai DT-PD. Do đó, trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) có thể được nối điện với các đường tín hiệu SGL, bộ phận điện trở thứ nhất DU1, và bộ phận điện trở thứ hai DU2.

Trình điều khiển dữ liệu IC có thể được tạo kết cấu để phát hiện và lưu trữ sự thay đổi điện trở của mỗi trong số các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2.

FIG.5 là hình vẽ sơ đồ mạch tương đương của điểm ảnh đại diện PX theo một phương án làm ví dụ của sáng chế. FIG.5 là hình vẽ minh họa điểm ảnh PX được nối với đường quét thứ i SLi và đường điều khiển phát xạ thứ i ECLi.

Điểm ảnh PX có thể bao gồm thiết bị phát quang hữu cơ OLED và mạch điểm ảnh CC. Mạch điểm ảnh CC có thể bao gồm các tranzito T1, T2, T3, T4, T5, T6, và T7 và tụ điện CP. Mạch điểm ảnh CC có thể được tạo kết cấu để điều khiển giá trị dòng điện chạy qua thiết bị phát quang hữu cơ OLED, để đáp ứng lại tín hiệu dữ liệu.

Thiết bị phát quang hữu cơ OLED có thể được tạo kết cấu để phát quang, và trong bản mô tả này, độ sáng của ánh sáng có thể được xác định bởi giá trị dòng điện được cấp từ mạch điểm ảnh CC. Đối với điều này, nguồn thứ nhất ELVDD có thể được thiết lập ở mức cao hơn nguồn thứ hai ELVSS.

Mỗi trong số các tranzito T1, T2, T3, T4, T5, T6, và T7 có thể bao gồm điện cực đầu vào hoặc nguồn, điện cực đầu ra hoặc máng, và điện cực điều khiển hoặc cổng. Trong bản mô tả này, để thuận tiện cho việc mô tả, một trong số các điện cực đầu vào và đầu ra có thể được gọi là “điện cực thứ nhất” và điện cực còn lại có thể được gọi là “điện cực thứ hai”.

Điện cực thứ nhất của tranzito thứ nhất T1 có thể được ghép nối với nguồn thứ nhất ELVDD thông qua tranzito thứ năm T5, và điện cực thứ hai của tranzito thứ nhất T1 có thể được ghép nối với điện cực a-nốt của thiết bị phát quang hữu cơ OLED thông qua tranzito thứ sáu T6. Trong bản mô tả này, tranzito thứ nhất T1 có thể được gọi là “tranzito kích thích”.

Tranzito thứ nhất T1 có thể điều khiển giá trị dòng điện đi qua thiết bị phát quang hữu cơ OLED, để đáp ứng lại điện áp được cấp cho điện cực cổng.

Tranzito thứ hai T2 có thể được ghép nối giữa đường dữ liệu DL và điện cực thứ nhất của tranzito thứ nhất T1. Điện cực cổng của tranzito thứ hai T2 có thể được ghép nối với đường quét thứ i SL i . Nếu tín hiệu quét thứ i được cấp cho đường quét thứ i SL i , thì tranzito thứ hai T2 có thể được bật để cho phép đường dữ liệu DL được ghép nối điện với điện cực thứ nhất của tranzito thứ nhất T1.

Tranzito thứ ba T3 có thể được ghép nối giữa điện cực thứ hai và điện cực cổng của tranzito thứ nhất T1. Điện cực cổng của tranzito thứ ba T3 có thể được ghép nối với đường quét thứ i SL i . Nếu tín hiệu quét thứ i được cấp cho đường quét thứ i SL i , thì tranzito thứ ba T3 có thể được bật để cho phép điện cực thứ hai và cổng của tranzito thứ nhất T1 được ghép nối điện với nhau. Do đó, nếu tranzito thứ ba T3 được bật, thì tranzito thứ nhất T1 có thể hoạt động giống như điôt.

Tranzito thứ tư T4 có thể được ghép nối giữa nút ND và bộ tạo nguồn ban đầu. Điện cực cổng của tranzito thứ tư T4 có thể được ghép nối với đường quét thứ $(i-1)$ SL $i-1$. Nếu tín hiệu quét thứ $(i-1)$ được cấp cho đường quét thứ $(i-1)$ SL $i-1$, thì tranzito thứ tư T4 có thể được bật để cấp điện thế ban đầu Vint cho nút ND.

Tranzito thứ năm T5 có thể được nối giữa đường nguồn PL và điện cực thứ nhất của tranzito thứ nhất T1. Điện cực cổng của tranzito thứ năm T5 có thể được ghép nối với đường điều khiển phát xạ thứ i ECL i .

Tranzito thứ sáu T6 có thể được nối giữa điện cực thứ hai của tranzito thứ nhất T1 và điện cực a-nốt của thiết bị phát quang hữu cơ OLED. Điện cực cổng của tranzito thứ sáu T6 có thể được ghép nối với đường điều khiển phát xạ thứ i ECL i .

Tranzito thứ bảy T7 có thể được ghép nối giữa bộ tạo nguồn ban đầu và điện cực a-nốt của thiết bị phát quang hữu cơ OLED. Điện cực cổng của tranzito thứ bảy T7 có thể được ghép nối với đường quét thứ $(i+1)$ SL $i+1$. Nếu tín hiệu quét thứ $(i+1)$ được cấp cho đường quét thứ $(i+1)$ SL $i+1$, thì tranzito thứ bảy T7 có thể được bật để cấp điện áp ban đầu Vint cho điện cực a-nốt của thiết bị phát quang hữu cơ OLED.

Tranzito thứ bảy T7 có thể được tạo kết cấu để cải thiện khả năng biểu diễn màu đen của điểm ảnh PX. Chi tiết là, nếu tranzito thứ bảy T7 được bật, thì tụ điện ký sinh của thiết bị phát quang hữu cơ OLED có thể được phóng điện. Trong trường hợp này,

khi cần biểu diễn màu đen, thì có thể ngăn chặn hoặc làm giảm ánh sáng được phát ra từ thiết bị phát quang hữu cơ OLED bởi đường rò từ tranzito thứ nhất T1 và nhờ đó cải thiện khả năng biểu diễn màu đen của điểm ảnh PX.

Ngoài ra, FIG.5 là hình vẽ minh họa ví dụ trong đó điện cực cổng của tranzito thứ bảy T7 được ghép nối với đường quét thứ $(i+1)$ SLi+1, nhưng sáng chế không giới hạn ở đó. Theo một phương án làm ví dụ, điện cực cổng của tranzito thứ bảy T7 có thể được ghép nối với đường quét thứ i SLi hoặc đường quét thứ $(i-1)$ SLi-1.

FIG.5 là hình vẽ minh họa ví dụ trong đó mạch điểm ảnh CC được cấu tạo từ các tranzito PMOS, nhưng sáng chế không giới hạn ở đó. Theo một phương án làm ví dụ, mạch điểm ảnh CC có thể được cấu tạo từ các tranzito NMOS. Theo một phương án làm ví dụ, mạch điểm ảnh CC có thể được cấu tạo từ các tranzito NMOS và PMOS.

Tụ điện CP có thể được bố trí giữa đường nguồn PL và nút ND. Tụ điện CP có thể được nạp điện tới mức điện áp tương ứng với tín hiệu dữ liệu. Nếu tranzito thứ năm T5 và tranzito thứ sáu T6 được bật, thì giá trị dòng điện chạy qua tranzito thứ nhất T1 có thể được xác định, phụ thuộc vào mức điện áp của tụ điện CP.

Sáng chế không giới hạn ở cấu trúc của điểm ảnh PX được thể hiện trên FIG.5. Theo một số phương án làm ví dụ, cấu trúc mạch của điểm ảnh PX có thể được thay đổi khác nhau để điều khiển hoạt động phát quang của thiết bị phát quang hữu cơ OLED.

FIG.6A là hình vẽ mặt cắt minh họa một phần của điểm ảnh đại diện PX theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.6A, panen hiển thị DP có thể bao gồm lớp nền BL, lớp mạch ML, lớp thiết bị phát quang EL, và lớp bao mỏng TFE.

FIG.6A là hình vẽ minh họa ví dụ trong đó lớp nền BL là cấu trúc xếp chồng bao gồm các lớp cách điện. Tuy nhiên, sáng chế không giới hạn ở ví dụ này, và theo một phương án làm ví dụ, lớp nền BL có thể là cấu trúc đơn lớp chỉ bao gồm một lớp cách điện.

Lớp nền BL có thể bao gồm lớp cách điện nền thứ nhất 110, lớp cách điện nền

thứ hai 120, và lớp cách điện nền thứ ba 130. Ít nhất một hoặc tất cả trong số các lớp cách điện nền thứ nhất 110, lớp cách điện nền thứ hai 120, và lớp cách điện nền thứ ba 130 có thể được tạo thành từ hoặc bao gồm vật liệu có đủ độ mềm dẻo cao. Ví dụ, lớp cách điện nền thứ nhất 110 và lớp cách điện nền thứ ba 130 có thể được tạo thành từ hoặc bao gồm ít nhất một trong số nhựa acrylic, nhựa metacryl, nhựa polyisopren, nhựa vinyl, nhựa epoxy, nhựa uretan, nhựa xenluloza, nhựa siloxan, nhựa polyimit, nhựa polyamit, hoặc nhựa perylen. Lớp cách điện nền thứ hai 120 có thể được tạo thành từ hoặc bao gồm vật liệu vô cơ. Ví dụ, lớp cách điện nền thứ hai 120 có thể bao gồm ít nhất một trong số silic nitrua, silic oxynitrua, silic oxit, titan oxit, hoặc nhôm oxit.

Lớp cách điện thứ nhất 210 có thể được bố trí trên lớp nền BL, và tranzito kích thích T1 có thể được bố trí trên lớp cách điện thứ nhất 210. Tranzito kích thích T1 có thể bao gồm hình mẫu bán dẫn ALD, điện cực cổng GED, điện cực thứ nhất SED, và điện cực thứ hai DED.

Hình mẫu bán dẫn ALD có thể được bố trí trên lớp cách điện thứ nhất 210. Lớp cách điện thứ nhất 210 có thể được sử dụng như lớp đệm tạo ra bề mặt được thay đổi cho hình mẫu bán dẫn ALD. Trong trường hợp này, độ bền bám dính giữa hình mẫu bán dẫn ALD và lớp cách điện thứ nhất 210 có thể được tăng lên, khi so sánh với trường hợp tạo thành hình mẫu bán dẫn ALD trực tiếp trên lớp nền BL. Theo một phương án làm ví dụ, lớp cách điện thứ nhất 210 có thể được sử dụng làm lớp chặn bảo vệ bề mặt đáy của hình mẫu bán dẫn ALD. Trong trường hợp này, lớp cách điện thứ nhất 210 có thể ngăn hoặc làm giảm sự nhiễm bẩn vật liệu hoặc hơi ẩm, mà được tạo ra từ hoặc thông qua lớp nền BL, không cho đi vào hình mẫu bán dẫn ALD. Theo một phương án làm ví dụ, lớp cách điện thứ nhất 210 có thể được sử dụng làm lớp chắn sáng ngăn hoặc làm giảm ánh sáng bên ngoài, mà tới thông qua lớp nền BL, không cho đi vào hình mẫu bán dẫn ALD. Trong trường hợp này, lớp cách điện thứ nhất 210 có thể còn bao gồm vật liệu chắn sáng.

Hình mẫu bán dẫn ALD có thể được tạo thành từ hoặc bao gồm silic đa tinh thể hoặc silic vô định hình. Theo một phương án làm ví dụ, hình mẫu bán dẫn ALD có thể được tạo thành từ hoặc bao gồm vật liệu bán dẫn oxit kim loại. Hình mẫu bán dẫn ALD có thể bao gồm khu vực kênh, mà được sử dụng làm đường để dẫn các điện tử

hoặc lỗ trống, và khu vực pha tạp thứ nhất và khu vực pha tạp thứ hai, mà được đặt cách xa nhau bằng khu vực kênh được đặt vào giữa chúng.

Lớp cách điện thứ hai 220 có thể được bố trí trên lớp cách điện thứ nhất 210 để che hình mẫu bán dẫn ALD. Lớp cách điện thứ hai 220 có thể được tạo thành từ hoặc bao gồm vật liệu vô cơ. Điện cực cổng GED có thể được bố trí trên lớp cách điện thứ hai 220. Vật liệu vô cơ có thể bao gồm ít nhất một trong số silic nitrua, silic oxynitrua, silic oxit, titan oxit, hoặc nhôm oxit.

Lớp cách điện thứ ba 230 có thể được bố trí trên lớp cách điện thứ hai 220 để che điện cực cổng GED. Lớp cách điện thứ ba 230 có thể được tạo thành từ hoặc bao gồm vật liệu vô cơ. Ít nhất một số đường tín hiệu SGL (ví dụ, xem FIG.4) có thể được bố trí trên lớp cách điện thứ ba 230.

Lớp cách điện thứ tư 240 có thể được bố trí trên lớp cách điện thứ ba 230 để che ít nhất một số trong số các đường tín hiệu SGL (ví dụ, xem FIG.4). Lớp cách điện thứ tư 240 có thể được tạo thành từ hoặc bao gồm vật liệu vô cơ.

Điện cực thứ nhất SED và điện cực thứ hai DED có thể được bố trí trên lớp cách điện thứ tư 240. Mỗi trong số điện cực thứ nhất SED và điện cực thứ hai DED có thể được nối với hình mẫu bán dẫn ALD thông qua các lỗ xuyên, mà được tạo thành xuyên qua lớp cách điện thứ hai 220, lớp cách điện thứ ba 230, và lớp cách điện thứ tư 240.

Lớp cách điện thứ năm 250 có thể được bố trí trên lớp cách điện thứ tư 240 để che điện cực thứ nhất SED và điện cực thứ hai DED. Lớp cách điện thứ năm 250 có thể là lớp thụ động hóa và có thể bao gồm vật liệu vô cơ. Nói cách khác, lớp cách điện thứ năm 250 có thể được tạo thành bằng cách lắng đọng vật liệu vô cơ.

Lớp cách điện thứ sáu 260 có thể được bố trí trên lớp cách điện thứ năm 250. Lớp cách điện thứ sáu 260 có thể có lớp hữu cơ hoặc cấu trúc xếp chồng bao gồm lớp hữu cơ và lớp vô cơ. Lớp cách điện thứ sáu 260 có thể được tạo ra có bề mặt trên phẳng hoặc đóng vai trò là lớp tạo phẳng.

Điện cực thứ ba CT có thể được bố trí trên lớp cách điện thứ sáu 260. Điện cực thứ ba CT có thể được ghép nối với điện cực thứ hai DED thông qua lỗ xuyên xuyên

qua lớp cách điện thứ năm 250 và lớp cách điện thứ sáu 260.

Lớp cách điện thứ bảy 270 có thể được bố trí trên lớp cách điện thứ sáu 260 để che điện cực thứ ba CT. Lớp cách điện thứ bảy 270 có thể có lớp hữu cơ hoặc cấu trúc xếp chồng bao gồm lớp hữu cơ và lớp vô cơ. Lớp cách điện thứ bảy 270 có thể được tạo ra có bề mặt trên phẳng hoặc đóng vai trò là lớp tạo phẳng.

Lớp thiết bị phát quang EL có thể được bố trí trên lớp cách điện thứ bảy 270. Lớp thiết bị phát quang EL có thể bao gồm điện cực thứ nhất E1, lớp phát quang EM, và điện cực thứ hai E2. Điện cực thứ nhất E1 có thể được bố trí trên lớp cách điện thứ bảy 270 và có thể được ghép nối với điện cực thứ ba CT thông qua lỗ xuyên xuyên qua lớp cách điện thứ bảy 270. Do panen hiển thị DP còn bao gồm điện cực thứ ba CT, nên ngay cả khi điện cực thứ nhất E1 được tạo thành xuyên qua một lớp cách điện (ví dụ, lớp cách điện thứ bảy 270), thì điện cực thứ nhất E1 có thể được nối điện với tranzito kích thích T1.

Lớp cách điện thứ tám 280 có thể được bố trí trên lớp cách điện thứ bảy 270. Lớp cách điện thứ tám 280 có thể được bố trí để có khoảng hở làm lộ ra một phần của điện cực thứ nhất E1. Khoảng hở của lớp cách điện thứ tám 280 có thể xác định khu vực phát xạ điểm ảnh PXA. Lớp cách điện thứ tám 280 có thể được gọi là lớp xác định điểm ảnh. Ví dụ, các điểm ảnh PX (ví dụ, xem FIG.4) có thể được sắp xếp một cách đều đặn trên mặt phẳng của panen hiển thị DP. Khu vực, trong đó các điểm ảnh PX được bố trí, có thể được xác định là khu vực điểm ảnh, và mỗi khu vực điểm ảnh có thể bao gồm các khu vực phát xạ điểm ảnh PXA và khu vực không phát xạ NPXA liền kề với khu vực phát xạ điểm ảnh PXA. Khu vực không phát xạ NPXA có thể được bố trí xung quanh khu vực phát xạ điểm ảnh PXA.

Lớp phát quang EM có thể được bố trí trên phần được làm lộ ra của điện cực thứ nhất E1. Lớp phát quang EM có thể bao gồm vật liệu phát quang, phát ra ánh sáng khi tín hiệu điện được cấp cho lớp phát quang này.

Điện cực thứ hai E2 có thể được bố trí trên lớp phát quang EM và lớp cách điện thứ tám 280. Điện cực thứ hai E2 có thể được tạo kết cấu để nhận nguồn thứ hai ELVSS (ví dụ, xem FIG.5).

Lớp bao mỏng TFE có thể được bố trí trên điện cực thứ hai E2. Lớp bao mỏng TFE có thể trực tiếp che điện cực thứ hai E2. Theo một phương án làm ví dụ, lớp lót mặt có thể còn được bố trí giữa lớp bao mỏng TFE và điện cực thứ hai E2 để che điện cực thứ hai E2. Trong trường hợp này, lớp bao mỏng TFE có thể trực tiếp che lớp lót mặt.

Lớp bao mỏng TFE có thể bao gồm lớp vô cơ thứ nhất 310, lớp hữu cơ 320, và lớp vô cơ thứ hai 330, được xếp một cách tuần tự trên lớp thiết bị phát quang EL. Lớp hữu cơ 320 có thể được bố trí trên lớp vô cơ thứ nhất 310. Lớp vô cơ thứ nhất 310 và lớp vô cơ thứ hai 330 có thể được tạo thành bằng cách lắng đọng vật liệu vô cơ, và lớp hữu cơ 320 có thể được tạo thành bằng cách lắng đọng, in, hoặc quay phủ vật liệu hữu cơ.

FIG.6A là hình vẽ minh họa ví dụ trong đó lớp bao mỏng TFE bao gồm hai lớp vô cơ và một lớp hữu cơ, nhưng sáng chế không giới hạn ở ví dụ này. Ví dụ, lớp bao mỏng TFE có thể được tạo kết cấu để bao gồm ba lớp vô cơ và hai lớp hữu cơ, và trong trường hợp này, các lớp vô cơ và các lớp hữu cơ có thể được xếp chồng xen kẽ.

FIG.6B là hình vẽ mặt cắt minh họa một phần của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Cụ thể là, FIG.6B có thể là hình vẽ sơ đồ mặt cắt minh họa các phần tử được xếp chồng trên khu vực uốn cong BA của lớp nền BL.

Tham chiếu đến FIG.6A và FIG.6B, lớp cách điện thứ nhất 410, lớp cách điện thứ hai 420, và lớp cách điện thứ ba 430 có thể được xếp chồng trên lớp nền BL. Lớp cách điện thứ nhất 410 có thể là cùng một lớp với lớp cách điện thứ nhất 210 trên FIG.6A, lớp cách điện thứ hai 420 có thể là cùng một lớp với lớp cách điện thứ hai 220 trên FIG.6A, và lớp cách điện thứ ba 430 có thể là cùng một lớp với lớp cách điện thứ ba 230 trên FIG.6A. Tuy nhiên, đó chỉ là ví dụ, và ít nhất một trong số lớp cách điện thứ nhất 410, lớp cách điện thứ hai 420, và lớp cách điện thứ ba 430 có thể được lược bỏ. Ví dụ, lớp cách điện thứ nhất 410 và lớp cách điện thứ hai 420 có thể không được bố trí trên khu vực uốn cong BA. Do đó, lớp cách điện thứ ba 430 có thể được bố trí trực tiếp trên khu vực uốn cong BA của lớp nền BL.

Lớp liên kết thứ nhất MLx có thể được bố trí trên lớp cách điện thứ ba 430. Lớp liên kết thứ nhất MLx có thể bao gồm ít nhất một số trong số các đường tín hiệu SGL

(ví dụ, xem FIG.4).

Lớp cách điện thứ tư 440 có thể được bố trí trên lớp liên kết thứ nhất MLx. Lớp cách điện thứ tư 440 có thể là cùng một lớp với lớp cách điện thứ tư 240 trên FIG.6A.

Lớp liên kết thứ hai MLY có thể được bố trí trên lớp cách điện thứ tư 440. Lớp liên kết thứ hai MLY có thể bao gồm các đường còn lại trong số các đường tín hiệu SGL khác với ít nhất một số trong số đường tín hiệu SGL của lớp liên kết thứ nhất MLx (ví dụ, xem FIG.4), bộ phận điện trở thứ nhất DU1 (ví dụ, xem FIG.4), và bộ phận điện trở thứ hai DU2 (ví dụ, xem FIG.4).

Lớp liên kết thứ hai MLY có thể được đặt xa trục uốn cong BX (ví dụ, xem FIG.3B) hơn lớp liên kết thứ nhất MLx. Do đó, khi khu vực uốn cong BA được uốn cong, thì ứng suất kéo được tác dụng lên lớp liên kết thứ hai MLY có thể lớn hơn ứng suất kéo được tác dụng lên lớp liên kết thứ nhất MLx. Theo đó, khi khu vực uốn cong BA được uốn cong, thì sự thay đổi điện trở của lớp liên kết thứ hai MLY có thể lớn hơn sự thay đổi điện trở của lớp liên kết thứ nhất MLx. Do các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2 (ví dụ, xem FIG.4) bao gồm lớp liên kết thứ hai MLY, nên sự thay đổi điện trở có thể được đo dễ dàng hơn.

Lớp cách điện thứ năm 450 có thể được bố trí trên lớp liên kết thứ hai MLY, và lớp cách điện thứ sáu 460 có thể được bố trí trên lớp cách điện thứ năm 450. Lớp cách điện thứ năm 450 có thể là cùng một lớp với lớp cách điện thứ năm 250 trên FIG.6A, và lớp cách điện thứ sáu 460 có thể là cùng một lớp với lớp cách điện thứ sáu 260 trên FIG.6A. Tuy nhiên, sáng chế không giới hạn ở ví dụ này, và theo một phương án làm ví dụ, ít nhất một trong số các lớp cách điện thứ năm 450 và lớp cách điện thứ sáu 460 có thể được lược bỏ.

Lớp bù NSC có thể được bố trí trên lớp cách điện thứ sáu 460. Lớp bù NSC có thể được tạo thành từ hoặc bao gồm nhựa. Chiều dày và suất của lớp bù NSC có thể được điều chỉnh để điều khiển vị trí của mặt phẳng trung hòa.

FIG.7 là hình chiếu bằng phóng to minh họa khu vực 'AA' trên FIG.4.

Tham chiếu đến FIG.4 và FIG.7, khu vực uốn cong BA có thể được phân chia thành khu vực uốn cong thứ nhất BA1 và khu vực uốn cong thứ hai BA2. Khu vực uốn

cong thứ nhất BA1 có thể là khu vực liền kề với khu vực thứ nhất AR1, và khu vực uốn cong thứ hai BA2 có thể là khu vực liền kề với khu vực thứ hai AR2. Nói cách khác, khu vực thứ nhất AR1, khu vực uốn cong thứ nhất BA1, khu vực uốn cong thứ hai BA2, và khu vực thứ hai AR2 có thể được xác định một cách tuần tự theo hướng thứ nhất DR1.

Các bộ phận điện trở thứ nhất DU1 và bộ phận điện trở thứ hai DU2 có thể được bố trí trên các khu vực uốn cong thứ nhất BA1 và khu vực uốn cong thứ hai BA2.

Bộ phận điện trở thứ nhất DU1 có thể bao gồm đường điện trở thứ nhất DTL1, đường điện trở thứ hai DTL2, các đường nối điện trở thứ nhất DCL1, và các đường nối điện trở thứ hai DCL2.

Đường điện trở thứ nhất DTL1 có thể được bố trí trên khu vực uốn cong thứ nhất BA1, và đường điện trở thứ hai DTL2 có thể được bố trí trên khu vực uốn cong thứ hai BA2. Đường điện trở thứ hai DTL2 có thể được bố trí giữa đường điện trở thứ nhất DTL1 và khu vực thứ hai AR2. Trên hình chiếu bằng, đường điện trở thứ nhất DTL1 có thể không chồng lên khu vực uốn cong thứ hai BA2, và đường điện trở thứ hai DTL2 có thể không chồng lên khu vực uốn cong thứ nhất BA1. Nói cách khác, sự thay đổi trạng thái uốn cong của khu vực uốn cong thứ nhất BA1 có thể dẫn đến sự thay đổi điện trở của đường điện trở thứ nhất DTL1, và sự thay đổi trạng thái uốn cong của khu vực uốn cong thứ hai BA2 có thể dẫn đến sự thay đổi điện trở của đường điện trở thứ hai DTL2.

Mỗi đường điện trở thứ nhất DTL1 và đường điện trở thứ hai DTL2 có thể hoạt động như máy đo biến dạng. Mỗi trong số các đường điện trở thứ nhất DTL1 và đường điện trở thứ hai DTL2 có thể có hình mẫu ngoằn ngoèo. Ví dụ, mỗi trong số các đường điện trở thứ nhất DTL1 và đường điện trở thứ hai DTL2 có thể bao gồm đường uốn cong thứ nhất BBL1, đường uốn cong thứ hai BBL2, và đường nối CBL. Mỗi trong số các đường uốn cong thứ nhất BBL1 và đường uốn cong thứ hai BBL2 có thể được kéo dài theo hướng thứ nhất DR1. Các đường uốn cong thứ nhất BBL1 và đường uốn cong thứ hai BBL2 có thể được đặt cách xa nhau theo hướng thứ hai DR2. Đường nối CBL có thể nối các đường uốn cong thứ nhất BBL1 và đường uốn cong thứ hai BBL2 với nhau theo kết cấu dạng chữ U thông thường. Ví dụ, đường nối CBL có thể được kéo

dài theo hướng thứ hai DR2 từ đầu của đường uốn cong thứ nhất BBL1, và đường uốn cong thứ hai BBL2 có thể được kéo dài theo hướng thứ nhất DR1 từ đầu của đường nối CBL.

Theo một phương án làm ví dụ, đường nối CBL có thể được kéo dài theo hướng giao với hướng thứ nhất DR1 và hướng thứ hai DR2, ví dụ, theo hướng thứ tư DR4 giữa hướng thứ nhất DR1 và hướng thứ hai DR2.

Các đường nối điện trở thứ nhất DCL1 có thể được nối với đường điện trở thứ nhất DTL1. Ví dụ, một cặp đường nối điện trở thứ nhất DCL1 có thể được nối với đường điện trở thứ nhất DTL1. Trong bản mô tả này, một trong số các đường nối điện trở thứ nhất DCL1 có thể được nối với đầu của đường điện trở thứ nhất DTL1, và một đường nối khác trong số các đường nối điện trở thứ nhất DCL1 có thể được nối với đầu đối diện của đường điện trở thứ nhất DTL1.

Các đường nối điện trở thứ nhất DCL1 có thể được kéo dài từ khu vực uốn cong thứ nhất BA1 về phía khu vực thứ hai AR2. Nói cách khác, các đường nối điện trở thứ nhất DCL1 có thể được bố trí trên khu vực uốn cong thứ nhất BA1, khu vực uốn cong thứ hai BA2, và khu vực thứ hai AR2. Các đường nối điện trở thứ nhất DCL1 có thể được nối điện với một đế hàn tương ứng trong số các đế hàn thứ hai DT-PD (ví dụ, xem FIG.4) theo cách một-một.

Các đường nối điện trở thứ hai DCL2 có thể được nối với đường điện trở thứ hai DTL2. Ví dụ, một trong số các đường nối điện trở thứ hai DCL2 có thể được nối với đầu của đường điện trở thứ hai DTL2, và một đường nối khác trong số các đường nối điện trở thứ hai DCL2 có thể được nối với đầu đối diện của đường điện trở thứ hai DTL2.

Các đường nối điện trở thứ hai DCL2 có thể được kéo dài từ khu vực uốn cong thứ hai BA2 về phía khu vực thứ hai AR2. Các đường nối điện trở thứ hai DCL2 có thể được nối điện với một đế hàn tương ứng trong số các đế hàn thứ hai DT-PD theo cách một-một.

Điện áp thử có thể được nhận từ ít nhất một số các đế hàn thứ hai DT-PD. Điện áp thử có thể được giảm đi, do sụt điện áp qua đường điện trở thứ nhất DTL1 và các

đường nối điện trở thứ nhất DCL1. Trong bản mô tả này, điện áp thử giảm đi sẽ được gọi là điện áp tổng hợp. Điện áp tổng hợp có thể được chuyển đến trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) qua ít nhất một đế hàn khác trong số các đế hàn thứ hai DT-PD. Trong trường hợp mà điện trở của đường điện trở thứ nhất DTL1 và các đường nối điện trở thứ nhất DCL1 được thay đổi, sự chênh lệch điện áp giữa điện áp thử và điện áp tổng hợp có thể được thay đổi.

Tất cả đường điện trở thứ nhất DTL1, đường điện trở thứ hai DTL2, các đường nối điện trở thứ nhất DCL1, và các đường nối điện trở thứ hai DCL2 có thể được bố trí trên cùng một lớp. Ví dụ, đường điện trở thứ nhất DTL1, đường điện trở thứ hai DTL2, các đường nối điện trở thứ nhất DCL1, và các đường nối điện trở thứ hai DCL2 có thể được bố trí trong lớp liên kết thứ hai MLy trên FIG.6B. Các đường nối điện trở thứ hai DCL2 có thể được bố trí giữa các đường nối điện trở thứ nhất DCL1 trong khu vực uốn cong thứ hai BA2. Hơn nữa, tổng chiều dài của đường điện trở thứ nhất DTL1 có thể dài hơn tổng chiều dài của đường điện trở thứ hai DTL2.

Theo một phương án làm ví dụ, ít nhất một trong số các đường nối điện trở thứ nhất DCL1 và đường nối điện trở thứ hai DCL2 có thể được bố trí trong lớp liên kết thứ nhất MLx trên FIG.6B. Trong trường hợp này, khi được nhìn trên hình chiếu bằng, các đường nối điện trở thứ nhất DCL1 và các đường nối điện trở thứ hai DCL2 có thể được chồng lên nhau. Hơn nữa, tổng chiều dài của đường điện trở thứ nhất DTL1 có thể gần như bằng tổng chiều dài của đường điện trở thứ hai DTL2. Ví dụ, trong trường hợp mà các đường nối điện trở thứ nhất DCL1 được bố trí trong lớp liên kết thứ nhất MLx, lỗ xuyên có thể được tạo ra xuyên qua lớp cách điện thứ tư 440 (ví dụ, xem FIG.6B) giữa các đường nối điện trở thứ nhất DCL1 và đường điện trở thứ nhất DTL1, và các đường nối điện trở thứ nhất DCL1 và đường điện trở thứ nhất DTL1 có thể được nối điện với nhau qua lỗ xuyên này.

Theo một phương án làm ví dụ của sáng chế, khu vực uốn cong BA có thể được phân chia thành các khu vực uốn cong (ví dụ, BA1 và BA2), và đường điện trở có thể được bố trí trên mỗi trong số các khu vực được phân chia (ví dụ, BA1 và BA2). Do đó, có thể phát hiện sự thay đổi điện trở đối với mỗi khu vực uốn cong. Điều này có thể giúp xác định chính xác hơn xem liệu có lỗi uốn cong hay không và cải thiện độ tin cậy của sản phẩm. Đường điện trở thứ nhất DTL1, đường điện trở thứ hai DTL2, các

đường nối điện trở thứ nhất DCL1, và các đường nối điện trở thứ hai DCL2 có thể được gọi là đường cảm biến thứ nhất DTL1, đường cảm biến thứ hai DTL2, các đường nối cảm biến thứ nhất DCL1, và các đường nối cảm biến thứ hai DCL2.

Các đường điện trở thứ nhất DTL1 và đường điện trở thứ hai DTL2 có thể được tạo ra ở số nhiều. Trong bản mô tả này, một trong số các đường điện trở thứ nhất DTL1 và một trong số các đường điện trở thứ hai DTL2 có thể nằm trong bộ phận điện trở thứ nhất DU1, và một đường điện trở khác trong số các đường điện trở thứ nhất DTL1 và một đường điện trở khác trong số các đường điện trở thứ hai DTL2 có thể nằm trong bộ phận điện trở thứ hai DU2. Bộ phận điện trở thứ hai DU2 có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU1, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.8 là hình chiếu bằng phóng to minh họa khu vực 'BB' trên FIG.4.

FIG.8 là hình vẽ minh họa các hình dạng phóng to của một số trong số các đường tín hiệu SGL. Tham chiếu đến FIG.4 và FIG.8, mỗi trong số các đường tín hiệu SGL có thể được bố trí trong lớp liên kết thứ nhất MLx hoặc lớp liên kết thứ hai MLy trên FIG.6B.

Khi được đo theo hướng thứ hai DR2, thì chiều dày WTy của một trong số các đường tín hiệu SGL có thể lớn hơn chiều dày WTx của đường uốn cong thứ nhất BBL1 của đường điện trở thứ nhất DTL1 trên FIG.7, mà được kéo dài theo hướng thứ nhất DR1. Ví dụ, chiều dày WTx của đường uốn cong thứ nhất BBL1 có thể bằng 3 μ m, và chiều dày WTy của các đường tín hiệu SGL có thể bằng 10 μ m. Nói cách khác, chiều dày WTy của mỗi đường tín hiệu có thể lớn gấp ba lần chiều dày WTx của đường uốn cong thứ nhất BBL1.

Các lỗ HL có thể được tạo ra trong mỗi trong số các đường tín hiệu SGL trong khu vực uốn cong BA. Ngay cả khi vết nứt xảy ra trong các đường tín hiệu SGL, thì các lỗ HL có thể ngăn hoặc giới hạn không cho vết nứt lan truyền. Do đó, độ tin cậy của sản phẩm có thể được cải thiện.

FIG.9 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.9 là hình vẽ minh họa khu

vực tương ứng với khu vực “AA” trên FIG.4.

Tham chiếu đến FIG.4 và FIG.9, khu vực uốn cong BA của lớp nền BL có thể bao gồm khu vực uốn cong thứ nhất BA1a, khu vực uốn cong thứ hai BA2a, và khu vực uốn cong ở giữa CBA.

Khu vực uốn cong thứ nhất BA1a có thể là khu vực liền kề với khu vực thứ nhất AR1, khu vực uốn cong thứ hai BA2a có thể là khu vực liền kề với khu vực thứ hai AR2, và khu vực uốn cong ở giữa CBA có thể là khu vực giữa khu vực uốn cong thứ nhất BA1a và khu vực uốn cong thứ hai BA2a.

Phần DTL1a-P của đường điện trở thứ nhất DTL1a có thể được kéo dài từ khu vực uốn cong thứ nhất BA1 về phía khu vực uốn cong ở giữa CBA, và phần DTL2a-P của đường điện trở thứ hai DTL2a có thể được kéo dài từ khu vực uốn cong thứ hai BA2 về phía khu vực uốn cong ở giữa CBA.

Do đó, cả phần DTL1a-P của đường điện trở thứ nhất DTL1a và phần DTL2a-P của đường điện trở thứ hai DTL2a có thể được bố trí trên khu vực uốn cong ở giữa CBA.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU1a, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.10 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.10 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.4.

Tham chiếu đến FIG.10, bộ phận điện trở thứ nhất DU1b có thể bao gồm đường điện trở thứ nhất DTL1b, các đường nối điện trở thứ nhất DCL1b, đường điện trở thứ hai DTL2b, và các đường nối điện trở thứ hai DCL2b.

Các đường nối điện trở thứ nhất DCL1b có thể được kéo dài theo hướng thứ nhất DR1, và đường điện trở thứ nhất DTL1b có thể được kéo dài theo hướng thứ hai DR2 giao với hướng thứ nhất DR1. Đường điện trở thứ nhất DTL1b có thể nối một cặp đường nối điện trở thứ nhất DCL1b với nhau.

Các đường nối điện trở thứ hai DCL2b có thể được kéo dài theo hướng thứ nhất DR1, và đường điện trở thứ hai DTL2b có thể được kéo dài theo hướng thứ hai DR2. Đường điện trở thứ hai DTL2b có thể nối một cặp đường nối điện trở thứ hai DCL2b với nhau.

Theo phương án làm ví dụ trên FIG.10, khi lớp nền BL được uốn cong, thì sự thay đổi điện trở của các đường nối điện trở thứ nhất DCL1b và đường nối điện trở thứ hai DCL2b có thể lớn hơn sự thay đổi điện trở của các đường điện trở thứ nhất DTL1b và đường điện trở thứ hai DTL2b.

Khi trạng thái uốn cong của toàn bộ khu vực uốn cong BA được thay đổi, thì điện trở của các đường nối điện trở thứ nhất DCL1b và đường điện trở thứ nhất DTL1b có thể được thay đổi. Khi trạng thái uốn cong của khu vực uốn cong thứ hai BA2 được thay đổi, thì điện trở của các đường nối điện trở thứ hai DCL2b và đường điện trở thứ hai DTL2b có thể được thay đổi. Trong trường hợp này, sự thay đổi điện trở được gây ra bởi sự uốn cong của khu vực uốn cong thứ nhất BA1 có thể được xác định bằng cách trừ đi sự thay đổi điện trở của các đường nối điện trở thứ hai DCL2b và đường điện trở thứ hai DTL2b từ sự thay đổi điện trở của các đường nối điện trở thứ nhất DCL1b và đường điện trở thứ nhất DTL1b.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU1b, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.11 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.11 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.4.

Tham chiếu đến FIG.11, bộ phận điện trở thứ nhất DU1c có thể bao gồm đường điện trở thứ nhất DTL1c, các đường nối điện trở thứ nhất DCL1, đường điện trở thứ hai DTL2c, và các đường nối điện trở thứ hai DCL2.

Mỗi trong số đường điện trở thứ nhất DTL1c và đường điện trở thứ hai DTL2c có thể có hình mẫu kiểu zig-zag (hình sin). Ví dụ, mỗi trong số đường điện trở thứ nhất DTL1c và đường điện trở thứ hai DTL2c có thể bao gồm đường uốn cong thứ

nhất BBL1a và đường uốn cong thứ hai BBL2a. Đường uốn cong thứ nhất BBL1a có thể được kéo dài theo hướng thứ tư DR4 giữa hướng thứ nhất DR1 và hướng thứ hai DR2, và đường uốn cong thứ hai BBL2a có thể được kéo dài từ đầu của đường uốn cong thứ nhất BBL1a theo hướng thứ năm DR5 giao với hướng thứ tư DR4.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU1c, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.12 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.12 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.4.

Khi so sánh với kết cấu trên FIG.7, bộ phận điện trở thứ nhất DU1d có thể còn bao gồm đường điện trở trung bình ADTL và các đường nối điện trở trung bình ADCL. Đường điện trở trung bình ADTL và các đường nối điện trở trung bình ADCL có thể được gọi là đường cảm biến trung bình ADTL và các đường nối cảm biến trung bình ADCL. Đường điện trở trung bình ADTL có thể được bố trí trên khu vực uốn cong thứ nhất BA1 và khu vực uốn cong thứ hai BA2. Một trong số các đường nối điện trở trung bình ADCL có thể được nối với một đầu của đường điện trở trung bình ADTL, và một đường nối điện trở khác trong số các đường nối điện trở trung bình ADCL có thể được nối với đầu đối diện của đường điện trở trung bình ADTL.

Khi trạng thái uốn cong của toàn bộ khu vực uốn cong BA được thay đổi, thì các giá trị điện trở của đường điện trở trung bình ADTL và các đường nối điện trở trung bình ADCL có thể được thay đổi. Sự thay đổi của các giá trị điện trở của đường điện trở trung bình ADTL và các đường nối điện trở trung bình ADCL có thể được sử dụng để xác định xem liệu có lỗi uốn cong hay không và để xác định sự thay đổi ứng suất kéo được gây ra bởi chiều dày của lớp bù NSC (ví dụ, xem FIG.3C).

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU1d, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

Trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) có thể được tạo kết cấu để nhận

biết sự thay đổi điện trở của đường điện trở thứ nhất DTL1, mà được gây ra bởi sự thay đổi ở trạng thái uốn cong của khu vực uốn cong thứ nhất BA1, sự thay đổi điện trở của đường điện trở thứ hai DTL2, mà được gây ra bởi sự thay đổi ở trạng thái uốn cong của khu vực uốn cong thứ hai BA2, và sự thay đổi điện trở của đường điện trở trung bình ADTL, mà được gây ra bởi sự thay đổi ở trạng thái uốn cong của toàn bộ khu vực uốn cong BA, và các giá trị thay đổi điện trở này có thể được lưu trữ trong trình điều khiển dữ liệu IC. Do đó, sau khi uốn cong, các giá trị thay đổi điện trở được lưu trữ trong trình điều khiển dữ liệu IC có thể được sử dụng để xác định xem liệu có lỗi uốn cong hay không.

FIG.13 hình chiếu bằng minh họa panen hiển thị được thể hiện trên FIG.3A.

Tham chiếu đến FIG.13, khu vực uốn cong BA của lớp nền BL có thể bao gồm khu vực uốn cong thứ nhất BA1a, khu vực uốn cong thứ hai BA2a, và khu vực uốn cong ở giữa CBA.

Khu vực uốn cong thứ nhất BA1a có thể là khu vực liền kề với khu vực thứ nhất AR1, khu vực uốn cong thứ hai BA2a có thể là khu vực liền kề với khu vực thứ hai AR2, khu vực uốn cong ở giữa CBA có thể là khu vực giữa khu vực uốn cong thứ nhất BA1a và khu vực uốn cong thứ hai BA2a.

Bộ phận điện trở thứ nhất DUX và bộ phận điện trở thứ hai DUY có thể được bố trí trên khu vực uốn cong BA. Điện trở của mỗi trong số bộ phận điện trở thứ nhất DUX và bộ phận điện trở thứ hai DUY có thể thay đổi phụ thuộc vào sự uốn cong của khu vực uốn cong BA. Bộ phận điện trở thứ nhất DUX và bộ phận điện trở thứ hai DUY có thể được đặt cách xa nhau theo hướng thứ hai DR2. Khi được nhìn trên hình chiếu bằng, các đường tín hiệu SGL có thể được bố trí giữa bộ phận điện trở thứ nhất DUX và bộ phận điện trở thứ hai DUY. Bộ phận điện trở thứ nhất DUX sẽ được mô tả chi tiết dưới đây.

FIG.14 là hình chiếu bằng phóng to minh họa khu vực 'AA' trên FIG.13.

Bộ phận điện trở thứ nhất DUX có thể bao gồm đường điện trở thứ nhất DTLx1, đường điện trở thứ hai DTLx2, đường điện trở thứ ba DTLx3, các đường nối điện trở thứ nhất DCLx1, các đường nối điện trở thứ hai DCLx2, và các đường nối điện trở thứ

ba DCLx3. Đường điện trở thứ ba DTLx3 và các đường nối điện trở thứ ba DCLx3 có thể được gọi là các đường cảm biến thứ ba DTLx3 và các đường nối cảm biến thứ ba DCLx3.

Đường điện trở thứ nhất DTLx1 có thể được bố trí trên khu vực uốn cong thứ nhất BA1a, đường điện trở thứ hai DTLx2 có thể được bố trí trên khu vực uốn cong thứ hai BA2a, và đường điện trở thứ ba DTLx3 có thể được bố trí trên khu vực uốn cong ở giữa CBA. Khi được nhìn trên hình chiếu bằng, đường điện trở thứ nhất DTLx1 có thể không chồng lên khu vực uốn cong ở giữa CBA và khu vực uốn cong thứ hai BA2a, đường điện trở thứ hai DTLx2 có thể không chồng lên khu vực uốn cong thứ nhất BA1a và khu vực uốn cong ở giữa CBA, và đường điện trở thứ ba DTLx3 có thể không chồng lên khu vực uốn cong thứ nhất BA1a và khu vực uốn cong thứ hai BA2a.

Khi khu vực uốn cong BA được uốn cong, thì điện trở của mỗi trong số đường điện trở thứ nhất DTLx1, đường điện trở thứ hai DTLx2, đường điện trở thứ ba DTLx3, các đường nối điện trở thứ nhất DCLx1, các đường nối điện trở thứ hai DCLx2, và các đường nối điện trở thứ ba DCLx3 có thể được thay đổi.

Dựa vào sự thay đổi điện trở của mỗi trong số đường điện trở thứ nhất DTLx1, đường điện trở thứ hai DTLx2, đường điện trở thứ ba DTLx3, các đường nối điện trở thứ nhất DCLx1, các đường nối điện trở thứ hai DCLx2, và các đường nối điện trở thứ ba DCLx3, trình điều khiển dữ liệu IC (ví dụ, xem FIG.3C) có thể xác định xem liệu có lỗi uốn cong hay không.

Theo một phương án làm ví dụ của sáng chế, sự thay đổi điện trở của đường điện trở được bố trí trên mỗi khu vực uốn cong có thể được nhận biết để xác định xem liệu có lỗi uốn cong trong mỗi khu vực uốn cong hay không. Điều này có thể giúp xác định chính xác hơn xem liệu có lỗi uốn cong hay không và cải thiện độ tin cậy của sản phẩm.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DUX, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.15 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.15 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.13.

Khu vực uốn cong BA của lớp nền BL có thể bao gồm khu vực uốn cong thứ nhất BA1b, khu vực uốn cong thứ hai BA2b, khu vực uốn cong ở giữa CBAb, khu vực uốn cong ở giữa phụ thứ nhất CBAbs1, và khu vực uốn cong ở giữa phụ thứ hai CBAbs2.

Khu vực uốn cong ở giữa phụ thứ nhất CBAbs1 có thể được bố trí giữa khu vực uốn cong thứ nhất BA1b và khu vực uốn cong ở giữa CBAb, và khu vực uốn cong ở giữa phụ thứ hai CBAbs2 có thể được bố trí giữa khu vực uốn cong thứ hai BA2b và khu vực uốn cong ở giữa CBAb.

Khu vực uốn cong thứ nhất BA1b, khu vực uốn cong ở giữa phụ thứ nhất CBAbs1, khu vực uốn cong ở giữa CBAb, khu vực uốn cong ở giữa phụ thứ hai CBAbs2, và khu vực uốn cong thứ hai BA2b có thể được sắp xếp một cách tuần tự theo hướng thứ nhất DR1.

Bộ phận điện trở thứ nhất DUXa có thể bao gồm đường điện trở thứ nhất DTLx1a, đường điện trở thứ hai DTLx2a, đường điện trở thứ ba DTLx3a, các đường nối điện trở thứ nhất DCLx1a, các đường nối điện trở thứ hai DCLx2a, và các đường nối điện trở thứ ba DCLx3a.

Một phần của đường điện trở thứ nhất DTLx1a có thể được kéo dài từ khu vực uốn cong thứ nhất BA1b về phía khu vực uốn cong ở giữa phụ thứ nhất CBAbs1, một phần của đường điện trở thứ hai DTLx2a có thể được kéo dài từ khu vực uốn cong thứ hai BA2b về phía khu vực uốn cong ở giữa phụ thứ hai CBAbs2, một phần của đường điện trở thứ ba DTLx3a có thể được kéo dài từ khu vực uốn cong ở giữa CBAb về phía khu vực uốn cong ở giữa phụ thứ nhất CBAbs1, và phần còn lại của đường điện trở thứ ba DTLx3a có thể được kéo dài từ khu vực uốn cong ở giữa CBAb về phía khu vực uốn cong ở giữa phụ thứ hai CBAbs2. Do đó, cả đường điện trở thứ nhất DTLx1a và đường điện trở thứ ba DTLx3a có thể được bố trí trên khu vực uốn cong ở giữa phụ thứ nhất CBAbs1, và cả đường điện trở thứ hai DTLx2a và đường điện trở thứ ba DTLx3a có thể được bố trí trên khu vực uốn cong ở giữa phụ thứ hai CBAbs2.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU_xa, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.16 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.16 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.13.

Khi so sánh với bộ phận điện trở thứ nhất DU₁c trên FIG.11, bộ phận điện trở thứ nhất DU_xb có thể còn bao gồm đường điện trở thứ ba DTL_x3b và các đường nối điện trở thứ ba DCL_x3b.

Đường điện trở thứ nhất DTL₁c có thể được bố trí trên khu vực uốn cong thứ nhất BA₁a, và đường điện trở thứ hai DTL₂c có thể được bố trí trên khu vực uốn cong thứ hai BA₂a. Đường điện trở thứ ba DTL_x3b có thể được bố trí trên khu vực uốn cong ở giữa CBA, một phần của đường điện trở thứ ba DTL_x3b có thể được kéo dài về phía khu vực uốn cong thứ nhất BA₁a, và phần còn lại của đường điện trở thứ ba DTL_x3b có thể được kéo dài về phía khu vực uốn cong thứ hai BA₂a.

Đường điện trở thứ ba DTL_x3b có thể được bố trí giữa đường điện trở thứ nhất DTL₁c và đường điện trở thứ hai DTL₂c, một trong số các đường nối điện trở thứ ba DCL_x3b có thể được nối với đầu của đường điện trở thứ ba DTL_x3b, và một trong số các đường nối điện trở thứ ba DCL_x3b còn lại có thể được nối với đầu đối diện của đường điện trở thứ ba DTL_x3b.

Trong khu vực uốn cong thứ hai BA₂a, các đường nối điện trở thứ ba DCL_x3b có thể được bố trí giữa các đường nối điện trở thứ nhất DCL₁, và các đường nối điện trở thứ hai DCL₂ có thể được bố trí giữa các đường nối điện trở thứ ba DCL_x3b.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DU_xb, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.17 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.17 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.13.

Khi so sánh với bộ phận điện trở thứ nhất DU1b trên FIG.10, bộ phận điện trở thứ nhất DUxc có thể còn bao gồm đường điện trở thứ ba DTLx3c và các đường nối điện trở thứ ba DCLx3c.

Đường điện trở thứ nhất DTL1b có thể được bố trí trên khu vực uốn cong thứ nhất BA1a, đường điện trở thứ hai DTL2b có thể được bố trí trên khu vực uốn cong thứ hai BA2a, và đường điện trở thứ ba DTLx3c có thể được bố trí trên khu vực uốn cong ở giữa CBA. Các đường nối điện trở thứ nhất DCL1b có thể được kéo dài từ khu vực uốn cong thứ nhất BA1a đến khu vực uốn cong thứ hai BA2a qua khu vực uốn cong ở giữa CBA, và các đường nối điện trở thứ ba DCLx3c có thể được kéo dài từ khu vực uốn cong ở giữa CBA đến khu vực uốn cong thứ hai BA2a.

Sự thay đổi điện trở được gây ra bởi sự uốn cong của khu vực uốn cong ở giữa CBA có thể được xác định bằng cách trừ đi sự thay đổi tổng điện trở của đường điện trở thứ hai DTL2b và đường nối điện trở thứ hai DCL2b từ sự thay đổi điện trở của đường điện trở thứ ba DTLx3c và các đường nối điện trở thứ ba DCLx3c. Ngoài ra, sự thay đổi điện trở được gây ra bởi sự uốn cong của khu vực uốn cong thứ nhất BA1a có thể được xác định bằng cách trừ đi sự thay đổi điện trở của đường điện trở thứ ba DTLx3c và các đường nối điện trở thứ ba DCLx3c từ sự thay đổi điện trở của đường điện trở thứ nhất DTL1b và đường nối điện trở thứ nhất DCL1b.

Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DUxc, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.18 là hình chiếu bằng phóng to minh họa một phần của panen hiển thị được cấu tạo theo một phương án làm ví dụ của sáng chế. FIG.18 là hình vẽ minh họa khu vực tương ứng với khu vực “AA” trên FIG.13.

Khi so sánh với cấu trúc trên FIG.14, bộ phận điện trở thứ nhất DUxd có thể còn bao gồm đường điện trở trung bình ADTLx và các đường nối điện trở trung bình ADCLx.

Khi trạng thái uốn cong của toàn bộ khu vực uốn cong BA được thay đổi, thì các giá trị điện trở của đường điện trở trung bình ADTLx và các đường nối điện trở trung

binh ADCLx có thể được thay đổi. Bộ phận điện trở thứ hai có thể có hình dạng gần như giống với hình dạng của bộ phận điện trở thứ nhất DUxd, và do đó, phần mô tả chồng lặp về bộ phận điện trở thứ hai sẽ được lược bỏ để tránh sự dư thừa.

FIG.19 là hình vẽ mặt cắt minh họa một phần của panen hiển thị trong trạng thái thứ nhất, theo một phương án làm ví dụ của sáng chế, và FIG.20 là hình vẽ mặt cắt minh họa một phần của panen hiển thị trong trạng thái thứ hai, theo một phương án làm ví dụ của sáng chế.

FIG.19 và FIG.20 là các hình vẽ minh họa các ví dụ trong đó khu vực uốn cong BA của lớp nền BL ở trạng thái uốn cong. Ở trạng thái uốn cong, lớp bám dính ADL hoặc ADLa có thể được bố trí giữa các khu vực thứ nhất AR1 và khu vực thứ hai AR2 của lớp nền BL. Khu vực thứ nhất AR1 và khu vực thứ hai AR2 có thể được ghép nối với nhau bởi lớp bám dính ADL hoặc ADLa.

Theo một phương án làm ví dụ, lớp bám dính ADL hoặc ADLa có thể được bố trí giữa các màng bảo vệ thứ nhất PFa và màng bảo vệ thứ hai PFb và có thể được gắn vào mỗi trong số các màng bảo vệ thứ nhất PFa và màng bảo vệ thứ hai PFb. Tuy nhiên, sáng chế không giới hạn ở ví dụ này, và trong trường hợp mà chi tiết tăng cường bổ sung được bố trí trên bề mặt phía sau của màng bảo vệ thứ nhất PFa, lớp bám dính ADL hoặc ADLa có thể được gắn vào bộ phận tăng cường này.

FIG.19 là hình vẽ minh họa lớp nền BL, trong đó các khu vực thứ nhất AR1 và khu vực thứ hai AR2 được căn thẳng theo hướng pháp tuyến với nhau. Tức là, panen hiển thị DP-G trên FIG.19 có thể được phân loại là sản phẩm tốt.

FIG.20 là hình vẽ minh họa lớp nền BL của panen hiển thị DP-F, trong đó các khu vực thứ nhất AR1 và khu vực thứ hai AR2 không được căn thẳng với nhau. Trên FIG.20, hình dạng của lớp bám dính ADLa được bố trí giữa các khu vực thứ nhất AR1 và khu vực thứ hai AR2 có thể khác với hình dạng của lớp bám dính ADL được thể hiện trên FIG.19.

Cụ thể là, trên FIG.20, bán kính cong của khu vực uốn cong thứ nhất BA1a có thể nhỏ hơn bán kính cong của khu vực uốn cong thứ hai BA2a. Bán kính cong càng nhỏ, thì xác suất để vết nứt xảy ra trong các đường tín hiệu càng cao. Do đó, xác suất

để vết nứt xảy ra trong các đường tín hiệu được bố trí trên khu vực uốn cong thứ nhất BA1a có thể tăng lên.

Điện trở của đường điện trở trung bình ADTLx và các đường nối điện trở trung bình ADCLx trên FIG.18, mà được đo khi lớp nền BL không được uốn cong, có thể được gọi là đơn vị Ω_0 . Khi lớp nền BL được uốn cong như được thể hiện trên FIG.19, điện trở của đường điện trở trung bình ADTLx và các đường nối điện trở trung bình ADCLx bằng $1,022 \Omega_0$, và khi lớp nền BL được uốn cong như được thể hiện trên FIG.20, điện trở của đường điện trở trung bình ADTLx và các đường nối điện trở trung bình ADCLx bằng $1,020 \Omega_0$.

Trong trường hợp mà chỉ điện trở của đường điện trở trung bình ADTLx và các đường nối điện trở trung bình ADCLx được so sánh, cả panen hiển thị DP-G trên FIG.19 và panen hiển thị DP-F trên FIG.20 có thể được phân loại là các sản phẩm tốt. Tuy nhiên, vết nứt có thể xảy ra trong các đường tín hiệu được bố trí trên khu vực uốn cong thứ nhất BA1a của panen hiển thị DP-F trên FIG.20. Vết nứt này có thể không được phát hiện bởi quy trình kiểm tra. Nói cách khác, vết nứt, mà không được phát hiện bởi quy trình kiểm tra, có thể lan rộng dần, và lỗi có thể xảy ra trong thiết bị hiển thị DD (ví dụ, xem FIG.1) được sử dụng bởi người dùng.

Trong panen hiển thị DP-F trên FIG.20, lượng thay đổi điện trở thứ nhất của các đường nối điện trở thứ nhất DCLx1, mà được nối với đường điện trở thứ nhất DTLx1 và đường điện trở thứ nhất DTLx1 được bố trí trên khu vực uốn cong thứ nhất BA1a, có thể lớn hơn lượng thay đổi điện trở thứ hai của các đường nối điện trở thứ hai DCLx2, mà được nối với đường điện trở thứ hai DTLx2 và đường điện trở thứ hai DTLx2 được bố trí trên khu vực uốn cong thứ hai BA2a của panen hiển thị DP-F. Hơn nữa, do khu vực uốn cong ở giữa CBA có các bán kính cong tương đối lớn, nên lượng thay đổi điện trở thứ ba của đường điện trở thứ ba DTLx3 và các đường nối điện trở thứ ba DCLx3 có thể nhỏ hơn lượng thay đổi điện trở thứ nhất và lượng thay đổi điện trở thứ hai.

Theo một phương án làm ví dụ của sáng chế, phép đo điện trở có thể được thực hiện đối với mỗi khu vực của khu vực uốn cong BA. Điều này có thể giúp xác định chính xác hơn xem liệu có lỗi uốn cong hay không và cải thiện độ tin cậy của sản

phẩm. Ví dụ, trong đó khu vực uốn cong BA được phân chia thành hai hoặc ba khu vực và phép đo điện trở có thể được thực hiện trên mỗi khu vực, đã được mô tả trong bản mô tả này. Tuy nhiên, sáng chế không giới hạn ở ví dụ này, và phép đo điện trở có thể được thực hiện trên mỗi trong số bốn hoặc nhiều hơn bốn khu vực.

Theo một phương án làm ví dụ của sáng chế, khu vực uốn cong của lớp nền có thể được phân chia thành các khu vực uốn cong, và các đường điện trở có thể được bố trí tương ứng trên mỗi trong số các khu vực được phân chia theo cách một-một. Do đó, có thể phát hiện sự thay đổi điện trở đối với mỗi khu vực uốn cong. Điều này có thể giúp xác định chính xác hơn xem liệu có lỗi uốn cong hay không và cải thiện độ tin cậy của sản phẩm.

Mặc dù các phương án và các phương án thực hiện làm ví dụ nhất định đã được mô tả trong bản mô tả này, nhưng các phương án và các cải biên khác sẽ trở nên rõ ràng bởi phần mô tả này. Theo đó, sáng chế không giới hạn ở các phương án này, mà là ở phạm vi rộng hơn của yêu cầu bảo hộ kèm theo và các cải biên rõ ràng khác nhau và các sự sắp xếp tương đương sẽ trở nên rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật này.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

lớp nền bao gồm khu vực thứ nhất, khu vực thứ hai, và khu vực uốn cong, khu vực uốn cong này bao gồm khu vực uốn cong thứ nhất liền kề với khu vực thứ nhất và khu vực uốn cong thứ hai liền kề với khu vực thứ hai;

các điểm ảnh được bố trí trên khu vực thứ nhất;

các đề hàn được bố trí trên khu vực thứ hai;

các đường tín hiệu được nối điện với các điểm ảnh và được bố trí trên khu vực thứ nhất, khu vực uốn cong, và khu vực thứ hai;

đường cảm biến thứ nhất được bố trí trên khu vực uốn cong thứ nhất;

các đường nối cảm biến thứ nhất được nối điện với đường cảm biến thứ nhất, kéo dài qua khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai;

đường cảm biến thứ hai được bố trí trên khu vực uốn cong thứ hai và giữa đường cảm biến thứ nhất và khu vực thứ hai; và

các đường nối cảm biến thứ hai được nối điện với đường cảm biến thứ hai, kéo dài qua khu vực uốn cong thứ hai và khu vực thứ hai.

2. Thiết bị hiển thị theo điểm 1, trong đó khu vực uốn cong còn bao gồm khu vực uốn cong ở giữa được bố trí giữa khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai.

3. Thiết bị hiển thị theo điểm 2, trong đó ít nhất một phần của đường cảm biến thứ nhất kéo dài từ khu vực uốn cong thứ nhất về phía khu vực uốn cong ở giữa, và

ít nhất một phần của đường cảm biến thứ hai kéo dài từ khu vực uốn cong thứ hai về phía khu vực uốn cong ở giữa.

4. Thiết bị hiển thị theo điểm 2, thiết bị này còn bao gồm:

đường cảm biến thứ ba được bố trí trên khu vực uốn cong ở giữa; và

các đường nối cảm biến thứ ba được nối điện với đường cảm biến thứ ba và kéo dài qua khu vực uốn cong ở giữa, khu vực uốn cong thứ hai, và khu vực thứ hai.

5. Thiết bị hiển thị theo điểm 4, trong đó khu vực uốn cong còn bao gồm khu vực uốn cong ở giữa phụ thứ nhất được bố trí giữa khu vực uốn cong thứ nhất và khu vực uốn cong ở giữa và khu vực uốn cong ở giữa phụ thứ hai được bố trí giữa khu vực uốn cong ở giữa và khu vực uốn cong thứ hai,

trong đó ít nhất một phần của đường cảm biến thứ nhất kéo dài từ khu vực uốn cong thứ nhất về phía khu vực uốn cong ở giữa phụ thứ nhất,

trong đó ít nhất một phần của đường cảm biến thứ hai kéo dài từ khu vực uốn cong thứ hai về phía khu vực uốn cong ở giữa phụ thứ hai,

trong đó phần thứ nhất của đường cảm biến thứ ba kéo dài từ khu vực uốn cong ở giữa về phía khu vực uốn cong ở giữa phụ thứ nhất, và

trong đó phần thứ hai của đường cảm biến thứ ba được kéo dài từ khu vực uốn cong ở giữa về phía khu vực uốn cong ở giữa phụ thứ hai.

6. Thiết bị hiển thị theo điểm 1, trong đó các đường nối cảm biến thứ hai được bố trí giữa các đường nối cảm biến thứ nhất trong khu vực uốn cong thứ hai.

7. Thiết bị hiển thị theo điểm 1, trong đó khu vực thứ nhất, khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai được sắp xếp một cách tuần tự theo hướng thứ nhất.

8. Thiết bị hiển thị theo điểm 7, trong đó mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai bao gồm:

đường uốn cong thứ nhất kéo dài theo hướng thứ nhất;

đường nối kéo dài từ đầu của đường uốn cong thứ nhất theo hướng thứ hai giao với hướng thứ nhất; và

đường uốn cong thứ hai kéo dài từ đầu của đường nối theo hướng thứ nhất.

9. Thiết bị hiển thị theo điểm 7, trong đó mỗi trong số đường cảm biến thứ nhất và

đường cảm biến thứ hai bao gồm:

đường uốn cong thứ nhất kéo dài theo hướng thứ ba giữa hướng thứ nhất và hướng thứ hai trực giao với hướng thứ nhất; và

đường uốn cong thứ hai được kéo dài từ đầu của đường uốn cong thứ nhất theo hướng thứ tư giao với hướng thứ ba.

10. Thiết bị hiển thị theo điểm 1, trong đó đường cảm biến thứ nhất bao gồm các các đường điện trở thứ nhất và đường cảm biến thứ hai bao gồm các đường điện trở thứ hai,

trong đó các các đường điện trở thứ nhất được đặt cách xa nhau, theo hướng thứ hai giao với hướng thứ nhất, với các đường tín hiệu được đặt vào giữa chúng, và

trong đó các đường điện trở thứ hai được đặt cách xa nhau, theo hướng thứ hai, với các đường tín hiệu được đặt vào giữa chúng.

11. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm:

đường cảm biến trung bình được bố trí trên khu vực uốn cong thứ nhất và khu vực uốn cong thứ hai; và

các đường nối cảm biến trung bình được nối điện với đường cảm biến trung bình và kéo dài qua khu vực uốn cong thứ nhất, khu vực uốn cong thứ hai, và khu vực thứ hai.

12. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm màng bảo vệ được bố trí ở dưới các khu vực thứ nhất và thứ hai của lớp nền.

13. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm lớp bù được bố trí trên khu vực uốn cong của lớp nền để che các đường tín hiệu, đường cảm biến thứ nhất, đường cảm biến thứ hai, các đường nối cảm biến thứ nhất, và các đường nối cảm biến thứ hai được bố trí trên khu vực uốn cong.

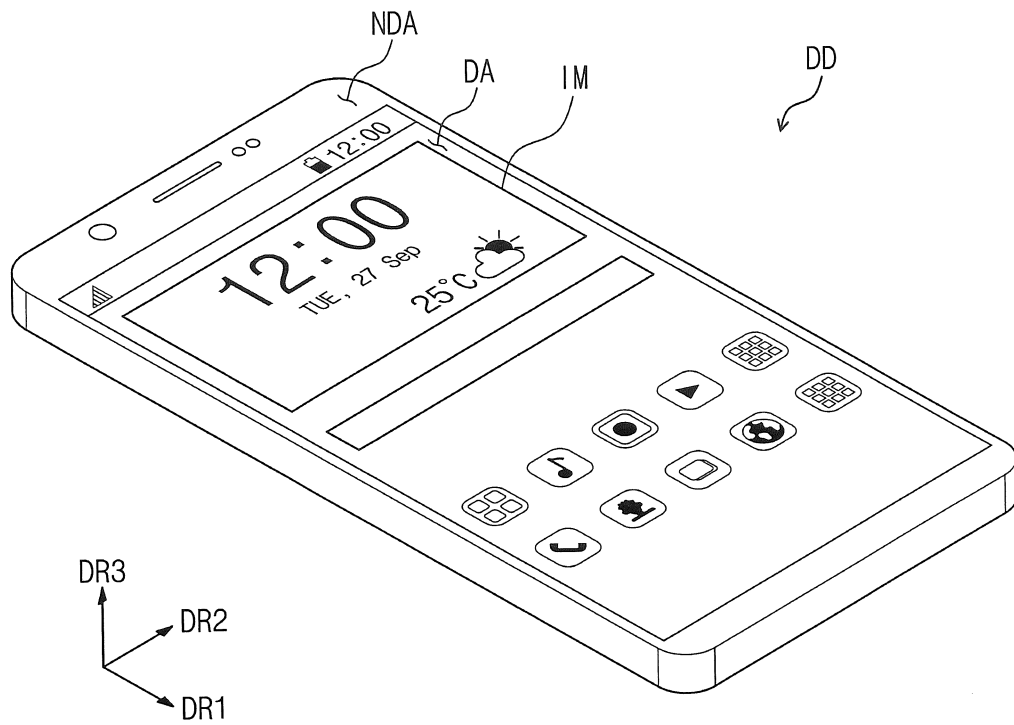
14. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm trình điều khiển dữ liệu được nối điện với mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai,

trình điều khiển dữ liệu này được tạo kết cấu để nhận biết sự thay đổi tính chất của mỗi trong số đường cảm biến thứ nhất và đường cảm biến thứ hai được tạo ra để đáp ứng lại sự uốn cong được phát hiện trong khu vực uốn cong.

15. Thiết bị hiển thị theo điểm 1, trong đó, đường cảm biến thứ nhất không chồng lên khu vực uốn cong thứ hai, và đường cảm biến thứ hai không chồng lên khu vực uốn cong thứ nhất.

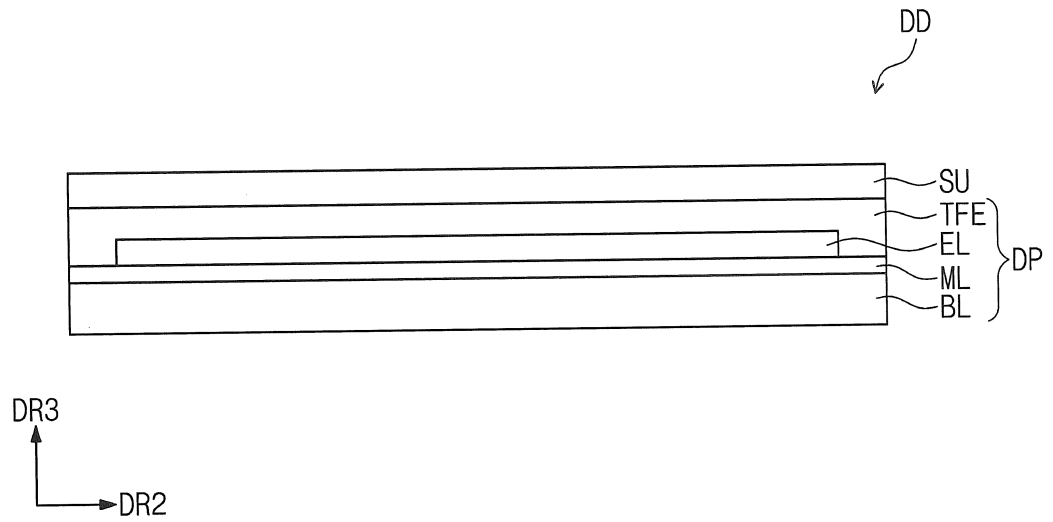
1/22

FIG. 1



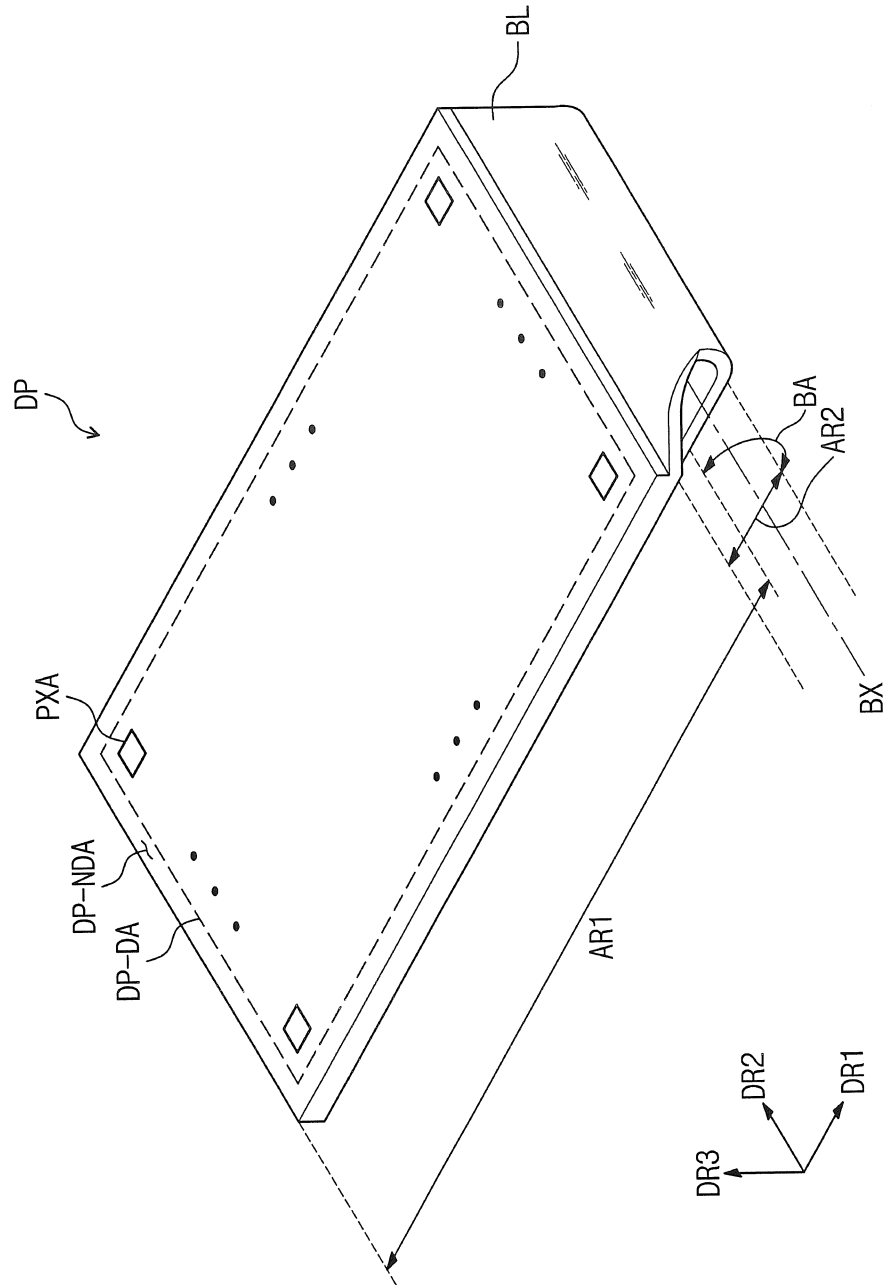
2/22

FIG. 2



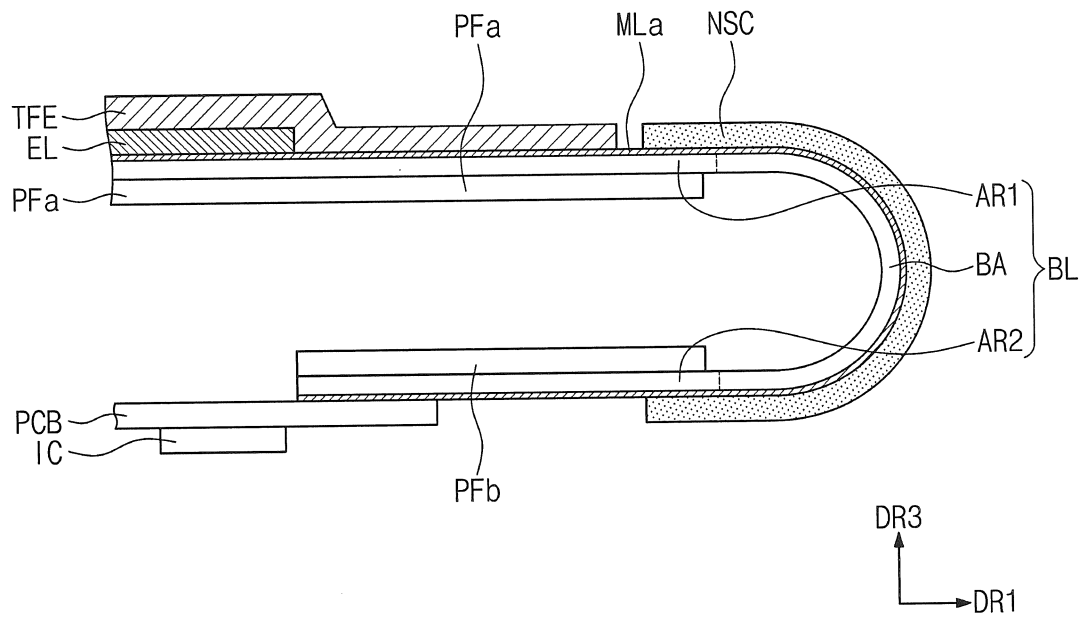
4/22

FIG. 3B



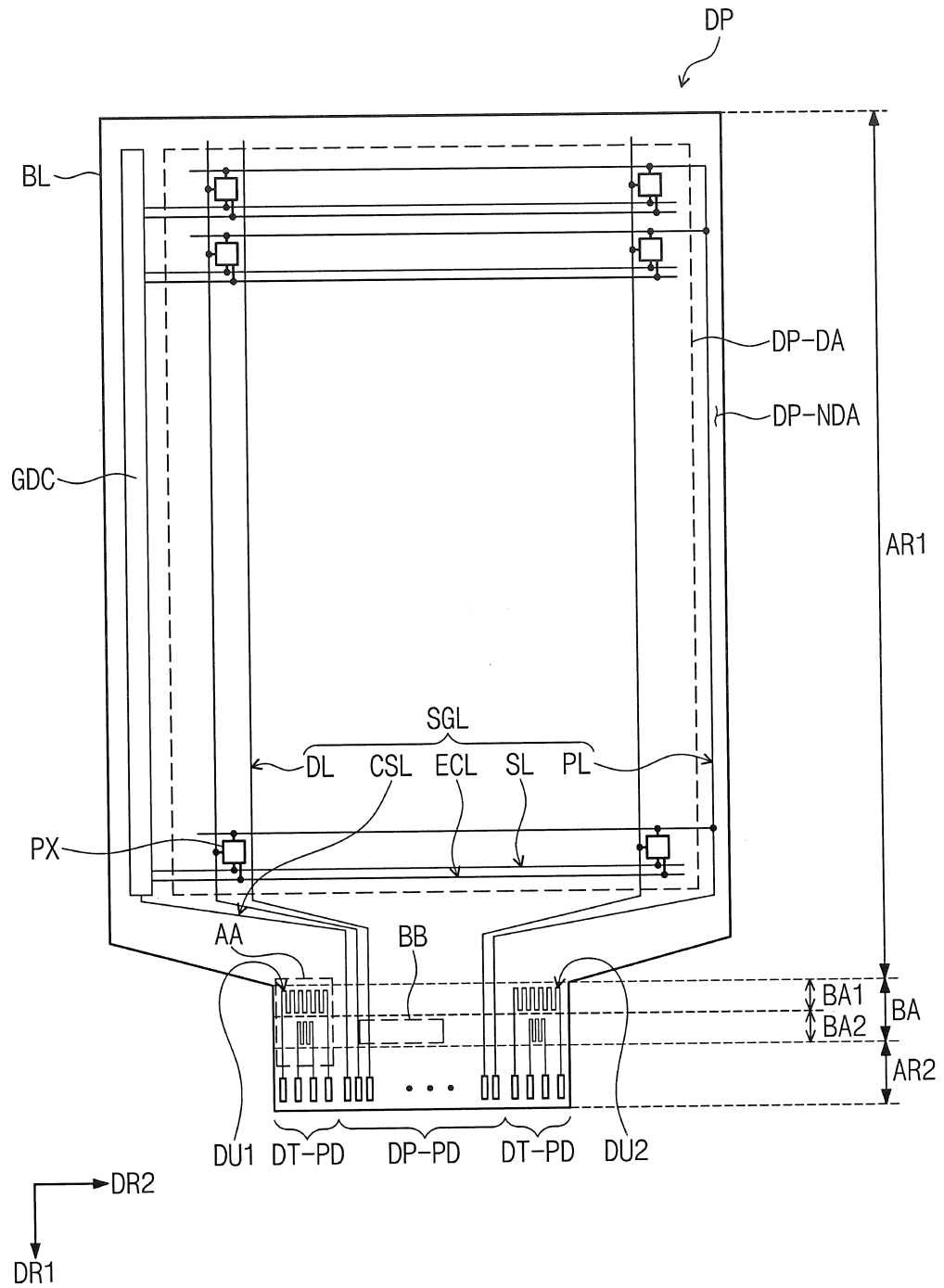
5/22

FIG. 3C



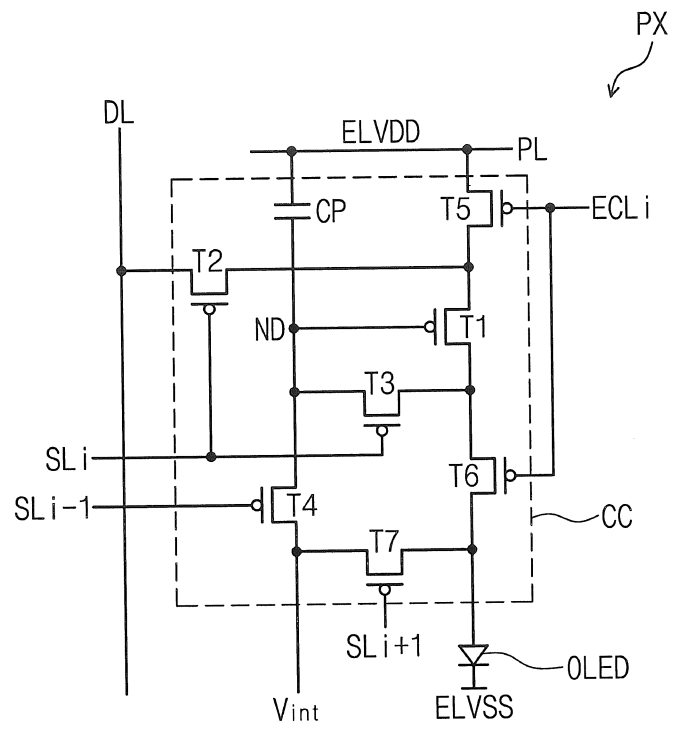
6/22

FIG. 4



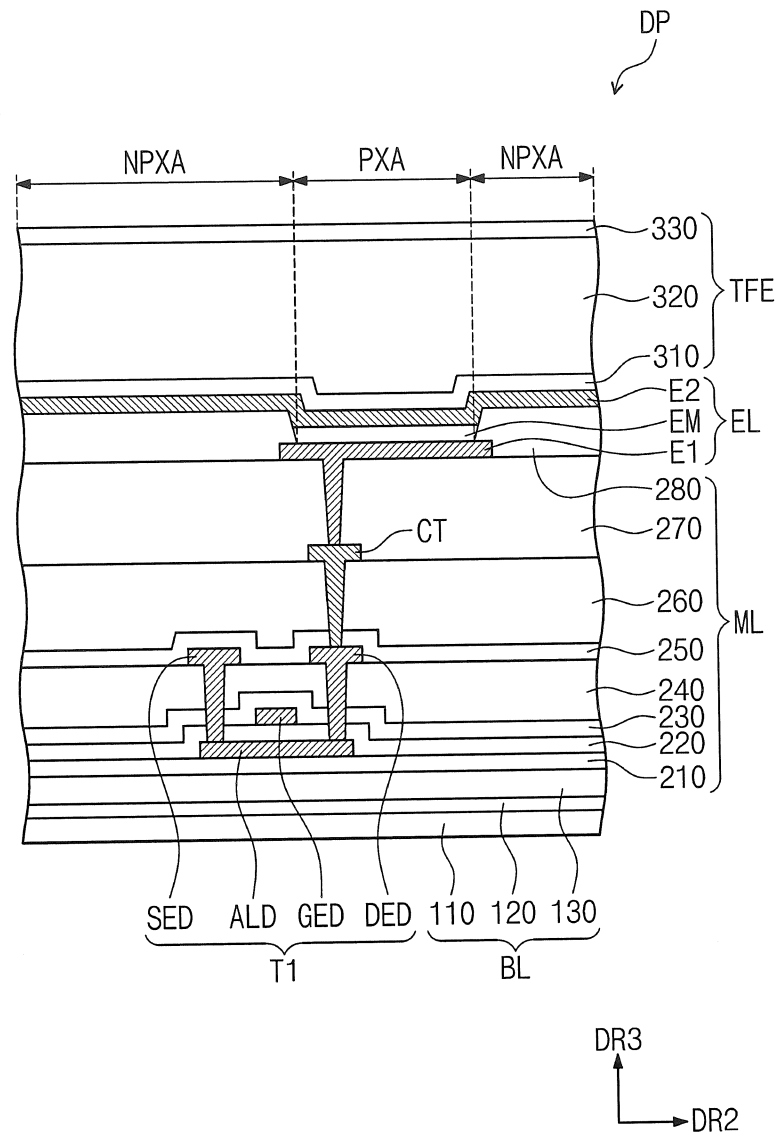
7/22

FIG. 5



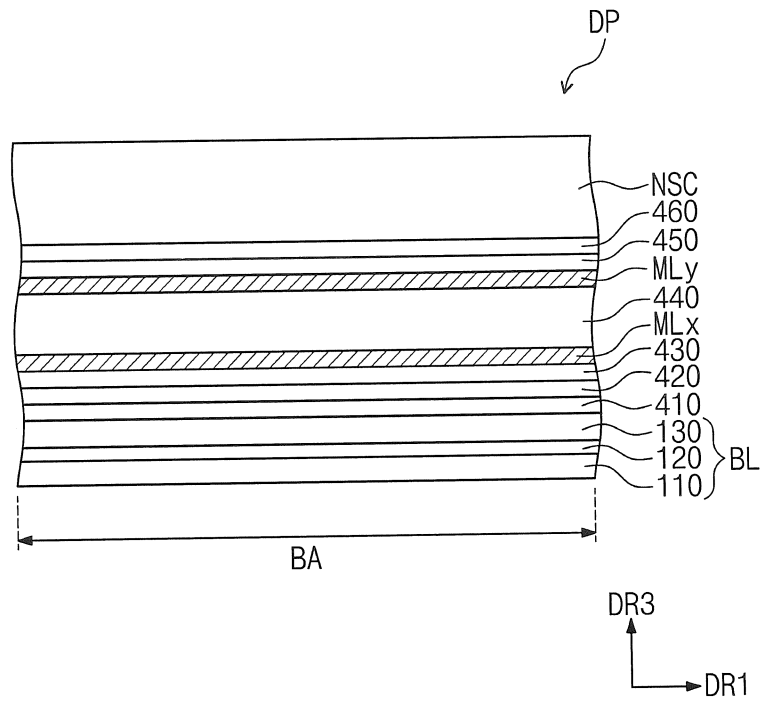
8/22

FIG. 6A



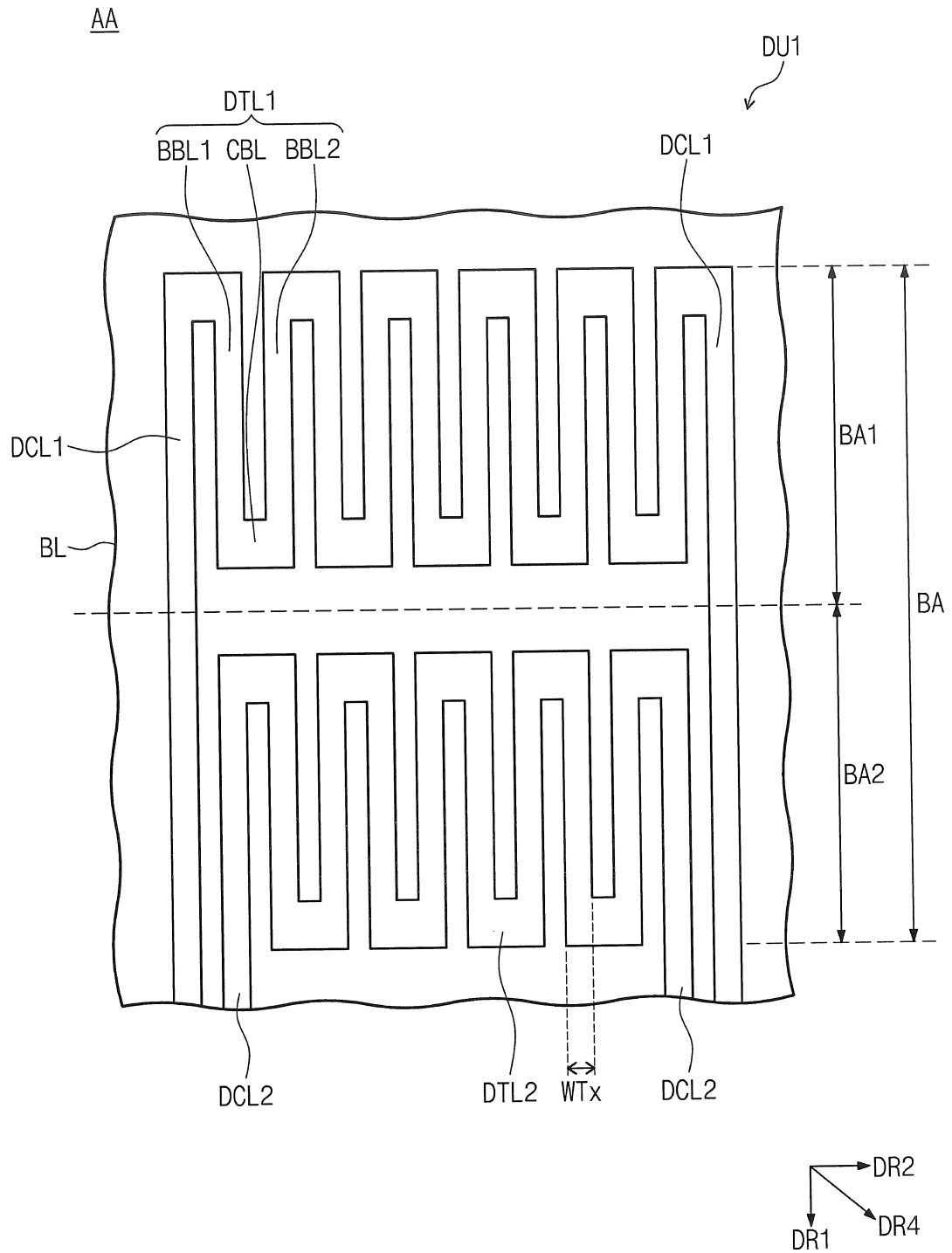
9/22

FIG. 6B



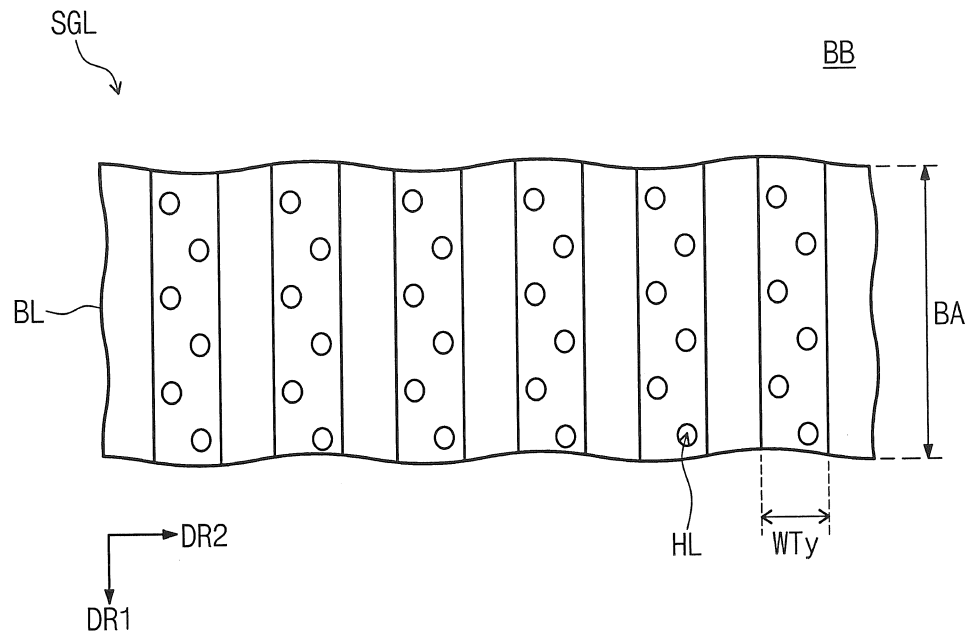
10/22

FIG. 7



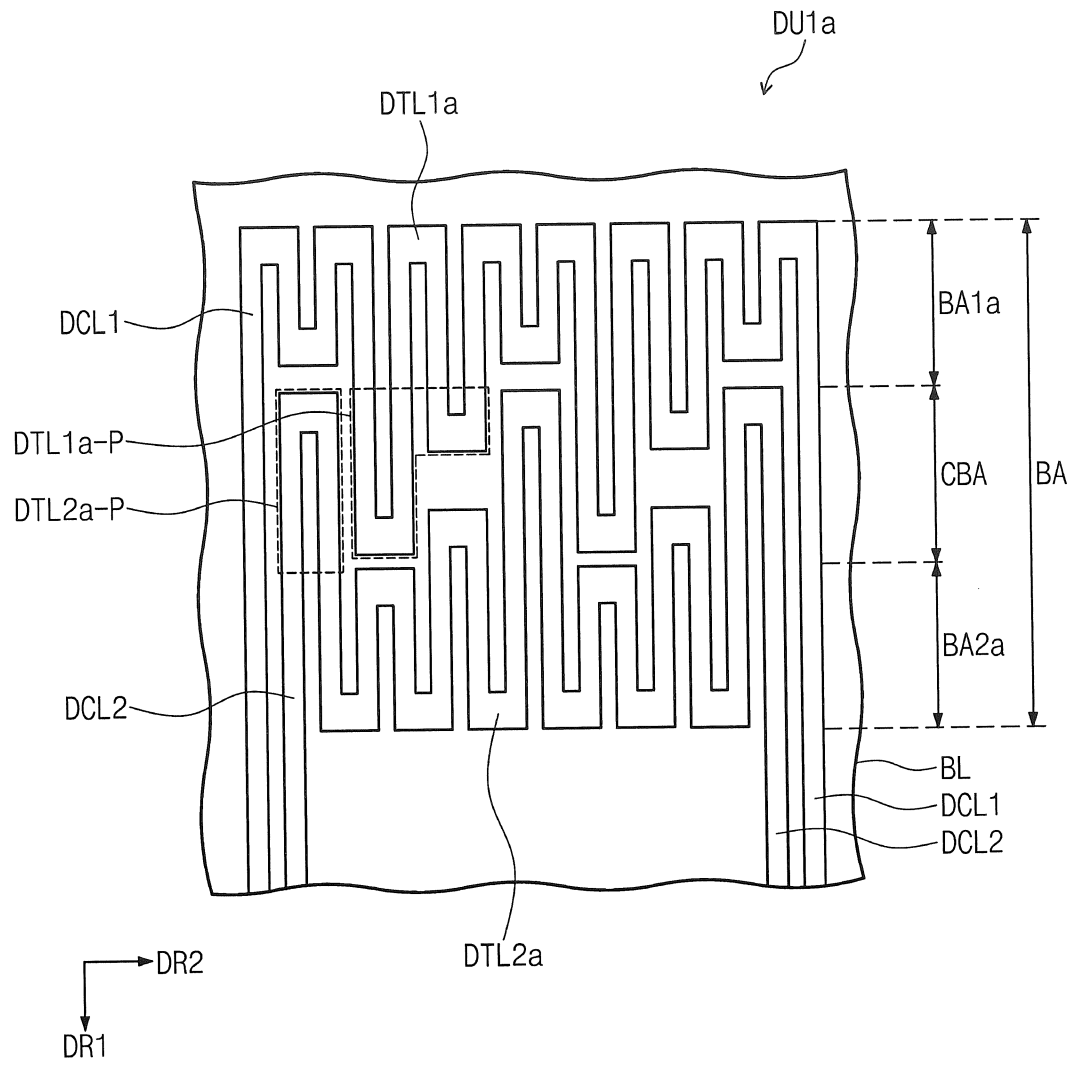
11/22

FIG. 8



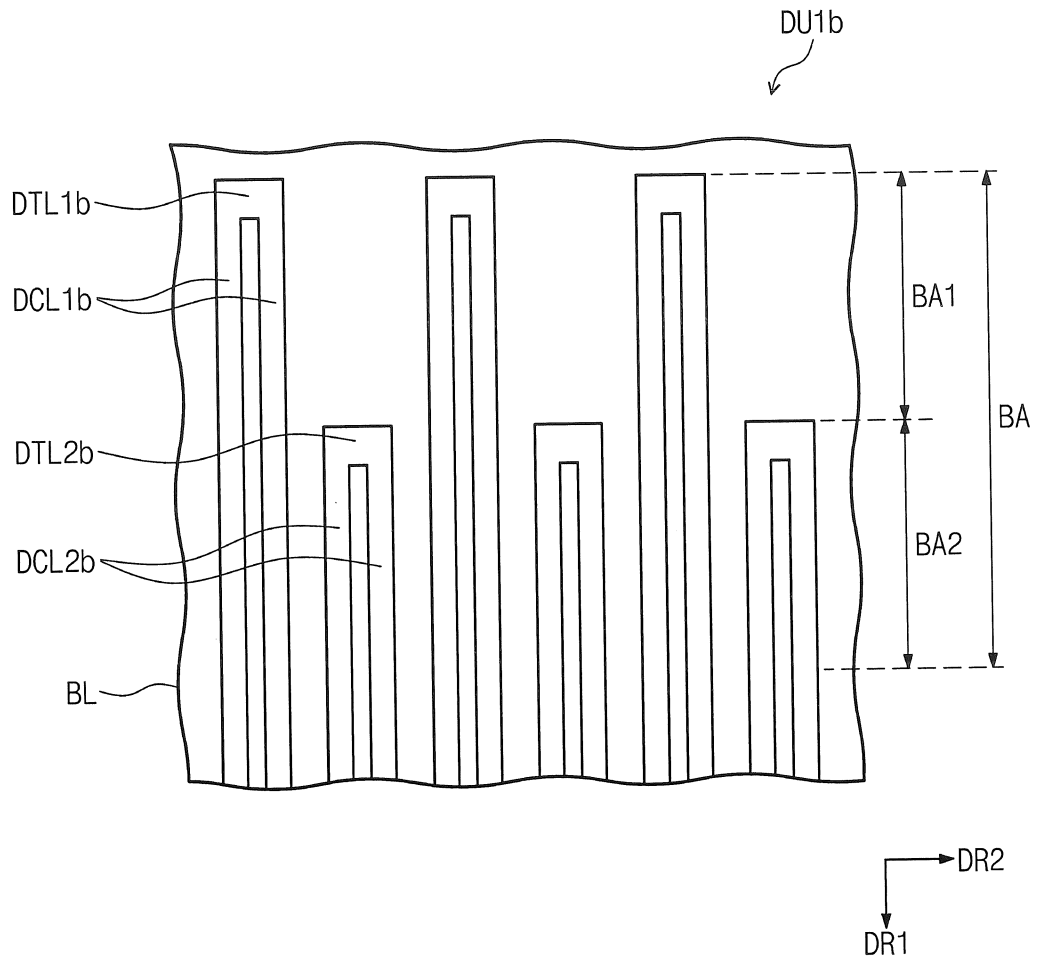
12/22

FIG. 9



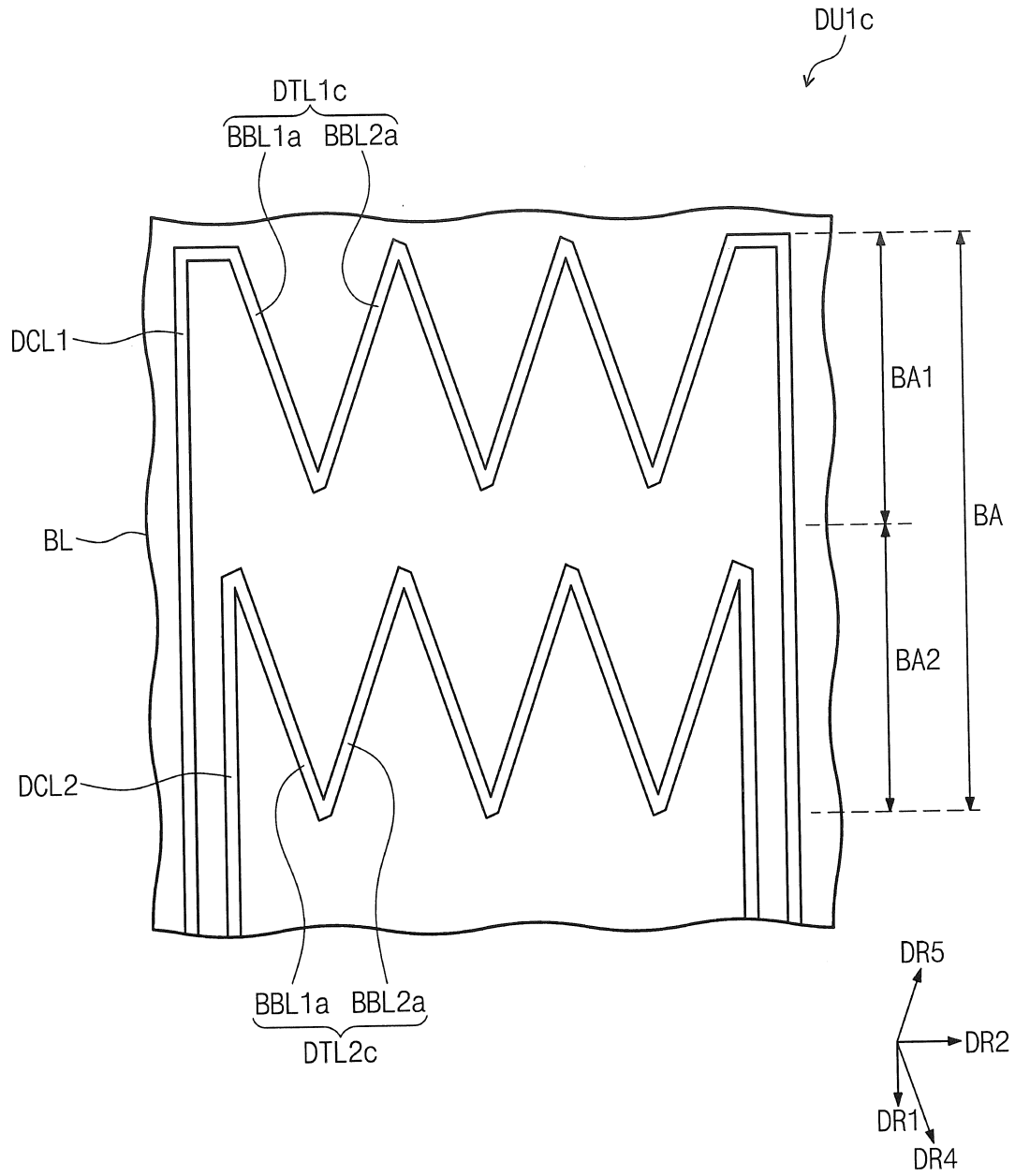
13/22

FIG. 10



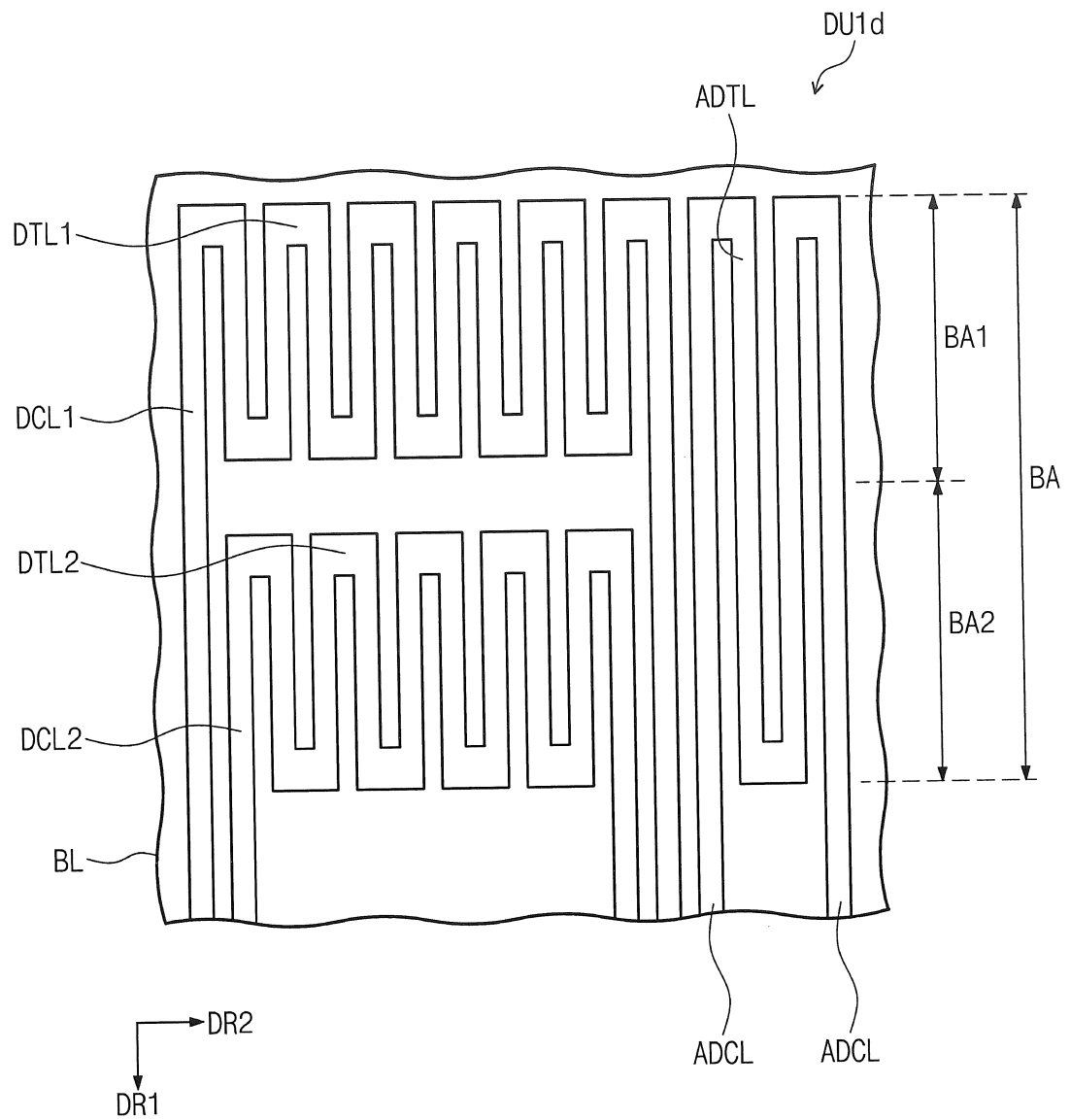
14/22

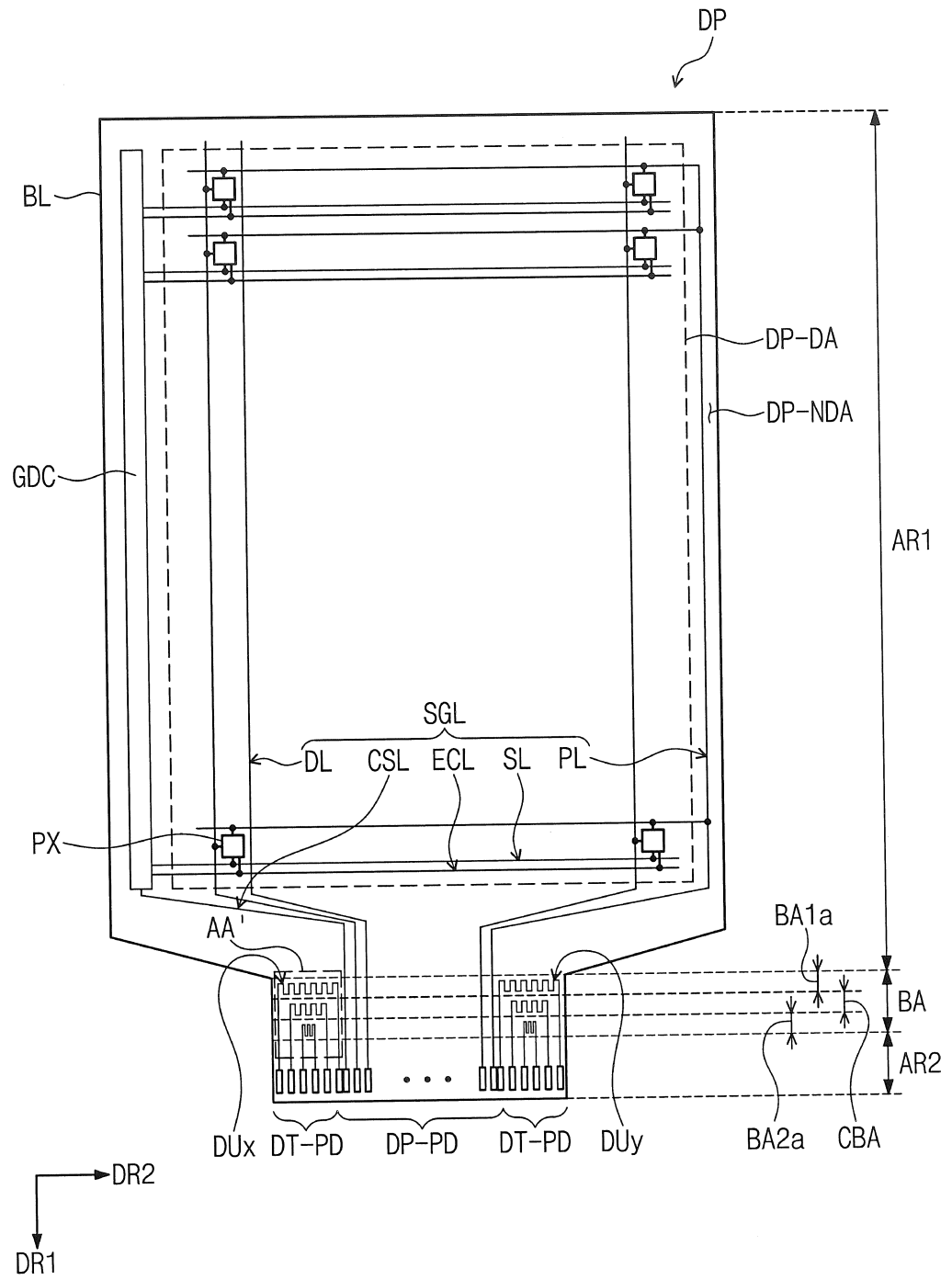
FIG. 11



15/22

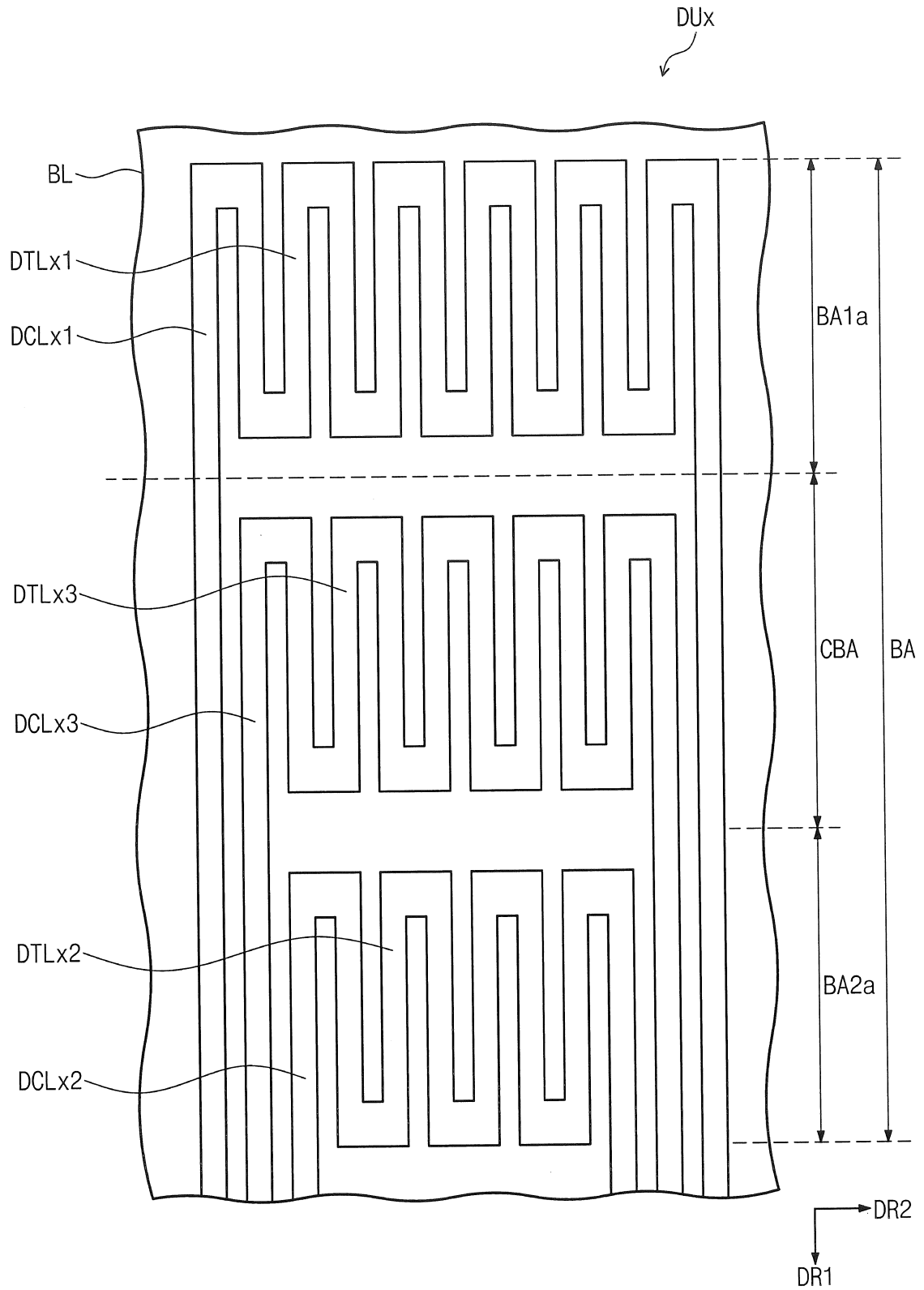
FIG. 12





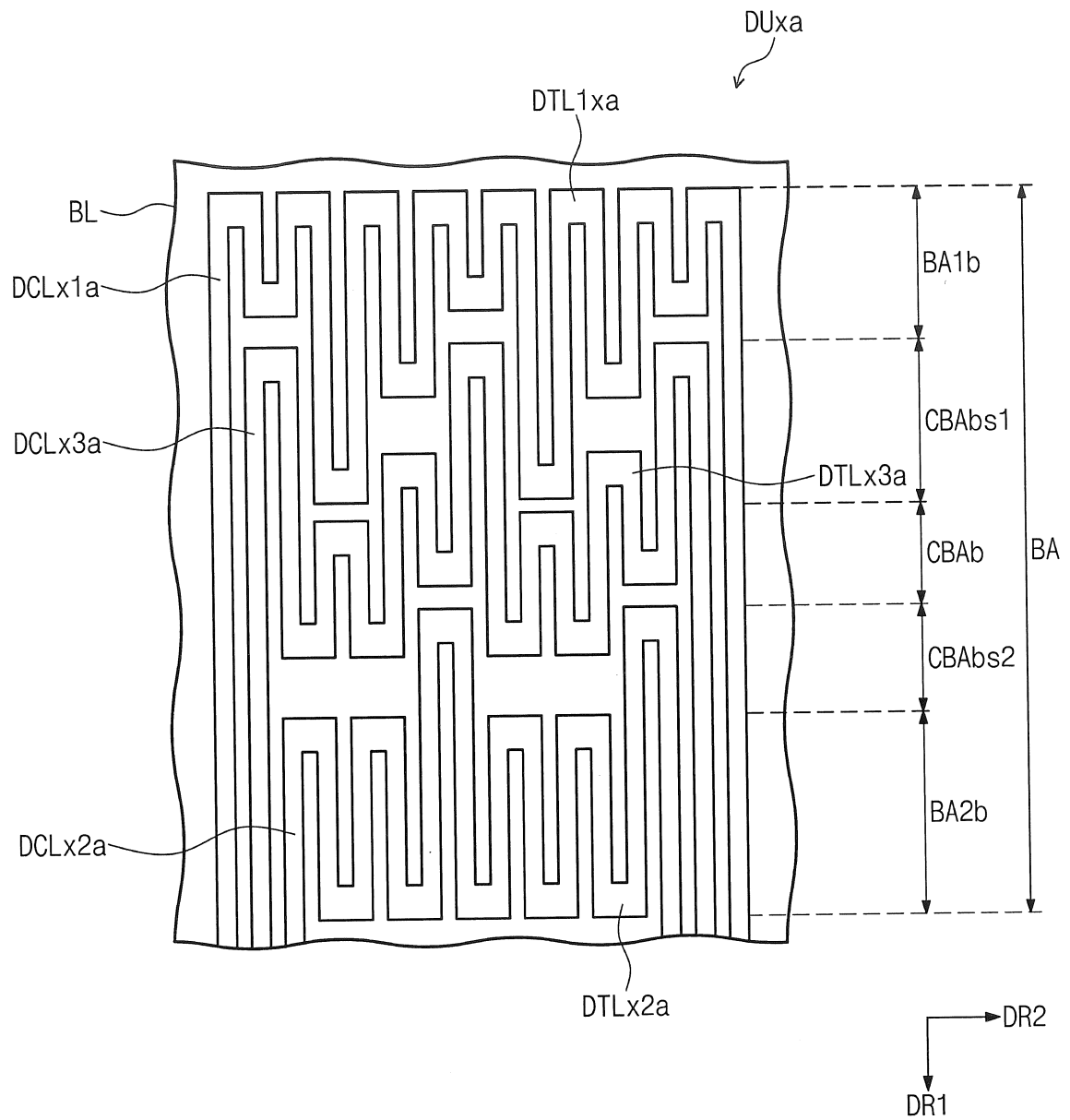
17/22

FIG. 14



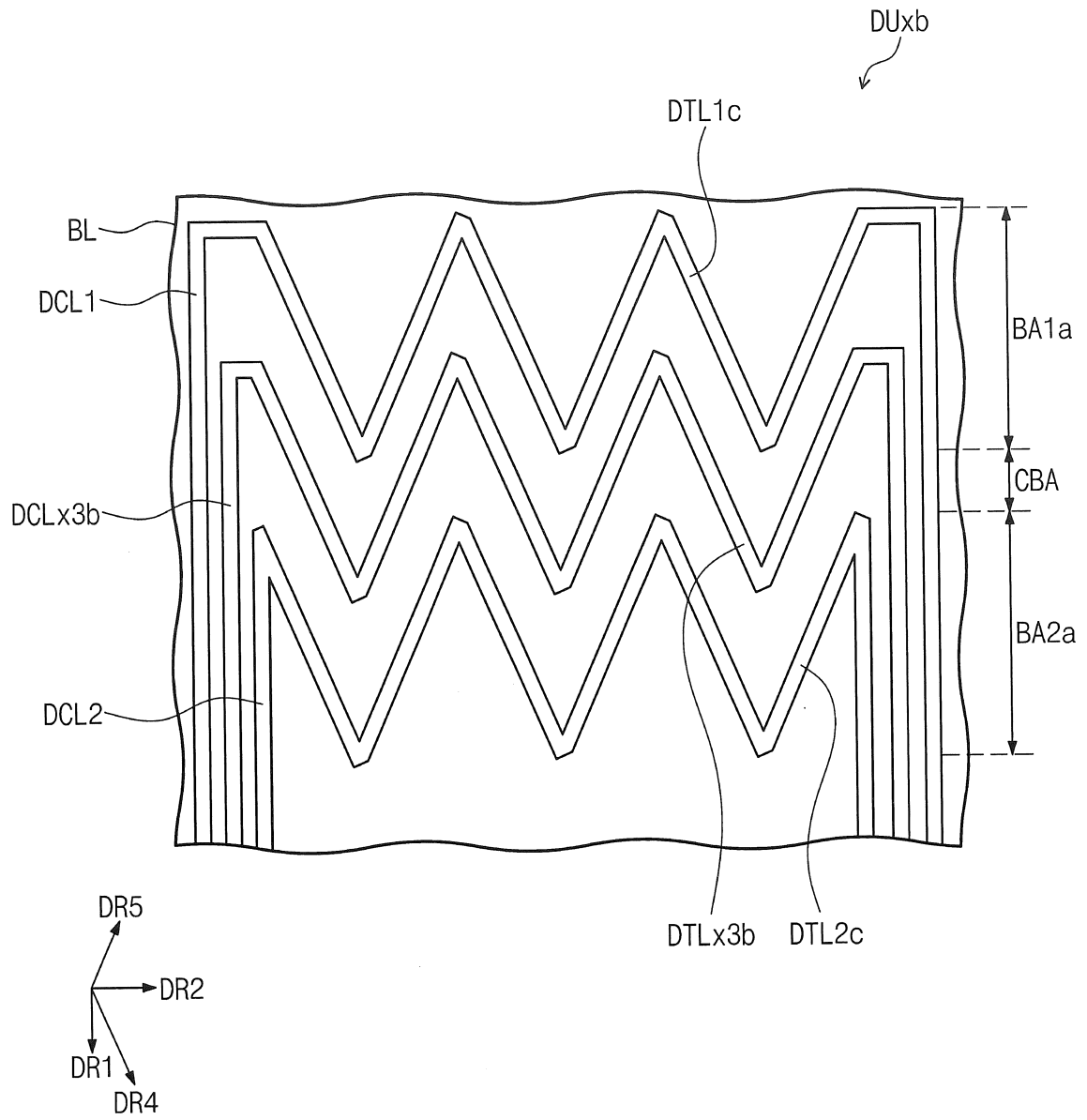
18/22

FIG. 15



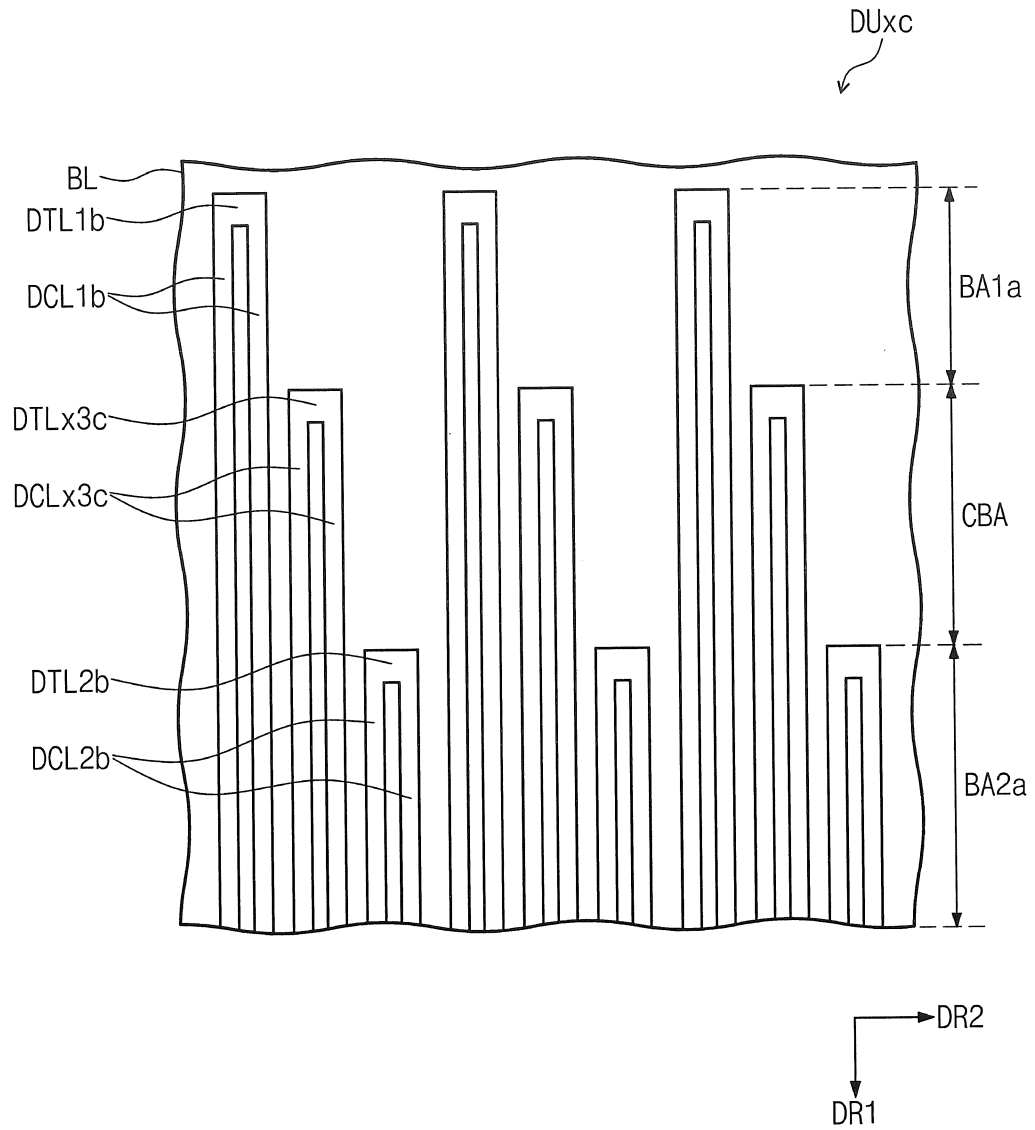
19/22

FIG. 16



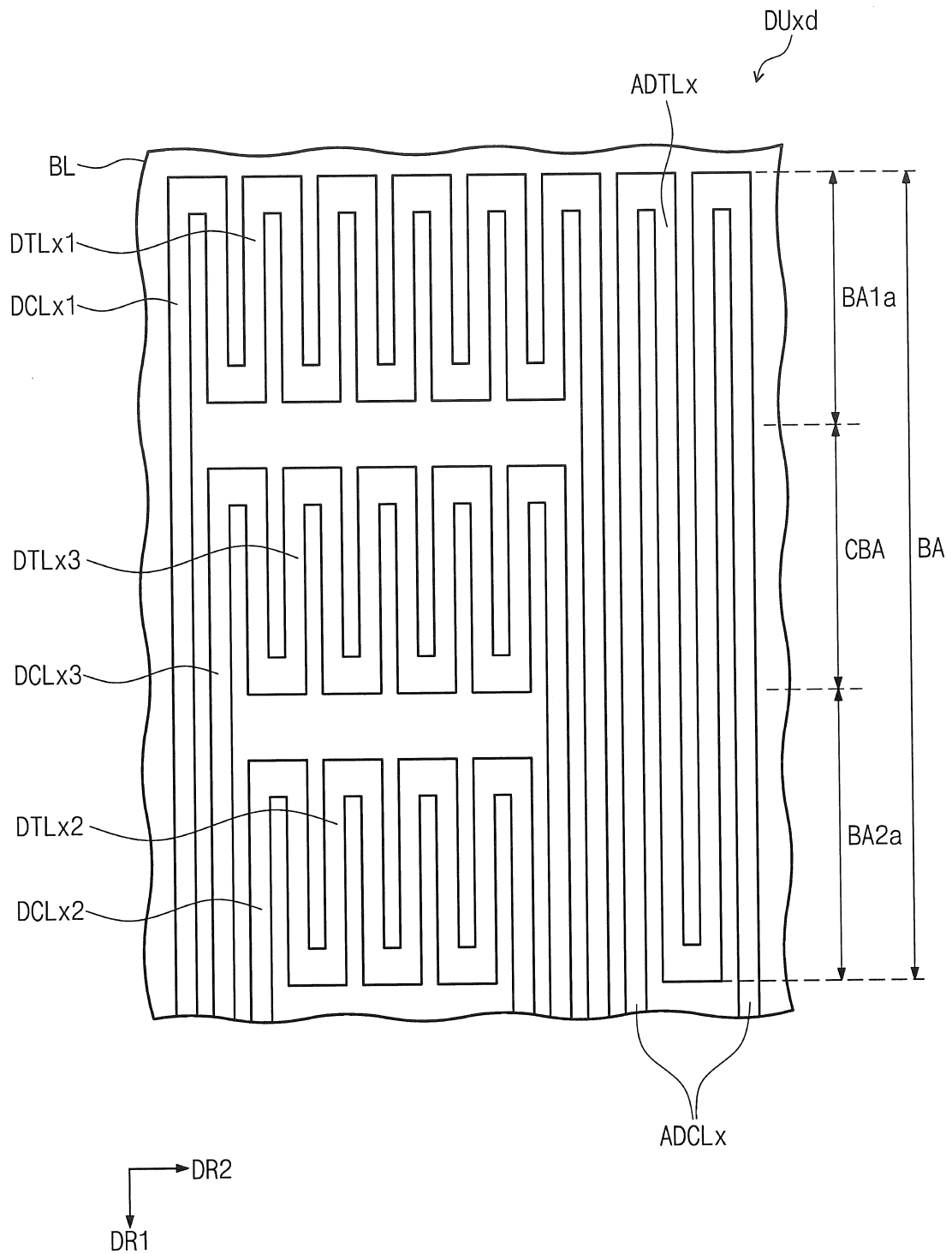
20/22

FIG. 17



21/22

FIG. 18



22/22

FIG. 19

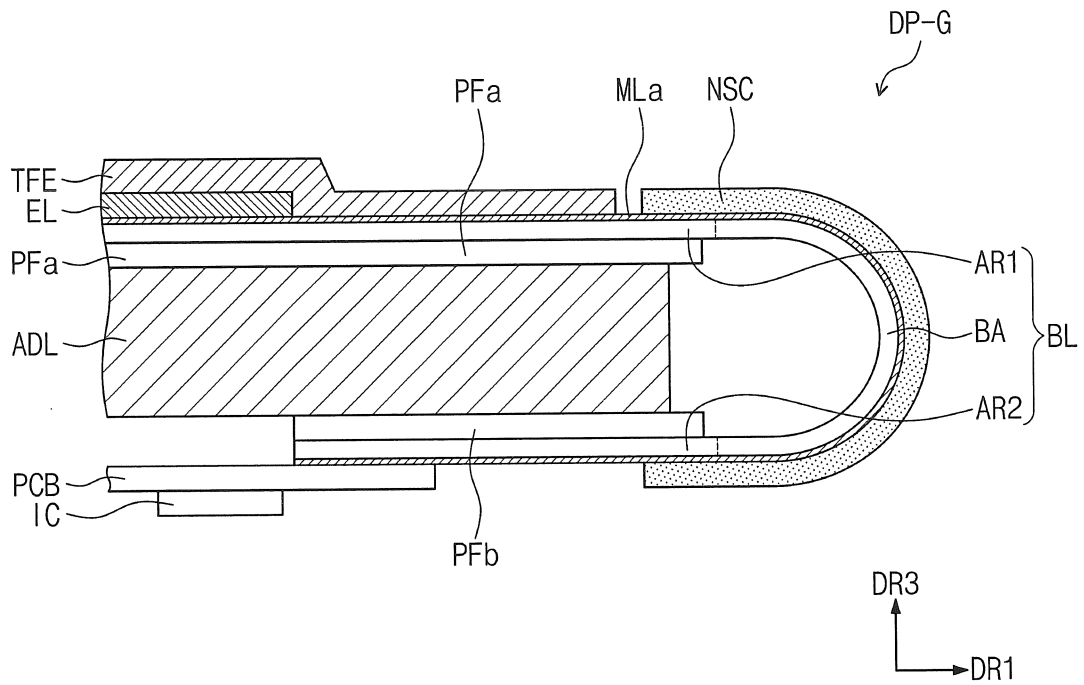


FIG. 20

