



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0043411

(51)^{2020.01} G05B 19/05

(13) B

(21) 1-2020-01814

(22) 12/10/2017

(86) PCT/JP2017/036946 12/10/2017

(87) WO 2019/073565 18/04/2019

(45) 25/02/2025 443

(43) 27/07/2020 388A

(73) MITSUBISHI ELECTRIC CORPORATION (JP)

7-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo 1008310 Japan

(72) KAJITA Tomoyuki (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) HỆ THỐNG ĐIỀU KHIỂN PHÂN TÁN

(21) 1-2020-01814

(57) Sáng chế đề cập đến hệ thống điều khiển phân tán (1) bao gồm: các thiết bị điều khiển (11, 12, 20); thiết bị chủ IO xử lý (31) được dùng chung bởi các thiết bị điều khiển (11, 12, 20) và bao gồm bảng phân quyền đầu ra (60) và bộ nhớ dữ liệu đầu ra (50) có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển (11, 12, 20); và các môđun IO xử lý (từ 100 đến 110) được nối với thiết bị chủ IO xử lý (31) và đều được nối với bộ cảm biến/bộ dẫn động (từ 200 đến 210), trong đó bảng phân quyền đầu ra (60) cấp quyền mà nó xác định thiết bị điều khiển (11, 12, 20) trong đó dữ liệu đầu ra sẽ được chấp nhận, đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động.

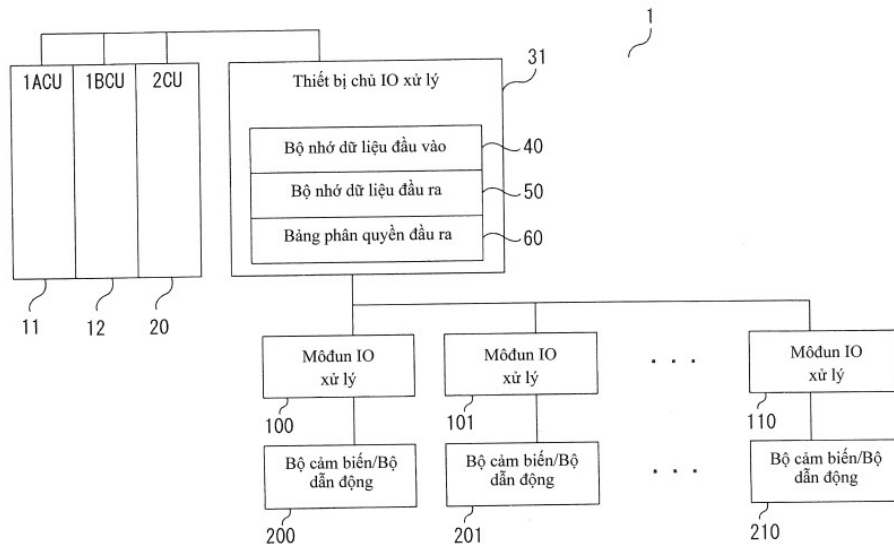


FIG.1

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến hệ thống điều khiển phân tán gồm các thiết bị điều khiển và thiết bị chủ IO xử lý.

Tình trạng kỹ thuật của sáng chế

Trong các hệ thống điều khiển phân tán để thực hiện việc điều khiển máy móc, việc tăng tốc độ xử lý, nâng cao độ tin cậy, và nâng cao độ linh hoạt của cấu hình hệ thống được yêu cầu.

Để giải quyết những điều này, đã có bộc lộ bộ điều khiển mà nó bao gồm các CPU, bộ nhớ tùy chọn, bộ nhớ chương trình, và thiết bị đầu ra/đầu vào và trong đó một chương trình được thực hiện theo cách được phân chia bởi các CPU (ví dụ, tài liệu sáng chế 1).

Bộ điều khiển khác được bộc lộ trong đó các CPU cung cấp chức năng đọc và thực hiện chương trình chuỗi trên cơ sở một mạch, các đường truyền dẫn được quản lý bởi mạch quản lý xung đột đường truyền dẫn, và việc thực hiện chương trình được quản lý bằng bảng quản lý thực hiện, nhờ đó thực hiện việc thực hiện song song chương trình chuỗi bởi các CPU (xem, ví dụ, tài liệu sáng chế 2).

Tài liệu trích dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1: Công bố đơn sáng chế Nhật Bản số 6-301409 (các đoạn từ [0007] đến [0009] và Fig.1)

Tài liệu sáng chế 2: Công bố đơn sáng chế Nhật Bản số 6-259114 (các đoạn từ [0010] đến [0012] và Fig.1, Fig.2)

Tuy nhiên, các tài liệu sáng chế 1 và 2 không bộc lộ phương pháp để

thay đổi một cách linh hoạt sự kết hợp của bộ điều khiển và thiết bị đích đầu vào/đầu ra (bộ cảm biến/bộ dẫn động) và thiết bị chủ IO xử lý được nối với bộ điều khiển. Do đó, trong việc dùng chung dữ liệu đầu vào bởi các thiết bị điều khiển hoặc thay đổi bộ dẫn động mà ở đó dữ liệu cần được đưa ra, phân cứng cần được thay đổi với các dây dẫn bên ngoài, và do đó có vấn đề là sự thích ứng linh hoạt là không thể.

Bản chất kỹ thuật của sáng chế

Vấn đề cần được giải quyết bởi sáng chế

Sáng chế được thực hiện để giải quyết vấn đề trên, và sáng chế hướng tới việc tạo ra hệ thống điều khiển phân tán có khả năng thích ứng linh hoạt trong việc dùng chung dữ liệu đầu vào bởi các thiết bị điều khiển hoặc thay đổi bộ dẫn động mà ở đó dữ liệu cần được đưa ra.

Phương tiện giải quyết vấn đề

Hệ thống điều khiển phân tán theo sáng chế bao gồm: các thiết bị điều khiển; thiết bị chủ IO xử lý được dùng chung bởi các thiết bị điều khiển và bao gồm bảng phân quyền đầu ra và bộ nhớ dữ liệu đầu ra có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển; và các môđun IO xử lý được nối với thiết bị chủ IO xử lý và đều được nối với bộ cảm biến và bộ dẫn động, trong đó bảng phân quyền đầu ra cấp quyền mà nó xác định thiết bị điều khiển trong đó dữ liệu đầu ra sẽ được chấp nhận, đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động và các vùng.

Hiệu quả của sáng chế

Hệ thống điều khiển phân tán theo sáng chế bao gồm: thiết bị chủ IO xử lý được dùng chung bởi các thiết bị điều khiển và bao gồm bảng phân quyền đầu ra và bộ nhớ dữ liệu đầu ra có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển; và các môđun IO xử lý đều được nối với bộ cảm biến và bộ

dẫn động, trong đó bảng phân quyền đầu ra cấp quyền mà nó xác định thiết bị điều khiển trong đó dữ liệu đầu ra sẽ được chấp nhận, đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động. Do đó, không cần thay đổi phần cứng với các dây dẫn bên ngoài, hệ thống vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ cấu hình của hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.2 là sơ đồ cấu hình bên trong của thiết bị chủ IO xử lý trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.3 là hình vẽ minh họa chức năng của bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.4 là hình vẽ minh họa chức năng của bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.5 là hình vẽ minh họa chức năng của bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.6 là hình vẽ minh họa chức năng của bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.7 là hình vẽ minh họa chức năng của bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 1 của sáng chế.

Fig.8 là hình vẽ minh họa bảng phân quyền đầu ra trong hệ thống điều khiển phân tán theo phương án 2 của sáng chế.

Fig.9 là hình vẽ minh họa cơ cấu thay đổi dữ liệu đầu vào trong hệ thống điều khiển phân tán theo phương án 3 của sáng chế.

Fig.10 là hình vẽ minh họa cơ cấu thay đổi dữ liệu đầu vào trong hệ thống điều khiển phân tán theo phương án 3 của sáng chế.

Fig.11 là hình vẽ minh họa cơ cấu quản lý dữ liệu chuỗi thời gian trong hệ thống điều khiển phân tán theo phương án 4 của sáng chế.

Fig.12 là hình vẽ minh họa dữ liệu chuỗi thời gian trong hệ thống điều khiển phân tán theo phương án 4 của sáng chế.

Fig.13 là hình vẽ minh họa dữ liệu chuỗi thời gian trong hệ thống điều khiển phân tán theo phương án 4 của sáng chế.

Fig.14 là hình vẽ minh họa ví dụ ứng dụng của dữ liệu chuỗi thời gian trong hệ thống điều khiển phân tán theo phương án 4 của sáng chế.

Fig.15 là hình vẽ minh họa cơ cấu phát hiện sai lệch dữ liệu đầu ra trong hệ thống điều khiển phân tán theo phương án 5 của sáng chế.

Mô tả chi tiết sáng chế

Phương án 1

Phương án 1 đề cập đến hệ thống điều khiển phân tán mà nó bao gồm: các thiết bị điều khiển; thiết bị chủ IO xử lý được dùng chung bởi các thiết bị điều khiển và bao gồm bảng phân quyền đầu ra và bộ nhớ dữ liệu đầu ra có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển; và các môđun IO xử lý đều được nối với bộ cảm biến và bộ dẫn động, trong đó bảng phân quyền đầu ra cấp quyền mà nó xác định thiết bị điều khiển trong đó dữ liệu đầu ra sẽ được chấp nhận, đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động.

Dưới đây, cấu hình và hoạt động của hệ thống điều khiển phân tán theo phương án 1 sẽ được mô tả dựa vào Fig.1 mà là sơ đồ cấu hình của hệ thống điều khiển phân tán, Fig.2 là sơ đồ cấu hình bên trong của thiết bị chủ IO xử lý, và các hình vẽ từ Fig.3 đến Fig.7 minh họa chức năng của bảng phân quyền đầu

ra.

Thứ nhất, cấu hình tổng thể của hệ thống điều khiển phân tán theo phương án 1 sẽ được mô tả dựa vào Fig.1.

Hệ thống điều khiển phân tán 1 bao gồm, dưới dạng các thành phần chính, các thiết bị điều khiển, thiết bị chủ IO xử lý, môđun IO xử lý, và các bộ cảm biến/các bộ dẫn động.

Cụ thể, trên Fig.1, hệ thống điều khiển phân tán 1 bao gồm thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, thiết bị điều khiển thứ hai 20, thiết bị chủ IO xử lý 31, các môđun IO xử lý từ 100 đến 110, và các bộ cảm biến/các bộ dẫn động từ 200 đến 210.

Trên Fig.1, thiết bị điều khiển A thứ nhất được ghi là 1ACU (CONTROL UNIT - bộ phận điều khiển), thiết bị điều khiển B thứ nhất được ghi là 1BCU, và thiết bị điều khiển thứ hai được ghi là 2CU. Tương tự áp dụng cho Fig.2 và các hình vẽ tiếp theo.

Nếu các môđun IO xử lý từ 100 đến 110 không cần được phân biệt với nhau, chúng có thể được đề cập đến là môđun IO xử lý 100. Ngoài ra, nếu các bộ cảm biến/các bộ dẫn động từ 200 đến 210 không cần được phân biệt với nhau, chúng có thể được đề cập đến là bộ cảm biến/bộ dẫn động 200.

Thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20, và thiết bị chủ IO xử lý 31 được nối với nhau thông qua đường truyền dẫn trường hoặc mạng.

Thiết bị chủ IO xử lý 31 và các môđun IO xử lý từ 100 đến 110 được nối với nhau thông qua trường kênh. Các môđun IO xử lý từ 100 đến 110 và các bộ cảm biến/các bộ dẫn động từ 200 đến 210 được nối lần lượt với nhau thông qua các đường dây tín hiệu xử lý.

Thiết bị chủ IO xử lý 31 có bộ nhớ dữ liệu đầu vào 40 để lưu trữ dữ liệu

đầu vào được đưa vào từ các bộ cảm biến của các môđun IO xử lý từ 100 đến 110.

Thiết bị chủ IO xử lý 31 có bộ nhớ dữ liệu đầu ra 50 để lưu trữ dữ liệu đầu ra được đưa ra tới các bộ dẫn động của các môđun IO xử lý từ 100 đến 110.

Ngoài ra, thiết bị chủ IO xử lý 31 có bảng phân quyền đầu ra 60 để thiết đặt quyền đầu ra mà xác định thiết bị điều khiển của dữ liệu đầu ra nào thực tế được đưa ra tới bộ dẫn động.

Trên Fig.1, thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 có cấu hình dư song công sao cho một trong số chúng được thiết đặt như hệ thống điều khiển và thiết bị khác được thiết đặt như hệ thống chờ. Ngược lại, thiết bị điều khiển thứ hai 20 có cấu hình đơn công, nghĩa là, hoạt động đơn lẻ.

Phần nêu trên chỉ là ví dụ về hệ thống, và số lượng và sự kết hợp của các thiết bị điều khiển không giới hạn ở đây.

Tiếp theo, dựa vào Fig.2, cấu hình bên trong của thiết bị chủ IO xử lý 31, cụ thể, các cấu hình của bộ nhớ dữ liệu đầu vào 40, bộ nhớ dữ liệu đầu ra 50, và bảng phân quyền đầu ra 60 sẽ được mô tả.

Trên Fig.2, bộ nhớ dữ liệu đầu vào 40 bao gồm vùng đầu vào thực tế 41 mà nó được chia thành các vùng bởi các địa chỉ từ $X\alpha$ đến $X\alpha + n$, các địa chỉ từ $X\beta$ đến $X\beta + n$, và các địa chỉ từ $X\gamma$ đến $X\gamma + n$.

Lưu ý rằng n khác nhau tùy thuộc vào hệ thống và là tùy chọn. Trên Fig.2, n là 3.

Trên Fig.2, vùng đầu vào thực tế được ghi là đầu vào thực tế.

Sự tương ứng của các bộ cảm biến của các môđun IO xử lý từ 100 đến 110 có thể được thiết đặt sao cho, ví dụ, các bộ cảm biến của môđun IO xử lý 100 tương ứng với địa chỉ từ $X\alpha$ đến $X\alpha + 3$, các bộ cảm biến của môđun IO xử

lý 101 tương ứng với địa chỉ từ $X\beta$ đến $X\beta + 3$, và các bộ cảm biến của môđun IO xử lý 102 tương ứng với địa chỉ từ $X\gamma$ đến $X\gamma + 3$.

Trên Fig.2, bộ nhớ dữ liệu đầu ra 50 bao gồm vùng thiết bị điều khiển A thứ nhất 51, vùng thiết bị điều khiển B thứ nhất 52, vùng thiết bị điều khiển thứ hai 53, và vùng đầu ra thực tế 54.

Trên Fig.2, vùng thiết bị điều khiển A thứ nhất được ghi là 1ACU, vùng thiết bị điều khiển B thứ nhất được ghi là 1BCU, vùng thiết bị điều khiển thứ hai được ghi là 2CU, và vùng đầu ra thực tế được ghi là đầu ra thực tế.

Vùng thiết bị điều khiển A thứ nhất 51 đến vùng đầu ra thực tế 54 được chia bởi các địa chỉ từ $Y\alpha$ đến $Y\alpha + n$, các địa chỉ từ $Y\beta$ đến $Y\beta + n$, và các địa chỉ từ $Y\gamma$ đến $Y\gamma + n$.

Lưu ý rằng n khác nhau tùy thuộc vào hệ thống và là tùy chọn. Trên Fig.2, n là 3.

Bảng phân quyền đầu ra 60 bao gồm vùng quyền đầu ra 61, và vùng quyền đầu ra 61 được chia bởi các địa chỉ từ $Y\alpha$ đến $Y\alpha + n$, các địa chỉ từ $Y\beta$ đến $Y\beta + n$, và các địa chỉ từ $Y\gamma$ đến $Y\gamma + n$.

Trên Fig.2, vùng quyền đầu ra được ghi là quyền đầu ra.

Quyền đầu ra được thiết đặt trong vùng quyền đầu ra 61 là để xác định thiết bị điều khiển (ở đây, phía hệ thống điều khiển của thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12, hoặc thiết bị điều khiển thứ hai 20) trong đó dữ liệu đầu ra sẽ được chấp nhận và được sử dụng như dữ liệu đầu ra thực tế, hoặc xem có giữ dữ liệu (HOLD) hay không, đối với mỗi địa chỉ của vùng đầu ra thực tế 54.

Bảng phân quyền đầu ra 60 cấp quyền dùng cho việc xác định dữ liệu đầu ra đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động, nhưng theo phương án 1, nhằm dễ hiểu, vùng quyền đầu ra 61 được phân loại thành ba

nhóm (các địa chỉ từ $Y\alpha$ đến $Y\alpha + n$, các địa chỉ từ $Y\beta$ đến $Y\beta + n$, và các địa chỉ từ $Y\gamma$ đến $Y\gamma + n$).

Nhờ có cơ cấu cho việc xác định dữ liệu đầu ra thực tế, trở nên có thể dễ dàng chuyển mạch thiết bị điều khiển trong đó dữ liệu thực tế được đưa ra tới bộ dẫn động của môđun IO xử lý 100.

Tiếp theo, mối tương quan giữa vùng đầu vào thực tế 41 của bộ nhớ dữ liệu đầu vào 40 và vùng thiết bị điều khiển A thứ nhất 51 đến vùng đầu ra thực tế 54 của bộ nhớ dữ liệu đầu ra 50, và các thiết bị điều khiển (thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, thiết bị điều khiển thứ hai 20) và các môđun IO xử lý từ 100 đến 110, sẽ được mô tả.

Dữ liệu đầu vào được đưa vào từ các bộ cảm biến của các môđun IO xử lý từ 100 đến 110 được lưu trữ trong vùng đầu vào thực tế 41 trong bộ nhớ dữ liệu đầu vào 40.

Dữ liệu đầu vào có thể được đọc bởi các thiết bị điều khiển (thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, thiết bị điều khiển thứ hai 20).

Dữ liệu đầu ra thực tế được đưa ra tới các bộ dẫn động của các môđun IO xử lý từ 100 đến 110 được lưu trữ trong vùng đầu ra thực tế 54 trong bộ nhớ dữ liệu đầu ra 50.

Sự tương ứng của các bộ dẫn động của các môđun IO xử lý từ 100 đến 110 có thể được thiết đặt sao cho, ví dụ, các bộ dẫn động của môđun IO xử lý 100 tương ứng với các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$, các bộ dẫn động của môđun IO xử lý 101 tương ứng với các địa chỉ từ $Y\beta$ đến $Y\beta + 3$, và các bộ dẫn động của môđun IO xử lý 102 tương ứng với các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$.

Tiếp theo, chức năng của bảng phân quyền đầu ra 60 sẽ được mô tả dựa vào các hình vẽ từ Fig.3 đến Fig.7, sử dụng ví dụ thiết đặt cụ thể.

Thứ nhất, trạng thái hoạt động thông thường sẽ được mô tả dựa vào Fig.3. Trong số thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12, thiết bị điều khiển A thứ nhất 11 được thiết đặt như hệ thống điều khiển, và thiết bị điều khiển B thứ nhất 12 được thiết đặt như hệ thống chờ. Ngoài ra, thông tin mà thiết bị điều khiển A thứ nhất 11 được thiết đặt như hệ thống điều khiển đã được gửi tới thiết bị chủ IO xử lý.

Trên Fig.3, theo vùng quyền đầu ra 61, các quyền ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ được thiết đặt tới thiết bị điều khiển thứ nhất, các quyền ở các địa chỉ từ $Y\beta$ đến $Y\beta + 3$ được thiết đặt tới thiết bị điều khiển thứ hai, và các quyền ở các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$ được thiết đặt tới thiết bị điều khiển thứ nhất.

Như được nêu trên, khi quyền đầu ra được thiết đặt tới thiết bị điều khiển thứ nhất, thông tin chỉ báo thiết bị nào trong số thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 là thiết bị phía hệ thống điều khiển được thu tách biệt và dữ liệu đầu ra từ phía hệ thống điều khiển được chấp nhận. Do đó, hoạt động mà không khác với cấu hình dư chờ thông thường là có thể.

Trên Fig.3, dữ liệu đầu ra từ thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 là 1.0 ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$, 2.0 ở các địa chỉ từ $Y\beta$ đến $Y\beta + 3$, và 5.0 ở các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$.

Ngoài ra, dữ liệu đầu ra từ thiết bị điều khiển thứ hai 20 là 0.0 ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$, 3.0 ở các địa chỉ từ $Y\beta$ đến $Y\beta + 3$, và 4.0 ở các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$.

Phù hợp với việc thiết đặt các quyền đầu ra ở các địa chỉ trong vùng quyền đầu ra 61, dữ liệu được thiết đặt ở các địa chỉ trong vùng đầu ra thực tế 54 là như sau.

Nghĩa là, 1.0 là đầu ra của thiết bị điều khiển A thứ nhất 11 được chấp nhận ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$, 3.0 là đầu ra của thiết bị điều khiển thứ hai

20 được chấp nhận ở các địa chỉ từ $Y\beta$ đến $Y\beta + 3$, và 5.0 là đầu ra của thiết bị điều khiển A thứ nhất 11 được chấp nhận ở các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$.

Tiếp theo, chức năng của bảng phân quyền đầu ra 60, nghĩa là, phương pháp để chuyển mạch thiết bị điều khiển của dữ liệu đầu ra nào được chấp nhận là dữ liệu đầu ra thực tế sẽ được mô tả dựa vào các hình vẽ từ Fig.4 đến Fig.7. Ở đây, ví dụ trong đó trạng thái sử dụng dữ liệu đầu ra từ thiết bị điều khiển A thứ nhất 11 hoặc thiết bị điều khiển B thứ nhất 12 như dữ liệu đầu ra thực tế được chuyển mạch tới trạng thái sử dụng dữ liệu đầu ra từ thiết bị điều khiển thứ hai 20 như dữ liệu đầu ra thực tế, sẽ được mô tả.

Như được thể hiện trên Fig.4, các quyền ở vùng quyền đầu ra các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ trong bảng phân quyền đầu ra 60 được thay đổi tới HOLD (bước 1). Theo đó, dữ liệu đầu ra thực tế ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ trong vùng đầu ra thực tế 54 không được cập nhật (*A1).

Tiếp theo, logic điều khiển của thiết bị điều khiển thứ hai 20 được ghi lại và được thay đổi để đưa ra dữ liệu (bước 2).

Như được thể hiện trên Fig.5, các quyền đầu ra ở các địa chỉ vùng quyền đầu ra từ $Y\alpha$ đến $Y\alpha + 3$ trong bảng phân quyền đầu ra 60 giữ nguyên ở trạng thái HOLD, và dữ liệu đầu ra thực tế ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ trong vùng đầu ra thực tế 54 giữ nguyên không được cập nhật (*A1). Tuy nhiên, dữ liệu đầu ra từ thiết bị điều khiển thứ hai 20 có được thay đổi từ 0.0 đến 0.7 ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$.

Tiếp theo, các logic điều khiển của thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 được ghi lại (bước 3).

Như được thể hiện trên Fig.6, các quyền đầu ra ở địa chỉ vùng quyền đầu ra từ $Y\alpha$ đến $Y\alpha + 3$ trong bảng phân quyền đầu ra 60 giữ nguyên ở trạng thái HOLD, và dữ liệu đầu ra thực tế ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ trong vùng đầu

ra thực tế 54 giữ nguyên không được cập nhật (*A1).

Tiếp theo, các quyền đầu ra ở địa chỉ vùng quyền đầu ra từ $Y\alpha$ đến $Y\alpha + 3$ trong bảng phân quyền đầu ra 60 được thay đổi từ HOLD tới trạng thái chấp nhận đầu ra của thiết bị điều khiển thứ hai 20 (bước 4).

Như được thể hiện trên Fig.7, khi các quyền đầu ra ở địa chỉ vùng quyền đầu ra từ $Y\alpha$ đến $Y\alpha + 3$ trong bảng phân quyền đầu ra 60 được thay đổi đến thiết bị điều khiển thứ hai 20, dữ liệu đầu ra từ thiết bị điều khiển thứ hai 20 được chấp nhận như dữ liệu đầu ra thực tế ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ trong vùng đầu ra thực tế 54, mà nhờ đó được cập nhật đến 1.1 (*A2).

Trong hệ thống điều khiển phân tán 1 theo phương án 1, các thiết bị điều khiển mà có các logic điều khiển và thực hiện việc tính toán điều khiển được tách từ chủ IO xử lý mà nó thực hiện việc điều khiển đầu ra. Do đó, không cần dùng lại việc tính toán điều khiển không cần thiết, nó có thể dễ dàng thay đổi thiết bị điều khiển trong đó dữ liệu được đưa ra tới bộ dẫn động.

Do đó, mặc dù hệ thống điều khiển phân tán 1 có cấu hình trong đó các môđun IO xử lý được dùng chung bởi các thiết bị điều khiển có cấu hình song công hoặc cấu hình đơn công, từ khía cạnh của thiết bị điều khiển riêng, có thể thực hiện việc thiết kế hệ thống như nhau như trong cấu hình thông thường, nghĩa là, hệ thống gồm các thiết bị chủ IO xử lý dùng cho các thiết bị điều khiển được phân tán riêng rẽ, và do đó khả năng sử dụng cho người dùng không bị suy giảm.

Như được nêu trên, hệ thống điều khiển phân tán theo phương án 1 bao gồm: các thiết bị điều khiển; thiết bị chủ IO xử lý được dùng chung bởi các thiết bị điều khiển và bao gồm bảng phân quyền đầu ra và bộ nhớ dữ liệu đầu ra có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển; và các môđun IO xử lý đều được nối với bộ cảm biến và bộ dẫn động, trong đó bảng phân

quyền đầu ra cấp quyền mà nó xác định thiết bị điều khiển trong đó dữ liệu đầu ra sẽ được chấp nhận, đối với mỗi địa chỉ tương ứng với các bộ dẫn động. Do đó, không cần thay đổi phần cứng với các dây dẫn bên ngoài, hệ thống vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi việc dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển.

Phương án 2

Trong hệ thống điều khiển phân tán theo phương án 1, bảng phân quyền đầu ra được tạo cấu hình sao cho quyền đầu ra được thiết đặt tới mỗi địa chỉ, ngược lại, trong hệ thống điều khiển phân tán theo phương án 2, bảng phân quyền đầu ra được tạo cấu hình sao cho quyền đầu ra được thiết đặt trên cơ sở khối.

Cấu hình tổng thể của hệ thống điều khiển phân tán theo phương án 2 về cơ bản là giống với cấu hình theo phương án 1 (Fig.1). Sự khác biệt với phương án 1 sẽ được mô tả chủ yếu dựa vào Fig.8 mà nó minh họa bảng phân quyền đầu ra.

Trên Fig.8, các phần mà tương ứng với hoặc giống như các phần trên Fig.1 và Fig.2 theo phương án 1 được thể hiện bởi cùng ký hiệu tham chiếu.

Với mục đích phân biệt với phương án 1, hệ thống điều khiển phân tán được thể hiện bởi 201.

Fig.8(a) minh họa bảng phân quyền đầu ra 60 được mô tả trên Fig.7 theo phương án 1. Quyền đầu ra được thiết đặt đối với mỗi địa chỉ. Cụ thể, trong vùng quyền đầu ra 61, các quyền đầu ra ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ được thiết đặt tới thiết bị điều khiển thứ hai, các quyền đầu ra ở các địa chỉ từ $Y\beta$ đến $Y\beta + 3$ được thiết đặt tới thiết bị điều khiển thứ hai, và các quyền đầu ra ở các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$ được thiết đặt tới thiết bị điều khiển thứ nhất.

Ở đây, ví dụ, tính trọng vẹn (khối) của các quyền đầu ra thiết đặt tới thiết

bị điều khiển thứ hai ở các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$ có thể được coi là một môđun IO xử lý. Điều này được chỉ báo bởi ký hiệu *B1 trên Fig.8(a).

Fig.8(b) minh họa bảng phân quyền đầu ra 60 theo phương án 2. Vùng quyền 62 bao gồm phần địa chỉ, phần kích thước, và phần quyền đầu ra.

Ở đây, nhằm dễ hiểu, ví dụ tương ứng với bảng phân quyền đầu ra 60 được mô tả trên Fig.7 theo phương án 1 (nghĩa là, Fig.8(a)) được thể hiện.

Cụ thể, kích thước ở địa chỉ $Y\alpha$ là 4, và quyền đầu ra của nó được thiết đặt tới thiết bị điều khiển thứ hai. Kích thước ở địa chỉ $Y\beta$ là 4, và quyền đầu ra của nó được thiết đặt tới thiết bị điều khiển thứ hai. Kích thước ở địa chỉ $Y\gamma$ là 4, và quyền đầu ra của nó được thiết đặt tới thiết bị điều khiển thứ nhất.

Nghĩa là, bảng phân quyền đầu ra 60 được tạo cấu hình trên cơ sở khối để tích hợp các địa chỉ (ví dụ, từ $Y\alpha$ đến $Y\alpha + 3$).

Như được nêu trên, trong hệ thống điều khiển phân tán theo phương án 2, bảng phân quyền đầu ra được tạo cấu hình sao cho các quyền đầu ra được thiết đặt trên cơ sở khối. Do đó, trong hệ thống điều khiển phân tán theo phương án 2, như theo phương án 1, không cần thay đổi phần cứng với các dây dẫn bên ngoài, hệ thống vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển. Ngoài ra, kích thước của bảng phân quyền đầu ra có thể được làm giảm, sao cho tài nguyên phần cứng có thể được giảm.

Phương án 3

Hệ thống điều khiển phân tán theo phương án 3 được tạo cấu hình sao cho, trong hệ thống điều khiển phân tán theo phương án 1, cơ cấu thay đổi dữ liệu đầu vào dùng để thay đổi dữ liệu đầu vào được đưa vào từ bộ cảm biến được bố trí và dữ liệu đầu vào được thay đổi thu được bởi các thiết bị điều khiển.

Dưới đây, hệ thống điều khiển phân tán theo phương án 3 sẽ được mô tả,

tập trung vào sự khác biệt với phương án 1, dựa vào Fig.9 và Fig.10 minh họa cơ cấu thay đổi dữ liệu đầu vào.

Trên Fig.9 và Fig.10, các phần mà tương ứng với hoặc giống các chúng trên Fig.1 và Fig.2 theo phương án 1 được thể hiện bởi cùng ký hiệu tham chiếu.

Với mục đích phân biệt với phương án 1, hệ thống điều khiển phân tán được biểu thị bởi 301.

Thứ nhất, cấu hình của cơ cấu thay đổi dữ liệu đầu vào 310 của hệ thống điều khiển phân tán 301 sẽ được mô tả dựa vào Fig.9.

Cơ cấu thay đổi dữ liệu đầu vào 310 bao gồm bộ nhớ dữ liệu đầu vào 40, bảng xử lý đầu vào 70, và bộ thay đổi dữ liệu đầu vào 75.

Bộ nhớ dữ liệu đầu vào 40 bao gồm vùng đầu vào thực tế 41, và vùng đầu vào thực tế 41 được phân chia bởi các địa chỉ từ $X\alpha$ đến $X\alpha + 3$, các địa chỉ từ $X\beta$ đến $X\beta + 3$, và các địa chỉ từ $X\gamma$ đến $X\gamma + 3$. Dữ liệu từ bộ cảm biến của môđun IO xử lý 100 được đưa vào tới các địa chỉ từ $X\alpha$ đến $X\alpha + 3$. Dữ liệu từ bộ cảm biến của môđun IO xử lý 101 được đưa vào tới các địa chỉ từ $X\beta$ đến $X\beta + 3$, và dữ liệu từ bộ cảm biến của môđun IO xử lý 102 được đưa vào tới các địa chỉ từ $X\gamma$ đến $X\gamma + 3$.

Trên các hình vẽ, vùng đầu vào thực tế được ghi là đầu vào thực tế. Ngoài ra, trên các hình vẽ, môđun IO xử lý 100 được ghi là IO100, môđun IO xử lý 101 được ghi là IO101, và môđun IO xử lý 102 được ghi là IO102.

Dữ liệu được đưa vào từ các bộ cảm biến trong số các bộ cảm biến/các bộ dẫn động từ 201 đến 210 tới vùng đầu vào thực tế 41 được đọc lần lượt bởi thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20.

Bảng xử lý đầu vào 70 bao gồm phần địa chỉ, phần kích thước, và phần xử lý đầu vào, như vùng xử lý đầu vào 72. Vùng này được tạo cấu hình trên cơ

sở khối để tương ứng với cấu hình của vùng đầu vào thực tế 41 của bộ nhớ dữ liệu đầu vào 40. Cụ thể là, kích thước ở địa chỉ $X\alpha$ là 4, và quy trình xử lý đầu vào được thiết đặt để được cho phép. Kích thước ở địa chỉ $X\beta$ là 4, và quy trình xử lý đầu vào được thiết đặt để đều được cho phép. Kích thước ở địa chỉ $X\gamma$ là 4, và quy trình xử lý đầu vào được thiết đặt để được cho phép.

Fig.9 thể hiện trạng thái thông thường, và quy trình xử lý đầu vào của bảng xử lý đầu vào 70 được thiết đặt để được cho phép. Vì vùng xử lý đầu vào 72 của bảng xử lý đầu vào 70 được cho phép, dữ liệu đầu vào từ các bộ cảm biến của các môđun IO xử lý từ 100 đến 102 được tải lên vùng đầu vào thực tế 41 của bộ nhớ dữ liệu đầu vào 40.

Như được mô tả dưới đây, khi quy trình xử lý đầu vào của bảng xử lý đầu vào 70 không được cho phép, bộ thay đổi dữ liệu đầu vào 75 thay đổi dữ liệu tương ứng trong vùng đầu vào thực tế 41 của bộ nhớ dữ liệu đầu vào 40, tới các trị số tùy chọn.

Tiếp theo, cách thức thay đổi dữ liệu đầu vào được đưa vào từ bộ cảm biến sẽ được mô tả dựa vào Fig.10.

Thứ nhất, quy trình xử lý đầu vào đối với địa chỉ $X\alpha$ trong bảng xử lý đầu vào 70 được thay đổi để không được phép (bước 1). Trên hình vẽ, *C1 tương ứng với bước 1.

Đáp lại, dữ liệu (dữ liệu được đưa vào từ bộ cảm biến của môđun IO xử lý 100) ở các địa chỉ từ $X\alpha$ đến $X\alpha + 3$ trong vùng đầu vào thực tế 41 của bộ nhớ dữ liệu đầu vào 40 trở nên không hợp lệ (bước 2). Trên hình vẽ, *C2 tương ứng với bước 2.

Tiếp theo, bộ thay đổi dữ liệu đầu vào 75 thay đổi dữ liệu đầu vào được đưa vào từ bộ cảm biến của môđun IO xử lý 100, tới các trị số tùy chọn (bước 3). Trên hình vẽ, *C3 tương ứng với bước 3.

Trên Fig.10, như ví dụ, dữ liệu ở địa chỉ $X\alpha$ được thay đổi đến 1,5, dữ liệu ở địa chỉ $X\alpha + 1$ được thay đổi đến 2,5, dữ liệu ở địa chỉ $X\alpha + 2$ được thay đổi đến 3.0, và dữ liệu ở địa chỉ $X\alpha + 3$ được thay đổi đến 5.0.

Do vậy, trong thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20, các trị số được thay đổi bởi bộ thay đổi dữ liệu đầu vào 75 thu được như dữ liệu được đưa vào từ bộ cảm biến của môđun IO xử lý 100.

Tiếp theo, hiệu quả của cơ cấu thay đổi dữ liệu đầu vào 310 được mô tả trong hệ thống điều khiển phân tán 301 theo phương án 3 sẽ được mô tả.

Trường hợp trong đó dữ liệu đầu vào từ bộ cảm biến của môđun IO xử lý 100 được sử dụng trong thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20, được giả sử.

Với mong muốn thay đổi dưới dạng thử nghiệm trị số đầu vào và xác nhận hoạt động, nếu trị số đầu vào được mô phỏng ở phía thiết bị điều khiển, các hoạt động của các thiết bị điều khiển không trùng với nhau.

Tuy nhiên, nhờ bố trí cơ cấu thay đổi dữ liệu đầu vào 310 của hệ thống điều khiển phân tán 301, tất cả các thiết bị điều khiển (thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20) có thể thu được dữ liệu như nhau. Do đó, việc kiểm tra nhờ sử dụng dữ liệu đầu vào được dùng chung bởi các thiết bị điều khiển có thể được tiến hành một cách dễ dàng và thích hợp, và hiệu quả của việc kiểm tra có thể được nâng cao.

Trong phần mô tả nêu trên, cơ cấu thay đổi dữ liệu đầu vào 310 được bổ sung vào hệ thống điều khiển phân tán 1 theo phương án 1. Tuy nhiên, cơ cấu thay đổi dữ liệu đầu vào có thể được bổ sung vào hệ thống điều khiển phân tán 201 theo phương án 2, nhờ đó hiệu quả của việc kiểm tra nhờ sử dụng dữ liệu đầu vào được dùng chung bởi các thiết bị điều khiển có thể được nâng cao.

Như được nêu trên, hệ thống điều khiển phân tán theo phương án 3 được tạo cấu hình sao cho, trong hệ thống điều khiển phân tán theo phương án 1, cơ cấu thay đổi dữ liệu đầu vào dùng để thay đổi dữ liệu đầu vào được đưa vào từ bộ cảm biến được bố trí và dữ liệu đầu vào được thay đổi thu được bởi các thiết bị điều khiển. Do đó, trong hệ thống điều khiển phân tán theo phương án 3, như trong phương án 1, không cần thay đổi phần cứng với các dây dẫn bên ngoài, hệ thống vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển. Ngoài ra, hiệu quả của việc kiểm tra nhờ sử dụng dữ liệu đầu vào được dùng chung bởi các thiết bị điều khiển có thể được nâng cao.

Phương án 4

Hệ thống điều khiển phân tán theo phương án 4 được tạo cấu hình sao cho cơ cấu quản lý dữ liệu chuỗi thời gian dùng để thực hiện việc quản lý bằng cách cung cấp dữ liệu nhận dạng chuỗi thời gian tới dữ liệu đầu vào và dữ liệu đầu ra được bố trí trong hệ thống điều khiển phân tán theo phương án 1.

Dưới đây, hệ thống điều khiển phân tán theo phương án 4 sẽ được mô tả, tập trung vào sự khác biệt với phương án 1, dựa vào Fig.11 mà nó minh họa cơ cấu quản lý dữ liệu chuỗi thời gian, Fig.12 và Fig.13 minh họa dữ liệu chuỗi thời gian, và Fig.14 minh họa ví dụ ứng dụng của dữ liệu chuỗi thời gian. Trên các hình vẽ từ Fig.11 đến Fig.14, các phần tương ứng với hoặc giống như các phần trên Fig.1 và Fig.2 theo phương án 1 được biểu thị bởi cùng ký hiệu tham chiếu.

Với mục đích phân biệt với phương án 1, hệ thống điều khiển phân tán được biểu thị bởi 401.

Thứ nhất, cấu hình của cơ cấu quản lý dữ liệu chuỗi thời gian 410 của hệ thống điều khiển phân tán 401 sẽ được mô tả dựa vào Fig.11.

Cơ cấu quản lý dữ liệu chuỗi thời gian 410 bao gồm bộ nhớ dữ liệu đầu

vào 40, bộ nhớ dữ liệu đầu ra 50, bảng phân quyền đầu ra 60, và bộ phận lưu trữ dữ liệu chuỗi thời gian 80.

Bộ nhớ dữ liệu đầu vào 40 bao gồm vùng đầu vào thực tế 41, và còn bao gồm dữ liệu chuỗi thời gian đầu vào 41I.

Bộ nhớ dữ liệu đầu ra 50 bao gồm vùng thiết bị điều khiển A thứ nhất 51, vùng thiết bị điều khiển B thứ nhất 52, vùng thiết bị điều khiển thứ hai 53, và vùng đầu ra thực tế 54, và còn bao gồm dữ liệu chuỗi thời gian đầu ra 51I đến dữ liệu chuỗi thời gian đầu ra 53I tương ứng với vùng thiết bị điều khiển A thứ nhất 51 đến vùng thiết bị điều khiển thứ hai 53.

Bảng phân quyền đầu ra 60 bao gồm vùng quyền đầu ra 61, và vùng quyền đầu ra 61 được phân chia bởi các địa chỉ từ $Y\alpha$ đến $Y\alpha + n$, các địa chỉ từ $Y\beta$ đến $Y\beta + n$, và các địa chỉ từ $Y\gamma$ đến $Y\gamma + n$.

Bộ phận lưu trữ dữ liệu chuỗi thời gian 80 lưu trữ dữ liệu đầu vào thực tế, dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11, dữ liệu đầu ra của thiết bị điều khiển B thứ nhất 12, và dữ liệu đầu ra của thiết bị điều khiển thứ hai 20, được cung cấp dữ liệu chuỗi thời gian.

Dữ liệu nhận dạng chuỗi thời gian được gia tăng mỗi quy trình xử lý đầu vào trong thiết bị chủ IO xử lý 31. Trên các hình vẽ, dữ liệu nhận dạng chuỗi thời gian được ghi là ID.

Tiếp theo, các ví dụ cụ thể về dữ liệu đầu vào và dữ liệu đầu ra được cung cấp dữ liệu chuỗi thời gian và được lưu trữ trong bộ phận lưu trữ dữ liệu chuỗi thời gian 80 sẽ được mô tả dựa vào Fig.12 và Fig.13.

Fig.12 thể hiện dữ liệu liên quan đến thiết bị điều khiển A thứ nhất 11 được cung cấp dữ liệu nhận dạng chuỗi thời gian (ở đây là 1), và dữ liệu đầu vào thực tế và dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11 ở thời gian đã cho được lưu trữ dưới dạng một tập hợp.

Fig.13 thể hiện dữ liệu liên quan đến thiết bị điều khiển A thứ nhất 11 được cung cấp dữ liệu nhận dạng chuỗi thời gian (ở đây là 2), ở thời gian khi khoảng thời gian xác định trôi qua từ thời gian trên Fig.12, và dữ liệu đầu vào thực tế và dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11 ở thời gian này được lưu trữ dưới dạng một tập hợp.

Tiếp theo, ví dụ ứng dụng của dữ liệu chuỗi thời gian sẽ được mô tả dựa vào Fig.14.

Trên Fig.14, như ví dụ về dữ liệu liên quan đến thiết bị điều khiển A thứ nhất 11, tập hợp của dữ liệu đầu vào thực tế và dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11 tương ứng với mỗi trong số dữ liệu nhận dạng chuỗi thời gian ID1, ID2, ID3,... được lưu trữ trong bộ phận lưu trữ dữ liệu chuỗi thời gian 80.

Trên Fig.14, logic điều khiển mới được tạo ra có chức năng như được thiết kế hay không được xác nhận. Cụ thể là, dữ liệu đầu vào thực tế tương ứng với dữ liệu nhận dạng chuỗi thời gian ID1 được đưa vào tới logic điều khiển mới được tạo ra, và kết quả nhận được của logic điều khiển mới được so sánh với dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11.

Việc sử dụng dữ liệu đầu vào thực tế và dữ liệu đầu ra của thiết bị điều khiển A thứ nhất 11 tương ứng với mỗi trong số dữ liệu nhận dạng chuỗi thời gian ID2, ID3, ..., chức năng của logic điều khiển mới, nghĩa là, thao tác điều khiển của có thể được kiểm chứng.

Trong bộ phận lưu trữ dữ liệu chuỗi thời gian 80, không cần lưu trữ tất cả dữ liệu được cung cấp dữ liệu nhận dạng chuỗi thời gian, và phù hợp với đích mà trong đó thao tác điều khiển cần được kiểm chứng, dữ liệu có thể được lưu trữ thường xuyên hoặc ngẫu nhiên đối với thiết bị điều khiển mong muốn.

Theo phương án 4, bộ phận lưu trữ dữ liệu chuỗi thời gian 80 được bố trí

trong thiết bị chủ IO xử lý 31. Tuy nhiên, bộ phận lưu trữ dữ liệu chuỗi thời gian 80 có thể được bố trí trong mỗi thiết bị điều khiển (thiết bị điều khiển A thứ nhất 11, thiết bị điều khiển B thứ nhất 12, và thiết bị điều khiển thứ hai 20), hoặc bên ngoài hệ thống điều khiển phân tán 401.

Trong phần mô tả nêu trên, cơ cấu quản lý dữ liệu chuỗi thời gian được bổ sung vào hệ thống điều khiển phân tán 1 theo phương án 1. Tuy nhiên, cơ cấu quản lý dữ liệu chuỗi thời gian có thể được bổ sung vào hệ thống điều khiển phân tán 201 theo phương án 2 hoặc hệ thống điều khiển phân tán 301 theo phương án 3.

Như được nêu trên, hệ thống điều khiển phân tán theo phương án 4 được tạo cấu hình sao cho cơ cấu quản lý dữ liệu chuỗi thời gian dùng để thực hiện việc quản lý bằng cách cung cấp dữ liệu nhận dạng chuỗi thời gian tới dữ liệu đầu vào và dữ liệu đầu ra được bố trí trong hệ thống điều khiển phân tán theo phương án 1. Do đó, trong hệ thống điều khiển phân tán theo phương án 4, như trong phương án 1, không cần thay đổi phần cứng với các dây dẫn bên ngoài, hệ thống vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển. Ngoài ra, việc kiểm chứng của thao tác điều khiển có thể được thực hiện.

Phương án 5

Hệ thống điều khiển phân tán theo phương án 5 được tạo cấu hình sao cho cơ cấu phát hiện sai lệch dữ liệu đầu ra dùng để phát hiện sự sai lệch giữa dữ liệu đầu ra được đưa ra từ thiết bị điều khiển tới thiết bị chủ IO xử lý và dữ liệu đầu ra thực tế được đưa ra tới bộ dẫn động được cung cấp trong hệ thống điều khiển phân tán theo phương án 1.

Dưới đây, hệ thống điều khiển phân tán theo phương án 5 sẽ được mô tả, tập trung vào sự khác biệt với phương án 1, dựa vào Fig.15 mà nó minh họa cơ

cầu phát hiện sai lệch dữ liệu đầu ra. Trên Fig.15, các phần mà tương ứng với hoặc giống như các phần trên Fig.1 và Fig.2 theo phương án 1 được biểu thị bởi cùng ký hiệu tham chiếu.

Với mục đích phân biệt với phương án 1, hệ thống điều khiển phân tán được biểu thị bởi 501.

Thứ nhất, cấu hình của cơ cấu phát hiện sai lệch dữ liệu đầu ra 510 của hệ thống điều khiển phân tán 501 sẽ được mô tả dựa vào Fig.15.

Cơ cấu phát hiện sai lệch dữ liệu đầu ra 510 bao gồm bộ nhớ dữ liệu đầu vào 40, bộ nhớ dữ liệu đầu ra 50, bảng phân quyền đầu ra 60, bộ so sánh 90, và bộ phận lưu trữ kết quả 91.

Bộ nhớ dữ liệu đầu vào 40 bao gồm vùng đầu vào thực tế 41, và trong đó còn bao gồm dữ liệu chuỗi thời gian đầu vào 41I.

Bộ nhớ dữ liệu đầu ra 50 bao gồm vùng thiết bị điều khiển A thứ nhất 51, vùng thiết bị điều khiển B thứ nhất 52, vùng thiết bị điều khiển thứ hai 53, và vùng đầu ra thực tế 54, và trong đó còn bao gồm dữ liệu chuỗi thời gian đầu ra 51I đến dữ liệu chuỗi thời gian đầu ra 53I tương ứng với vùng thiết bị điều khiển A thứ nhất 51 tới vùng thiết bị điều khiển thứ hai 53.

Bảng phân quyền đầu ra 60 bao gồm vùng quyền đầu ra 61, và vùng quyền đầu ra 61 được phân chia bởi các địa chỉ từ $Y\alpha$ đến $Y\alpha + 3$, các địa chỉ từ $Y\beta$ đến $Y\beta + 3$, và các địa chỉ từ $Y\gamma$ đến $Y\gamma + 3$.

Bộ so sánh 90 so sánh dữ liệu đầu ra thực tế của vùng đầu ra thực tế 54 với dữ liệu đầu ra của thiết bị điều khiển (ví dụ, thiết bị điều khiển B thứ nhất) mà là đích so sánh.

Bộ phận lưu trữ kết quả 91 lưu trữ kết quả so sánh bởi bộ so sánh 90.

Tiếp theo, ví dụ ứng dụng của cơ cấu phát hiện sai lệch dữ liệu đầu ra

510 sẽ được mô tả.

Thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 có cấu hình dư song công sao cho một trong số chúng được thiết đặt như hệ thống điều khiển và thiết bị khác được thiết đặt như hệ thống chờ. Theo phương án 5, giả sử rằng thiết bị điều khiển A thứ nhất 11 được thiết đặt như hệ thống điều khiển và thiết bị điều khiển B thứ nhất 12 được thiết đặt như hệ thống chờ.

Dữ liệu đầu ra của thiết bị điều khiển B thứ nhất 12 thiết đặt như hệ thống chờ không được chấp nhận như dữ liệu đầu vào thực tế, và do đó không được đưa ra tới bộ dẫn động.

Do đó, ngay cả khi thiết bị điều khiển B thứ nhất 12 thiết đặt như hệ thống chờ có tính bất thường, tính bất thường không thể được để lộ, và khi hệ thống điều khiển và hệ thống chờ được chuyển mạch lẫn nhau (trong trường hợp này, thiết bị điều khiển A thứ nhất 11 được chuyển mạch tới hệ thống chờ và thiết bị điều khiển B thứ nhất 12 được chuyển mạch tới hệ thống điều khiển), tính bất thường có thể được để lộ.

Như được thể hiện trên Fig.15, bằng cách luôn so sánh dữ liệu đầu ra thực tế trong vùng đầu ra thực tế 54 và dữ liệu đầu ra của thiết bị điều khiển B thứ nhất nhờ sử dụng cơ cấu phát hiện sai lệch dữ liệu đầu ra 510, tính bất thường của thiết bị điều khiển B thứ nhất 12 có thể được phát hiện trước.

Khi các logic điều khiển của thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 là khác với logic điều khiển của thiết bị điều khiển 2, một vài sự khác biệt có thể xảy ra, và do đó sự so sánh được thực hiện chỉ đối với các vùng địa chỉ mà ở đó các quyền đầu ra được thiết đặt tới các thiết bị điều khiển thứ nhất.

Ngoài ra, có trường hợp trong đó các logic điều khiển của thiết bị điều khiển A thứ nhất 11 và thiết bị điều khiển B thứ nhất 12 là giống như hoặc giống

một phần với logic điều khiển của thiết bị điều khiển 2.

Trong trường hợp này, bằng cách so sánh dữ liệu đầu ra thực tế trong vùng đầu ra thực tế 54 và dữ liệu đầu ra của thiết bị điều khiển thứ hai đối với các vùng địa chỉ mà ở đó các quyền đầu ra được thiết đặt tới thiết bị điều khiển thứ nhất, tính bất thường của thiết bị điều khiển thứ hai 20 có thể được phát hiện trước. Do đó, có thể luôn theo dõi tính bất thường của thiết bị điều khiển không được cấp quyền đầu ra (nghĩa là, thiết bị điều khiển ở trạng thái chờ).

Ngoài ra, trong trường hợp mà tính bất thường được phát hiện nhờ luôn theo dõi thiết bị điều khiển mà nó ở trạng thái chờ, việc phát hiện tính bất thường có thể được báo cáo tới hệ thống cấp cao hơn để nhanh chóng kiểm tra và thay thế.

Theo phương án 5, bộ phận lưu trữ kết quả 91 được bố trí trong thiết bị chủ IO xử lý 31. Tuy nhiên, bộ phận lưu trữ kết quả 91 có thể được bố trí bên ngoài hệ thống điều khiển phân tán 501.

Trong phần mô tả nêu trên, cơ cấu phát hiện sai lệch dữ liệu đầu ra được bổ sung vào hệ thống điều khiển phân tán 1 theo phương án 1. Tuy nhiên, cơ cấu phát hiện sai lệch dữ liệu đầu ra có thể được bổ sung vào các hệ thống điều khiển phân tán theo các phương án từ 2 đến 4.

Như được nêu trên, hệ thống điều khiển phân tán theo phương án 5 được tạo cấu hình sao cho cơ cấu phát hiện sai lệch dữ liệu đầu ra dùng để phát hiện sự sai lệch giữa dữ liệu đầu ra được đưa ra từ thiết bị điều khiển tới thiết bị chủ IO xử lý và dữ liệu đầu ra thực tế được đưa ra tới bộ dẫn động được bố trí trong hệ thống điều khiển phân tán theo phương án 1. Do đó, trong hệ thống điều khiển phân tán theo phương án 5, như trong phương án 1, không cần thay đổi phần cứng với các dây dẫn bên ngoài, vẫn có thể thích ứng linh hoạt với sự thay đổi của bộ dẫn động mà ở đó dữ liệu cần được đưa ra, trong khi dùng chung tín

hiệu đầu vào bởi các thiết bị điều khiển. Hơn nữa, có thể luôn theo dõi tính bất thường của thiết bị điều khiển ở trạng thái chờ.

Lưu ý rằng, trong phạm vi của sáng chế, các phương án trên có thể được kết hợp tự do với nhau, hoặc mỗi trong số các phương án trên có thể được sửa đổi hoặc được đơn giản hóa khi thích hợp.

Khả năng ứng dụng trong công nghiệp

Sáng chế có khả năng thích ứng linh hoạt với việc dùng chung tín hiệu đầu vào bởi các thiết bị điều khiển và sự thay đổi của bộ dẫn động trong đó dữ liệu cần được đưa ra, mà không phải thay đổi phần cứng với các dây dẫn bên ngoài. Do đó, sáng chế có thể ứng dụng rộng rãi cho các hệ thống điều khiển phân tán.

YÊU CẦU BẢO HỘ

1. Hệ thống điều khiển phân tán bao gồm:

các thiết bị điều khiển;

thiết bị chủ IO xử lý được dùng chung bởi các thiết bị điều khiển và bao gồm bảng phân quyền đầu ra và bộ nhớ dữ liệu đầu ra có các vùng để lưu trữ dữ liệu được đưa ra từ các thiết bị điều khiển; và

các môđun IO xử lý được nối với thiết bị chủ IO xử lý và mỗi môđun này nối được với bộ cảm biến và bộ dẫn động, khác biệt ở chỗ:

thiết bị chủ IO xử lý và các môđun IO xử lý được nối với nhau qua đường truyền dẫn trường, và trong đó các môđun IO xử lý và các bộ cảm biến và các bộ dẫn động nối được lẫn lộn với nhau qua các đường dây tín hiệu xử lý, và trong đó:

bảng phân quyền đầu ra cung cấp quyền để xác định thiết bị điều khiển mà dữ liệu đầu ra của nó cần được chấp nhận và được sử dụng làm dữ liệu đầu ra thực tế, đối với mỗi trong số các địa chỉ tương ứng với các bộ dẫn động và các vùng.

2. Hệ thống điều khiển phân tán theo điểm 1, trong đó:

bảng phân quyền đầu ra cung cấp quyền để xác định thiết bị điều khiển mà dữ liệu đầu ra của nó cần được chấp nhận làm dữ liệu đầu ra thực tế, đối với mỗi khối bao gồm các địa chỉ.

3. Hệ thống điều khiển phân tán theo điểm 1 hoặc 2, trong đó:

thiết bị chủ IO xử lý có bố trí cơ cấu thay đổi dữ liệu đầu vào để thay đổi dữ liệu đầu vào được nhập vào từ mỗi bộ xử lý, và

các thiết bị điều khiển được tạo cấu hình để thu nhận dữ liệu đầu vào được thay đổi bởi cơ cấu thay đổi dữ liệu đầu vào.

4. Hệ thống điều khiển phân tán theo điểm 1 hoặc 2, trong đó:

thiết bị chủ IO xử lý có bố trí cơ cấu quản lý dữ liệu chuỗi thời gian để thực hiện sự quản lý bằng cách cung cấp dữ liệu nhận dạng chuỗi thời gian để nhập vào dữ liệu được nhập từ mỗi bộ xử lý và dữ liệu đầu ra.

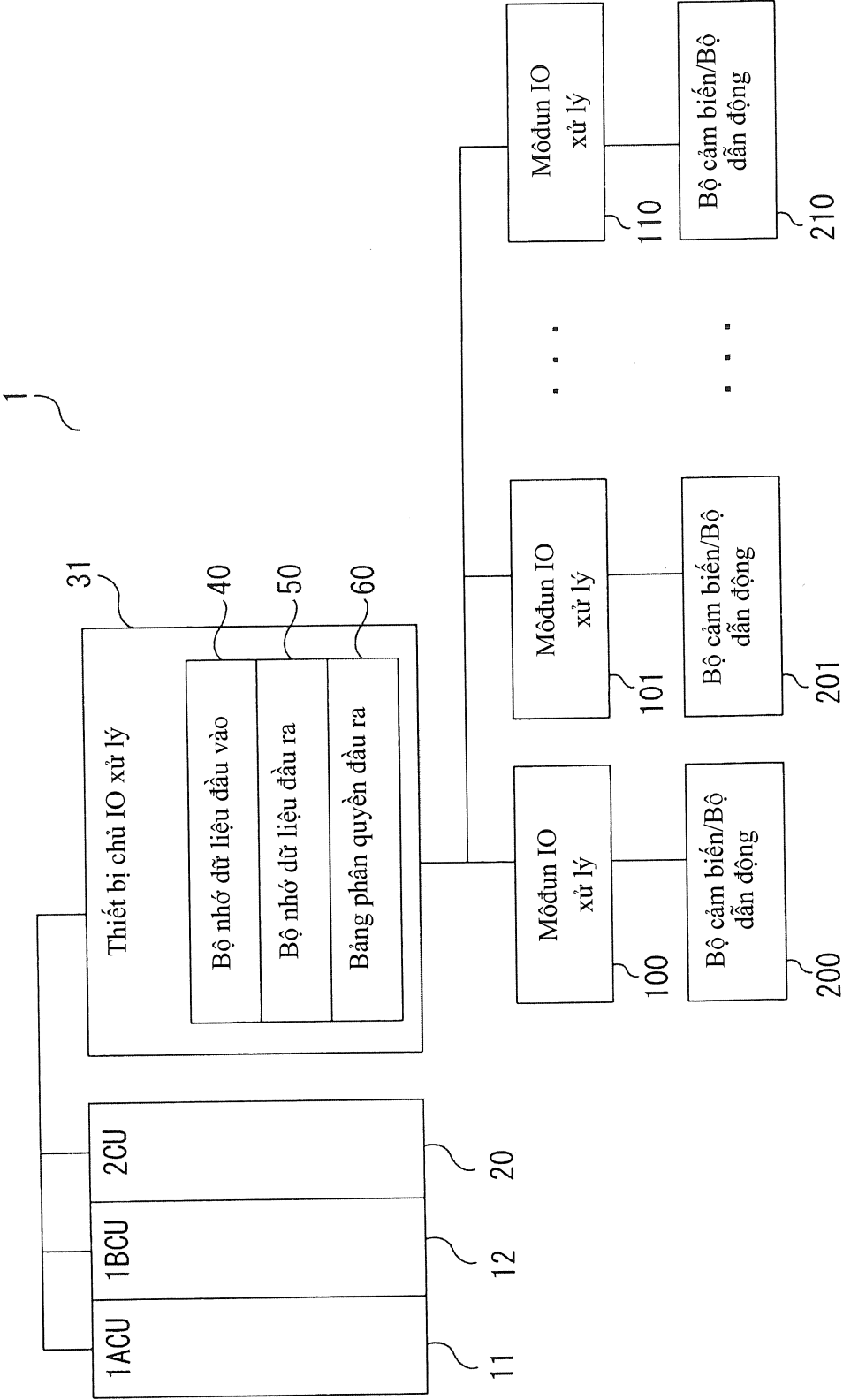
5. Hệ thống điều khiển phân tán theo điểm 3, trong đó:

thiết bị chủ IO xử lý có bố trí cơ cấu quản lý dữ liệu chuỗi thời gian để thực hiện sự quản lý bằng cách cung cấp dữ liệu nhận dạng chuỗi thời gian cho dữ liệu đầu vào và dữ liệu đầu ra.

6. Hệ thống điều khiển phân tán theo điểm bất kỳ trong số các điểm từ 1 đến 5, trong đó:

thiết bị chủ IO xử lý có bố trí cơ cấu phát hiện sự khác biệt dữ liệu đầu ra để phát hiện sự khác biệt giữa dữ liệu đầu ra được đưa ra từ mỗi thiết bị điều khiển đến thiết bị chủ IO xử lý và dữ liệu đầu ra thực tế được đưa ra đến bộ dẫn động tương ứng.

FIG. 1



2/15

FIG. 2

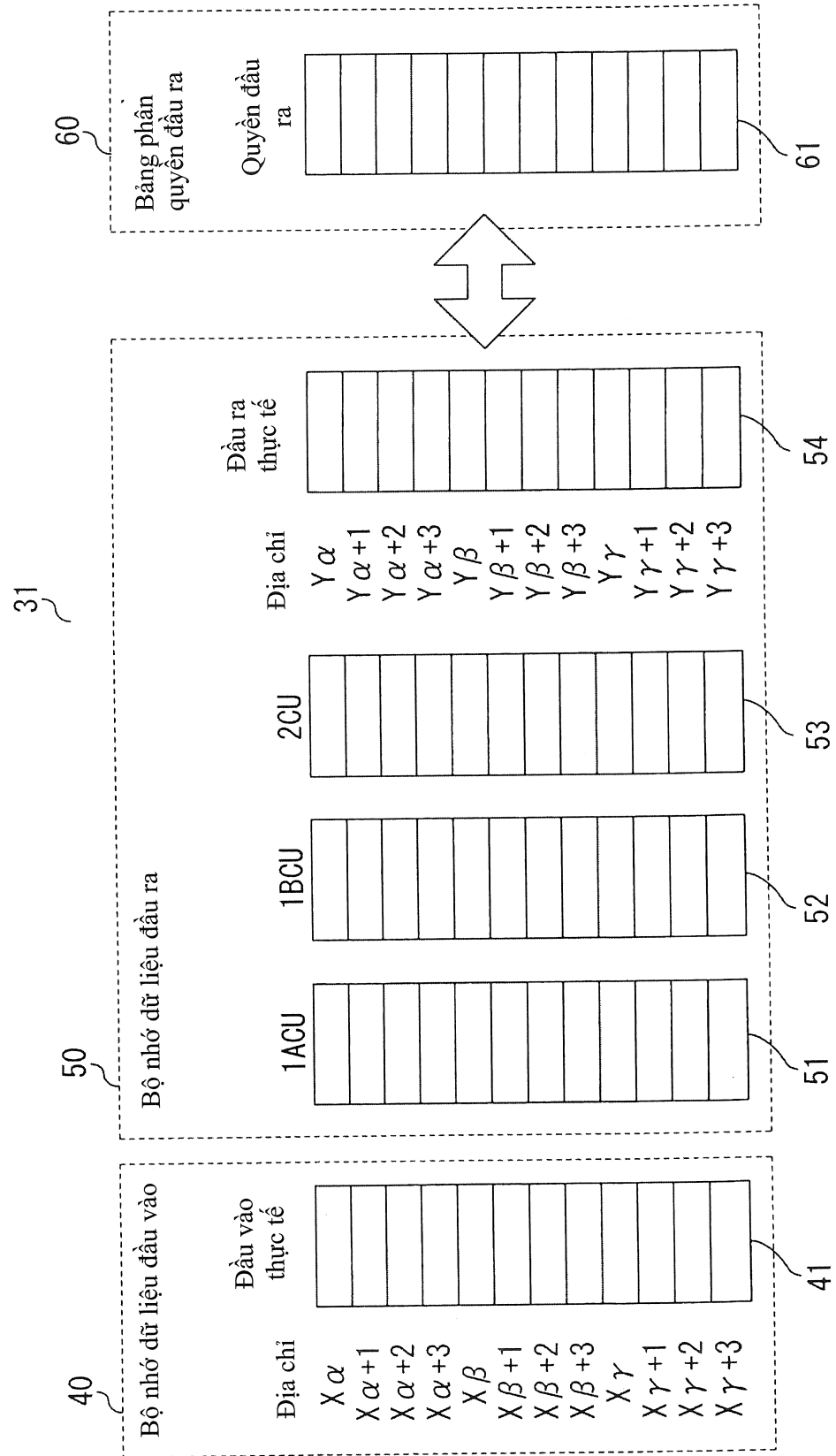
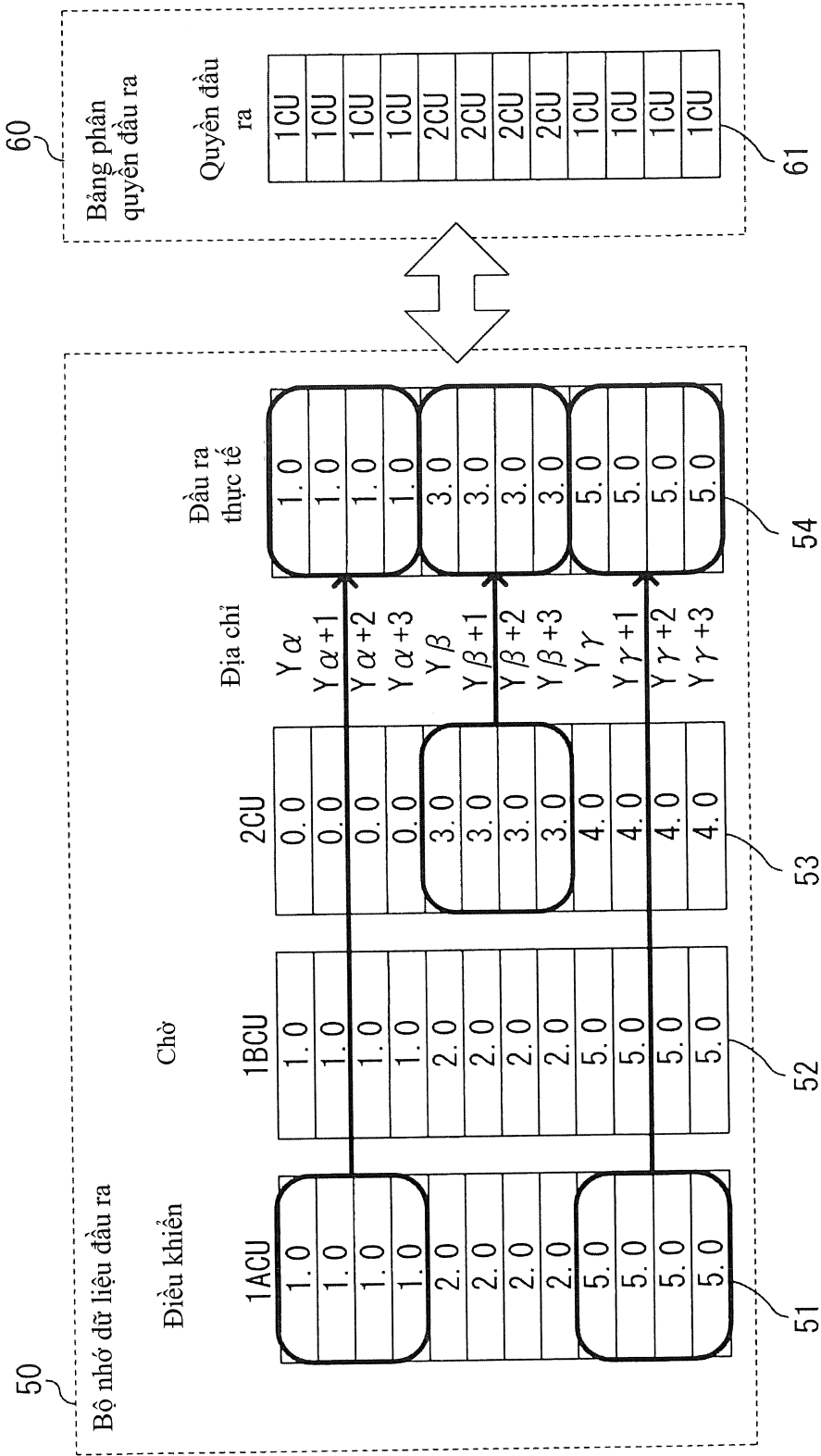


FIG. 3



4/15

FIG. 4

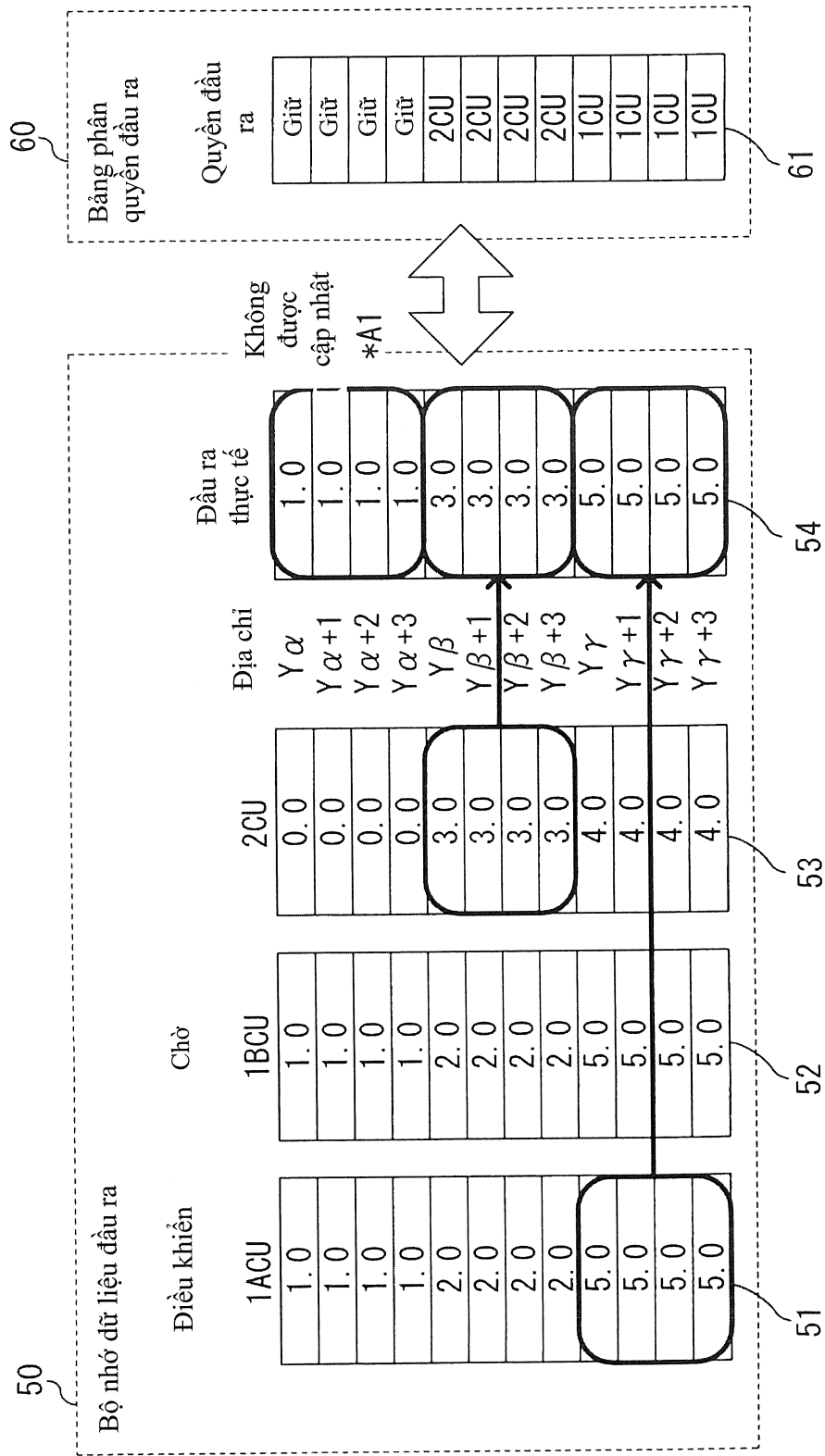


FIG. 5

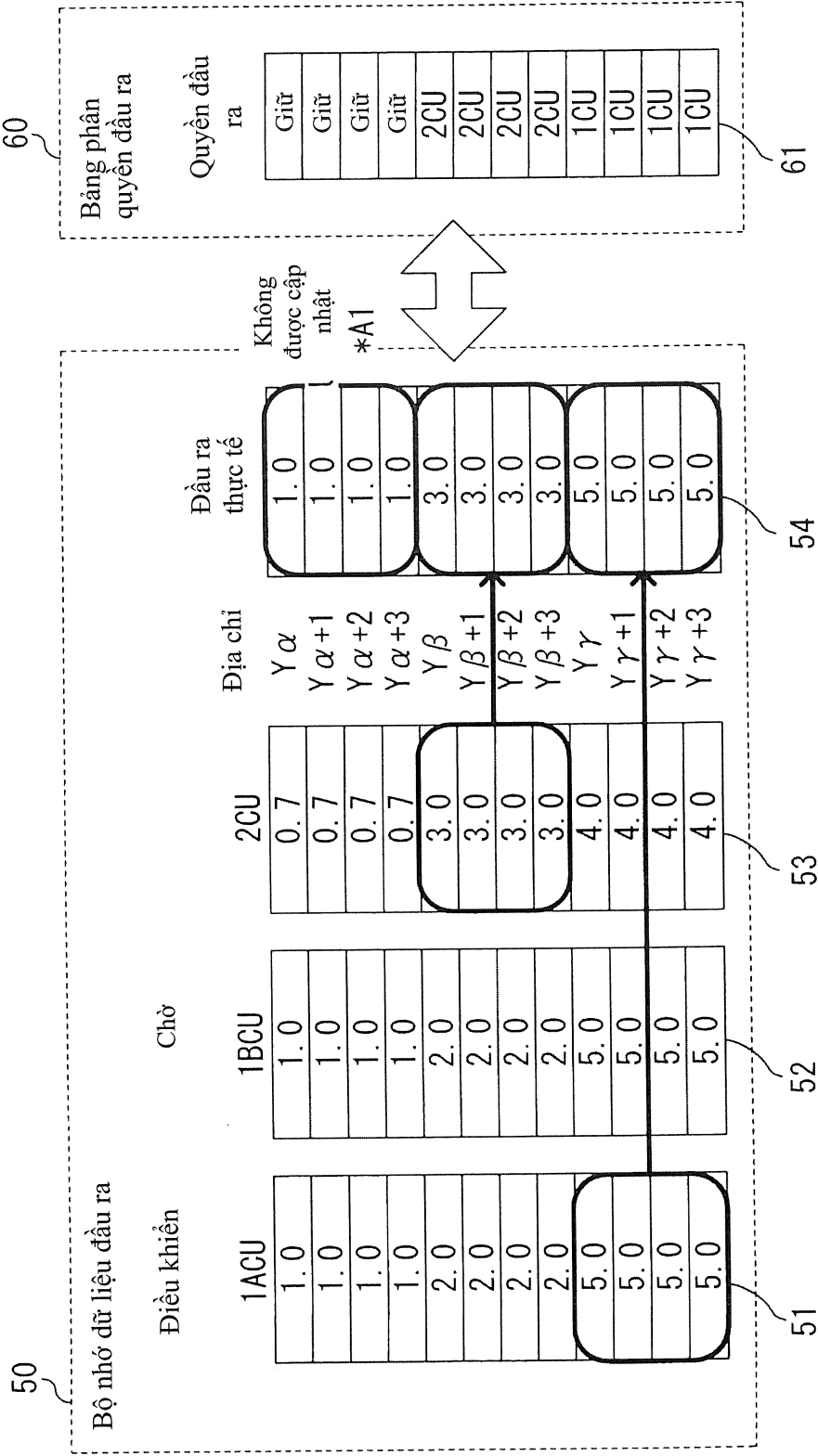
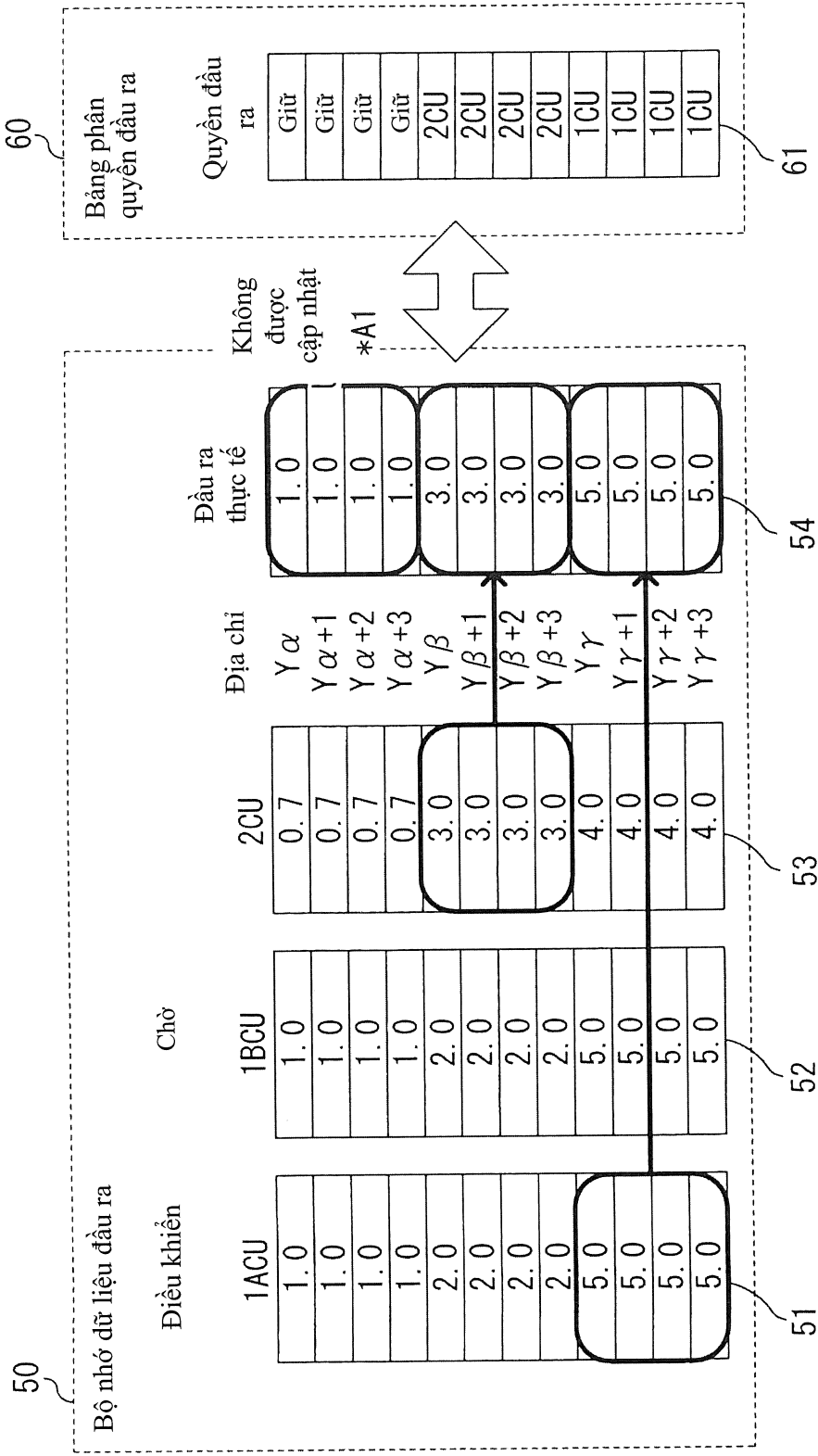


FIG. 6



7/15

FIG. 7

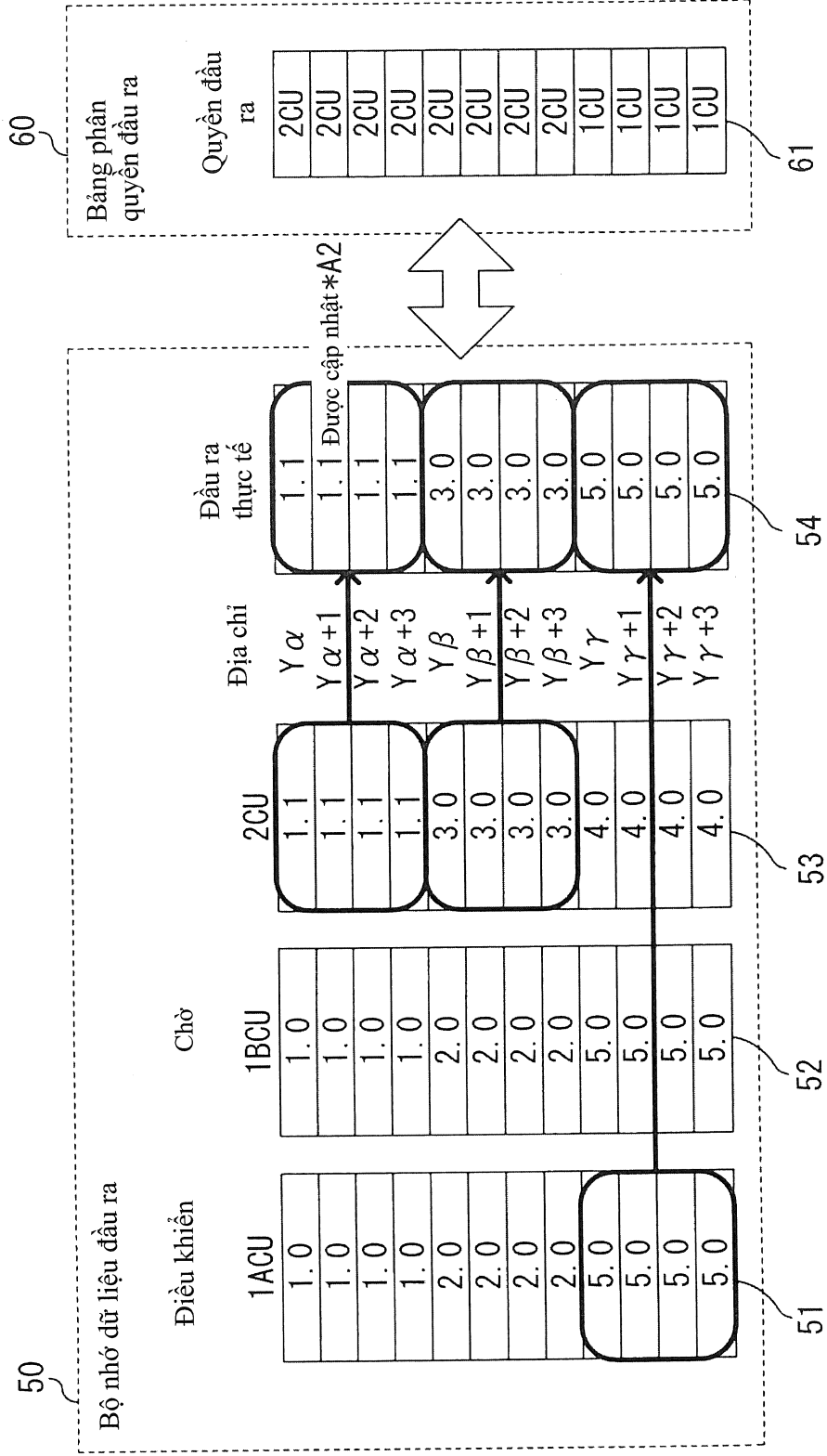
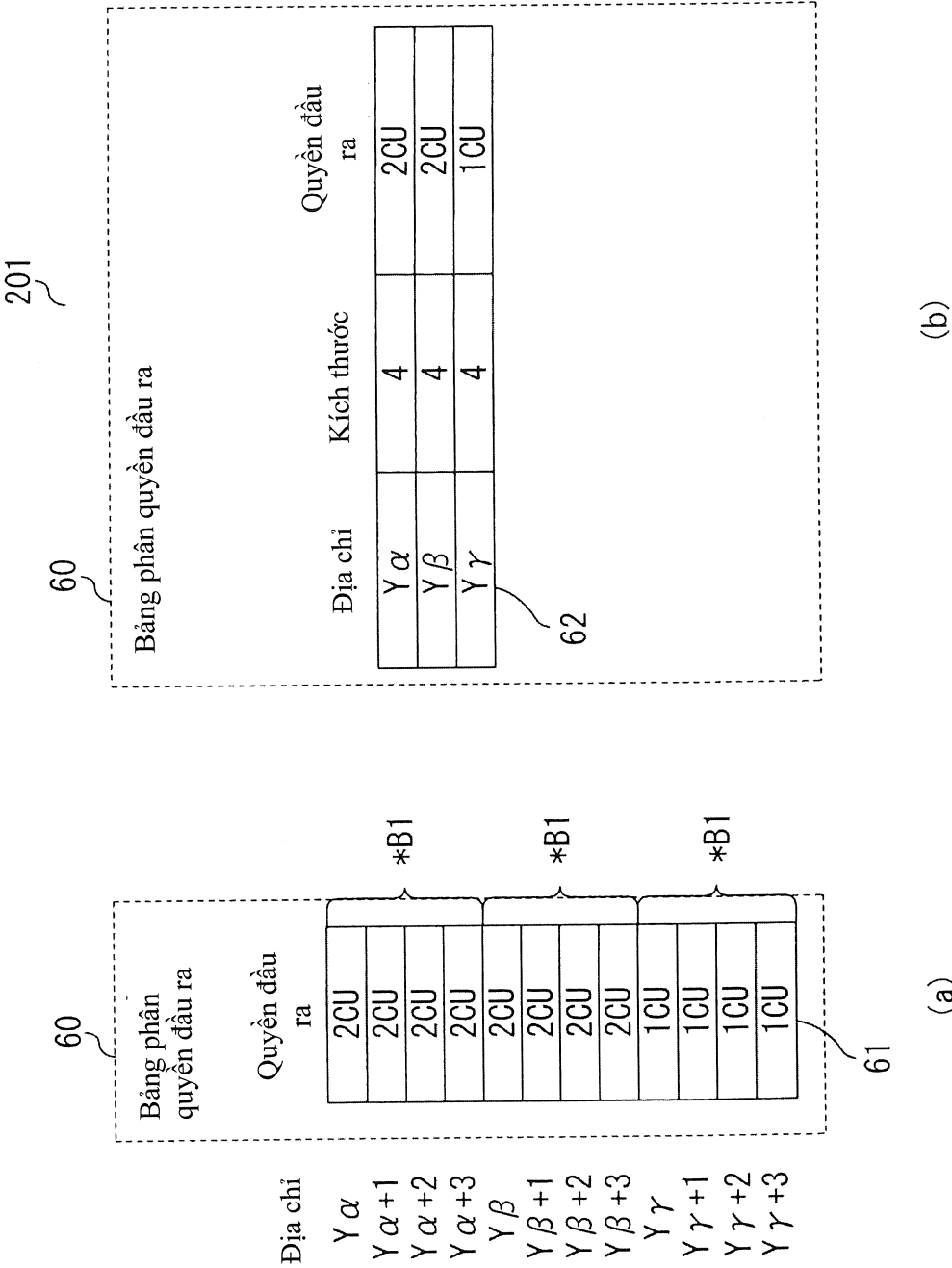


FIG. 8



(a)

(b)

FIG. 9

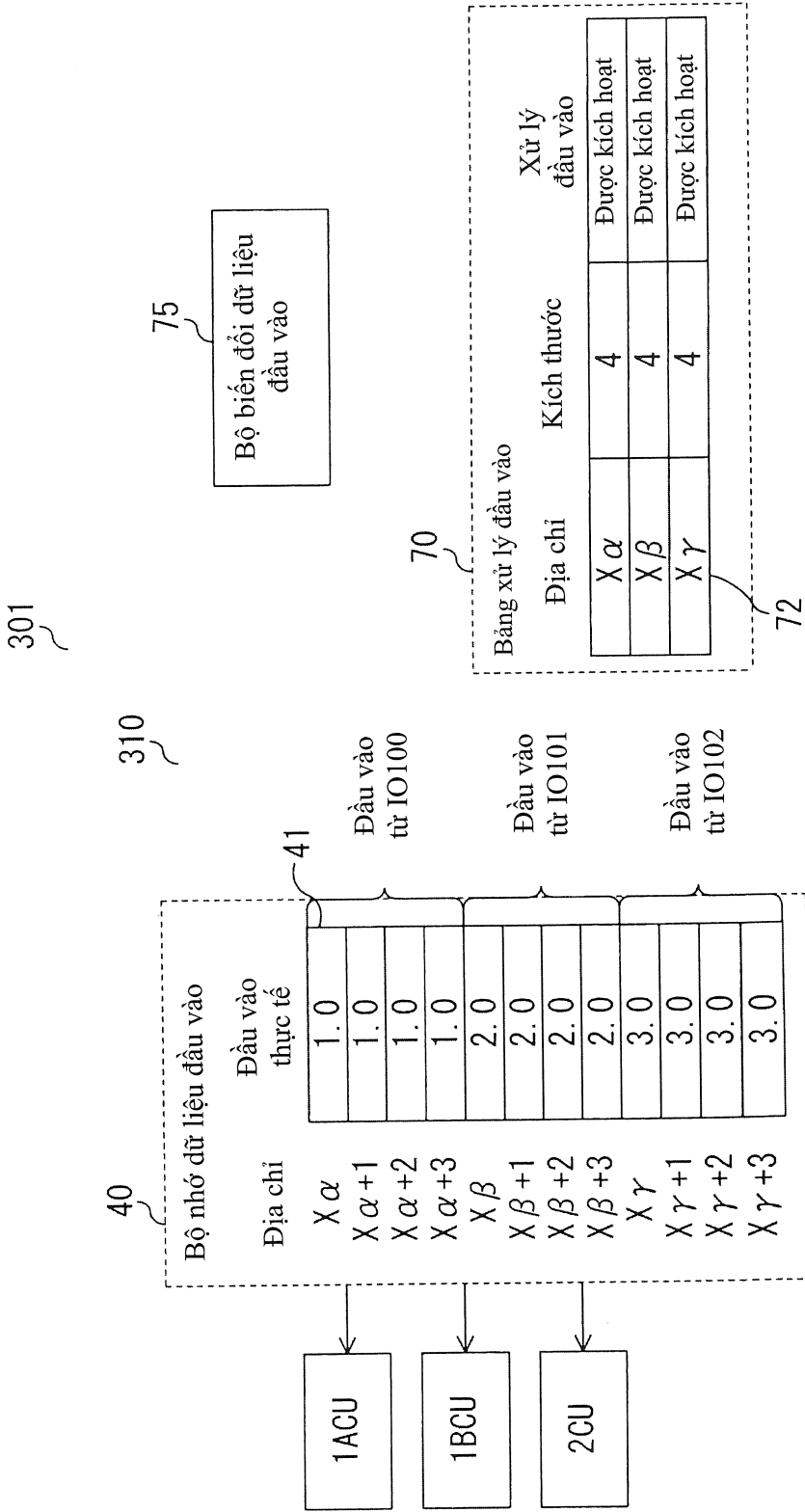
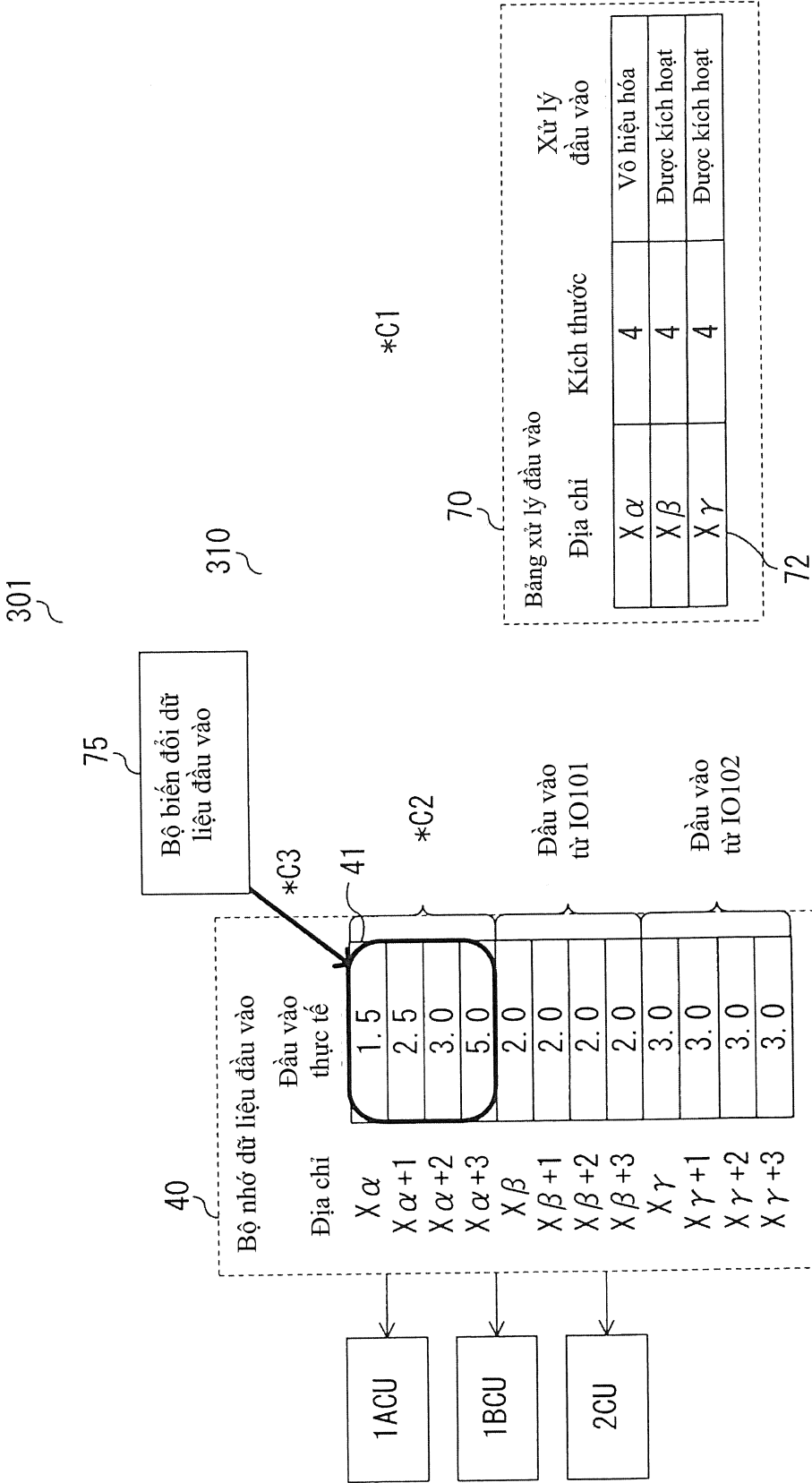
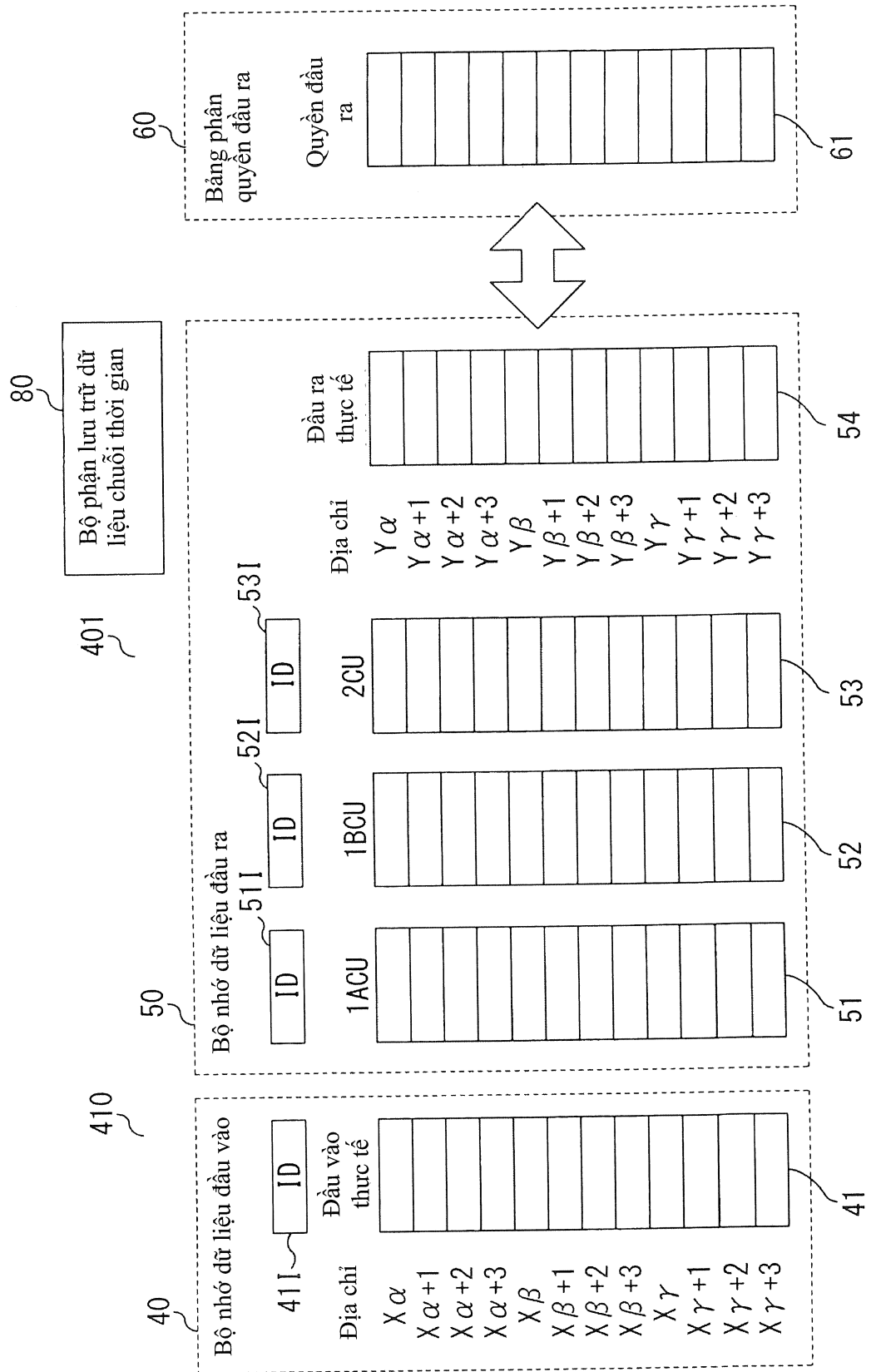


FIG. 10



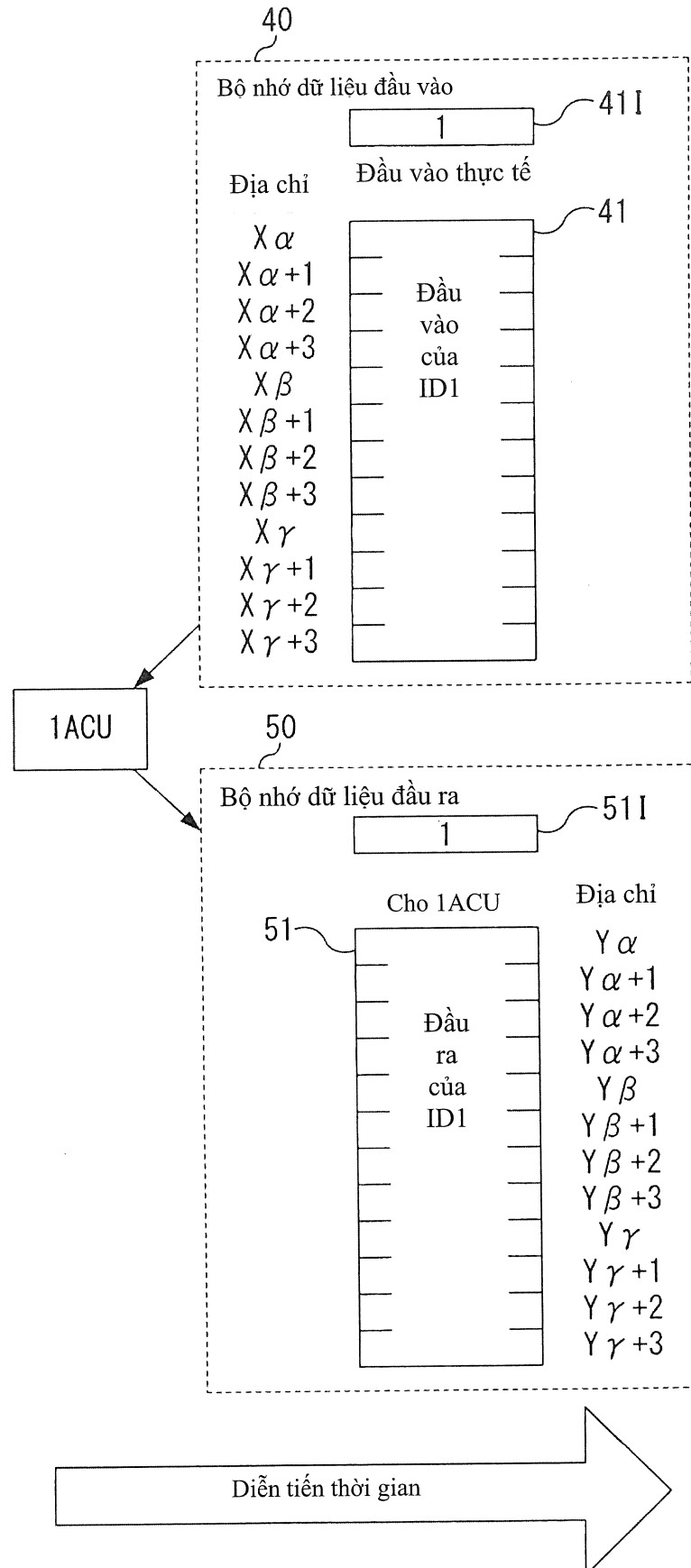
11/15

FIG. 11



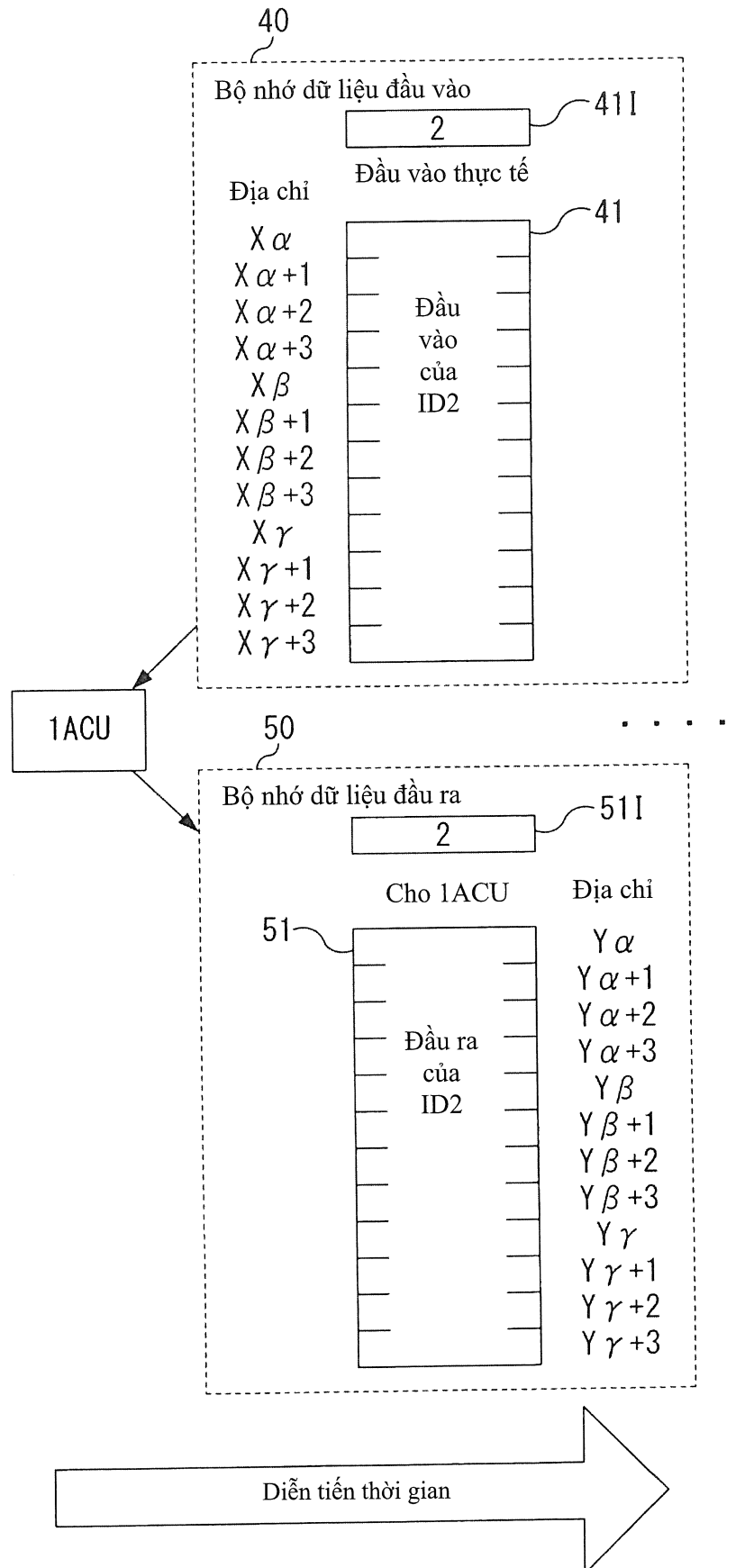
12/15

FIG. 12



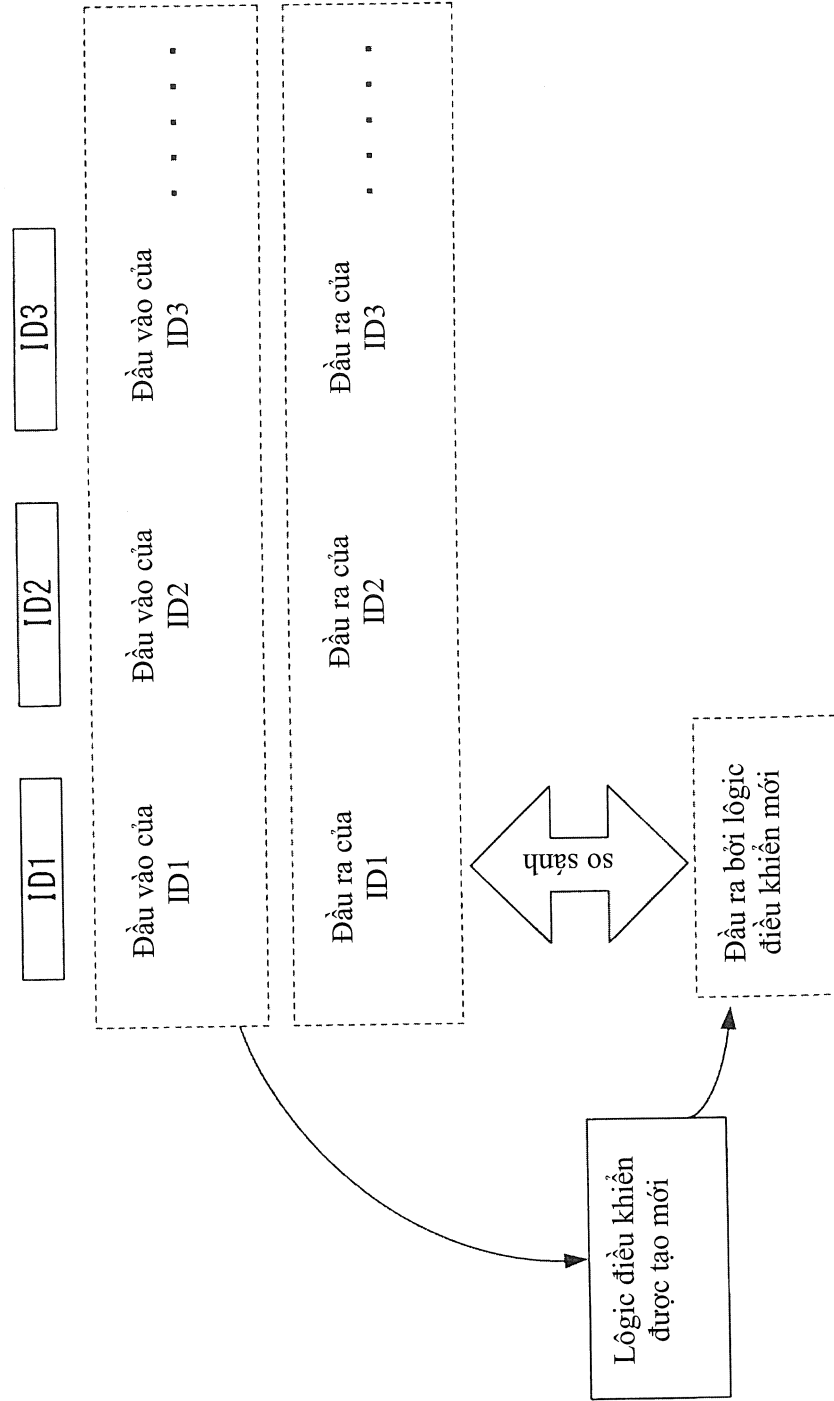
13/15

FIG. 13



14/15

FIG. 14



15/15

