



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0042528

(51)^{2020.01} H05K 1/02; H05K 9/00; H05K 1/11;
H01P 1/26

(13) B

(21) 1-2020-03761

(22) 11/12/2018

(86) PCT/US2018/064870 11/12/2018

(87) WO 2019/135862 A1 11/07/2019

(30) 62/612,949 02/01/2018 US; 16/214,745 10/12/2018 US

(45) 27/01/2025 442

(43) 25/09/2020 390

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) ZHANG, Yu (CN); WHITE, Douglas Bruce (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) BẢNG MẠCH IN VÀ MÁY BAO GỒM BẢNG MẠCH IN

(57) Sóng chế đề cập đến bảng mạch in (printed circuit board - PCB) và máy bao gồm bảng mạch in. Bảng mạch in bao gồm tập hợp các lớp phủ kim loại xếp chồng được tách biệt bởi tập hợp các lớp cách điện xếp chồng, trong đó tập hợp các lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại trên cùng, lớp phủ kim loại dưới cùng, và lớp phủ kim loại trung gian; via được nối điện với lớp phủ kim loại trên cùng, lớp phủ kim loại trung gian, và lớp phủ kim loại dưới cùng, trong đó lớp phủ kim loại trên cùng, một phần của via ở giữa lớp phủ kim loại trên cùng và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra; và vật liệu hấp thụ điện từ được tạo kết cấu để làm giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại dưới cùng. Vật liệu hấp thụ điện từ có thể được gắn vào phần dưới cùng của PCB và/hoặc gắn đồng trục với đoạn via dư thừa (stub).



Lĩnh vực kỹ thuật được đề cập

Nói chung, các khía cạnh của sáng chế đề cập đến các bảng mạch in (printed circuit board - PCB), và cụ thể, đến PCB có các đoạn via dư thừa (stub) được nối với vật liệu hấp thụ điện từ để làm giảm hiệu ứng cộng hưởng có thể ảnh hưởng bất lợi đến việc truyền tín hiệu dữ liệu qua PCB.

Tình trạng kỹ thuật của sáng chế

Các bảng mạch in (PCB) được sử dụng trong nhiều ứng dụng để định tuyến các tín hiệu giữa hai hoặc nhiều thiết bị. Một PCB điển hình bao gồm tập hợp các lớp phủ kim loại xếp chồng, nằm ngang được tách biệt tương ứng bởi tập hợp các lớp điện môi (cách điện) xếp chồng, nằm ngang. Để phục vụ mục đích sản xuất, PCB có thể còn bao gồm tập hợp các via được phủ kim loại thẳng đứng hoặc đơn giản là các via (còn được gọi là các lỗ mạ xuyên) nối điện lớp phủ kim loại trên cùng hoặc phía trên với lớp phủ kim loại dưới cùng hoặc phía dưới.

Thông thường, tín hiệu dữ liệu tốc độ cao (ví dụ, trong khoảng gigabit trên giây (Gbps)) được định tuyến qua các lớp phủ kim loại khác nhau và via từ thiết bị truyền đến thiết bị thu. Ví dụ, tín hiệu dữ liệu có thể được định tuyến qua lớp phủ kim loại trên cùng, via được phủ kim loại, và lớp phủ kim loại trung gian (ví dụ, lớp thứ ba kể từ lớp trên cùng). Nhờ có cấu trúc như vậy, phần của via ở dưới lớp phủ kim loại trung gian, được định nghĩa là đoạn via dư thừa (stub) hoặc phần đường dẫn không có tín hiệu của via, là không thực sự cần thiết để định tuyến tín hiệu, và thường tạo ra sự cộng hưởng gây ảnh hưởng bất lợi cho tín hiệu dữ liệu.

Theo đó, một số phương án triển khai PCB được mô tả ở đây để làm giảm các ảnh hưởng bất lợi đối với các tín hiệu dữ liệu do các đoạn via dư thừa (stub) này gây ra.

Bản chất kỹ thuật của sáng chế

Phần sau đây trình bày bản chất kỹ thuật được đơn giản hóa về một hoặc nhiều phương án nhằm cung cấp hiểu biết cơ bản về các phương án này. Phần bản chất kỹ thuật này không phải là phần tổng quan rộng rãi về tất cả các phương án được dự định và không dự định chỉ ra các thành phần chính hoặc quan trọng của tất cả các phương án

cũng không mô tả phạm vi của phương án bất kỳ hay tất cả các phương án. Mục đích duy nhất của phần này là trình bày một số khái niệm về một hoặc nhiều phương án ở dạng đơn giản làm tiền đề cho phần mô tả chi tiết hơn được trình bày sau đó.

Một khía cạnh của sáng chế đề cập đến bảng mạch in (PCB) bao gồm: tập hợp các lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp các lớp cách điện xếp chồng, trong đó tập hợp các lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian; via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới; và vật liệu hấp thụ điện từ được nối với via.

Khía cạnh khác của sáng chế đề cập đến phương pháp sản xuất bảng mạch in (PCB) bao gồm các bước: tạo ra tập hợp các lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp các lớp cách điện xếp chồng, trong đó tập hợp các lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian; tạo ra via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra; và tạo ra vật liệu hấp thụ điện từ được tạo kết cấu để làm giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới.

Khía cạnh khác của sáng chế đề cập đến máy bao gồm thiết bị thứ nhất được tạo cấu hình để phát ra tín hiệu dữ liệu; thiết bị thứ hai được tạo cấu hình để thu tín hiệu dữ liệu; và bảng mạch in (PCB) bao gồm tập hợp các lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp các lớp cách điện xếp chồng, trong đó tập hợp các lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian, via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu từ thiết bị thứ nhất đến thiết bị thứ hai, và vật liệu hấp thụ điện từ được tạo kết cấu để làm giảm cường

độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới.

Để đạt được mục đích nêu trên và các mục đích liên quan, một hoặc nhiều phương án này bao gồm các dấu hiệu được mô tả đầy đủ dưới đây và được nêu cụ thể trong các yêu cầu bảo hộ. Phần mô tả dưới đây và bộ hình vẽ kèm theo trình bày chi tiết các khía cạnh minh họa của một hoặc nhiều phương án. Tuy nhiên, các khía cạnh này chỉ thể hiện một vài cách trong số nhiều cách khác nhau trong đó nguyên lý của các phương án khác nhau có thể được sử dụng, và phương án mô tả này được dự định bao gồm tất cả các khía cạnh như vậy và cả các khía cạnh tương đương.

Mô tả vắn tắt các hình vẽ

Fig.1 minh họa sơ đồ khối của hệ thống truyền thông dữ liệu làm ví dụ theo một khía cạnh của sáng chế.

Fig.2 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ theo khía cạnh khác của sáng chế.

Fig.3 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.4 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.5 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.6 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.7 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.8 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.9 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.10 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.11 minh họa biểu đồ về suy hao chèn trên tần số đối với các bảng mạch in (PCB) với các đoạn via dư thừa (stub) không kết cuối và có kết cuối theo khía cạnh khác của sáng chế.

Fig.12 minh họa các biểu đồ tương ứng về hệ số suy hao vật liệu và hằng số điện môi vật liệu trên tần số đối với các vật liệu hấp thụ điện từ và điện môi của bảng mạch in (PCB) theo khía cạnh khác của sáng chế.

Fig.13A minh họa hình vẽ phối cảnh của đường truyền vi sai làm ví dụ theo khía cạnh khác của sáng chế.

Fig.13B minh họa biểu đồ về đáp ứng tần số được mô phỏng và đo lường làm ví dụ của đường truyền vi sai trên Fig.13A theo khía cạnh khác của sáng chế.

Fig.14 minh họa hình vẽ mặt cắt bên của bảng mạch in (PCB) làm ví dụ theo khía cạnh khác của sáng chế.

Fig.15 minh họa hình vẽ mặt cắt bên của bảng mạch in (PCB) làm ví dụ khác theo khía cạnh khác của sáng chế.

Fig.16 minh họa lưu đồ về phương pháp làm ví dụ để sản xuất bảng mạch in (PCB) theo khía cạnh khác của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết trình bày dưới đây dựa vào các hình vẽ kèm theo được dự định làm phần mô tả về các cấu hình khác nhau và không dự định để chỉ biểu diễn các cấu hình mà trong đó có thể áp dụng các khái niệm được mô tả ở đây. Phần mô tả chi tiết này bao gồm các chi tiết cụ thể để cung cấp sự hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ hiểu rõ là các khái niệm này có thể được thực hiện mà không cần đến những thông tin chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và bộ phận đã biết được thể hiện dưới dạng sơ đồ khối để tránh làm tối nghĩa các khái niệm như vậy.

Fig.1 minh họa sơ đồ khối của hệ thống truyền thông dữ liệu 100 làm ví dụ theo một khía cạnh của sáng chế. Ví dụ, hệ thống truyền thông dữ liệu 100 có thể liên quan

đến giao diện kết nối tốc độ cao thành phần ngoại vi (Peripheral Component Interconnect Express - PCI-e), giao diện bộ nhớ tốc độ dữ liệu kép (Double Data Rate - DDR) 4, hoặc loại hệ thống truyền dữ liệu khác. Theo ví dụ này, hệ thống truyền thông dữ liệu 100 bao gồm thiết bị thứ nhất 110, thiết bị thứ hai 130, và phương tiện truyền thông dữ liệu 120 nối thiết bị thứ nhất 110 với thiết bị thứ hai 130.

Theo ví dụ này, phương tiện truyền thông dữ liệu 120 bao gồm bảng mạch in (PCB) 122 với tập hợp các làn truyền thông dữ liệu 124-1 đến 124-n. Ví dụ, nếu mỗi làn truyền thông dữ liệu 124-1 đến 124-n được tạo cấu hình theo định dạng PCI-e, mỗi làn truyền thông dữ liệu bao gồm cặp dây dẫn điện thứ nhất để định tuyến tín hiệu dữ liệu nối tiếp vì sai từ thiết bị thứ nhất 110 đến thiết bị thứ hai 130, và cặp dây dẫn điện thứ hai để định tuyến tín hiệu dữ liệu nối tiếp vì sai từ thiết bị thứ hai 130 đến thiết bị thứ nhất 110. Cần hiểu rằng, tùy thuộc vào hệ thống truyền thông dữ liệu, làn truyền thông dữ liệu có thể được tạo cấu hình theo cách khác nhau, như đối với truyền thông dữ liệu đơn hướng, truyền thông dữ liệu qua các tín hiệu một ngõ, hoặc truyền thông dữ liệu song song.

Fig.2 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 200 làm ví dụ theo khía cạnh khác của sáng chế. PCB 200 có thể là phương án triển khai chi tiết làm ví dụ của PCB 122 của hệ thống truyền thông dữ liệu 100.

PCB 200 bao gồm tập hợp các lớp phủ kim loại xếp chồng, nằm ngang M0 đến M10 được tách biệt với nhau tương ứng bởi tập hợp các lớp điện môi (cách điện). Lớp phủ kim loại M0 được đặt ở dưới cùng của PCB 200, và lớp phủ kim loại M10 được đặt ở trên cùng của PCB 200. Các lớp phủ kim loại còn lại M1 đến M9 là các lớp phủ kim loại trung gian được xếp chồng theo chiều thẳng đứng theo thứ tự từ lớp phủ kim loại dưới cùng M0 đến lớp phủ kim loại trên cùng M10. Mặc dù theo ví dụ này PCB 200 có 11 lớp phủ kim loại từ M0 đến M10, cần hiểu rằng PCB 200 có thể có số lượng lớp phủ kim loại khác.

PCB 200 còn bao gồm tập hợp các via được phủ kim loại thẳng đứng 210 (một via được thể hiện để dễ minh họa) nối điện lớp phủ kim loại trên cùng M10 với lớp phủ kim loại dưới cùng M0. Thông thường, các lớp phủ kim loại và via được sử dụng để định tuyến tín hiệu dữ liệu từ thiết bị nguồn (ví dụ, thiết bị thứ nhất 110) đến thiết bị đích (ví dụ, thiết bị thứ hai 130). Theo ví dụ minh họa, tín hiệu dữ liệu “s” được định tuyến từ

miền tín hiệu vào của lớp phủ kim loại trên cùng M10 đến miền tín hiệu ra của một trong các lớp phủ kim loại trung gian (ví dụ, lớp M8) qua phần phía trên của via 210. Trong nhiều trường hợp, có thể mong muốn định tuyến các tín hiệu dữ liệu qua các lớp phủ kim loại phía trên, như các lớp phủ kim loại M10 và M8 được minh họa.

Ít nhất một phần của lớp phủ kim loại trung gian M9 ở dưới lớp phủ kim loại trên cùng M10 và ở trên lớp phủ kim loại trung gian M8 đóng vai trò là mặt phẳng nối đất để tạo kết cấu đường dẫn định tuyến tín hiệu từ tín hiệu vào đến tín hiệu ra về cơ bản dưới dạng vi dải. Cần hiểu rằng đường dẫn định tuyến tín hiệu dọc theo PCB 200 có thể được tạo kết cấu theo các dạng khác, như là mạch dải, vi dải đồng phẳng, vi dải treo, cũng như các dạng khác. Ví dụ, nếu được tạo kết cấu là mạch dải, lớp phủ kim loại trung gian có tín hiệu dữ liệu được đặt ở trên và ở dưới hai lớp phủ kim loại trung gian có mặt phẳng nối đất. Vi dải đồng phẳng có hai mặt phẳng nối đất trên cả hai bên của đường mạch phủ kim loại có tín hiệu dữ liệu, tất cả được tạo ra trên cùng lớp phủ kim loại. Vi dải treo có mặt phẳng nối đất mà có thể là một số lớp ở dưới hoặc ở trên đường mạch phủ kim loại có tín hiệu dữ liệu.

Theo kết cấu này, phần 212 của via 210 ở dưới lớp phủ kim loại trung gian M8, ở đây được gọi là đoạn via dư thừa (stub), không phục vụ mục đích định tuyến tín hiệu, và, thực tế, có thể tạo ra hiệu ứng cộng hưởng bất lợi trên tín hiệu dữ liệu “s” được định tuyến. Ví dụ, nếu độ dài của đoạn via dư thừa (stub) 212 giữa lớp phủ kim loại trung gian M8 và lớp phủ kim loại dưới cùng M0 là một phần tư bước sóng ($\lambda/4$) ở tần số nằm trong phổ của tín hiệu dữ liệu “s”, thì tín hiệu dữ liệu “s” thể hiện một khác ở tần số cụ thể này.

Fig.11 minh họa biểu đồ về suy hao chèn từ tín hiệu vào đến tín hiệu ra trên tần số cho cấu hình định tuyến tín hiệu của PCB 200. Trục y hoặc trục tung biểu diễn suy hao chèn nằm trong khoảng từ 0 deciben (decibel - dB) ở đỉnh đến -25dB ở đáy của biểu đồ. Trục x hoặc trục hoành biểu diễn tần số của tín hiệu dữ liệu từ 0 đến 50 gigahertz (gigahertz - GHz). Như được minh họa, theo ví dụ này, độ dài một phần tư bước sóng ($\lambda/4$) của đoạn via dư thừa (stub) 212 giữa lớp phủ kim loại trung gian M8 và lớp phủ kim loại dưới cùng M0 tương ứng với tần số khoảng 15 GHz, điều này tạo ra khác suy hao chèn được đánh dấu “m4” trên 20dB giữa tín hiệu vào và tín hiệu ra.

Trên thực tế, phần của tín hiệu dữ liệu “s” tiếp tục đi xuống đoạn via dư thừa (stub) 212, và sau đó phản xạ ra khỏi lớp phủ kim loại dưới cùng M0 để tạo ra tín hiệu

phản xạ “r”. Tín hiệu phản xạ “r” kết hợp theo cách triệt tiêu với tín hiệu dữ liệu “s” tại điểm nối của lớp phủ kim loại trung gian M8 và via 210 để tạo ra khắc suy hao chèn “m4”. Khắc “m4” gây ra hậu quả tiêu cực hơn đó là làm giảm hoặc thậm chí đóng mất dữ liệu của tín hiệu dữ liệu “s”.

Fig.3 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 300 làm ví dụ khác theo khía cạnh khác của sáng chế. PCB 300 có thể là hình vẽ mặt cắt ngang của PCB 200 theo phương thẳng đứng dọc theo via 210 và được nhìn từ góc độ tín hiệu ra hướng về via 210. Theo ví dụ này, PCB 300 bao gồm một cặp via 310-1 và 310-2 kéo dài từ lớp phủ kim loại trên cùng M10 đến lớp phủ kim loại dưới cùng M0 của PCB 300.

Cặp tín hiệu “s1” và “s2” được định tuyến từ lớp phủ kim loại trên cùng M10 đến cặp đường mạch phủ kim loại riêng tại lớp M8 (được biểu diễn là các hình vuông có các chấm trong đó) qua lần lượt các phần phía trên của các via 310-1 đến 310-2. Cặp tín hiệu “s1” và “s2” có thể là các tín hiệu một ngõ riêng biệt, hoặc các thành phần dương và âm của tín hiệu vi sai, hoặc thành phần của tín hiệu vi sai thứ nhất và thành phần của tín hiệu vi sai thứ hai. Như vậy, các tín hiệu “s1” và “s2” có thể bằng cách này hay cách khác có liên quan với nhau sao cho vị trí của các via 310-1 và 310-2 là tương đối gần nhau.

Như được minh họa, các phần của các tín hiệu “s1” và “s2” đi xuống các đoạn via dư thừa (stub) 312-1 và 312-2 của các via 310-1 và 310-2, và phản xạ ra khỏi các chân dán của lớp phủ kim loại dưới cùng riêng biệt M0 để tạo ra lần lượt các tín hiệu phản xạ “r1” và “r2”. Như được minh họa, các tín hiệu phản xạ “r1” và “r2” tạo ra các trường điện từ như được biểu diễn bởi các hình elip quanh các tín hiệu phản xạ “r1” và “r2”. Do các đoạn via dư thừa (stub) 312-1 và 312-2 là phản xạ gần nhau, các trường điện từ được tạo ra bởi các tín hiệu phản xạ “r1” và “r2” giao thoa với nhau. Do đó, ngoài các ảnh hưởng bất lợi đối với suy hao chèn và mất dữ liệu của các tín hiệu “s1” và “s2”, một hạn chế khác của các đoạn via dư thừa (stub) 312-1 và 312-2 là làm tăng nhiễu xuyên âm giữa các tín hiệu “s1” và “s2” do các trường điện từ giao thoa với nhau.

Fig.4 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 400 làm ví dụ khác theo khía cạnh khác của sáng chế. Một giải pháp để làm giảm các ảnh hưởng tiêu cực liên quan đến các đoạn via dư thừa (stub) này là rút ngắn các đoạn via dư thừa (stub) bằng cách khoan ngược. Khoan ngược là quy trình rút ngắn các đoạn via dư thừa (stub) bằng cách khoan vào trong các đoạn via dư thừa (stub) từ phần dưới cùng của PCB

để loại bỏ một độ dài xác định của các đoạn via dư thừa (stub). PCB 400 là ví dụ về PCB đã trải qua quy trình khoan ngược.

Như được minh họa, PCB 400 bao gồm via 410 có đoạn via dư thừa (stub) 412 đã được rút ngắn bằng cách khoan ngược. Theo ví dụ này, đoạn via dư thừa (stub) 412 kéo dài từ lớp phủ kim loại trung gian M8 đến một khoảng cách định trước ở dưới lớp phủ kim loại trung gian M8. Theo ví dụ này, đoạn via dư thừa (stub) 412 kéo dài đến gần như cùng mức với lớp phủ kim loại trung gian M6. Nhờ quy trình khoan ngược, hốc hoặc lỗ khoan 420 được tạo ra ở dưới đoạn via dư thừa (stub) 412 và kéo dài đến phần dưới cùng của PCB 400. Theo đó, một phần tư bước sóng ($\lambda/4$) của đoạn via dư thừa (stub) 412, về cơ bản là ngắn hơn do khoan ngược, được kết hợp với tần số cao hơn nhiều. Do đó, quy trình khoan ngược đoạn via dư thừa (stub) 412 dẫn đến việc đẩy khác suy hao chèn thu được lên tần số ở trên phổ của tín hiệu dữ liệu “s”.

Tuy nhiên, quy trình khoan ngược này khiến việc sản xuất PCB 400 trở nên phức tạp, tốn thời gian, và đắt đỏ. Ngoài ra, do các via 410 có thể được định vị gần nhau để sử dụng dấu vết PCB hiệu quả về mặt không gian, quy trình khoan ngược có thể không thực hiện được do các lỗ sẽ chạm vào nhau và/hoặc chúng sẽ vi phạm quy tắc về độ tin cậy trong sản xuất PCB.

Fig.5 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 500 làm ví dụ khác theo khía cạnh khác của sáng chế. Phương pháp khác để làm giảm các ảnh hưởng bất lợi của các đoạn via dư thừa (stub) trong PCB là thêm các điện trở đầu cuối vào đầu các đoạn via dư thừa (stub) ở dưới cùng của PCB để cung cấp tải cho tín hiệu “s” lan truyền xuống các đoạn via dư thừa (stub). Điều này làm giảm cường độ của các tín hiệu phản xạ để làm giảm các ảnh hưởng bất lợi đối với các tín hiệu dữ liệu do các tín hiệu phản xạ. PCB 500 là ví dụ về PCB đã được tạo kết cấu theo phương pháp này.

Cụ thể, PCB 500 bao gồm via 510 kéo dài từ lớp phủ kim loại trên cùng M10 đến lớp phủ kim loại dưới cùng M0. Như được minh họa, tín hiệu dữ liệu “s” lan truyền từ tín hiệu vào đến tín hiệu ra nhờ lớp phủ kim loại trên cùng M10, phần phía trên của via 510, và lớp phủ kim loại trung gian M8. Như cũng được minh họa, phần của tín hiệu dữ liệu “s” đi xuống dọc theo đoạn via dư thừa (stub) 512 của via 510 về phía lớp phủ kim loại dưới cùng M0.

Trong trường hợp này, PCB 500 còn bao gồm điện trở chip 520 với đầu cuối thứ nhất được nối điện với đầu phía dưới của đoạn via dư thừa (stub) 512 tại chân dán của lớp phủ kim loại dưới cùng M0, và đầu cuối thứ hai được nối với đầu cuối nối đất tại một chân dán khác của lớp phủ kim loại dưới cùng M0. Điện trở chip 520 đóng vai trò là tải đầu cuối để hạ thấp phần tín hiệu dữ liệu “s” lan truyền xuống đoạn via dư thừa (stub) 512 dưới lớp phủ kim loại trung gian M8. Điều này làm giảm hoặc loại bỏ tín hiệu phản xạ để ngăn ngừa các ảnh hưởng bất lợi đối với tín hiệu dữ liệu “s” lan truyền về phía tín hiệu ra.

Hạn chế của phương pháp điện trở đầu cuối là PCB 500 có thể bao gồm số lượng lớn các đoạn via dư thừa (stub). Điều này sẽ dẫn đến cần một số lượng lớn các điện trở chip lắp đặt trên PCB 500. Tương tự với phương pháp trước, điều này tạo ra quy trình sản xuất phức tạp, tốn thời gian, và đắt đỏ cho PCB 500. Thêm nữa, do khoảng cách giữa các đoạn via dư thừa (stub) liên kề và kích thước của mỗi điện trở chip, có thể không có đủ dấu vết PCB để lắp đặt an toàn hoặc có thể lắp đặt các điện trở chip cần thiết.

Fig.6 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 600 làm ví dụ khác theo khía cạnh khác của sáng chế. Để loại bỏ hoặc làm giảm cường độ của tín hiệu phản xạ ra khỏi đầu dưới cùng của via 610, PCB 600 bao gồm vật liệu hấp thụ điện từ 620 được gắn vào phần dưới cùng của PCB; và cụ thể, ở ngay dưới đoạn via dư thừa (stub) 612 của via 610. Như trong các phương án thực hiện trước, tín hiệu dữ liệu “s” lan truyền từ tín hiệu vào đến tín hiệu ra qua lớp phủ kim loại trên cùng M10, phần phía trên của via 610, và lớp phủ kim loại trung gian M8. Cần hiểu rằng tín hiệu dữ liệu “s” có thể đi vào theo chiều ngược lại, trong trường hợp này, tín hiệu vào là tín hiệu ra, và tín hiệu ra là tín hiệu vào. Trong mỗi trường hợp, một phần của tín hiệu dữ liệu “s” đi xuống đoạn via dư thừa (stub) 612 về phía lớp phủ kim loại dưới cùng M0.

Trong trường hợp này, vật liệu hấp thụ điện từ 620 hạ thấp (ví dụ, biến đổi thành nhiệt) phần của tín hiệu dữ liệu “s” lan truyền xuống đoạn via dư thừa (stub) 612 đến lớp phủ kim loại dưới cùng M0 để loại bỏ hoặc làm giảm đáng kể cường độ của tín hiệu phản xạ. Do đó, việc loại bỏ hoặc làm giảm cường độ của tín hiệu phản xạ tạo ra các tác động ít tiêu cực hơn đối với tín hiệu dữ liệu “s” lan truyền về phía tín hiệu ra. Cụ thể, khắc suy hao chèn mà được kết hợp trước đó với PCB không bù 200 về căn bản được giảm nhờ có vật liệu hấp thụ điện từ 620.

Điều này được thể hiện trên Fig.11, trong đó suy hao chèn của tín hiệu dữ liệu “s” giữa tín hiệu vào và tín hiệu ra, bao gồm khác suy hao chèn được đánh dấu là “m5” khoảng -11dB tại khoảng 15 GHz, so với khác suy hao chèn “m4” tại khoảng -21dB. Đây là sự cải thiện đáng kể về suy hao chèn và còn dẫn đến mất dữ liệu lớn hơn cũng như giảm nhiễu xuyên âm giữa các đoạn via dư thừa (stub) liền kề. Ví dụ, vật liệu hấp thụ điện từ 620 có thể được làm từ vật liệu hấp thụ điện từ polystyren, như các vật liệu MT-26 hoặc MT-24 do Dutch Microwave Absorber Solutions (DMAS) sản xuất. Cần hiểu rằng các loại vật liệu khác có thể được sử dụng cho vật liệu hấp thụ điện từ 620.

Fig.12 minh họa cặp biểu đồ về hệ số suy hao vật liệu và hằng số điện môi vật liệu trên tần số cho vật liệu hấp thụ điện từ 620 và các lớp điện môi (cách điện) của PCB 600. Theo ví dụ này, vật liệu hấp thụ điện từ 620 là vật liệu MT-26 do DMAS sản xuất và vật liệu điện môi (cách điện) của PCB 600 là FR-4, đây là vật liệu tổng hợp bao gồm vải sợi thủy tinh dệt với chất gắn kết nhựa epoxy chống cháy. Cần hiểu rằng các lớp điện môi (cách điện) của PCB 600 có thể bao gồm các loại vật liệu cách điện khác.

Biểu đồ hệ số suy hao vật liệu có trục y hoặc trục tung biểu diễn suy hao điện từ nằm trong khoảng từ gần không (ví dụ, 0,018) tại đáy đến bốn (4) tại đỉnh. Trục x hoặc trục hoành biểu diễn tần số từ 0 Hz đến 25GHz. Biểu đồ có các điểm hình kim cương biểu thị hệ số suy hao vật liệu đối với vật liệu điện môi (cách điện) FR-4 của PCB 600. Biểu đồ có các điểm hình tròn biểu thị hệ số suy hao vật liệu đối với vật liệu hấp thụ điện từ MT-26 620.

Như được minh họa, hệ số suy hao vật liệu của vật liệu FR-4 về cơ bản là phẳng tại 0,014 hoặc tổn hao về cơ bản rất thấp trên dải tần số từ 0Hz đến 20GHz. Điều này được mong chờ vì mong muốn rằng lớp điện môi (cách điện) của PCB 600 có các đặc tính tổn hao tín hiệu rất thấp để giảm thiểu tổn hao của tín hiệu dữ liệu trong lúc tín hiệu dữ liệu lan truyền qua PCB 600. Mặt khác, hệ số suy hao vật liệu của vật liệu MT-26 có hệ số tổn hao 3-3,5 (suy giảm ~250X so với FR4) tại khoảng 3-4 GHz và giảm dần xuống khoảng 1 (suy giảm ~70X so với FR4) tại khoảng 18GHz. Mong muốn vật liệu MT-26 có mức tổn hao cao hơn để hạ thấp phần của tín hiệu dữ liệu “s” lan truyền xuống đoạn via dư thừa (stub) 612 đến lớp phủ kim loại dưới cùng M0 để ngăn ngừa hoặc làm giảm tín hiệu phản xạ có thể gây ra các ảnh hưởng bất lợi đối với tín hiệu dữ liệu “s” lan truyền từ tín hiệu vào đến tín hiệu ra.

Biểu đồ hằng số điện môi vật liệu có trục y hoặc trục tung biểu diễn hằng số điện môi nằm trong khoảng từ 0 tại đáy đến bảy (7) tại đỉnh. Trục x hoặc trục hoành biểu diễn tần số từ 0Hz đến 25GHz. Biểu đồ với các điểm hình vuông biểu thị hằng số điện môi đối với vật liệu điện môi (cách điện) FR-4 của PCB 600. Biểu đồ với các điểm hình tròn biểu thị hằng số điện môi đối với vật liệu hấp thụ điện từ MT-26 620.

Như được minh họa, hằng số điện môi của vật liệu FR-4 về cơ bản là bất biến ở khoảng 3,5 trên dải tần số từ khoảng 0Hz đến 20GHz. Hằng số điện môi của vật liệu MT-26 giảm đột ngột từ gần 7 xuống khoảng 2 trên dải tần số từ khoảng 2Ghz đến 6GHz, và cơ bản là duy trì bất biến ở khoảng 2 trên dải tần số từ 6Ghz đến 18GHz. Để giảm tín hiệu phản xạ được tạo ra, tốt hơn là hằng số điện môi của vật liệu hấp thụ điện từ 620 càng gần với hằng số điện môi của lớp điện môi (cách điện) trong PCB 600 càng tốt. Ở đây, mức chênh lệch là khoảng 1,5 trong dải tần số quan tâm, mức này có thể chấp nhận được trong nhiều ứng dụng.

Vật liệu hấp thụ điện từ 620 có thể được tạo kết cấu là tấm vật liệu được gắn vào lớp phủ kim loại dưới cùng M0 ở ngay dưới tập hợp các đoạn via dư thừa (stub) 612 (mặc dù một đoạn via dư thừa (stub) 612 được thể hiện để dễ minh họa). Ví dụ, vật liệu hấp thụ điện từ 620 có thể có độ dày khoảng 0,5 millimet (mm), điều này tạo ra mức cải thiện 9,2dB trong suy hao chèn và mức cải thiện 11 phần trăm trong độ rộng mắt dữ liệu. Cần hiểu rằng độ dày và hình dạng của vật liệu hấp thụ điện từ 620 có thể được điều chỉnh để có được hiệu suất mong muốn hoặc tối ưu liên quan đến suy hao chèn, mắt dữ liệu, và/hoặc nhiễu xuyên âm.

Trở lại Fig.6, mặt phẳng nối đất tại lớp phủ kim loại trung gian M9 có thể có các via hoặc đoạn via dư thừa (stub) nối đất 614 và 616 nối điện mặt phẳng nối đất với lớp phủ kim loại nền dưới cùng M0. Theo đó, vật liệu hấp thụ điện từ có thể còn được gắn vào lớp phủ kim loại dưới cùng M0 ở ngay dưới các đoạn via dư thừa (stub) 614 và 616.

Fig.7 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 700 làm ví dụ khác theo khía cạnh khác của sáng chế. PCB 700 là một biến thể của PCB 600. Cụ thể, PCB 700 bao gồm cặp lớp xếp chồng 720 và 730 gắn vào phần dưới cùng của PCB 700; và cụ thể, vào vùng ở ngay dưới via 710 bao gồm đoạn via dư thừa (stub) 712 (mặc dù trong các ứng dụng thực tế hơn, các lớp xếp chồng 720 và 730 kéo dài liên tục theo hướng ngang sao cho nó được bố trí ở ngay dưới tập hợp các đoạn via dư thừa (stub)

712, như các via hoặc đoạn via dư thừa (stub) nối đất 714 và 716 được nối điện với mặt phẳng nối đất trên lớp phủ kim loại trung gian M9 và lớp phủ kim loại dưới cùng M0.

Lớp phía trên 720 của các lớp xếp chồng đóng vai trò tạo ra trở kháng chuyển tiếp giữa trở kháng hiệu dụng của đoạn via dư thừa (stub) 712 dọc theo vật liệu điện môi (cách điện) của PCB 700 và lớp xếp chồng phía dưới 730. Lớp phía dưới 730 là vật liệu hấp thụ điện từ tương tự với lớp hấp thụ điện từ 620 được mô tả ở trên. Để thu được trở kháng chuyển tiếp, lớp phía trên 720 có thể được tạo kết cấu để có hằng số điện môi nằm giữa hằng số điện môi của lớp điện môi (cách điện) trong PCB 700 và vật liệu hấp thụ điện từ 730. Ví dụ, nếu lớp điện môi (cách điện) trong PCB 700 là FR-4 (có hằng số điện môi khoảng 3,5), và vật liệu hấp thụ điện từ 730 là MT-26 (có hằng số điện môi khoảng 2), lớp phía trên 720 có thể được tạo kết cấu với hằng số điện môi khoảng 2,8.

Chức năng trở kháng chuyển tiếp của lớp phía trên 720 tạo ra sự chuyển tiếp trở kháng trơn tru hơn giữa trở kháng hiệu dụng của đoạn via dư thừa (stub) 712 và của vật liệu hấp thụ điện từ 730. Điều này giúp làm giảm hơn nữa cường độ của tín hiệu phản xạ được tạo ra dọc theo đoạn via dư thừa (stub) 712. Do đó, tín hiệu phản xạ, nếu có, có ít ảnh hưởng bất lợi hơn đối với tín hiệu dữ liệu “s” lan truyền từ tín hiệu vào đến tín hiệu ra qua lớp phủ kim loại trên cùng M10, via 710, và lớp phủ kim loại trung gian M8.

Fig.8 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 800 làm ví dụ khác theo khía cạnh khác của sáng chế. Theo phương án thực hiện làm ví dụ này, PCB 800 bao gồm vật liệu hấp thụ điện từ 820 bao quanh đồng trục và được gắn vào một phần của đoạn via dư thừa (stub) 812 của via 810 ở dưới lớp phủ kim loại trung gian M8. Vật liệu hấp thụ điện từ 820 có thể được tạo kết cấu tương tự với các vật liệu hấp thụ điện từ 620 và 730 khác được mô tả ở đây. Ví dụ, vật liệu hấp thụ điện từ 820 có thể được làm từ vật liệu hấp thụ điện từ polystyren, như các vật liệu MT-26 hoặc MT-24 được sản xuất bởi DMAS.

Vật liệu hấp thụ điện từ 820 hấp thụ một phần tín hiệu dữ liệu “s” lan truyền xuống đoạn via dư thừa (stub) 812 ở dưới lớp phủ kim loại trung gian M8. Do đó, vật liệu hấp thụ điện từ 820 hạ thấp (ví dụ, biến đổi thành nhiệt) phần tín hiệu dữ liệu “s” lan truyền qua đoạn via dư thừa (stub) 812 ở dưới lớp phủ kim loại trung gian M8 để làm giảm hoặc loại bỏ bất kỳ tín hiệu phản xạ nào sẽ xảy ra nếu tín hiệu dữ liệu “s” lan truyền đến lớp phủ kim loại dưới cùng M0 không yếu đi. Ví dụ, độ dày của vật liệu hấp

thụ điện từ 820 có thể là 20 micromet (μm) và độ dài 1,4mm. Cần hiểu rằng độ dài và độ dày của vật liệu hấp thụ điện từ 820 có thể được điều chỉnh để có được hiệu suất mong muốn hoặc tối ưu khi có suy hao chèn, mất dữ liệu, và/hoặc nhiễu xuyên âm.

Ngược lại, điều này có lợi để làm giảm suy hao chèn của tín hiệu dữ liệu “s” khi nó lan truyền từ tín hiệu vào đến tín hiệu ra nhờ lớp phủ kim loại trên cùng M10, phần phía trên của via 810, và lớp phủ kim loại trung gian M8. Mặt khác, như đã thảo luận, các lợi ích khác bao gồm mất dữ liệu rộng hơn và nhiễu xuyên âm ít hơn giữa các đoạn via dư thừa (stub) liền kề. Mặc dù, theo ví dụ này, chỉ một vật liệu hấp thụ điện từ 820 được thể hiện là bao quanh đồng trục một phần của đoạn via dư thừa (stub) 812, cần hiểu rằng PCB 800 có thể bao gồm các đoạn via dư thừa (stub) khác với vật liệu hấp thụ điện từ tương ứng 820 trong kết cấu tương tự.

Fig.9 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 900 làm ví dụ khác theo khía cạnh khác của sáng chế. PCB 900 là sự kết hợp của các phương án trước của PCB 600 và 800. Tức là, PCB 900 bao gồm vật liệu hấp thụ điện từ 920 bao quanh đồng trục và được gắn vào một phần của đoạn via dư thừa (stub) 912 của via 910 ở dưới lớp phủ kim loại trung gian M8. Ngoài ra, PCB 900 bao gồm vật liệu hấp thụ điện từ 930 được gắn vào phần dưới cùng của PCB 900; và cụ thể, ở ngay dưới đoạn via dư thừa (stub) 912, cũng như các đoạn via dư thừa (stub) khác, bao gồm các via hoặc đoạn via dư thừa (stub) nối đất 914 và 916 được nối điện với mặt phẳng nối đất tại lớp phủ kim loại trung gian M9 và lớp phủ kim loại dưới cùng M0.

Các vật liệu hấp thụ điện từ 920 và 930 có thể là vật liệu giống nhau (ví dụ, cả hai được làm từ MT-26 hoặc MT-24) hoặc có thể là các vật liệu khác nhau. Ngược lại, nếu PCB 900 bao gồm tập hợp các đoạn via dư thừa (stub), thì PCB bao gồm tập hợp vật liệu hấp thụ điện từ 920 được gắn đồng trục tương ứng vào các phần của tập hợp các đoạn via dư thừa (stub). Ngoài ra, PCB 900 có thể bao gồm một hoặc nhiều vật liệu hấp thụ điện từ 930 được gắn vào phần dưới cùng của PCB ở ngay dưới tập hợp các đoạn via dư thừa (stub).

Fig.10 minh họa hình vẽ mặt cắt ngang của bảng mạch in (PCB) 1000 làm ví dụ khác theo khía cạnh khác của sáng chế. PCB 1000 là sự kết hợp của các phương án thực hiện của PCB 700 và 800 như được mô tả ở trên. Tức là, PCB 1000 bao gồm vật liệu hấp thụ điện từ 1020 bao quanh đồng trục và được gắn vào một phần của đoạn via dư thừa

(stub) 1012 của via 1010 ở dưới lớp phủ kim loại trung gian M8. Ngoài ra, PCB 1000 bao gồm tập hợp các lớp xếp chồng 1030 và 1040 được gắn vào phần dưới cùng của PCB 1000; và cụ thể, ở ngay dưới đoạn via dư thừa (stub) 1012, cũng như các đoạn via dư thừa (stub) khác, bao gồm các via hoặc đoạn via dư thừa (stub) nổi đất 1014 và 1016 được nối điện với mặt phẳng nổi đất tại lớp phủ kim loại trung gian M9 và lớp phủ kim loại dưới cùng M0. Các lớp xếp chồng bao gồm lớp điện môi chuyển tiếp trở kháng 1030 và lớp hấp thụ điện từ 1040. Lớp chuyển tiếp trở kháng 1030 có thể có hằng số điện môi nằm giữa hằng số điện môi của lớp điện môi (cách điện) của PCB 1000 và hằng số điện môi của lớp hấp thụ điện từ 1040.

Các vật liệu hấp thụ điện từ 1020 và 1040 có thể là vật liệu giống nhau (ví dụ, cả hai được làm từ MT-26 hoặc MT-24) hoặc có thể là các vật liệu khác nhau. Ngoài ra, nếu PCB 1000 bao gồm tập hợp các đoạn via dư thừa (stub), thì tập hợp vật liệu hấp thụ điện từ 1020 bao quanh đồng trục lần lượt các phần của tập hợp các đoạn via dư thừa (stub). Ngoài ra, PCB 1000 có thể bao gồm một hoặc nhiều lớp xếp chồng 1030 và 1040 được gắn vào phần dưới cùng của PCB ở ngay dưới tập hợp các đoạn via dư thừa (stub).

Fig.13A minh họa hình vẽ phối cảnh của đường truyền vi sai 1300 làm ví dụ theo khía cạnh khác của sáng chế. Đường truyền vi sai 1300 được sử dụng để xác minh sự đáp ứng tần số được mô phỏng của đường truyền vi sai với đoạn via dư thừa (stub) của via mà không được bù bằng việc sử dụng vật liệu hấp thụ điện từ.

Cụ thể, đường truyền vi sai 1300 bao gồm các đầu vào tín hiệu vi sai dương và âm S_{i+} và S_{i-} được tạo ra lần lượt tại các đầu thứ nhất tương ứng của cặp đường truyền vi sai thứ nhất 1310+ và 1310-. Cặp đường truyền thứ nhất 1310+ và 1310- có thể được tạo ra trên lớp phủ kim loại trên cùng hoặc phía trên của bảng mạch in (PCB). Thiết bị vi sai (truyền) thứ nhất (không được thể hiện trên hình vẽ) có thể được nối lần lượt với các đầu vào tín hiệu vi sai S_{i+} và S_{i-} của cặp đường truyền vi sai thứ nhất 1310+ và 1310-.

Đường truyền vi sai 1300 còn bao gồm cặp via phủ kim loại vi sai thứ nhất 1320+ và 1320- được nối điện lần lượt với các đầu thứ hai của cặp đường truyền vi sai thứ nhất 1310+ và 1310-. Các via phủ kim loại 1320+ và 1320- kéo dài xuống phía dưới và tiếp xúc điện với lớp phủ kim loại dưới cùng hoặc phía dưới của PCB.

Đường truyền vi sai 1300 còn bao gồm cặp đường truyền vi sai thứ hai 1330+ và 1330-, tương ứng. Cặp đường truyền thứ hai 1330+ và 1330- có thể được tạo ra trên lớp phủ kim loại trung gian của PCB, tức là, lớp phủ kim loại ở giữa lớp phủ kim loại trên cùng hoặc phía trên và lớp phủ kim loại dưới cùng hoặc phía dưới. Cặp đường truyền thứ hai 1330+ và 1330- bao gồm các đầu thứ nhất được nối điện với cặp via phủ kim loại vi sai thứ nhất 1320+ và 1320-.

Đường truyền vi sai 1300 còn bao gồm cặp via phủ kim loại vi sai thứ hai 1340+ và 1340- kéo dài từ lớp phủ kim loại trên cùng hoặc phía trên đến lớp phủ kim loại dưới cùng hoặc phía dưới. Cặp đường truyền vi sai thứ hai 1330+ và 1330- bao gồm các đầu thứ hai được nối điện lần lượt với cặp via phủ kim loại vi sai thứ hai 1340+ và 1340-.

Đường truyền vi sai 1300 còn bao gồm cặp đường truyền vi sai thứ ba 1350+ và 1350-, tương ứng. Cặp đường truyền thứ ba 1350+ và 1350- có thể được tạo ra trên lớp phủ kim loại trên cùng hoặc phía trên của PCB. Cặp đường truyền thứ ba 1350+ và 1350- bao gồm các đầu thứ nhất được nối điện với cặp via phủ kim loại vi sai thứ hai 1340+ và 1340-. Cặp đường truyền vi sai thứ ba 1350+ và 1350- bao gồm các đầu thứ hai có vai trò lần lượt là các đầu ra tín hiệu vi sai S_{o+} và S_{o-} . Thiết bị vi sai (thu) thứ hai (không được thể hiện trên hình vẽ) có thể được nối lần lượt với các đầu ra tín hiệu vi sai S_{o+} và S_{o-} .

Khi đường truyền vi sai 1300 không bao gồm vật liệu hấp thụ điện từ được nối với các đoạn via dư thừa (stub) trong các via phủ kim loại 1320+/1320- và 1340+/1340-, cuộc truyền tín hiệu vi sai từ đầu vào vi sai S_{i+}/S_{i-} đến đầu ra vi sai S_{o+}/S_{o-} tạo ra khác trong đáp ứng tần số của đường truyền vi sai 1300.

Fig.13B minh họa biểu đồ về đáp ứng tần số được mô phỏng và đo lường làm ví dụ của đường truyền vi sai 1300 theo khía cạnh khác của sáng chế. Trục y hoặc trục tung biểu diễn suy hao chèn từ 0dB tại đỉnh đến -35 dB tại đáy của thang đo. Trục x hoặc trục hoành biểu diễn tần số từ 0Hz ở rìa trái đến 20GHz ở rìa phải.

Biểu đồ minh họa sự đáp ứng tần số được mô phỏng của đường truyền vi sai 300 về cơ bản là giống với đáp ứng tần số đo được của nó. Vì vậy, đường truyền vi sai 300 có đáp ứng tần số về cơ bản là phẳng với suy hao chèn khoảng 0 đến 9GHz trong khoảng từ

0 đến 2,5dB . Trong khoảng từ 9 đến 18 GHz, đáp ứng tần số của đường truyền vi sai 300 thể hiện tại khác với suy hao chèn đỉnh tại khoảng 13GHz.

Như được thảo luận, khác là do các đoạn via dư thừa (stub) ở dưới các điểm gắn các đường truyền 1330+ và 1330- với các via 1320+/1320- và 1340+/1340-; tạo ra tín hiệu vi sai phản xạ ra khỏi phần dưới cùng của đoạn via dư thừa (stub), tín hiệu này lan truyền lên phía trên dọc theo các đoạn via dư thừa (stub) và kết hợp theo cách triệt tiêu với tín hiệu vi sai lan truyền từ đầu vào tín hiệu S_{i+}/S_{i-} đến đầu ra tín hiệu S_{o+}/S_{o-} . Như được thảo luận, việc sử dụng vật liệu hấp thụ điện từ được nối với các đoạn via dư thừa (stub) của đường truyền vi sai 300 sẽ cơ bản làm giảm ảnh hưởng của khác sao cho đáp ứng tần số của đường truyền 300 sẽ không ảnh hưởng đáng kể đến cuộc truyền tín hiệu vi sai từ đầu vào tín hiệu S_{i+}/S_{i-} đến đầu ra tín hiệu S_{o+}/S_{o-} .

Fig.14 minh họa hình vẽ mặt cắt bên của bảng mạch in (PCB) 1400 làm ví dụ theo khía cạnh khác của sáng chế. Theo ví dụ này, PCB 1400 đang trải qua quy trình tạo ra vật liệu hấp thụ điện từ dọc theo phần dưới cùng của đoạn via dư thừa (stub) của via như đã thảo luận.

PCB 1400 bao gồm tập hợp các lớp phủ kim loại được đặt giữa tập hợp các lớp cách điện, để dễ mô tả, được biểu diễn chung là 1410. PCB 1400 còn bao gồm đoạn via dư thừa (stub) 1420 kéo dài xuống đến chân dán phủ kim loại 1430, có thể ở trên lớp phủ kim loại dưới cùng (ví dụ, M0) của PCB 1400. Ngoài ra, PCB 1400 bao gồm một hoặc nhiều chân dán phủ kim loại nổi đất 1440, mà có thể cũng ở trên lớp phủ kim loại dưới cùng (ví dụ, M0) của PCB 1400.

Để tạo ra vật liệu hấp thụ điện từ 1460 được nối với đoạn via dư thừa (stub) 1420, lớp mặt nạ 1450 có thể được đặt vào và tạo kiểu trên các chân dán nổi đất 1440. Sau đó, vật liệu hấp thụ điện từ 1460 được tạo ra trên chân dán phủ kim loại 1430, cũng như trên lớp mặt nạ 1450. Ví dụ, vật liệu hấp thụ điện từ 1460 có thể được phun lên phần dưới cùng của PCB 1400 để tạo ra vật liệu hấp thụ điện từ trên chân dán phủ kim loại 1430 và lớp mặt nạ 1450. Ví dụ, vật liệu hấp thụ điện từ có thể được phun được này bao gồm uretan, silicon, hoặc epoxy. Vật liệu hấp thụ điện từ 1460 trên lớp mặt nạ 1450 có thể được loại bỏ sau đó chỉ để lại vật liệu hấp thụ điện từ 1460 trên chân dán phủ kim loại 1430 được nối với đoạn via dư thừa (stub) 1420.

Fig.15 minh họa hình vẽ mặt cắt bên của bảng mạch in (PCB) 1500 làm ví dụ khác theo khía cạnh khác của sáng chế. Tương tự, theo ví dụ này, PCB 1500 đang trải qua quy trình tạo ra vật liệu hấp thụ điện từ dọc theo phần dưới cùng của đoạn via dư thừa (stub) của via như đã thảo luận.

PCB 1500 bao gồm tập hợp các lớp phủ kim loại được đặt giữa tập hợp các lớp cách điện, để dễ mô tả, được biểu diễn chung là 1510. PCB 1500 còn bao gồm đoạn via dư thừa (stub) 1520 kéo dài xuống đến chân dán phủ kim loại 1530, có thể ở trên lớp phủ kim loại dưới cùng (ví dụ, M0) của PCB 1500. Ngoài ra, PCB 1500 bao gồm một hoặc nhiều chân dán phủ kim loại nổi đất 1540, mà có thể cũng ở trên lớp phủ kim loại dưới cùng (ví dụ, M0) của PCB 1500.

Sau đó, vật liệu hấp thụ điện từ 1550 được tạo ra trên chân dán phủ kim loại 1430, cũng như trên các chân dán phủ kim loại nổi đất 1540. Tương tự, vật liệu hấp thụ điện từ 1550 có thể được phun lên phần dưới cùng của PCB 1500 để tạo ra vật liệu hấp thụ điện từ trên các chân dán phủ kim loại 1530 và 1540. Ví dụ, vật liệu hấp thụ điện từ có thể phun được này bao gồm uretan, silicon, hoặc epoxy.

Fig.16 minh họa lưu đồ về phương pháp 1600 làm ví dụ để sản xuất bảng mạch in (PCB) theo khía cạnh khác của sáng chế.

Phương pháp 1600 bao gồm bước tạo ra tập hợp các lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp các lớp cách điện xếp chồng, trong đó tập hợp các lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian (khối 1610).

Phương pháp 1600 còn bao gồm bước tạo ra via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra (khối 1620).

Ngoài ra, phương pháp 1600 bao gồm bước tạo ra vật liệu hấp thụ điện từ được tạo kết cấu để làm giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới (khối 1630).

Phần mô tả trên đây của sáng chế được trình bày để cho phép người có hiểu biết trung bình về lĩnh vực kỹ thuật này có thể thực hiện hoặc sử dụng sáng chế. Có nhiều dạng cải biến đối với các phương án của sáng chế sẽ được người có hiểu biết trung bình về lĩnh vực kỹ thuật này tìm ra một cách dễ dàng, và các nguyên lý chung đã nêu ra trong sáng chế có thể được áp dụng cho những phương án khác mà không bị coi là vượt ra ngoài phạm vi của sáng chế. Do đó, sáng chế không chỉ giới hạn ở các ví dụ được mô tả ở đây mà sáng chế phải được hiểu theo phạm vi rộng nhất phù hợp với các nguyên lý và dấu hiệu mới được mô tả ở đây.

YÊU CẦU BẢO HỘ

1. Bảng mạch in (printed circuit board - PCB), bao gồm:

tập hợp lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp lớp cách điện, trong đó tập hợp lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian.

via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới, trong đó đoạn via dư thừa (stub) của via bên dưới lớp phủ kim loại trung gian tạo ra khác suy hao chèn tại tần số cụ thể của tín hiệu dữ liệu lan truyền giữa các lớp phủ kim loại trung gian và phía trên; và

vật liệu hấp thụ điện từ được ghép nối với đoạn via dư thừa (stub) để giảm khác suy hao chèn, trong đó vật liệu hấp thụ điện từ được gắn đồng trục quanh một phần của đoạn via dư thừa (stub), và trong đó vật liệu hấp thụ điện từ được tạo kết cấu để giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới.

2. PCB theo điểm 1, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra.

3. PCB theo điểm 1, trong đó vật liệu hấp thụ điện từ được gắn vào lớp phủ kim loại phía dưới ở ngay dưới đoạn via dư thừa (stub).

4. PCB theo điểm 1, PCB này còn bao gồm vật liệu điện từ thứ hai được gắn vào lớp phủ kim loại phía dưới ở ngay dưới đoạn via dư thừa (stub).

5. PCB theo điểm 1, PCB này còn bao gồm mặt phẳng nối đất liên kết với các lớp phủ kim loại phía trên và trung gian, trong đó vật liệu hấp thụ điện từ được ghép nối với mặt phẳng nối đất.

6. PCB theo điểm 1, trong đó vật liệu hấp thụ điện từ có hệ số suy hao vật liệu lớn hơn hệ số suy hao vật liệu của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

7. PCB theo điểm 1, trong đó vật liệu hấp thụ điện từ có hằng số điện môi nhỏ hơn hằng số điện môi của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

8. PCB theo điểm 1, trong đó vật liệu hấp thụ điện từ bao gồm uretan, silicon, hoặc epoxy.

9. PCB theo điểm 1, trong đó vật liệu hấp thụ điện từ có hệ số suy hao vật liệu lớn hơn một (1) tại tần số cụ thể.

10. Bảng mạch in bao gồm:

tập hợp lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp lớp cách điện xếp chồng, trong đó tập hợp lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian;

via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới; và

vật liệu hấp thụ điện từ được ghép nối với via, trong đó vật liệu hấp thụ điện từ được tạo kết cấu để giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới, trong đó vật liệu hấp thụ điện từ được gắn vào vật liệu điện môi đặt giữa lớp phủ kim loại phía dưới và vật liệu hấp thụ điện từ ở ngay dưới đoạn via dư thừa (stub), trong đó hằng số điện môi của vật liệu điện môi nằm giữa hằng số điện môi của các lớp cách điện xếp chồng và hằng số điện môi của vật liệu hấp thụ điện từ.

11. Bảng mạch in theo điểm 10, trong đó vật liệu hấp thụ điện từ có hệ số suy hao vật liệu lớn hơn hệ số suy hao vật liệu của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

12. Bảng mạch in theo điểm 10, trong đó hằng số điện môi của vật liệu hấp thụ điện từ nhỏ hơn hằng số điện môi của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

13. Bảng mạch in theo điểm 10, trong đó vật liệu hấp thụ điện từ bao gồm uretan, silicon, hoặc epoxy.

14. Bảng mạch in theo điểm 10, bảng mạch này còn bao gồm vật liệu hấp thụ điện từ thứ hai được gắn đồng trục quanh một phần của đoạn via dư thừa (stub).

15. Bảng mạch in theo điểm 10, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra.

16. Bảng mạch in bao gồm:

tập hợp lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp lớp cách điện xếp chồng, trong đó tập hợp lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian;

via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới;

vật liệu hấp thụ điện từ được ghép nối với via, trong đó vật liệu hấp thụ điện từ được tạo kết cấu để giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới; và

vật liệu hấp thụ điện từ thứ hai được gắn vào vật liệu điện môi đặt ở giữa lớp phủ kim loại phía dưới và vật liệu hấp thụ điện từ thứ hai ở ngay dưới đoạn via dư thừa (stub), trong đó hằng số điện môi của vật liệu điện môi nằm giữa hằng số điện môi của các lớp cách điện xếp chồng và hằng số điện môi của vật liệu hấp thụ điện từ.

17. Bảng mạch in theo điểm 16, trong đó ít nhất một trong vật liệu hấp thụ điện từ hoặc vật liệu hấp thụ điện từ thứ hai có hệ số suy hao vật liệu lớn hơn hệ số suy hao vật liệu của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

18. Bảng mạch in theo điểm 16, trong đó ít nhất một trong hằng số điện môi của vật liệu hấp thụ điện từ hoặc hằng số điện môi của vật liệu hấp thụ điện từ thứ hai nhỏ hơn hằng số điện môi của các lớp cách điện xếp chồng đối với ít nhất một phần của phổ tần số của tín hiệu dữ liệu.

19. Bảng mạch in theo điểm 16, trong đó ít nhất một trong vật liệu hấp thụ điện từ hoặc vật liệu hấp thụ điện từ thứ hai bao gồm uretan, silicon, hoặc epoxy.

20. Bảng mạch in theo điểm 16, trong đó vật liệu hấp thụ điện từ được gắn đồng trục quanh một phần của đoạn via dư thừa (stub).

21. Bảng mạch in theo điểm 16, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu giữa tín hiệu vào và tín hiệu ra.

22. Máy bao gồm:

thiết bị thứ nhất được tạo cấu hình để phát ra tín hiệu dữ liệu;

thiết bị thứ hai được tạo cấu hình để nhận tín hiệu dữ liệu; và

bảng mạch in (PCB) bao gồm:

tập hợp lớp phủ kim loại xếp chồng được tách biệt tương ứng bởi tập hợp lớp cách điện xếp chồng, trong đó tập hợp lớp phủ kim loại xếp chồng bao gồm lớp phủ kim loại phía trên, lớp phủ kim loại phía dưới, và lớp phủ kim loại trung gian;

via được nối điện với lớp phủ kim loại phía trên, lớp phủ kim loại trung gian, và lớp phủ kim loại phía dưới, trong đó lớp phủ kim loại phía trên, một phần của via ở giữa lớp phủ kim loại phía trên và lớp phủ kim loại trung gian, và lớp phủ kim loại trung gian được tạo kết cấu để định tuyến tín hiệu dữ liệu từ thiết bị thứ nhất đến thiết bị thứ hai, trong đó đoạn via dư thừa (stub) của via bên dưới lớp phủ kim loại trung gian tạo ra khắc suy hao chèn tại tần số cụ thể của tín hiệu dữ liệu; và

vật liệu hấp thụ điện từ được tạo kết cấu để giảm khắc suy hao chèn, trong đó vật liệu hấp thụ điện từ được gắn đồng trục quanh một phần của đoạn via dư thừa (stub), và trong đó vật liệu hấp thụ điện từ được tạo kết cấu để giảm cường độ của tín hiệu phản xạ thu được từ việc tín hiệu dữ liệu lan truyền xuống dọc theo đoạn via dư thừa (stub) của via và phản xạ ra khỏi lớp phủ kim loại phía dưới.

23. Máy theo điểm 22, trong đó vật liệu hấp thụ điện từ bao gồm vật liệu polystyren.

24. Máy theo điểm 22, trong đó vật liệu hấp thụ điện từ có hệ số suy hao vật liệu lớn hơn một (1) tại tần số cụ thể.

1/7

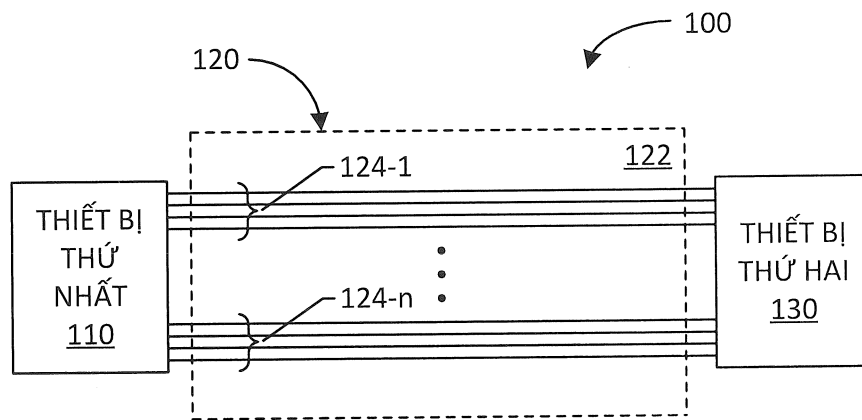


Fig.1

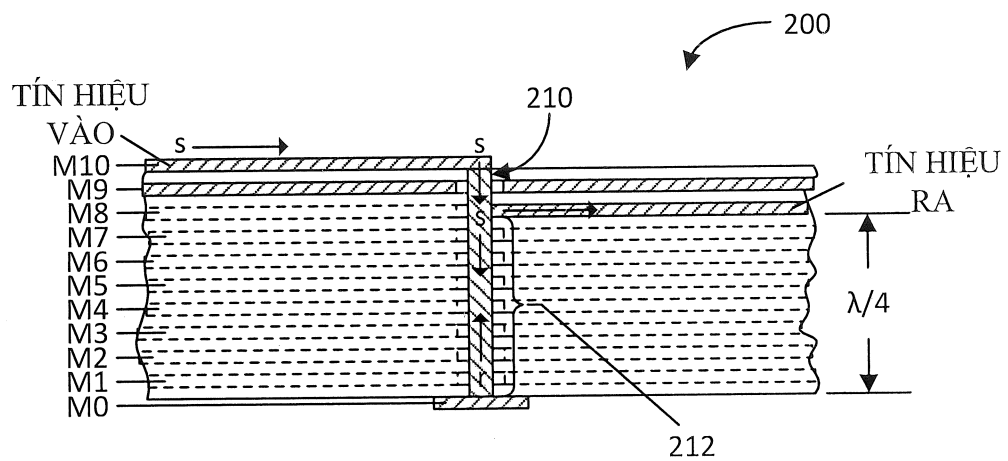


Fig.2

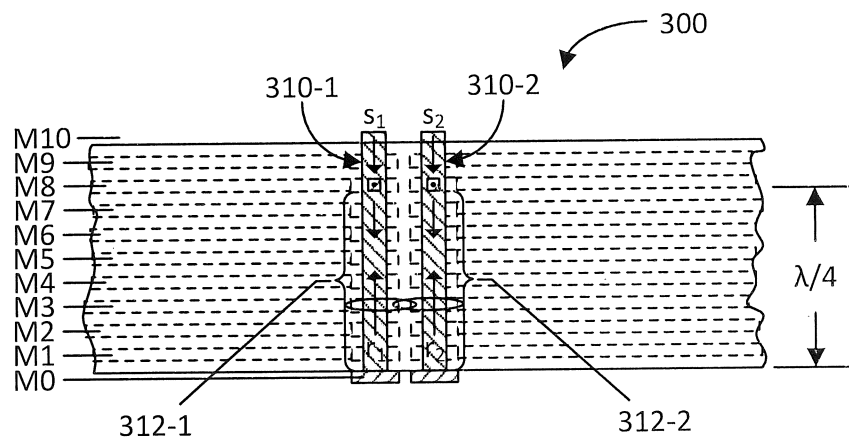


Fig.3

2/7

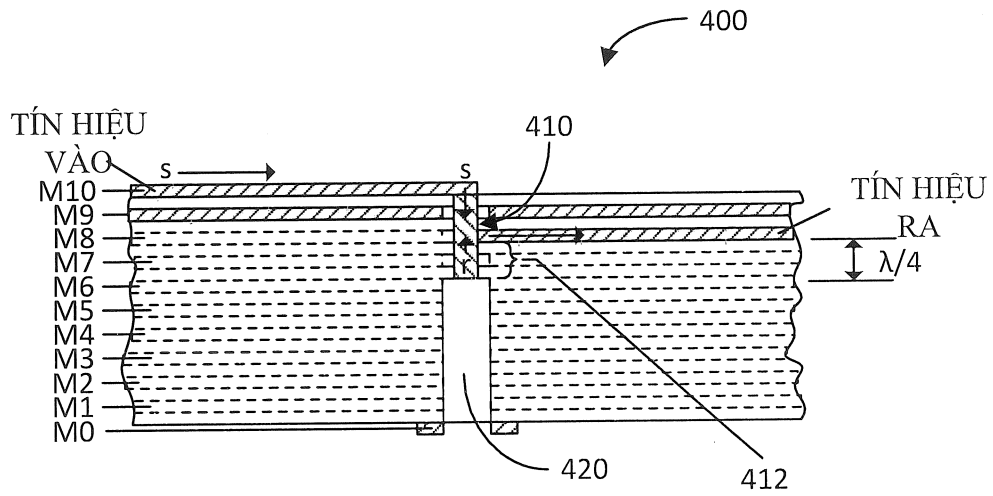


Fig.4

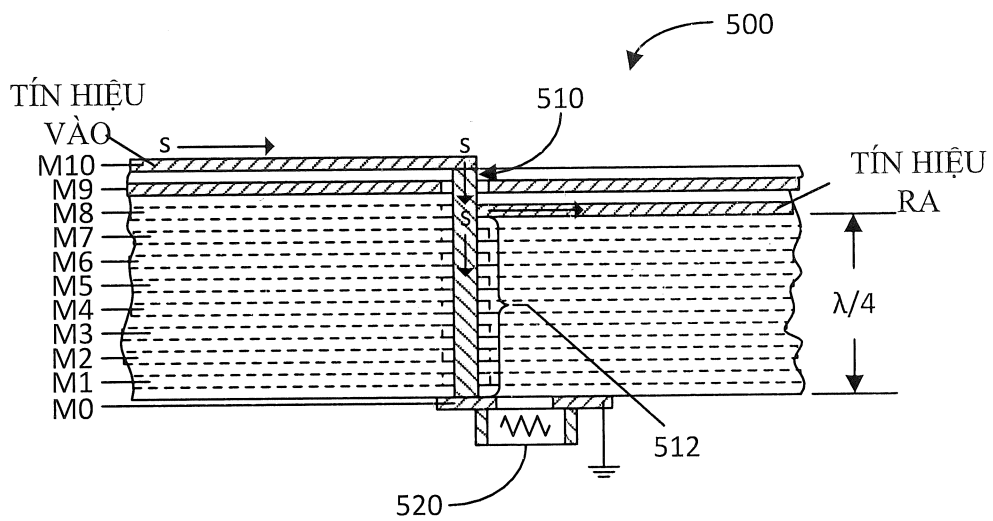


Fig.5

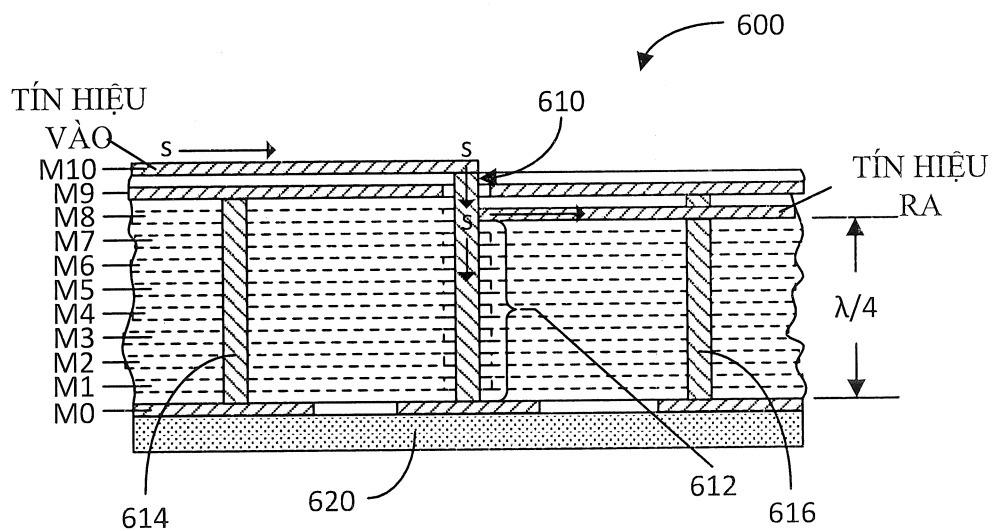


Fig.6

3/7

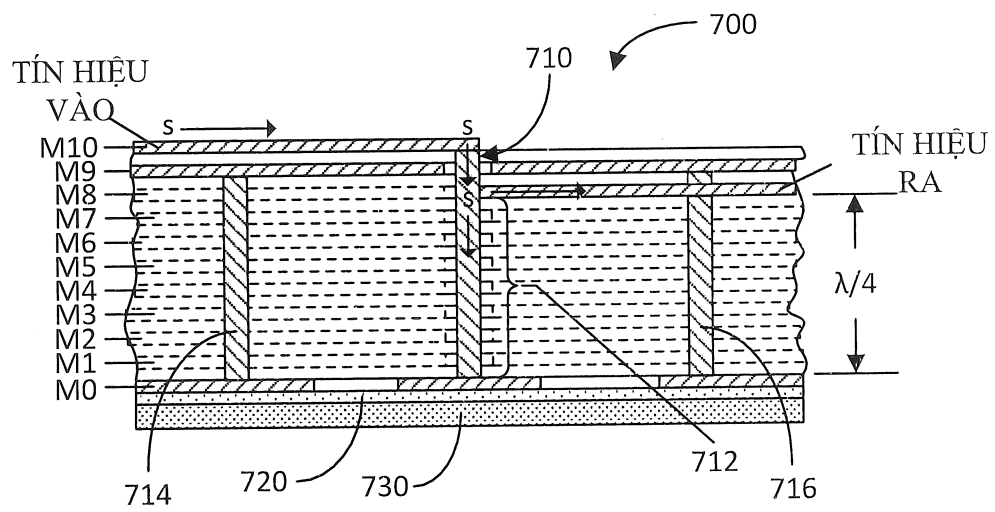


Fig.7

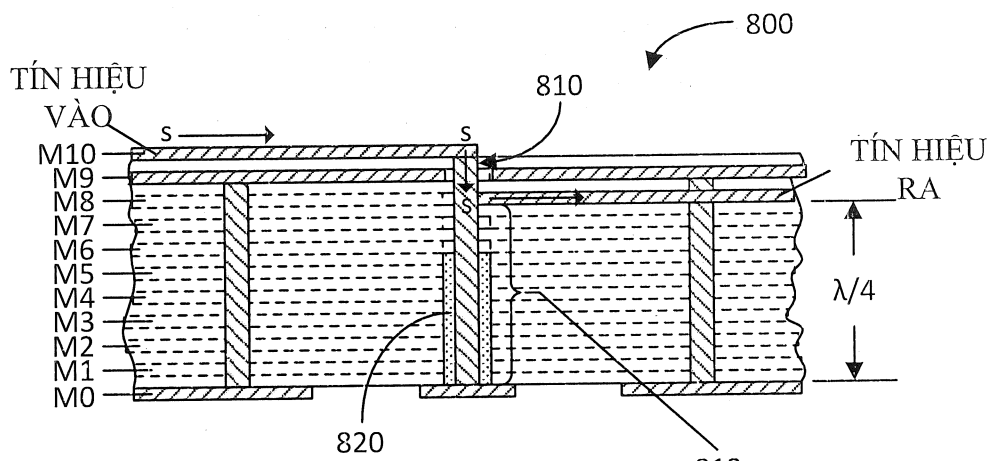


Fig.8

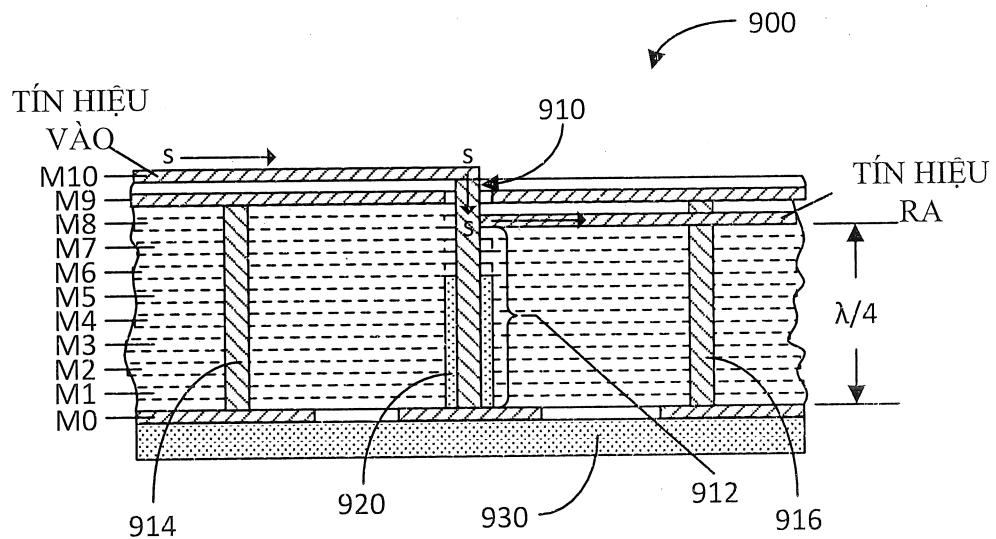
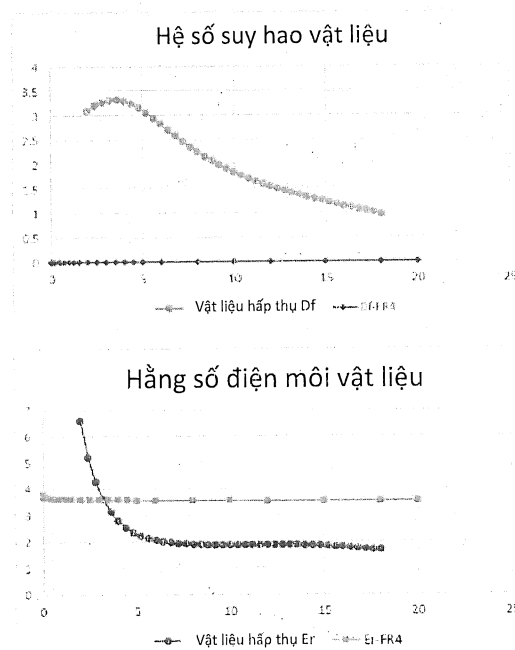
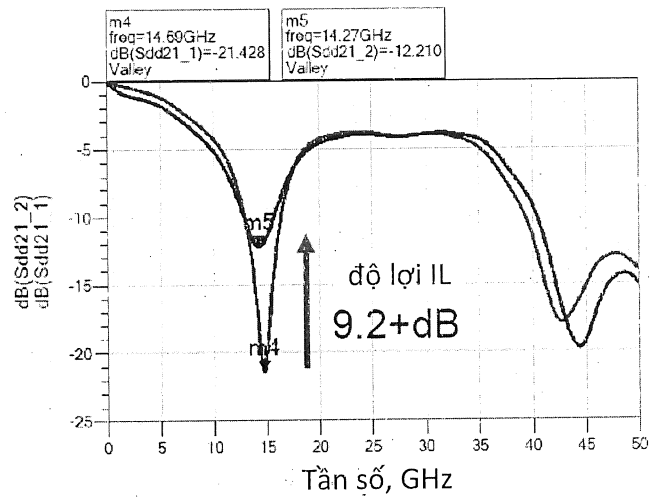
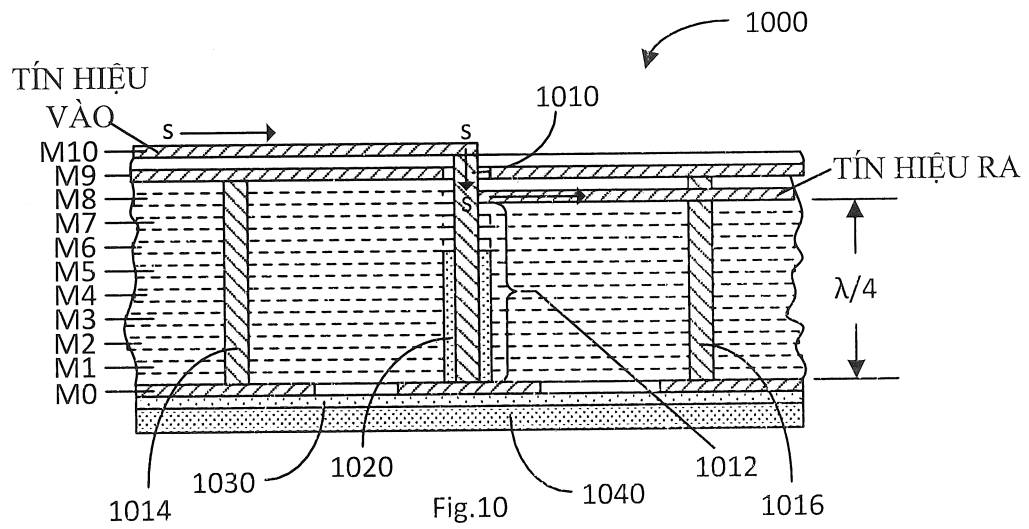


Fig.9

4/7



5/7

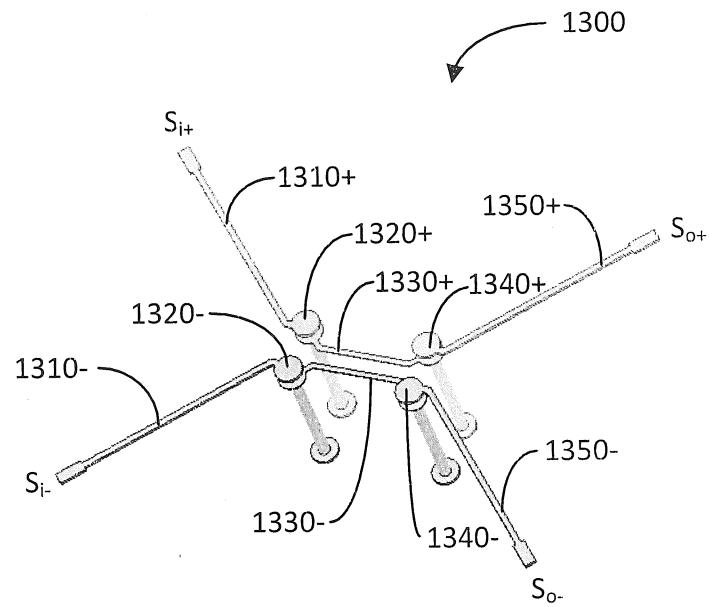


Fig.13A

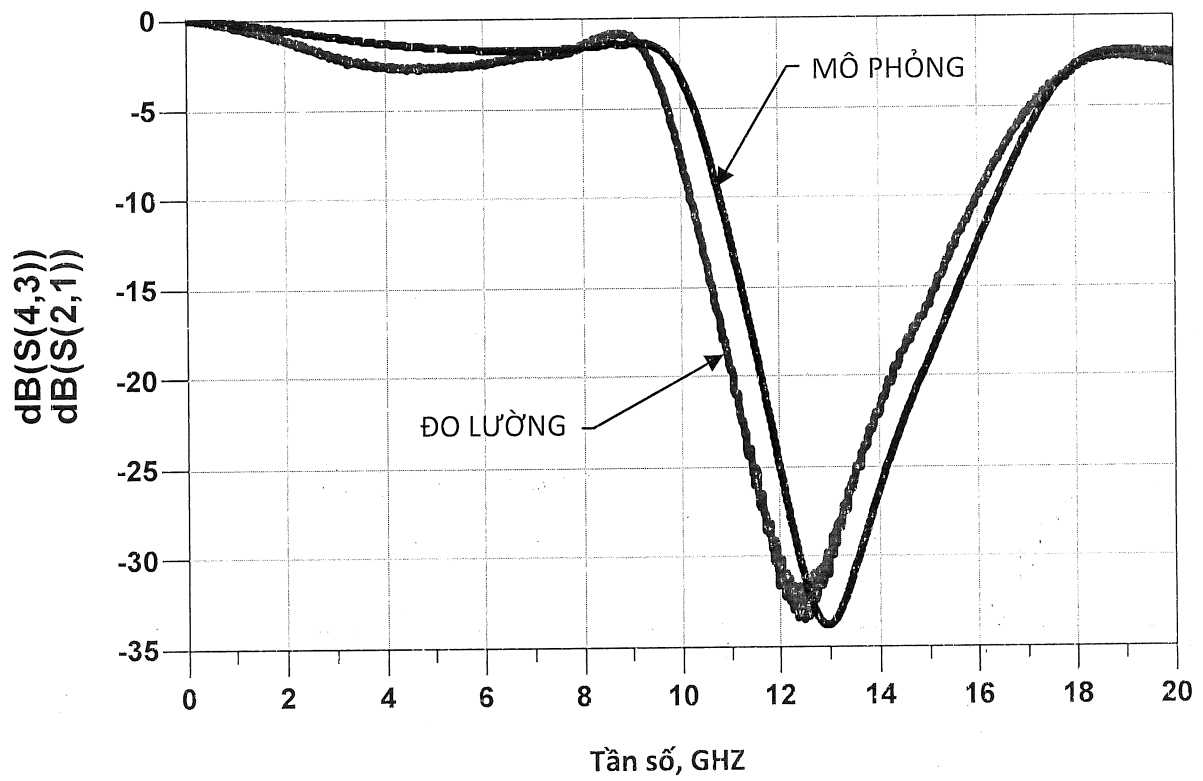


Fig.13B

6/7

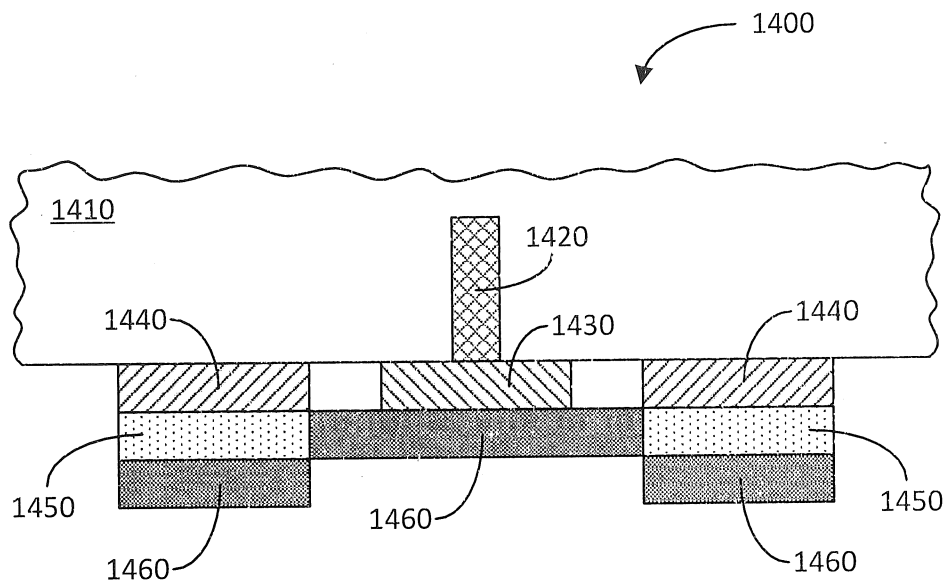


Fig.14

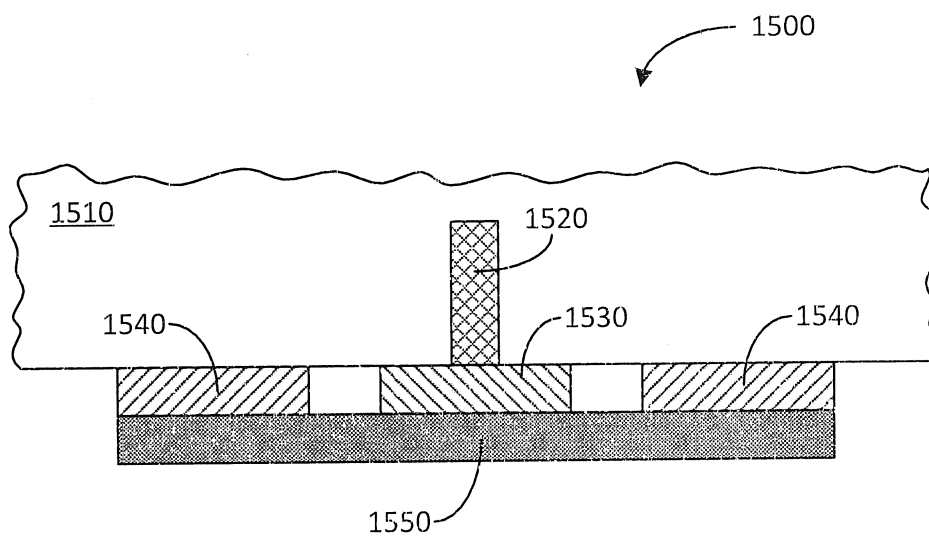


Fig.15

7/7

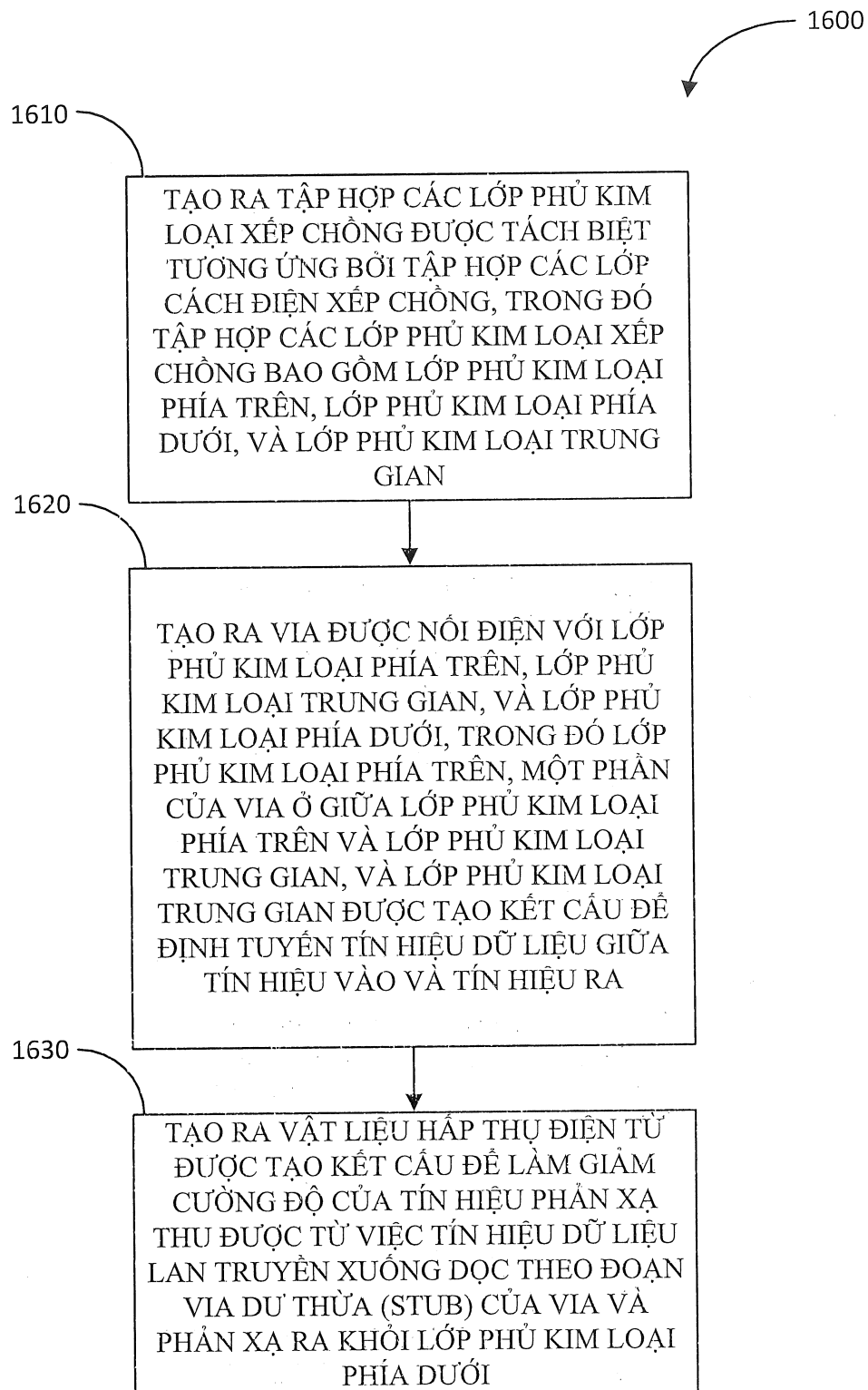


Fig.16