



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0042459

(51)^{2020.01} G09G 3/3266

(13) B

(21) 1-2021-08251

(22) 22/12/2021

(30) 10-2020-0183752 24/12/2020 KR

(45) 27/01/2025 442

(43) 27/06/2022 411

(73) LG DISPLAY CO., LTD. (KR)

LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) Kwangsoo Kim (KR); Yongho Kim (KR); Minkyu Chang (KR).

(74) Công ty Luật TNHH T&G (TGVN)

(54) MẠCH ĐIỀU KHIỂN CÔNG VÀ THIẾT BỊ HIỂN THỊ BAO GỒM MẠCH ĐIỀU KHIỂN CÔNG NÀY

(21) 1-2021-08251

(57) Sáng chế đề xuất mạch điều khiển cổng bao gồm các mạch tầng. Mỗi mạch tầng cung cấp tín hiệu cổng đến mỗi trong số các đường cổng được bố trí ở tấm nền hiển thị, và bao gồm nút M, nút Q, nút QH, và nút QB. Mỗi mạch tầng bao gồm bộ chọn đường, bộ điều khiển nút Q, bộ ổn định nút Q và nút QH, bộ nghịch lưu, bộ ổn định nút QB, môđun xuất tín hiệu mang, và môđun xuất tín hiệu cổng. Khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất. Thiết bị hiển thị cũng được bộc lộ.

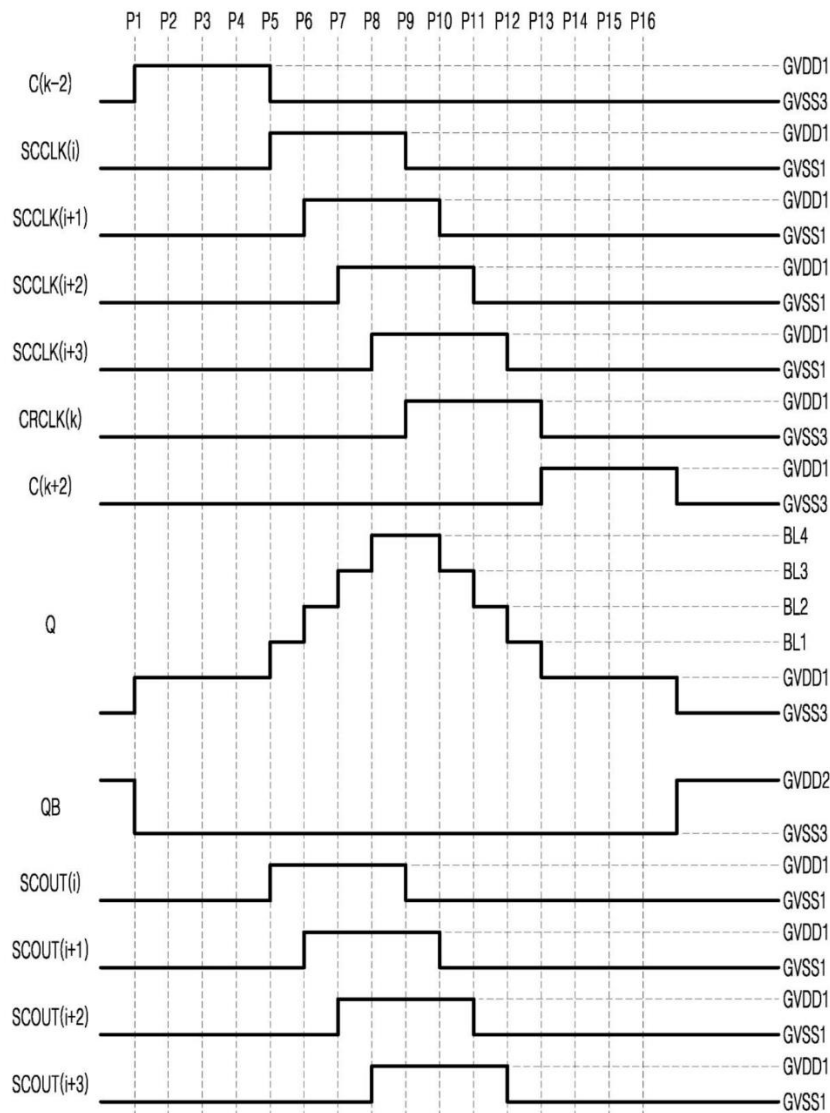


Fig.10

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến mạch điều khiển cổng và thiết bị hiển thị. Cụ thể hơn, sáng chế đề cập đến mạch điều khiển cổng và thiết bị hiển thị bao gồm mạch điều khiển cổng này, trong đó sự chênh lệch đầu ra giữa các tín hiệu cổng được giảm.

Tình trạng kỹ thuật của sáng chế

Gần đây, thiết bị hiển thị dùng tám nền hiển thị phẳng, chẳng hạn thiết bị hiển thị tinh thể lỏng, thiết bị hiển thị dùng điốt phát sáng hữu cơ, thiết bị hiển thị dùng điốt phát sáng, và thiết bị hiển thị điện di, đã được sử dụng rộng rãi.

Thiết bị hiển thị có thể bao gồm điểm ảnh có phân tử phát sáng và mạch điểm ảnh để điều khiển phân tử phát sáng này. Ví dụ, mạch điểm ảnh này bao gồm tranzito điều khiển mà điều khiển dòng điện điều khiển đi qua phân tử phát sáng, và ít nhất một tranzito chuyển mạch mà điều khiển (hoặc lập trình) điện áp cổng-nguồn của tranzito điều khiển theo tín hiệu cổng. Tranzito chuyển mạch của mạch điểm ảnh có thể được chuyển mạch dựa trên tín hiệu cổng được xuất ra từ mạch điều khiển cổng được bố trí trên đế của tám nền hiển thị.

Khi hình ảnh được hiển thị từ thiết bị hiển thị, thì tín hiệu cổng, để bật tranzito chuyển mạch, được cấp tuần tự đến các đường cổng của tám nền hiển thị. Khi tranzito chuyển mạch của điểm ảnh con, mà được bao gồm ở mỗi đường, được bật dựa trên tín hiệu cổng, thì điện áp dữ liệu được cấp đến mỗi điểm ảnh con để ánh sáng phát ra để hiển thị hình ảnh.

Bản chất kỹ thuật của sáng chế

Tám nền hiển thị được bao gồm trong thiết bị hiển thị này bao gồm các đường cổng, các đường dữ liệu, và các điểm ảnh con được bố trí tại các vùng giao giữa các đường dữ liệu và các đường cổng này. Khi hình ảnh được hiển thị thông qua tám nền hiển thị này, thì tín hiệu cổng, để bật tranzito chuyển mạch, được cấp tuần tự đến mỗi đường cổng. Khi tranzito chuyển mạch của điểm ảnh con, mà được bao gồm ở mỗi

đường công, được bật dựa trên tín hiệu công, thì điện áp dữ liệu được cấp đến mỗi điểm ảnh con để ánh sáng phát ra để hiển thị hình ảnh.

Về mặt này, khi xuất hiện sự chênh lệch đầu ra giữa các tín hiệu công mà được cấp lần lượt đến các đường công, tức là, khi độ lớn và thời lượng thời gian của các điện áp của các tín hiệu công, mà được cấp lần lượt đến các đường công, là không đồng đều, thì độ lớn của các điện áp dữ liệu, mà được cấp đến các điểm ảnh con lần lượt dựa trên các đường công khác nhau, là có thể khác nhau. Do đó, khi hình ảnh được hiển thị thông qua thiết bị hiển thị này, thì sự chênh lệch đầu ra giữa các đường có thể xuất hiện, hoặc hình ảnh của đường cụ thể có thể khác đáng kể với hình ảnh của đường khác. Do đó, chất lượng hiển thị ảnh của thiết bị hiển thị này bị giảm.

Do đó, sự chênh lệch đầu ra giữa các tín hiệu công được xuất ra từ mạch điều khiển công là cần phải được giảm.

Sáng chế đề xuất các phương án để đạt được mục đích kỹ thuật nêu trên.

Mục đích của sáng chế là cải thiện chất lượng hiển thị ảnh của thiết bị hiển thị bằng cách giảm sự chênh lệch đầu ra giữa các tín hiệu công được xuất ra từ mạch điều khiển công.

Các mục đích theo sáng chế là không chỉ giới hạn ở mục đích nêu trên. Các mục đích và các ưu điểm khác theo sáng chế, mà không được đề cập, là có thể được hiểu dựa trên những phần mô tả sau đây, và có thể được hiểu rõ hơn dựa trên các phương án của sáng chế. Ngoài ra, sẽ dễ dàng hiểu được rằng các mục đích và các ưu điểm theo sáng chế là có thể được thực hiện nhờ sử dụng các phương tiện được thể hiện ở các điểm yêu cầu bảo hộ và các tổ hợp của chúng.

Mạch điều khiển công theo một phương án của sáng chế có thể cấp tín hiệu công đến mỗi đường công và có thể bao gồm nhiều mạch tầng, mỗi mạch tầng bao gồm nút M, nút Q, nút QH, và nút QB.

Theo một phương án của sáng chế, mỗi mạch tầng có thể bao gồm bộ chọn đường, bộ điều khiển nút Q, bộ ổn định nút Q và nút QH, bộ nghịch lưu, bộ ổn định nút QB, môđun xuất tín hiệu mang, môđun xuất tín hiệu công, và bộ môi nút Q.

Đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường, thì bộ chọn đường tích điện cho nút M dựa trên tín hiệu mang đang trước. Đáp lại sự nhập vào của tín hiệu đặt lại, thì bộ chọn đường tích điện cho nút Q đến mức điện áp điện thế cao thứ

nhất. Đáp lại sự nhập vào của tín hiệu bật tám nền, thì bộ chọn đường xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba.

Đáp lại sự nhập vào của tín hiệu mang đẳng trước, thì bộ điều khiển nút Q tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất. Đáp lại sự nhập vào của tín hiệu mang đẳng sau, thì bộ điều khiển nút Q xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba.

Các bộ ổn định nút Q và nút QH xả điện cho nút Q và nút QH đến mức điện áp điện thế thấp thứ ba khi nút QB đã được tích điện đến mức điện áp điện thế cao thứ hai.

Bộ nghịch lưu thay đổi mức điện áp của nút QB dựa trên mức điện áp của nút Q.

Bộ ổn định nút QB xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba đáp lại sự nhập vào của tín hiệu mang đẳng trước, đáp lại sự nhập vào của tín hiệu đặt lại, và đáp lại điện áp được tích điện của nút M.

Môđun xuất tín hiệu mang xuất ra tín hiệu mang dựa trên tín hiệu xung nhịp mang hoặc điện áp điện thế thấp thứ ba, theo mức điện áp của nút Q hoặc mức điện áp của nút QB.

Môđun xuất tín hiệu công xuất ra các tín hiệu công từ thứ nhất đến thứ j dựa trên các tín hiệu xung nhịp quét từ thứ nhất đến thứ j hoặc điện áp điện thế thấp thứ nhất, theo mức điện áp của nút Q hoặc mức điện áp của nút QB.

Theo một phương án của sáng chế, thì khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất.

Ngoài ra, thiết bị hiển thị theo một phương án của sáng chế bao gồm tám nền hiển thị bao gồm các điểm ảnh con được bố trí lần lượt tại các giao điểm giữa các đường công và các đường dữ liệu, mạch điều khiển công để cấp tín hiệu quét đến mỗi đường công, mạch điều khiển dữ liệu để cấp điện áp dữ liệu đến mỗi đường dữ liệu, và bộ điều khiển định thời mà điều khiển sự định thời hoạt động của mỗi trong số mạch điều khiển công và mạch điều khiển dữ liệu.

Theo một phương án của sáng chế, thì mạch điều khiển công có thể cấp tín hiệu công đến mỗi đường công và có thể bao gồm nhiều mạch tầng, mỗi mạch tầng bao gồm nút M, nút Q, nút QH, và nút QB.

Theo một phương án của sáng chế, mỗi mạch tầng có thể bao gồm bộ chọn đường, bộ điều khiển nút Q, bộ ổn định nút Q và nút QH, bộ nghịch lưu, bộ ổn định nút QB, môđun xuất tín hiệu mang, môđun xuất tín hiệu công, và bộ môi nút Q.

Đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường, thì bộ chọn đường tích điện cho nút M dựa trên tín hiệu mang đang trước. Đáp lại sự nhập vào của tín hiệu đặt lại, thì bộ chọn đường tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất. Đáp lại sự nhập vào của tín hiệu bật tắt nền, thì bộ chọn đường xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba.

Đáp lại sự nhập vào của tín hiệu mang đang trước, thì bộ điều khiển nút Q tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất. Đáp lại sự nhập vào của tín hiệu mang đang sau, thì bộ điều khiển nút Q xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba.

Các bộ ổn định nút Q và nút QH xả điện cho nút Q và nút QH đến mức điện áp điện thế thấp thứ ba khi nút QB đã được tích điện đến mức điện áp điện thế cao thứ hai.

Bộ nghịch lưu thay đổi mức điện áp của nút QB dựa trên mức điện áp của nút Q.

Bộ ổn định nút QB xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba đáp lại sự nhập vào của tín hiệu mang đang trước, đáp lại sự nhập vào của tín hiệu đặt lại, và đáp lại điện áp được tích điện của nút M.

Môđun xuất tín hiệu mang xuất ra tín hiệu mang dựa trên tín hiệu xung nhịp mang hoặc điện áp điện thế thấp thứ ba, theo mức điện áp của nút Q hoặc mức điện áp của nút QB.

Môđun xuất tín hiệu công xuất ra các tín hiệu công từ thứ nhất đến thứ j dựa trên các tín hiệu xung nhịp quét từ thứ nhất đến thứ j hoặc điện áp điện thế thấp thứ nhất, theo mức điện áp của nút Q hoặc mức điện áp của nút QB.

Theo một phương án của sáng chế, thì khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất.

Theo một phương án của sáng chế, thì sự chênh lệch đầu ra giữa các tín hiệu công mà được xuất ra từ mạch điều khiển công là được giảm. Cụ thể hơn, sự chênh lệch đầu ra giữa tín hiệu công thứ nhất và tín hiệu công thứ j trong số j tín hiệu công

mà được xuất ra từ mạch tầng là có thể được giảm. Do đó, sự chênh lệch đầu ra giữa các tín hiệu cổng được xuất ra từ mạch điều khiển cổng là có thể được giảm. Do đó, chất lượng hiển thị ảnh của thiết bị hiển thị này được cải thiện.

Các tác dụng của sáng chế không chỉ giới hạn ở các tác dụng nêu trên, và các tác dụng khác, mà không được đề cập, sẽ được hiểu rõ bởi những người có hiểu biết trung bình trong lĩnh vực dựa vào những phần mô tả sau đây.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ thể hiện sơ đồ khối cấu hình của thiết bị hiển thị theo một phương án của sáng chế.

Fig.2 là hình vẽ thể hiện cấu hình của mảng điểm ảnh con được bao gồm ở tám nền hiển thị theo một phương án của sáng chế.

Fig.3 là hình vẽ thể hiện cấu hình của mạch điểm ảnh con, và cấu trúc nối giữa bộ điều khiển định thời, mạch điều khiển dữ liệu, và điểm ảnh con theo một phương án của sáng chế.

Fig.4 là hình vẽ thể hiện cấu hình của các mạch tầng được bao gồm trong mạch điều khiển cổng theo một phương án của sáng chế.

Fig.5 là hình vẽ thể hiện thời gian giảm của tín hiệu cổng.

Fig.6 là hình vẽ thể hiện hai tín hiệu cổng có thời gian giảm khác nhau, và độ lớn của các điện áp lần lượt được nạp đến các điểm ảnh con qua hai tín hiệu cổng này.

Fig.7 là hình vẽ thể hiện sơ đồ mạch của mạch tầng theo một phương án của sáng chế.

Fig.8 là hình vẽ thể hiện các dạng sóng của mỗi trong số tín hiệu vào và tín hiệu ra khi mạch tầng trên Fig.7 xuất ra tín hiệu cổng để hiển thị ảnh, theo một phương án của sáng chế.

Fig.9 là hình vẽ thể hiện dạng sóng của điện áp của nút Q, dạng sóng điện áp của tín hiệu xung nhịp mang, và các dạng sóng điện áp của các tín hiệu cổng khi các tín hiệu cổng để hiển thị ảnh được xuất ra từ mạch tầng trên Fig.7 và theo một phương án trên Fig.8.

Fig.10 là hình vẽ thể hiện các dạng sóng của mỗi trong số tín hiệu vào và tín hiệu ra khi mạch tầng trên Fig.7 xuất ra tín hiệu cổng để hiển thị ảnh, theo phương án khác của sáng chế.

Fig.11 là hình vẽ thể hiện dạng sóng của điện áp của nút Q, dạng sóng điện áp của tín hiệu xung nhịp mang, và các dạng sóng điện áp của các tín hiệu cổng khi các tín hiệu cổng để hiển thị ảnh được xuất ra từ mạch tầng trên Fig.7 và theo một phương án trên Fig.10.

Mô tả chi tiết các phương án thực hiện sáng chế

Để cho việc thể hiện được đơn giản và rõ ràng, thì các phần tử trên các hình vẽ không nhất thiết phải được vẽ đúng tỷ lệ. Các số chỉ dẫn giống nhau trên các hình vẽ khác nhau thì biểu thị các phần tử giống nhau hoặc tương tự nhau, và như vậy, thực hiện chức năng tương tự nhau. Ngoài ra, những phần mô tả và các chi tiết về các bước và các phần tử đã được biết rõ thì sẽ được lược bỏ để cho phần mô tả được đơn giản. Ngoài ra, trong phần mô tả chi tiết sau đây của sáng chế, thì các chi tiết cụ thể được cung cấp để cho phép hiểu hoàn chỉnh về sáng chế. Tuy nhiên, cần hiểu rằng sáng chế có thể được thực hiện mà không có các chi tiết cụ thể này. Trong các trường hợp khác, thì các phương pháp, các thủ tục, các thành phần, và các mạch đã được biết rõ sẽ không được mô tả chi tiết để không làm lu mờ các khía cạnh của sáng chế một cách không cần thiết. Các ví dụ về các phương án khác nhau được thể hiện và được mô tả tiếp dưới đây. Cần hiểu rằng phần mô tả ở đây không nhằm giới hạn các điểm yêu cầu bảo hộ ở các phương án cụ thể được mô tả. Ngược lại, nó nhằm bao trùm các phương án thay thế, các phương án cải biến, và các phương án tương đương mà có thể nằm trong nguyên lý và phạm vi của sáng chế như được xác định bởi các điểm yêu cầu bảo hộ kèm theo.

Hình dạng, kích thước, tỷ lệ, góc, số lượng, v.v., mà được bộc lộ trên các hình vẽ để mô tả các phương án của sáng chế là chỉ được nêu làm ví dụ, và sáng chế không chỉ giới hạn ở đó. Các số chỉ dẫn giống nhau biểu thị các phần tử giống nhau ở đây. Ngoài ra, những phần mô tả và các chi tiết về các bước và các phần tử đã được biết rõ thì sẽ được lược bỏ để cho phần mô tả được đơn giản.

Thuật ngữ được sử dụng ở đây là chỉ nhằm mục đích mô tả các phương án cụ thể chứ không nhằm giới hạn sáng chế. Như được sử dụng ở đây, dạng số ít, mà có thể bao gồm từ ngữ "một", là được dự định cũng bao gồm dạng số nhiều, trừ khi ngữ cảnh thể hiện khác đi một cách rõ ràng. Cần hiểu thêm rằng các từ ngữ như "bao gồm" và "gồm có", khi được sử dụng trong bản mô tả này, là quy định sự có mặt của các dấu

hiệu, các số nguyên, các hoạt động, các phần tử, và/hoặc các thành phần được nêu, chứ không loại trừ sự có mặt hoặc sự bổ sung của một hoặc nhiều dấu hiệu, số nguyên, hoạt động, phần tử, thành phần khác, và/hoặc các phần của chúng. Như được sử dụng ở đây, từ ngữ "và/hoặc" là bao gồm sự kết hợp bất kỳ và tất cả những sự kết hợp của một hoặc nhiều trong số các mục được liệt kê liên quan. Câu biểu thị chẳng hạn như "ít nhất một trong số", khi đứng trước danh sách các phần tử, thì có thể cải biến toàn bộ danh sách các phần tử và có thể không cải biến các phần tử riêng lẻ của danh sách này. Khi đề cập đến "C đến D", thì điều này có nghĩa là bao gồm từ C cho đến cả D, trừ khi được nói khác đi.

Cần hiểu rằng, tuy các từ ngữ như "thứ nhất", "thứ hai", "thứ ba", v.v., có thể được sử dụng ở đây để mô tả các phần tử, các thành phần, các vùng, các lớp và/hoặc các bộ phận khác nhau, nhưng các phần tử, các thành phần, các vùng, các lớp và/hoặc các bộ phận này không bị giới hạn bởi các từ ngữ này. Các từ ngữ này được dùng để phân biệt phần tử, thành phần, vùng, lớp hoặc bộ phận này với phần tử, thành phần, vùng, lớp hoặc bộ phận khác. Do đó, phần tử, thành phần, vùng, lớp hoặc bộ phận thứ nhất được mô tả dưới đây có thể được gọi là phần tử, thành phần, vùng, lớp hoặc bộ phận thứ hai, mà không nằm ngoài nguyên lý và phạm vi của sáng chế.

Cần hiểu rằng khi một phần tử hoặc lớp được đề cập đến là "được nối đến" hoặc "được ghép nối đến" phần tử hoặc lớp khác, thì nó có thể trực tiếp nằm trên, được nối đến, hoặc được ghép nối đến phần tử hoặc lớp kia, hoặc có thể có mặt một hoặc nhiều phần tử hoặc lớp xen giữa. Ngoài ra, cũng cần hiểu rằng, khi một phần tử hoặc lớp được đề cập đến là "nằm giữa" hai phần tử hoặc lớp, thì nó có thể là phần tử hoặc lớp duy nhất giữa hai phần tử hoặc lớp đó, hoặc cũng có thể có mặt một hoặc nhiều phần tử hoặc lớp xen giữa.

Nếu không được xác định khác đi, thì tất cả các thuật ngữ, bao gồm các thuật ngữ kỹ thuật và các thuật ngữ khoa học, mà được sử dụng ở đây, là có ý nghĩa giống như thường được hiểu bởi người có hiểu biết trung bình trong lĩnh vực mà sáng chế thuộc về đó. Cần hiểu thêm rằng các thuật ngữ, chẳng hạn các thuật ngữ được xác định trong các từ điển thông dụng, là cần được hiểu với ý nghĩa thống nhất với ý nghĩa của chúng trong lĩnh vực kỹ thuật liên quan, chứ không được hiểu theo nghĩa lý tưởng hoá hoặc quá hình thức, trừ khi được xác định rõ ràng như vậy ở đây.

Các dấu hiệu của các phương án khác nhau của sáng chế có thể được kết hợp với nhau một phần hoặc toàn bộ, và có thể được liên kết với nhau về mặt kỹ thuật hoặc hoạt động với nhau. Các phương án có thể được thực hiện độc lập với nhau và có thể được thực hiện cùng nhau trong mỗi quan hệ liên kết.

Khi diễn dịch giá trị bằng số trong bản mô tả này, thì có thể vốn có khoảng sai số ngay cả khi không có phần mô tả rõ ràng riêng biệt nào về khoảng sai số đó.

Khi mô tả mối quan hệ luồng tín hiệu, ví dụ, khi tín hiệu được truyền từ nút A đến nút B, thì tín hiệu đó có thể được truyền từ nút A qua nút C đến nút B, nếu không có chỉ thị quy định rằng tín hiệu đó được truyền trực tiếp từ nút A đến nút B.

Theo sáng chế, mỗi trong số mạch điểm ảnh con và mạch điều khiển cổng, mà được tạo ra trên đế của tấm nền hiển thị, là có thể được thực hiện dưới dạng tranzito có cấu trúc MOSFET (Metal Oxide Semiconductor Field Effect Transistor - tranzito hiệu ứng trường bán dẫn oxit kim loại) loại n. Tuy nhiên, sáng chế không chỉ giới hạn ở đó. Mỗi trong số mạch điểm ảnh con và mạch điều khiển cổng, mà được tạo ra trên đế của tấm nền hiển thị, là có thể được thực hiện dưới dạng tranzito có cấu trúc MOSFET (Metal Oxide Semiconductor Field Effect Transistor - tranzito hiệu ứng trường bán dẫn oxit kim loại) loại p. Tranzito có thể bao gồm cổng, nguồn, và máng. Ở tranzito này, thì các hạt mang điện có thể đi từ nguồn đến máng. Ở tranzito loại n, thì hạt mang điện là electron, và do đó, điện áp nguồn có thể thấp hơn điện áp máng để các electron có thể đi từ nguồn đến máng. Ở tranzito loại n, thì các electron đi từ nguồn đến máng. Chiều dòng điện là chiều từ máng đến nguồn. Ở tranzito loại p, thì hạt mang điện là lỗ trống. Do đó, điện áp nguồn có thể cao hơn điện áp máng, để các lỗ trống có thể đi từ nguồn đến máng. Ở tranzito loại p, thì các lỗ trống đi từ nguồn đến máng. Do đó, chiều của dòng điện là chiều từ nguồn đến máng. Ở tranzito có cấu trúc MOSFET, thì nguồn và máng có thể không được cố định, mà có thể được thay đổi theo điện áp được cấp. Theo đó, trong bản mô tả này, thì một trong số nguồn và máng được gọi là điện cực nguồn/máng thứ nhất, và còn lại trong số nguồn và máng này thì được gọi là điện cực nguồn/máng thứ hai.

Sau đây, ví dụ ưu tiên của mạch điều khiển cổng và thiết bị hiển thị bao gồm mạch điều khiển cổng này theo sáng chế sẽ được mô tả chi tiết dựa vào các hình vẽ kèm theo. Trong số các hình vẽ khác nhau, thì các phần tử giống nhau có thể có các số chỉ dẫn giống nhau. Ngoài ra, mỗi trong số các tỷ lệ của các thành phần được thể hiện

trên các hình vẽ kèm theo là được thể hiện khác với tỷ lệ thực tế để thuận tiện cho việc mô tả. Do đó, mỗi trong số các tỷ lệ của các thành phần là không bị giới hạn ở tỷ lệ được thể hiện trên các hình vẽ.

Fig.1 là hình vẽ thể hiện sơ đồ khối cấu hình của thiết bị hiển thị theo một phương án của sáng chế. Fig.2 là hình vẽ thể hiện cấu hình của mảng điểm ảnh con được bao gồm ở tấm nền hiển thị theo một phương án của sáng chế.

Như được thể hiện trên Fig.1 và Fig.2, thiết bị hiển thị 105 theo một phương án của sáng chế bao gồm tấm nền hiển thị 106, mạch điều khiển dữ liệu 126, mạch điều khiển cổng 128, và bộ điều khiển định thời 124.

Các đường dữ liệu 14 và các đường cổng 15 được bố trí để giao nhau và nằm trên tấm nền hiển thị 106. Ngoài ra, các điểm ảnh con SP được bố trí thành dạng ma trận và lần lượt được bố trí tại các giao điểm giữa các đường dữ liệu 14 và các đường cổng 15.

Các đường dữ liệu 14 bao gồm m đường cấp điện áp dữ liệu 14A_1 đến 14A_m (m là số nguyên dương) và m đường đọc ra điện áp được cảm biến 14B_1 đến 14B_m. Ngoài ra, các đường cổng 15 bao gồm n (n là số nguyên dương) đường cổng thứ nhất 15A_1 đến 15A_n và n đường cổng thứ hai 15B_1 đến 15B_n.

Mỗi điểm ảnh con SP có thể được nối đến một trong số các đường cấp điện áp dữ liệu 14A_1 đến 14A_m, một trong số các đường đọc ra điện áp được cảm biến 14B_1 đến 14B_m, một trong số các đường cổng thứ nhất 15A_1 đến 15A_n, và một trong số các đường cổng thứ hai 15B_1 đến 15B_n. Các điểm ảnh con SP có thể hiển thị các màu khác nhau. Một số lượng điểm ảnh con SP nhất định có thể cấu thành một điểm ảnh P.

Mỗi điểm ảnh con SP có thể nhận điện áp dữ liệu thông qua đường cấp điện áp dữ liệu, có thể nhận tín hiệu cổng thứ nhất thông qua đường cổng thứ nhất, có thể nhận tín hiệu cổng thứ hai thông qua đường cổng thứ hai, và có thể xuất ra điện áp được cảm biến thông qua đường đọc ra điện áp được cảm biến.

Tức là, ở mảng điểm ảnh con được thể hiện trên Fig.2, thì các điểm ảnh con SP có thể hoạt động trên cơ sở một đường ngang L#1 đến L#n đáp lại tín hiệu cổng thứ nhất được cấp trên cơ sở đường ngang từ các đường cổng thứ nhất 15A_1 đến 15A_n và tín hiệu cổng thứ hai được cấp trên cơ sở đường ngang từ các đường cổng thứ hai 15B_1 đến 15B_n. Các điểm ảnh con SP trên cùng đường ngang, mà hoạt

động cảm biến được kích hoạt ở đó, có thể nhận điện áp dữ liệu để cảm biến điện áp ngưỡng từ các đường cấp điện áp dữ liệu 14A_1 đến 14A_m và xuất điện áp được cảm biến đến các đường đọc ra điện áp được cảm biến 14B_1 đến 14B_m. Mỗi trong số tín hiệu cổng thứ nhất và tín hiệu cổng thứ hai có thể lần lượt là tín hiệu cổng để cảm biến điện áp ngưỡng hoặc tín hiệu cổng để hiển thị ảnh. Sáng chế không chỉ giới hạn ở đó.

Mỗi điểm ảnh con SP có thể nhận điện áp điện thế cao EVDD và điện áp điện thế thấp EVSS từ mạch cấp công suất (không được thể hiện trên hình vẽ). Điểm ảnh con SP có thể bao gồm điốt phát sáng hữu cơ (Organic Light Emitting Diode - OLED), tranzito điều khiển, tranzito chuyển mạch thứ nhất và tranzito chuyển mạch thứ hai, và tụ điện tích trữ. Theo một phương án, thì nguồn sáng không phải là OLED có thể được bao gồm trong điểm ảnh con SP.

Mỗi trong số các tranzito mà cấu thành điểm ảnh con SP là có thể được thực hiện dưới dạng tranzito loại p hoặc loại n. Ngoài ra, lớp bán dẫn của mỗi trong số các tranzito cấu thành điểm ảnh con SP là có thể bao gồm silic vô định hình hoặc silic đa tinh thể hoặc oxit.

Trong hoạt động cảm biến để cảm biến điện áp ngưỡng của tranzito điều khiển, thì mạch điều khiển dữ liệu 126 có thể truyền điện áp dữ liệu để cảm biến điện áp ngưỡng đến các điểm ảnh con SP, dựa trên tín hiệu cổng thứ nhất để cảm biến điện áp ngưỡng mà được cấp trên cơ sở đường ngang, và có thể chuyển đổi điện áp được cảm biến, mà được nhập vào từ tám nền hiển thị 106 qua các đường đọc ra điện áp được cảm biến 14B_1 đến 14B_m, thành giá trị số và có thể cấp giá trị số này đến bộ điều khiển định thời 124. Trong hoạt động hiển thị ảnh để hiển thị ảnh, thì mạch điều khiển dữ liệu 126 chuyển đổi dữ liệu ảnh được bù MDATA, mà được nhập vào từ bộ điều khiển định thời 124, thành điện áp dữ liệu để hiển thị ảnh dựa trên tín hiệu điều khiển dữ liệu DDC, và cấp điện áp dữ liệu được chuyển đổi đến các đường cấp điện áp dữ liệu 14A_1 đến 14A_m.

Mạch điều khiển cổng 128 tạo ra tín hiệu cổng dựa trên tín hiệu điều khiển cổng GDC. Tín hiệu cổng này có thể bao gồm tín hiệu cổng thứ nhất để cảm biến điện áp ngưỡng, tín hiệu cổng thứ hai để cảm biến điện áp ngưỡng, tín hiệu cổng thứ nhất để hiển thị ảnh, và tín hiệu cổng thứ hai để hiển thị ảnh.

Trong hoạt động cảm biến, thì mạch điều khiển cổng 128 có thể cấp tín hiệu cổng thứ nhất, để cảm biến điện áp ngưỡng, đến các đường cổng thứ nhất 15A_1 đến 15A_n trên cơ sở đường ngang, và có thể cấp tín hiệu cổng thứ hai, để cảm biến điện áp ngưỡng, đến các đường cổng thứ hai 15B_1 đến 15B_n trên cơ sở đường ngang. Trong hoạt động hiển thị ảnh để hiển thị ảnh, thì mạch điều khiển cổng 128 có thể cấp tín hiệu cổng thứ nhất, để hiển thị ảnh, đến các đường cổng thứ nhất 15A_1 đến 15A_n trên cơ sở đường ngang, và có thể cấp tín hiệu cổng thứ hai, để hiển thị ảnh, đến các đường cổng thứ hai 15B_1 đến 15B_n trên cơ sở đường ngang. Theo một phương án của sáng chế, thì mạch điều khiển cổng 128 có thể được bố trí trên tấm nền hiển thị 106 theo sơ đồ GIP (Gate-driver In Panel - bộ điều khiển cổng trên tấm nền). Tuy nhiên, sáng chế không chỉ giới hạn ở đó.

Bộ điều khiển định thời 124 có thể tạo ra và xuất ra tín hiệu điều khiển dữ liệu DDC để điều khiển sự định thời hoạt động của mạch điều khiển dữ liệu 126 và tín hiệu điều khiển cổng GDC để điều khiển sự định thời hoạt động của mạch điều khiển cổng 128, dựa trên các tín hiệu định thời chẳng hạn như tín hiệu đồng bộ dọc Vsync, tín hiệu đồng bộ ngang Hsync, tín hiệu xung nhịp chấm ảnh DCLK, và tín hiệu cho phép dữ liệu DE. Ngoài ra, bộ điều khiển định thời 124 bù dữ liệu ảnh DATA dựa vào giá trị được cảm biến mà được cấp từ mạch điều khiển dữ liệu 126 để tạo ra dữ liệu ảnh được bù MDATA để bù cho sự lệch điện áp ngưỡng của tranzito điều khiển, và cấp dữ liệu ảnh được bù MDATA đến mạch điều khiển dữ liệu 126.

Fig.3 là hình vẽ thể hiện cấu hình của mạch điểm ảnh con, và cấu trúc nối giữa bộ điều khiển định thời, mạch điều khiển dữ liệu, và điểm ảnh con theo một phương án của sáng chế.

Như được thể hiện trên Fig.3, điểm ảnh con SP bao gồm OLED, tranzito điều khiển DT, tụ điện tích trữ Cst, tranzito chuyển mạch thứ nhất ST1, và tranzito chuyển mạch thứ hai ST2.

OLED này bao gồm anôt được nối đến nút thứ hai N2, catôt được nối đến phía đầu vào của điện áp điều khiển điện thế thấp EVSS, và lớp hợp chất hữu cơ được đặt giữa anôt và catôt.

Tranzito điều khiển DT được bật dựa trên điện áp cổng-nguồn Vgs để điều khiển dòng điện Ioled đi qua OLED. Tranzito điều khiển DT bao gồm điện cực cổng

được nối đến nút thứ nhất N1, điện cực máng được nối đến phía đầu vào của điện áp điều khiển điện thế cao EVDD, và điện cực nguồn được nối đến nút thứ hai N2.

Tụ điện tích trữ Cst được nối đến và được bố trí giữa nút thứ nhất N1 và nút thứ hai N2.

Tranzito chuyển mạch thứ nhất ST1 cấp điện áp dữ liệu Vdata, để cảm biến điện áp ngưỡng như được tích điện ở đường cấp điện áp dữ liệu 14A, đến nút thứ nhất N1 đáp lại tín hiệu cổng thứ nhất SCAN để cảm biến điện áp ngưỡng trong hoạt động cảm biến. Tranzito chuyển mạch thứ nhất ST1 cấp điện áp dữ liệu Vdata, để hiển thị ảnh mà được tích điện ở đường cấp điện áp dữ liệu 14A, đến nút thứ nhất N1 đáp lại tín hiệu cổng thứ nhất SCAN để hiển thị ảnh trong hoạt động hiển thị ảnh. Tranzito chuyển mạch thứ nhất ST1 bao gồm điện cực cổng được nối đến đường cổng thứ nhất 15A, điện cực máng được nối đến đường cấp điện áp dữ liệu 14A, và điện cực nguồn được nối đến nút thứ nhất N1.

Tranzito chuyển mạch thứ hai ST2 chuyển mạch dòng điện giữa nút thứ hai N2 và đường đọc ra điện áp được cảm biến 14B đáp lại tín hiệu cổng thứ hai SEN để cảm biến điện áp ngưỡng trong hoạt động cảm biến, để điện áp nguồn của nút thứ hai N2, mà thay đổi dựa trên điện áp cổng của nút thứ nhất N1, được tích trữ trong tụ điện cảm biến Cx của đường đọc ra điện áp được cảm biến 14B. Tranzito chuyển mạch thứ hai ST2 chuyển mạch dòng điện giữa nút thứ hai N2 và đường đọc ra điện áp được cảm biến 14B đáp lại tín hiệu cổng thứ hai SEN để hiển thị ảnh trong hoạt động hiển thị ảnh, để đặt lại điện áp nguồn của tranzito điều khiển DT thành điện áp khởi tạo Vpre. Điện cực cổng của tranzito chuyển mạch thứ hai ST2 có thể được nối đến đường cổng thứ hai 15B. Điện cực máng của tranzito chuyển mạch thứ hai ST2 có thể được nối đến nút thứ hai N2. Điện cực nguồn của tranzito chuyển mạch thứ hai ST2 có thể được nối đến đường đọc ra điện áp được cảm biến 14B.

Mạch điều khiển dữ liệu 126 được nối đến điểm ảnh con SP qua đường cấp điện áp dữ liệu 14A và đường đọc ra điện áp được cảm biến 14B. Tụ điện cảm biến Cx được nối đến đường đọc ra điện áp được cảm biến 14B để tích trữ trong đó điện áp nguồn của nút thứ hai N2 làm điện áp được cảm biến Vsen. Mạch điều khiển dữ liệu 126 bao gồm bộ chuyển đổi số-tương tự DAC, bộ chuyển đổi tương tự-số ADC, chuyển mạch khởi tạo SW1, và chuyển mạch lấy mẫu SW2.

DAC có thể tạo ra điện áp dữ liệu Vdata để cảm biến điện áp ngưỡng tại cùng mức hoặc các mức khác nhau cho khoảng thời gian thứ nhất và khoảng thời gian thứ hai của khoảng thời gian cảm biến dưới sự điều khiển của bộ điều khiển định thời 124, và xuất điện áp dữ liệu được tạo ra đến đường cấp điện áp dữ liệu 14A. DAC có thể chuyển đổi dữ liệu ảnh được bù MDATA thành điện áp dữ liệu Vdata để hiển thị ảnh dưới sự điều khiển của bộ điều khiển định thời 124 cho khoảng thời gian hiển thị ảnh, và xuất điện áp dữ liệu được chuyển đổi đến đường cấp điện áp dữ liệu 14A.

Chuyển mạch khởi tạo SW1 chuyển mạch dòng điện giữa phía đầu vào của điện áp khởi tạo Vpre và đường đọc ra điện áp được cảm biến 14B. Chuyển mạch lấy mẫu SW2 chuyển mạch dòng điện giữa đường đọc ra điện áp được cảm biến 14B và ADC. ADC có thể chuyển đổi điện áp được cảm biến tương tự Vsen, mà được tích trữ ở tụ điện cảm biến Cx, thành giá trị số, và có thể cấp giá trị số này đến bộ điều khiển định thời 124.

Tiến trình hoạt động cảm biến mà được thực hiện dưới sự điều khiển của bộ điều khiển định thời 124 là như sau. Đối với hoạt động cảm biến, khi tín hiệu cổng thứ nhất SCAN và tín hiệu cổng thứ hai SEN, để cảm biến điện áp ngưỡng, được cấp đến điểm ảnh con SP trong khi ở mức bật Lon, thì tranzito chuyển mạch thứ nhất ST1 và tranzito chuyển mạch thứ hai ST2 được bật. Về mặt này, thì chuyển mạch khởi tạo SW1 ở mạch điều khiển dữ liệu 126 là được bật.

Khi tranzito chuyển mạch thứ nhất ST1 được bật, thì điện áp dữ liệu Vdata, để cảm biến điện áp ngưỡng, là được cấp đến nút thứ nhất N1. Khi chuyển mạch khởi tạo SW1 và tranzito chuyển mạch thứ hai ST2 được bật, thì điện áp khởi tạo Vpre được cấp đến nút thứ hai N2. Về mặt này, thì điện áp Vgs giữa cổng và nguồn của tranzito điều khiển DT trở nên lớn hơn điện áp ngưỡng Vth, nên dòng điện Ioled đi giữa máng và nguồn của tranzito điều khiển DT. Điện áp nguồn VN2 của tranzito điều khiển DT, mà được tích điện ở nút thứ hai N2, có thể tăng dần do dòng điện Ioled này. Do đó, điện áp nguồn VN2 của tranzito điều khiển DT có thể đồng dạng với điện áp cổng VN1 của tranzito điều khiển DT cho đến khi điện áp cổng-nguồn Vgs của tranzito điều khiển DT trở thành điện áp ngưỡng Vth.

Điện áp nguồn VN2 của tranzito điều khiển DT, mà được tích điện ở nút thứ hai N2 theo cách tăng, là được tích trữ làm điện áp được cảm biến Vsen ở tụ điện cảm biến Cx mà được tạo ra ở đường đọc ra điện áp được cảm biến 14B qua tranzito

chuyển mạch thứ hai ST2. Điện áp được cảm biến Vsen có thể được dò khi chuyển mạch lấy mẫu SW2 ở mạch điều khiển dữ liệu 126 được bật trong khoảng thời gian cảm biến mà trong đó tín hiệu cổng thứ hai SEN, để cảm biến điện áp ngưỡng, được duy trì ở mức bật, và sau đó điện áp được cảm biến Vsen dò được này có thể được cấp đến ADC.

Theo một phương án của sáng chế, thì bộ điều khiển định thời 124 có thể điều khiển mạch điều khiển dữ liệu 126 và mạch điều khiển cổng 128 sao cho một khung của dữ liệu ảnh được hiển thị trong hoạt động hiển thị ảnh và sau đó hoạt động cảm biến được thực hiện trên một đường ngang trước khi khung tiếp theo của nó được hiển thị.

Fig.4 là hình vẽ thể hiện cấu hình của các mạch tầng được bao gồm trong mạch điều khiển cổng theo một phương án của sáng chế.

Như được thể hiện trên Fig.4, mạch điều khiển cổng 128 theo một phương án của sáng chế bao gồm các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k) (k là số nguyên dương), đường điện áp điều khiển cổng 131, đường tín hiệu xung nhịp 132, đường tín hiệu chuẩn bị cảm biến đường 133, và đường tín hiệu đặt lại 134, và đường tín hiệu bật tắt nền 135. Ngoài ra, mạch điều khiển cổng 128 có thể còn bao gồm mạch tầng giả đẳng trước DST1 được bố trí đẳng trước mạch tầng thứ nhất ST(1) và mạch tầng giả đẳng sau DST2 được bố trí đẳng sau mạch tầng thứ k ST(k).

Đường điện áp điều khiển cổng 131 có thể cấp điện áp điện thế cao GVDD và điện áp điện thế thấp GVSS, mà được cấp từ mạch cấp công suất (không được thể hiện trên hình vẽ), đến mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), mạch tầng giả đẳng trước DST1, và mạch tầng giả đẳng sau DST2.

Theo một phương án của sáng chế, thì đường điện áp điều khiển cổng 131 có thể bao gồm các đường điện áp điện thế cao để lần lượt cấp các điện áp điện thế cao có các mức điện áp khác nhau, và các đường điện áp điện thế thấp để lần lượt cấp các điện áp điện thế thấp có các mức điện áp khác nhau.

Theo một ví dụ, thì đường điện áp điều khiển cổng 131 có ba đường điện áp điện thế cao để lần lượt cấp điện áp điện thế cao thứ nhất GVDD1, điện áp điện thế cao thứ hai GVDD2, và điện áp điện thế cao thứ ba GVDD3 mà có các mức điện áp khác nhau. Đường điện áp điều khiển cổng 131 có ba đường điện áp điện thế thấp để lần lượt cấp điện áp điện thế thấp thứ nhất GVSS1, điện áp điện thế thấp thứ hai

GVSS2, và điện áp điện thế thấp thứ ba GVSS3 mà có các mức điện áp khác nhau. Tuy nhiên, đây chỉ là một ví dụ. Số lượng đường được bao gồm ở đường điện áp điều khiển công 131 có thể biến thiên dựa trên các phương án.

Đường tín hiệu xung nhịp 132 có thể cấp các tín hiệu xung nhịp CLK, mà được cấp từ bộ điều khiển định thời 124, ví dụ, tín hiệu xung nhịp mang CRCLK hoặc tín hiệu xung nhịp quét SCCLK, đến mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), mạch tầng giả đẳng trước DST1 và mạch tầng giả đẳng sau DST2.

Đường tín hiệu chuẩn bị cảm biến đường 133 có thể cấp tín hiệu chuẩn bị cảm biến đường LSP, mà được cấp từ bộ điều khiển định thời 124, đến các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k). Tuy ý, đường tín hiệu chuẩn bị cảm biến đường 133 có thể còn được nối đến mạch tầng giả đẳng trước DST1 và/hoặc mạch tầng giả đẳng sau DST2.

Đường tín hiệu đặt lại 134 có thể cấp tín hiệu đặt lại RESET, mà được cấp từ bộ điều khiển định thời 124, đến mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), mạch tầng giả đẳng trước DST1, và mạch tầng giả đẳng sau DST2.

Đường tín hiệu bật tắt nền 135 có thể cấp tín hiệu bật tắt nền POS, mà được cấp từ bộ điều khiển định thời 124, đến mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), mạch tầng giả đẳng trước DST1, và mạch tầng giả đẳng sau DST2.

Tuy không được thể hiện trên hình vẽ, nhưng các đường để cấp các tín hiệu mà không phải là các đường 131, 132, 133, 134, và 135 như được thể hiện trên Fig.4 cũng có thể được nối đến các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), mạch tầng giả đẳng trước DST1, và mạch tầng giả đẳng sau DST2. Theo một ví dụ, thì đường để cấp tín hiệu khởi động công VST đến mạch tầng giả đẳng trước DST1 có thể còn được nối đến mạch tầng giả đẳng trước DST1.

Mạch tầng giả đẳng trước DST1 xuất ra tín hiệu mang đẳng trước CS1 đáp lại sự nhập vào của tín hiệu khởi động công VST được cấp từ bộ điều khiển định thời 124. Tín hiệu mang đẳng trước CS1 này có thể được cấp đến một trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k).

Mạch tầng giả đẳng sau DST2 xuất ra tín hiệu mang đẳng sau CS2. Tín hiệu mang đẳng sau CS2 này có thể được cấp đến một trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k).

Các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k) có thể được nối với nhau theo cách được nối tầng hoặc theo cách thành bước.

Theo một phương án của sáng chế, thì mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k) xuất ra j (j là số nguyên dương) tín hiệu công SCOUT và một tín hiệu mang C. Tức là, mỗi mạch tầng xuất ra các tín hiệu công từ thứ nhất đến thứ j và một tín hiệu mang C.

Ví dụ, theo phương án được thể hiện trên Fig.4, thì mỗi mạch tầng xuất ra bốn tín hiệu công SCOUT và một tín hiệu mang C. Ví dụ, mạch tầng thứ nhất ST(1) xuất ra tín hiệu công thứ nhất SCOUT(1), tín hiệu công thứ hai SCOUT(2), tín hiệu công thứ ba SCOUT(3), tín hiệu công thứ tư SCOUT(4) và tín hiệu mang thứ nhất C(1). Mạch tầng thứ hai ST(2) xuất ra tín hiệu công thứ năm SCOUT(5), tín hiệu công thứ sáu SCOUT(6), tín hiệu công thứ bảy SCOUT(7), tín hiệu công thứ tám SCOUT(8), và tín hiệu mang thứ hai C(2). Do đó, trên Fig.4, thì j là 4.

Tổng số tín hiệu công được xuất ra từ các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k) là bằng số lượng n đường công 15 được bố trí trên tám nền hiển thị 106. Như đã mô tả trên đây, mỗi mạch tầng xuất ra j tín hiệu công. Do đó, $j \times k = n$ là được thiết lập.

Ví dụ, theo phương án được thể hiện trên Fig.4 mà trong đó j = 4, thì số lượng k mạch tầng là bằng 1/4 số lượng n đường công 15. Tức là, theo phương án trên Fig.4, thì $k = n/4$.

Tuy nhiên, số lượng tín hiệu công được xuất ra từ mỗi mạch tầng là không chỉ giới hạn ở đó. Tức là, theo phương án khác của sáng chế, thì mỗi mạch tầng có thể xuất ra một, hai, hoặc ba tín hiệu công, hoặc có thể xuất ra năm hoặc nhiều tín hiệu công hơn nữa. Số lượng mạch tầng có thể biến thiên theo số lượng tín hiệu công được xuất ra từ mỗi mạch tầng.

Sau đây, phương án mà trong đó mỗi mạch tầng xuất ra bốn tín hiệu công SCOUT và một tín hiệu mang C sẽ được mô tả. Tuy nhiên, sáng chế không chỉ giới hạn ở phương án này.

Mỗi trong số các tín hiệu công SCOUT, mà được xuất ra từ các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), là có thể hoạt động như tín hiệu công để cảm biến điện áp ngưỡng hoặc tín hiệu công để hiển thị ảnh. Ngoài ra, mỗi tín hiệu mang C, mà được xuất ra từ mỗi trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k), là có

thể được cấp đến mạch tầng không phải là mỗi mạch tầng này. Theo sáng chế, tín hiệu mang mà một mạch tầng nhận được từ mạch tầng đằng trước thì có thể được gọi là tín hiệu mang đằng trước, còn tín hiệu mang mà một mạch tầng nhận được từ mạch tầng đằng sau thì có thể được gọi là tín hiệu mang đằng sau.

Fig.5 là hình vẽ thể hiện thời gian giảm của tín hiệu cổng.

Tín hiệu cổng được xuất ra từ mạch tầng theo một phương án của sáng chế có thể biểu thị dạng sóng điện áp như được thể hiện trên Fig.5. Theo sáng chế, thời gian giảm của tín hiệu cổng có nghĩa là thời lượng thời gian cần thiết để giá trị điện áp của tín hiệu cổng thay đổi từ giá trị tham chiếu thứ nhất được định trước đến giá trị tham chiếu thứ hai được định trước.

Ví dụ, thời gian giảm của tín hiệu cổng được thể hiện trên Fig.5 có thể được xác định là thời lượng thời gian (TB-TA) cần thiết để giá trị điện áp của tín hiệu cổng thay đổi từ giá trị điện áp thứ nhất VA là 90% giá trị lớn nhất VM của nó sang giá trị điện áp thứ hai VB là 10% giá trị lớn nhất VM.

Tuy nhiên, các giá trị tham chiếu (giá trị tham chiếu thứ nhất và giá trị tham chiếu thứ hai) mà được dùng để đo thời gian giảm của tín hiệu cổng là có thể biến thiên dựa trên các phương án. Ví dụ, theo phương án khác của sáng chế, thì giá trị tham chiếu thứ nhất có thể được đặt bằng giá trị lớn nhất VM của giá trị điện áp của tín hiệu cổng, còn giá trị tham chiếu thứ hai có thể được đặt bằng giá trị nhỏ nhất của giá trị điện áp của tín hiệu cổng, ví dụ, 0V của tín hiệu cổng được thể hiện trên Fig.5. Theo các phương án, thì giá trị nhỏ nhất của giá trị điện áp của tín hiệu cổng có thể là giá trị âm. Do đó, khi giá trị điện áp của mỗi tín hiệu cổng hoặc thời lượng thời gian của mỗi tín hiệu cổng biến thiên, thì thời gian giảm của mỗi tín hiệu cổng có thể biến thiên.

Ngoài ra, theo sáng chế, thì thời điểm sườn lên của tín hiệu cổng có nghĩa là thời điểm mà tại đó tín hiệu cổng tăng lên từ mức điện áp thấp đến mức điện áp cao. Thời điểm sườn xuống của tín hiệu cổng có nghĩa là thời điểm mà tại đó tín hiệu cổng giảm từ mức điện áp cao xuống mức điện áp thấp. Các định nghĩa nêu trên về thời gian giảm, thời điểm sườn lên, và thời điểm sườn xuống của tín hiệu cổng có thể được áp dụng tương đương cho các tín hiệu khác.

Fig.6 là hình vẽ thể hiện hai tín hiệu cổng có thời gian giảm khác nhau, và độ lớn của các điện áp lần lượt được nạp đến các điểm ảnh con qua hai tín hiệu cổng này.

Fig.6 là hình vẽ thể hiện hai tín hiệu cổng được nhập vào hai đường cổng khác nhau, tức lần lượt là tín hiệu cổng thứ nhất SCOUT1 và tín hiệu cổng thứ hai SCOUT2. Như được thể hiện, thời gian giảm của tín hiệu cổng thứ nhất SCOUT1 và thời gian giảm của tín hiệu cổng thứ hai SCOUT2 là khác nhau.

Ngoài ra, Fig.6 thể hiện dạng sóng của mỗi trong số hai điện áp lần lượt được tích điện đến hai điểm ảnh con khác nhau, tức là, mỗi điện áp được tích điện VC khi các điện áp dữ liệu Vdata có cùng độ lớn lần lượt được tích điện đến hai điểm ảnh con khác nhau mà lần lượt thuộc về hai đường cổng khác nhau.

Trên Fig.6, f1 biểu thị điểm sườn xuống của tín hiệu cổng thứ nhất SCOUT1 và f2 biểu thị điểm sườn xuống của tín hiệu cổng thứ hai SCOUT2. Vì thời gian giảm của tín hiệu cổng thứ nhất SCOUT1 và thời gian giảm của tín hiệu cổng thứ hai SCOUT2 là khác nhau, nên điểm sườn xuống f1 của tín hiệu cổng thứ nhất SCOUT1 và điểm sườn xuống f2 của tín hiệu cổng thứ hai SCOUT2 là khác nhau.

Theo một ví dụ, thì việc tích điện của điện áp dữ liệu Vdata đến mỗi điểm ảnh con là được chấm dứt tại điểm sườn xuống của tín hiệu cổng. Do đó, sự chênh lệch giữa điểm sườn xuống f1 của tín hiệu cổng thứ nhất SCOUT1 và điểm sườn xuống f2 của tín hiệu cổng thứ hai SCOUT2 có thể tỷ lệ thuận với sự chênh lệch giữa thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ nhất SCOUT1 và thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ hai SCOUT2. Ngoài ra, sự chênh lệch giữa thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ nhất SCOUT1 và thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ hai SCOUT2 là có thể tỷ lệ thuận với sự chênh lệch giữa độ lớn của điện áp được tích điện đến điểm ảnh con dựa trên tín hiệu cổng thứ nhất SCOUT1 và độ lớn của điện áp được tích điện đến điểm ảnh con dựa trên tín hiệu cổng SCOUT2.

Như được thể hiện trên Fig.6, do sự chênh lệch giữa điểm sườn xuống f1 của tín hiệu cổng thứ nhất SCOUT1 và điểm sườn xuống f2 của tín hiệu cổng thứ hai SCOUT2, nên xuất hiện sự chênh lệch DB giữa thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ nhất SCOUT1 và thời lượng thời gian tích điện mà trong đó điện áp dữ liệu Vdata được tích điện dựa trên tín hiệu cổng thứ hai SCOUT2. Do sự chênh lệch DB giữa các thời

lượng thời gian tích điện này, nên xuất hiện sự chênh lệch DA giữa các độ lớn của các điện áp được tích điện mà lần lượt được tích điện đến các điểm ảnh con.

Cuối cùng, khi cùng điện áp dữ liệu Vdata được tích điện đến hai điểm ảnh con mà lần lượt được nối đến các đường cổng khác nhau, và khi xuất hiện sự chênh lệch đầu ra giữa các tín hiệu cổng mà được cấp lần lượt đến hai đường cổng, thì có thể xuất hiện sự chênh lệch DA giữa các độ lớn hoặc lượng điện áp được tích điện mà lần lượt được tích điện đến hai điểm ảnh con. Do sự chênh lệch DA giữa các độ lớn hoặc lượng điện áp được tích điện mà lần lượt được tích điện đến hai điểm ảnh con đó, nên sự chênh lệch về màu sắc hoặc độ sáng giữa hình ảnh của đường này và hình ảnh của đường khác có thể được coi là lỗi đường đối với người xem khi hình ảnh được hiển thị từ thiết bị hiển thị.

Do đó, sự chênh lệch đầu ra giữa các tín hiệu cổng, mà được cấp lần lượt đến các đường cổng, mà càng nhỏ thì chất lượng hiển thị ảnh của thiết bị hiển thị càng tốt. Về mặt này, thì sự chênh lệch đầu ra giữa các tín hiệu cổng có thể biến thiên dựa trên độ lớn điện áp, thời lượng thời gian, hoặc thời gian giảm của mỗi trong số các tín hiệu cổng.

Phần sau đây mô tả các phương án của mạch tầng mà có khả năng giảm sự chênh lệch đầu ra giữa các tín hiệu cổng được cấp lần lượt đến các đường cổng.

Fig.7 là hình vẽ thể hiện sơ đồ mạch của mạch tầng theo một phương án của sáng chế.

Mạch tầng được thể hiện trên Fig.7 có thể là một mạch tầng trong số các mạch tầng từ thứ nhất ST(1) đến thứ k ST(k) được thể hiện trên Fig.4.

Như được thể hiện trên Fig.7, mạch tầng theo một phương án của sáng chế bao gồm nút M, nút Q, và nút QB. Ngoài ra, mạch tầng theo một phương án của sáng chế bao gồm bộ chọn đường 502, bộ điều khiển nút Q 504, bộ ổn định nút Q và nút QH 506, bộ nghịch lưu 508, bộ ổn định nút QB 510, môđun xuất tín hiệu mang 512, và môđun xuất tín hiệu cổng 514.

Bộ chọn đường 502 tích điện cho nút M dựa trên tín hiệu mang đăng trước CS1(k-2) đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường LSP. Ngoài ra, bộ chọn đường 502 tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất GVDD1 dựa trên điện áp được tích điện của nút M đáp lại sự nhập vào của tín hiệu đặt lại

RESET. Ngoài ra, bộ chọn đường 502 xả điện hoặc đặt lại nút Q đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại sự nhập vào của tín hiệu bật tắt nền POS.

Bộ chọn đường 502 bao gồm các tranzito từ thứ nhất T11 đến thứ bảy T17 và tụ điện tích điện trước CA.

Tranzito thứ nhất T11 và tranzito thứ hai T12 được nối đến và được bố trí giữa đường điện áp điện thế cao thứ nhất, để phân phối điện áp điện thế cao thứ nhất GVDD1, và nút M. Ngoài ra, tranzito thứ nhất T11 và tranzito thứ hai T12 được mắc nối tiếp với nhau.

Tranzito thứ nhất T11 xuất tín hiệu mang đằng trước CS1(k-2) đến nút nối thứ nhất NC1 đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường LSP. Tranzito thứ hai T12 nối điện nút nối thứ nhất NC1 đến nút M đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường LSP. Ví dụ, khi tín hiệu chuẩn bị cảm biến đường LSP có điện áp ở mức điện áp cao được nhập vào tranzito thứ nhất T11 và tranzito thứ hai T12, thì tranzito thứ nhất T11 và tranzito thứ hai T12 đồng thời được bật để tích điện cho nút M đến mức điện áp cao.

Tranzito thứ ba T13 có thể được bật khi mức điện áp của nút M ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế cao thứ nhất GVDD1 đến nút nối thứ nhất NC1. Khi điện áp điện thế cao thứ nhất GVDD1 được cấp đến nút nối thứ nhất NC1, thì sự chênh lệch giữa điện áp cổng của tranzito thứ nhất T11 và điện áp của nút nối thứ nhất NC1 tăng lên. Do đó, khi tín hiệu chuẩn bị cảm biến đường LSP có điện áp ở mức điện áp thấp được nhập vào cổng của tranzito thứ nhất T11 để tranzito thứ nhất T11 được tắt, thì tranzito thứ nhất T11 có thể được duy trì ở trạng thái tắt hoàn toàn do sự chênh lệch giữa điện áp cổng của tranzito thứ nhất T11 và điện áp của nút nối thứ nhất NC1. Theo đó, sự rò dòng điện của tranzito thứ nhất T11, và theo đó là sự sụt áp của nút M, có thể được ngăn chặn, để điện áp của nút M có thể được duy trì ổn định.

Tụ điện tích điện trước CA được nối đến và được bố trí giữa đường điện áp điện thế cao thứ nhất, để phân phối điện áp điện thế cao thứ nhất GVDD1, và nút M, và tích trữ trong đó điện áp tương ứng với sự chênh lệch giữa điện áp điện thế cao thứ nhất GVDD1 và điện áp được tích điện đến nút M. Khi tranzito thứ nhất T11, tranzito thứ hai T12, và tranzito thứ ba T13 được bật, thì tụ điện tích điện trước CA tích trữ trong đó điện áp ở mức điện áp cao của tín hiệu mang đằng trước CS1(k-2). Khi tranzito thứ nhất T11, tranzito thứ hai T12, và tranzito thứ ba T13 được tắt, thì tụ điện

tích điện trước CA duy trì điện áp của nút M nhờ sử dụng điện áp được tích trữ trong đó trong một khoảng thời gian nhất định.

Tranzito thứ tư T14 và tranzito thứ năm T15 được nối đến và được bố trí giữa nút Q và đường điện áp điện thế cao thứ nhất để phân phối điện áp điện thế cao thứ nhất GVDD1. Tranzito thứ tư T14 và tranzito thứ năm T15 được mắc nối tiếp với nhau.

Tranzito thứ tư T14 và tranzito thứ năm T15 tích điện cho nút Q đến điện áp điện thế cao thứ nhất GVDD1 đáp lại điện áp của nút M và sự nhập vào của tín hiệu đặt lại RESET. Tranzito thứ tư T14 có thể được bật khi điện áp của nút M ở mức điện áp cao, và do đó, có thể truyền điện áp điện thế cao thứ nhất GVDD1 đến nút được dùng chung giữa tranzito thứ tư T14 và tranzito thứ năm T15. Tranzito thứ năm T15 có thể được bật dựa trên tín hiệu đặt lại RESET mức điện áp cao để cấp điện áp của nút được dùng chung đến nút Q. Do đó, khi tranzito thứ tư T14 và tranzito thứ năm T15 đồng thời được bật, thì nút Q được tích điện áp điện thế cao thứ nhất GVDD1.

Tranzito thứ sáu T16 và tranzito thứ bảy T17 được nối đến và được bố trí giữa nút Q và đường điện áp điện thế thấp thứ ba mà có thể truyền điện áp điện thế thấp thứ ba GVSS3. Tranzito thứ sáu T16 và tranzito thứ bảy T17 được mắc nối tiếp với nhau.

Tranzito thứ sáu T16 và tranzito thứ bảy T17 xả điện cho nút Q đến điện áp điện thế thấp thứ ba GVSS3 đáp lại sự nhập vào của tín hiệu bật tắt nền POS. Việc nút Q được xả đến điện áp điện thế thấp thứ ba GVSS3 cũng có thể được gọi là việc nút Q được thiết đặt lại. Tranzito thứ bảy T17 có thể được bật dựa trên sự nhập vào của tín hiệu bật tắt nền POS mức điện áp cao để cấp điện áp điện thế thấp thứ ba GVSS3 đến nút QH. Tranzito thứ sáu T16 được bật theo sự nhập vào của tín hiệu bật tắt nền POS mức điện áp cao để nối điện nút Q và nút QH với nhau. Do đó, khi tranzito thứ sáu T16 và tranzito thứ bảy T17 đồng thời được bật, thì nút Q được xả điện hoặc được đặt lại đến điện áp điện thế thấp thứ ba GVSS3.

Bộ điều khiển nút Q 504 tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất GVDD1, đáp lại sự nhập vào của tín hiệu mang đăng trước CS1(k-2), và xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba GVSS3, đáp lại sự nhập vào của tín hiệu mang đăng sau CS2(k+2).

Bộ điều khiển nút Q 504 bao gồm các tranzito từ thứ nhất T21 đến thứ tám T28.

Tranzito thứ nhất T21 và tranzito thứ hai T22 được nối đến và được bố trí giữa nút Q và đường điện áp điện thế cao thứ nhất để phân phối điện áp điện thế cao thứ nhất GVDD1. Tranzito thứ nhất T21 và tranzito thứ hai T22 được mắc nối tiếp với nhau.

Tranzito thứ nhất T21 và tranzito thứ hai T22 tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất GVDD1 đáp lại sự nhập vào của tín hiệu mang đẳng trước CS1(k-2). Tranzito thứ nhất T21 có thể được bật theo sự nhập vào của tín hiệu mang đẳng trước CS1(k-2), và do đó, có thể cấp điện áp điện thế cao thứ nhất GVDD1 đến nút nối thứ hai NC2. Tranzito thứ hai T22 có thể được bật theo sự nhập vào của tín hiệu mang đẳng trước CS1(k-2) và có thể nối điện nút nối thứ hai NC2 và nút Q với nhau. Do đó, khi tranzito thứ nhất T21 và tranzito thứ hai T22 đồng thời được bật, thì điện áp điện thế cao thứ nhất GVDD1 được cấp đến nút Q.

Tranzito thứ năm T25 và tranzito thứ sáu T26 được nối đến đường điện áp điện thế cao thứ ba để phân phối điện áp điện thế cao thứ ba GVDD3. Tranzito thứ năm T25 và tranzito thứ sáu T26 cấp điện áp điện thế cao thứ ba GVDD3 đến nút nối thứ hai NC2 đáp lại điện áp điện thế cao thứ ba GVDD3.

Tranzito thứ năm T25 và tranzito thứ sáu T26 được bật cùng một lúc dựa trên điện áp điện thế cao thứ ba GVDD3, để điện áp điện thế cao thứ ba GVDD3 liên tục được cấp đến nút nối thứ hai NC2, nhờ đó tăng sự chênh lệch giữa điện áp cổng của tranzito thứ nhất T21 và điện áp của nút nối thứ hai NC2. Do đó, khi tín hiệu mang đẳng trước CS1(k-2) ở mức điện áp thấp được nhập vào cổng của tranzito thứ nhất T21, và theo đó, tranzito thứ nhất T21 được tắt, thì tranzito thứ nhất T21 có thể được duy trì ở trạng thái tắt hoàn toàn do sự chênh lệch giữa điện áp cổng của tranzito thứ nhất T21 và điện áp của nút nối thứ hai NC2. Theo đó, sự rò dòng điện của tranzito thứ nhất T21, và theo đó là sự sụt áp của nút Q, có thể được ngăn chặn, nên điện áp của nút Q có thể được duy trì ổn định.

Theo một ví dụ, khi điện áp ngưỡng của tranzito thứ nhất T21 là dương (+), thì điện áp cổng-nguồn Vgs của tranzito thứ nhất T21 được duy trì là âm (-) do điện áp điện thế cao thứ ba GVDD3 được cấp đến điện cực máng. Do đó, khi tín hiệu mang đẳng trước CS1(k-2) ở mức điện áp thấp được nhập vào cổng của tranzito thứ nhất T21 và do đó tranzito thứ nhất T21 được tắt, thì tranzito thứ nhất T21 có thể được duy trì trong trạng thái tắt hoàn toàn để ngăn chặn dòng điện rò từ đó.

Theo một phương án của sáng chế, thì điện áp điện thế cao thứ ba GVDD3 được đặt đến mức điện áp thấp hơn so với của điện áp điện thế cao thứ nhất GVDD1.

Tranzito thứ ba T23 và tranzito thứ tư T24 được nối đến và được bố trí giữa nút Q và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3. Tranzito thứ ba T23 và tranzito thứ tư T24 được mắc nối tiếp với nhau.

Tranzito thứ ba T23 và tranzito thứ tư T24 xả điện cho nút Q và nút QH đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại sự nhập vào của tín hiệu mang đẳng sau CS2(k+2). Tranzito thứ tư T24 được bật theo sự nhập vào của tín hiệu mang đẳng sau CS2(k+2) để xả điện cho nút QH đến mức điện áp điện thế thấp thứ ba GVSS3. Tranzito thứ ba T23 được bật theo sự nhập vào của tín hiệu mang đẳng sau CS2(k+2) để nối điện nút Q và nút QH với nhau. Do đó, khi tranzito thứ ba T23 và tranzito thứ tư T24 đồng thời được bật, thì mỗi trong số nút Q và nút QH được xả điện hoặc được đặt lại đến mức điện áp điện thế thấp thứ ba GVSS3.

Tranzito thứ bảy T27 và tranzito thứ tám T28 được nối đến và được bố trí giữa đường điện áp điện thế cao thứ nhất để phân phối điện áp điện thế cao thứ nhất GVDD1 và nút Q, và được nối đến và được bố trí giữa đường điện áp điện thế cao thứ nhất để phân phối điện áp điện thế cao thứ nhất GVDD1 và nút QH. Tranzito thứ bảy T27 và tranzito thứ tám T28 được mắc nối tiếp với nhau.

Tranzito thứ bảy T27 và tranzito thứ tám T28 cấp điện áp điện thế cao thứ nhất GVDD1 đến nút QH đáp lại điện áp của nút Q. Tranzito thứ bảy T27 có thể được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế cao thứ nhất GVDD1 đến nút được dùng chung giữa tranzito thứ bảy T27 và tranzito thứ tám T28. Tranzito thứ tám T28 có thể được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể nối điện nút được dùng chung này và nút QH với nhau. Do đó, tranzito thứ bảy T27 và tranzito thứ tám T28 đồng thời được bật khi điện áp của nút Q ở mức điện áp cao, để điện áp điện thế cao thứ nhất GVDD1 được cấp đến nút QH.

Khi điện áp điện thế cao thứ nhất GVDD1 được cấp đến nút QH, thì sự chênh lệch giữa điện áp cổng của tranzito thứ ba T23 và điện áp của nút QH tăng lên. Do đó, khi tín hiệu mang đẳng sau CS2(k+2) ở mức điện áp thấp được nhập vào cổng của tranzito thứ ba T23 và do đó tranzito thứ ba T23 được tắt, thì tranzito thứ ba T23 có thể được duy trì trong trạng thái tắt hoàn toàn do sự chênh lệch giữa điện áp cổng của tranzito thứ ba T23 và điện áp của nút QH. Theo đó, sự rò dòng điện của tranzito thứ

ba T23, và theo đó là sự sụt áp của nút Q, có thể được ngăn chặn, nên điện áp của nút Q có thể được duy trì ổn định.

Bộ ổn định nút Q và nút QH 506 xả điện cho nút Q và nút QH đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại điện áp của nút QB.

Bộ ổn định nút Q và nút QH 506 bao gồm tranzito thứ nhất T31 và tranzito thứ hai T32. Tranzito thứ nhất T31 và tranzito thứ hai T32 được nối đến và được bố trí giữa nút Q và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3. Tranzito thứ nhất T31 và tranzito thứ hai T32 được mắc nối tiếp với nhau.

Tranzito thứ nhất T31 và tranzito thứ hai T32 xả điện cho nút Q và nút QH đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại điện áp của nút QB. Tranzito thứ hai T32 có thể được bật khi điện áp của nút QB ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế thấp thứ ba GVSS3 đến nút được dùng chung giữa tranzito thứ nhất T31 và tranzito thứ hai T32 (tức là, nút QH). Tranzito thứ nhất T31 có thể được bật khi điện áp của nút QB ở mức điện áp cao, và do đó, có thể nối điện nút Q và nút QH với nhau. Do đó, khi tranzito thứ nhất T31 và tranzito thứ hai T32 được bật đồng thời đáp lại điện áp của nút QB, thì mỗi trong số nút Q và nút QH có thể được xả điện hoặc được đặt lại đến mức điện áp điện thế thấp thứ ba GVSS3.

Bộ nghịch lưu 508 thay đổi mức điện áp của nút QB theo mức điện áp của nút Q.

Bộ nghịch lưu 508 bao gồm các tranzito từ thứ nhất T41 đến thứ năm T45.

Tranzito thứ hai T42 và tranzito thứ ba T43 được nối đến và được bố trí giữa đường điện áp điện thế cao thứ hai, để phân phối điện áp điện thế cao thứ hai GVDD2, và nút nối thứ ba NC3. Tranzito thứ hai T42 và tranzito thứ ba T43 được mắc nối tiếp với nhau.

Tranzito thứ hai T42 và tranzito thứ ba T43 cấp điện áp điện thế cao thứ hai GVDD2 đến nút nối thứ ba NC3 đáp lại điện áp điện thế cao thứ hai GVDD2. Tranzito thứ hai T42 được bật dựa trên điện áp điện thế cao thứ hai GVDD2 để cấp điện áp điện thế cao thứ hai GVDD2 đến nút được dùng chung giữa tranzito thứ hai T42 và tranzito thứ ba T43. Tranzito thứ ba T43 được bật dựa trên điện áp điện thế cao thứ hai GVDD2 để nối điện nút được dùng chung giữa tranzito thứ hai T42 và tranzito thứ ba T43 đến nút nối thứ ba NC3. Do đó, khi tranzito thứ hai T42 và

tranzito thứ ba T43 đồng thời được bật dựa trên điện áp điện thế cao thứ hai GVDD2, thì nút nổi thứ ba NC3 được tích điện đến mức điện áp điện thế cao thứ hai GVDD2.

Tranzito thứ tư T44 được nối đến và được bố trí giữa nút nổi thứ ba NC3 và đường điện áp điện thế thấp thứ hai để phân phối điện áp điện thế thấp thứ hai GVSS2.

Tranzito thứ tư T44 có thể cấp điện áp điện thế thấp thứ hai GVSS2 đến nút nổi thứ ba NC3 đáp lại điện áp của nút Q. Tranzito thứ tư T44 có thể được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể xả điện hoặc đặt lại nút nổi thứ ba NC3 đến điện áp điện thế thấp thứ hai GVSS2.

Tranzito thứ nhất T41 được nối đến và được bố trí giữa đường điện áp điện thế cao thứ hai, để phân phối điện áp điện thế cao thứ hai GVDD2, và nút QB.

Tranzito thứ nhất T41 có thể cấp điện áp điện thế cao thứ hai GVDD2 đến nút QB đáp lại điện áp của nút nổi thứ ba NC3.

Tranzito thứ nhất T41 có thể được bật khi điện áp của nút nổi thứ ba NC3 ở mức điện áp cao, và do đó, có thể tích điện cho nút QB đến mức điện áp điện thế cao thứ hai GVDD2.

Tranzito thứ năm T45 được nối đến và được bố trí giữa nút QB và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3.

Tranzito thứ năm T45 có thể cấp điện áp điện thế thấp thứ ba GVSS3 đến nút QB đáp lại điện áp của nút Q. Tranzito thứ năm T45 có thể được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể xả điện hoặc đặt lại nút QB đến mức điện áp điện thế thấp thứ ba GVSS3.

Bộ ổn định nút QB 510 xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại sự nhập vào của tín hiệu mang đẳng trước CS1(k-2), đáp lại sự nhập vào của tín hiệu đặt lại, và đáp lại điện áp được tích điện của nút M.

Bộ ổn định nút QB 510 bao gồm các tranzito từ thứ nhất T51 đến thứ ba T53.

Tranzito thứ nhất T51 được nối đến và được bố trí giữa nút QB và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3.

Tranzito thứ nhất T51 có thể cấp điện áp điện thế thấp thứ ba GVSS3 đến nút QB đáp lại sự nhập vào của tín hiệu mang đẳng trước CS1(k-2). Tranzito thứ nhất T51 có thể được bật khi điện áp của tín hiệu mang đẳng trước CS1(k-2) ở mức điện áp cao, và do đó, có thể xả điện hoặc đặt lại nút QB đến mức điện áp điện thế thấp thứ ba GVSS3.

Tranzito thứ hai T52 và tranzito thứ ba T53 được nối đến và được bố trí giữa nút QB và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3. Tranzito thứ hai T52 và tranzito thứ ba T53 được mắc nối tiếp với nhau.

Tranzito thứ hai T52 và tranzito thứ ba T53 xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba GVSS3 đáp lại sự nhập vào của tín hiệu đặt lại và điện áp được tích điện của nút M. Tranzito thứ ba T53 có thể được bật khi điện áp của nút M ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế thấp thứ ba GVSS3 đến nút được dùng chung giữa tranzito thứ hai T52 và tranzito thứ ba T53. Tranzito thứ hai T52 có thể được bật dựa trên sự nhập vào của tín hiệu đặt lại RESET, để nút được dùng chung giữa tranzito thứ hai T52 và tranzito thứ ba T53 được nối điện đến nút QB. Do đó, khi tín hiệu đặt lại RESET được nhập vào tranzito thứ hai T52 trong khi điện áp của nút M ở mức điện áp cao, thì tranzito thứ hai T52 và tranzito thứ ba T53 được bật cùng một lúc để xả điện hoặc đặt lại nút QB đến mức điện áp điện thế thấp thứ ba GVSS3.

Môđun xuất tín hiệu mang 512 xuất ra tín hiệu mang $C(k)$ dựa trên mức điện áp của tín hiệu xung nhịp mang CRCLK(k) hoặc mức điện áp điện thế thấp thứ ba GVSS3, theo mức điện áp của nút Q hoặc mức điện áp của nút QB.

Môđun xuất tín hiệu mang 512 bao gồm tranzito thứ nhất T81, tranzito thứ hai T82, và tụ điện tăng thế CC.

Tranzito thứ nhất T81 được nối đến và được bố trí giữa đường tín hiệu xung nhịp, để phân phối tín hiệu xung nhịp mang CRCLK(k), và nút đầu ra thứ nhất NO1. Tụ điện tăng thế CC được nối đến và được bố trí giữa cổng và nguồn của tranzito thứ nhất T81.

Tranzito thứ nhất T81 xuất ra tín hiệu mang $C(k)$ ở mức điện áp cao thông qua nút đầu ra thứ nhất NO1, dựa trên tín hiệu xung nhịp mang CRCLK(k), đáp lại điện áp của nút Q. Tranzito thứ nhất T81 có thể được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể cấp tín hiệu xung nhịp mang CRCLK(k) có điện áp ở mức điện áp cao đến nút đầu ra thứ nhất NO1. Theo đó, tín hiệu mang $C(k)$ có mức điện áp cao được xuất ra.

Khi tín hiệu mang $C(k)$ này được xuất ra, thì tụ điện tăng thế CC mỗi điện áp của nút Q đến mức điện áp tăng thế cao hơn so với mức điện áp điện thế cao thứ nhất GVDD1 trong khi đồng bộ với tín hiệu xung nhịp mang CRCLK(k) có mức điện áp cao này. Khi điện áp của nút Q được mỗi, thì tín hiệu xung nhịp mang CRCLK(k) ở

mức điện áp cao có thể được xuất ra dưới dạng tín hiệu mang $C(k)$ một cách nhanh chóng và không bị méo.

Tranzito thứ hai T82 được nối đến và được bố trí giữa nút đầu ra thứ nhất NO1 và đường điện áp điện thế thấp thứ ba để phân phối điện áp điện thế thấp thứ ba GVSS3.

Tranzito thứ hai T82 xuất ra tín hiệu mang $C(k)$ ở mức điện áp thấp thông qua nút đầu ra thứ nhất NO1, dựa trên điện áp điện thế thấp thứ ba GVSS3, đáp lại điện áp của nút QB. Tranzito thứ hai T82 có thể được bật khi điện áp của nút QB ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế thấp thứ ba GVSS3 đến nút đầu ra thứ nhất NO1. Theo đó, tín hiệu mang $C(k)$ có mức điện áp thấp được xuất ra.

Môđun xuất tín hiệu cổng 514 có thể xuất ra các tín hiệu cổng SCOUT(i), SCOUT($i+1$), SCOUT($i+2$), và SCOUT($i+3$), dựa trên các mức điện áp của các tín hiệu xung nhịp quét SCCLK(i), SCCLK($i+1$), SCCLK($i+2$), và SCCLK($i+3$), hoặc mức điện áp điện thế thấp thứ nhất GVSS1, theo mức điện áp của nút Q hoặc mức điện áp của nút QB. Về mặt này, thì i là số nguyên dương.

Môđun xuất tín hiệu cổng 514 bao gồm các tranzito từ thứ nhất T71 đến thứ tám T78, và các tụ điện tăng thế CS1, CS2, CS3, và CS4.

Tranzito thứ nhất T71, tranzito thứ ba T73, tranzito thứ năm T75, và tranzito thứ bảy T77 lần lượt được nối đến và được bố trí giữa các nút đầu ra NO2 đến NO5 và các đường tín hiệu xung nhịp để lần lượt phân phối các tín hiệu xung nhịp quét SCCLK(i), SCCLK($i+1$), SCCLK($i+2$) và SCCLK($i+3$). Mỗi trong số các tụ điện tăng thế CS1, CS2, CS3, và CS4 là được nối đến và được bố trí giữa cổng và nguồn của mỗi trong số tranzito thứ nhất T71, tranzito thứ ba T73, tranzito thứ năm T75, và tranzito thứ bảy T77.

Mỗi trong số tranzito thứ nhất T71, tranzito thứ ba T73, tranzito thứ năm T75, và tranzito thứ bảy T77 xuất ra mỗi trong số các tín hiệu cổng SCOUT(i), SCOUT($i+1$), SCOUT($i+2$), và SCOUT($i+3$) ở mức điện áp cao thông qua mỗi trong số nút đầu ra thứ hai NO2, nút đầu ra thứ ba NO3, nút đầu ra thứ tư NO4, và nút đầu ra thứ năm NO5, dựa trên mỗi trong số các tín hiệu xung nhịp quét SCCLK(i), SCCLK($i+1$), SCCLK($i+2$), và SCCLK($i+3$), và đáp lại điện áp của nút Q. Mỗi trong số tranzito thứ nhất T71, tranzito thứ ba T73, tranzito thứ năm T75, và tranzito thứ bảy T77 là được bật khi điện áp của nút Q ở mức điện áp cao, và do đó, có thể cấp

mỗi trong số các tín hiệu xung nhịp quét SCCLK(i), SCCLK(i+1), SCCLK(i+2), và SCCLK(i+3) ở mức điện áp cao đến mỗi trong số nút đầu ra thứ hai NO2, nút đầu ra thứ ba NO3, nút đầu ra thứ tư NO4, và nút đầu ra thứ năm NO5. Theo đó, các tín hiệu cổng SCOUT(i), SCOUT(i+1), SCOUT(i+2), và SCOUT(i+3) ở mức điện áp cao lần lượt được xuất ra.

Khi các tín hiệu cổng SCOUT(i), SCOUT(i+1), SCOUT(i+2), SCOUT(i+3) lần lượt được xuất ra, thì các tụ điện tăng thế CS1, CS2, CS3, và CS4 mỗi hoặc tăng điện áp của nút Q đến mức điện áp tăng thế cao hơn so với mức điện áp điện thế cao thứ nhất GVDD1, trong khi lần lượt được đồng bộ với các tín hiệu xung nhịp quét SCCLK(i), SCCLK(i+1), SCCLK(i+2), và SCCLK(i+3) ở mức điện áp cao. Khi điện áp của nút Q được mỗi, thì các tín hiệu xung nhịp quét SCCLK(i), SCCLK(i+1), SCCLK(i+2), và SCCLK(i+3) ở mức điện áp cao có thể lần lượt được xuất ra dưới dạng các tín hiệu cổng SCOUT(i), SCOUT(i+1), SCOUT(i+2), và SCOUT(i+3) một cách nhanh chóng và không bị méo.

Tranzito thứ hai T72, tranzito thứ tư T74, tranzito thứ sáu T76, và tranzito thứ tám T78 lần lượt xuất ra các tín hiệu cổng SCOUT(i), SCOUT(i+1), SCOUT(i+2), và SCOUT(i+3) ở mức điện áp thấp lần lượt qua nút đầu ra thứ hai NO2, nút đầu ra thứ ba NO3, nút đầu ra thứ tư NO4, và nút đầu ra thứ năm NO5, dựa trên điện áp điện thế thấp thứ nhất GVSS1 và đáp lại điện áp của nút QB. Tranzito thứ hai T72, tranzito thứ tư T74, tranzito thứ sáu T76, và tranzito thứ tám T78 có thể lần lượt được bật khi điện áp của nút QB ở mức điện áp cao, và do đó, có thể cấp điện áp điện thế thấp thứ nhất GVSS1 lần lượt đến nút đầu ra thứ hai NO2, nút đầu ra thứ ba NO3, nút đầu ra thứ tư NO4, và nút đầu ra thứ năm NO5. Theo đó, các tín hiệu cổng SCOUT(i), SCOUT(i+1), SCOUT(i+2), và SCOUT(i+3) ở mức điện áp thấp lần lượt được xuất ra.

Theo phương án được thể hiện trên Fig.7, thì mỗi mạch tăng có thể nhận ba điện áp điện thế cao GVDD1, GVDD2, và GVDD3 được đặt ở các mức khác nhau, và ba điện áp điện thế thấp GVSS1, GVSS2, và GVSS3 được đặt ở các mức khác nhau. Ví dụ, điện áp điện thế cao thứ nhất GVDD1 có thể được đặt bằng 20V, điện áp điện thế cao thứ hai GVDD2 có thể được đặt bằng 16V, và điện áp điện thế cao thứ ba GVDD3 có thể được đặt bằng 14V. Điện áp điện thế thấp thứ nhất GVSS1 có thể được đặt bằng -6V, điện áp điện thế thấp thứ hai GVSS2 có thể được đặt bằng -10V, và điện áp điện thế thấp thứ ba GVSS3 có thể được đặt bằng -12V. Các giá trị bằng số

này chỉ là một ví dụ. Các mức của các điện áp điện thế cao và điện áp điện thế thấp có thể biến thiên dựa trên các phương án. Cần lưu ý rằng cấu trúc mạch của mỗi mạch tầng được thể hiện trên Fig.7 là chỉ nhằm mục đích minh họa, và các biến thể của cấu trúc mạch khác của mạch tầng này cũng có thể được dùng để thực hiện các nguyên lý kỹ thuật của sáng chế. Do đó, sáng chế không chỉ giới hạn ở cấu trúc được thể hiện trên Fig.7. Ví dụ, một hoặc nhiều thành phần (ví dụ, một hoặc nhiều trong số bộ chọn đường 502, bộ điều khiển nút Q 504, bộ ổn định nút Q và nút QH 506, bộ nghịch lưu 508 và bộ ổn định nút QB 510) mà được bao gồm trong mạch tầng này là có thể được lược bỏ hoặc được cải biến thành các cấu trúc khác.

Fig.8 là hình vẽ thể hiện dạng sóng của mỗi trong số tín hiệu vào và tín hiệu ra khi mạch tầng trên Fig.7 xuất ra tín hiệu công để hiển thị ảnh, theo một phương án của sáng chế.

Khi tín hiệu mang đẳng trước CS1(k-2) ở mức điện áp cao được nhập vào đối với khoảng thời gian P1 đến P5, thì tranzito thứ nhất T21 và tranzito thứ hai T22 của bộ điều khiển nút Q 504 được bật. Theo đó, nút Q đã được tích điện đến mức điện áp điện thế cao thứ nhất GVDD1. Ngoài ra, tranzito thứ nhất T51 của bộ ổn định nút QB 510 được bật dựa trên tín hiệu mang đẳng trước CS1(k-2) ở mức điện áp cao, và do đó, nút QB đã được xả điện đến mức điện áp điện thế thấp thứ ba GVSS3.

Khi tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao được nhập vào đối với khoảng thời gian P5 đến P6, thì tụ điện tăng thế CS1 có thể mỗi điện áp của nút Q đến mức điện áp tăng thế thứ nhất BL1 mà cao hơn so với của điện áp điện thế cao thứ nhất GVDD1. Theo đó, tín hiệu cổng SCOUT(i) được xuất ra từ nút đầu ra thứ hai NO2 đối với khoảng thời gian P5 đến P6.

Khi tín hiệu xung nhịp quét SCCLK(i+1) ở mức điện áp cao cùng với tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao được nhập vào đối với khoảng thời gian P6 đến P7, thì các tụ điện tăng thế CS1 và CS2 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ hai BL2 mà cao hơn so với của điện áp tăng thế thứ nhất BL1. Theo đó, tín hiệu cổng SCOUT(i+1) được xuất ra từ nút đầu ra thứ ba NO3 đối với khoảng thời gian P6 đến P7.

Khi tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao cùng với tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao và tín hiệu xung nhịp quét SCCLK(i+1) ở mức điện áp cao được nhập vào đối với khoảng thời gian P7 đến P8, thì các tụ điện

tăng thế CS1, CS2, và CS3 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ ba BL3 mà cao hơn so với của điện áp tăng thế thứ hai BL2. Theo đó, tín hiệu cổng SCOUT(i+2) được xuất ra từ nút đầu ra thứ tư NO4 đối với khoảng thời gian P7 đến P8.

Tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao cùng với tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+1) ở mức điện áp cao, và tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao được nhập vào đối với khoảng thời gian P8 đến P9.

Ngoài ra, đối với khoảng thời gian P8 đến P9, thì tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao được nhập vào. Tức là, theo phương án trên Fig.8, thì thời điểm sườn lên P8 của tín hiệu xung nhịp mang CRCLK(k) là sớm hơn so với thời điểm sườn xuống P9 của tín hiệu xung nhịp quét SCCLK(i). Ngoài ra, theo phương án trên Fig.8, thì thời điểm sườn xuống P12 của tín hiệu xung nhịp mang CRCLK(k) là giống như thời điểm sườn xuống P12 của tín hiệu xung nhịp quét SCCLK(i+3).

Kết quả là, như được biểu thị theo cách được tô bóng trên Fig.8, đối với khoảng thời gian P8 đến P9, thì mỗi trong số tín hiệu xung nhịp quét SCCLK(i) và tín hiệu xung nhịp mang CRCLK(k) là được duy trì ở mức điện áp cao.

Nói cách khác, theo một phương án của sáng chế, thì một phần khoảng thời gian P8 đến P9 của khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang CRCLK(k) là chồng với một phần khoảng thời gian P8 đến P9 của khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất (ví dụ, tín hiệu xung nhịp quét SCCLK(i)).

Theo đó, đối với khoảng thời gian P8 đến P9, thì các tụ điện tăng thế CC, CS1, CS2, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ năm BL5 cao hơn so với mỗi trong số mức điện áp tăng thế thứ ba BL3 và mức điện áp tăng thế thứ tư BL4. Theo đó, tín hiệu cổng SCOUT(i+3) được xuất ra từ nút đầu ra thứ năm NO5 đối với khoảng thời gian P8 đến P9.

Đối với khoảng thời gian P9 đến P10, thì tín hiệu xung nhịp quét SCCLK(i+1) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao, và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, tụ điện tăng thế CC, CS2, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ tư BL4 thấp hơn

mức điện áp tăng thế thứ năm BL5. Ngoài ra, đối với khoảng thời gian P9 đến P10, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i) và tín hiệu cổng SCOUT(i) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P10 đến P11, thì tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, các tụ điện tăng thế CC, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ ba BL3 thấp hơn mức điện áp tăng thế thứ tư BL4. Ngoài ra, đối với khoảng thời gian P10 đến P11, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i+1) và tín hiệu cổng SCOUT(i+1) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P11 đến P12, thì tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, các tụ điện tăng thế CC và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ hai BL2 thấp hơn mức điện áp tăng thế thứ ba BL3. Ngoài ra, đối với khoảng thời gian P11 đến P12, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i+2) và tín hiệu cổng SCOUT(i+2) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P12 đến 13, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét và tín hiệu xung nhịp mang là được hạ xuống đến mức điện áp thấp. Ngoài ra, đối với khoảng thời gian P12 đến 13, thì tín hiệu mang đằng sau CS2(k+2) ở mức điện áp cao là được nhập vào. Theo đó, đối với khoảng thời gian P12 đến 13, thì mức điện áp của nút Q là được hạ xuống đến mức điện áp điện thế cao thứ nhất GVDD1. Ngoài ra, đối với khoảng thời gian P12 đến 13, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i+3) và tín hiệu cổng SCOUT(i+3) là được hạ xuống đến mức điện áp thấp.

Tuy không được thể hiện trên hình vẽ, nhưng khi tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao được nhập vào đối với khoảng thời gian P8 đến P12, thì tín hiệu mang C(k) là được xuất ra từ nút đầu ra thứ nhất NO1 qua tranzito thứ nhất T81 mà đã được bật dựa trên điện áp được tích điện cho nút Q.

Khi tín hiệu mang đằng sau CS2(k+2) ở mức điện áp cao được nhập vào đối với khoảng thời gian P12 đến P16, thì tranzito thứ ba T23 và tranzito thứ tư T24 của bộ điều khiển nút Q 504 là được bật. Theo đó, nút Q được xả điện đến mức điện áp

điện thế thấp thứ ba GVSS3 tại thời điểm P16. Khi nút Q đã được xả điện đến mức điện áp điện thế thấp thứ ba GVSS3, thì tranzito thứ tư T44, mà được bao gồm trong bộ nghịch lưu 508, có thể được tắt. Điện áp điện thế cao thứ hai GVDD2 có thể được nhập vào cổng của tranzito thứ nhất T41, để tranzito thứ nhất T41 có thể được bật. Khi tranzito thứ nhất T41 được bật, thì nút QB được tích điện đến mức điện áp điện thế cao thứ hai GVDD2.

Fig.9 là hình vẽ thể hiện dạng sóng của điện áp của nút Q, dạng sóng điện áp của tín hiệu xung nhịp mang, và các dạng sóng điện áp của các tín hiệu cổng khi các tín hiệu cổng để hiển thị ảnh được xuất ra từ mạch tầng trên Fig.7 và theo một phương án trên Fig.8.

Fig.9 là hình vẽ thể hiện dạng sóng điện áp 900 của nút Q, dạng sóng điện áp 901 của tín hiệu cổng SCOUT(i), dạng sóng điện áp 902 của tín hiệu cổng SCOUT(i+1), dạng sóng điện áp 903 của tín hiệu cổng SCOUT(i+2), dạng sóng điện áp 904 của tín hiệu cổng SCOUT(i+3), và dạng sóng điện áp 910 của tín hiệu xung nhịp mang CRCLK(k) trong số các dạng sóng của các tín hiệu được thể hiện trên Fig.8.

Như đã mô tả trên đây, đối với khoảng thời gian P8 đến P9 mà trong đó tất cả trong số tín hiệu cổng SCOUT(i), tín hiệu cổng SCOUT(i+1), tín hiệu cổng SCOUT(i+2), và tín hiệu cổng SCOUT(i+3) được xuất ra, thì dạng sóng điện áp 910 của tín hiệu xung nhịp mang CRCLK(k) là được duy trì ở mức điện áp cao. Cụ thể là, như được biểu thị theo cách được tô bóng trên Fig.8, đối với khoảng thời gian P8 đến P9, thì tín hiệu xung nhịp quét SCCLK(i), tín hiệu xung nhịp quét SCCLK(i+1), tín hiệu xung nhịp quét SCCLK(i+2), tín hiệu xung nhịp quét SCCLK(i+3) và tín hiệu xung nhịp mang CRCLK(k) là được duy trì ở mức điện áp cao. Theo đó, đối với khoảng thời gian P8 đến P9, thì mức điện áp của nút Q tăng lên nhanh chóng từ mức điện áp tăng thế thứ ba BL3 đến mức điện áp tăng thế thứ năm BL5.

Sau đó, đối với khoảng thời gian P9 đến P10, khoảng thời gian P10 đến P11, và khoảng thời gian P11 đến P12, thì mức điện áp của nút Q lần lượt được hạ xuống đến mức điện áp tăng thế thứ tư BL4, và sau đó là đến mức điện áp tăng thế thứ ba BL3, và sau đó là đến mức điện áp tăng thế thứ hai BL2.

Tuy nhiên, đối với khoảng thời gian P12 đến P13, khi tín hiệu xung nhịp quét thứ j (ví dụ, tín hiệu xung nhịp quét SCCLK(i+3)) và tín hiệu xung nhịp mang

CRCLK(k) đồng thời được hạ xuống đến mức điện áp thấp, thì mức điện áp của nút Q đột ngột được hạ xuống từ mức điện áp tăng thế thứ hai BL2 đến mức điện áp điện thế cao thứ nhất GVDD1.

Cuối cùng, theo Fig.9, đối với khoảng thời gian từ thời điểm sườn xuống P9 của tín hiệu cổng SCOUT(i) đến thời điểm tiếp theo P10, thì mức điện áp của nút Q giảm tương đối nhẹ từ mức điện áp tăng thế thứ năm BL5 đến mức điện áp tăng thế thứ tư BL4, còn đối với khoảng thời gian từ thời điểm sườn xuống P12 của tín hiệu cổng SCOUT(i+3) đến thời điểm tiếp theo P13, thì mức điện áp của nút Q giảm nhanh chóng từ mức điện áp tăng thế thứ hai BL2 đến mức điện áp điện thế cao thứ nhất GVDD1. Theo đó, sự chênh lệch giữa thời gian giảm của tín hiệu cổng SCOUT(i) và thời gian giảm của tín hiệu cổng SCOUT(i+3) trở nên lớn hơn.

Các thời gian giảm được nêu làm ví dụ của tín hiệu cổng thứ nhất SCOUT(i) và tín hiệu cổng thứ j SCOUT(i+3) đo được trong khi thực sự vận hành mạch tăng được thể hiện trên Fig.7 theo phương án trên Fig.8 là như sau.

$$\text{SCOUT}(i): 0,748 \mu s$$

$$\text{SCOUT}(i+3) : 0,816 \mu s$$

Theo ví dụ này, thì sự chênh lệch giữa thời gian giảm của tín hiệu cổng thứ nhất SCOUT(i) và thời gian giảm của tín hiệu cổng thứ j SCOUT(i+3) là $0,068 \mu s$. Sự chênh lệch giữa thời gian giảm của tín hiệu cổng thứ nhất SCOUT(i) và thời gian giảm của tín hiệu cổng thứ j SCOUT(i+3) có thể được diễn dịch là sự chênh lệch đầu ra giữa tín hiệu cổng SCOUT(i) và tín hiệu cổng thứ j SCOUT(i+3).

Theo cách này, khi xuất hiện sự chênh lệch đầu ra giữa tín hiệu cổng thứ nhất (ví dụ, tín hiệu cổng SCOUT(i)) và tín hiệu cổng thứ j (ví dụ, tín hiệu cổng SCOUT(i+3)) trong số j tín hiệu cổng được xuất ra từ một mạch tăng, thì có thể xuất hiện sự chênh lệch giữa các độ lớn của các điện áp dữ liệu mà lần lượt được tích điện cho các điểm ảnh con vào lúc nhận được các tín hiệu cổng này. Do đó, chất lượng hiển thị ảnh của thiết bị hiển thị này bị giảm.

Phần sau đây mô tả phương án khác mà trong đó sự chênh lệch đầu ra giữa tín hiệu cổng thứ nhất (ví dụ, tín hiệu cổng SCOUT(i)) và tín hiệu cổng thứ j (ví dụ, tín

hiệu cổng SCOUT($i+3$)), trong số j (ví dụ, bốn) tín hiệu cổng được xuất ra từ một mạch tầng, được giảm.

Fig.10 là hình vẽ thể hiện các dạng sóng của mỗi trong số tín hiệu vào và tín hiệu ra khi mạch tầng trên Fig.7 xuất ra tín hiệu cổng để hiển thị ảnh, theo phương án khác của sáng chế.

Khi tín hiệu mang đẳng trước CS1($k-2$) ở mức điện áp cao được nhập vào đối với khoảng thời gian P1 đến P5, thì tranzito thứ nhất T21 và tranzito thứ hai T22 của bộ điều khiển nút Q 504 được bật. Theo đó, nút Q đã được tích điện đến mức điện áp điện thế cao thứ nhất GVDD1. Ngoài ra, tranzito thứ nhất T51 của bộ ổn định nút QB 510 là được bật dựa trên tín hiệu mang đẳng trước CS1($k-2$) ở mức điện áp cao, để nút QB được xả điện đến mức điện áp điện thế thấp thứ ba GVSS3.

Khi tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao được nhập vào đối với khoảng thời gian P5 đến P6, thì tụ điện tăng thế CS1 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ nhất BL1 mà cao hơn so với mức điện áp điện thế cao thứ nhất GVDD1. Theo đó, tín hiệu cổng SCOUT(i) được xuất ra từ nút đầu ra thứ hai NO2 đối với khoảng thời gian P5 đến P6.

Khi tín hiệu xung nhịp quét SCCLK($i+1$) ở mức điện áp cao cùng với tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao được nhập vào đối với khoảng thời gian P6 đến P7, thì các tụ điện tăng thế CS1 và CS2 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ hai BL2 mà cao hơn mức điện áp tăng thế thứ nhất BL1. Theo đó, tín hiệu cổng SCOUT($i+1$) được xuất ra từ nút đầu ra thứ ba NO3 đối với khoảng thời gian P6 đến P7.

Khi tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK($i+1$) ở mức điện áp cao, và tín hiệu xung nhịp quét SCCLK($i+2$) ở mức điện áp cao được nhập vào đối với khoảng thời gian P7 đến P8, thì các tụ điện tăng thế CS1, CS2, và CS3 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ ba BL3 mà cao hơn mức điện áp tăng thế thứ hai BL2. Theo đó, tín hiệu cổng SCOUT($i+2$) được xuất ra từ nút đầu ra thứ tư NO4 đối với khoảng thời gian P7 đến P8.

Đối với khoảng thời gian P8 đến P9, thì tín hiệu xung nhịp quét SCCLK ($i+3$) ở mức điện áp cao cùng với tín hiệu xung nhịp quét SCCLK(i) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK($i+1$) ở mức điện áp cao, và tín hiệu xung nhịp quét SCCLK($i+2$) ở mức điện áp cao là được nhập vào.

Theo một ví dụ, theo phương án trên Fig.10, đối với khoảng thời gian P8 đến P9, thì tín hiệu xung nhịp mang CRCLK(k) là không được nhập vào. Tức là, đối với khoảng thời gian P8 đến P9, thì mức điện áp của tín hiệu xung nhịp mang CRCLK(k) là được duy trì ở mức điện áp thấp.

Theo phương án trên Fig.10, thì thời điểm sườn lên P9 của tín hiệu xung nhịp mang CRCLK(k) là được đặt cho giống như thời điểm sườn xuống P9 của tín hiệu xung nhịp quét SCCLK(i). Tuy nhiên, theo phương án khác của sáng chế, thì thời điểm sườn lên của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt muộn hơn thời điểm sườn xuống của tín hiệu xung nhịp quét SCCLK(i). Ví dụ, theo phương án khác của sáng chế, thì thời điểm sườn lên của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt bằng thời điểm P10 thay vì thời điểm P9.

Ngoài ra, theo phương án trên Fig.10, thì thời điểm sườn lên P9 của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt muộn hơn thời điểm sườn lên P8 của tín hiệu xung nhịp quét SCCLK(i+3). Theo phương án khác của sáng chế, thì thời điểm sườn lên của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt bằng thời điểm P10 thay vì thời điểm P9.

Ngoài ra, theo phương án trên Fig.10, thì thời điểm sườn xuống P13 của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt muộn hơn thời điểm sườn xuống P12 của tín hiệu xung nhịp quét SCCLK(i+3). Theo phương án khác của sáng chế, thì thời điểm sườn lên của tín hiệu xung nhịp mang CRCLK(k) có thể được đặt bằng thời điểm P14 thay vì thời điểm P13.

Cuối cùng, theo phương án khác của sáng chế, thì khoảng thời gian mức điện áp cao (P9 đến P13) của tín hiệu xung nhịp mang CRCLK(k) và khoảng thời gian mức điện áp cao (P5 đến P9) của tín hiệu xung nhịp quét thứ nhất (ví dụ, tín hiệu xung nhịp quét SCCLK(i)) là không chồng nhau. Theo sáng chế, thì trường hợp mà trong đó khoảng thời gian mức điện áp cao (P9 đến P13) của tín hiệu xung nhịp mang CRCLK(k) và khoảng thời gian mức điện áp cao (P5 đến P9) của tín hiệu xung nhịp quét thứ nhất (ví dụ, tín hiệu xung nhịp quét SCCLK(i)) không chồng nhau là có thể bao gồm cả trường hợp mà trong đó thời điểm sườn lên của tín hiệu xung nhịp mang CRCLK(k) là muộn hơn thời điểm sườn xuống của tín hiệu xung nhịp quét SCCLK(i) và trường hợp mà trong đó thời điểm sườn lên P9 của tín hiệu xung nhịp mang

CRCLK(k) là giống với thời điểm sườn xuống P9 của tín hiệu xung nhịp quét SCCLK(i).

Ngoài ra, theo phương án khác của sáng chế, thì một phần khoảng thời gian P9 đến P12 của khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang CRCLK(k) và một phần khoảng thời gian P9 đến P12 của khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ j (ví dụ, tín hiệu xung nhịp quét SCCLK(i+3)) là chồng nhau.

Theo đó, đối với khoảng thời gian P8 đến P9, thì các tụ điện tăng thế CS1, CS2, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ tư BL4. Theo đó, tín hiệu cổng SCOUT(i+3) được xuất ra từ nút đầu ra thứ năm NO5 đối với khoảng thời gian P8 đến P9.

Đối với khoảng thời gian P9 đến P10, thì tín hiệu xung nhịp quét SCCLK(i+1) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao, và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, đối với khoảng thời gian P9 đến P10, thì các tụ điện tăng thế CC, CS2, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ tư BL4. Ngoài ra, đối với khoảng thời gian P9 đến P10, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i) và tín hiệu cổng SCOUT(i) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P10 đến P11, thì tín hiệu xung nhịp quét SCCLK(i+2) ở mức điện áp cao, tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, các tụ điện tăng thế CC, CS3, và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ ba BL3 thấp hơn mức điện áp tăng thế thứ tư BL4. Ngoài ra, đối với khoảng thời gian P10 đến P11, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i+1) và tín hiệu cổng SCOUT(i+1) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P11 đến P12, thì tín hiệu xung nhịp quét SCCLK(i+3) ở mức điện áp cao và tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Do đó, các tụ điện tăng thế CC và CS4 mỗi điện áp của nút Q đến mức điện áp tăng thế thứ hai BL2 thấp hơn mức điện áp tăng thế thứ ba BL3. Ngoài ra, đối với khoảng thời gian P11 đến P12, thì mức điện áp của mỗi trong số tín hiệu xung nhịp

quét SCCLK(i+2) và tín hiệu cổng SCOUT(i+2) là được hạ xuống đến mức điện áp thấp.

Đối với khoảng thời gian P12 đến 13, thì chỉ có tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao là được nhập vào. Theo đó, đối với khoảng thời gian P12 đến 13, thì điện áp của nút Q là được hạ xuống đến mức điện áp tăng thế thứ nhất BL1. Ngoài ra, đối với khoảng thời gian P12 đến 13, thì mức điện áp của mỗi trong số tín hiệu xung nhịp quét SCCLK(i+3) và tín hiệu cổng SCOUT(i+3) là được hạ xuống đến mức điện áp thấp.

Tuy không được thể hiện trên hình vẽ, nhưng khi tín hiệu xung nhịp mang CRCLK(k) ở mức điện áp cao được nhập vào đối với khoảng thời gian P9 đến P13, thì tín hiệu mang C(k) là được xuất ra từ nút đầu ra thứ nhất NO1 qua tranzito thứ nhất T81 mà đã được bật dựa trên điện áp được tích điện cho nút Q.

Khi tín hiệu mang đăng sau CS2(k+2) ở mức điện áp cao được nhập vào đối với khoảng thời gian P13 đến P17, thì tranzito thứ ba T23 và tranzito thứ tư T24 của bộ điều khiển nút Q 504 là được bật. Theo đó, nút Q được xả điện đến mức điện áp điện thế thấp thứ ba GVSS3 tại thời điểm P17 (không được thể hiện trên Fig.10). Khi nút Q đã được xả điện đến mức điện áp điện thế thấp thứ ba GVSS3, thì tranzito thứ tư T44, mà được bao gồm trong bộ nghịch lưu 508, là được tắt. Điện áp điện thế cao thứ hai GVDD2 được nhập vào cổng của tranzito thứ nhất T41, để tranzito thứ nhất T41 được bật. Khi tranzito thứ nhất T41 được bật, thì nút QB được tích điện đến mức điện áp điện thế cao thứ hai GVDD2.

Fig.11 là hình vẽ thể hiện dạng sóng của điện áp của nút Q, dạng sóng điện áp của tín hiệu xung nhịp mang, và các dạng sóng điện áp của các tín hiệu cổng khi các tín hiệu cổng để hiển thị ảnh được xuất ra từ mạch tầng trên Fig.7 và theo một phương án trên Fig.10.

Fig.11 thể hiện dạng sóng điện áp 1100 của nút Q, dạng sóng điện áp 1101 của tín hiệu cổng SCOUT(i), dạng sóng điện áp 1102 của tín hiệu cổng SCOUT(i+1), dạng sóng điện áp 1102 của tín hiệu cổng SCOUT(i+1), dạng sóng điện áp 1103 của tín hiệu cổng SCOUT(i+2), dạng sóng điện áp 1104 của tín hiệu cổng SCOUT(i+3), và dạng sóng điện áp 1110 của tín hiệu xung nhịp mang CRCLK(k), trong số các dạng sóng của các tín hiệu được thể hiện trên Fig.10.

Như đã mô tả trên đây, theo phương án trên Fig.10, thì khoảng thời gian mức điện áp cao P9 đến P13 của tín hiệu xung nhịp mang CRCLK(k) và khoảng thời gian mức điện áp cao P5 đến P9 của tín hiệu xung nhịp quét thứ nhất (ví dụ, tín hiệu xung nhịp quét SCCLK(i)) là không chồng nhau. Do đó, đối với khoảng thời gian P8 đến P9 mà trong đó tất cả trong số tín hiệu cổng SCOUT(i), tín hiệu cổng SCOUT(i+1), tín hiệu cổng SCOUT(i+2), và tín hiệu cổng SCOUT(i+3) được xuất ra, thì dạng sóng điện áp 910 của tín hiệu xung nhịp mang CRCLK(k) là được duy trì ở mức điện áp thấp.

Theo đó, đối với khoảng thời gian P8 đến P9, thì mức điện áp của nút Q tăng từ mức điện áp tăng thể thứ ba BL3 đến mức điện áp tăng thể thứ tư BL4.

Sau đó, đối với khoảng thời gian P9 đến P10, thì mức điện áp của nút Q được duy trì tại mức điện áp tăng thể thứ tư BL4. Ngoài ra, đối với khoảng thời gian P10 đến P11 và khoảng thời gian P11 đến P12, thì mức điện áp của nút Q lần lượt được hạ xuống đến mức điện áp tăng thể thứ ba BL3, và sau đó là đến mức điện áp tăng thể thứ hai BL2.

Theo một ví dụ, đối với khoảng thời gian P12 đến P13, thì tín hiệu xung nhịp quét thứ j (ví dụ, tín hiệu xung nhịp quét SCCLK(i+3)) là được duy trì tại mức điện áp thấp, còn tín hiệu xung nhịp mang CRCLK(k) thì được duy trì tại mức điện áp cao. Theo đó, mức điện áp của nút Q được hạ nhẹ xuống từ mức điện áp tăng thể thứ hai BL2 đến mức điện áp tăng thể thứ nhất BL1.

Cuối cùng, theo Fig.11, đối với khoảng thời gian từ thời điểm sườn xuống P9 của tín hiệu cổng SCOUT(i) đến thời điểm tiếp theo P10, thì mức điện áp của nút Q được duy trì tại mức điện áp tăng thể thứ tư BL4, còn đối với khoảng thời gian từ thời điểm sườn xuống P12 của tín hiệu cổng SCOUT(i+3) đến thời điểm tiếp theo P13, thì mức điện áp của nút Q được hạ nhẹ xuống từ mức điện áp tăng thể thứ hai BL2 đến mức điện áp tăng thể thứ nhất BL1. Theo đó, sự chênh lệch giữa thời gian giảm của tín hiệu cổng SCOUT(i) và thời gian giảm của tín hiệu cổng SCOUT(i+3) được giảm, so với theo phương án trên Fig.8.

Các thời gian giảm được nêu làm ví dụ của tín hiệu cổng thứ nhất (ví dụ, SCOUT(i)) và tín hiệu cổng thứ j (ví dụ, SCOUT(i+3)) đo được trong khi thực sự vận hành mạch tăng được thể hiện trên Fig.7 theo phương án trên Fig.10 là như sau.

SCOUT(i): 0,751 μs

SCOUT(i+3) : 0,794 μs

Theo kết quả đo, đối với khoảng thời gian từ thời điểm sườn xuống P12 của tín hiệu cổng thứ j (ví dụ, tín hiệu cổng SCOUT(i+3)) đến thời điểm tiếp theo P13, thì mức điện áp của nút Q giảm dần từ mức điện áp tăng thể thứ hai BL2 đến mức điện áp tăng thể thứ nhất BL1. Do đó, thời gian giảm của tín hiệu cổng thứ j (ví dụ, SCOUT(i+3)) là được giảm, so với theo phương án trên Fig.8.

Theo ví dụ này, thì sự chênh lệch giữa thời gian giảm của tín hiệu cổng thứ nhất SCOUT(i) và thời gian giảm của tín hiệu cổng thứ j SCOUT(i+3) là 0,043 μs .

Lượng chênh lệch 0,043 μs này là giá trị được giảm 35% so với 0,068 μs mà là lượng chênh lệch giữa thời gian giảm của tín hiệu cổng thứ nhất (ví dụ, SCOUT(i)) và thời gian giảm của tín hiệu cổng thứ j (ví dụ, SCOUT(i+3)) khi mạch tăng được thể hiện trên Fig.7 hoạt động theo phương án trên Fig.8.

Tức là, khi mạch tăng trên Fig.7 hoạt động theo phương án được thể hiện trên Fig.10, thì sự chênh lệch đầu ra giữa tín hiệu cổng thứ nhất (ví dụ, SCOUT(i)) và tín hiệu cổng thứ j (ví dụ, SCOUT(i+3)) là được giảm, so với theo phương án được thể hiện trên Fig.8. Do sự giảm chênh lệch đầu ra giữa tín hiệu cổng thứ nhất (ví dụ, SCOUT(i)) và tín hiệu cổng thứ j (ví dụ, SCOUT(i+3)), nên sự chênh lệch đầu ra giữa các tín hiệu cổng được xuất ra từ mạch điều khiển cổng là có thể được giảm. Theo đó, chất lượng hiển thị ảnh của thiết bị hiển thị này có thể được cải thiện.

Tuy các phương án của sáng chế đã được mô tả chi tiết hơn dựa vào các hình vẽ kèm theo, nhưng sáng chế không nhất thiết chỉ giới hạn ở các phương án này. Sáng chế có thể được thực hiện theo những cách được cải biến khác nhau trong phạm vi không nằm ngoài nguyên lý kỹ thuật của sáng chế. Theo đó, các phương án được bộc lộ trong bản mô tả này là không nhằm giới hạn nguyên lý kỹ thuật của sáng chế, mà nhằm mô tả sáng chế, phạm vi của nguyên lý kỹ thuật của sáng chế là không bị giới hạn bởi các phương án này. Do đó, cần hiểu rằng các phương án như đã mô tả trên đây là nhằm mục đích minh họa chứ không nhằm mục đích giới hạn theo tất cả các phương diện. Phạm vi bảo hộ của sáng chế cần được diễn dịch bởi các điểm yêu cầu

bảo hộ, và tất cả các nguyên lý kỹ thuật trong phạm vi của sáng chế cần được hiểu là được bao gồm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Mạch điều khiển cổng dành cho thiết bị hiển thị, trong đó mạch điều khiển cổng này bao gồm các mạch tầng,

trong đó mỗi mạch tầng cấp tín hiệu cổng đến mỗi đường cổng, và bao gồm nút Q và nút QB,

trong đó mỗi mạch tầng bao gồm:

bộ điều khiển nút Q được tạo cấu hình để:

hoạt động đáp lại sự nhập vào của tín hiệu mang đẳng trước để tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất; và

hoạt động đáp lại sự nhập vào của tín hiệu mang đẳng sau để xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba;

bộ ổn định nút QB được tạo cấu hình để hoạt động đáp lại sự nhập vào của tín hiệu mang đẳng trước, để xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba;

môđun xuất tín hiệu mang được tạo cấu hình để hoạt động dựa trên mức điện áp của nút Q hoặc mức điện áp của nút QB để xuất ra tín hiệu mang dựa trên tín hiệu xung nhịp mang hoặc điện áp điện thế thấp thứ ba; và

môđun xuất tín hiệu cổng được tạo cấu hình để hoạt động dựa trên mức điện áp của nút Q hoặc mức điện áp của nút QB để xuất ra các tín hiệu cổng từ thứ nhất đến thứ j dựa trên các tín hiệu xung nhịp quét từ thứ nhất đến thứ j hoặc điện áp điện thế thấp thứ nhất, trong đó j là số nguyên dương, và

trong đó khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất.

2. Mạch điều khiển cổng theo điểm 1, trong đó mỗi mạch tầng còn bao gồm nút M và nút QH,

trong đó mỗi mạch tầng còn bao gồm

bộ chọn đường được tạo cấu hình để:

hoạt động đáp lại sự nhập vào của tín hiệu chuẩn bị cảm biến đường để tích điện cho nút M dựa trên tín hiệu mang đẳng trước; và

hoạt động đáp lại sự nhập vào của tín hiệu đặt lại để tích điện cho nút Q đến mức điện áp điện thế cao thứ nhất; hoặc

hoạt động đáp lại sự nhập vào của tín hiệu bật tắt nên để xả điện cho nút Q đến mức điện áp điện thế thấp thứ ba;

bộ ổn định nút Q và nút QH được tạo cấu hình để xả điện mỗi trong số nút Q và nút QH đến mức điện áp điện thế thấp thứ ba khi nút QB đã được tích điện đến mức điện áp điện thế cao thứ hai; và

bộ nghịch lưu được tạo cấu hình để thay đổi mức điện áp của nút QB dựa trên mức điện áp của nút Q, và

trong đó bộ ổn định nút QB còn được tạo cấu hình để hoạt động đáp lại sự nhập vào của tín hiệu đặt lại và điện áp được tích điện của nút M, để xả điện cho nút QB đến mức điện áp điện thế thấp thứ ba.

3. Mạch điều khiển công theo điểm 1,

trong đó môđun xuất tín hiệu mang bao gồm tụ điện tăng thế được nối giữa nút Q và nút đầu ra của tín hiệu mang, và

trong đó môđun xuất tín hiệu công bao gồm j tụ điện tăng thế được nối giữa nút Q và các nút đầu ra của lần lượt các tín hiệu công từ thứ nhất đến thứ j.

4. Mạch điều khiển công theo điểm 1, trong đó khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang đằng trước được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ nhất.

5. Mạch điều khiển công theo điểm 1, trong đó khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để không chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang đằng sau.

6. Mạch điều khiển công theo điểm 2, trong đó mức điện áp điện thế cao thứ nhất và mức điện áp điện thế cao thứ hai được đặt bằng các mức khác nhau, và

trong đó mức điện áp điện thế thấp thứ nhất và mức điện áp điện thế cao thứ ba được đặt bằng các mức khác nhau.

7. Mạch điều khiển công theo điểm 1, trong đó thời điểm sườn lên của tín hiệu xung nhịp mang được đặt bằng hoặc muộn hơn thời điểm sườn xuống của tín hiệu xung nhịp quét thứ nhất.

8. Mạch điều khiển công theo điểm 1, trong đó thời điểm sườn lên của tín hiệu xung nhịp mang được đặt muộn hơn thời điểm sườn lên của tín hiệu xung nhịp quét thứ j.

9. Mạch điều khiển công theo điểm 8, trong đó thời điểm sườn xuống của tín hiệu xung nhịp mang được đặt muộn hơn thời điểm sườn xuống của tín hiệu xung nhịp quét thứ j.

10. Mạch điều khiển công theo điểm 1, trong đó khoảng thời gian mức điện áp cao của tín hiệu xung nhịp mang được thiết đặt để chồng với khoảng thời gian mức điện áp cao của tín hiệu xung nhịp quét thứ j.

11. Thiết bị hiển thị bao gồm:

tấm nền hiển thị bao gồm các điểm ảnh con lần lượt được bố trí tại các giao điểm giữa các đường công và các đường dữ liệu;

mạch điều khiển công theo điểm bất kỳ trong số các điểm từ 1 đến 10;

mạch điều khiển dữ liệu được tạo cấu hình để cấp điện áp dữ liệu đến mỗi đường dữ liệu; và

bộ điều khiển định thời được tạo cấu hình để điều khiển sự hoạt động của mỗi trong số mạch điều khiển công và mạch điều khiển dữ liệu.

1/10

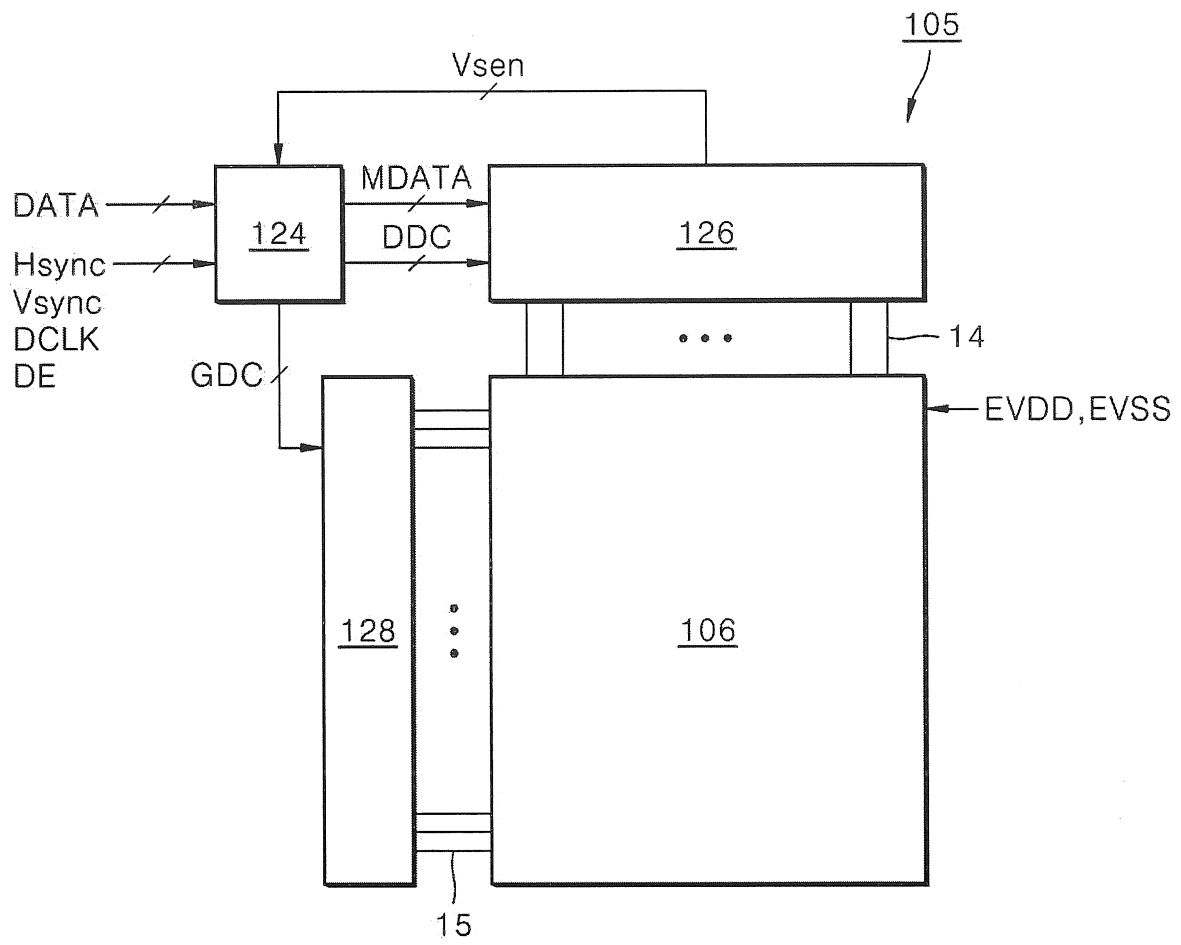


Fig.1

2/10

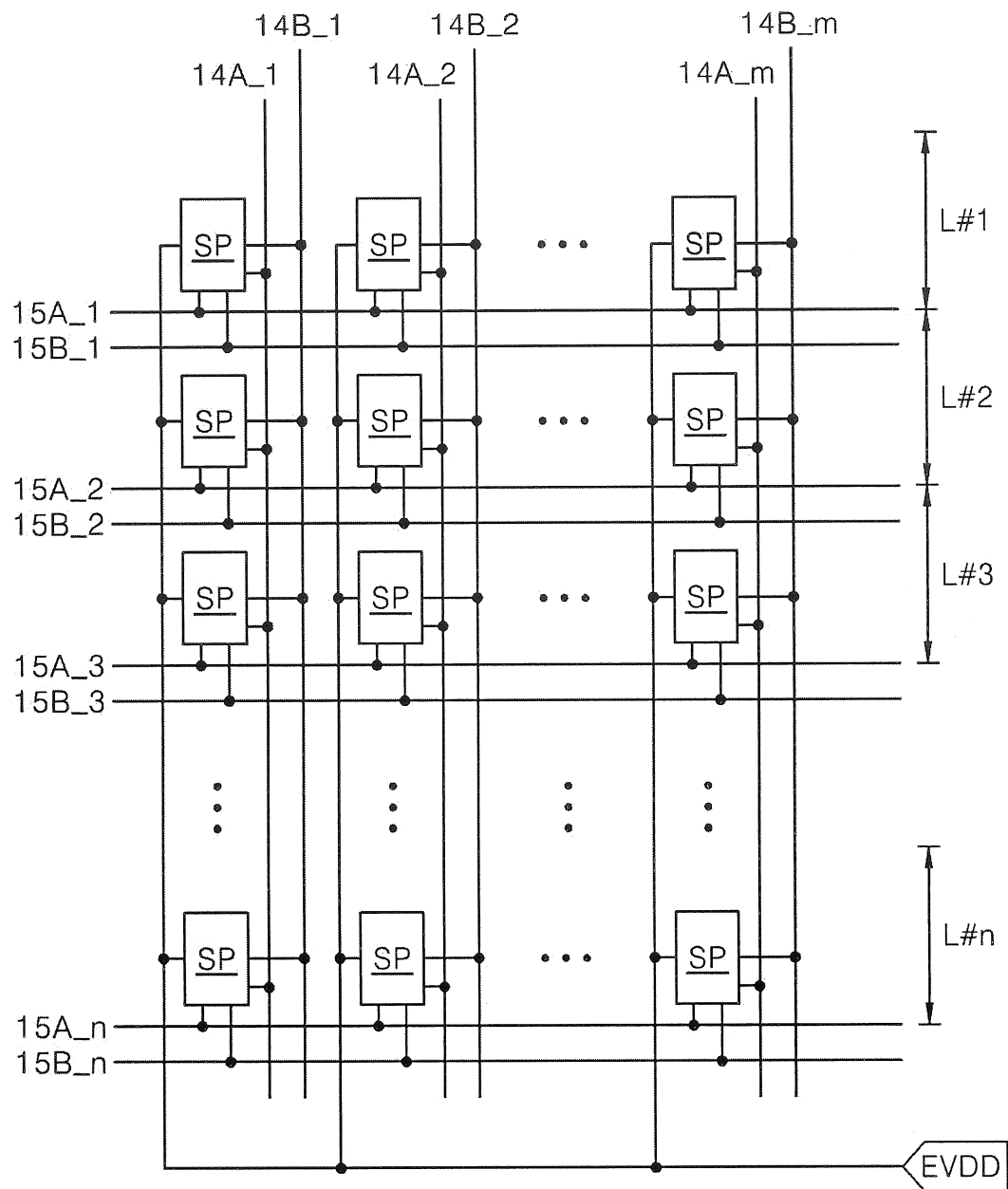


Fig.2

Fig.3

4/10

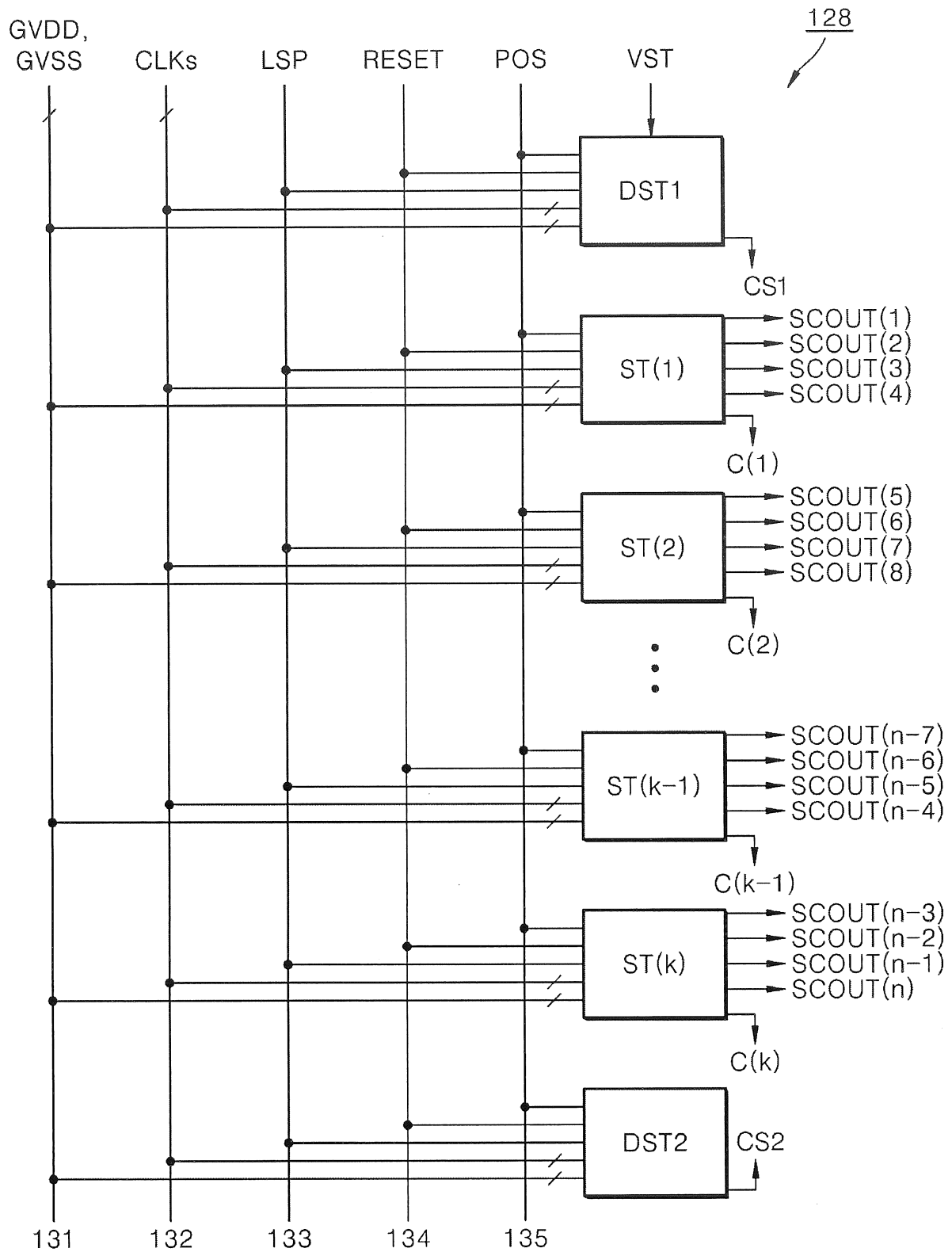


Fig.4

5/10

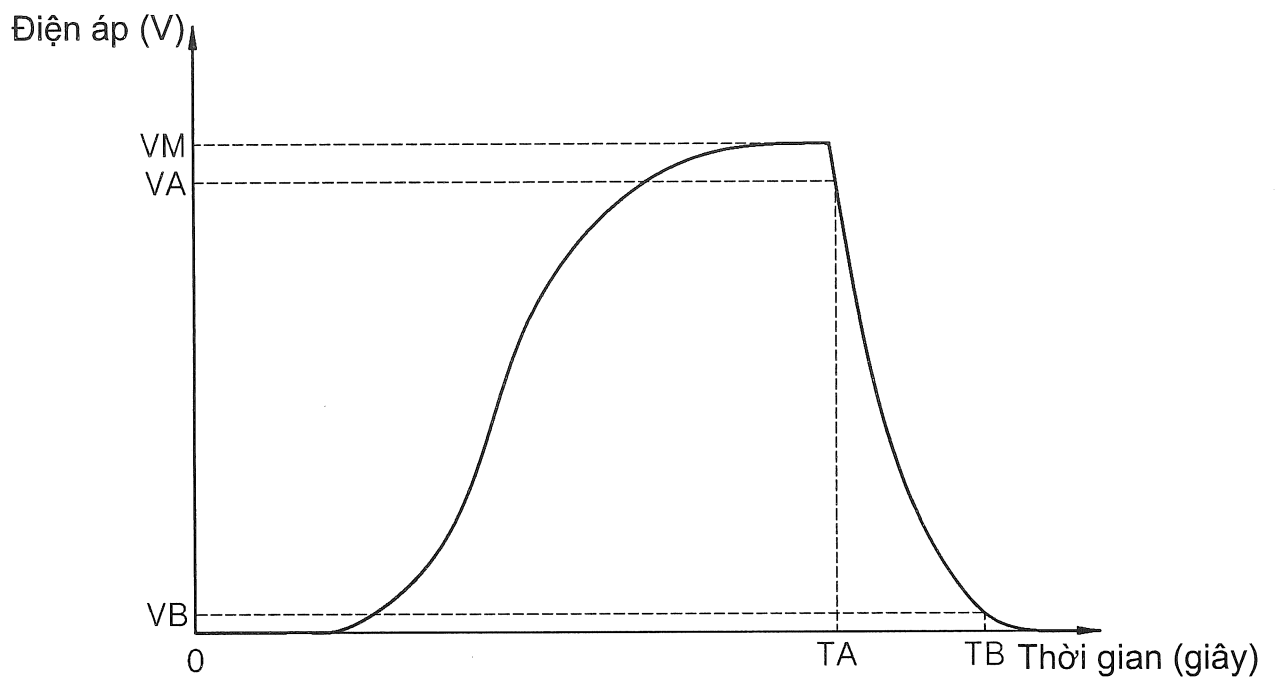


Fig.5

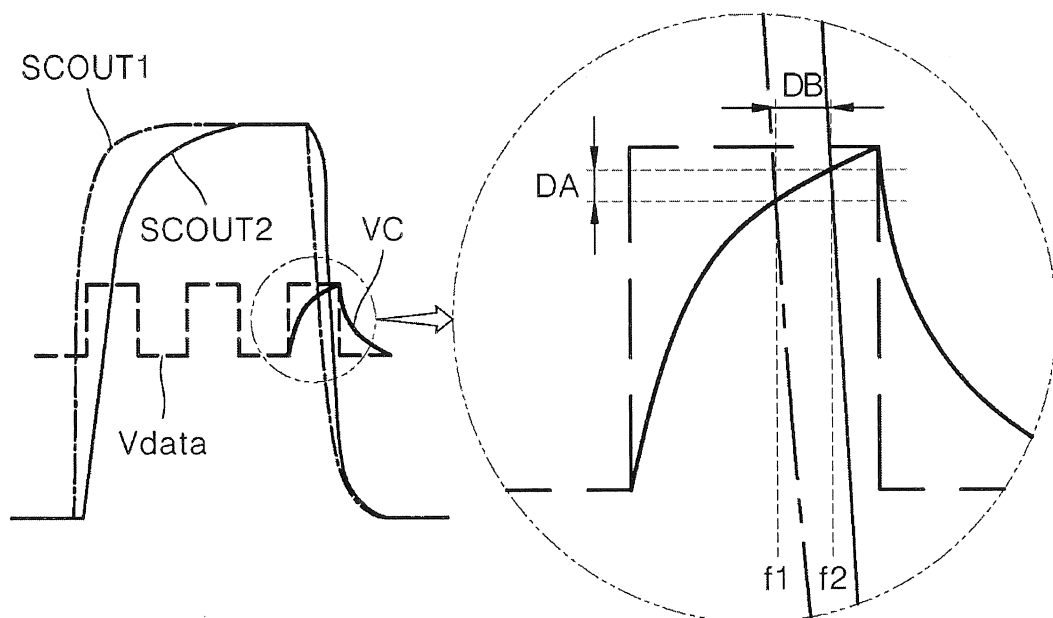


Fig.6

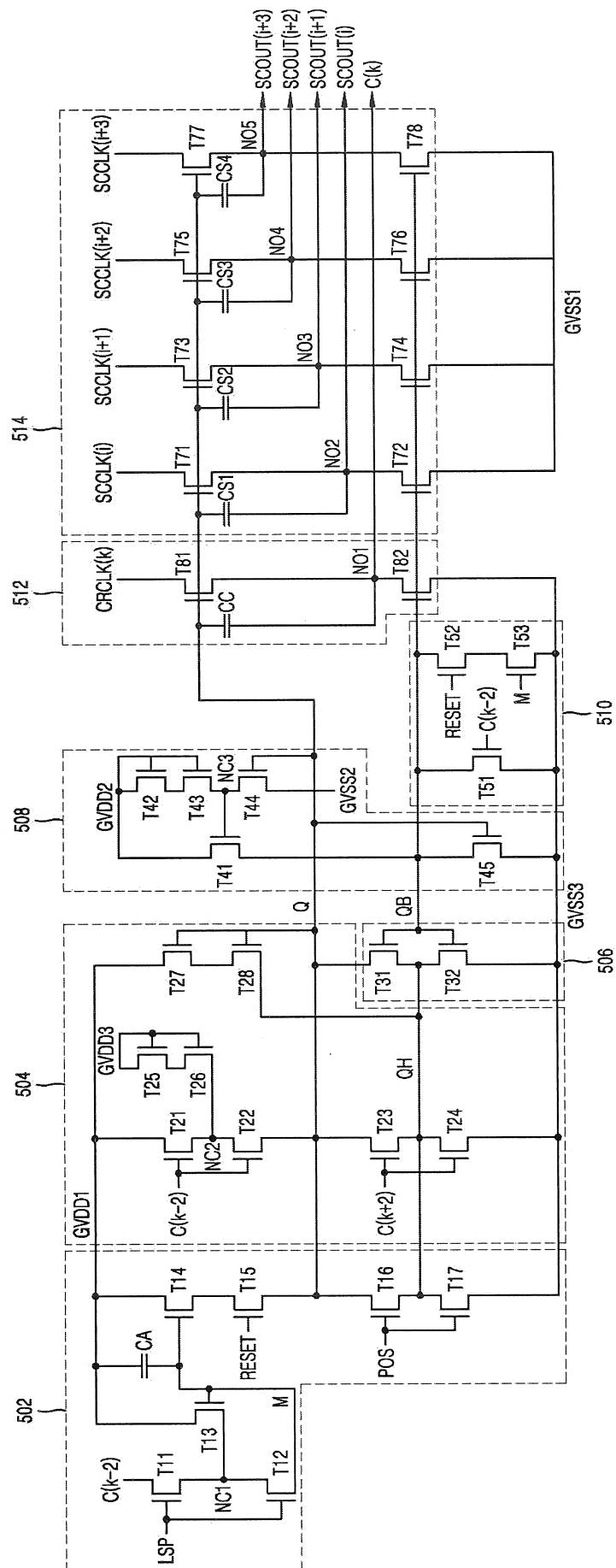


Fig. 7

7/10

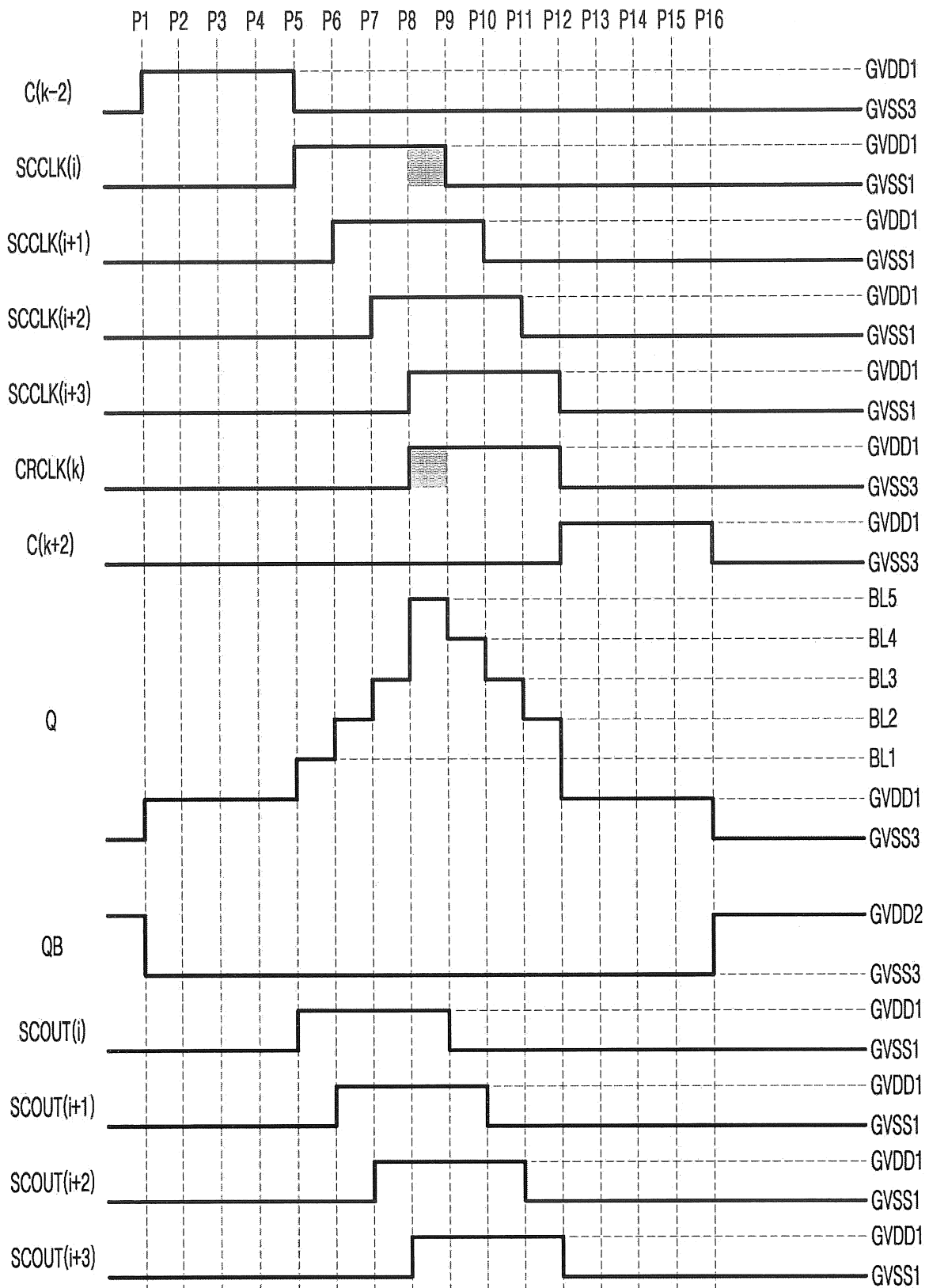


Fig.8

8/10

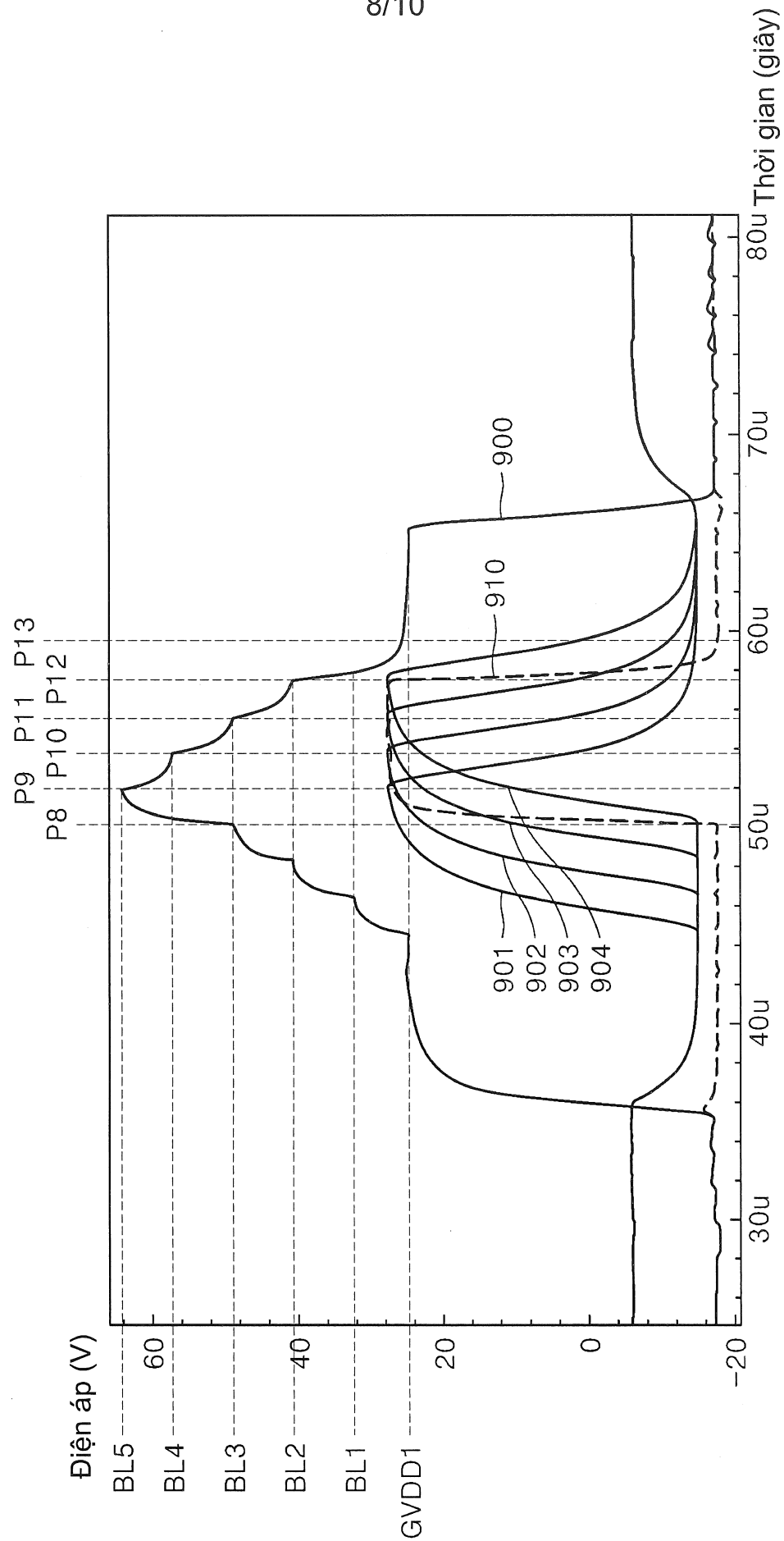


Fig.9

9/10

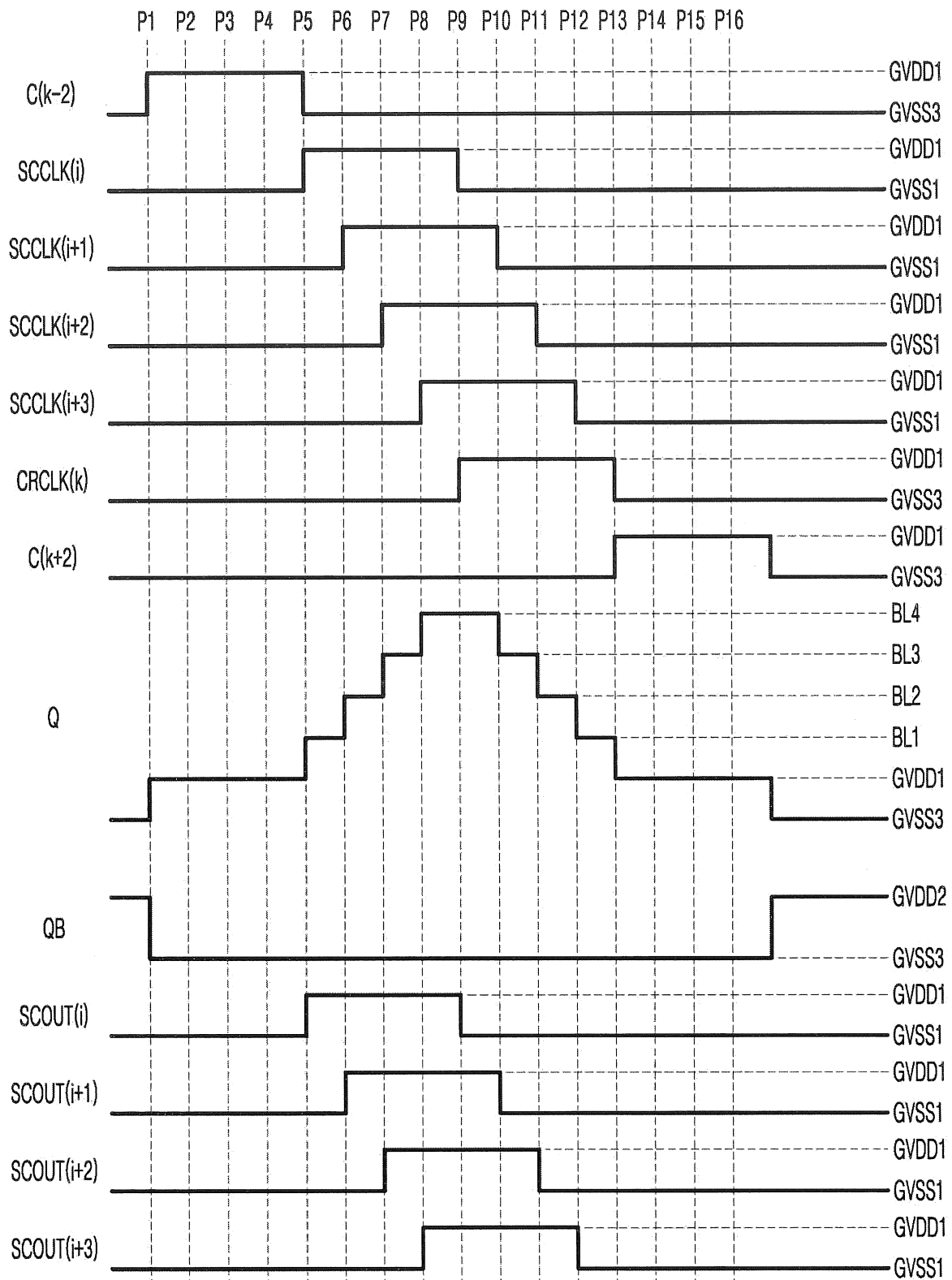


Fig.10

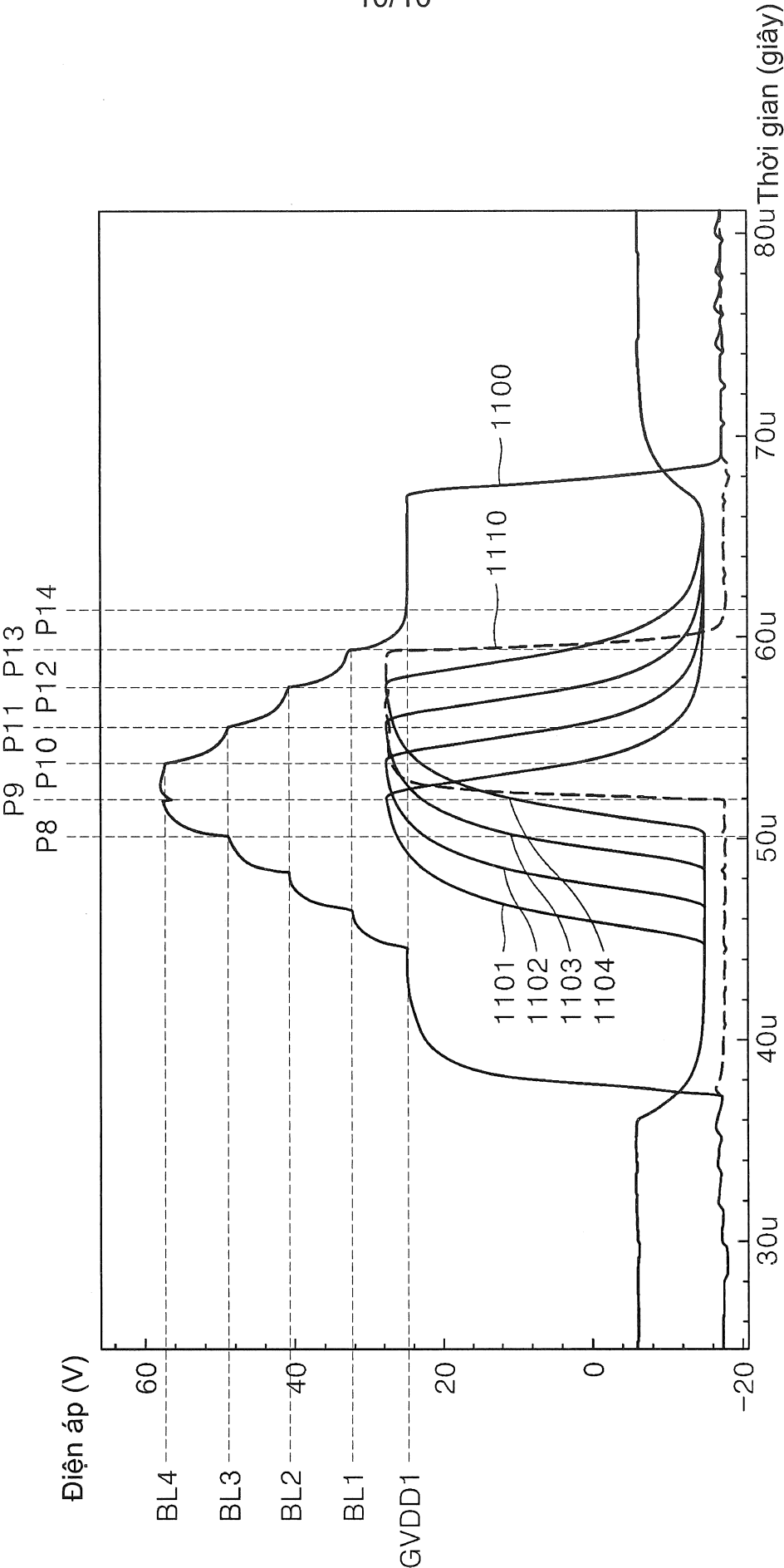


Fig.11