



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0042217

(51)^{2020.01} H04B 1/00

(13) B

(21) 1-2020-07504

(22) 24/12/2020

(45) 27/01/2025 442

(43) 25/03/2021 396

(73) TẬP ĐOÀN CÔNG NGHIỆP - VIỆN THÔNG QUÂN ĐỘI (VN)

Lô D26 Khu đô thị mới Cầu Giấy, phường Yên Hoà, quận Cầu Giấy, thành phố Hà Nội

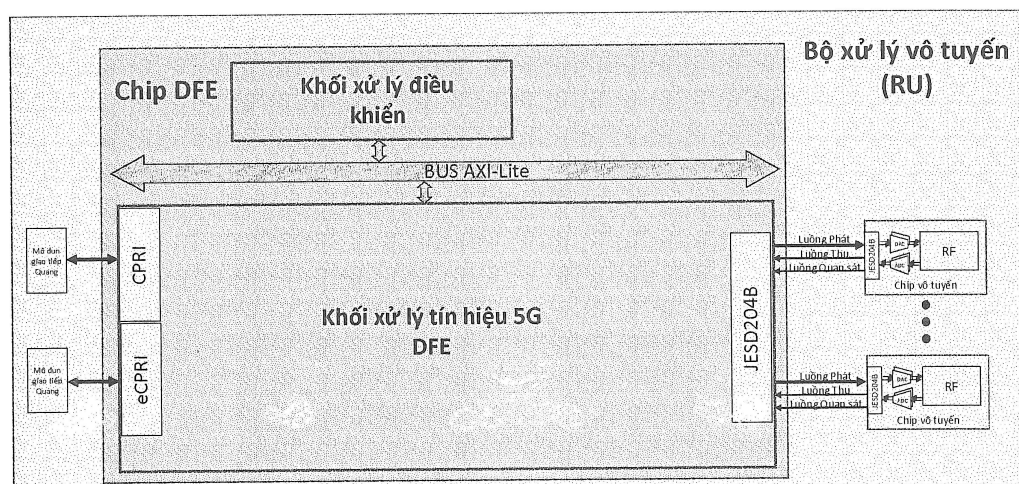
(72) LÊ THÁI HÀ (VN).

(74) Công ty TNHH Tư vấn Quốc Dân (NACILAW)

(54) CHÍP XỬ LÝ SỐ VÔ TUYẾN CHO TRẠM THU PHÁT GỐC 5G

(21) 1-2020-07504

(57) Chip xử lý số vô tuyến cho trạm thu phát gốc 5G là kiến trúc phân tập, trong đó phần xử lý dữ liệu tốc độ cao được thực hiện trên phần cứng chuyên biệt và phần điều khiển và quản lý trung tâm sẽ được thực hiện trên lõi vi xử lý truyền thống. Tuy nhiên, ở phần xử lý tốc độ cao, kiến trúc này vẫn sử dụng bộ vi xử lý tín hiệu số (DSP) để đảm bảo tính linh hoạt cho sự thay đổi về thuật toán và ứng dụng. Kiến trúc này bao gồm hai phần đó là phần xử lý tăng tốc 5G DFE và phần quản lý điều khiển. Phần xử lý tăng tốc 5G DFE bao gồm các lõi xử lý 5G DFE và một lõi DSP để đảm bảo độ mềm dẻo trong xử lý. Bộ vi xử lý trung tâm có thể truy nhập vào các mô đun và gửi thông tin ra bên ngoài.



Hình 2

Lĩnh vực kỹ thuật của sáng chế

Sáng chế đề xuất chip xử lý số vô tuyến cho trạm thu phát gốc 5G. Cụ thể, chip xử lý số vô tuyến (Digital Frontend - DFE) là một chip viễn thông xử lý tín hiệu số ngay sát bộ xử lý cao tần và được ứng dụng trong lĩnh vực viễn thông.

Tình trạng kỹ thuật của sáng chế

Kiến trúc kinh điển của chip số với lõi vi xử lý đóng vai trò xử lý tập trung thường sẽ quá chậm để xử lý các tác vụ xử lý tốc độ cao trong viễn thông và đặc biệt trong 5G bởi vì vi xử lý trung tâm sẽ bị quá tải. Đối với 5G, xử lý số vô tuyến (Digital Frontend - DFE) cần những tác vụ xử lý tốc độ cao thời gian thực nên kiến trúc chip cần phải tối ưu cho những nhiệm vụ xử lý tốc độ cao bằng cách tận dụng những lõi tăng tốc phần cứng và dữ liệu không đi qua lõi vi xử lý tập trung.

Sự khác biệt lớn nhất giữa công nghệ vô tuyến 4G và công nghệ vô tuyến 5G nằm ở khả năng xử lý đa ăngten và đa luồng tốc độ cao của 5G so với 4G. Điều đó gây ra vấn đề về xử lý tốc độ cao của các luồng ăngten và đồng bộ tốc độ giữa các luồng đó với nhau và với các giao tiếp bên ngoài. Do đó, sự kết nối qua lại giữa các khối xử lý và khối điều khiển của chip Xử lý số vô tuyến 5G DFE phải được tối ưu sâu với những nhiệm vụ này.

Phương pháp truyền thống xử lý tập trung sẽ không đáp ứng được tốc độ xử lý 5G vì lúc đó khối xử lý trung tâm và hệ thống Bus sẽ bị quá tải do kiến trúc chip Xử lý số vô tuyến 5G DFE phân chia rõ ràng luồng xử lý tín hiệu tốc độ cao 5G và luồng điều khiển.

- Luồng xử lý tín hiệu tốc độ cao 5G DFE bao gồm các bước xử lý tín hiệu quan trọng sau: bộ nâng tốc độ lấy mẫu số (Digital Upconverter- DUC), bộ giảm công suất đỉnh (Crest Factor Reduction - CFR), bộ bù méo trước ở miền số (Digital Predistortion - DPD), bộ hạ tốc độ lấy mẫu số (Digital Downconversion - DDC), các giao tiếp tốc độ cao bao gồm JESD204B (không có tên tiếng Việt và là chuẩn giao tiếp tốc độ cao – giống USB, PCIe)

và CPRI (không có tên tiếng Việt và là chuẩn giao tiếp tốc độ cao – giống USB, PCIe) hoặc eCPRI (không có tên tiếng Việt và là chuẩn giao tiếp tốc độ cao – giống USB, PCIe).

- Luồng điều khiển bao gồm một khối vi xử lý trung tâm (CPU) và các ngoại vi. Bộ vi xử lý sẽ cấu hình cho các khối xử lý tín hiệu tốc độ cao 5G DFE và sẽ giao tiếp với các chip bên ngoài thông qua các ngoại vi. Luồng điều khiển và luồng xử lý tín hiệu hoạt động độc lập.

Các vấn đề kỹ thuật hiện tại đó chính là:

- Chưa có một kiến trúc chip DFE cụ thể mô tả sự kết hợp hoàn chỉnh của các khối xử lý trên bao gồm hai phần: xử lý tín hiệu tốc độ cao và xử lý các tín hiệu điều khiển.
 - o Vì các khối xử lý 5G DFE hoạt động ở tốc độ cao nên chúng cần được kết nối trực tiếp với nhau thay vì chia sẻ chung một đường BUS dữ liệu. Vì điều này sẽ dễ gây ra xung đột giữa các khối xử lý.
 - o Phần xử lý điều khiển tốc độ thấp cần phải được tách bạch ra khỏi luồng xử lý tín hiệu 5G tốc độ cao.

Bản chất kỹ thuật của sáng chế

Mục đích của sáng chế là chip Digital Frontend có kiến trúc theo hướng xử lý “tự trị” (autonomous) cho các khối xử lý trực tiếp lớp DFE 5G. Điều đó có nghĩa là các khối xử lý tầng tốc phần cứng sẽ trực tiếp thu nhận và xử lý dữ liệu 5G mà không cần thông qua các bước xử lý trung gian với khối vi xử lý tập trung. Lúc này các khối vi xử lý trung tâm sẽ chỉ đóng vai trò theo dõi và điều khiển. Kiến trúc dạng này cũng sẽ yêu cầu những hệ thống trao đổi dữ liệu và các khối nhớ (memory) được dành riêng cho các khối xử lý tốc độ cao 5G.

Để đáp ứng được sự cân bằng giữa yêu cầu xử lý tốc độ cao và sự mềm dẻo cần có trong xử lý DFE 5G, kiến trúc này tận dụng lợi thế của cả hai kiểu xử lý dùng khối tầng tốc phần cứng tối ưu cho một dạng thuật toán và dùng bộ vi xử lý tín hiệu số (Digital Processor – DSP) cho các dạng thuật toán đa dạng hơn như thuật toán tuyến tính hóa bộ khuếch đại công suất (PA) bằng phương pháp bù méo số trước (Digital

Predistortion - DPD). Điều này đảm bảo rằng kiến trúc đáp ứng được với những thay đổi và tiến hóa của công nghệ 5G.

Bên cạnh đó các giao tiếp giữa các khối xử lý tín hiệu được thiết kế tối ưu cho việc truyền dữ liệu tốc độ cao, liên tục và không bị ngắt quãng bởi những hoạt động khác. Điều này đáp ứng được cho yêu cầu xử lý tốc độ cao của tín hiệu 5G DFE.

Phần cứng xử lý tốc độ cao cho hai chiều xử lý tín hiệu chiều Phát và chiều Thu được tách riêng để tránh xung đột tài nguyên vì hai nhiệm vụ này độc lập với nhau.

Để đạt được các mục đích trên, kiến trúc chip này được chia thành hai phần chính đóng những vai trò cụ thể như sau:

- Phần khối xử lý tín hiệu 5G DFE: bao gồm bộ vi xử lý tín hiệu số (DSP); khối khuếch đại tín hiệu (gain); bộ giảm công suất đỉnh (Crest Factor Reduction - CFR); bộ nâng tốc độ lấy mẫu số (Digital Upconverter – DUC); bộ hạ tốc độ lấy mẫu số (Digital Downconverter – DDC); bộ tính toán Fourier ngược (iFFT); bộ tính toán Fourier thuận (FFT); bộ chuyển đổi dữ liệu JESD204B; bộ giao tiếp JESD204B; bộ chuyển đổi dữ liệu giao tiếp Fronthaul; bộ giao tiếp CPRI hoặc eCPRI.
- Phần khối xử lý tác vụ điều khiển và giao tiếp cơ bản bao gồm bộ vi xử lý trung tâm; các khối ngoại vi có thể bao gồm các giao tiếp ngoại vi cơ bản như giao diện ngoại vi nối tiếp (SPI), giao diện ngoại vi không đồng bộ (UART), giao diện ngoại vi đồng bộ nhiều chủ-tớ (I2C), ... và lõi vi xử lý trung tâm.

Mô tả vắn tắt các hình vẽ

Hình 1 là hình vẽ mô tả vị trí của chip 5G DFE trong trạm thu phát gốc 5G.

Hình 2 là hình vẽ mô tả kiến trúc hệ thống tổng thể chip Digital Frontend trong trạm thu phát gốc 5G.

Hình 3 là hình vẽ mô tả chi tiết kiến trúc của khối xử lý tín hiệu 5G DFE.

Hình 4 là hình vẽ mô tả chi tiết kiến trúc của khối xử lý điều khiển.

Mô tả chi tiết sáng chế

Tham chiếu Hình 1, vị trí của chip 5G DFE là ở trong khối xử lý vô tuyến (RU) đóng vai trò xử lý tín hiệu Digital Frontend cho 5G. Hình 1a mô tả chip DFE với kết nối CPRI và hình 1b mô tả chip DFE với kết nối eCPRI. Đây là hai chuẩn kết nối phổ biến cho viễn thông 4G và 5G được dùng tùy thuộc vào các hoàn cảnh cụ thể khác nhau.

Ngoài ra, chip DFE này còn có thể đóng vai trò điều khiển các chip khác trên khối RU thông qua các giao tiếp ngoại vi. Chip này giao tiếp với các chip xử lý vô tuyến (RFIC) ở trên khối RRU và giao tiếp với chip xử lý băng gốc (thường ở trên khối xử lý băng gốc – BU) thông qua các giao tiếp chuẩn lần lượt là JESD204B và CPRI (hoặc eCPRI). Chính vì thế, ngoài việc phải có năng lực xử lý tín hiệu 5G DFE tốc độ cao, chip này còn phải có thể có năng lực giao tiếp tốc độ cao với các chip khác kể trên. Các giao tiếp này bao gồm giao tiếp JESD204B và giao tiếp CPRI (hình 1 (a)) và giao tiếp eCPRI (hình 1 (b)).

Tham chiếu Hình 2, chip 5G Digital Frontend theo sáng chế đề xuất bao gồm: khối xử lý tín hiệu 5G DFE và khối xử lý điều khiển được kết nối với nhau thông qua BUS hệ thống (có thể là BUS AXI-lite hoặc tương đương). Các chip xử lý vô tuyến (RFIC) kết nối với chip 5G DFE thông qua kết nối JESD204B. Và chip 5G DFE kết nối với các mô đun quang bên ngoài để kết nối với khối xử lý băng gốc (BU) thông qua giao tiếp CPRI hoặc eCPRI.

- Hình 3 mô tả khối xử lý tín hiệu 5G DFE bao gồm các thành phần chính sau:
 - Bộ vi xử lý tín hiệu số (DSP) cho thuật toán bù méo công suất (Digital Predistortion - DPD) đóng vai trò thực hiện các phép xử lý và tính toán dựa trên nguồn dữ liệu thu thập được từ luồng Phát và luồng Quan sát (về từ bộ khuếch đại công suất (PA) bên ngoài). Bộ tham số tính toán được sẽ được nhân với dữ liệu đầu vào để tạo thành tín hiệu méo sao cho nó ngược với tính chất méo của khối khuếch đại công suất (PA) bên ngoài. Và do đó, khối khuếch đại công suất (PA) bên ngoài sẽ được bù méo và trở nên tuyến tính hơn. Bộ xử lý DPD này có hai đầu vào và một đầu ra và nằm trên luồng xử lý tín hiệu phát đi.

- Khối khuếch đại tín hiệu (gain) có nhiệm vụ khuếch đại tín hiệu số để đạt được mức tối ưu cho tính toán DPD. Khối này nằm trong luồng xử lý tín hiệu phát đi.
- Bộ giảm công suất đỉnh (Crest Factor Reduction - CFR) có nhiệm vụ giảm chênh lệch giữa công suất đỉnh và công suất trung bình của tín hiệu 5G. Việc này sẽ giúp cho khối khuếch đại công suất (PA) bên ngoài không phải chịu một tải làm việc lớn. Khối này nằm trong luồng xử lý tín hiệu phát đi.
- Bộ nâng tốc độ lấy mẫu số (Digital Upconverter – DUC) có nhiệm vụ nâng tần số lấy mẫu của dữ liệu nhận được từ khối băng gốc (Baseband) lên để đạt được tần số lấy mẫu thích hợp của bộ chuyển đổi số-tương tự (DAC) của chip vô tuyến bên ngoài. Khối này nằm trong luồng xử lý tín hiệu phát đi.
- Bộ hạ tốc độ lấy mẫu số (Digital Downconverter – DDC) có nhiệm vụ hạ tần số lấy mẫu của dữ liệu nhận được từ bộ chuyển đổi tương tự - số (ADC) của chip vô tuyến bên ngoài xuống bằng tần số lấy mẫu băng gốc (Baseband). Khối này nằm trong luồng xử lý tín hiệu thu về.
- Bộ tính toán Fourier ngược (iFFT) có nhiệm vụ biến đổi Frouier nhanh ngược. Bộ này nằm trong luồng xử lý tín hiệu phát đi. Đối với một số ứng dụng thì có thể không cần bộ này.
- Bộ tính toán Fourier thuận (FFT) có nhiệm vụ biến đổi Frouier nhanh thuận. Bộ này nằm trong luồng xử lý tín hiệu thu về. Đối với một số ứng dụng thì có thể không cần bộ này.
- Bộ chuyển đổi dữ liệu JESD204B có nhiệm vụ chuyển đổi và đồng bộ dữ liệu giữa các khối xử lý DPD và DDC mô tả ở trên với bộ giao tiếp JESD204B.
- Bộ giao tiếp JESD204B có nhiệm vụ thực hiện giao tiếp dữ liệu theo chuẩn JESD204B với chip vô tuyến bên ngoài.
- Bộ chuyển đổi dữ liệu giao tiếp Fronthaul có nhiệm vụ chuyển đổi và đồng bộ dữ liệu giữa các khối xử lý Fourier (FFT và iFFT) hoặc khối xử lý đổi tần số lấy mẫu (DUC và DDC trong trường hợp không dùng Fourier) với các bộ giao tiếp CPRI hoặc eCPRI.

- Bộ giao tiếp CPRI hoặc eCPRI có nhiệm vụ thực hiện giao tiếp dữ liệu theo chuẩn CPRI hoặc eCPRI với mô đun quang bên ngoài để giao tiếp với khối xử lý băng gốc (BU).
- Cơ chế hoạt động của khối xử lý tín hiệu 5G DFE như sau:
 - Khối xử lý điều khiển gửi lệnh thiết lập các tham số và trạng thái cho các khối xử lý tín hiệu và khởi tạo việc xử lý DFE.
 - Chiều phát:
 - Dữ liệu nhận được ở khối giao tiếp eCPRI hoặc CPRI, được truyền tới bộ chuyển đổi dữ liệu giao tiếp Fronthaul.
 - Sau khi được đồng bộ tốc độ và sắp xếp lại các khung và phân chia dữ liệu hợp lý theo các ăngten, dữ liệu được đưa đến bộ tính toán Fourier ngược (iFFT) hoặc đưa thẳng lên bộ nâng tốc độ lấy mẫu (DUC) nếu không dùng bộ iFFT. Nếu sử dụng bộ iFFT thì dữ liệu đầu ra của nó sẽ được đưa vào bộ DUC. Ở đây, tốc độ lấy mẫu sẽ được nâng lên để tương thích với tốc độ lấy mẫu của bộ chuyển đổi số-tương tự (DAC) của chip vô tuyến bên ngoài.
 - Dữ liệu đầu ra của bộ DUC sẽ được đưa vào bộ giảm công suất đỉnh (CFR). Tại đây, dữ liệu có công suất vọt hơn với mức công suất định trước sẽ bị cắt đi. Sau đó, dữ liệu đầu ra sẽ được khuếch đại bởi khối khuếch đại tín hiệu (gain).
 - Khối khuếch đại tín hiệu có vai trò điều chỉnh công suất dữ liệu ở mức hợp lý để thực hiện thuật toán DPD hiệu quả nhất.
 - Bộ xử lý tín hiệu số (DSP) sẽ lấy tín hiệu ở đầu ra của khối khuếch đại tín hiệu và lấy dữ liệu thu thập về ở luồng quan sát để thực hiện tính toán theo thuật toán bù méo công suất (Digital Predistortion - DPD).
 - Dữ liệu sau khi được bù méo sẽ được chuyển đến bộ chuyển đổi dữ liệu JESD204B và sau đó sẽ được phối hợp tốc độ với bộ JESD204B.
 - Bộ JESD204B sẽ giao tiếp gửi dữ liệu luồng phát đến chip vô tuyến bên ngoài để phát đi. Đồng thời với đó, bộ này cũng nhận dữ liệu ở luồng quan sát về để cung cấp thông tin cho thuật toán bù méo công suất (DPD) được thực hiện ở bộ DSP như đã nêu trên.

- Chiều thu:
 - Tín hiệu số sau chip xử lý vô tuyến bên ngoài sẽ được truyền đến chip DFE thông qua giao tiếp JESD204B.
 - Tín hiệu sau khối JESD204B sẽ được chuyển đến bộ chuyển đổi dữ liệu JESD204B để đồng bộ và phối hợp tốc độ với bộ hạ tốc độ lấy mẫu số (DDC).
 - Ở bộ hạ tốc độ lấy mẫu số (DDC), tốc độ lấy mẫu sẽ được hạ xuống với tốc độ lấy mẫu ở băng gốc (baseband).
 - Sau đó dữ liệu được đưa tới bộ tính toán Fourier thuận (FFT) hoặc đưa thẳng đến bộ chuyển đổi dữ liệu giao tiếp Fronthaul nếu bộ FFT không được dùng.
 - Bộ chuyển đổi dữ liệu giao tiếp Fronthaul sẽ phối hợp và đồng bộ dữ liệu nhận được với một trong hai chuẩn giao tiếp CPRI hoặc eCPRI.
 - Dữ liệu sau CPRI hoặc eCPRI sẽ được chuyển đến mô đun quang bên ngoài chip và được truyền đến khối xử lý băng gốc (BU).
- Trong Hình 4, phần khối xử lý điều khiển bao gồm:
 - Bộ vi xử lý trung tâm đóng vai trò điều khiển và giám sát toàn bộ quá trình hoạt động của chip Digital Frontend. Tuy nhiên bộ này không đóng vai trò xử lý tín hiệu 5G DFE. Bộ này được kết nối với BUS hệ thống (có thể là BUS AXI-lite hoặc tương đương).
 - Các khối ngoại vi có thể bao gồm các giao tiếp ngoại vi cơ bản như giao diện ngoại vi nối tiếp (SPI), giao diện ngoại vi không đồng bộ (UART), giao diện ngoại vi đồng bộ nhiều chủ-tớ (I2C), ...
 - Lõi vi xử lý trung tâm sẽ cấu hình và điều khiển các khối xử lý tín hiệu 5G cũng như các khối ngoại vi và chức năng khác thông qua giao tiếp BUS AXI4-lite hoặc tương đương.
- Cơ chế hoạt động của khối xử lý điều khiển:
 - Bộ vi xử lý trung tâm gửi các lệnh điều khiển và thiết lập các tham số cấu hình cho các khối xử lý tín hiệu 5G DFE, các khối giao tiếp, các khối ngoại vi.

- Khi chip 5G DFE trong quá trình hoạt động, các khối xử lý tín hiệu có thể đưa ra các thông báo ngắt hoặc những yêu cầu về mặt cấu hình lên bộ vi xử lý trung tâm. Bộ vi xử lý trung tâm sẽ xử lý các thông tin báo lên đó và đưa ra các chỉ thị, lệnh hoặc cấu hình tương ứng.
- Bộ vi xử lý trung tâm đóng vai trò truy cập vào trạng thái hoạt động của tất cả các mô-đun trong chip 5G DFE. Thông qua các ngoại vi, những thông tin này có thể được gửi ra ngoài cho người dùng sửa lỗi hoặc giám sát quá trình hoạt động của chip.

Hiệu quả mà sáng chế đạt được

Kiến trúc này là kiến trúc phân tập, nghĩa là những nhiệm vụ xử lý tốc độ cao được dành riêng cho các khối xử lý phần cứng chuyên biệt thay vì đưa về khu xử lý tập trung như kiến trúc truyền thống. Ưu điểm của kiến trúc này là những nhiệm vụ yêu cầu xử lý tốc độ cao như 5G DFE được giải phóng khỏi những giao tiếp và các vòng lệnh điều khiển phức tạp, những thứ sẽ gây ra tắc nghẽn và quá tải phần cứng.

Yêu cầu bảo hộ

1. Chíp xử lý số vô tuyến cho trạm thu phát gốc 5G, bao gồm khối xử lý tín hiệu 5G DFE (digital frontend) và khối xử lý điều khiển, trong đó:

khối xử lý tín hiệu 5G DFE bao gồm các thành phần chính sau:

bộ vi xử lý tín hiệu số (DSP) cho thuật toán bù méo công suất (Digital Predistortion - DPD) đóng vai trò thực hiện các phép xử lý và tính toán dựa trên nguồn dữ liệu thu thập được từ luồng phát và luồng quan sát (về từ khối khuếch đại công suất (PA) bên ngoài); bộ tham số tính toán được sẽ được nhân với dữ liệu đầu vào để tạo thành tín hiệu méo sao cho nó ngược với tính chất méo của khối khuếch đại công suất (PA) bên ngoài; và do đó, khối khuếch đại công suất (PA) bên ngoài sẽ được bù méo và trở nên tuyến tính hơn; bộ xử lý tín hiệu số (DSP) cho thuật toán DPD này có hai đầu vào và một đầu ra và nằm trên luồng xử lý tín hiệu phát đi;

khối khuếch đại tín hiệu (gain) có nhiệm vụ khuếch đại tín hiệu số để đạt được mức tối ưu cho tính toán DPD; khối này nằm trong luồng xử lý tín hiệu phát đi;

bộ giảm công suất đỉnh (crest factor reduction - CFR) có nhiệm vụ giảm chênh lệch giữa công suất đỉnh và công suất trung bình của tín hiệu 5G; việc này sẽ giúp cho khối khuếch đại công suất (PA) bên ngoài không phải chịu một tải làm việc lớn; khối này nằm trong luồng xử lý tín hiệu phát đi;

bộ nâng tốc độ lấy mẫu số (digital upconverter – DUC) có nhiệm vụ nâng tần số lấy mẫu của dữ liệu nhận được từ khối băng gốc (baseband) lên để đạt được tần số lấy mẫu thích hợp của bộ chuyển đổi số-tương tự (DAC) của chíp vô tuyến bên ngoài; khối này nằm trong luồng xử lý tín hiệu phát đi;

bộ hạ tốc độ lấy mẫu số (digital downconverter – DDC) có nhiệm vụ hạ tần số lấy mẫu của dữ liệu nhận được từ bộ chuyển đổi tương tự - số (ADC) của chíp vô tuyến bên ngoài xuống bằng tần số lấy mẫu băng gốc (baseband); khối này nằm trong luồng xử lý tín hiệu thu về;

bộ tính toán fourier ngược (iFFT) có nhiệm vụ biến đổi fourier nhanh ngược; bộ này nằm trong luồng xử lý tín hiệu phát đi; đối với một số ứng dụng thì có thể không cần bộ này;

bộ tính toán fourier thuận (FFT) có nhiệm vụ biến đổi fourier nhanh thuận; bộ này nằm trong luồng xử lý tín hiệu thu về; đối với một số ứng dụng thì có thể không cần bộ này;

bộ chuyển đổi dữ liệu JESD204B có nhiệm vụ chuyển đổi và đồng bộ dữ liệu giữa các khối xử lý DPD và DDC mô tả ở trên với bộ giao tiếp JESD204B;

bộ giao tiếp JESD204B có nhiệm vụ thực hiện giao tiếp dữ liệu theo chuẩn JESD204B với chip vô tuyến bên ngoài;

bộ chuyển đổi dữ liệu giao tiếp fronthaul có nhiệm vụ chuyển đổi và đồng bộ dữ liệu giữa các khối xử lý fourier (FFT và iFFT) hoặc khối xử lý đổi tần số lấy mẫu (DUC và DDC trong trường hợp không dùng Fourier) với các bộ giao tiếp CPRI hoặc eCPRI;

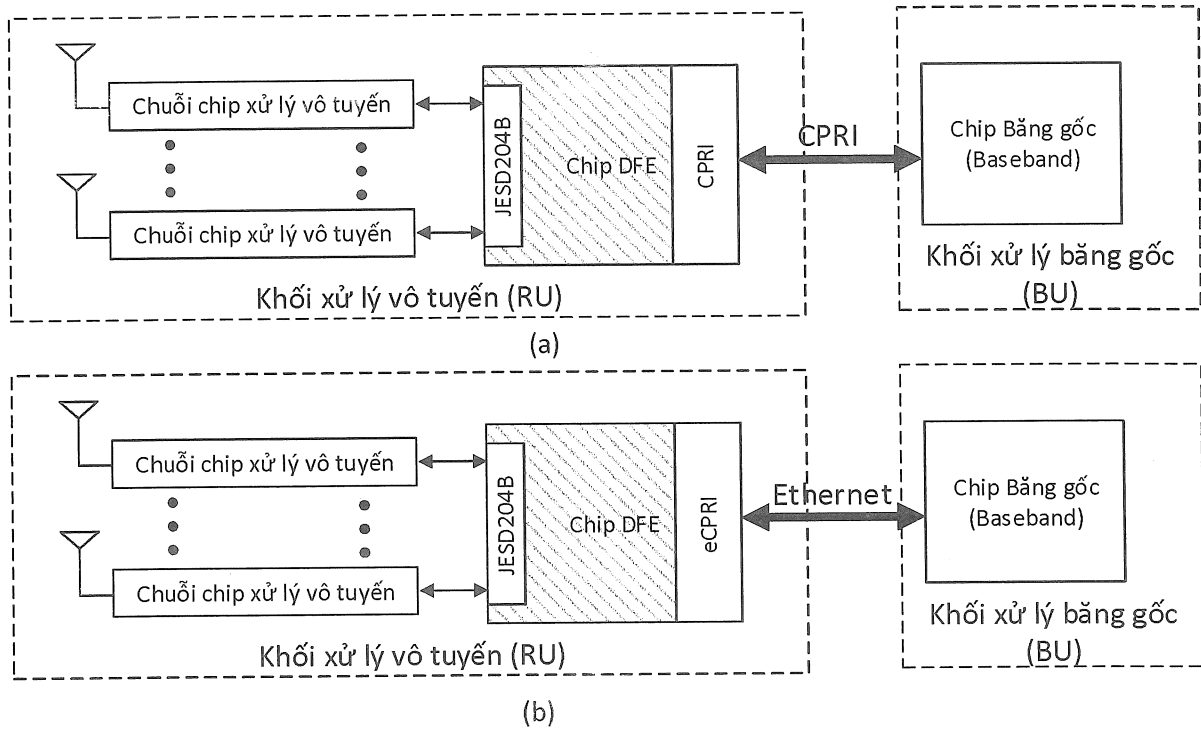
bộ giao tiếp CPRI hoặc eCPRI có nhiệm vụ thực hiện giao tiếp dữ liệu theo chuẩn CPRI hoặc eCPRI với mô đun quang bên ngoài để giao tiếp với khối xử lý băng gốc (BU);

khối xử lý điều khiển bao gồm:

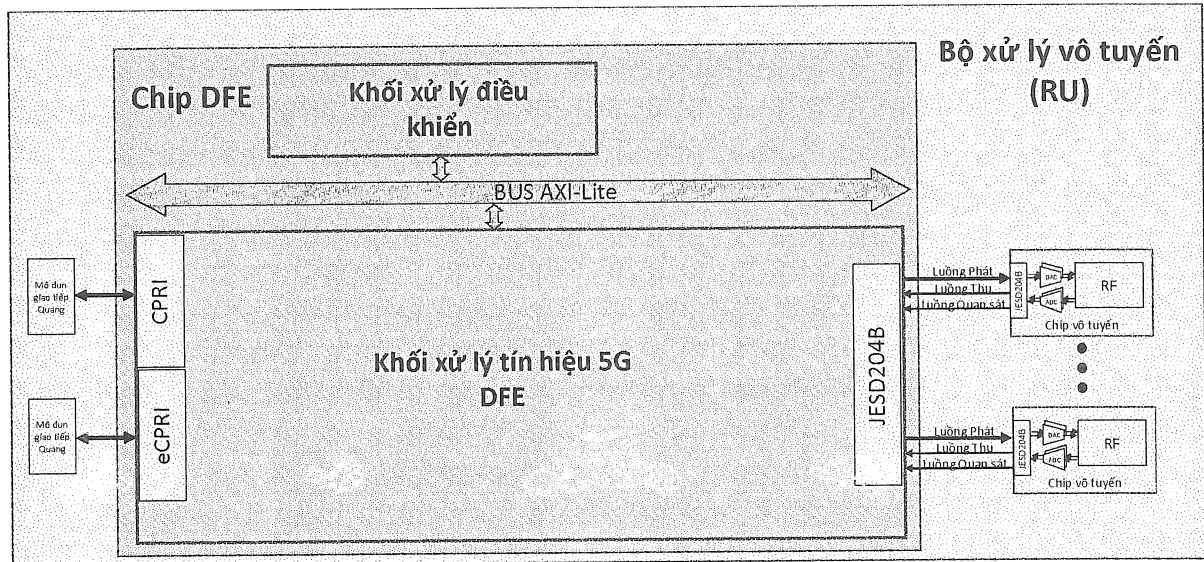
bộ vi xử lý trung tâm đóng vai trò điều khiển và giám sát toàn bộ quá trình hoạt động của chip digital frontend; tuy nhiên bộ này không đóng vai trò xử lý tín hiệu 5G DFE; bộ này được kết nối với BUS hệ thống (có thể là BUS AXI-lite hoặc tương đương);

các khối ngoại vi có thể bao gồm các giao tiếp ngoại vi cơ bản như giao diện ngoại vi nối tiếp (SPI), giao diện ngoại vi không đồng bộ (UART), giao diện ngoại vi đồng bộ nhiều chủ-tớ (I2C);

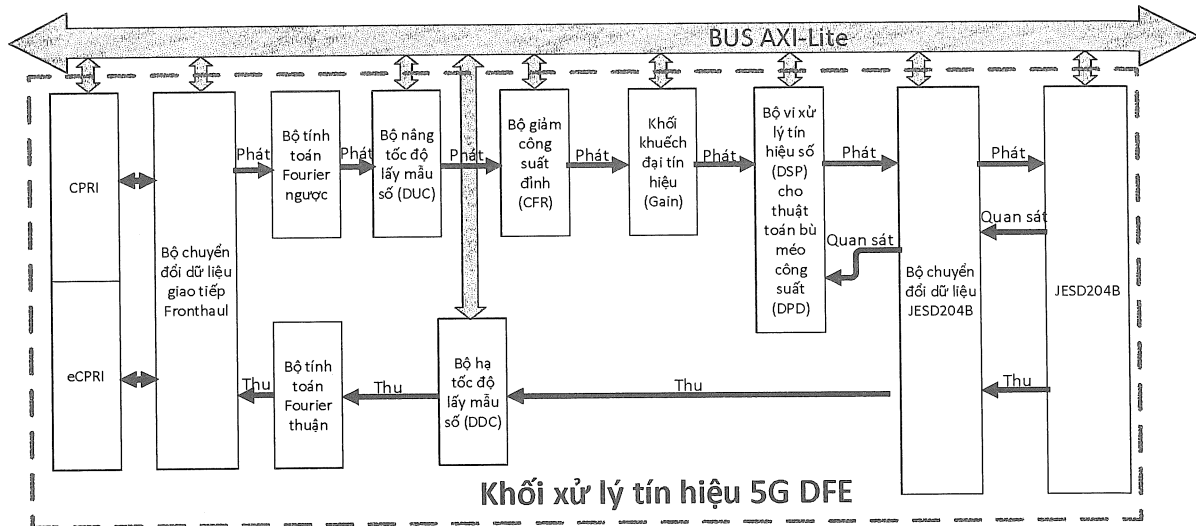
lõi vi xử lý trung tâm sẽ cấu hình và điều khiển các khối xử lý tín hiệu 5G cũng như các khối ngoại vi và chức năng khác thông qua giao tiếp BUS AXI4-lite hoặc tương đương.



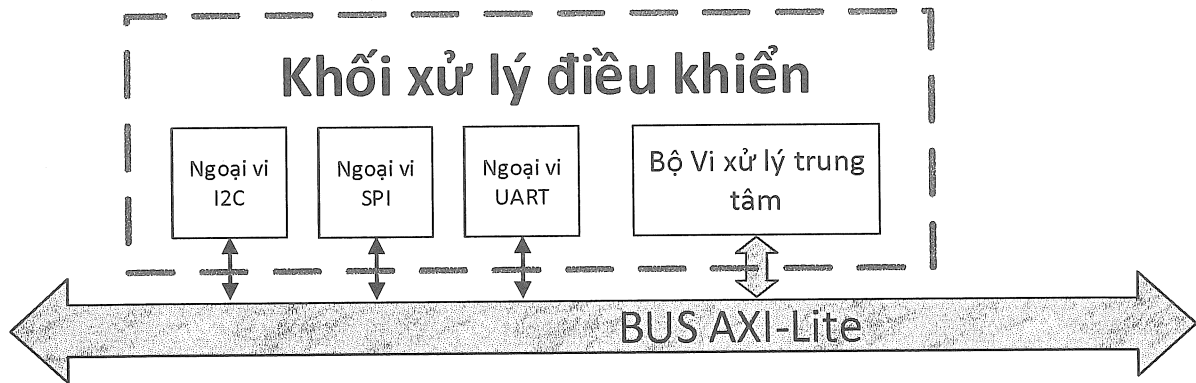
Hình 1



Hình 2



Hình 3



Hình 4