

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề xuất chip xử lý số băng gốc cho trạm thu phát gốc 5G. Cụ thể, sáng chế đề xuất một chip viễn thông thể hiện sự biến đổi từ 4G đến 5G thực hiện ở lớp vật lý. Xử lý số băng gốc là bước xử lý số quan trọng và cơ bản trong hệ thống xử lý thu phát tín hiệu 5G, nó đóng vai trò xử lý các tín hiệu số dạng ký tự và bit ở lớp vật lý (L1) trong mạng truy nhập vô tuyến. Sáng chế được ứng dụng trong lĩnh vực viễn thông.

Tình trạng kỹ thuật của sáng chế

Hiện tại đã có kiến trúc chip xử lý số băng gốc 5G, nhưng kiến trúc này có những vấn đề kỹ thuật khó có thể giải quyết trong việc xử lý tín hiệu tốc độ cao như ở lớp vật lý của 5G.

Các cấu trúc chip xử lý số băng gốc 5G hiện nay có kiến trúc sử dụng một tổng tuyến (BUS) chung, bộ nhớ chung cho toàn bộ các khối xử lý chính. Điều này gây ra vấn đề tắc nghẽn hệ thống trên tổng tuyến (BUS) và bộ nhớ vì những lý do sau:

- Các khối xử lý lớp vật lý 5G cần được truy cập vào bộ nhớ thường xuyên nên điều này dễ gây ra xung đột truy xuất bộ nhớ giữa các khối xử lý;
- Việc trao đổi dữ liệu lớp vật lý 5G diễn ra với tốc độ cao và số lượng dữ liệu lớn mà có tính liên tục (không ngắt quãng) nên khả năng tổng tuyến (BUS) dùng chung bị chiếm dụng bởi một nhiệm vụ truyền dữ liệu 5G là rất cao. Điều này gây ra tắc nghẽn hệ thống và các nhiệm vụ khác sẽ bị treo;
- Phần xử lý hướng lên và hướng xuống trong khối xử lý lớp vật lý 5G không được phân tách tài nguyên rõ ràng. Điều này rất dễ gây ra xung đột giữa hai luồng xử lý hướng lên và hướng xuống.

Kiến trúc kinh điển của chip số với khối vi xử lý đóng vai trò xử lý tập trung thường sẽ quá chậm để xử lý các tác vụ xử lý tốc độ cao trong viễn thông và đặc biệt trong trạm thu phát gốc 5G bởi vì vi xử lý trung tâm sẽ bị quá tải. Đối với trạm thu phát gốc 5G, xử lý lớp vật lý 5G cần những tác vụ xử lý tốc độ cao thời gian thực nên kiến trúc chip cần phải tối ưu cho những nhiệm vụ xử lý tốc độ cao bằng cách tận dụng những khối

tăng tốc phần cứng chuyên dụng và dữ liệu không đi qua khối vi xử lý trung tâm tập trung.

Sự khác biệt lớn nhất giữa công nghệ lớp vật lý 5G và công nghệ lớp vật lý 4G nằm ở khả năng xử lý của trạm thu phát gốc 5G. Vấn đề khó là xử lý tốc độ cao của các luồng ăng-ten và đồng bộ tốc độ giữa các luồng đó với nhau và với các giao tiếp bên ngoài. Do đó, sự kết nối qua lại giữa các khối xử lý và các khối điều khiển của chip xử lý số băng gốc 5G phải được tối ưu sâu với những nhiệm vụ này.

Phương pháp truyền thông xử lý tập trung sẽ không đáp ứng được tốc độ xử lý cho trạm thu phát gốc 5G vì lúc đó khối xử lý trung tâm và hệ thống tổng tuyến (BUS) sẽ bị quá tải.

Để khắc phục những nhược điểm nêu trên, nhóm tác giả đề xuất một chip xử lý số băng gốc cho trạm thu phát gốc 5G, theo đó các khối xử lý tăng tốc phần cứng sẽ trực tiếp thu nhận và xử lý dữ liệu 5G mà không cần thông qua các bước xử lý trung gian với khối vi xử lý trung tâm tập trung. Lúc này các khối vi xử lý trung tâm sẽ chỉ đóng vai trò theo dõi và điều khiển. Đặc điểm dạng này cũng sẽ yêu cầu những hệ thống tổng tuyến (BUS) và các khối nhớ (memory) được dành riêng cho các khối xử lý tốc độ cao 5G.

Bản chất kỹ thuật của sáng chế

Mặc dù xử lý số băng gốc 5G cần tốc độ cao, sự linh hoạt và mềm dẻo cũng phải được đáp ứng bởi vì hai lý do chính: thuật toán xử lý số băng gốc đa dạng và phức tạp để đáp ứng được các chế độ hoạt động khác nhau; chuẩn 5G đang hoàn thiện và có sự cập nhật qua từng phiên bản. Sự mềm dẻo ở đây chính là khả năng lập trình được bằng phần mềm. Mục đích của sáng chế là đề xuất chip xử lý số băng gốc cho trạm thu phát gốc 5G đáp ứng được sự cân bằng giữa yêu cầu xử lý tốc độ cao và sự mềm dẻo cần có trong việc xử lý lớp vật lý 5G, tận dụng lợi thế của cả hai kiểu xử lý dùng các khối tăng tốc phần cứng chuyên dụng (PE) tối ưu cho một dạng thuật toán và dùng các lõi vi xử lý tín hiệu (DSP) cho các dạng thuật toán đa dạng hơn. Các khối tăng tốc phần cứng chuyên dụng có nhiệm vụ xử lý các tác vụ tốc độ nhanh, nhưng nhược điểm của nó là không có khả năng thay đổi linh hoạt theo các chương trình lập trình phần mềm. Các lõi vi xử lý tín hiệu (DSP) thì có thể lập trình được và có thể nâng cấp đáp ứng theo các

thay đổi về thuật toán và chế độ hoạt động. Tuy nhiên, về hiệu năng tính toán và năng lượng tiêu thụ cho các nhiệm vụ cụ thể thì các khối tăng tốc phần cứng chuyên dụng được tối ưu hơn.

Để đạt được mục đích nêu trên, chip xử lý số băng gốc cho trạm thu phát gốc 5G được chia thành hai phần chính đóng những vai trò cụ thể như sau:

- Hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM (Multi-channel-core Machines) đóng vai trò là khối chính xử lý dữ liệu tốc độ cao trong việc xử lý lớp vật lý 5G. Có một khối quản lý các nhiệm vụ bên trong nội bộ hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM để đảm bảo những luồng xử lý phức tạp cho lớp vật lý 5G được quản lý chặt chẽ.
- Khối xử lý tác vụ điều khiển và giao tiếp: khối này bao gồm khối vi xử lý đa nhân trung tâm, bộ nhớ, khối giao tiếp bộ nhớ ngoài (DDR), giao tiếp mạng (Ethernet), giao tiếp ngoại vi tốc độ cao (PCIe) và các giao tiếp ngoại vi khác (có thể là các giao tiếp như thu phát không đồng bộ đa năng- UART, giao diện ngoại vi nối tiếp - SPI, truyền thông bán song công nối tiếp - I2C phục vụ cho việc giao tiếp tốc độ thấp với các Chip bên ngoài).

Mô tả vắn tắt các hình vẽ

Hình 1 là hình vẽ mô tả vị trí của chip xử lý số băng gốc trong trạm thu phát gốc 5G.

Hình 2 là hình vẽ mô tả kiến trúc hệ thống tổng thể chip xử lý số băng gốc trong trạm thu phát gốc 5G.

Mô tả chi tiết sáng chế

Sáng chế đề xuất một chip xử lý số băng gốc cho trạm thu phát gốc 5G với các đặc điểm được mô tả chi tiết dưới đây:

Tham chiếu hình 1, vị trí của chip xử lý số băng gốc cho trạm thu phát gốc 5G nằm trong khối xử lý số băng gốc (sau đây gọi là khối BBU) đóng vai trò xử lý tín hiệu lớp L1 (lớp vật lý 5G) cho dữ liệu 5G. Ngoài ra, chip này còn có thể đóng vai trò xử lý tín hiệu các lớp L2 và L3. Chip này giao tiếp với khối xử lý số tiền băng gốc (Digital Frontend) ở trên khối xử lý vô tuyến (sau đây gọi là khối RRU) và giao tiếp với chip xử

lý lớp L2, lớp L3 hoặc mạng lõi. Chính vì thế, ngoài việc phải có năng lực tính toán lớp vật lý 5G tốc độ cao, chip này còn phải có năng lực giao tiếp tốc độ cao với các chip khác kể trên. Các giao tiếp này bao gồm giao tiếp vô tuyến tiến hóa eCPRI (evolved Common Public Radio Interface - sau đây gọi là khối giao tiếp eCPRI) và giao tiếp ngoại vi tốc độ cao (PCIe) hoặc giao tiếp mạng (Ethernet) với chip xử lý lớp L2, lớp L3 hoặc mạng lõi.

Tham chiếu hình 2, chip xử lý số băng gốc cho trạm thu phát gốc 5G theo sáng chế đề xuất bao gồm: hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM (sau đây gọi là hệ thống MCCM) và khối xử lý các tác vụ điều khiển và giao tiếp cơ bản, trong đó:

Hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM bao gồm các thành phần chính sau:

Khối lập lịch lớp vật lý (sau đây gọi là khối PSM) đóng vai trò quản lý toàn bộ các nhiệm vụ trong hệ thống MCCM. Khối PSM được kết nối với các lõi vi xử lý tín hiệu (sau đây được gọi là lõi DSP) và các khối tăng tốc phần cứng chuyên dụng cho hướng lên và hướng xuống (sau đây được gọi lần lượt là UL PE và DL PE và gọi chung là PE cho cả hướng lên và hướng xuống) thông qua tổng tuyến (BUS) UL_PSM_BUS. Khối PSM còn được kết nối với các khối giao tiếp bộ nhớ cho chiều hướng lên và hướng xuống, cụ thể bao gồm:

- Khối giao tiếp bộ nhớ chiều hướng lên UL_SMEM_INTF: khối này đóng vai trò giao tiếp tốc độ cao giữa các bộ nhớ này với các khối giao tiếp ngoại vi tốc độ cao (PCIe, DDR, Ethernet) ở trên khối xử lý tác vụ điều khiển và giao tiếp. Ngoài ra, khối này cho phép khối vi xử lý đa nhân trung tâm có thể lấy dữ liệu của các bộ nhớ chia sẻ từ 1 đến i.
- Khối giao tiếp bộ nhớ chiều hướng xuống DL_SMEM_INTF: khối này đóng vai trò giao tiếp tốc độ cao giữa các bộ nhớ này với các các giao tiếp ngoại vi tốc độ cao (PCIe, DDR, Ethernet) ở trên khối xử lý tác vụ điều khiển và giao tiếp. Ngoài ra, khối này cho phép khối vi xử lý đa nhân trung tâm có thể lấy dữ liệu của các bộ nhớ chia sẻ từ (i+1) đến P.

Các khối bộ nhớ chia sẻ (dùng lưu trữ dữ liệu được xử lý tốc độ cao bởi các lõi DSP và các khối PE) bên trong hệ thống MCCM được chia làm hai nhóm cho hướng lên và hướng xuống với số hiệu lần lượt là 1-i và (i+1)-P. Các khối bộ nhớ chia sẻ này có các khối truy nhập bộ nhớ trực tiếp (sau đây gọi là khối DMA) để tăng tốc độ truy cập bộ nhớ bằng cách không thông qua vi xử lý trung tâm.

Các lõi vi xử lý tín hiệu DSP được chia làm hai nhóm cho hướng lên và hướng xuống với số hiệu lần lượt là 1-i và (i+1)-M.

Các khối tăng tốc phần cứng chuyên dụng cho hướng lên và hướng xuống PE được chia làm hai nhóm xử lý cho hướng lên và hướng xuống với số hiệu lần lượt là 1-N và 1-L (được mô tả lần lượt bởi các khối UL PE_{1-N} và khối DL PE_{1-L} trong hình 2). Các khối PE này đóng vai trò xử lý lớp vật lý của trạm thu phát gốc 5G.

Khối giao tiếp eCPRI đóng vai trò xử lý các nhiệm vụ giao tiếp chuẩn để kết nối giữa chip xử lý số băng gốc với các chip số trên khối xử lý vô tuyến (RRU).

Tương ứng với các cấu tạo thành phần nêu trên, cơ chế hoạt động của hệ thống MCCM như sau:

Khối PSM gửi lệnh xử lý tín hiệu xuống các lõi DSP và các khối PE. Khối PSM giám sát và xử lý các ngắt từ các khối PE và DSP này.

Chiều xử lý hướng lên lớp vật lý 5G:

- Dữ liệu được nhận ở khối giao tiếp eCPRI, thông qua tổng tuyến (BUS) chuyên biệt truyền đến khối tăng tốc phần cứng chuyên dụng hướng lên đầu tiên (UL PE₁ trong hình 2) được dành riêng thực hiện những tác vụ đầu tiên của luồng xử lý số băng gốc hướng lên bao gồm: chuyển đổi và đồng bộ dữ liệu giữa vô tuyến và băng gốc; và có thể một số nhiệm vụ như biến đổi dữ liệu từ miền thời gian sang miền tần số qua phương pháp tính Fourier (FFT).

- Sau khi xử lý ở khối tăng tốc phần cứng chuyên dụng hướng lên đầu tiên UL PE₁, dữ liệu được truyền đến khối UL PE tiếp theo hoặc lõi DSP trong phần xử lý hướng lên tùy theo kịch bản được gửi xuống bởi khối PSM. Dữ liệu được truyền trên UL_SMEM_BUS2. Các vùng nhớ chia sẻ đóng vai trò là nơi lưu trữ dữ liệu trung gian trong quá trình xử lý và truyền nhận dữ liệu trên.

- Khi kết thúc toàn bộ quá trình xử lý hướng lên trạm thu phát gốc 5G thì dữ liệu được lưu vào các khối bộ nhớ chia sẻ và được đọc ra ngoài hệ thống MCCM thông qua khối giao tiếp bộ nhớ chiều hướng lên, kết thúc toàn bộ quá trình xử lý tín hiệu hướng lên lớp vật lý 5G trong hệ thống MCCM.

- Khối PSM nhận lệnh từ khối vi xử lý đa nhân trung tâm để điều khiển toàn bộ quá trình xử lý hướng lên và hướng xuống lớp vật lý 5G.

Chiều xử lý hướng xuống lớp vật lý 5G ngược lại so với chiều xử lý hướng lên lớp vật lý 5G.

- Dữ liệu từ lớp trên được gửi xuống hệ thống MCCM thông qua khối giao tiếp bộ nhớ chiều hướng xuống và được lưu vào vùng nhớ (Share Mem) dành riêng cho chiều hướng xuống cho các bước xử lý hướng xuống tiếp theo.

- Sau đó các lõi vi xử lý tín hiệu DSP và khối tăng tốc phần cứng chuyên dụng cho hướng xuống DL PE sẽ tham gia vào quá trình xử lý dữ liệu này tùy theo kịch bản xử lý hướng xuống được gửi xuống bởi khối PSM.

- Kết thúc quá trình xử lý hướng xuống lớp vật lý 5G, dữ liệu được gửi ra từ khối PE chiều hướng xuống (DL PE₁) đến khối giao tiếp eCPRI thông qua tổng tuyến (BUS) tốc độ cao kết nối khối giao tiếp eCPRI với hai khối tăng tốc phần cứng chuyên dụng của hai khối chiều hướng lên và hướng xuống lần lượt là UL PE₁ và DL PE₁. Đến đây, quá trình xử lý hướng xuống lớp vật lý 5G kết thúc.

Tổng tuyến sửa lỗi JTAG1 là của các khối giao tiếp bộ nhớ chiều hướng lên và hướng xuống UL_SMEM_INTF, DL_SMEM_INTF và Khối lập lịch lớp vật lý PSM.

Tổng tuyến sửa lỗi JTAG2 là của các lõi vi xử lý tín hiệu DSP.

Các tổng tuyến này được thiết kế theo cấu trúc dịch vòng và tuân theo chuẩn kiểm tra công nghiệp JTAG và cho phép người dùng truy nhập sâu vào các thanh ghi trạng thái và ô nhớ để thực hiện kiểm tra, sửa lỗi và lập trình cho các khối tương ứng.

Trong hình 2, phần khối xử lý tác vụ điều khiển và giao tiếp bao gồm:

Khối vi xử lý đa nhân trung tâm: khối này đóng vai trò điều khiển và giám sát toàn bộ quá trình hoạt động của chip xử lý số băng gốc. Tuy nhiên khối này không đóng vai trò xử lý tín hiệu lớp vật lý 5G cho trạm thu phát gốc 5G. Khối này được kết nối với

tổng tuyến (BUS) hệ thống. Ngoài ra, khối vi xử lý đa nhân trung tâm còn đóng vai trò xử lý các tác vụ đóng gói ở các lớp L2 và L3 trong xử lý 5G.

Khối xử lý ngắt và thời gian: khối này bao gồm phần xử lý thời gian và phần xử lý ngắt. Phần xử lý thời gian được dùng để đếm, định lượng thời gian và theo dõi chi tiết các tác vụ điều khiển trong nội bộ chip. Phần xử lý này đảm bảo khối vi xử lý đa nhân trung tâm không phải làm việc trực tiếp với việc kiểm soát thời gian thực. Phần xử lý ngắt bên trong khối này có nhiệm vụ thu thập các thông tin ngắt, xử lý các thông tin này và gửi thông tin ngắt (sau khi được phân tích quản lý) cho khối vi xử lý đa nhân trung tâm và nhận chỉ thị điều khiển ngắt từ khối này.

Khối bộ nhớ hệ thống: khối này là bộ nhớ được chia sẻ bởi khối vi xử lý đa nhân trung tâm và các khối khác trong phần xử lý này. Khối bộ nhớ hệ thống chứa các dữ liệu điều khiển của khối vi xử lý đa nhân trung tâm. Ngoài ra khối này còn lưu trữ các dữ liệu xử lý lớp vật lý 5G cho các giao tiếp tốc độ cao (DDR, PCIe, Ethernet).

Khối giao tiếp bộ nhớ ngoài (DDR): khối này chính là khối giao tiếp RAM ngoài tốc độ cao thế hệ bốn cho phép giao tiếp dữ liệu dạng đóng gói ở lớp L2 và L3.

Khối PCIe và khối giao tiếp Ethernet được sử dụng để giao tiếp chip xử lý số bằng gốc với chip bên ngoài xử lý các lớp L2, L3 và L4.

Các khối giao tiếp ngoại vi khác có thể bao gồm các chuẩn thu phát không đồng bộ đa năng- UART, giao diện ngoại vi nối tiếp - SPI, truyền thông bán song công nối tiếp - I2C phục vụ cho việc giao tiếp tốc độ thấp với các Chip bên ngoài.

Tương ứng với các cấu tạo thành phần nêu trên, cơ chế hoạt động của khối xử lý tác vụ điều khiển và giao tiếp kết hợp với hệ thống MCCM:

Khối vi xử lý đa nhân trung tâm gửi các lệnh điều khiển xử lý lớp vật lý 5G xuống khối PSM trong hệ thống MCCM. Khối PSM gửi thông tin giám sát của toàn bộ hệ thống MCCM lên khối vi xử lý đa nhân trung tâm.

Chiều xử lý hướng lên: dữ liệu xử lý xong từ hệ thống MCCM được gửi lên tổng tuyến (BUS) hệ thống và có thể được đọc ra ngoài thông qua giao tiếp tốc độ cao (như Ethernet hoặc giao tiếp ngoại vi tốc độ cao PCIe) mà không cần thông qua khối vi xử lý đa nhân trung tâm. Tuy nhiên, khối vi xử lý đa nhân trung tâm có thể xử lý những dữ

liệu này (sau khi được lưu trữ ở bộ nhớ hệ thống) và xử lý các lớp cao hơn lớp vật lý 5G như lớp L2 và lớp L3. Để xử lý các lớp L2 và L3 thì khối vi xử lý đa nhân trung tâm sử dụng khối giao tiếp bộ nhớ ngoài DDR để kết nối RAM ngoài. Dữ liệu lớp L2, lớp L3 sau khi được xử lý được truyền ra ngoài lên lớp L4 thông qua kết nối Ethernet tốc độ cao.

Chiều xử lý hướng xuống: ngược lại với chiều hướng lên. Dữ liệu các lớp cao như lớp L2, lớp L3 sẽ được xử lý bởi vi xử lý đa nhân trung tâm hoặc đọc thẳng trực tiếp từ giao tiếp tốc độ cao (Ethernet hoặc giao tiếp ngoại vi tốc độ cao PCIe). Sau đó những dữ liệu này được xử lý ở hệ thống MCCM.

Tại hệ thống đề xuất nêu trên, nhiều loại tổng tuyến (BUS) được sử dụng cho những nhiệm vụ được phân loại trong kiến trúc chip này. Những loại tổng tuyến (BUS) này bao gồm:

Tổng tuyến (BUS) hệ thống kết nối hệ thống MCCM với khối xử lý tác vụ điều khiển và giao tiếp ở mức trên cùng của Chip. Thông qua tổng tuyến (BUS) này, vi xử lý đa nhân trung tâm có thể điều khiển toàn bộ các khối khác bên trong hệ thống MCCM và có thể nhận dữ liệu/thông tin về hệ thống MCCM từ khối PSM.

Các tổng tuyến (BUS) bên trong hệ thống MCCM đóng vai trò kết nối nội bộ và phục vụ sửa lỗi cho các khối bên trong hệ thống MCCM.

Tổng tuyến (BUS) SMEM_BUS1 giữa các lõi vi xử lý tín hiệu số DSP_{1-M} với các khối bộ nhớ chia sẻ 1-P dùng chung bên trong hệ thống MCCM. M ở đây là số lõi vi xử lý tín hiệu số và P là số khối bộ nhớ chia sẻ dùng chung.

Tổng tuyến (BUS) UL_SMEM_BUS2 nội bộ kết nối khối giao tiếp bộ nhớ chia sẻ 1-i và các khối xử lý PE_{1-N} hướng lên (đường lên) của xử lý lớp vật lý 5G.

Tổng tuyến (BUS) DL_SMEM_BUS2 nội bộ kết nối khối giao tiếp bộ nhớ chia sẻ i+1-P và các khối bộ nhớ dùng chung (i+1)-L cho các khối xử lý hướng xuống PE_{1-L} (đường xuống) của xử lý lớp vật lý 5G.

Các tổng tuyến (BUS) nội bộ UL_PE_BUS và DL_PE_BUS kết nối các khối PE và lõi DSP của lần lượt hai chiều hướng lên và hướng xuống.

Tổng tuyến (BUS) DSP_BUS kết nối toàn bộ các khối PE và lõi DSP của cả hai chiều xử lý hướng lên và hướng xuống để đảm bảo khả năng chia sẻ tài nguyên phần cứng khi một luồng cần chiếm dụng nhiều hơn luồng còn lại.

Tổng tuyến (BUS) DSP_BUS kết nối giữa các lõi vi xử lý tín hiệu DSP_{1-M} với nhau.

Tổng tuyến (BUS) UL_PSM_BUS kết nối giữa khối PSM (Khối lập lịch lớp vật lý) với toàn bộ các lõi xử lý tín hiệu DSP_{1-M}, các khối tăng tốc phần cứng chuyên dụng UL PE_{1-N} và DL PE_{1-L}.

Tổng tuyến (BUS) RF_INTF_BUS kết nối khối giao tiếp eCPRI với hai khối tăng tốc phần cứng chuyên dụng của hai chiều hướng lên và hướng xuống lần lượt là UL PE₁ và DL PE₁.

Các lợi ích mà sáng chế đạt được

Chip xử lý số băng gốc cho trạm thu phát gốc 5G theo sáng chế đề xuất có kiến trúc phân tập, nghĩa là những nhiệm vụ xử lý tốc độ cao được dành riêng cho các khối xử lý phần cứng chuyên biệt thay vì đưa về khu xử lý tập trung như kiến trúc truyền thống. Ưu điểm của chip xử lý số băng gốc 5G theo sáng chế này là đảm bảo rằng kiến trúc đáp ứng được với những thay đổi và tiến hóa của công nghệ 5G. Bên cạnh đó các giao tiếp bộ nhớ hoặc các phương thức truyền dữ liệu tốc độ cao cũng được tối ưu và chuyên biệt hóa. Phần cứng xử lý tốc độ cao cho hai chiều xử lý tín hiệu hướng lên và hướng xuống được tách riêng để tránh xung đột tài nguyên vì hai nhiệm vụ này độc lập với nhau, những nhiệm vụ yêu cầu xử lý tốc độ cao như lớp vật lý 5G được giải phóng khỏi những giao tiếp và các vòng lệnh điều khiển phức tạp, những thứ sẽ gây ra tắc nghẽn và quá tải phần cứng.

Yêu cầu bảo hộ

1. Chip xử lý số băng gốc cho trạm thu phát gốc 5G bao gồm các khối xử lý phân tập trong đó các nhiệm vụ xử lý lớp vật lý 5G tốc độ cao được thực hiện ở hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM; khối vi xử lý đa nhân trung tâm chỉ đảm nhiệm vai trò giám sát, điều khiển và quản lý toàn bộ các hoạt động của chip, khối phần cứng bao gồm:

hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM; đóng vai trò là khối chính xử lý dữ liệu tốc độ cao của lớp vật lý cho trạm thu phát gốc 5G; nhiệm vụ xử lý tốc độ cao được thực hiện bởi các khối tăng tốc phần cứng chuyên dụng PE; nhiệm vụ có thể được lập trình để linh hoạt được thực hiện bởi các lõi vi xử lý tín hiệu DSP; các khối tăng tốc phần cứng chuyên dụng PE và các lõi vi xử lý tín hiệu DSP có thể truy cập vào các bộ nhớ chia sẻ dùng chung bên trong hệ thống MCCM thông qua các tổng tuyến (BUS) dành riêng; một Khối lập lịch lớp vật lý các nhiệm vụ bên trong nội bộ khối xử lý tăng tốc phần cứng được kết nối với các khối xử lý tốc độ cao thông qua tổng tuyến thực hiện với kết nối toàn bộ các lõi xử lý tín hiệu DSP và các khối tăng tốc phần cứng chuyên dụng PE; Khối lập lịch lớp vật lý còn được kết nối với các khối giao tiếp bộ nhớ cho chiều hướng lên và hướng xuống;

khối xử lý tác vụ điều khiển và giao tiếp; khối này bao gồm khối vi xử lý đa nhân trung tâm được kết nối với tổng tuyến (BUS) hệ thống, thực hiện xử lý các tác vụ giám sát và điều khiển toàn bộ quá trình hoạt động của hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM; ngoài ra khối này còn có thể đóng gói dữ liệu ở các lớp L2 và L3 trong xử lý trạm thu phát gốc 5G; khối xử lý ngắt và thời gian bao gồm phần xử lý thời gian và phần xử lý ngắt; khối bộ nhớ hệ thống là bộ nhớ được chia sẻ bởi khối vi xử lý đa nhân trung tâm và các khối khác trong phần xử lý này, chứa các dữ liệu điều khiển của khối vi xử lý đa nhân trung tâm và lưu trữ các dữ liệu xử lý lớp vật lý 5G cho các giao tiếp tốc độ cao; khối giao tiếp bộ nhớ ngoài; các khối giao tiếp ngoại vi khác.

2. Chip xử lý số băng gốc cho trạm thu phát gốc 5G theo điểm 1, trong đó:

các khối bộ nhớ chia sẻ dùng chung được chia làm hai nhóm cho hướng lên và hướng xuống; các khối tăng tốc phần cứng chuyên dụng PE của hướng lên và hướng xuống chỉ được phép truy cập vào các bộ nhớ chia sẻ dùng chung của chiều hướng lên và hướng xuống tương ứng; tuy nhiên các lõi vi xử lý tín hiệu DSP lại được phép truy cập vào tất cả các vùng nhớ của các khối nhớ chia sẻ này; các khối nhớ chia sẻ có các khối truy cập bộ nhớ trực tiếp (DMA) để tăng tốc độ truy cập bộ nhớ bằng cách không thông qua khối vi xử lý đa nhân trung tâm;

3. Chip xử lý số băng gốc cho trạm thu phát gốc 5G theo điểm 1 trong đó: phân cấp bên trong chip bao gồm:

tổng tuyến (BUS) hệ thống kết nối hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM và khối xử lý tác vụ điều khiển và giao tiếp;

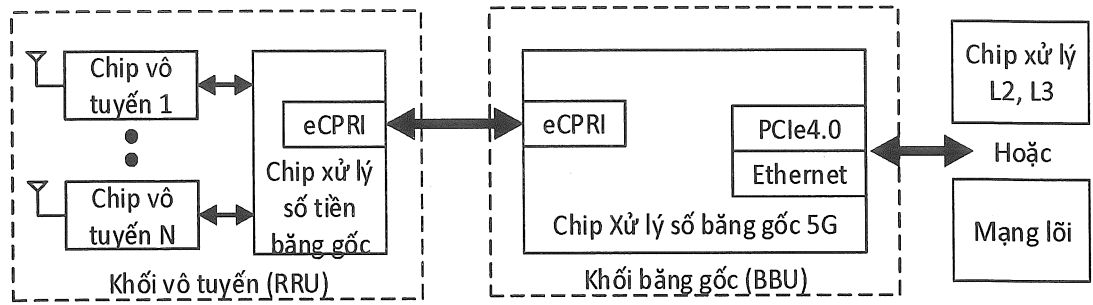
các tổng tuyến kết nối các lõi vi xử lý tín hiệu DSP và các khối tăng tốc phần cứng chuyên dụng PE cho hướng lên và hướng xuống;

các tổng tuyến kết nối phân truy cập các bộ nhớ chia sẻ dùng chung bên trong hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM.

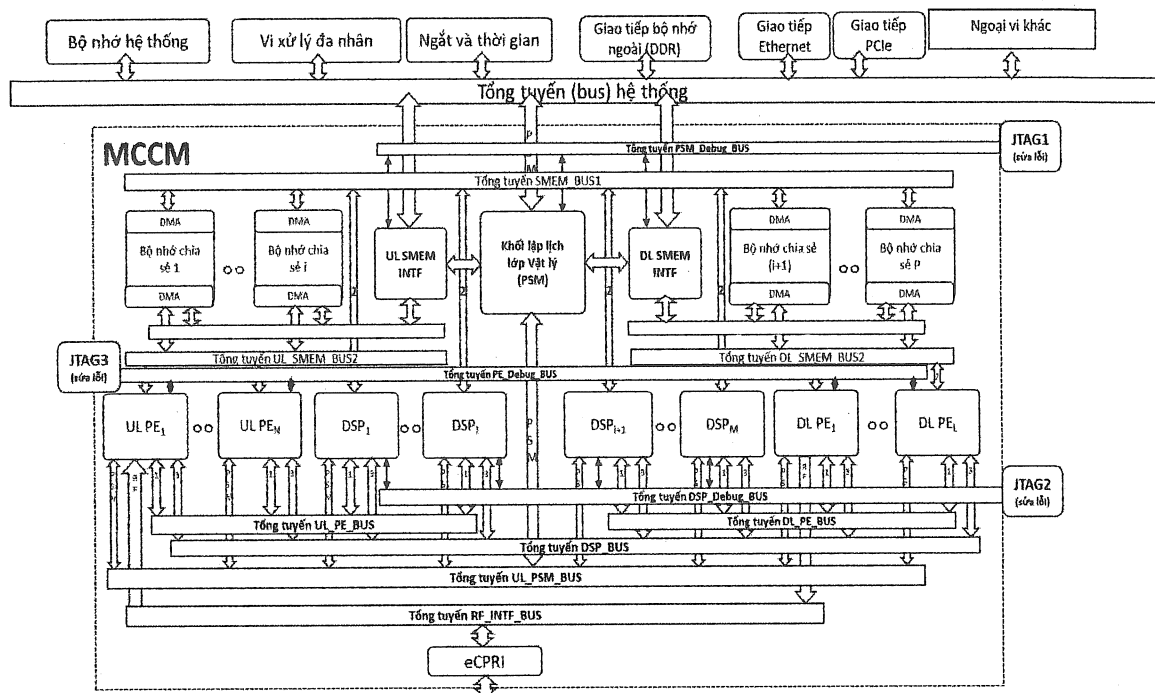
4. Chip xử lý số băng gốc cho trạm thu phát gốc 5G theo một trong số các điểm từ 1-3, trong đó: hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM:

Khối lập lịch lớp vật lý là trung tâm quản lý các nhiệm vụ đảm bảo giám sát và điều khiển các luồng xử lý bên trong hệ thống xử lý tốc độ cao đa nhân, đa kênh MCCM của Chip xử lý số băng gốc trong thời gian thực;

giao tiếp giữa khối tăng tốc phần cứng chuyên dụng PE và các lõi vi xử lý tín hiệu DSP với khối xử lý tác vụ điều khiển và giao tiếp thông qua Khối lập lịch lớp vật lý và khối giao tiếp bộ nhớ theo chiều hướng lên và hướng xuống.



Hình 1



Hình 2