



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0041827

(51)^{2019.01} G10L 19/008; H04S 3/00

(13) B

(21) 1-2020-00735

(22) 25/07/2018

(86) PCT/CN2018/096973 25/07/2018

(87) WO/2019/020045 31/01/2019

(30) 201710614326.7 25/07/2017 CN

(45) 25/11/2024 440

(43) 25/05/2020 386

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

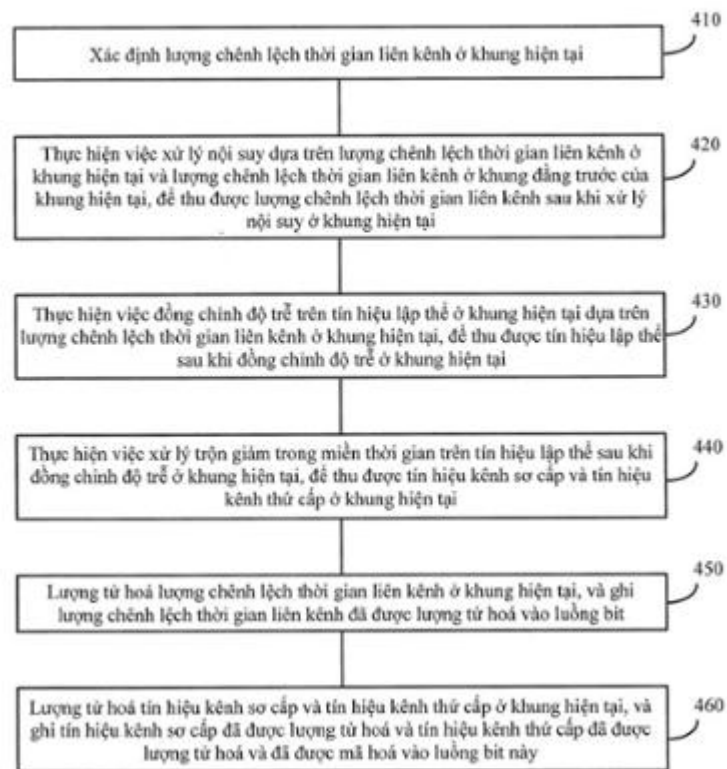
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong
518129, P. R. China

(72) SHLOMOT, Eyal (IL); LI, Haiting (CN); WANG, Bin (CN).

(74) Công ty Luật TNHH T&G (TGVN)

(54) PHƯƠNG PHÁP MÃ HOÁ DÀNH CHO TÍN HIỆU ÂM THANH LẬP THỂ,
THIẾT BỊ MÃ HÓA, VÀ PHƯƠNG TIỆN LƯU TRỮ PHI NHẤT THỜI ĐỌC
ĐƯỢC BẰNG MÁY TÍNH

(57) Sáng chế đề xuất phương pháp mã hóa, phương pháp giải mã, thiết bị mã hóa, thiết bị giải mã dành cho tín hiệu lập thể, và phương tiện lưu trữ đọc được bằng máy tính. Phương pháp mã hóa dành cho tín hiệu lập thể này bao gồm các bước: xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại; thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đang trước của khung hiện tại; thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại; thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại; lượng tử hóa lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hóa vào luồng bit; và lượng tử hóa tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hóa và tín hiệu kênh thứ cấp đã được lượng tử hóa vào luồng bit. Theo sáng chế, thì sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh trong tín hiệu lập thể gốc là có thể được giảm.



Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến các công nghệ mã hoá và giải mã tín hiệu âm thanh, cụ thể hơn, là liên quan đến các phương pháp mã hoá và giải mã, và các thiết bị mã hoá và giải mã dành cho tín hiệu lập thể.

Tình trạng kỹ thuật của sáng chế

Công nghệ mã hoá và giải mã lập thể bằng thông số, công nghệ mã hoá và giải mã lập thể trong miền thời gian, v.v., có thể được dùng để mã hoá tín hiệu lập thể. Việc mã hoá và giải mã tín hiệu lập thể nhờ sử dụng công nghệ mã hoá và giải mã lập thể trong miền thời gian nói chung là bao gồm các tiến trình sau đây:

Tiến trình mã hoá:

ước lượng sự chênh lệch thời gian liên kênh của tín hiệu lập thể;

thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể dựa trên lượng chênh lệch thời gian liên kênh;

thực hiện, dựa trên thông số xử lý trộn giảm trong miền thời gian, việc xử lý trộn giảm trong miền thời gian trên tín hiệu thu được sau khi đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp; và

mã hoá lượng chênh lệch thời gian liên kênh, thông số xử lý trộn giảm trong miền thời gian, tín hiệu kênh sơ cấp, và tín hiệu kênh thứ cấp, để thu được luồng bit được mã hoá.

Tiến trình giải mã:

giải mã luồng bit này để thu được tín hiệu kênh sơ cấp, tín hiệu kênh thứ cấp, thông số xử lý trộn giảm trong miền thời gian, và lượng chênh lệch thời gian liên kênh;

thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp dựa trên thông số xử lý trộn giảm trong miền thời gian, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian; và

điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh, độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian, để thu được tín hiệu lập thể được giải mã.

Trong tiến trình mã hoá và giải mã tín hiệu lập thể bằng công nghệ mã hoá lập thể trong miền thời gian, tuy sự chênh lệch thời gian liên kênh được tính đến, nhưng vì có độ trễ mã hoá và độ trễ giải mã trong tiến trình mã hoá và tiến trình giải mã tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp, nên có sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng được xuất ra từ đầu giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc, điều này ảnh hưởng đến hình ảnh âm thanh lập thể của tín hiệu lập thể được xuất ra bằng cách giải mã.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất phương pháp mã hoá và phương pháp giải mã, và thiết bị mã hoá và thiết bị giải mã dành cho tín hiệu lập thể, để giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc.

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp mã hoá dành cho tín hiệu lập thể. Phương pháp mã hoá này bao gồm các bước: xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại; thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đang trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại; thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại; thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại; lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá vào luồng bit; và lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá vào luồng bit.

Bằng cách thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, và việc mã hoá và sau đó ghi lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại vào luồng bit, thì lượng chênh lệch thời gian liên kênh ở khung hiện tại, mà thu được bằng cách giải mã, bởi đầu giải mã, đối với luồng bit nhận được, là có thể khớp với luồng bit bao gồm tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, nên đầu giải mã có thể thực hiện việc giải mã dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại mà khớp với luồng bit bao gồm tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp này ở khung hiện tại. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Cụ thể là, khi đầu mã hoá mã hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm, và khi đầu giải mã giải mã luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp, thì có độ trễ mã hoá và độ trễ giải mã. Tuy nhiên, khi đầu mã hoá mã hoá lượng chênh lệch thời gian liên kênh, và khi đầu giải mã giải mã luồng bit để thu được lượng chênh lệch thời gian liên kênh, thì không tồn tại độ trễ mã hoá và độ trễ giải mã đó, và codec (coder/decoder - bộ mã hoá/giải mã) âm thanh thì thực hiện việc xử lý dựa trên các khung. Do đó, có độ trễ giữa tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại mà thu được bằng cách giải mã, bởi đầu giải mã, đối với luồng bit trong khung hiện tại, và lượng chênh lệch thời gian liên kênh ở khung hiện tại mà thu được bằng cách giải mã luồng bit này trong khung hiện tại. Trong trường hợp này, nếu đầu giải mã vẫn sử dụng lượng chênh lệch thời gian liên kênh ở khung hiện tại để điều chỉnh độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải trong khung hiện tại mà thu được sau khi việc xử lý trộn tăng trong miền thời gian sau đó được thực hiện trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại mà thu được bằng cách giải mã luồng bit này, thì có sự sai lệch tương đối lớn giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể thu được cuối cùng và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Tuy nhiên, đầu mã hoá thực hiện việc xử lý nội suy để điều chỉnh lượng chênh lệch thời

gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, mã hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy này, và truyền lượng chênh lệch thời gian liên kênh đã được mã hoá cùng với luồng bit bao gồm tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp, mà thu được bằng cách mã hoá khung hiện tại, đến đầu giải mã, nên lượng chênh lệch thời gian liên kênh ở khung hiện tại mà thu được bằng cách giải mã, bởi đầu giải mã, đối với luồng bit này, là có thể khớp với tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải trong khung hiện tại mà đầu giải mã thu được. Do đó, sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể thu được cuối cùng và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc là được giảm bằng cách thực hiện việc điều chỉnh độ trễ.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là được tính theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức này, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là hiện khớp nhất có thể với lượng chênh lệch thời gian liên kênh thu được bằng cách giải mã.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, thì hệ số nội suy thứ nhất α thỏa mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, thì hệ số nội suy thứ nhất α là được lưu trước.

Việc lưu trước hệ số nội suy thứ nhất α có thể giảm sự phức tạp tính toán của tiến trình mã hoá và cải thiện hiệu quả mã hoá.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là được tính theo công thức $A = (1 - \beta) \cdot B + \beta \cdot C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, β là hệ số nội suy thứ hai, và $0 < \beta < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức này, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là hiện khớp nhất có thể với lượng chênh lệch thời gian liên kênh thu được bằng cách giải mã.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, hệ số nội suy thứ hai β thỏa mãn công thức $\beta = S/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Dựa vào khía cạnh thứ nhất, theo một số cách thức thực hiện của khía cạnh thứ nhất, thì hệ số nội suy thứ hai β là được lưu trước.

Việc lưu trước hệ số nội suy thứ hai β có thể giảm sự phức tạp tính toán của tiến trình mã hoá và cải thiện hiệu quả mã hoá.

Theo khía cạnh thứ hai, sáng chế đề xuất phương pháp giải mã dành cho tín hiệu đa kênh. Phương pháp này bao gồm các bước: giải mã luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung hiện tại; thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian; thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại; và điều chỉnh độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại.

Bằng cách thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, thì lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại có thể khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là được tính theo công thức $A = \alpha \cdot B + (1 - \alpha) \cdot C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức này, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong

khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là hiện khớp nhất có thể với lượng chênh lệch thời gian liên kênh thu được bằng cách giải mã.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, thì hệ số nội suy thứ nhất α thỏa mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, thì hệ số nội suy thứ nhất α là được lưu trước.

Việc lưu trước hệ số nội suy thứ nhất α có thể giảm sự phức tạp tính toán của tiến trình giải mã và cải thiện hiệu quả giải mã.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là được tính theo công thức $A = (1 - \beta) \cdot B + \beta \cdot C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, β là hệ số nội suy thứ nhất, và $0 < \beta < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức này, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là hiện khớp nhất có thể với lượng chênh lệch thời gian liên kênh thu được bằng cách giải mã.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ

hai, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, thì hệ số nội suy thứ hai β thoả mãn công thức $\beta = S/N$, trong đó

S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Dựa vào khía cạnh thứ hai, theo một số cách thức thực hiện của khía cạnh thứ hai, hệ số nội suy thứ hai β là được lưu trước.

Việc lưu trước hệ số nội suy thứ hai β có thể giảm sự phức tạp tính toán của tiến trình giải mã và cải thiện hiệu quả giải mã.

Theo khía cạnh thứ ba, sáng chế đề xuất thiết bị mã hoá. Thiết bị mã hoá này bao gồm môđun được tạo cấu hình để thực hiện khía cạnh thứ nhất hoặc những cách thức thực hiện khác nhau của khía cạnh thứ nhất.

Theo khía cạnh thứ tư, sáng chế đề xuất thiết bị giải mã. Thiết bị giải mã này bao gồm môđun được tạo cấu hình để thực hiện khía cạnh thứ hai hoặc những cách thức thực hiện khác nhau của khía cạnh thứ hai.

Theo khía cạnh thứ năm, sáng chế đề xuất thiết bị mã hoá. Thiết bị mã hoá này bao gồm phương tiện lưu trữ và khối xử lý trung tâm, trong đó phương tiện lưu trữ này có thể là phương tiện lưu trữ bất biến và lưu giữ chương trình thực thi được bằng máy tính, và khối xử lý trung tâm này được kết nối với phương tiện lưu trữ bất biến này và thực thi chương trình thực thi được bằng máy tính này để thực hiện phương pháp theo khía cạnh thứ nhất hoặc những cách thức thực hiện khác nhau của khía cạnh thứ nhất.

Theo khía cạnh thứ sáu, sáng chế đề xuất thiết bị giải mã. Thiết bị giải mã này bao gồm phương tiện lưu trữ và khối xử lý trung tâm, trong đó phương tiện lưu trữ này có thể là phương tiện lưu trữ bất biến và lưu giữ chương trình thực thi được bằng máy tính, và khối xử lý trung tâm này được kết nối với phương tiện lưu trữ bất biến này và thực thi chương trình thực thi được bằng máy tính này để thực hiện phương pháp theo khía cạnh thứ hai hoặc những cách thức thực hiện khác nhau của khía cạnh thứ hai.

Theo khía cạnh thứ bảy, sáng chế đề xuất phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính này lưu giữ mã chương trình để thực thi bằng thiết bị, và mã chương trình này bao gồm chỉ dẫn được sử dụng để thực hiện phương pháp theo khía cạnh thứ nhất hoặc những cách thức thực hiện khác nhau của khía cạnh thứ nhất.

Theo khía cạnh thứ tám, sáng chế đề xuất phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính này lưu giữ mã chương trình để thực thi bằng thiết bị, và mã chương trình này bao gồm chỉ dẫn được sử dụng để thực hiện phương pháp theo khía cạnh thứ hai hoặc những cách thức thực hiện khác nhau của khía cạnh thứ hai.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá lập thể trong miền thời gian hiện có;

Fig.2 là hình vẽ thể hiện lưu đồ của phương pháp giải mã lập thể trong miền thời gian hiện có;

Fig.3 là hình vẽ thể hiện sơ đồ của sự sai lệch độ trễ giữa tín hiệu lập thể thu được bằng cách giải mã bằng công nghệ mã hoá và giải mã lập thể trong miền thời gian hiện có và tín hiệu lập thể gốc;

Fig.4 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá dành cho tín hiệu lập thể theo một phương án của sáng chế;

Fig.5 là hình vẽ thể hiện sơ đồ của sự sai lệch độ trễ giữa tín hiệu lập thể thu được bằng cách giải mã luồng bit thu được bằng phương pháp mã hoá dành cho tín hiệu lập thể, và tín hiệu lập thể gốc, theo một phương án của sáng chế;

Fig.6 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá dành cho tín hiệu lập thể theo một phương án của sáng chế;

Fig.7 là hình vẽ thể hiện lưu đồ của phương pháp giải mã dành cho tín hiệu lập thể theo một phương án của sáng chế;

Fig.8 là hình vẽ thể hiện lưu đồ của phương pháp giải mã dành cho tín hiệu lập thể theo một phương án của sáng chế;

Fig.9 là hình vẽ thể hiện sơ đồ khối của thiết bị mã hoá theo một phương án của

sáng chế;

Fig.10 là hình vẽ thể hiện sơ đồ khối của thiết bị giải mã theo một phương án của sáng chế;

Fig.11 là hình vẽ thể hiện sơ đồ khối của thiết bị mã hoá theo một phương án của sáng chế;

Fig.12 là hình vẽ thể hiện sơ đồ khối của thiết bị giải mã theo một phương án của sáng chế;

Fig.13 là hình vẽ thể hiện sơ đồ của thiết bị đầu cuối theo một phương án của sáng chế;

Fig.14 là hình vẽ thể hiện sơ đồ của thiết bị mạng theo một phương án của sáng chế;

Fig.15 là hình vẽ thể hiện sơ đồ của thiết bị mạng theo một phương án của sáng chế;

Fig.16 là hình vẽ thể hiện sơ đồ của thiết bị đầu cuối theo một phương án của sáng chế;

Fig.17 là hình vẽ thể hiện sơ đồ của thiết bị mạng theo một phương án của sáng chế; và

Fig.18 là hình vẽ thể hiện sơ đồ của thiết bị mạng theo một phương án của sáng chế.

Mô tả chi tiết các phương án thực hiện sáng chế

Phần sau đây mô tả các giải pháp kỹ thuật của sáng chế dựa vào các hình vẽ kèm theo.

Để hiểu rõ hơn về phương pháp mã hoá và phương pháp giải mã theo các phương án của sáng chế, thì phần sau đây sẽ mô tả chi tiết trước hết các tiến trình của phương pháp mã hoá và phương pháp giải mã lập thể trong miền thời gian hiện có, dựa vào Fig.1 và Fig.2.

Fig.1 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá lập thể trong miền thời gian hiện có này. Phương pháp mã hoá 100 bao gồm các bước cụ thể như sau.

110. Đầu mã hoá ước lượng sự chênh lệch thời gian liên kênh của tín hiệu lập thể, để thu được lượng chênh lệch thời gian liên kênh của tín hiệu lập thể.

Tín hiệu lập thể này bao gồm tín hiệu kênh trái và tín hiệu kênh phải. Sự chênh lệch thời gian liên kênh của tín hiệu lập thể là sự chênh lệch thời gian giữa tín hiệu kênh trái và tín hiệu kênh phải.

120. Thực hiện việc đồng chỉnh độ trễ trên tín hiệu kênh trái và tín hiệu kênh phải dựa trên lượng chênh lệch thời gian liên kênh ước lượng được.

130. Mã hoá lượng chênh lệch thời gian liên kênh của tín hiệu lập thể, để thu được chỉ số mã hoá của lượng chênh lệch thời gian liên kênh, và ghi chỉ số mã hoá này vào luồng bit được mã hoá lập thể.

140. Xác định hệ số tỷ lệ kết hợp kênh, mã hoá hệ số tỷ lệ kết hợp kênh này để thu được chỉ số mã hoá của hệ số tỷ lệ kết hợp kênh này, và ghi chỉ số mã hoá này vào luồng bit được mã hoá lập thể.

150. Thực hiện, dựa trên hệ số tỷ lệ kết hợp kênh, việc xử lý trộn giảm trong miền thời gian trên tín hiệu kênh trái và tín hiệu kênh phải mà thu được sau khi đồng chỉnh độ trễ.

160. Mã hoá riêng biệt tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm, để thu được các luồng bit của tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp, và ghi các luồng bit này vào luồng bit được mã hoá lập thể.

Fig.2 là hình vẽ thể hiện lưu đồ của phương pháp giải mã lập thể trong miền thời gian hiện có. Phương pháp giải mã 200 bao gồm các bước cụ thể như sau.

210. Giải mã luồng bit nhận được để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Bước 210 tương đương với việc thực hiện việc giải mã tín hiệu kênh sơ cấp và giải mã tín hiệu kênh thứ cấp một cách riêng biệt để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

220. Giải mã luồng bit nhận được để thu được hệ số tỷ lệ kết hợp kênh.

230. Thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp dựa trên hệ số tỷ lệ kết hợp kênh, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian.

240. Giải mã luồng bit nhận được để thu được lượng chênh lệch thời gian liên kênh.

250. Điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh, độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian, để thu được tín hiệu lập thể được giải mã.

Theo phương pháp mã hoá và phương pháp giải mã lập thể trong miền thời gian hiện có, thì độ trễ mã hoá bổ sung (độ trễ này có thể cụ thể là thời gian cần thiết để mã hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp) và độ trễ giải mã bổ sung (độ trễ này có thể cụ thể là thời gian cần thiết để giải mã tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp) là được đưa vào tiến trình mã hoá (cụ thể là được thể hiện ở bước 160) và tiến trình giải mã (cụ thể là được thể hiện ở bước 210) tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Tuy nhiên, không có độ trễ mã hoá và độ trễ giải mã đó trong các tiến trình mã hoá và giải mã lượng chênh lệch thời gian liên kênh. Do đó, có sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc, và do đó, có độ trễ giữa tín hiệu trong tín hiệu lập thể thu được bằng cách giải mã và tín hiệu đó trong tín hiệu lập thể gốc, điều này ảnh hưởng đến độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể thu được bằng cách giải mã.

Cụ thể là, trong các tiến trình mã hoá và giải mã lượng chênh lệch thời gian liên kênh, thì không có độ trễ mã hoá và độ trễ giải mã nào mà giống như các độ trễ trong các tiến trình mã hoá và giải mã tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Do đó, tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã hiện tại bởi đầu giải mã là không khớp với lượng chênh lệch thời gian liên kênh thu được bằng cách giải mã hiện tại.

Fig.3 là hình vẽ thể hiện độ trễ giữa tín hiệu trong tín hiệu lập thể thu được bằng cách giải mã bằng công nghệ mã hoá và giải mã lập thể trong miền thời gian hiện có và tín hiệu đó trong tín hiệu lập thể gốc. Như được thể hiện trên Fig.3, khi giá trị của lượng chênh lệch thời gian liên kênh giữa các tín hiệu lập thể trong các khung khác nhau thay đổi mạnh (như được thể hiện bằng vùng trong khung chữ nhật trên Fig.3), thì độ trễ rõ rệt xuất hiện giữa tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã bởi đầu giải mã và tín hiệu đó trong tín hiệu lập thể gốc (tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã là đi một cách rõ rệt đằng sau tín hiệu đó trong tín hiệu lập thể gốc). Tuy nhiên, khi giá trị của lượng chênh lệch thời gian liên

kênh giữa các tín hiệu lập thể trong các khung khác nhau không thay đổi rõ rệt (như được thể hiện bằng vùng ngoài khung chữ nhật trên Fig.3), thì độ trễ giữa tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã bởi đầu giải mã và tín hiệu đó trong tín hiệu lập thể gốc là không rõ rệt.

Do đó, sáng chế đề xuất phương pháp mã hoá mới dành cho tín hiệu kênh lập thể. Theo phương pháp mã hoá này, việc xử lý nội suy được thực hiện trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại này được mã hoá và sau đó được truyền đến đầu giải mã. Tuy nhiên, việc đồng chỉnh độ trễ vẫn được thực hiện nhờ sử dụng lượng chênh lệch thời gian liên kênh ở khung hiện tại. So với giải pháp đã biết, thì lượng chênh lệch thời gian liên kênh ở khung hiện tại thu được theo sáng chế là khớp hơn với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi mã hoá và giải mã, và có độ khớp tương đối cao với tín hiệu lập thể tương ứng. Điều này làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã bởi đầu giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, hiệu quả của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã bởi đầu giải mã có thể được cải thiện.

Cần hiểu rằng tín hiệu lập thể theo sáng chế có thể là tín hiệu lập thể gốc, tín hiệu lập thể bao gồm hai tín hiệu được bao gồm trong tín hiệu đa kênh, hoặc là tín hiệu lập thể bao gồm hai tín hiệu mà cùng được tạo ra bởi nhiều tín hiệu được bao gồm trong tín hiệu đa kênh. Phương pháp mã hoá dành cho tín hiệu lập thể này cũng có thể là phương pháp mã hoá dành cho tín hiệu lập thể mà được sử dụng trong phương pháp mã hoá đa kênh. Phương pháp giải mã dành cho tín hiệu lập thể này cũng có thể là phương pháp giải mã dành cho tín hiệu lập thể mà được sử dụng trong phương pháp giải mã đa kênh.

Fig.4 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá dành cho tín hiệu lập thể theo một phương án của sáng chế. Phương pháp 400 có thể được thực hiện bởi đầu mã hoá, và đầu mã hoá này có thể là bộ mã hoá hoặc thiết bị có chức năng mã hoá tín hiệu lập thể. Phương pháp 400 cụ thể bao gồm các bước như sau.

410. Xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Cần hiểu rằng tín hiệu lập thể được xử lý ở đây có thể bao gồm tín hiệu kênh trái và tín hiệu kênh phải, và lượng chênh lệch thời gian liên kênh ở khung hiện tại là có thể thu được bằng cách ước lượng độ trễ của tín hiệu kênh trái và tín hiệu kênh phải. Lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại có thể được thu thập bằng cách ước lượng độ trễ của tín hiệu kênh trái và tín hiệu kênh phải trong tiến trình mã hoá tín hiệu lập thể ở khung đằng trước. Ví dụ, hệ số tương quan chéo của kênh trái và kênh phải được tính toán dựa trên tín hiệu kênh trái và tín hiệu kênh phải ở khung hiện tại, sau đó, giá trị chỉ số tương ứng với giá trị lớn nhất của hệ số tương quan chéo này được dùng làm lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Cụ thể là, việc ước lượng độ trễ có thể được thực hiện theo cách được mô tả trong ví dụ 1 đến ví dụ 3, để thu được lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Ví dụ 1:

Ở tốc độ lấy mẫu hiện tại, giá trị lớn nhất và giá trị nhỏ nhất của lượng chênh lệch thời gian liên kênh lần lượt là $T_{\max}$ và $T_{\min}$, trong đó $T_{\max}$ và $T_{\min}$ là các số thực được thiết đặt trước, và $T_{\max} > T_{\min}$. Trong trường hợp này, giá trị lớn nhất của hệ số tương quan chéo của kênh trái và kênh phải, mà có giá trị chỉ số nằm giữa giá trị lớn nhất và giá trị nhỏ nhất của lượng chênh lệch thời gian liên kênh, có thể được tìm kiếm. Cuối cùng, giá trị chỉ số tương ứng với giá trị lớn nhất được tìm kiếm của hệ số tương quan chéo của kênh trái và kênh phải được xác định làm lượng chênh lệch thời gian liên kênh ở khung hiện tại. Cụ thể là, giá trị của $T_{\max}$ và $T_{\min}$ có thể lần lượt là 40 và -40. Theo cách này, giá trị lớn nhất của hệ số tương quan chéo của kênh trái và kênh phải có thể được tìm kiếm trong khoảng $-40 \leq i \leq 40$, sau đó, giá trị chỉ số tương ứng với giá trị lớn nhất của hệ số tương quan chéo này được dùng làm lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Ví dụ 2:

Ở tốc độ lấy mẫu hiện tại, giá trị lớn nhất và giá trị nhỏ nhất của lượng chênh lệch thời gian liên kênh lần lượt là $T_{\max}$ và $T_{\min}$, trong đó $T_{\max}$ và $T_{\min}$ là các số thực được thiết đặt trước, và $T_{\max} > T_{\min}$. Hàm tương quan chéo của kênh trái và kênh phải được tính toán dựa trên tín hiệu kênh trái và tín hiệu kênh phải ở khung hiện tại. Ngoài ra, việc xử lý làm tròn được thực hiện trên hàm tương quan chéo tính được của kênh trái

và kênh phải ở khung hiện tại dựa trên hàm tương quan chéo của kênh trái và kênh phải ở L khung đằng trước (L là số nguyên lớn hơn hoặc bằng 1), để thu được hàm tương quan chéo đã được làm trơn của kênh trái và kênh phải. Sau đó, giá trị lớn nhất của hệ số tương quan chéo của kênh trái và kênh phải sau khi xử lý làm trơn được tìm kiếm trong khoảng $T_{\min} \leq i \leq T_{\max}$, và giá trị chỉ số i tương ứng với giá trị lớn nhất đó được dùng làm lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Ví dụ 3:

Sau khi lượng chênh lệch thời gian liên kênh ở khung hiện tại được ước lượng theo phương pháp ở ví dụ 1 hoặc ví dụ 2, thì việc xử lý làm trơn liên khung được thực hiện trên lượng chênh lệch thời gian liên kênh ở M khung đằng trước (M là số nguyên lớn hơn hoặc bằng 1) của khung hiện tại và lượng chênh lệch thời gian liên kênh ước lượng được ở khung hiện tại, và lượng chênh lệch thời gian liên kênh thu được sau khi xử lý làm trơn được dùng làm lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Cần hiểu rằng, trước khi ước lượng độ trễ của tín hiệu kênh trái và tín hiệu kênh phải (tín hiệu kênh trái và tín hiệu kênh phải ở đây là các tín hiệu miền thời gian) để thu được lượng chênh lệch thời gian liên kênh ở khung hiện tại, thì việc tiền xử lý miền thời gian có thể còn được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải ở khung hiện tại. Cụ thể là, việc xử lý lọc thông cao có thể được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải ở khung hiện tại để thu được tín hiệu kênh trái đã được tiền xử lý và tín hiệu kênh phải đã được tiền xử lý ở khung hiện tại. Ngoài ra, theo cách khác, việc tiền xử lý miền thời gian ở đây có thể là hoạt động xử lý khác ngoài hoạt động xử lý lọc thông cao. Ví dụ, việc xử lý chỉnh tăng được thực hiện.

420. Thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại.

Cần hiểu rằng sự chênh lệch thời gian liên kênh ở khung hiện tại có thể là sự chênh lệch thời gian giữa tín hiệu kênh trái ở khung hiện tại và tín hiệu kênh phải ở khung hiện tại, và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại có thể là sự chênh lệch thời gian giữa tín hiệu kênh trái ở khung đằng trước của khung hiện tại và tín hiệu kênh phải ở khung đằng trước của khung hiện tại.

Cần hiểu rằng việc thực hiện xử lý nội suy dựa trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại là tương đương với việc thực hiện xử lý trung bình có trọng số trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại. Theo cách này, thì lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại.

Có thể có nhiều cách cụ thể để thực hiện việc xử lý nội suy dựa trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại. Ví dụ, việc xử lý nội suy có thể được thực hiện theo cách 1 và cách 2 như sau.

Cách thức 1:

Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại được tính toán theo công thức (1).

$$A = \alpha \cdot B + (1 - \alpha) \cdot C \quad (1)$$

Trong công thức (1), thì A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và α là số thực thoả mãn $0 < \alpha < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức $A = \alpha \cdot B + (1 - \alpha) \cdot C$, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là khớp, nhất có thể, với lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc mà không được mã hoá và giải mã.

Cụ thể là, giả sử rằng khung hiện tại là khung thứ i, khung đứng trước của khung hiện tại là khung thứ (i - 1). Trong trường hợp này, lượng chênh lệch thời gian liên kênh ở khung thứ i có thể được xác định theo công thức (2).

$$d_{\text{int}}(i) = \alpha \cdot d(i) + (1 - \alpha) \cdot d(i-1) \quad (2)$$

Trong công thức (2), thì $d_{\text{int}}(i)$ là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung thứ i , $d(i)$ là lượng chênh lệch thời gian liên kênh ở khung hiện tại, $d(i-1)$ là lượng chênh lệch thời gian liên kênh ở khung thứ $(i-1)$, và α có ý nghĩa giống như α trong công thức (1), và cũng là hệ số nội suy thứ nhất.

Hệ số nội suy thứ nhất này có thể được kỹ thuật viên thiết đặt trực tiếp. Ví dụ, hệ số nội suy thứ nhất α có thể được thiết đặt trực tiếp bằng 0,4 hoặc 0,6.

Ngoài ra, hệ số nội suy thứ nhất α cũng có thể được xác định dựa trên chiều dài khung của khung hiện tại và độ trễ mã hoá và giải mã. Độ trễ mã hoá và giải mã ở đây có thể bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Ngoài ra, độ trễ mã hoá và giải mã ở đây có thể là tổng của độ trễ mã hoá và độ trễ giải mã. Độ trễ mã hoá và giải mã có thể được xác định sau khi xác định được thuật toán mã hoá và giải mã mà codec sử dụng. Do đó, độ trễ mã hoá và giải mã là thông số đã biết đối với bộ mã hoá hoặc bộ giải mã.

Tuỳ ý, hệ số nội suy thứ nhất α có thể tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại. Nói cách khác, hệ số nội suy thứ nhất α giảm khi độ trễ mã hoá và giải mã tăng, và tăng khi chiều dài khung của khung hiện tại tăng.

Tuỳ ý, hệ số nội suy thứ nhất α có thể được xác định theo công thức (3).

$$\alpha = \frac{N - S}{N} \quad (3)$$

Trong công thức (3), N là chiều dài khung của khung hiện tại, và S là độ trễ mã hoá và giải mã.

Khi $N = 320$ và $S = 192$, thì có thể thu được như sau theo công thức (3):

$$\alpha = \frac{N - S}{N} = \frac{320 - 192}{320} = 0.4 \quad (4)$$

Cuối cùng, có thể thu được hệ số nội suy thứ nhất α là 0,4.

Theo cách khác, hệ số nội suy thứ nhất α là được lưu trước. Vì độ trễ mã hoá và giải mã và chiều dài khung có thể được biết trước, nên hệ số nội suy thứ nhất α tương ứng cũng có thể được xác định và được lưu trước dựa trên độ trễ mã hoá và giải mã và chiều dài khung. Cụ thể là, hệ số nội suy thứ nhất α có thể được lưu trước tại đầu mã hoá. Theo cách này, khi thực hiện xử lý nội suy, thì đầu mã hoá có thể trực tiếp thực hiện việc xử lý nội suy dựa trên hệ số nội suy thứ nhất α được lưu trước này mà không cần tính giá trị của hệ số nội suy thứ nhất α . Điều này có thể giảm sự phức tạp tính toán của tiến trình mã hoá và cải thiện hiệu quả mã hoá.

Cách thức 2:

Sự chênh lệch thời gian liên kênh ở khung hiện tại được xác định theo công thức (5).

$$A = (1 - \beta) \cdot B + \beta \cdot C \quad (5)$$

Trong công thức (5), thì A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, β là hệ số nội suy thứ hai, và là số thực thoả mãn $0 < \beta < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức $A = (1 - \beta) \cdot B + \beta \cdot C$, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là khớp, nhất có thể, với lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc mà không được mã hoá và giải mã.

Cụ thể là, giả sử rằng khung hiện tại là khung thứ i, khung đằng trước của khung hiện tại là khung thứ (i - 1). Trong trường hợp này, lượng chênh lệch thời gian liên kênh ở khung thứ i có thể được xác định theo công thức (6).

$$d_{\text{-int}}(i) = (1 - \beta) \cdot d(i) + \beta \cdot d(i - 1) \quad (6)$$

Trong công thức (6), $d_{\text{-int}}(i)$ là lượng chênh lệch thời gian liên kênh ở khung thứ i, $d(i)$ là lượng chênh lệch thời gian liên kênh ở khung hiện tại, $d(i - 1)$ là lượng chênh lệch thời gian liên kênh ở khung thứ (i - 1), và β có ý nghĩa giống như β trong

công thức (5), và cũng là hệ số nội suy thứ hai.

Hệ số nội suy nêu trên có thể được kỹ thuật viên thiết đặt trực tiếp. Ví dụ, hệ số nội suy thứ hai β có thể được thiết đặt trực tiếp là 0,6 hoặc 0,4.

Ngoài ra, hệ số nội suy thứ hai β cũng có thể được xác định dựa trên chiều dài khung của khung hiện tại và độ trễ mã hoá và giải mã. Độ trễ mã hoá và giải mã ở đây có thể bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Ngoài ra, độ trễ mã hoá và giải mã ở đây có thể là tổng của độ trễ mã hoá và độ trễ giải mã.

Tuỳ ý, hệ số nội suy thứ hai β có thể tỷ lệ thuận với độ trễ mã hoá và giải mã. Ngoài ra, hệ số nội suy thứ hai β có thể tỷ lệ nghịch với chiều dài khung của khung hiện tại.

Tuỳ ý, hệ số nội suy thứ hai β có thể được xác định theo công thức (7).

$$\beta = \frac{S}{N} \quad (7)$$

Trong công thức (7), N là chiều dài khung của khung hiện tại, và S là độ trễ mã hoá và giải mã.

Khi $N = 320$ và $S = 192$, thì có thể thu được như sau theo công thức (7):

$$\beta = \frac{S}{N} = \frac{192}{320} = 0.6 \quad (8)$$

Cuối cùng, có thể thu được hệ số nội suy thứ hai β là 0,6.

Theo cách khác, hệ số nội suy thứ hai β là được lưu trước. Vì độ trễ mã hoá và giải mã và chiều dài khung có thể được biết trước, nên hệ số nội suy thứ hai β tương ứng cũng có thể được xác định và được lưu trước dựa trên độ trễ mã hoá và giải mã và chiều dài khung. Cụ thể là, hệ số nội suy thứ hai β có thể được lưu trước tại đầu mã hoá. Theo cách này, khi thực hiện xử lý nội suy, thì đầu mã hoá có thể trực tiếp thực hiện việc xử lý nội suy dựa trên hệ số nội suy thứ hai β được lưu trước này mà không cần tính giá trị của hệ số nội suy thứ hai β . Điều này có thể giảm sự phức tạp tính toán của tiến trình mã hoá và cải thiện hiệu quả mã hoá.

430. Thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể ở khung hiện tại dựa

trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại.

Khi việc đồng chỉnh độ trễ được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải trong khung hiện tại, thì một hoặc hai trong số tín hiệu kênh trái và tín hiệu kênh phải có thể được nén hoặc được kéo dài dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để không có sự chênh lệch thời gian liên kênh nào giữa tín hiệu kênh trái và tín hiệu kênh phải sau khi đồng chỉnh độ trễ. Tín hiệu kênh trái và tín hiệu kênh phải sau khi đồng chỉnh độ trễ trong khung hiện tại, mà thu được sau khi việc đồng chỉnh độ trễ được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải trong khung hiện tại, là các tín hiệu lập thể sau khi đồng chỉnh độ trễ trong khung hiện tại.

440. Thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại.

Khi việc xử lý trộn giảm trong miền thời gian được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải sau khi đồng chỉnh độ trễ, thì tín hiệu kênh trái và tín hiệu kênh phải có thể được trộn giảm vào tín hiệu kênh giữa (Mid channel) và tín hiệu kênh bên (Side channel). Tín hiệu kênh giữa có thể cho biết thông tin liên quan giữa kênh trái và kênh phải, và tín hiệu kênh bên có thể cho biết thông tin khác biệt giữa kênh trái và kênh phải.

Giả sử L biểu thị tín hiệu kênh trái và R biểu thị tín hiệu kênh phải, thì tín hiệu kênh giữa là $0,5 \times (L + R)$ và tín hiệu kênh bên là $0,5 \times (L - R)$.

Ngoài ra, khi việc xử lý trộn giảm trong miền thời gian được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải sau khi đồng chỉnh độ trễ, để kiểm soát tỷ số của tín hiệu kênh trái và tín hiệu kênh phải trong quá trình xử lý trộn giảm, thì hệ số tỷ lệ kết hợp kênh có thể được tính toán, sau đó, việc xử lý trộn giảm trong miền thời gian được thực hiện trên tín hiệu kênh trái và tín hiệu kênh phải dựa trên hệ số tỷ lệ kết hợp kênh này, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Có nhiều phương pháp để tính hệ số tỷ lệ kết hợp kênh. Ví dụ, hệ số tỷ lệ kết hợp kênh ở khung hiện tại có thể được tính toán dựa trên năng lượng khung của kênh trái và kênh phải. Tiến trình cụ thể là như sau:

(1). Tính toán năng lượng khung của tín hiệu kênh trái và tín hiệu kênh phải dựa

trên tín hiệu kênh trái và tín hiệu kênh phải sau khi đồng chỉnh độ trễ ở khung hiện tại.

Năng lượng khung rms_L của kênh trái trong khung hiện tại thỏa mãn:

$$rms_L = \frac{1}{N} \sum_{i=0}^{N-1} x'_L(i) * x'_L(i) \quad (9)$$

Năng lượng khung rms_R của kênh phải trong khung hiện tại thỏa mãn:

$$rms_R = \frac{1}{N} \sum_{i=0}^{N-1} x'_R(i) * x'_R(i) \quad (10)$$

$x'_L(n)$ là tín hiệu kênh trái sau khi đồng chỉnh độ trễ trong khung hiện tại, $x'_R(n)$ là tín hiệu kênh phải sau khi đồng chỉnh độ trễ trong khung hiện tại, n là số điểm lấy mẫu, và $n = 0, 1, \dots, N-1$.

(2). Tính toán hệ số tỷ lệ kết hợp kênh ở khung hiện tại dựa trên năng lượng khung của kênh trái và kênh phải.

Hệ số tỷ lệ kết hợp kênh $ratio$ ở khung hiện tại thỏa mãn:

$$ratio = \frac{rms_R}{rms_L + rms_R} \quad (11)$$

Do đó, hệ số tỷ lệ kết hợp kênh là được tính toán dựa trên năng lượng khung của tín hiệu kênh trái và tín hiệu kênh phải.

Sau khi thu được hệ số tỷ lệ kết hợp kênh $ratio$, thì việc xử lý trộn giảm trong miền thời gian có thể được thực hiện dựa trên hệ số tỷ lệ kết hợp kênh $ratio$ này. Ví dụ, tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp sau khi xử lý trộn giảm trong miền thời gian có thể được xác định theo công thức (12).

$$\begin{bmatrix} Y(n) \\ X(n) \end{bmatrix} = \begin{bmatrix} ratio & 1-ratio \\ 1-ratio & -ratio \end{bmatrix} * \begin{bmatrix} x'_L(n) \\ x'_R(n) \end{bmatrix} \quad (12)$$

$Y(n)$ là tín hiệu kênh sơ cấp ở khung hiện tại, $X(n)$ là tín hiệu kênh thứ cấp ở khung hiện tại, $x'_L(n)$ là tín hiệu kênh trái sau khi đồng chỉnh độ trễ ở khung hiện tại, $x'_R(n)$ là tín hiệu kênh phải sau khi đồng chỉnh độ trễ ở khung hiện tại, n là số điểm lấy mẫu, $n = 0, 1, \dots, N-1$, N là chiều dài khung, và $ratio$ là hệ số tỷ lệ kết hợp kênh.

(3). Lượng tử hoá hệ số tỷ lệ kết hợp kênh, và ghi hệ số tỷ lệ kết hợp kênh đã được lượng tử hoá vào luồng bit.

450. Lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở

khung hiện tại, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá vào luồng bit.

Cụ thể là, trong tiến trình lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, thì thuật toán lượng tử hoá bất kỳ theo giải pháp kỹ thuật đã biết đều có thể được dùng để lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, để thu được chỉ số lượng tử hoá. Sau đó, chỉ số lượng tử hoá này được mã hoá rồi được ghi vào luồng bit.

460. Lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá vào luồng bit.

Tuỳ ý, phương pháp mã hoá và giải mã tín hiệu đơn kênh có thể được dùng để mã hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp thu được sau khi xử lý trộn giảm. Cụ thể là, các bit mã hoá kênh sơ cấp và kênh thứ cấp có thể được cấp phát dựa trên thông tin thông số thu được trong tiến trình mã hoá tín hiệu kênh sơ cấp ở khung đằng trước và/hoặc tín hiệu kênh thứ cấp ở khung đằng trước và tổng số bit mã hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Sau đó, tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp được mã hoá riêng biệt dựa trên kết quả cấp phát bit, để thu được chỉ số mã hoá của quá trình mã hoá kênh sơ cấp và chỉ số mã hoá của quá trình mã hoá kênh thứ cấp.

Cần hiểu rằng luồng bit thu được sau bước 460 là bao gồm luồng bit mà thu được sau khi lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại được lượng tử hoá, và luồng bit mà thu được sau khi tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp được lượng tử hoá.

Tuỳ ý, theo phương pháp 400, thì hệ số tỷ lệ kết hợp kênh mà được sử dụng khi việc xử lý trộn giảm trong miền thời gian được thực hiện ở bước 440 là có thể được lượng tử hoá, để thu được luồng bit tương ứng.

Do đó, luồng bit thu được cuối cùng theo phương pháp 400 là có thể bao gồm luồng bit mà thu được sau khi lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại được lượng tử hoá, luồng bit mà thu được sau khi tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại được lượng tử hoá, và luồng bit mà thu được sau khi hệ số tỷ lệ kết hợp kênh được lượng tử hoá.

Theo sáng chế, sự chênh lệch thời gian liên kênh ở khung hiện tại là được sử

dụng ở đầu mã hoá để thực hiện việc đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Tuy nhiên, việc xử lý nội suy là được thực hiện trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, nên lượng chênh lệch thời gian liên kênh ở khung hiện tại, mà thu được sau khi xử lý nội suy, là có thể khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách mã hoá và giải mã. Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy này được mã hoá rồi được truyền đến đầu giải mã, để đầu giải mã có thể thực hiện việc giải mã dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại mà khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Cần hiểu rằng, luồng bit mà cuối cùng thu được theo phương pháp 400 là có thể được truyền đến đầu giải mã, và đầu giải mã có thể giải mã luồng bit nhận được để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung hiện tại, và điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại này, độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian, để thu được tín hiệu lập thể được giải mã. Tiến trình cụ thể mà đầu giải mã thực hiện là có thể giống như tiến trình của phương pháp giải mã lập thể trong miền thời gian theo giải pháp kỹ thuật đã biết được thể hiện trên Fig.2.

Đầu giải mã giải mã luồng bit được tạo ra theo phương pháp 400, và sự khác biệt giữa tín hiệu trong tín hiệu lập thể thu được cuối cùng và tín hiệu đó trong tín hiệu lập thể gốc có thể được thể hiện trên Fig.5. Bằng cách so sánh Fig.5 và Fig.3, có thể thấy rằng, so với Fig.3, thì trên Fig.5, độ trễ giữa tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và tín hiệu đó trong tín hiệu lập thể gốc đã trở nên rất nhỏ. Cụ thể là, khi giá trị của lượng chênh lệch thời gian liên kênh thay đổi mạnh (như được thể hiện bởi vùng trong khung chữ nhật trên Fig.5), thì độ trễ giữa tín hiệu trong tín hiệu kênh mà cuối cùng thu được bởi đầu giải mã và tín hiệu đó trong tín hiệu kênh gốc là

cũng rất nhỏ. Nói cách khác, theo phương pháp mã hoá dành cho tín hiệu lập thể theo phương án này của sáng chế, thì sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, và lượng chênh lệch thời gian liên kênh trong tín hiệu lập thể gốc, là có thể được giảm.

Cần hiểu rằng việc xử lý trộn giảm có thể còn được thực hiện ở đây theo cách khác, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tiến trình chi tiết của phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án của sáng chế được mô tả dưới đây dựa vào Fig.6.

Fig.6 là hình vẽ thể hiện lưu đồ của phương pháp mã hoá dành cho tín hiệu lập thể theo một phương án của sáng chế. Phương pháp 600 có thể được thực hiện bởi đầu mã hoá, và đầu mã hoá này có thể là bộ mã hoá hoặc thiết bị có chức năng mã hoá tín hiệu kênh. Phương pháp 600 cụ thể bao gồm các bước như sau.

610. Thực hiện việc tiền xử lý miền thời gian trên tín hiệu lập thể, để thu được tín hiệu kênh trái và tín hiệu kênh phải sau khi tiền xử lý.

Cụ thể là, việc tiền xử lý miền thời gian đối với tín hiệu lập thể có thể được thực hiện bằng cách lọc thông cao, xử lý chỉnh tăng, v.v..

620. Thực hiện việc ước lượng độ trễ dựa trên tín hiệu kênh trái và tín hiệu kênh phải sau khi tiền xử lý trong khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh ước lượng được ở khung hiện tại.

Lượng chênh lệch thời gian liên kênh ước lượng được ở khung hiện tại là tương đương với lượng chênh lệch thời gian liên kênh ở khung hiện tại theo phương pháp 400.

630. Thực hiện việc đồng chỉnh độ trễ trên tín hiệu kênh trái và tín hiệu kênh phải dựa trên lượng chênh lệch thời gian liên kênh ước lượng được ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ.

640. Thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ước lượng được.

Sự chênh lệch thời gian liên kênh sau khi xử lý nội suy là tương đương với sự chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại trong phần mô tả trên đây.

650. Lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy.

660. Xác định hệ số tỷ lệ kết hợp kênh dựa trên tín hiệu lập thể sau khi đồng

chỉnh độ trễ, và lượng tử hoá hệ số tỷ lệ kết hợp kênh này.

670. Thực hiện, dựa trên hệ số tỷ lệ kết hợp kênh, việc xử lý trộn giảm trong miền thời gian trên tín hiệu kênh trái và tín hiệu kênh phải mà thu được sau khi đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

680. Mã hoá, bằng phương pháp mã hoá và giải mã tín hiệu đơn kênh, tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp thu được sau khi xử lý trộn giảm trong miền thời gian.

Phần nêu trên mô tả chi tiết phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án của sáng chế dựa vào các hình vẽ từ Fig.4 đến Fig.6. Cần hiểu rằng, phương pháp giải mã tương ứng với phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án được mô tả dựa vào Fig.4 và Fig. 6 theo sáng chế có thể là phương pháp giải mã hiện có dành cho tín hiệu lập thể. Cụ thể là, phương pháp giải mã tương ứng với phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án được mô tả dựa vào Fig.4 và Fig. 6 theo sáng chế có thể là phương pháp giải mã 200 được thể hiện trên Fig.2.

Phần sau đây mô tả chi tiết phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế dựa vào Fig.7 và Fig.8. Cần hiểu rằng phương pháp mã hoá tương ứng với phương pháp giải mã dành cho tín hiệu lập thể theo các phương án được mô tả dựa vào Fig.7 và Fig.8 theo sáng chế có thể là phương pháp mã hoá hiện có dành cho tín hiệu lập thể, nhưng không thể là phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án được mô tả dựa vào Fig.4 và Fig.6 theo sáng chế.

Fig.7 là hình vẽ thể hiện lưu đồ của phương pháp giải mã dành cho tín hiệu lập thể theo một phương án của sáng chế. Phương pháp 700 có thể được thực hiện bởi đầu giải mã, và đầu giải mã có thể là bộ giải mã hoặc thiết bị có chức năng giải mã tín hiệu lập thể. Phương pháp 700 cụ thể bao gồm các bước như sau.

710. Giải mã luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Cần hiểu rằng ở bước 710, thì phương pháp giải mã tín hiệu kênh sơ cấp là cần phải tương ứng với phương pháp mã hoá tín hiệu kênh sơ cấp bởi đầu mã hoá. Tương tự, phương pháp giải mã kênh thứ cấp cũng cần phải tương ứng với phương pháp mã hoá tín hiệu kênh thứ cấp bởi đầu mã hoá.

Tuỳ ý, luồng bit ở bước 710 có thể là luồng bit mà đầu giải mã nhận được.

Cần hiểu rằng tín hiệu lập thể được xử lý ở đây có thể bao gồm tín hiệu kênh trái và tín hiệu kênh phải, và lượng chênh lệch thời gian liên kênh ở khung hiện tại có thể thu được bằng cách ước lượng, bởi đầu mã hoá, độ trễ của tín hiệu kênh trái và tín hiệu kênh phải, sau đó, lượng chênh lệch thời gian liên kênh ở khung hiện tại này được lượng tử hoá trước khi được truyền đến đầu giải mã (lượng chênh lệch thời gian liên kênh ở khung hiện tại có thể được xác định cụ thể sau khi đầu giải mã giải mã luồng bit nhận được). Ví dụ, đầu mã hoá tính toán hàm tương quan chéo của kênh trái và kênh phải dựa trên tín hiệu kênh trái và tín hiệu kênh phải trong khung hiện tại, sau đó dùng giá trị chỉ số tương ứng với giá trị lớn nhất của hàm tương quan chéo này làm lượng chênh lệch thời gian liên kênh ở khung hiện tại, lượng tử hoá và mã hoá lượng chênh lệch thời gian liên kênh ở khung hiện tại này, và truyền lượng chênh lệch thời gian liên kênh đã được lượng tử hoá đến đầu giải mã. Đầu giải mã giải mã luồng bit nhận được để xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại. Cách thức cụ thể mà theo đó đầu mã hoá ước lượng độ trễ của tín hiệu kênh trái và tín hiệu kênh phải có thể được thể hiện bằng ví dụ 1 đến ví dụ 3 trong phần mô tả trên đây.

720. Thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian.

Cụ thể là, việc xử lý trộn tăng trong miền thời gian có thể được thực hiện, dựa trên hệ số tỷ lệ kết hợp kênh, trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại mà thu được bằng cách giải mã, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian (mà cũng có thể được gọi là tín hiệu kênh trái và tín hiệu kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian).

Cần hiểu rằng đầu mã hoá và đầu giải mã có thể lần lượt sử dụng nhiều phương pháp để thực hiện việc xử lý trộn giảm trong miền thời gian và việc xử lý trộn tăng trong miền thời gian. Tuy nhiên, phương pháp để thực hiện việc xử lý trộn tăng trong miền thời gian bởi đầu giải mã cần phải tương ứng với phương pháp để thực hiện việc xử lý trộn giảm trong miền thời gian bởi đầu mã hoá. Ví dụ, khi đầu mã hoá thu thập tín hiệu

kênh sơ cấp và tín hiệu kênh thứ cấp theo công thức (12), thì đầu giải mã có thể trước hết là thu thập hệ số tỷ lệ kết hợp kênh bằng cách giải mã luồng bit nhận được, và sau đó thu thập tín hiệu kênh trái và tín hiệu kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian theo công thức (13).

$$\begin{bmatrix} \hat{x}'_L(n) \\ \hat{x}'_R(n) \end{bmatrix} = \frac{1}{ratio^2 + (1 - ratio)^2} * \begin{bmatrix} ratio & 1 - ratio \\ 1 - ratio & -ratio \end{bmatrix} * \begin{bmatrix} \hat{Y}(n) \\ \hat{X}(n) \end{bmatrix} \quad (13)$$

Trong công thức (13), $x'_L(n)$ là tín hiệu kênh trái sau khi xử lý trộn tăng trong miền thời gian ở khung hiện tại, $x'_R(n)$ là tín hiệu kênh phải sau khi xử lý trộn tăng trong miền thời gian ở khung hiện tại, $Y(n)$ là tín hiệu kênh sơ cấp ở khung hiện tại mà thu được bằng cách giải mã, $X(n)$ là tín hiệu kênh thứ cấp ở khung hiện tại mà thu được bằng cách giải mã, n là số điểm lấy mẫu, $n = 0, 1, \dots, N - 1$, N là chiều dài khung, và $ratio$ là hệ số tỷ lệ kết hợp kênh mà thu được bằng cách giải mã.

730. Thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại.

Ở bước 730, việc thực hiện xử lý nội suy dựa trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại là tương đương với việc thực hiện xử lý trung bình có trọng số trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại. Theo cách này, thì lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại.

Ở bước 730, thì cách 3 và cách 4 sau đây có thể được sử dụng khi việc xử lý nội suy được thực hiện dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại.

Cách thức 3:

Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại được tính toán theo công thức (14).

$$A = \alpha \bullet B + (1 - \alpha) \bullet C \quad (14)$$

Trong công thức (14), thì A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và α là số thực thoả mãn $0 < \alpha < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là khớp, nhất có thể, với lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc mà không được mã hoá và giải mã.

Giả sử rằng khung hiện tại là khung thứ i, khung đằng trước của khung hiện tại là khung thứ (i - 1). Trong trường hợp này, công thức (14) có thể được biến đổi thành công thức (15).

$$d_{\text{int}}(i) = \alpha \cdot d(i) + (1 - \alpha) \cdot d(i - 1) \quad (15)$$

Trong công thức (15), $d_{\text{int}}(i)$ là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung thứ i, $d(i)$ là lượng chênh lệch thời gian liên kênh ở khung hiện tại, $d(i - 1)$ là lượng chênh lệch thời gian liên kênh ở khung thứ (i - 1).

Hệ số nội suy thứ nhất α trong các công thức (14) và (15) có thể được kỹ thuật viên thiết đặt trực tiếp (có thể được thiết đặt trực tiếp theo kinh nghiệm). Ví dụ, hệ số nội suy thứ nhất α có thể được thiết đặt trực tiếp bằng 0,4 hoặc 0,6.

Tuỳ ý, hệ số nội suy α cũng có thể được xác định dựa trên chiều dài khung của khung hiện tại và độ trễ mã hoá và giải mã. Độ trễ mã hoá và giải mã ở đây có thể bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Ngoài ra, độ trễ mã hoá và giải mã ở đây có thể là tổng của độ trễ mã hoá tại đầu mã hoá và độ trễ giải mã tại đầu giải mã.

Tuỳ ý, hệ số nội suy α có thể tỷ lệ nghịch với độ trễ mã hoá và giải mã, và hệ số nội suy thứ nhất α là tỷ lệ thuận với chiều dài khung của khung hiện tại. Nói cách khác, hệ số nội suy thứ nhất α giảm khi độ trễ mã hoá và giải mã tăng, và tăng khi chiều dài khung của khung hiện tại tăng.

Tuỳ ý, hệ số nội suy thứ nhất α có thể được tính theo công thức (16).

$$\alpha = \frac{N - S}{N} \quad (16)$$

Trong công thức (16), N là chiều dài khung của khung hiện tại, và S là độ trễ mã hoá và giải mã.

Giả sử rằng chiều dài khung của khung hiện tại là 320, và độ trễ mã hoá và giải mã là 192, nói cách khác, $N = 320$, và $S = 192$. Trong trường hợp này, N và S được thay vào công thức (16) để thu được:

$$\alpha = \frac{N - S}{N} = \frac{320 - 192}{320} = 0.4 \quad (17)$$

Cuối cùng, có thể thu được hệ số nội suy thứ nhất α là 0,4.

Tuỳ ý, hệ số nội suy thứ nhất α được lưu trước. Cụ thể là, hệ số nội suy thứ nhất α có thể được lưu trước tại đầu giải mã. Theo cách này, khi thực hiện việc xử lý nội suy, thì đầu giải mã có thể trực tiếp thực hiện việc xử lý nội suy dựa trên hệ số nội suy thứ nhất α được lưu trước này mà không cần tính giá trị của hệ số nội suy thứ nhất α . Điều này có thể giảm sự phức tạp tính toán của tiến trình giải mã và cải thiện hiệu quả giải mã.

Cách thức 4:

Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại được tính toán theo công thức (18).

$$A = (1 - \beta) \cdot B + \beta \cdot C \quad (18)$$

Trong công thức (18), A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, và β là hệ số nội suy thứ hai và là số thực thoả mãn $0 < \beta < 1$.

Lượng chênh lệch thời gian liên kênh có thể được điều chỉnh bằng công thức $A = (1 - \beta) \cdot B + \beta \cdot C$, nên lượng chênh lệch thời gian liên kênh thu được cuối cùng sau

khi xử lý nội suy trong khung hiện tại là nằm giữa lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, và lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại là khớp, nhất có thể, với lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc mà không được mã hoá và giải mã.

Giả sử rằng khung hiện tại là khung thứ i , khung đằng trước của khung hiện tại là khung thứ $(i - 1)$. Trong trường hợp này, công thức (18) có thể được biến đổi thành công thức sau đây:

$$d_{\text{int}}(i) = (1 - \beta) \cdot d(i) + \beta \cdot d(i - 1) \quad (19)$$

Trong công thức (15), $d_{\text{int}}(i)$ là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung thứ i , $d(i)$ là lượng chênh lệch thời gian liên kênh ở khung hiện tại, $d(i - 1)$ là lượng chênh lệch thời gian liên kênh ở khung thứ $(i - 1)$.

Tương tự như cách thức thiết đặt hệ số nội suy thứ nhất α , thì hệ số nội suy thứ hai β cũng có thể được kỹ thuật viên thiết đặt trực tiếp (có thể trực tiếp được thiết đặt theo kinh nghiệm). Ví dụ, hệ số nội suy thứ hai β có thể được thiết đặt trực tiếp là 0,6 hoặc 0,4.

Tuy ý, hệ số nội suy thứ hai β cũng có thể được xác định dựa trên chiều dài khung của khung hiện tại và độ trễ mã hoá và giải mã. Độ trễ mã hoá và giải mã ở đây có thể bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Ngoài ra, độ trễ mã hoá và giải mã ở đây có thể là tổng của độ trễ mã hoá tại đầu mã hoá và độ trễ giải mã tại đầu giải mã.

Tuy ý, hệ số nội suy thứ hai β có thể tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại. Nói cách khác, hệ số nội suy thứ hai β tăng khi độ trễ mã hoá và giải mã tăng, và giảm khi chiều dài khung của khung hiện tại tăng.

Tuy ý, hệ số nội suy thứ hai β có thể được xác định theo công thức (20).

$$\beta = \frac{S}{N} \quad (20)$$

Trong công thức (20), N là chiều dài khung của khung hiện tại, và S là độ trễ mã hoá và giải mã.

Giả sử rằng $N = 320$, và $S = 192$. Trong trường hợp này, $N = 320$ và $S = 192$ được thay vào công thức (20) để thu được:

$$\beta = \frac{S}{N} = \frac{192}{320} = 0.6 \quad (21)$$

Cuối cùng, có thể thu được hệ số nội suy thứ hai β là 0,6.

Tuỳ ý, hệ số nội suy thứ hai β là được lưu trước. Cụ thể là, hệ số nội suy thứ hai β có thể được lưu trước tại đầu giải mã. Theo cách này, khi thực hiện xử lý nội suy, thì đầu giải mã có thể trực tiếp thực hiện việc xử lý nội suy dựa trên hệ số nội suy thứ hai β được lưu trước này mà không cần tính giá trị của hệ số nội suy thứ hai β . Điều này có thể giảm sự phức tạp tính toán của tiến trình giải mã và cải thiện hiệu quả giải mã.

740. Điều chỉnh độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại.

Cần hiểu rằng, tuỳ ý, tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải, mà thu được sau khi điều chỉnh độ trễ, là các tín hiệu lập thể giải mã được.

Tuỳ ý, sau bước 740, phương pháp này có thể còn bao gồm bước thu thập các tín hiệu lập thể giải mã được dựa trên tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi điều chỉnh độ trễ. Ví dụ, việc xử lý chỉnh giảm được thực hiện trên tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải, mà thu được sau khi điều chỉnh độ trễ, để thu được các tín hiệu lập thể giải mã được. Theo ví dụ khác, việc hậu xử lý được thực hiện trên tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải, mà thu được sau khi điều chỉnh độ trễ, để thu được các tín hiệu lập thể giải mã được.

Theo sáng chế, bằng cách thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đăng trước của khung hiện tại, thì lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại có thể hiện khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã

và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Cụ thể là, sự khác biệt giữa tín hiệu trong tín hiệu lập thể cuối cùng thu được theo phương pháp 700 và tín hiệu đó trong tín hiệu lập thể gốc có thể được thể hiện trên Fig.5. Bằng cách so sánh Fig.5 và Fig.3, thì có thể thấy rằng, trên Fig.5, độ trễ giữa tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và tín hiệu đó trong tín hiệu lập thể gốc đã trở nên rất nhỏ. Cụ thể là, khi giá trị của lượng chênh lệch thời gian liên kênh thay đổi mạnh (như được thể hiện bởi vùng trong khung chữ nhật trên Fig.5), thì sự sai lệch độ trễ giữa tín hiệu kênh mà cuối cùng thu được bởi đầu giải mã và tín hiệu kênh gốc là cũng rất nhỏ. Nói cách khác, theo phương pháp giải mã dành cho tín hiệu lập thể theo phương án này của sáng chế, thì sự sai lệch độ trễ giữa tín hiệu trong tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã, và tín hiệu đó trong tín hiệu lập thể gốc, là có thể được giảm.

Cần hiểu rằng phương pháp mã hoá của đầu mã hoá mà tương ứng với phương pháp 700 có thể là phương pháp mã hoá lập thể trong miền thời gian hiện có. Ví dụ, phương pháp mã hoá lập thể trong miền thời gian mà tương ứng với phương pháp 700 có thể là phương pháp 100 được thể hiện trên Fig.1.

Tiến trình chi tiết của phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế được mô tả dưới đây dựa vào Fig.8.

Fig.8 là hình vẽ thể hiện lưu đồ của phương pháp giải mã dành cho tín hiệu lập thể theo một phương án của sáng chế. Phương pháp 800 có thể được thực hiện bởi đầu giải mã, và đầu giải mã có thể là bộ giải mã hoặc thiết bị có chức năng giải mã tín hiệu kênh. Phương pháp 800 cụ thể bao gồm các bước như sau.

810. Giải mã lần lượt tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp dựa trên luồng bit nhận được.

Cụ thể là, phương pháp giải mã để giải mã tín hiệu kênh sơ cấp bởi đầu giải mã là tương ứng với phương pháp mã hoá để mã hoá tín hiệu kênh sơ cấp bởi đầu mã hoá. Phương pháp giải mã để giải mã tín hiệu kênh thứ cấp bởi đầu giải mã là tương ứng với phương pháp mã hoá để mã hoá tín hiệu kênh thứ cấp bởi đầu mã hoá.

820. Giải mã luồng bit nhận được để thu được hệ số tỷ lệ kết hợp kênh.

Cụ thể là, luồng bit nhận được có thể được giải mã để thu được chỉ số mã hoá của hệ số tỷ lệ kết hợp kênh, sau đó, hệ số tỷ lệ kết hợp kênh được thu thập bằng cách giải mã dựa trên chỉ số mã hoá thu được của hệ số tỷ lệ kết hợp kênh.

830. Thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp dựa trên hệ số tỷ lệ kết hợp kênh, để thu được tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian.

840. Giải mã luồng bit nhận được để thu được lượng chênh lệch thời gian liên kênh ở khung hiện tại.

850. Thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, mà thu được bằng cách giải mã, và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại.

860. Điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy, độ trễ của tín hiệu tái tạo được của kênh trái và tín hiệu tái tạo được của kênh phải mà thu được sau khi xử lý trộn tăng trong miền thời gian, để thu được tín hiệu lập thể được giải mã.

Cần hiểu rằng theo sáng chế, thì tiến trình thực hiện xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước là có thể được thực hiện tại đầu mã hoá hoặc đầu giải mã. Sau khi việc xử lý nội suy được thực hiện tại đầu mã hoá dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước, thì việc xử lý nội suy không cần được thực hiện tại đầu giải mã, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại có thể được thu thập trực tiếp dựa trên luồng bit, và việc điều chỉnh độ trễ sau đó là được thực hiện dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại. Tuy nhiên, khi việc xử lý nội suy không được thực hiện tại đầu mã hoá, thì đầu giải mã cần phải thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước, và sau đó thực hiện việc điều chỉnh độ trễ sau đó dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại mà thu được thông qua việc xử lý nội suy.

Phần nêu trên mô tả chi tiết phương pháp mã hoá và phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế dựa vào các hình vẽ từ Fig.1 đến Fig.8. Phần sau đây mô tả thiết bị mã hoá và thiết bị giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế dựa vào các hình vẽ từ Fig.9 đến Fig.12. Cần hiểu rằng thiết bị mã hoá trên các hình vẽ từ Fig.9 đến Fig.12 là tương ứng với phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án của sáng chế, và thiết bị mã hoá này có thể thực hiện phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án của sáng chế. Thiết bị giải mã trên các hình vẽ từ Fig.9 đến Fig.12 là tương ứng với phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế, và thiết bị giải mã này có thể thực hiện phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế. Để cho ngắn gọn, thì dưới đây, những phần mô tả lặp lại sẽ được lược bỏ một cách phù hợp.

Fig.9 là hình vẽ thể hiện sơ đồ khối của thiết bị mã hoá theo một phương án của sáng chế. Thiết bị mã hoá 900 trên Fig.9 bao gồm:

môđun xác định 910, được tạo cấu hình để xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại;

môđun nội suy 920, được tạo cấu hình để thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại;

môđun đồng chỉnh độ trễ 930, được tạo cấu hình để thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại;

môđun trộn giảm 940, được tạo cấu hình để thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại; và

môđun mã hoá 950, được tạo cấu hình để lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá vào luồng bit.

Môđun mã hoá 950 còn được tạo cấu hình để lượng tử hoá tín hiệu kênh sơ cấp

và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá vào luồng bit.

Theo sáng chế, sự chênh lệch thời gian liên kênh ở khung hiện tại là được sử dụng ở thiết bị mã hoá để thực hiện việc đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Tuy nhiên, việc xử lý nội suy là được thực hiện trên sự chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, nên lượng chênh lệch thời gian liên kênh ở khung hiện tại, mà thu được sau khi xử lý nội suy, là có thể khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách mã hoá và giải mã. Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy này được mã hoá rồi được truyền đến đầu giải mã, để đầu giải mã có thể thực hiện việc giải mã dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại mà khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là được lưu trước.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = (1-\beta) \bullet B + \beta \bullet C$.

Trong công thức này, thì A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, β là hệ số nội suy thứ hai, và $0 < \beta < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β thoả mãn công thức $\beta = S/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là được lưu trước.

Fig.10 là hình vẽ thể hiện sơ đồ khối của thiết bị giải mã theo một phương án của sáng chế. Thiết bị giải mã 1000 được thể hiện trên Fig.10 bao gồm:

môđun giải mã 1010, được tạo cấu hình để giải mã luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và lượng chênh lệch thời gian liên kênh ở khung hiện tại;

môđun trộn tăng 1020, được tạo cấu hình để thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp trong khung hiện tại, để thu thập tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn tăng trong miền thời gian;

môđun nội suy 1030, được tạo cấu hình để thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại; và

môđun điều chỉnh độ trễ 1040, được tạo cấu hình để điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, độ trễ của

tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn tăng trong miền thời gian.

Theo sáng chế, bằng cách thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, thì lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại có thể hiện khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là được lưu trước.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = (1 - \beta) \bullet B + \beta \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian

liên kênh ở khung đằng trước của khung hiện tại, β là hệ số nội suy thứ hai, và $0 < \beta < 1$.

Tùy ý, theo một phương án, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tùy ý, theo một phương án, hệ số nội suy thứ hai β thỏa mãn công thức $\beta = S/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tùy ý, theo một phương án, hệ số nội suy thứ hai β là được lưu trước.

Fig.11 là hình vẽ thể hiện sơ đồ khối của thiết bị mã hoá theo một phương án của sáng chế. Thiết bị mã hoá 1100 được thể hiện trên Fig.11 bao gồm:

bộ nhớ 1110, được tạo cấu hình để lưu giữ chương trình; và

bộ xử lý 1120, được tạo cấu hình để thực thi chương trình được lưu giữ trong bộ nhớ 1110, trong đó khi chương trình trong bộ nhớ 1110 được thực thi, thì bộ xử lý 1120 được tạo cấu hình cụ thể để: thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại; thực hiện việc đồng chỉnh độ trễ trên tín hiệu lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại; thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu lập thể sau khi đồng chỉnh độ trễ ở khung hiện tại, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại; lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá vào luồng bit; và lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá vào luồng bit.

Theo sáng chế, sự chênh lệch thời gian liên kênh ở khung hiện tại là được sử dụng ở thiết bị mã hoá để thực hiện việc đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp. Tuy nhiên, việc xử lý nội suy là được thực hiện trên sự

chênh lệch thời gian liên kênh ở khung hiện tại và sự chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, nên lượng chênh lệch thời gian liên kênh ở khung hiện tại, mà thu được sau khi xử lý nội suy, là có thể khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách mã hoá và giải mã. Lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy này được mã hoá rồi được truyền đến đầu giải mã, để đầu giải mã có thể thực hiện việc giải mã dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại mà khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là được lưu trước.

Hệ số nội suy thứ nhất α có thể được lưu giữ ở bộ nhớ 1110.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = (1 - \beta) \bullet B + \beta \bullet C$.

Trong công thức này, thì A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy trong khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, β là hệ số nội suy thứ hai, và $0 < \beta < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β thoả mãn công thức $\beta = S/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là được lưu trước.

Hệ số nội suy thứ hai β có thể được lưu giữ ở bộ nhớ 1110.

Fig.12 là hình vẽ thể hiện sơ đồ khối của thiết bị giải mã theo một phương án của sáng chế. Thiết bị giải mã 1200 được thể hiện trên Fig.12 bao gồm:

bộ nhớ 1210, được tạo cấu hình để lưu giữ chương trình; và

bộ xử lý 1220, được tạo cấu hình để thực thi chương trình được lưu giữ trong bộ nhớ 1210, trong đó khi chương trình trong bộ nhớ 1210 được thực thi, thì bộ xử lý 1220 được tạo cấu hình cụ thể để: giải mã luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại; thực hiện việc xử lý trộn tăng trong miền thời gian trên tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp trong khung hiện tại, để thu thập tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn tăng trong miền thời gian; thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại; và điều chỉnh, dựa trên lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, độ trễ của tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn tăng trong miền thời gian.

Theo sáng chế, bằng cách thực hiện việc xử lý nội suy trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng

trước của khung hiện tại, thì lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại có thể hiện khớp với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được bằng cách giải mã. Điều này có thể làm giảm sự sai lệch giữa lượng chênh lệch thời gian liên kênh của tín hiệu lập thể mà cuối cùng thu được bằng cách giải mã và lượng chênh lệch thời gian liên kênh của tín hiệu lập thể gốc. Do đó, độ chính xác của hình ảnh âm thanh lập thể của tín hiệu lập thể, mà cuối cùng thu được bằng cách giải mã, là được cải thiện.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ nhất α là được lưu trước.

Hệ số nội suy thứ nhất α có thể được lưu giữ ở bộ nhớ 1210.

Tuỳ ý, theo một phương án, lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính theo công thức $A = (1 - \beta) \bullet B + \beta \bullet C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, β là hệ số nội suy thứ hai, và $0 < \beta < 1$.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là tỷ lệ thuận với độ trễ mã hoá và giải mã, và tỷ lệ nghịch với chiều dài khung của khung hiện tại, trong đó độ trễ

mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β thoả mãn công thức $\beta = S/N$, trong đó

S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

Tuỳ ý, theo một phương án, hệ số nội suy thứ hai β là được lưu trước.

Hệ số nội suy thứ hai β có thể được lưu giữ ở bộ nhớ 1210.

Cần hiểu rằng phương pháp mã hoá và phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế là có thể được thực hiện bởi thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.13 đến Fig.15. Ngoài ra, thiết bị mã hoá và thiết bị giải mã theo các phương án của sáng chế có thể còn được bố trí ở thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.13 đến Fig.15. Cụ thể là, thiết bị mã hoá theo các phương án của sáng chế có thể là bộ mã hoá lập thể trong thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.13 đến Fig.15, và thiết bị giải mã theo các phương án của sáng chế có thể là bộ giải mã lập thể trong thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.13 đến Fig.15.

Như được thể hiện trên Fig.13, trong quá trình truyền thông âm thanh, thì bộ mã hoá lập thể ở thiết bị đầu cuối thứ nhất thực hiện việc mã hoá lập thể trên tín hiệu lập thể thu thập được, và bộ mã hoá kênh ở thiết bị đầu cuối thứ nhất này có thể thực hiện việc mã hoá kênh trên luồng bit mà bộ mã hoá lập thể này thu được. Tiếp theo, dữ liệu mà thiết bị đầu cuối thứ nhất thu được sau khi mã hoá kênh được truyền đến thiết bị đầu cuối thứ hai nhờ sử dụng thiết bị mạng thứ nhất và thiết bị mạng thứ hai. Sau khi thiết bị đầu cuối thứ hai nhận được dữ liệu từ thiết bị mạng thứ hai, thì bộ giải mã kênh ở thiết bị đầu cuối thứ hai thực hiện việc giải mã kênh, để thu được luồng bit được mã hoá tín hiệu lập thể. Sau đó, bộ giải mã lập thể ở thiết bị đầu cuối thứ hai khôi phục tín hiệu lập thể bằng cách giải mã, và thiết bị đầu cuối này phát lại tín hiệu lập thể này. Theo cách này, thì quá trình truyền thông âm thanh được thực hiện giữa các thiết bị đầu cuối khác nhau.

Cần hiểu rằng, trên Fig.13, thì thiết bị đầu cuối thứ hai cũng có thể mã hoá tín

hiệu lập thể thu thập được, và cuối cùng là truyền, nhờ sử dụng thiết bị mạng thứ hai và thiết bị mạng thứ nhất, dữ liệu mà cuối cùng thu được bằng cách mã hoá, đến thiết bị đầu cuối thứ nhất. Thiết bị đầu cuối thứ nhất thực hiện việc giải mã kênh và giải mã lập thể trên dữ liệu này để thu được tín hiệu lập thể.

Trên Fig.13, thì thiết bị mạng thứ nhất và thiết bị mạng thứ hai có thể là các thiết bị truyền thông mạng không dây hoặc là các thiết bị truyền thông mạng dùng dây. Thiết bị mạng thứ nhất và thiết bị mạng thứ hai có thể truyền thông với nhau bằng kênh số.

Thiết bị đầu cuối thứ nhất hoặc thiết bị đầu cuối thứ hai trên Fig.13 có thể thực hiện phương pháp mã hoá và phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế. Thiết bị mã hoá và thiết bị giải mã theo các phương án của sáng chế có thể lần lượt là bộ mã hoá lập thể và bộ giải mã lập thể ở thiết bị đầu cuối thứ nhất hoặc thiết bị đầu cuối thứ hai.

Trong quá trình truyền thông âm thanh, thì thiết bị mạng có thể thực hiện việc chuyển mã đối với định dạng mã hoá và giải mã của tín hiệu âm thanh. Như được thể hiện trên Fig.14, nếu định dạng mã hoá và giải mã của tín hiệu mà thiết bị mạng nhận được là định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể khác, thì bộ giải mã kênh ở thiết bị mạng thực hiện việc giải mã kênh trên tín hiệu nhận được, để thu được luồng bit được mã hoá tương ứng với bộ giải mã lập thể khác đó. Bộ giải mã lập thể khác đó giải mã luồng bit được mã hoá này, để thu được tín hiệu lập thể. Bộ mã hoá lập thể mã hoá tín hiệu lập thể này để thu được luồng bit được mã hoá của tín hiệu lập thể này. Cuối cùng, bộ mã hoá kênh thực hiện việc mã hoá kênh trên luồng bit được mã hoá của tín hiệu lập thể này, để thu được tín hiệu cuối cùng (tín hiệu này có thể được truyền đến thiết bị đầu cuối hoặc thiết bị mạng khác). Cần hiểu rằng định dạng mã hoá và giải mã tương ứng với bộ mã hoá lập thể trên Fig.14 là khác với định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể khác nêu trên. Giả sử rằng định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể khác nêu trên là định dạng mã hoá và giải mã thứ nhất, và định dạng mã hoá và giải mã tương ứng với bộ mã hoá lập thể là định dạng mã hoá và giải mã thứ hai. Trên Fig.14, thiết bị mạng chuyển đổi tín hiệu âm thanh từ định dạng mã hoá và giải mã thứ nhất sang định dạng mã hoá và giải mã thứ hai.

Tương tự, như được thể hiện trên Fig.15, nếu định dạng mã hoá và giải mã của

tín hiệu mà thiết bị mạng nhận được là giống với định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể, sau khi bộ giải mã kênh của thiết bị mạng thực hiện việc giải mã kênh để thu được luồng bit được mã hoá của tín hiệu lập thể, thì bộ giải mã lập thể này có thể giải mã luồng bit được mã hoá của tín hiệu lập thể này, để thu được tín hiệu lập thể. Tiếp theo, bộ mã hoá lập thể khác mã hoá tín hiệu lập thể này dựa trên định dạng mã hoá và giải mã khác để thu được luồng bit được mã hoá tương ứng với bộ mã hoá lập thể khác đó. Cuối cùng, bộ mã hoá kênh thực hiện việc mã hoá kênh trên luồng bit được mã hoá tương ứng với bộ mã hoá lập thể khác đó, để thu được tín hiệu cuối cùng (tín hiệu này có thể được truyền đến thiết bị đầu cuối hoặc thiết bị mạng khác). Giống như trường hợp trên Fig.14, định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể trên Fig.15 là cũng khác với định dạng mã hoá và giải mã tương ứng với bộ mã hoá lập thể khác nêu trên. Nếu định dạng mã hoá và giải mã tương ứng với bộ mã hoá lập thể khác nêu trên là định dạng mã hoá và giải mã thứ nhất, và định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể là định dạng mã hoá và giải mã thứ hai, thì trên Fig.15, thiết bị mạng chuyển đổi tín hiệu âm thanh từ định dạng mã hoá và giải mã thứ hai sang định dạng mã hoá và giải mã thứ nhất.

Trên Fig.14 và Fig.15, thì bộ mã hoá và bộ giải mã lập thể khác nêu trên và bộ mã hoá và bộ giải mã lập thể nêu trên là lần lượt tương ứng với các định dạng mã hoá và giải mã khác nhau. Do đó, việc chuyển mã đối với định dạng mã hoá và giải mã của tín hiệu lập thể là được thực hiện sau quá trình xử lý của bộ mã hoá và bộ giải mã lập thể khác nêu trên và bộ mã hoá và bộ giải mã lập thể nêu trên.

Cần hiểu thêm rằng bộ mã hoá lập thể trên Fig.14 có thể thực hiện phương pháp mã hoá dành cho tín hiệu lập thể theo các phương án của sáng chế, và bộ giải mã lập thể trên Fig.15 có thể thực hiện phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế. Thiết bị mã hoá theo các phương án của sáng chế có thể là bộ mã hoá lập thể ở thiết bị mạng trên Fig.14, và thiết bị giải mã theo các phương án của sáng chế có thể là bộ giải mã lập thể ở thiết bị mạng trên Fig.15. Ngoài ra, thiết bị mạng trên Fig.14 và Fig.15 có thể cụ thể là thiết bị truyền thông mạng không dây hoặc thiết bị truyền thông mạng dùng dây.

Cần hiểu rằng phương pháp mã hoá và phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế cũng có thể được thực hiện bởi thiết bị đầu

cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.16 đến Fig.18. Ngoài ra, thiết bị mã hoá và thiết bị giải mã theo các phương án của sáng chế có thể còn được bố trí ở thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.16 đến Fig.18. Cụ thể là, thiết bị mã hoá theo các phương án của sáng chế có thể là bộ mã hoá lập thể ở bộ mã hoá đa kênh trong thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.16 đến Fig.18, và thiết bị giải mã theo các phương án của sáng chế có thể là bộ giải mã lập thể ở bộ mã hoá đa kênh trong thiết bị đầu cuối hoặc thiết bị mạng trên các hình vẽ từ Fig.16 đến Fig.18.

Như được thể hiện trên Fig.16, trong quá trình truyền thông âm thanh, thì bộ mã hoá lập thể ở bộ mã hoá đa kênh trong thiết bị đầu cuối thứ nhất thực hiện việc mã hoá lập thể trên tín hiệu lập thể mà được tạo ra từ tín hiệu đa kênh thu thập được. Luồng bit mà bộ mã hoá đa kênh này thu được là bao gồm luồng bit mà bộ mã hoá lập thể này thu được. Bộ mã hoá kênh ở thiết bị đầu cuối thứ nhất có thể còn thực hiện việc mã hoá kênh trên luồng bit mà bộ mã hoá đa kênh này thu được. Tiếp theo, dữ liệu mà thiết bị đầu cuối thứ nhất thu được sau khi mã hoá kênh được truyền đến thiết bị đầu cuối thứ hai nhờ sử dụng thiết bị mạng thứ nhất và thiết bị mạng thứ hai. Sau khi thiết bị đầu cuối thứ hai nhận được dữ liệu từ thiết bị mạng thứ hai, thì bộ giải mã kênh của thiết bị đầu cuối thứ hai thực hiện việc giải mã kênh, để thu được luồng bit được mã hoá của tín hiệu đa kênh, trong đó luồng bit được mã hoá của tín hiệu đa kênh này bao gồm luồng bit được mã hoá của tín hiệu lập thể. Bộ giải mã lập thể ở bộ giải mã đa kênh trong thiết bị đầu cuối thứ hai khôi phục tín hiệu lập thể bằng cách giải mã. Bộ giải mã đa kênh này giải mã tín hiệu lập thể khôi phục được để thu được tín hiệu đa kênh. Thiết bị đầu cuối thứ hai phát lại tín hiệu đa kênh này. Theo cách này, thì quá trình truyền thông âm thanh được thực hiện giữa các thiết bị đầu cuối khác nhau.

Cần hiểu rằng, trên Fig.16, thì thiết bị đầu cuối thứ hai cũng có thể mã hoá tín hiệu đa kênh thu thập được (cụ thể là, bộ mã hoá lập thể ở bộ mã hoá đa kênh của thiết bị đầu cuối thứ hai thực hiện việc mã hoá lập thể trên tín hiệu lập thể được tạo ra từ tín hiệu đa kênh thu thập được này, sau đó, bộ mã hoá kênh trong thiết bị đầu cuối thứ hai thực hiện việc mã hoá kênh trên luồng bit mà bộ mã hoá đa kênh thu được), và cuối cùng, dữ liệu thu được được truyền đến thiết bị đầu cuối thứ nhất nhờ sử dụng thiết bị mạng thứ hai và thiết bị mạng thứ nhất. Thiết bị đầu cuối thứ nhất thu thập tín hiệu đa kênh bằng cách giải mã kênh và giải mã đa kênh.

Trên Fig.16, thì thiết bị mạng thứ nhất và thiết bị mạng thứ hai có thể là các thiết bị truyền thông mạng không dây hoặc là các thiết bị truyền thông mạng dùng dây. Thiết bị mạng thứ nhất và thiết bị mạng thứ hai có thể truyền thông với nhau bằng kênh số.

Thiết bị đầu cuối thứ nhất hoặc thiết bị đầu cuối thứ hai trên Fig.16 có thể thực hiện phương pháp mã hoá và phương pháp giải mã dành cho tín hiệu lập thể theo các phương án của sáng chế. Ngoài ra, thiết bị mã hoá theo các phương án của sáng chế có thể là bộ mã hoá lập thể ở thiết bị đầu cuối thứ nhất hoặc thiết bị đầu cuối thứ hai, và thiết bị giải mã theo các phương án của sáng chế có thể là bộ giải mã lập thể ở thiết bị đầu cuối thứ nhất hoặc thiết bị đầu cuối thứ hai.

Trong quá trình truyền thông âm thanh, thì thiết bị mạng có thể thực hiện việc chuyển mã đối với định dạng mã hoá và giải mã của tín hiệu âm thanh. Như được thể hiện trên Fig.17, nếu định dạng mã hoá và giải mã của tín hiệu mà thiết bị mạng nhận được là định dạng mã hoá và giải mã tương ứng với bộ giải mã đa kênh khác, thì bộ giải mã kênh ở thiết bị mạng thực hiện việc giải mã kênh trên tín hiệu nhận được, để thu được luồng bit được mã hoá tương ứng với bộ giải mã đa kênh khác đó. Bộ giải mã đa kênh khác đó giải mã luồng bit được mã hoá, để thu được tín hiệu đa kênh. Bộ mã hoá đa kênh mã hoá tín hiệu đa kênh này, để thu được luồng bit được mã hoá của tín hiệu đa kênh này. Bộ mã hoá lập thể ở bộ mã hoá đa kênh này thực hiện việc mã hoá lập thể trên tín hiệu lập thể được tạo ra từ tín hiệu đa kênh này để thu được luồng bit được mã hoá của tín hiệu lập thể này. Luồng bit được mã hoá của tín hiệu đa kênh này bao gồm luồng bit được mã hoá của tín hiệu lập thể này. Cuối cùng, bộ mã hoá kênh thực hiện việc mã hoá kênh trên luồng bit được mã hoá này, để thu được tín hiệu cuối cùng (tín hiệu này có thể được truyền đến thiết bị đầu cuối hoặc thiết bị mạng khác).

Tương tự, như được thể hiện trên Fig.18, nếu định dạng mã hoá và giải mã của tín hiệu mà thiết bị mạng nhận được là giống như định dạng mã hoá và giải mã tương ứng với bộ giải mã đa kênh, sau khi bộ giải mã kênh của thiết bị mạng thực hiện việc giải mã kênh để thu được luồng bit được mã hoá của tín hiệu đa kênh, thì bộ giải mã đa kênh này có thể giải mã luồng bit được mã hoá của tín hiệu đa kênh này, để thu được tín hiệu đa kênh, trong đó bộ giải mã lập thể ở bộ giải mã đa kênh này thực hiện việc giải mã lập thể trên luồng bit được mã hoá của tín hiệu lập thể trong luồng bit được mã hoá của tín hiệu đa kênh này. Tiếp theo, bộ mã hoá đa kênh khác mã hoá tín hiệu đa

kênh này dựa trên định dạng mã hoá và giải mã khác, để thu được luồng bit được mã hoá của tín hiệu đa kênh tương ứng với bộ mã hoá đa kênh khác đó. Cuối cùng, bộ mã hoá kênh thực hiện việc mã hoá kênh trên luồng bit được mã hoá tương ứng với bộ mã hoá đa kênh khác đó, để thu được tín hiệu cuối cùng (tín hiệu này có thể được truyền đến thiết bị đầu cuối hoặc thiết bị mạng khác).

Cần hiểu rằng, trên Fig.17 và Fig.18, thì bộ mã hoá và bộ giải mã đa kênh khác nêu trên và bộ mã hoá và bộ giải mã đa kênh nêu trên là lần lượt tương ứng với các định dạng mã hoá và giải mã khác nhau. Ví dụ, trên Fig.17, thì định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể khác nêu trên là định dạng mã hoá và giải mã thứ nhất, và định dạng mã hoá và giải mã tương ứng với bộ mã hoá đa kênh nêu trên là định dạng mã hoá và giải mã thứ hai. Trong trường hợp này, trên Fig.17, thiết bị mạng chuyển đổi tín hiệu âm thanh từ định dạng mã hoá và giải mã thứ nhất sang định dạng mã hoá và giải mã thứ hai. Tương tự, trên Fig.18, giả sử rằng định dạng mã hoá và giải mã tương ứng với bộ mã hoá đa kênh là định dạng mã hoá và giải mã thứ hai, và định dạng mã hoá và giải mã tương ứng với bộ giải mã lập thể khác nêu trên là định dạng mã hoá và giải mã thứ nhất. Trong trường hợp này, trên Fig.18, thiết bị mạng chuyển đổi tín hiệu âm thanh từ định dạng mã hoá và giải mã thứ hai sang định dạng mã hoá và giải mã thứ nhất. Do đó, việc chuyển mã đối với định dạng mã hoá và giải mã của tín hiệu âm thanh là được thực hiện sau quá trình xử lý của bộ mã hoá và bộ giải mã đa kênh khác nêu trên và bộ mã hoá và bộ giải mã đa kênh nêu trên.

Cần hiểu thêm rằng bộ mã hoá lập thể trên Fig.17 có thể thực hiện phương pháp mã hoá dành cho tín hiệu lập thể theo sáng chế, và bộ giải mã lập thể trên Fig.18 có thể thực hiện phương pháp giải mã dành cho tín hiệu lập thể theo sáng chế. Thiết bị mã hoá theo các phương án của sáng chế có thể là bộ mã hoá lập thể ở thiết bị mạng trên Fig.17, và thiết bị giải mã theo các phương án của sáng chế có thể là bộ giải mã lập thể ở thiết bị mạng trên Fig.18. Ngoài ra, thiết bị mạng trên Fig.17 và Fig.18 có thể cụ thể là thiết bị truyền thông mạng không dây hoặc thiết bị truyền thông mạng dùng dây.

Dựa vào các ví dụ được mô tả ở các phương án trong phần mô tả này, thì người có kiến thức trung bình trong lĩnh vực có thể thấy rằng các đơn vị và các bước thuật toán nêu trên là có thể được thực hiện bằng phần cứng điện tử, hoặc tổ hợp giữa phần mềm máy tính và phần cứng điện tử. Việc các chức năng này được thực hiện bằng phần

cứng hay phần mềm là phụ thuộc vào các ứng dụng cụ thể và các điều kiện ràng buộc về thiết kế của các giải pháp kỹ thuật. Người có kiến thức trung bình trong lĩnh vực có thể sử dụng các phương pháp khác để thực hiện các chức năng được mô tả đối với mỗi ứng dụng cụ thể, nhưng điều này không được coi là cách thức thực hiện đó nằm ngoài phạm vi của sáng chế.

Người có kiến thức trung bình trong lĩnh vực có thể hiểu rõ rằng, để cho việc mô tả được thuận tiện và ngắn gọn, thì chi tiết về tiến trình hoạt động của hệ thống, thiết bị, và đơn vị nêu trên là có thể được tìm thấy ở tiến trình tương ứng trong các phương án về phương pháp nêu trên, nên các chi tiết không được mô tả lại ở đây.

Ở vài phương án được cung cấp theo sáng chế, thì cần hiểu rằng các hệ thống, các thiết bị, và các phương pháp được bộc lộ là có thể được thực hiện theo những cách khác. Ví dụ, các phương án về thiết bị được mô tả chỉ là những ví dụ. Ví dụ, cách chia thành đơn vị nêu trên chỉ là cách chia theo chức năng logic, và có thể là cách chia khác khi thực hiện thực tế. Ví dụ, nhiều đơn vị hoặc thành phần có thể được kết hợp hoặc được tích hợp vào hệ thống khác, hoặc một số dấu hiệu có thể được bỏ qua hoặc không được thực hiện. Ngoài ra, những sự ghép nối với nhau, hoặc những sự ghép nối trực tiếp, hoặc các kết nối truyền thông đã được thể hiện hoặc được mô tả nêu trên, là có thể được thực hiện bằng một số giao diện. Các mối ghép hoặc các kết nối giao tiếp gián tiếp giữa các thiết bị hoặc các đơn vị là có thể được thực hiện về mặt điện tử, cơ học, hoặc các dạng khác.

Các đơn vị mà được mô tả dưới dạng các bộ phận riêng rẽ thì có thể là hoặc không phải là riêng rẽ về mặt vật lý, và các bộ phận mà được thể hiện dưới dạng các đơn vị thì có thể là hoặc không phải là các đơn vị vật lý, có thể được đặt tại một vị trí, hoặc có thể được rải rác trên nhiều đơn vị mạng. Một số hoặc tất cả trong số các đơn vị này có thể được chọn dựa trên các yêu cầu thực tế để đạt được các mục đích của các phương án này.

Ngoài ra, các đơn vị chức năng theo các phương án của sáng chế là có thể được tích hợp vào một khối xử lý, hoặc mỗi trong số các đơn vị này có thể tồn tại một mình về mặt vật lý, hoặc hai hay nhiều đơn vị được hợp nhất thành một đơn vị.

Khi các chức năng này được thực hiện dưới dạng đơn vị chức năng phần mềm và được bán hoặc được sử dụng dưới dạng sản phẩm độc lập, thì các chức năng này có

thể được lưu giữ trên phương tiện lưu trữ đọc được bằng máy tính. Dựa trên cách hiểu đó, thì các giải pháp kỹ thuật theo sáng chế, hoặc phần mà góp phần vào giải pháp kỹ thuật đã biết, hoặc một số trong số các giải pháp kỹ thuật này, là có thể được thực hiện dưới dạng sản phẩm phần mềm. Sản phẩm phần mềm này được lưu giữ trên phương tiện lưu trữ, và bao gồm một số chỉ dẫn để chỉ dẫn cho thiết bị máy tính (có thể là máy tính cá nhân, máy chủ, thiết bị mạng, v.v.) thực hiện toàn bộ hoặc một số trong số các bước của các phương pháp đã được mô tả theo các phương án của sáng chế. Phương tiện lưu trữ nêu trên bao gồm: các phương tiện bất kỳ mà có thể lưu giữ mã chương trình, chẳng hạn ổ đĩa USB (Universal Serial Bus - buýt nối tiếp vạn năng), đĩa cứng tháo ra được, ROM (Read Only Memory - bộ nhớ chỉ đọc), RAM (Random Access Memory - bộ nhớ truy cập ngẫu nhiên), đĩa từ, hoặc đĩa quang.

Phần mô tả nêu trên chỉ là những cách thức thực hiện cụ thể của sáng chế, chứ không nhằm giới hạn phạm vi bảo hộ của sáng chế. Bất kỳ phương án biến thể hoặc phương án thay thế nào mà người có hiểu biết trung bình trong lĩnh vực dễ dàng tạo ra trong phạm vi kỹ thuật được bộc lộ của sáng chế thì cũng nằm trong phạm vi bảo hộ của sáng chế. Do đó, phạm vi bảo hộ của sáng chế là phạm vi bảo hộ của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Phương pháp mã hoá dành cho tín hiệu âm thanh lập thể, trong đó phương pháp này bao gồm các bước:

xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại;

thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy;

thực hiện việc đồng chỉnh độ trễ trên tín hiệu âm thanh lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu âm thanh lập thể sau khi đồng chỉnh độ trễ;

thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu âm thanh lập thể này sau khi đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại;

lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá này vào luồng bit; và

lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá này vào luồng bit;

trong đó lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính toán theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó

A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đứng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$;

trong đó hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

2. Phương pháp theo điểm 1, trong đó hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

3. Thiết bị mã hoá, trong đó thiết bị này bao gồm:

ít nhất một bộ xử lý; và

một hoặc nhiều bộ nhớ được ghép nối đến ít nhất một bộ xử lý này và lưu giữ các chỉ dẫn lập trình để thực thi bởi ít nhất một bộ xử lý này để:

xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại;

thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy;

thực hiện việc đồng chỉnh độ trễ trên tín hiệu âm thanh lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu âm thanh lập thể sau khi đồng chỉnh độ trễ;

thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu âm thanh lập thể này sau khi đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại;

lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá này vào luồng bit; và

lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá vào luồng bit;

trong đó lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại là được tính toán theo công thức $A = \alpha \bullet B + (1 - \alpha) \bullet C$, trong đó

A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy ở khung hiện tại, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$;

trong đó hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và

tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

4. Thiết bị theo điểm 3, trong đó hệ số nội suy thứ nhất α thoả mãn công thức $\alpha = (N - S)/N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

5. Phương tiện lưu trữ phi nhất thời đọc được bằng máy tính có lưu giữ các chỉ dẫn máy tính mà khi được thực thi bởi một hoặc nhiều bộ xử lý thì khiến một hoặc nhiều bộ xử lý đó thực hiện các hoạt động bao gồm:

xác định lượng chênh lệch thời gian liên kênh ở khung hiện tại;

thực hiện việc xử lý nội suy dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại và lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, để thu được lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy;

thực hiện việc đồng chỉnh độ trễ trên tín hiệu âm thanh lập thể ở khung hiện tại dựa trên lượng chênh lệch thời gian liên kênh ở khung hiện tại, để thu được tín hiệu âm thanh lập thể sau khi đồng chỉnh độ trễ;

thực hiện việc xử lý trộn giảm trong miền thời gian trên tín hiệu âm thanh lập thể này sau khi đồng chỉnh độ trễ, để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại;

lượng tử hoá lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy, và ghi lượng chênh lệch thời gian liên kênh đã được lượng tử hoá này vào luồng bit; và

lượng tử hoá tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp ở khung hiện tại, và ghi tín hiệu kênh sơ cấp đã được lượng tử hoá và tín hiệu kênh thứ cấp đã được lượng tử hoá này vào luồng bit;

trong đó lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy là được tính toán theo công thức $A = \alpha \cdot B + (1 - \alpha) \cdot C$, trong đó A là lượng chênh lệch thời gian liên kênh sau khi xử lý nội suy, B là lượng chênh lệch thời gian liên kênh ở khung hiện tại, C là

lượng chênh lệch thời gian liên kênh ở khung đằng trước của khung hiện tại, α là hệ số nội suy thứ nhất, và $0 < \alpha < 1$; trong đó hệ số nội suy thứ nhất α là tỷ lệ nghịch với độ trễ mã hoá và giải mã, và tỷ lệ thuận với chiều dài khung của khung hiện tại, trong đó độ trễ mã hoá và giải mã này bao gồm độ trễ mã hoá trong tiến trình mã hoá, bởi đầu mã hoá, đối với tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp mà thu được sau khi xử lý trộn giảm trong miền thời gian, và độ trễ giải mã trong tiến trình giải mã, bởi đầu giải mã, đối với luồng bit để thu được tín hiệu kênh sơ cấp và tín hiệu kênh thứ cấp.

6. Phương tiện lưu trữ phi nhất thời đọc được bằng máy tính theo điểm 5, trong đó hệ số nội suy thứ nhất α thỏa mãn công thức $\alpha = (N - S) / N$, trong đó S là độ trễ mã hoá và giải mã, và N là chiều dài khung của khung hiện tại.

1/17

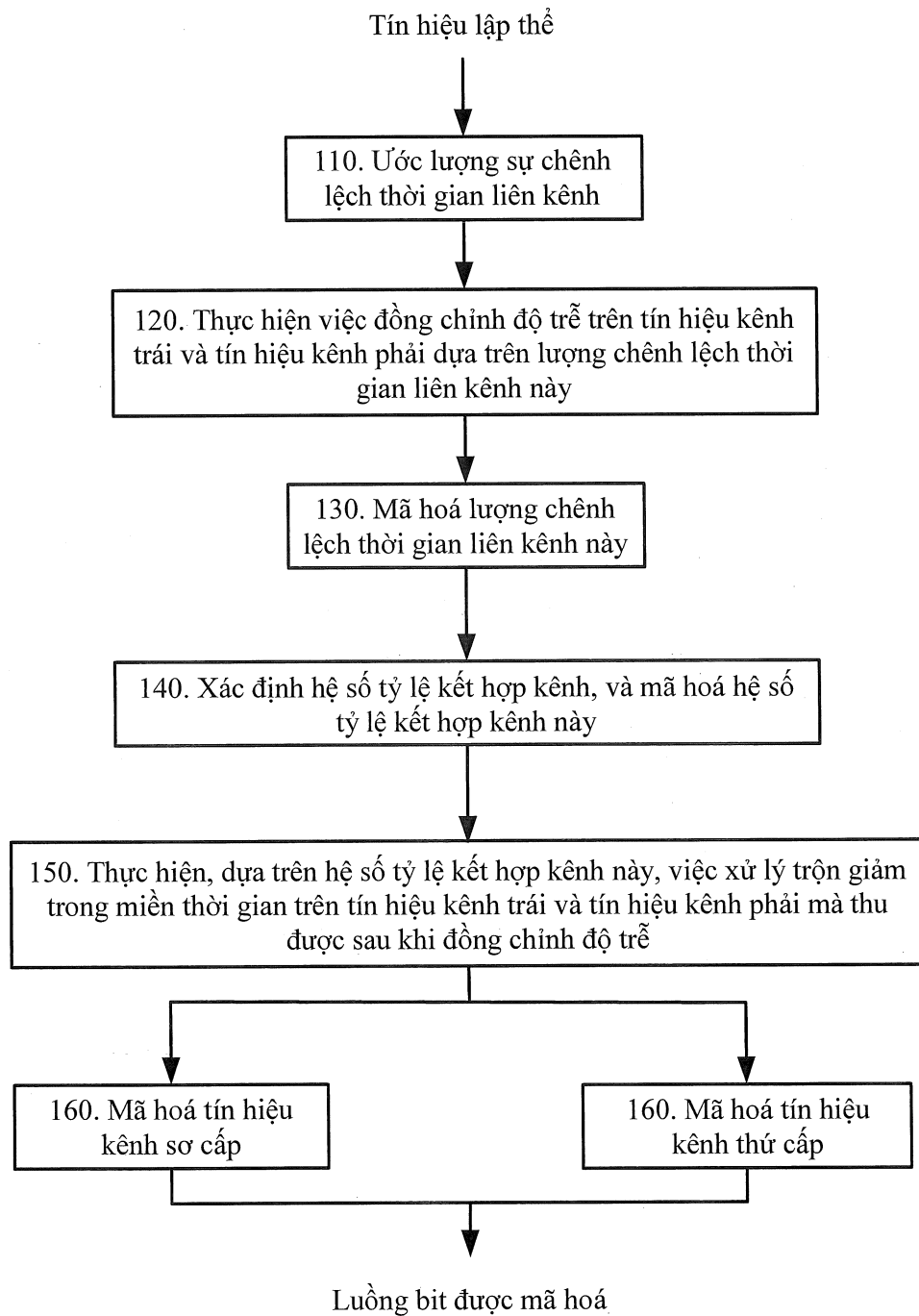


Fig.1

2/17

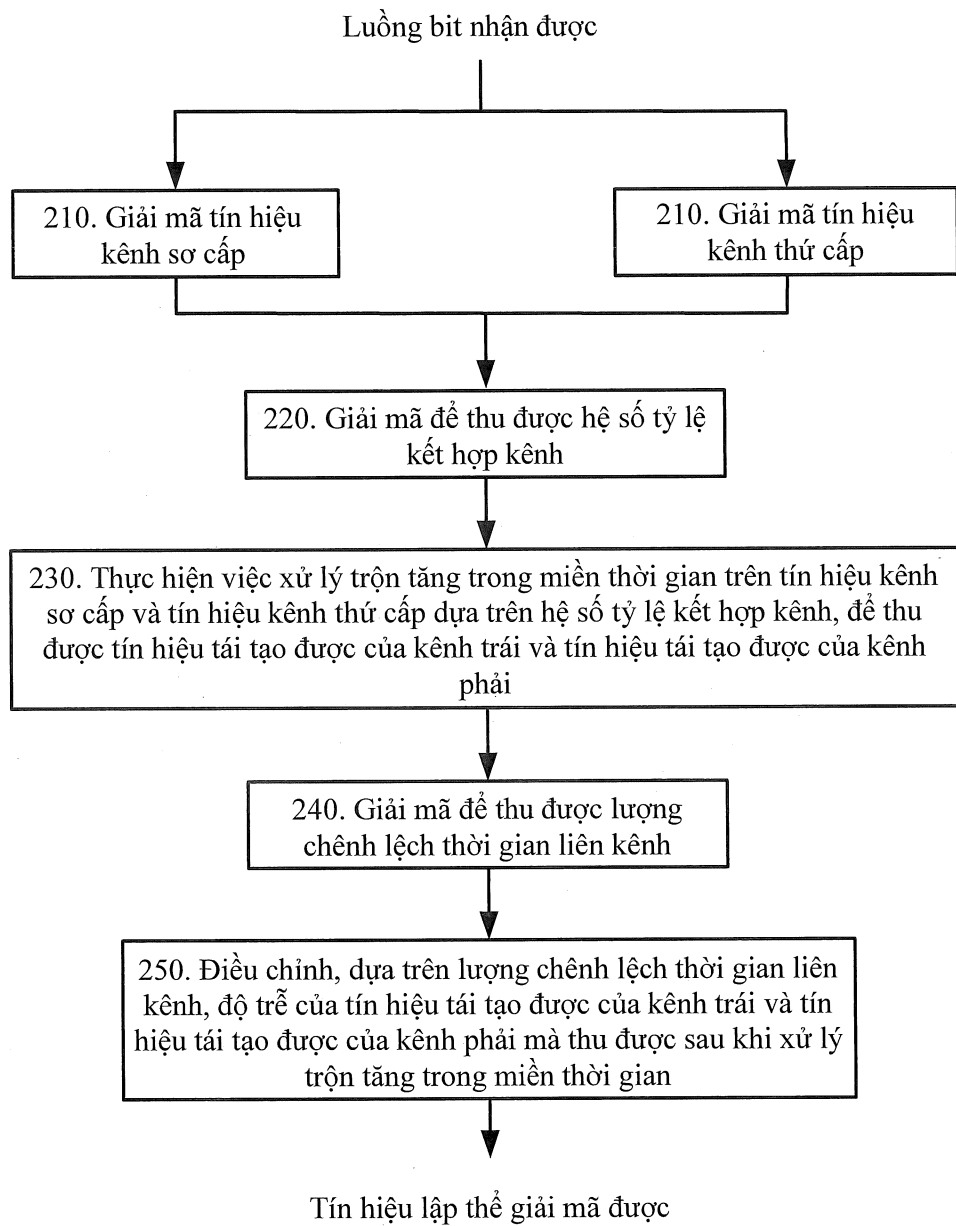


Fig.2

3/17

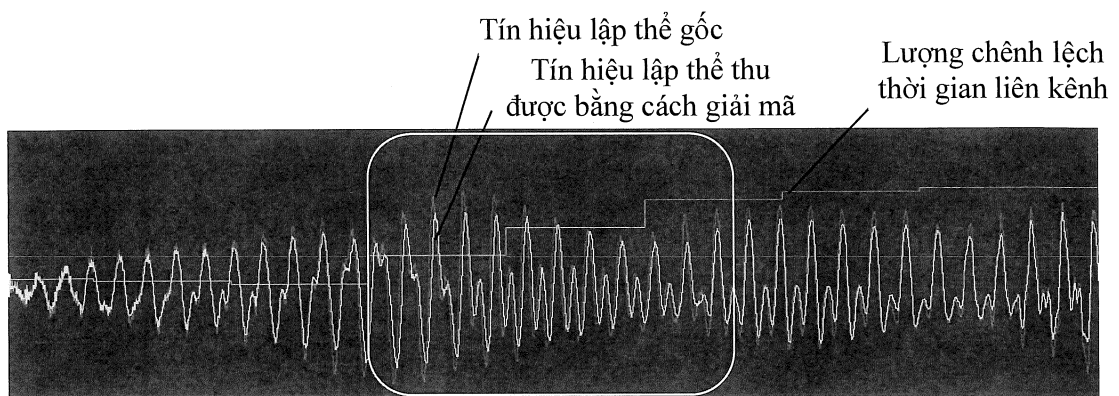


Fig.3

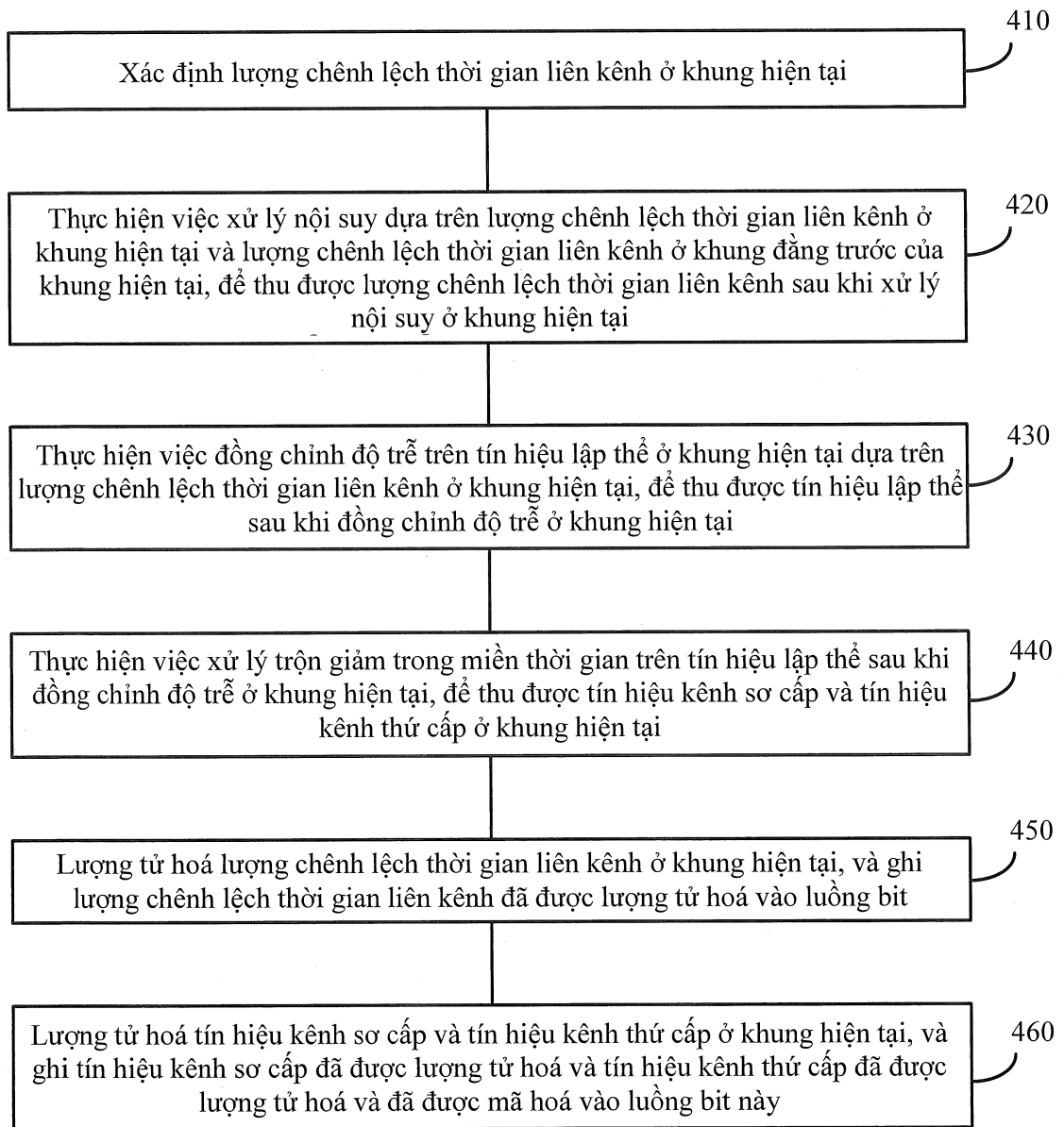


Fig.4

5/17

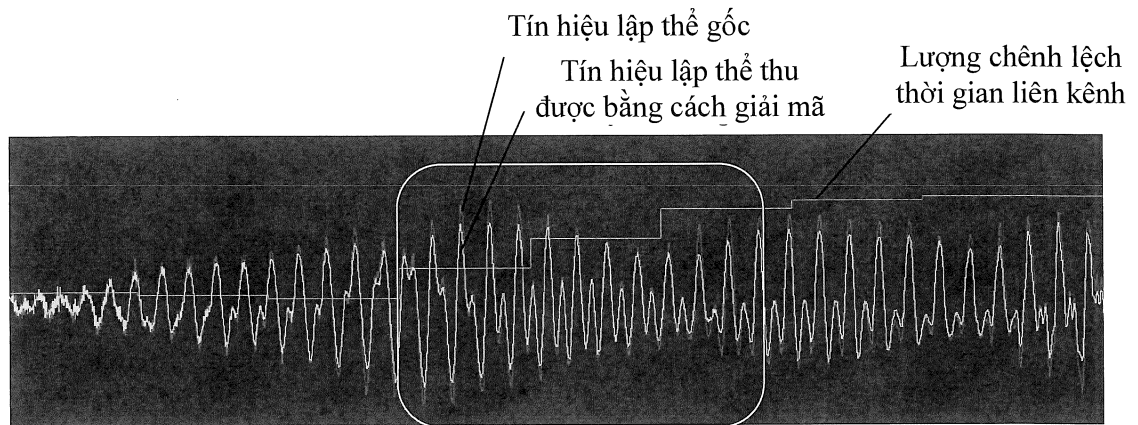


Fig.5

6/17

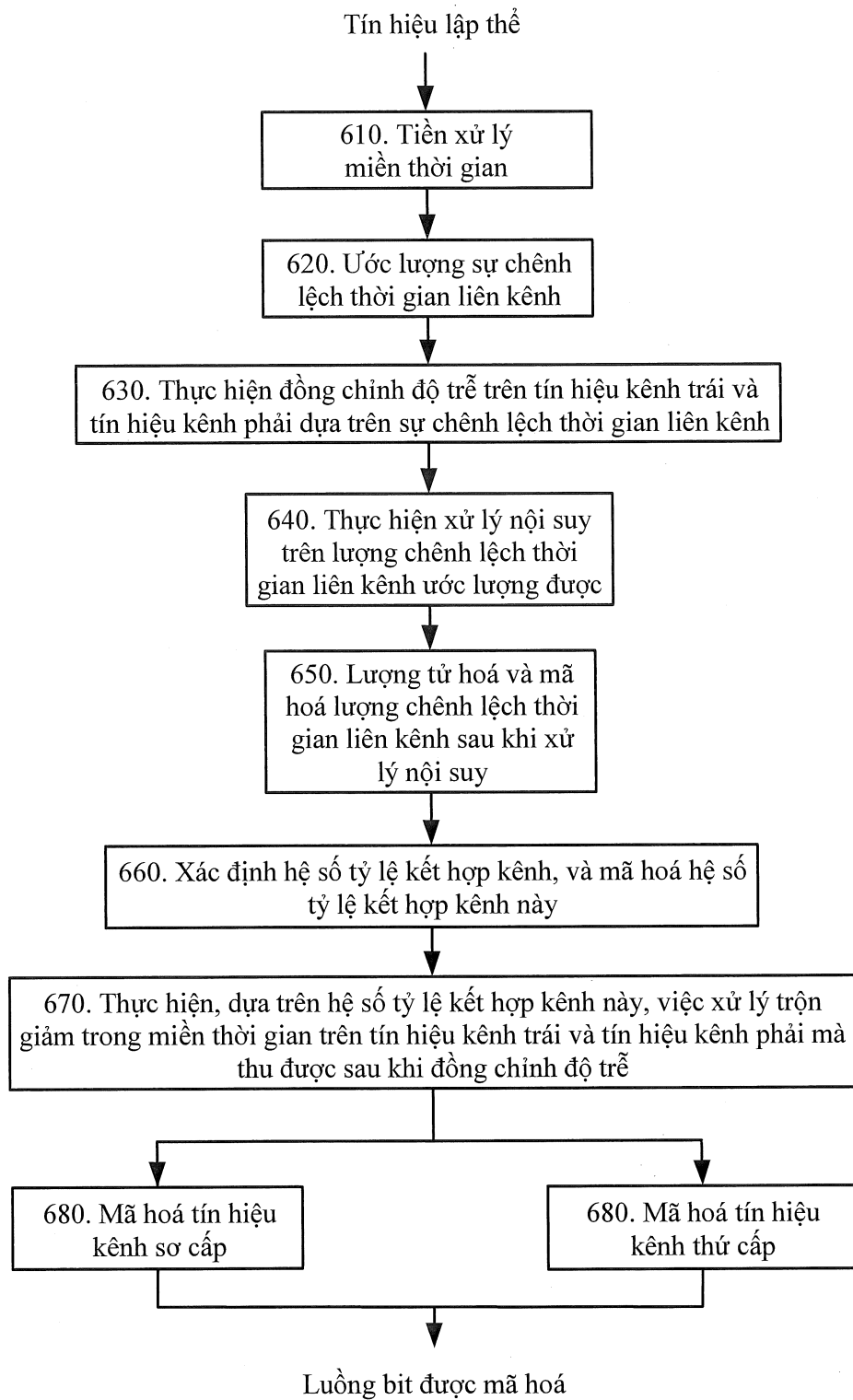


Fig.6

7/17

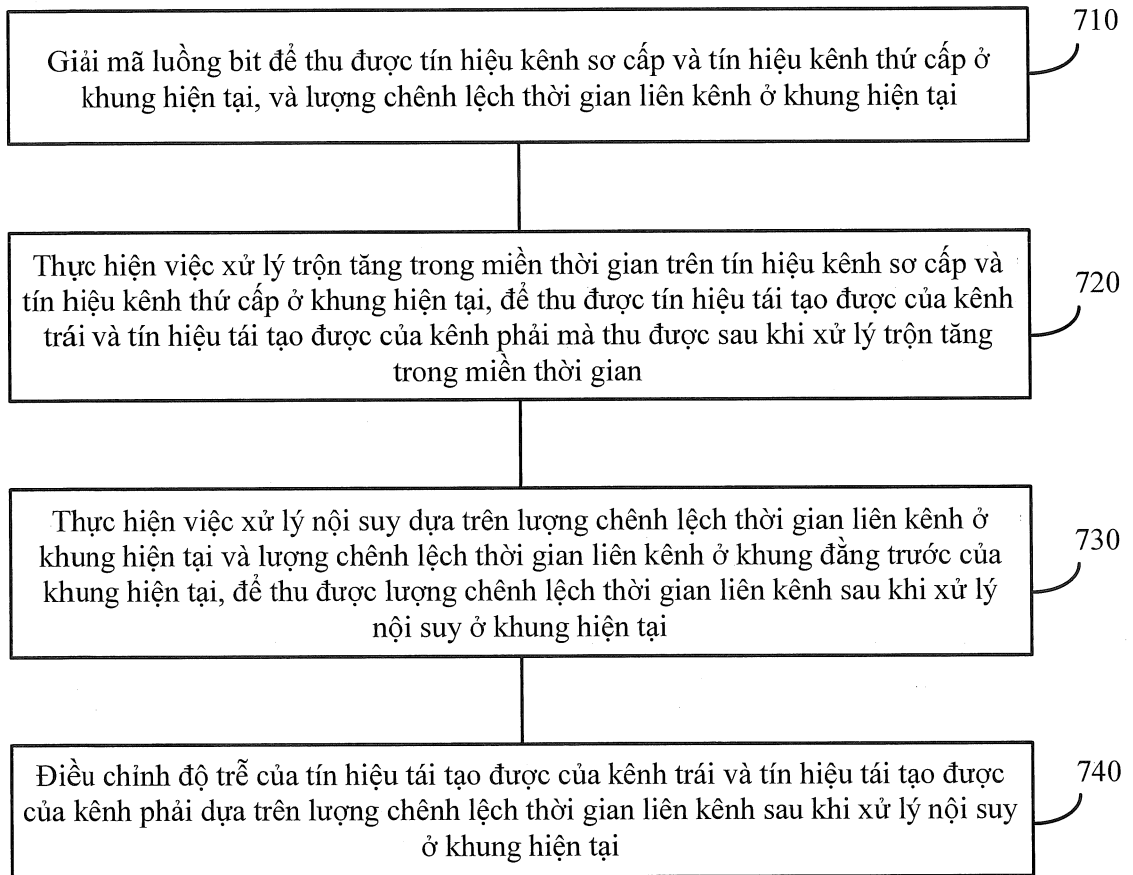


Fig.7

8/17

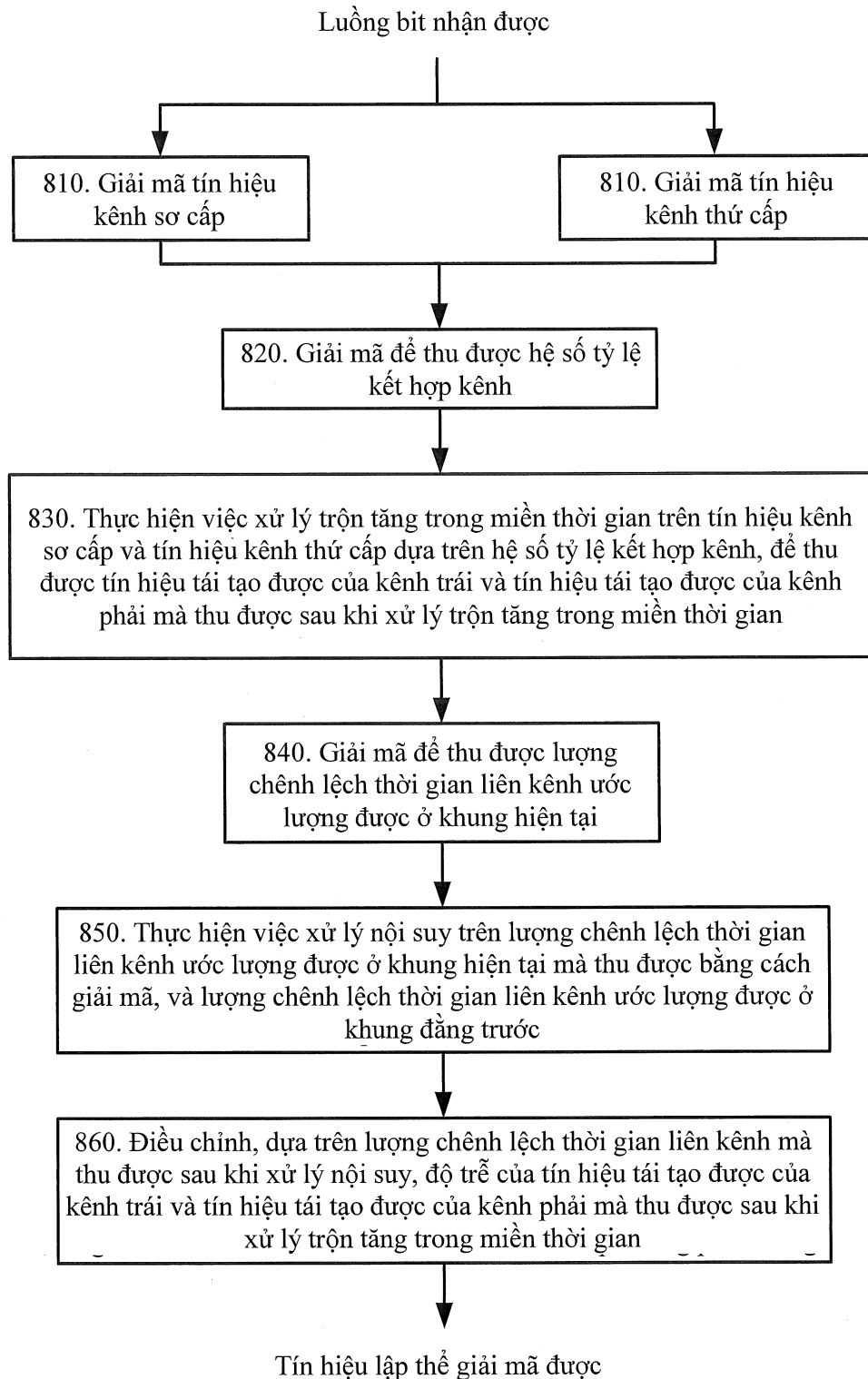


Fig.8

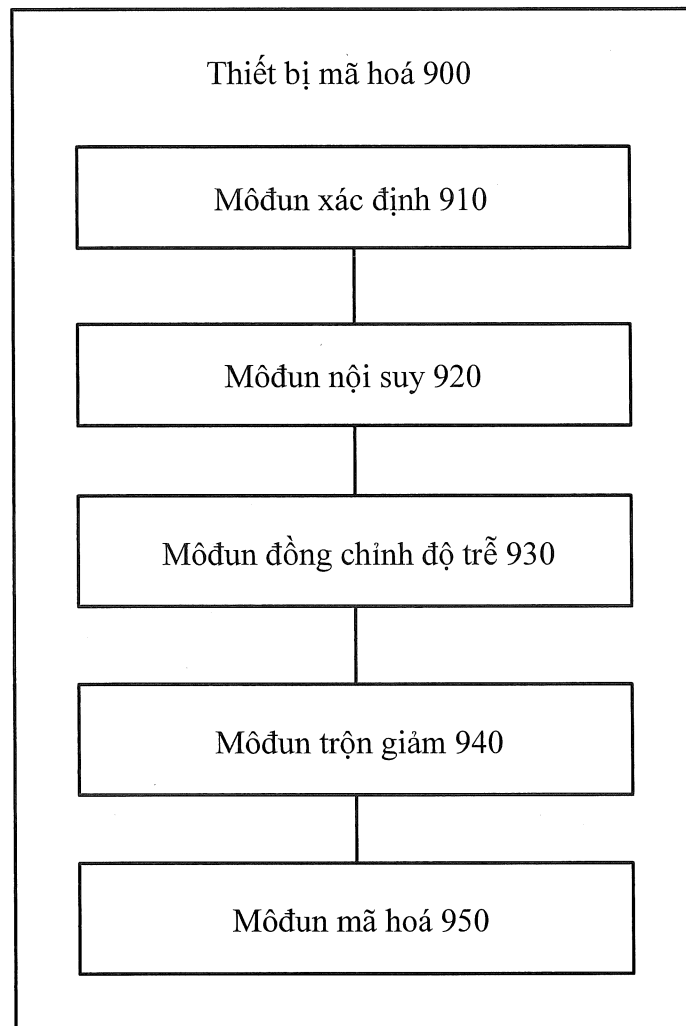


Fig.9

10/17

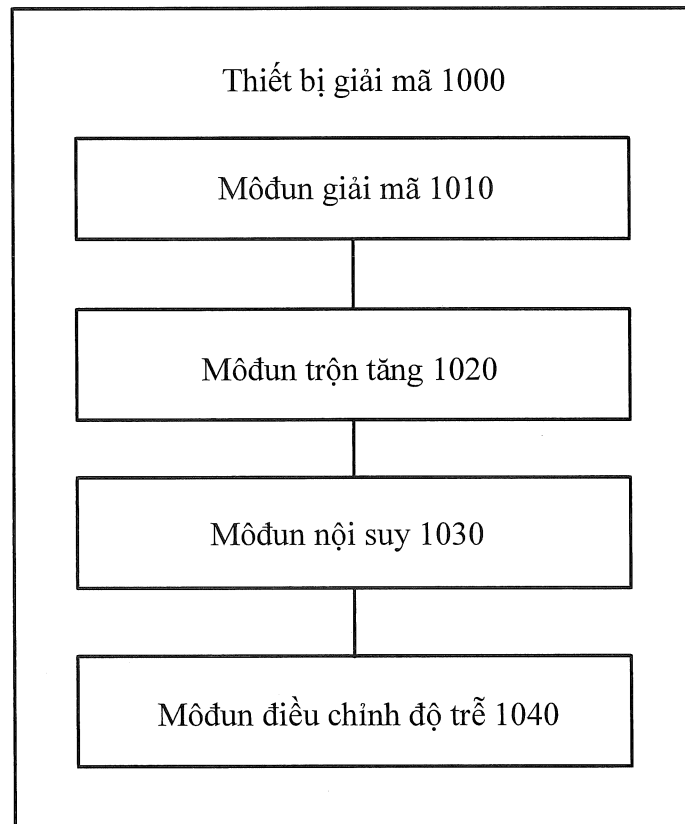


Fig.10

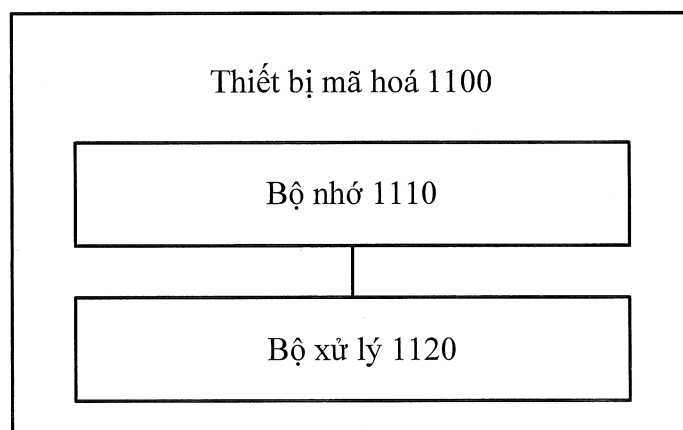


Fig.11

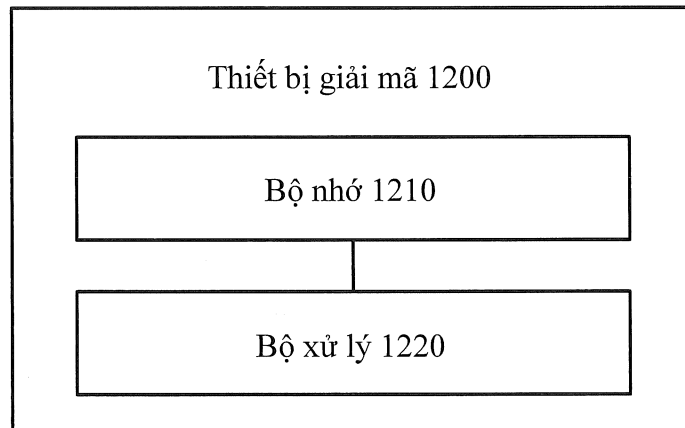


Fig.12

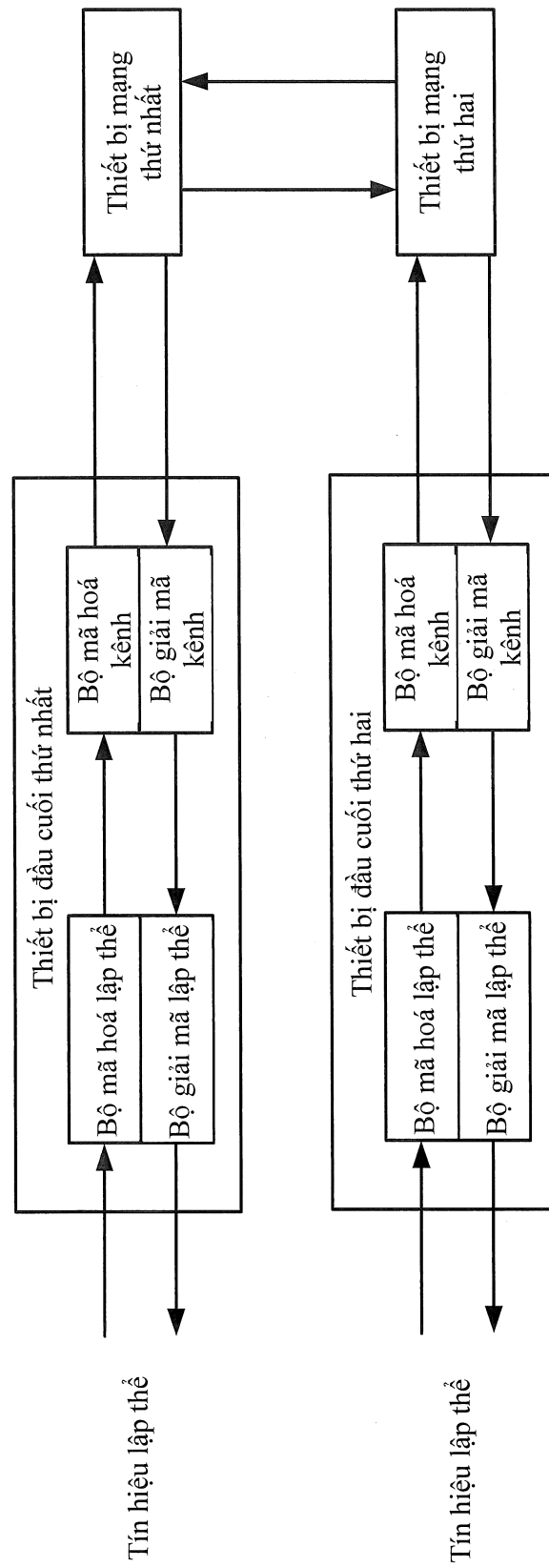


Fig.13

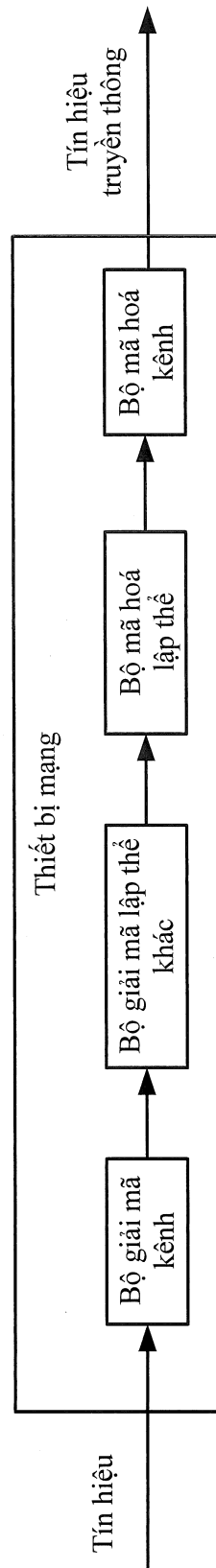


Fig.14

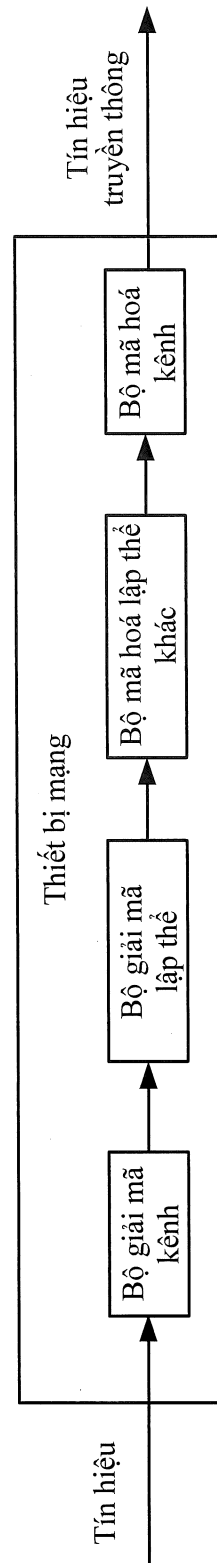


Fig.15

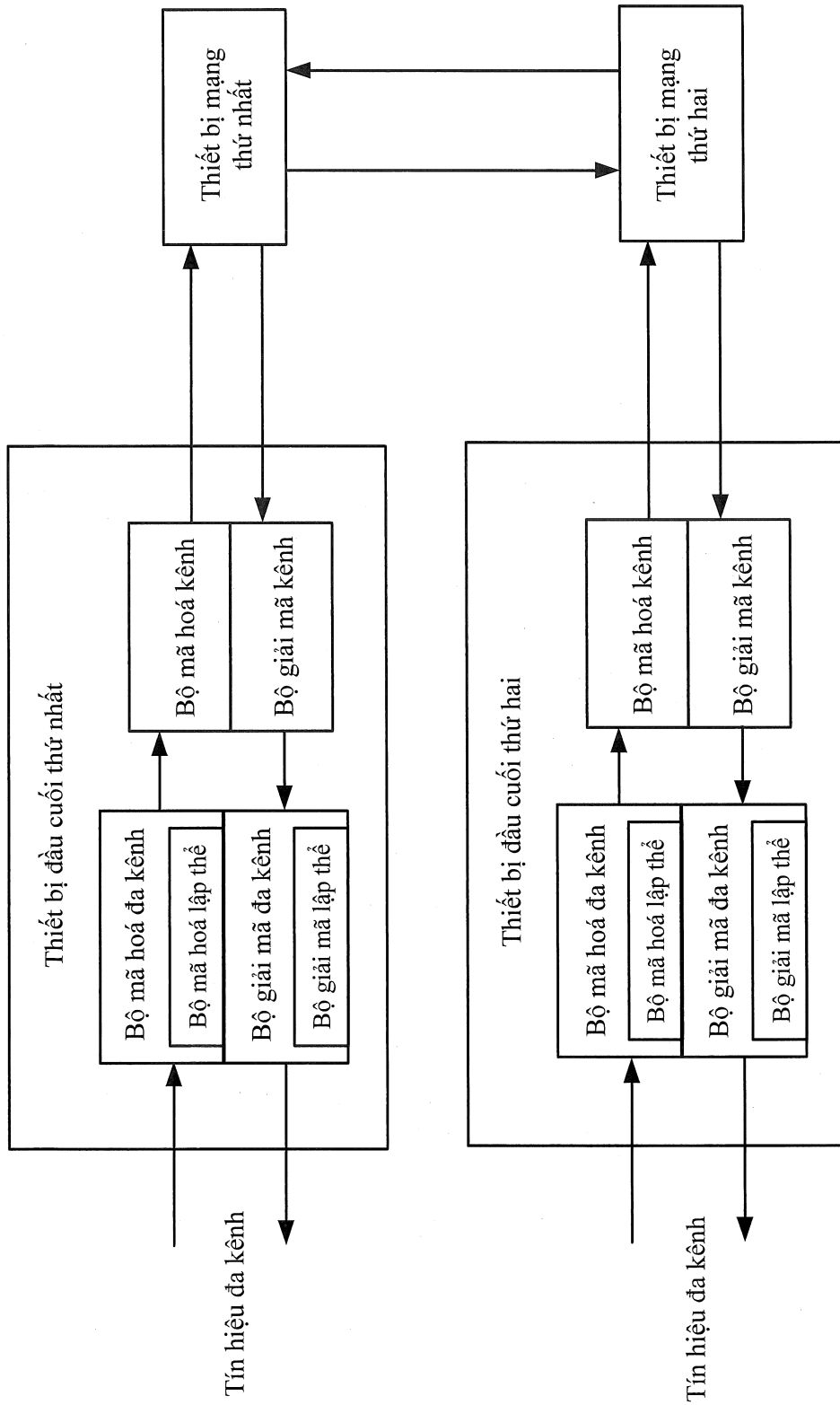


Fig.16

16/17

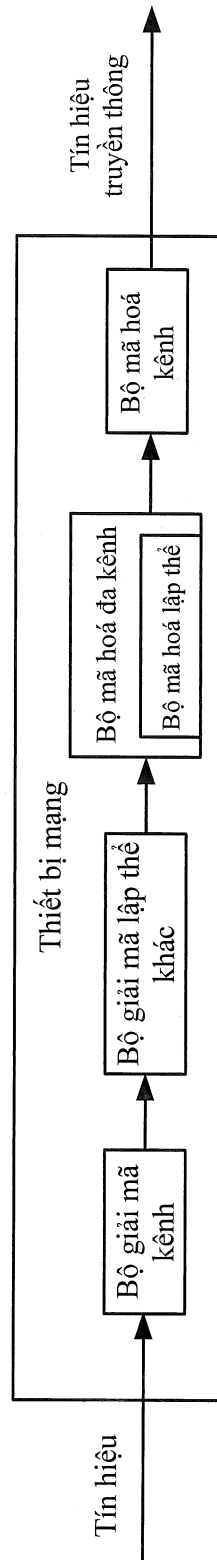


Fig.17

17/17

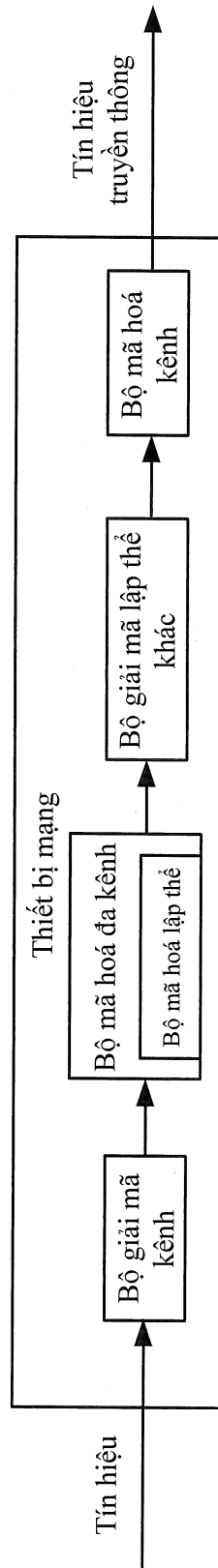


Fig.18