



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



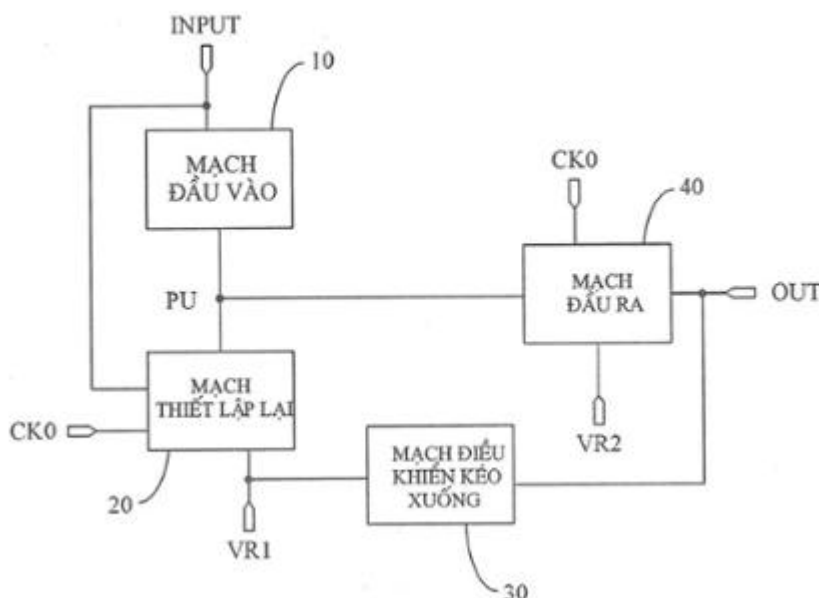
1-0041027

(51)¹⁹ G11C 19/28; G09G 3/3266; G09G 3/36 (13) B

- (21) 1-2019-07361 (22) 22/03/2019
(86) PCT/CN2019/079327 22/03/2019 (87) WO2019/196631 17/10/2019
(30) 201810326790.0 12/04/2018 CN
(45) 25/09/2024 438 (43) 25/02/2021 395
(73) 1. BOE TECHNOLOGY GROUP CO., LTD. (CN)
No.10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, China
2. HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. (CN)
Xinzhan Industrial Park, Hefei, Anhui 230012, China
(72) Can YUAN (CN); Zhidong YUAN (CN); Yongqian LI (CN).
(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) BỘ GHI DỊCH, MẠCH ĐIỀU KHIỂN VÀ MÀN HÌNH

(57) Sáng chế đề cập đến bộ ghi dịch, mạch điều khiển công và màn hình. Bộ ghi dịch này bao gồm mạch đầu vào, mạch thiết lập lại, mạch điều khiển kéo xuống và mạch đầu ra. Mạch đầu vào được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào, cấp tín hiệu của đầu cuối tín hiệu đưa vào đến nút kéo lên; mạch thiết lập lại được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào và đầu cuối tín hiệu đồng hồ, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến nút kéo lên; mạch đầu ra được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đồng hồ và tín hiệu của nút kéo lên, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ hai đến đầu cuối tín hiệu cấp ra; và mạch điều khiển kéo xuống được tạo cấu hình để thiết lập lại đầu cuối tín hiệu cấp ra theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bộ ghi dịch, mạch điều khiển cổng và màn hình.

Tình trạng kỹ thuật của sáng chế

Với sự phát triển nhanh của các kỹ thuật màn hình, các bảng hiển thị đang ngày càng phát triển theo hướng tích hợp cao và chi phí thấp. Theo kỹ thuật bộ điều khiển cổng trên mạng (GOA - Gate Driver On Array), mạch điều khiển cổng tranzito màng mỏng (TFT - Thin Film Transistor) được tích hợp trên lớp nền mạng của bảng hiển thị để tạo ra việc điều khiển quét dòng cho bảng hiển thị, để bỏ qua khoảng trống nối dây dùng cho vùng liên kết và vùng phân đầu ra của mạch tích hợp cổng (IC), điều đó không chỉ có thể giảm giá thành sản phẩm về chi phí nguyên liệu và quy trình sản xuất, mà còn có thể thiết kế bảng hiển thị để có hình dạng bên ngoài đẹp với hai mặt đối xứng và khung hẹp.

Bản chất kỹ thuật của sáng chế

Sáng chế theo một phương án đề xuất bộ ghi dịch bao gồm: mạch đầu vào, mạch thiết lập lại, mạch điều khiển kéo xuống và mạch đầu ra;

trong đó mạch đầu vào được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào, cấp tín hiệu của đầu cuối tín hiệu đưa vào đến nút kéo lên;

mạch thiết lập lại được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào và đầu cuối tín hiệu đồng hồ, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến nút kéo lên;

mạch đầu ra được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đồng hồ và tín hiệu của nút kéo lên, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ hai đến đầu cuối tín hiệu cấp ra; và

mạch điều khiển kéo xuống được tạo cấu hình để thiết lập lại đầu cuối tín hiệu cấp ra theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch thiết lập lại bao gồm cổng NOR và tranzito chuyển mạch thứ nhất;

đầu cuối đưa vào thứ nhất của cổng NOR được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NOR được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NOR được nối với điện cực cổng của tranzito chuyển

mạch thứ nhất;

điện cực thứ nhất của tranzito chuyển mạch thứ nhất được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ nhất được nối với nút kéo lên.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch thiết lập lại bao gồm cổng NAND và tranzito chuyển mạch thứ hai;

đầu cuối đưa vào thứ nhất của cổng NAND được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NAND được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NAND được nối với điện cực cổng của tranzito chuyển mạch thứ hai;

điện cực thứ nhất của tranzito chuyển mạch thứ hai được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ hai được nối với nút kéo lên.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch đầu ra bao gồm tranzito chuyển mạch thứ ba, tranzito chuyển mạch thứ tư, và tụ trữ;

điện cực cổng của tranzito chuyển mạch thứ ba được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ ba được nối với đầu cuối tín hiệu đồng hồ, và điện cực thứ hai của tranzito chuyển mạch thứ ba được nối với điện cực cổng của tranzito chuyển mạch thứ tư;

điện cực thứ nhất của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu cấp ra; và

tụ trữ được nối giữa nút kéo lên và đầu cuối tín hiệu cấp ra.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ nhất và/hoặc mạch phụ điều khiển kéo xuống thứ hai;

mạch phụ điều khiển kéo xuống thứ nhất được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức tín hiệu của nút kéo lên ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ hai được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức của đầu cuối tín hiệu đồng hồ ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch phụ điều khiển kéo xuống thứ nhất bao gồm tranzito chuyển mạch thứ năm, tranzito chuyển mạch thứ sáu, và tranzito chuyển mạch thứ bảy;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ năm được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ sáu được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ sáu được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ sáu được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ bảy được nối với nút kéo xuống thứ nhất, điện cực thứ nhất của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu cấp ra.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch phụ điều khiển kéo xuống thứ hai bao gồm tranzito chuyển mạch thứ tám, tranzito chuyển mạch thứ chín, và tranzito chuyển mạch thứ mười;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ tám được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tám được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu đồng hồ, điện cực thứ nhất của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ chín được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ mười được nối với nút kéo xuống thứ hai, điện cực thứ nhất của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu cấp ra.

Theo một ví dụ, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, mạch đầu vào bao gồm tranzito chuyển mạch thứ mười một; và

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười một được nối với đầu cuối tín hiệu đưa vào, và điện cực thứ hai của tranzito chuyển mạch thứ mười một được nối với nút kéo lên.

Vì vậy, sáng chế theo một phương án còn đề xuất mạch điều khiển cổng bao

gồm: các bộ ghi dịch xếp tầng được tạo ra theo phương án thực hiện sáng chế;

trong đó đầu cuối tín hiệu đưa vào của giai đoạn thứ nhất của các bộ ghi dịch được nối với đầu cuối tín hiệu khởi động khung; và

ngoại trừ giai đoạn thứ nhất của các bộ ghi dịch, các đầu cuối tín hiệu đưa vào của các giai đoạn khác của các bộ ghi dịch được nối tương ứng với các đầu cuối tín hiệu cấp ra của giai đoạn liền kề trước đó của chúng của các bộ ghi dịch.

Vì vậy, sáng chế theo một phương án còn đề xuất màn hình có mạch điều khiển cổng được tạo ra theo phương án thực hiện sáng chế.

Mô tả vắn tắt các hình vẽ

FIG.1 là hình vẽ dạng sơ đồ thứ nhất thể hiện cấu trúc của bộ ghi dịch theo một phương án thực hiện sáng chế;

FIG.2 là hình vẽ dạng sơ đồ thứ hai thể hiện cấu trúc của bộ ghi dịch theo một phương án thực hiện sáng chế;

FIG.3 là hình vẽ dạng sơ đồ thứ nhất thể hiện cấu trúc cụ thể làm ví dụ của bộ ghi dịch theo một phương án thực hiện sáng chế;

FIG.4 là hình vẽ dạng sơ đồ thể hiện cấu trúc cụ thể làm ví dụ của cổng NOR theo một phương án thực hiện sáng chế;

FIG.5a là sơ đồ định thời mạch thứ nhất theo một phương án thực hiện sáng chế;

FIG.5b là sơ đồ định thời mạch thứ hai theo một phương án thực hiện sáng chế;

FIG.6a là sơ đồ mô phỏng thể hiện tín hiệu ở đầu cuối tín hiệu đưa vào;

FIG.6b là sơ đồ mô phỏng thể hiện tín hiệu ở đầu cuối tín hiệu đồng hồ;

FIG.6c là sơ đồ mô phỏng thể hiện tín hiệu ở đầu cuối tín hiệu cấp ra;

FIG.7 là hình vẽ dạng sơ đồ thứ hai thể hiện cấu trúc cụ thể làm ví dụ của bộ ghi dịch theo sáng chế;

FIG.8a là sơ đồ định thời mạch thứ ba theo một phương án thực hiện sáng chế;

FIG.8b là sơ đồ định thời mạch thứ tư theo một phương án thực hiện sáng chế;

và

FIG.9 là hình vẽ dạng sơ đồ thể hiện cấu trúc của mạch điều khiển cổng theo một phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Để làm cho việc hiểu các mục đích, giải pháp kỹ thuật và lợi ích của sáng chế

rõ ràng hơn, các phương án cụ thể của bộ ghi dịch, mạch điều khiển cổng và màn hình được tạo ra theo các phương án thực hiện sáng chế được mô tả chi tiết hơn dưới đây có dựa vào các hình vẽ kèm theo. Cần phải hiểu rằng, các phương án ưu tiên được mô tả dưới đây chỉ dùng cho mục đích minh họa và giải thích sáng chế và không dự định giới hạn sáng chế. Các phương án và các dấu hiệu của các phương án theo sáng chế có thể được kết hợp với nhau mà không bị xung đột.

Mạch GOA có liên quan thương bao gồm các bộ ghi dịch xếp tầng, mỗi bộ ghi dịch được nối tương ứng với đường cổng để cấp ra tín hiệu điều khiển để điều khiển đường cổng đã được nối. Hiện tại, nói chung, mỗi giai đoạn của các bộ ghi dịch cần dùng các tín hiệu đồng hồ dùng cho đầu ra thay đổi của ác tín hiệu điều khiển, khiến cho cần có các đường tín hiệu đồng hồ để truyền các tín hiệu đồng hồ, điều đó làm tăng mức khó nối dây và mở rộng không gian chiếm giữ, và do vậy đi ngược lại việc thiết kế khung hẹp của bảng hiển thị.

Sáng chế theo các phương án thực hiện của nó đề xuất bộ ghi dịch, mạch điều khiển cổng và màn hình, để giải quyết vấn đề là việc dùng nhiều đường tín hiệu đồng hồ hơn sẽ làm tăng mức khó nối dây và mở rộng không gian chiếm giữ, và do vậy đi ngược lại việc thiết kế khung hẹp của bảng hiển thị.

Theo một phương án thực hiện sáng chế, bộ ghi dịch được đề xuất, như được thể hiện trên FIG.1, bao gồm: mạch đầu vào 10, mạch thiết lập lại 20, mạch điều khiển kéo xuống 30, và mạch đầu ra 40.

Mạch đầu vào 10 được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào INPUT, cấp tín hiệu của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU.

Mạch thiết lập lại 20 được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào INPUT và đầu cuối tín hiệu đồng hồ CK0, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến nút kéo lên PU.

Mạch đầu ra 40 được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đồng hồ CK0 và tín hiệu của nút kéo lên PU, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT.

Mạch điều khiển kéo xuống 30 được tạo cấu hình để thiết lập lại đầu cuối tín hiệu cấp ra OUT theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1.

Theo bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, tín hiệu của đầu cuối tín hiệu đưa vào được cấp đến nút kéo lên nhờ mạch đầu vào dưới sự điều khiển của đầu cuối tín hiệu đưa vào; và tín hiệu của đầu cuối tín hiệu chuẩn thứ hai

được cấp đến đầu cuối tín hiệu cấp ra nhờ mạch đầu ra dưới sự điều khiển của đầu cuối tín hiệu đồng hồ và tín hiệu của nút kéo lên, khiến cho đầu cuối tín hiệu cấp ra cấp ra tín hiệu xung hợp lệ. Tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất được cấp đến nút kéo lên nhờ mạch thiết lập lại dưới sự điều khiển của đầu cuối tín hiệu đưa vào và đầu cuối tín hiệu đồng hồ để thiết lập lại nút kéo lên. Mạch điều khiển kéo xuống thiết lập lại đầu cuối tín hiệu cấp ra theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất để cho phép đầu cuối tín hiệu cấp ra cấp ra tín hiệu xung không hợp lệ. Theo cách này, thông qua sự kết hợp của bốn mạch, bộ ghi dịch có thể thực hiện đầu ra thay đổi bình thường chỉ dưới sự điều khiển của tín hiệu của một đầu cuối tín hiệu đồng hồ, khiến cho đầu cuối tín hiệu cấp ra của bộ ghi dịch cấp ra tín hiệu quét, mà được yêu cầu bởi đường công tương ứng, điều đó có thể giảm số lượng các đường tín hiệu đồng hồ thiết lập, hơn nữa làm giảm mức khó nối dây và không gian chiếm giữ, và tốt cho việc thiết kế khung hẹp của bảng hiển thị.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào là tín hiệu mức cao, tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất là tín hiệu mức thấp, tín hiệu của đầu cuối tín hiệu chuẩn thứ hai là tín hiệu mức cao, tín hiệu xung hợp lệ của đầu cuối tín hiệu cấp ra là tín hiệu mức cao, và tín hiệu xung không hợp lệ của đầu cuối tín hiệu cấp ra là tín hiệu mức thấp.

Theo cách khác, tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào là tín hiệu mức thấp, tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất là tín hiệu mức cao, tín hiệu của đầu cuối tín hiệu chuẩn thứ hai là tín hiệu mức thấp, tín hiệu xung hợp lệ của đầu cuối tín hiệu cấp ra là tín hiệu mức thấp, và tín hiệu xung không hợp lệ của đầu cuối tín hiệu cấp ra là tín hiệu mức cao. Theo các ứng dụng trong thực tế, các điện áp cụ thể của các tín hiệu sẽ được thiết kế và xác định theo các môi trường ứng dụng cụ thể, và không bị giới hạn ở đây.

Sáng chế được mô tả chi tiết dưới đây có dựa vào các phương án cụ thể. Cần phải lưu ý rằng, phương án này được đề xuất để giải thích rõ hơn sáng chế, nhưng không dùng để giới hạn sáng chế.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.2, mạch điều khiển kéo xuống 30 có thể có: mạch phụ điều khiển kéo xuống thứ nhất 31; trong đó mạch phụ điều khiển kéo xuống thứ nhất 31 có thể được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT khi mức tín hiệu của nút kéo lên PU ngược lại với mức tín

hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT.

Theo cách khác, theo ví dụ thực hiện cụ thể, như được thể hiện trên FIG.2, mạch điều khiển kéo xuống 30 cũng có thể có: mạch phụ điều khiển kéo xuống thứ hai 32; trong đó mạch phụ điều khiển kéo xuống thứ hai 32 được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT khi mức của đầu cuối tín hiệu đồng hồ CK0 ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT.

Hơn nữa, theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.2, mạch điều khiển kéo xuống 30 cũng có thể có: mạch phụ điều khiển kéo xuống thứ nhất 31 và mạch phụ điều khiển kéo xuống thứ hai 32; trong đó mạch phụ điều khiển kéo xuống thứ nhất 31 có thể được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT khi mức tín hiệu của nút kéo lên PU ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT, và mạch phụ điều khiển kéo xuống thứ hai 32 được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT khi mức của đầu cuối tín hiệu đồng hồ CK0 ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.3, mạch phụ điều khiển kéo xuống thứ nhất 31 có thể có: tranzito chuyển mạch thứ năm M5, tranzito chuyển mạch thứ sáu M6, và tranzito chuyển mạch thứ bảy M7; trong đó, cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ năm M5 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất PD1. Điện cực cổng của tranzito chuyển mạch thứ sáu M6 được nối với nút kéo lên PU, điện cực thứ nhất của tranzito chuyển mạch thứ sáu M6 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ sáu M6 được nối với nút kéo xuống thứ nhất PD1. Điện cực cổng của tranzito chuyển mạch thứ bảy M7 được nối với nút kéo xuống thứ nhất PD1, điện cực thứ nhất của tranzito chuyển mạch thứ bảy M7 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ bảy M7 được nối với đầu cuối tín hiệu cấp ra OUT.

Theo ví dụ thực hiện cụ thể, tranzito chuyển mạch thứ năm tạo ra cấu trúc đi-ốt và được nối giữa đầu cuối tín hiệu chuẩn thứ hai và nút kéo xuống thứ nhất. Khi tranzito chuyển mạch thứ sáu được bật dưới sự điều khiển của nút kéo lên, đầu cuối

tín hiệu chuẩn thứ hai và đầu cuối tín hiệu chuẩn thứ nhất được nối qua tranzito chuyển mạch thứ năm và tranzito chuyển mạch thứ sáu, là tương đương với đầu cuối tín hiệu chuẩn thứ nhất và nút kéo xuống thứ nhất được nối, khiến cho tranzito chuyển mạch thứ bảy được tắt dưới sự điều khiển của tín hiệu của nút kéo xuống thứ nhất. Khi tranzito chuyển mạch thứ sáu được tắt dưới sự điều khiển của tín hiệu của nút kéo lên, đầu cuối tín hiệu chuẩn thứ hai và đầu cuối tín hiệu chuẩn thứ nhất được ngắt, là tương đương với nút kéo xuống thứ nhất, mà được nối trực tiếp với đầu cuối tín hiệu chuẩn thứ hai, khiến cho tranzito chuyển mạch thứ bảy được bật dưới sự điều khiển của tín hiệu của nút kéo xuống thứ nhất, nhờ vậy cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra để thiết lập lại đầu cuối tín hiệu cấp ra.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.3, mạch phụ điều khiển kéo xuống thứ hai 32 có thể có: tranzito chuyển mạch thứ tám M8, tranzito chuyển mạch thứ chín M9, và tranzito chuyển mạch thứ mười M10; trong đó, cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ tám M8 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ tám M8 được nối với nút kéo xuống thứ hai PD2.

Điện cực cổng của tranzito chuyển mạch thứ chín M9 được nối với đầu cuối tín hiệu đồng hồ CK0, điện cực thứ nhất của tranzito chuyển mạch thứ chín M9 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ chín M9 được nối với nút kéo xuống thứ hai PD2.

Điện cực cổng của tranzito chuyển mạch thứ mười M10 được nối với nút kéo xuống thứ hai PD2, điện cực thứ nhất của tranzito chuyển mạch thứ mười M10 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười M10 được nối với đầu cuối tín hiệu cấp ra OUT.

Theo ví dụ thực hiện cụ thể, tranzito chuyển mạch thứ tám tạo ra cấu trúc đi-ốt và được nối giữa đầu cuối tín hiệu chuẩn thứ hai và nút kéo xuống thứ hai. Khi tranzito chuyển mạch thứ chín được bật dưới sự điều khiển của đầu cuối tín hiệu đồng hồ, đầu cuối tín hiệu chuẩn thứ hai và đầu cuối tín hiệu chuẩn thứ nhất có thể được nối qua tranzito chuyển mạch thứ tám và tranzito chuyển mạch thứ chín, là tương đương với đầu cuối tín hiệu chuẩn thứ nhất và nút kéo xuống thứ hai được nối, khiến cho tranzito chuyển mạch thứ mười được tắt dưới sự điều khiển của tín hiệu của nút kéo xuống thứ hai. Khi tranzito chuyển mạch thứ chín được tắt dưới sự điều

khíên của đầu cuối tín hiệu đồng hồ, đầu cuối tín hiệu chuẩn thứ hai và đầu cuối tín hiệu chuẩn thứ nhất được ngắt, là tương đương với nút kéo xuống thứ hai, mà được nối trực tiếp với đầu cuối tín hiệu chuẩn thứ hai, khiến cho tranzito chuyển mạch thứ mười được bật dưới sự điều khiển của tín hiệu của nút kéo xuống thứ hai, nhờ vậy cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra để thiết lập lại đầu cuối tín hiệu cấp ra.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.3, mạch đầu vào 10 có thể có: tranzito chuyển mạch thứ mười một M11; trong đó cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười một M11 được nối với đầu cuối tín hiệu đưa vào INPUT, và điện cực thứ hai của tranzito chuyển mạch thứ mười một M11 được nối với nút kéo lên PU.

Theo ví dụ thực hiện cụ thể, khi tranzito chuyển mạch thứ mười một được bật dưới sự điều khiển của đầu cuối tín hiệu đưa vào, tín hiệu của đầu cuối tín hiệu đưa vào có thể được cấp đến nút kéo lên.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.3, mạch thiết lập lại 20 có thể có: cổng NOR NOR và tranzito chuyển mạch thứ nhất M1; trong đó đầu cuối đưa vào thứ nhất của cổng NOR NOR được nối với đầu cuối tín hiệu đưa vào INPUT, đầu cuối đưa vào thứ hai của cổng NOR NOR được nối với đầu cuối tín hiệu đồng hồ CK0, và đầu cuối cấp ra của cổng NOR NOR được nối với điện cực cổng của tranzito chuyển mạch thứ nhất M1.

Điện cực thứ nhất của tranzito chuyển mạch thứ nhất M1 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ nhất M1 được nối với nút kéo lên PU.

Theo ví dụ thực hiện cụ thể, cổng NOR có thể cấp ra tín hiệu mức cao từ đầu cuối cấp ra của nó chỉ khi tất cả các đầu cuối đưa vào của nó là các tín hiệu mức thấp, và cấp ra tín hiệu mức thấp từ đầu cuối cấp ra của nó trong các trường hợp khác. Tranzito chuyển mạch thứ nhất có thể cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến nút kéo lên khi nó được bật dưới sự điều khiển của tín hiệu của điện cực cổng của nó.

Theo ví dụ thực hiện cụ thể, như được thể hiện trên FIG.4, cổng NOR có thể có: tranzito chuyển mạch thứ mười hai M12, tranzito chuyển mạch thứ mười ba M13, tranzito chuyển mạch thứ mười bốn M14, tranzito chuyển mạch thứ mười năm M15, tranzito chuyển mạch thứ mười sáu M16, tranzito chuyển mạch thứ mười bảy M17, tranzito chuyển mạch thứ mười tám M18, và tranzito chuyển mạch thứ mười chín

M19.

Điện cực cổng của tranzito chuyển mạch thứ mười hai M12 được nối với đầu cuối tín hiệu đưa vào INPUT, điện cực thứ nhất của tranzito chuyển mạch thứ mười hai M12 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười hai M12 được nối với điện cực cổng của tranzito chuyển mạch thứ mười năm M15.

Điện cực cổng của tranzito chuyển mạch thứ mười ba M13 được nối với đầu cuối tín hiệu đồng hồ CK0, điện cực thứ nhất của tranzito chuyển mạch thứ mười ba M13 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười ba M13 được nối với điện cực cổng của tranzito chuyển mạch thứ mười năm M15.

Cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười bốn M14 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười bốn M14 được nối với điện cực cổng của tranzito chuyển mạch thứ mười năm M15.

Điện cực thứ nhất của tranzito chuyển mạch thứ mười năm M15 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười năm M15 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18.

Điện cực cổng của tranzito chuyển mạch thứ mười sáu M16 được nối với đầu cuối tín hiệu đưa vào INPUT, điện cực thứ nhất của tranzito chuyển mạch thứ mười sáu M16 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười sáu M16 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18.

Điện cực cổng của tranzito chuyển mạch thứ mười bảy M17 được nối với đầu cuối tín hiệu đồng hồ CK0, điện cực thứ nhất của tranzito chuyển mạch thứ mười bảy M17 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười bảy M17 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18.

Điện cực thứ nhất của tranzito chuyển mạch thứ mười tám M18 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười tám M18 được nối với điện cực cổng của tranzito chuyển mạch thứ nhất M1.

Cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười chín

M19 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười chín M19 được nối với điện cực cổng của tranzito chuyển mạch thứ nhất M1. Tất nhiên, trên đây chỉ là ví dụ về cấu trúc cụ thể của cổng NOR. Cổng NOR theo các phương án thực hiện sáng chế cũng có thể tương tự như cấu trúc trong các giải pháp đã biết, và không bị giới hạn ở đây.

Theo ví dụ thực hiện cụ thể, theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.3, mạch đầu ra 40 có thể có: tranzito chuyển mạch thứ ba M3, tranzito chuyển mạch thứ tư M4, và tụ trữ Cst; trong đó, điện cực cổng của tranzito chuyển mạch thứ ba M3 được nối với nút kéo lên PU, điện cực thứ nhất của tranzito chuyển mạch thứ ba M3 được nối với đầu cuối tín hiệu đồng hồ CK0, và điện cực thứ hai của tranzito chuyển mạch thứ ba M3 được nối với điện cực cổng của tranzito chuyển mạch thứ tư M4.

Điện cực thứ nhất của tranzito chuyển mạch thứ tư M4 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ tư M4 được nối với đầu cuối tín hiệu cấp ra OUT.

Tụ trữ Cst được nối giữa nút kéo lên PU và đầu cuối tín hiệu cấp ra OUT.

Theo ví dụ thực hiện cụ thể, khi tranzito chuyển mạch thứ ba được bật dưới sự điều khiển của tín hiệu của nút kéo lên, tín hiệu của đầu cuối tín hiệu đồng hồ có thể được cấp đến điện cực cổng của tranzito chuyển mạch thứ tư. Khi tranzito chuyển mạch thứ tư được bật dưới sự điều khiển của tín hiệu của điện cực cổng của nó, tín hiệu của đầu cuối tín hiệu chuẩn thứ hai có thể được cấp đến đầu cuối tín hiệu cấp ra. Tụ trữ có thể lưu trữ điện áp trên cả hai đầu của nó, và khi nút kéo lên nằm ở mức nối nổi, hiệu điện áp trên cả hai đầu có thể được giữ ổn định.

Trên đây chỉ là ví dụ về các cấu trúc cụ thể của các mạch trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, và theo các ví dụ thực hiện cụ thể, các cấu trúc cụ thể của các mạch không bị giới hạn ở các cấu trúc được tạo ra theo phương án thực hiện sáng chế, và có thể có các cấu trúc khác đã biết đối với người có hiểu biết trung bình về lĩnh vực kỹ thuật này, và không bị giới hạn ở đây.

Hơn nữa, để đơn giản hóa quy trình sản xuất, theo các ví dụ thực hiện cụ thể, theo phương án thực hiện sáng chế, như được thể hiện trên FIG.3, tất cả các tranzito chuyển mạch có thể là các tranzito loại N.

Cần phải lưu ý rằng, tranzito chuyển mạch nêu trong các phương án thực hiện sáng chế nêu trên có thể là tranzito màng mỏng (TFT), và cũng có thể là bán dẫn oxit kim loại (MOS - Metal Oxide Semiconductor), mà không bị giới hạn ở đây. Theo ví

dự thực hiện cụ thể, theo loại tranzito chuyển mạch và tín hiệu của đầu cuối tín hiệu, điện cực thứ nhất của tranzito chuyển mạch có thể là điện cực nguồn, và điện cực thứ hai của tranzito chuyển mạch có thể là điện cực máng; theo cách khác, điện cực thứ nhất có thể là điện cực máng, và điện cực thứ hai có thể là điện cực nguồn, mà không bị giới hạn ở đây.

Hoạt động của bộ ghi dịch được thể hiện trên FIG.3 sẽ được mô tả có dựa vào sơ đồ định thời mạch được thể hiện trên FIG.5a. Trong phần mô tả dưới đây, 1 biểu thị tín hiệu mức cao, 0 biểu thị tín hiệu mức thấp, và 1 và 0 biểu thị các mức logic của chúng, chúng được đưa ra chỉ để giải thích rõ hơn hoạt động của bộ ghi dịch được tạo ra theo các phương án thực hiện sáng chế, chứ không phải là các mức được áp dụng cho điện cực cổng của của tranzito chuyển mạch theo các ví dụ thực hiện cụ thể.

Cụ thể là, bốn giai đoạn T1, T2, T3, và T4 trên FIG.5a được chọn. Ngoài ra, tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT là tín hiệu mức cao, tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 là tín hiệu mức thấp, và tín hiệu của đầu cuối tín hiệu chuẩn thứ hai VR2 là tín hiệu mức cao.

Ở giai đoạn T1, INPUT=1, CK0=0.

Do INPUT=1 và CK0=0, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=1, tranzito chuyển mạch thứ mười một M11 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU, khiến cho tín hiệu của nút kéo lên PU là tín hiệu mức cao, nhờ vậy điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật. Tranzito chuyển mạch thứ ba đã được bật M3 cấp tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4 để điều khiển tranzito chuyển mạch thứ tư M4 được tắt. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Do CK0=0, tranzito chuyển mạch thứ chín M9 được tắt, điều đó làm cho đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được tắt, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ mười

M10 được bật, để cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp.

Ở giai đoạn T2, INPUT=1, CK0=1.

Do INPUT =1 và CK0=1, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=1, tranzito chuyển mạch thứ mười một M11 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU, khiến cho tín hiệu của nút kéo lên PU là tín hiệu mức cao, nhờ vậy điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật, để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo cao hơn nữa, khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR 2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Do CK0=1, tranzito chuyển mạch thứ chín M9 được bật, và do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt.

Ở giai đoạn T3, INPUT=0; CK0=1.

Do INPUT=0 và CK0=1, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=0, tranzito chuyển mạch thứ mười một M11 được tắt. Do CK0=1, tranzito chuyển mạch thứ chín M9 được bật, và

do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt. Do đó, nút kéo lên PU nằm ở mỗi nối nối, và tín hiệu của nút kéo lên PU vẫn duy trì tín hiệu mức cao do chức năng của tụ trữ Cst, để điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, và để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo cao hơn nữa, khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt.

Ở giai đoạn T4, INPUT=0, CK0=0.

Do INPUT=0, tranzito chuyển mạch thứ mười một M11 được tắt. Do INPUT=0 và CK0=0, cổng NOR cấp ra tín hiệu mức cao để điều khiển tranzito chuyển mạch thứ nhất M1 được bật. Tranzito chuyển mạch thứ nhất đã được bật M1 cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến nút kéo lên PU để điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được tắt. Do tranzito chuyển mạch thứ sáu M6 được tắt, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được bật. Tranzito chuyển mạch thứ bảy đã được bật M7 cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối

tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp để thiết lập lại đầu cuối tín hiệu cấp ra OUT. Tranzito chuyển mạch thứ chín M9 được tắt do $CK=0$. Do đó, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được bật. Tranzito chuyển mạch thứ mười đã được bật M10 cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp để thiết lập lại đầu cuối tín hiệu cấp ra OUT.

Sau giai đoạn T4, cũng có thể có giai đoạn T5, tức là, $INPUT=0$, $CK0=1$. Tranzito chuyển mạch thứ mười một M11 được tắt do $INPUT=0$. Do $INPUT=0$ và $CK0=1$, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do đó, nút kéo lên PU nằm ở mỗi nối nổi, và tín hiệu của nút kéo lên PU duy trì tín hiệu mức thấp do chức năng của tụ trữ Cst, để điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được tắt. Do tranzito chuyển mạch thứ sáu M6 được tắt, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được bật. Tranzito chuyển mạch thứ bảy đã được bật M7 cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp. Tranzito chuyển mạch thứ chín M9 được bật do $CK0=1$. Do đó, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt.

Theo bộ ghi dịch được tạo ra theo các phương án thực hiện sáng chế, sau giai đoạn T5, các hoạt động ở giai đoạn T4 và giai đoạn T5 có thể được thực hiện lặp lại cho đến khi tín hiệu của đầu cuối tín hiệu đưa vào INPUT lại trở thành tín hiệu mức cao.

Như có thể thấy được trên hình vẽ, bộ ghi dịch được tạo ra theo các phương án thực hiện sáng chế chỉ cấp đưa vào một tín hiệu đồng hồ để làm cho đầu cuối tín hiệu cấp ra cấp ra tín hiệu thay đổi, điều đó có thể giảm số lượng các đường tín hiệu đồng

hồ thiết lập, nhờ vậy giảm mức khó nối dây và không gian chiếm giữ, và tốt cho việc thiết kế khung hẹp của bảng hiển thị.

Bộ ghi dịch được tạo ra theo các phương án thực hiện sáng chế có thể điều khiển thời khoảng của tín hiệu xung hợp lệ cấp ra bởi đầu cuối tín hiệu cấp ra chỉ bằng cách thay đổi thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đồng hồ (tức là, tín hiệu trong đầu cuối tín hiệu đồng hồ có mức tương tự như tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào), mà không thay đổi mạch và quy trình, điều đó có thể giảm mức khó của bộ ghi dịch, giảm độ phức tạp xử lý, và giảm chi phí.

Hoạt động của bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế sẽ được mô tả dưới đây có dựa vào sơ đồ định thời mạch được thể hiện trên FIG.5b, bằng cách lấy cấu trúc của bộ ghi dịch được thể hiện trên FIG.3 làm ví dụ. Thời khoảng của tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 trong một khoảng thời gian trên FIG.5b dài hơn thời khoảng của tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 trong một khoảng thời gian trên FIG.5a. Thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT trên FIG.5b là tương tự như thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT trên FIG.5a. Hơn nữa, trong khung màn hình, chỉ một mép nhô lên của đầu cuối tín hiệu đồng hồ CK0 nằm giữa mép nhô lên và mép hạ xuống của đầu cuối tín hiệu đưa vào INPUT. Cụ thể là, bốn giai đoạn T1, T2, T3 và T4 trên FIG.5 b được chọn. Tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất VR1 là tín hiệu mức thấp, và tín hiệu của đầu cuối tín hiệu chuẩn thứ hai VR2 là tín hiệu mức cao.

Ở giai đoạn T1, INPUT=1, CK0=0. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T1 nêu trên, và sẽ không được mô tả ở đây.

Ở giai đoạn T2, INPUT=1, CK0=1.

Do INPUT=1 và CK0=1, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=1, tranzito chuyển mạch thứ mười một M11 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU, khiến cho tín hiệu của nút kéo lên PU là tín hiệu mức cao, nhờ vậy điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo cao hơn nữa,

khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Do CK0=1, tranzito chuyển mạch thứ chín M9 được bật, và do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt. Có thể thấy được rằng, giai đoạn T2 theo phương án này là tương tự như hoạt động của giai đoạn T2 nêu trên.

Ở giai đoạn T3, INPUT=0, CK0=1.

Do INPUT=0 và CK0=1, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Tranzito chuyển mạch thứ mười một M11 được tắt do INPUT=0. Do CK0=1, tranzito chuyển mạch thứ chín M9 được bật, và do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt. Do đó, nút kéo lên PU nằm ở mỗi nối nối, và tín hiệu của nút kéo lên PU duy trì tín hiệu mức cao do chức năng của tụ trữ Cst, để điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, và để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo cao hơn nữa, khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn

toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Có thể thấy được rằng, giai đoạn T3 theo phương án này là tương tự như hoạt động của giai đoạn T3 nêu trên.

Ở giai đoạn T4, INPUT=0, CK0=0. Hoạt động cụ thể của nó là tương tự như hoạt động ở giai đoạn T4 nêu trên, và sẽ không được mô tả ở đây.

Tất nhiên, cũng có thể có giai đoạn T5 sau giai đoạn T4, trong đó INPUT=0, CK0=1. Hoạt động cụ thể của nó là tương tự như hoạt động ở giai đoạn T5 nêu trên, và không được mô tả chi tiết ở đây.

Theo bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, sau giai đoạn T5, các hoạt động của giai đoạn T4 và giai đoạn T5 có thể được thực hiện lặp lại cho đến khi tín hiệu của đầu cuối tín hiệu đưa vào INPUT lại trở thành tín hiệu mức cao.

Bằng cách lấy cấu trúc được thể hiện trên FIG.3 làm ví dụ, các sơ đồ định thời mô phỏng của các tín hiệu được thể hiện trên các hình vẽ từ FIG.6a đến FIG.6c được dùng để mô phỏng hoạt động của bộ ghi dịch. Trên các hình vẽ từ FIG.6a đến FIG.6c, trực tung biểu thị điện áp, và trục hoành biểu thị thời gian, trong đó FIG.6a biểu thị tín hiệu của đầu cuối tín hiệu đưa vào INPUT, FIG.6b biểu thị tín hiệu của đầu cuối tín hiệu đồng hồ CK0, và FIG.6c biểu thị tín hiệu của đầu cuối tín hiệu cấp ra OUT. Như có thể thấy được trên các hình vẽ từ FIG.6a đến FIG.6c, trong bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, khi thời khoảng của tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 được kéo dài, tín hiệu mức cao cấp ra bởi đầu cuối tín hiệu cấp ra OUT cũng được kéo dài bằng thời gian tương ứng.

Dưới đây mô tả cấu trúc và hoạt động của bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế khi tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào là tín hiệu mức thấp.

Tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào là tín hiệu mức thấp, và các

tranzito chuyển mạch thứ ba M3 đến thứ mười một M11 nêu trên (ví dụ, xem FIG.3) có thể được thay thế trực tiếp bằng các tranzito loại P cho các tranzito loại N, và các chế độ nối của chúng không thay đổi, để dùng làm cấu trúc của bộ ghi dịch theo phương án này. Ngoài ra, các chế độ nối tương tự giữa bộ ghi dịch tạo ra theo phương án này và bộ ghi dịch tạo ra theo phương án trước đây được bỏ qua, và chỉ các phần khác nhau giữa chúng được mô tả dưới đây.

Theo ví dụ thực hiện cụ thể, các phương án khác cũng có thể được dùng cho cấu trúc cụ thể của mạch thiết lập lại. Theo một phương án thực hiện sáng chế, như được thể hiện trên FIG.7, mạch thiết lập lại có thể bao gồm: cổng NAND và tranzito chuyển mạch thứ hai M2; trong đó đầu cuối đưa vào thứ nhất của cổng NAND được nối với đầu cuối tín hiệu đưa vào INPUT, đầu cuối đưa vào thứ hai của cổng NAND được nối với đầu cuối tín hiệu đồng hồ CK0, và đầu cuối cấp ra của cổng NAND được nối với điện cực cổng của tranzito chuyển mạch thứ hai M2. Điện cực thứ nhất của tranzito chuyển mạch thứ hai M2 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ hai M2 được nối với nút kéo lên PU.

Theo ví dụ thực hiện cụ thể, đầu cuối cấp ra của cổng NAND có thể cấp ra tín hiệu mức thấp chỉ khi tất cả các đầu cuối đưa vào của nó có các tín hiệu mức cao, và đầu cuối cấp ra của cổng NAND có thể cấp ra tín hiệu mức cao trong các trường hợp khác. Tranzito chuyển mạch thứ hai có thể cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến nút kéo lên khi nó được bật dưới sự điều khiển của tín hiệu của điện cực cổng của nó.

Theo ví dụ thực hiện cụ thể, theo phương án thực hiện sáng chế, như được thể hiện trên FIG.7, tranzito chuyển mạch thứ hai M2 có thể là tranzito loại P.

Theo ví dụ thực hiện cụ thể, theo phương án thực hiện sáng chế, cấu trúc của cổng NAND có thể tương tự như cấu trúc theo giải pháp kỹ thuật đã biết, và không bị giới hạn ở đây.

Hoạt động của bộ ghi dịch được thể hiện trên FIG.7 sẽ được mô tả dưới đây có dựa vào sơ đồ định thời mạch được thể hiện trên FIG.8a. Trong phần mô tả dưới đây, 1 biểu thị tín hiệu mức cao, 0 biểu thị tín hiệu mức thấp, và 1 và 0 biểu thị các mức logic của chúng, chúng được đưa ra chỉ để giải thích rõ hơn hoạt động của bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, chứ không phải là các mức được áp dụng cho điện cực cổng của của tranzito chuyển mạch theo ví dụ thực hiện cụ thể.

Cụ thể là, bốn giai đoạn T1, T2, T3, và T4 trên FIG.8a chủ yếu được chọn.

Ở giai đoạn T1, INPUT=0, CK0=1.

Do INPUT=0 và CK0=0, cổng NAND cấp ra tín hiệu mức cao để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=0, tranzito chuyển mạch thứ mười một M11 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU, khiến cho tín hiệu của nút kéo lên PU là tín hiệu mức thấp, nhờ vậy điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật. Tranzito chuyển mạch thứ ba đã được bật M3 cấp tín hiệu mức cao của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được tắt. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Do CK0=1, tranzito chuyển mạch thứ chín M9 được tắt, điều đó làm cho đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được tắt, khiến cho tín hiệu của nút kéo xuống thứ hai PD 2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được bật để cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao.

Ở giai đoạn T2, INPUT=0, CK0=0.

Do INPUT=0 và CK0=0, cổng NOR cấp ra tín hiệu mức cao để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do INPUT=0, tranzito chuyển mạch thứ mười một M11 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu đưa vào INPUT đến nút kéo lên PU, khiến cho tín hiệu của nút kéo lên PU là tín hiệu mức thấp, nhờ vậy điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo xuống hơn nữa, khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu

mức thấp của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt. Do CK0=0, tranzito chuyển mạch thứ chín M9 được bật, và do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt.

Ở giai đoạn T3, INPUT=1, CK0=0.

Do INPUT=1 và CK0=0, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Tranzito chuyển mạch thứ mười một M11 được tắt do INPUT=1. Do CK0=0, tranzito chuyển mạch thứ chín M9 được bật, và do vậy đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt. Do đó, nút kéo lên PU nằm ở mỗi nối nối, và tín hiệu của nút kéo lên PU vẫn duy trì tín hiệu mức thấp do chức năng của tụ trữ Cst, để điều khiển tranzito chuyển mạch thứ ba M3 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, và để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT. Do chức năng của tụ trữ Cst, nút kéo lên PU có thể được kéo xuống hơn nữa, khiến cho tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được bật hoàn toàn. Tranzito chuyển mạch thứ ba đã được bật M3 có thể cấp tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 đến điện cực cổng của tranzito chuyển mạch thứ tư M4, để điều khiển tranzito chuyển mạch thứ tư M4 được bật để cấp tín hiệu

mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức thấp. Do tranzito chuyển mạch thứ năm M5 tạo ra cấu trúc nối đi-ốt, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ năm M5 và tranzito chuyển mạch thứ sáu M6, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được tắt.

Ở giai đoạn T4, INPUT=1, CK0=1.

Tranzito chuyển mạch thứ mười một M11 được tắt do INPUT=1. Do INPUT=1 và CK0=1, cổng NOR cấp ra tín hiệu mức thấp để điều khiển tranzito chuyển mạch thứ nhất M1 được bật. Tranzito chuyển mạch thứ nhất đã được bật M1 cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến nút kéo lên PU để điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được tắt. Do tranzito chuyển mạch thứ sáu M6 được tắt, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được bật. Tranzito chuyển mạch thứ bảy đã được bật M7 cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao để thiết lập lại đầu cuối tín hiệu cấp ra OUT. Tranzito chuyển mạch thứ chín M9 được tắt do CK0=1. Do đó, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được bật. Tranzito chuyển mạch thứ mười đã được bật M10 cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao để thiết lập lại đầu cuối tín hiệu cấp ra OUT.

Sau giai đoạn T4, cũng có thể có giai đoạn T5, tức là, INPUT=1, CK0=0. Tranzito chuyển mạch thứ mười một M11 được tắt do INPUT=1. Do INPUT=1 và CK0=0, cổng NOR cấp ra tín hiệu mức cao để điều khiển tranzito chuyển mạch thứ nhất M1 được tắt. Do đó, nút kéo lên PU nằm ở môi nối nổi, và tín hiệu của nút kéo lên PU có thể duy trì tín hiệu mức cao do chức năng của tụ trữ Cst, để điều khiển tranzito chuyển mạch thứ ba M3 và tranzito chuyển mạch thứ sáu M6 được tắt. Do

tranzito chuyển mạch thứ sáu M6 được tắt, đầu cuối tín hiệu chuẩn thứ hai VR2 được ngắt khỏi đầu cuối tín hiệu chuẩn thứ nhất VR1, khiến cho tín hiệu của nút kéo xuống thứ nhất PD1 là tương đương với tín hiệu mức thấp của đầu cuối tín hiệu chuẩn thứ hai VR2, nhờ vậy điều khiển tranzito chuyển mạch thứ bảy M7 được bật. Tranzito chuyển mạch thứ bảy đã được bật M7 cấp tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1 đến đầu cuối tín hiệu cấp ra OUT, khiến cho đầu cuối tín hiệu cấp ra OUT cấp ra tín hiệu mức cao. Tranzito chuyển mạch thứ chín M9 được bật do $CK0=0$. Do đó, đầu cuối tín hiệu chuẩn thứ hai VR2 và đầu cuối tín hiệu chuẩn thứ nhất VR1 được nối qua tranzito chuyển mạch thứ tám M8 và tranzito chuyển mạch thứ chín M9, khiến cho tín hiệu của nút kéo xuống thứ hai PD2 là tương đương với tín hiệu mức cao của đầu cuối tín hiệu chuẩn thứ nhất VR1, nhờ vậy điều khiển tranzito chuyển mạch thứ mười M10 được tắt.

Theo bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, sau giai đoạn T5, các hoạt động của giai đoạn T4 và giai đoạn T5 có thể được thực hiện lặp lại cho đến khi tín hiệu của đầu cuối tín hiệu đưa vào INPUT lại trở thành tín hiệu mức thấp.

Như có thể thấy được từ phương án, bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế chỉ cấp đưa vào một tín hiệu đồng hồ để làm cho đầu cuối tín hiệu cấp ra cấp ra tín hiệu thay đổi, điều đó có thể giảm số lượng các đường tín hiệu đồng hồ thiết lập, nhờ vậy giảm mức khó nối dây và không gian chiếm giữ, và tốt cho việc thiết kế khung hẹp của bảng hiển thị.

Bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế cũng có thể control thời khoảng của tín hiệu xung hợp lệ cấp ra bởi đầu cuối tín hiệu cấp ra chỉ bằng cách thay đổi thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đồng hồ (tức là, tín hiệu trong đầu cuối tín hiệu đồng hồ có mức tương tự như tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào), mà không thay đổi mạch và quy trình, điều đó có thể giảm mức khó của bộ ghi dịch, giảm độ phức tạp xử lý, và giảm chi phí.

Hoạt động của bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế sẽ được mô tả dưới đây có dựa vào sơ đồ định thời mạch được thể hiện trên FIG.8b, bằng cách lấy cấu trúc của bộ ghi dịch được thể hiện trên FIG.7 làm ví dụ. Thời khoảng của tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 trong một khoảng thời gian trên FIG.8b dài hơn thời khoảng của tín hiệu mức thấp của đầu cuối tín hiệu đồng hồ CK0 trong một khoảng thời gian trên FIG.8a. Thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT trên FIG.8b là tương tự như thời khoảng của tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào INPUT trên FIG.8a. Ngoài ra,

trong một khung màn hình, chỉ một mép hạ xuống của đầu cuối tín hiệu đồng hồ CK0 nằm giữa mép hạ xuống và mép nhô lên của đầu cuối tín hiệu đưa vào INPUT. Cụ thể là, bốn giai đoạn T1, T2, T3 và T4 trên FIG.8b được chọn.

Ở giai đoạn T1, INPUT=0, CK0=1. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T1 nêu trên, và sẽ không được mô tả ở đây.

Ở giai đoạn T2, INPUT=0, CK0=0. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T2 nêu trên, và sẽ không được mô tả ở đây.

Ở giai đoạn T3, INPUT=1, CK0=0. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T3 nêu trên, và sẽ không được mô tả ở đây.

Ở giai đoạn T4, INPUT=1, CK0=1. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T4 nêu trên, và sẽ không được mô tả ở đây.

Tất nhiên, cũng có thể có giai đoạn T5 sau giai đoạn T4, trogn đó INPUT=1; CK0=0. Hoạt động cụ thể của nó là tương tự như hoạt động của giai đoạn T5 nêu trên, và không được mô tả chi tiết ở đây.

Theo bộ ghi dịch được tạo ra theo phương án thực hiện sáng chế, sau giai đoạn T5, các hoạt động của giai đoạn T4 và giai đoạn T5 có thể được thực hiện lặp lại cho đến khi tín hiệu của đầu cuối tín hiệu đưa vào INPUT lại trở thành tín hiệu mức cao.

Trên cơ sở nội dung tương tự, sáng chế theo một phương án còn đề xuất mạch điều khiển cổng, như được thể hiện trên FIG.9, bao gồm: các bộ ghi dịch xếp tầng được tạo ra theo các phương án thực hiện sáng chế: SR(1), SR(2),..., SR(n),...SR(N-1), SR(N) (tổng cộng có N bộ ghi dịch, $1 \leq n \leq N$),

trong đó đầu cuối tín hiệu đưa vào INPUT của giai đoạn thứ nhất SR(1) của các bộ ghi dịch được nối với đầu cuối tín hiệu khởi động khung STV; và

ngoại trừ giai đoạn thứ nhất SR(1) của các bộ ghi dịch, các đầu cuối tín hiệu đưa vào INPUT của các giai đoạn khác SR(n) của các bộ ghi dịch được nối tương ứng với đầu cuối tín hiệu cấp ra OUT của giai đoạn liền kề trước đó của chúng SR(n-1) của các bộ ghi dịch.

Cụ thể là, chức năng và cấu trúc cụ thể của mỗi bộ ghi dịch trong mạch điều khiển cổng là tương tự như bộ ghi dịch theo sáng chế, và các phần đã mô tả sẽ không được mô tả lặp lại.

Theo ví dụ thực hiện cụ thể, theo phương án thực hiện sáng chế, như được thể hiện trên FIG.9, tất cả các đầu cuối tín hiệu đồng hồ CK0 của bộ ghi dịch giai đoạn thứ (3k-2) được nối với cùng một đường đồng hồ, tức là, all connected with the first đường đồng hồ ckv1. Tất cả các đầu cuối tín hiệu đồng hồ CK0 của các bộ ghi dịch

giai đoạn thứ (3k-1) được nối với cùng một đường đồng hồ, tức là, được nối với đường đồng hồ thứ hai ckv2. Tất cả các đầu cuối tín hiệu đồng hồ CK0 của bộ ghi dịch giai đoạn thứ (3k) được nối với cùng một đường đồng hồ, tức là, được nối với đường đồng hồ thứ ba ckv3; trong đó k là số nguyên dương.

Theo ví dụ thực hiện cụ thể, mạch điều khiển cổng được tạo ra theo phương án thực hiện sáng chế có thể được áp dụng cho bảng màn hình tinh thể lỏng (LCD - Liquid Crystal Display), và cũng có thể được áp dụng cho bảng hiển thị đi-ốt phát quang hữu cơ (OLED - Organic Light-Emitting Diode), mà không bị giới hạn ở đây. Ngoài ra, mạch điều khiển lưới theo phương án thực hiện sáng chế có thể điều khiển các đường cổng trong bảng hiển thị chỉ bằng ba đường tín hiệu đồng hồ, điều đó tốt cho việc thiết kế khung hẹp của bảng hiển thị.

Trên cơ sở nội dung tương tự, sáng chế theo một phương án còn đề xuất màn hình có mạch điều khiển cổng được tạo ra theo phương án thực hiện sáng chế. Nguyên lý của màn hình đề giải quyết vấn đề là tương tự như nguyên lý của bộ ghi dịch, nên ví dụ thực hiện về màn hình có thể tham khảo ví dụ thực hiện của bộ ghi dịch, và phần mô tả đã được mô tả không được mô tả lặp lại ở đây.

Theo ví dụ thực hiện cụ thể, màn hình được tạo ra theo phương án thực hiện sáng chế có thể là: sản phẩm hoặc bộ phận bất kỳ có chức năng hiển thị như điện thoại di động, máy tính bảng, máy thu hình, màn hiển thị, máy tính xách tay, khung ảnh kỹ thuật số, bảng hoa tiêu. Các bộ phận thiết yếu khác của màn hình được hiểu bởi người có hiểu biết trung bình về lĩnh vực kỹ thuật này và không được mô tả chi tiết ở đây, và không thể giới hạn sáng chế.

Theo bộ ghi dịch, mạch điều khiển cổng và màn hình được tạo ra theo các phương án thực hiện sáng chế, tín hiệu của đầu cuối tín hiệu đưa vào được cấp đến nút kéo lên nhờ mạch đầu vào dưới sự điều khiển của đầu cuối tín hiệu đưa vào; và tín hiệu của đầu cuối tín hiệu chuẩn thứ hai được cấp đến đầu cuối tín hiệu cấp ra nhờ mạch đầu ra dưới sự điều khiển của đầu cuối tín hiệu đồng hồ và tín hiệu của nút kéo lên, khiến cho đầu cuối tín hiệu cấp ra cấp ra tín hiệu xung hợp lệ. Tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất được cấp đến nút kéo lên nhờ mạch thiết lập lại dưới sự điều khiển của đầu cuối tín hiệu đưa vào và đầu cuối tín hiệu đồng hồ để thiết lập lại nút kéo lên. Mạch điều khiển kéo xuống thiết lập lại đầu cuối tín hiệu cấp ra theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất để cho phép đầu cuối tín hiệu cấp ra cấp ra tín hiệu xung không hợp lệ. Theo cách này, thông qua sự kết hợp của bốn mạch, bộ ghi dịch có thể thực hiện đầu ra thay đổi bình thường chỉ dưới sự

điều khiển của tín hiệu của một đầu cuối tín hiệu đồng hồ, khiến cho đầu cuối tín hiệu cấp ra của bộ ghi dịch cấp ra tín hiệu quét, mà được yêu cầu bởi đường công tương ứng, điều đó có thể giảm số lượng các đường tín hiệu đồng hồ thiết lập, hơn nữa làm giảm mức khó nối dây và không gian chiếm giữ, và tốt cho việc thiết kế khung hẹp của bảng hiển thị.

Người có hiểu biết trung bình về lĩnh vực kỹ thuật này sẽ hiểu rõ rằng các cải biến và biến thể khác nhau có thể được tạo ra theo sáng chế mà không nằm ngoài phạm vi bảo hộ của sáng chế. Do vậy, với điều kiện là các biến thể và cải biến của sáng chế này nằm trong phạm vi của các điểm yêu cầu bảo hộ của sáng chế và các dấu hiệu tương đương của chúng, sáng chế cũng dự định bao gồm cả các biến thể và cải biến này.

YÊU CẦU BẢO HỘ

1. Bộ ghi dịch bao gồm:

mạch đầu vào, mạch thiết lập lại, mạch điều khiển kéo xuống và mạch đầu ra; trong đó:

mạch đầu vào được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào, cấp tín hiệu của đầu cuối tín hiệu đưa vào đến nút kéo lên;

mạch thiết lập lại được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đưa vào và đầu cuối tín hiệu đồng hồ, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến nút kéo lên;

mạch đầu ra được tạo cấu hình để, dưới sự điều khiển của đầu cuối tín hiệu đồng hồ và tín hiệu của nút kéo lên, cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ hai đến đầu cuối tín hiệu cấp ra; và

mạch điều khiển kéo xuống được tạo cấu hình để thiết lập lại đầu cuối tín hiệu cấp ra theo tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất.

2. Bộ ghi dịch theo điểm 1, trong đó:

mạch đầu ra bao gồm tranzito chuyển mạch thứ ba, tranzito chuyển mạch thứ tư, và tụ trữ;

điện cực cổng của tranzito chuyển mạch thứ ba được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ ba được nối với đầu cuối tín hiệu đồng hồ, và điện cực thứ hai của tranzito chuyển mạch thứ ba được nối với điện cực cổng của tranzito chuyển mạch thứ tư;

điện cực thứ nhất của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu cấp ra; và

tụ trữ được nối giữa nút kéo lên và đầu cuối tín hiệu cấp ra.

3. Bộ ghi dịch theo điểm 1, trong đó:

mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ nhất;

mạch phụ điều khiển kéo xuống thứ nhất được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức tín hiệu của nút kéo lên ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa

vào.

4. Bộ ghi dịch theo điểm 3, trong đó:

mạch phụ điều khiển kéo xuống thứ nhất bao gồm tranzito chuyển mạch thứ năm, tranzito chuyển mạch thứ sáu, và tranzito chuyển mạch thứ bảy;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ năm đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ sáu được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ sáu được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ sáu được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ bảy được nối với nút kéo xuống thứ nhất, điện cực thứ nhất của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu cấp ra.

5. Bộ ghi dịch theo điểm 1, trong đó:

mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ hai;

mạch phụ điều khiển kéo xuống thứ hai được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức đầu cuối tín hiệu đồng hồ ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào.

6. Bộ ghi dịch theo điểm 5, trong đó:

mạch phụ điều khiển kéo xuống thứ hai bao gồm tranzito chuyển mạch thứ tám, tranzito chuyển mạch thứ chín, và tranzito chuyển mạch thứ mười;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ tám đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tám được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu đồng hồ, điện cực thứ nhất của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ chín được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ mười được nối với nút kéo xuống

thứ hai, điện cực thứ nhất của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu cấp ra.

7. Bộ ghi dịch theo điểm 1, trong đó:

mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ nhất và mạch phụ điều khiển kéo xuống thứ hai;

mạch phụ điều khiển kéo xuống thứ nhất được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức tín hiệu của nút kéo lên ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ hai được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức đầu cuối tín hiệu đồng hồ ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào.

8. Bộ ghi dịch theo điểm 7, trong đó:

mạch phụ điều khiển kéo xuống thứ nhất bao gồm tranzito chuyển mạch thứ năm, tranzito chuyển mạch thứ sáu, và tranzito chuyển mạch thứ bảy;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ năm đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ sáu được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ sáu được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ sáu được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ bảy được nối với nút kéo xuống thứ nhất, điện cực thứ nhất của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu cấp ra.

9. Bộ ghi dịch theo điểm 7, trong đó:

mạch phụ điều khiển kéo xuống thứ hai bao gồm tranzito chuyển mạch thứ tám, tranzito chuyển mạch thứ chín, và tranzito chuyển mạch thứ mười;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ tám đều

được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tám được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu đồng hồ, điện cực thứ nhất của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ chín được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ mười được nối với nút kéo xuống thứ hai, điện cực thứ nhất của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu cấp ra.

10. Bộ ghi dịch theo điểm 1, trong đó:

mạch đầu vào bao gồm tranzito chuyển mạch thứ mười một; và

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười một đều được nối với đầu cuối tín hiệu đưa vào, và điện cực thứ hai của tranzito chuyển mạch thứ mười một được nối với nút kéo lên.

11. Mạch điều khiển cổng bao gồm:

các bộ ghi dịch xếp tầng, mỗi bộ ghi dịch theo điểm 1;

trong đó đầu cuối tín hiệu đưa vào của giai đoạn thứ nhất của các bộ ghi dịch xếp tầng được nối với đầu cuối tín hiệu khởi động khung; và

ngoại trừ giai đoạn thứ nhất của các bộ ghi dịch xếp tầng, các đầu cuối tín hiệu đưa vào của các giai đoạn khác của các bộ ghi dịch xếp tầng được nối tương ứng với các đầu cuối tín hiệu cấp ra của giai đoạn liền kề trước đó của các bộ ghi dịch xếp tầng.

12. Màn hình bao gồm mạch điều khiển cổng theo điểm 11.

13. Bộ ghi dịch theo điểm 1, trong đó:

mạch thiết lập lại bao gồm mạch biến đổi đồng hồ và tranzito chuyển mạch;

đầu cuối đưa vào thứ nhất của mạch biến đổi đồng hồ được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của mạch biến đổi đồng hồ được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của mạch biến đổi đồng hồ được nối với điện cực cổng của tranzito chuyển mạch thứ nhất;

điện cực thứ nhất của tranzito chuyển mạch thứ nhất được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ nhất được nối với nút kéo lên.

14. Bộ ghi dịch theo điểm 13, trong đó:

mạch biến đổi đồng hồ là cổng NOR và tranzito chuyển mạch là tranzito chuyển mạch thứ nhất;

đầu cuối đưa vào thứ nhất của cổng NOR được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NOR được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NOR được nối với điện cực cổng của tranzito chuyển mạch thứ nhất;

điện cực thứ nhất của tranzito chuyển mạch thứ nhất được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ nhất được nối với nút kéo lên.

15. Bộ ghi dịch theo điểm 14, trong đó:

cổng NOR bao gồm tranzito chuyển mạch thứ mười hai M12, tranzito chuyển mạch thứ mười ba M13, tranzito chuyển mạch thứ mười bốn M14, tranzito chuyển mạch thứ mười năm M15, tranzito chuyển mạch thứ mười sáu M16, tranzito chuyển mạch thứ mười bảy M17, tranzito chuyển mạch thứ mười tám M18, và tranzito chuyển mạch thứ mười chín M19;

điện cực cổng của tranzito chuyển mạch thứ mười hai M12 được nối với đầu cuối tín hiệu đưa vào INPUT, điện cực thứ nhất của tranzito chuyển mạch thứ mười hai M12 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười hai M12 được nối với điện cực cổng của tranzito chuyển mạch thứ mười năm M15;

điện cực cổng của tranzito chuyển mạch thứ mười ba M13 được nối với đầu cuối tín hiệu đồng hồ CK0, điện cực thứ nhất của tranzito chuyển mạch thứ mười ba M13 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười ba M13 được nối với điện cực cổng của tranzito chuyển mạch thứ mười năm M15;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười bốn M14 đều được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười bốn M14 được nối với điện cực cổng của tranzito

chuyển mạch thứ mười năm M15;

điện cực thứ nhất của tranzito chuyển mạch thứ mười năm M15 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười năm M15 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18;

điện cực cổng của tranzito chuyển mạch thứ mười sáu M16 được nối với đầu cuối tín hiệu đưa vào INPUT, điện cực thứ nhất của tranzito chuyển mạch thứ mười sáu M16 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười sáu M16 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18;

điện cực cổng của tranzito chuyển mạch thứ mười bảy M17 được nối với đầu cuối tín hiệu đồng hồ CK0, điện cực thứ nhất của tranzito chuyển mạch thứ mười bảy M17 được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười bảy M17 được nối với điện cực cổng của tranzito chuyển mạch thứ mười tám M18;

điện cực thứ nhất của tranzito chuyển mạch thứ mười tám M18 được nối với đầu cuối tín hiệu chuẩn thứ nhất VR1, và điện cực thứ hai của tranzito chuyển mạch thứ mười tám M18 được nối với điện cực cổng của tranzito chuyển mạch thứ nhất M1;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười chín M19 đều được nối với đầu cuối tín hiệu chuẩn thứ hai VR2, và điện cực thứ hai của tranzito chuyển mạch thứ mười chín M19 được nối với điện cực cổng của tranzito chuyển mạch thứ nhất M1.

16. Bộ ghi dịch theo điểm 14, trong đó:

đầu cuối đưa vào thứ nhất của cổng NOR được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NOR được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NOR được nối với điện cực cổng của tranzito chuyển mạch thứ nhất;

điện cực thứ nhất của tranzito chuyển mạch thứ nhất được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ nhất được nối với nút kéo lên;

mạch đầu ra bao gồm tranzito chuyển mạch thứ ba, tranzito chuyển mạch thứ tư, và tụ trữ;

điện cực cổng của tranzito chuyển mạch thứ ba được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ ba được nối với đầu cuối tín hiệu đồng hồ, và điện cực thứ hai của tranzito chuyển mạch thứ ba được nối với điện cực cổng của tranzito chuyển mạch thứ tư;

điện cực thứ nhất của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu cấp ra; và

tụ trữ được nối giữa nút kéo lên và đầu cuối tín hiệu cấp ra;

mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ nhất và mạch phụ điều khiển kéo xuống thứ hai;

mạch phụ điều khiển kéo xuống thứ nhất được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức tín hiệu của nút kéo lên ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ hai được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức đầu cuối tín hiệu đồng hồ ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ nhất bao gồm tranzito chuyển mạch thứ năm, tranzito chuyển mạch thứ sáu, và tranzito chuyển mạch thứ bảy;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ năm đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ sáu được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ sáu được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ sáu được nối với nút kéo xuống thứ nhất;

điện cực cổng của tranzito chuyển mạch thứ bảy được nối với nút kéo xuống thứ nhất, điện cực thứ nhất của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu cấp ra;

mạch phụ điều khiển kéo xuống thứ hai bao gồm tranzito chuyển mạch thứ tám, tranzito chuyển mạch thứ chín, và tranzito chuyển mạch thứ mười;

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ tám đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển

mạch thứ tám được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu đồng hồ, điện cực thứ nhất của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ chín được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ mười được nối với nút kéo xuống thứ hai, điện cực thứ nhất của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu cấp ra;

mạch đầu vào bao gồm tranzito chuyển mạch thứ mười một; và

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười một đều được nối với đầu cuối tín hiệu đưa vào, và điện cực thứ hai của tranzito chuyển mạch thứ mười một được nối với nút kéo lên.

17. Bộ ghi dịch theo điểm 13, trong đó:

mạch biến đổi đồng hồ là cổng NAND và tranzito chuyển mạch là tranzito chuyển mạch thứ hai;

đầu cuối đưa vào thứ nhất của cổng NAND được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NAND được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NAND được nối với điện cực cổng của tranzito chuyển mạch thứ hai;

điện cực thứ nhất của tranzito chuyển mạch thứ hai được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ hai được nối với nút kéo lên.

18. Bộ ghi dịch theo điểm 17, trong đó:

đầu cuối đưa vào thứ nhất của cổng NAND được nối với đầu cuối tín hiệu đưa vào, đầu cuối đưa vào thứ hai của cổng NAND được nối với đầu cuối tín hiệu đồng hồ, và đầu cuối cấp ra của cổng NAND được nối với điện cực cổng của tranzito chuyển mạch thứ hai;

điện cực thứ nhất của tranzito chuyển mạch thứ hai được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ hai được nối với nút kéo lên;

mạch đầu ra bao gồm tranzito chuyển mạch thứ ba, tranzito chuyển mạch thứ

tư, và tụ trữ;

điện cực công của tranzito chuyển mạch thứ ba được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ ba được nối với đầu cuối tín hiệu đồng hồ, và điện cực thứ hai của tranzito chuyển mạch thứ ba được nối với điện cực công của tranzito chuyển mạch thứ tư;

điện cực thứ nhất của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tư được nối với đầu cuối tín hiệu cấp ra; và

tụ trữ được nối giữa nút kéo lên và đầu cuối tín hiệu cấp ra;

mạch điều khiển kéo xuống bao gồm mạch phụ điều khiển kéo xuống thứ nhất và mạch phụ điều khiển kéo xuống thứ hai;

mạch phụ điều khiển kéo xuống thứ nhất được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức tín hiệu của nút kéo lên ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ hai được tạo cấu hình để cấp tín hiệu của đầu cuối tín hiệu chuẩn thứ nhất đến đầu cuối tín hiệu cấp ra khi mức đầu cuối tín hiệu đồng hồ ngược lại với mức tín hiệu xung hợp lệ của đầu cuối tín hiệu đưa vào;

mạch phụ điều khiển kéo xuống thứ nhất bao gồm tranzito chuyển mạch thứ năm, tranzito chuyển mạch thứ sáu, và tranzito chuyển mạch thứ bảy;

cả điện cực công và điện cực thứ nhất của tranzito chuyển mạch thứ năm đều được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ năm được nối với nút kéo xuống thứ nhất;

điện cực công của tranzito chuyển mạch thứ sáu được nối với nút kéo lên, điện cực thứ nhất của tranzito chuyển mạch thứ sáu được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ sáu được nối với nút kéo xuống thứ nhất;

điện cực công của tranzito chuyển mạch thứ bảy được nối với nút kéo xuống thứ nhất, điện cực thứ nhất của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ bảy được nối với đầu cuối tín hiệu cấp ra;

mạch phụ điều khiển kéo xuống thứ hai bao gồm tranzito chuyển mạch thứ tám, tranzito chuyển mạch thứ chín, và tranzito chuyển mạch thứ mười;

cả điện cực công và điện cực thứ nhất của tranzito chuyển mạch thứ tám đều

được nối với đầu cuối tín hiệu chuẩn thứ hai, và điện cực thứ hai của tranzito chuyển mạch thứ tám được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu đồng hồ, điện cực thứ nhất của tranzito chuyển mạch thứ chín được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ chín được nối với nút kéo xuống thứ hai;

điện cực cổng của tranzito chuyển mạch thứ mười được nối với nút kéo xuống thứ hai, điện cực thứ nhất của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu chuẩn thứ nhất, và điện cực thứ hai của tranzito chuyển mạch thứ mười được nối với đầu cuối tín hiệu cấp ra;

mạch đầu vào bao gồm tranzito chuyển mạch thứ mười một; và

cả điện cực cổng và điện cực thứ nhất của tranzito chuyển mạch thứ mười một đều được nối với đầu cuối tín hiệu đưa vào, và điện cực thứ hai của tranzito chuyển mạch thứ mười một được nối với nút kéo lên.

19. Phương pháp thực hiện đầu ra thay đổi nhờ bộ ghi dịch theo điểm 1, trong đó đầu ra thay đổi bình thường được thực hiện nhờ bộ ghi dịch dưới sự điều khiển của tín hiệu của chỉ một đầu cuối tín hiệu đồng hồ thông qua sự kết hợp của mạch đầu vào, mạch thiết lập lại, mạch điều khiển kéo xuống và mạch đầu ra trong bộ ghi dịch.

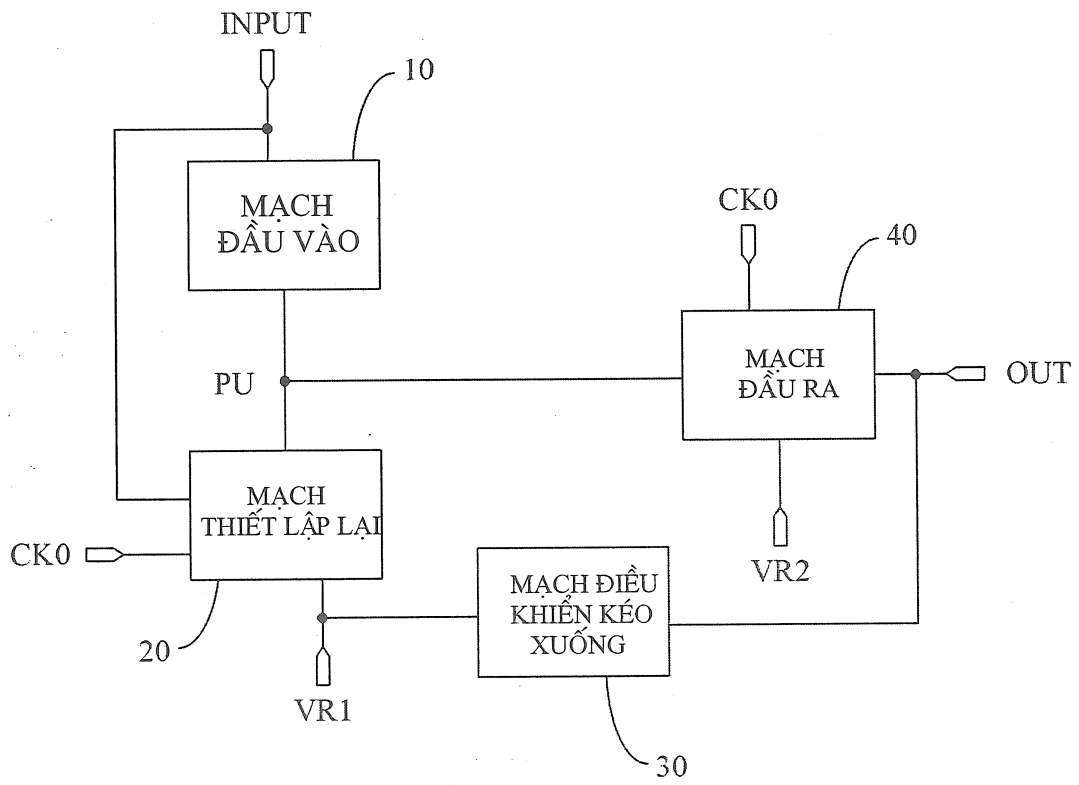


FIG. 1

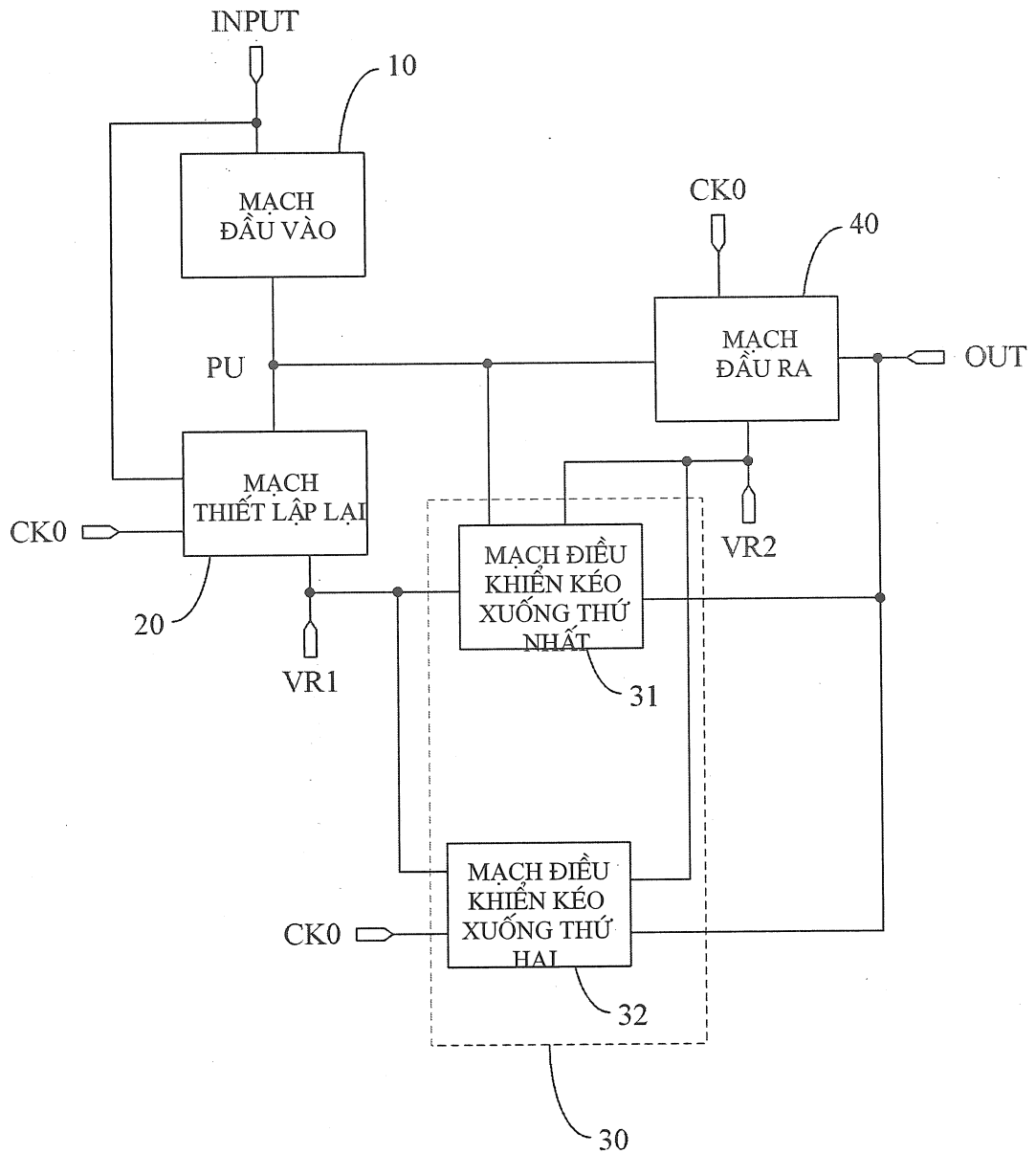


FIG. 2

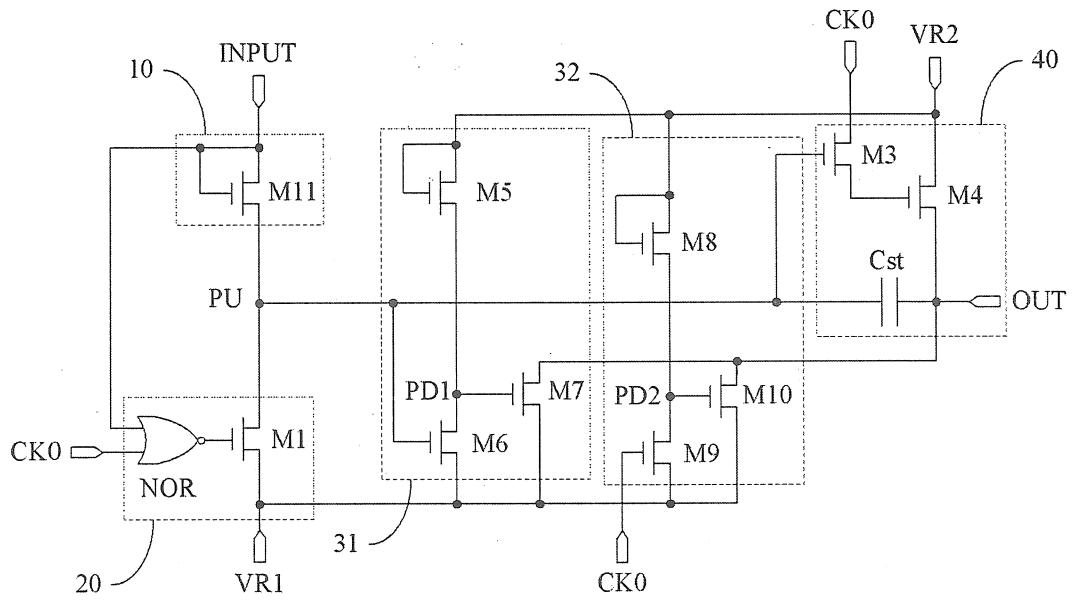


FIG. 3

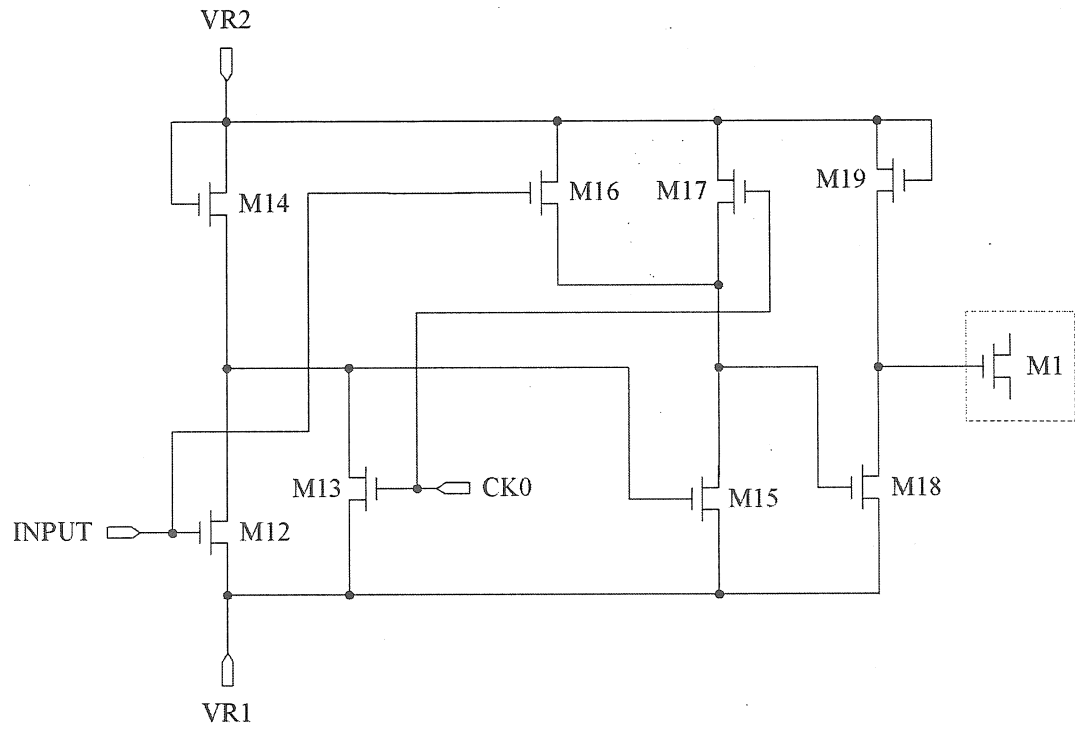


FIG. 4

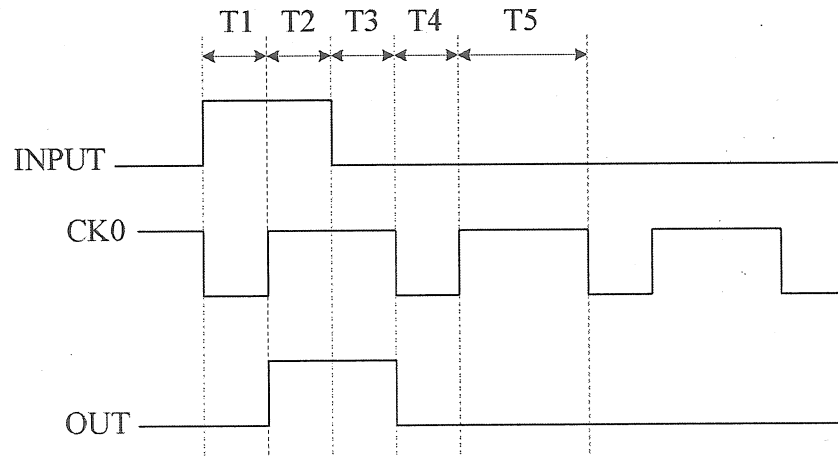


FIG. 5a

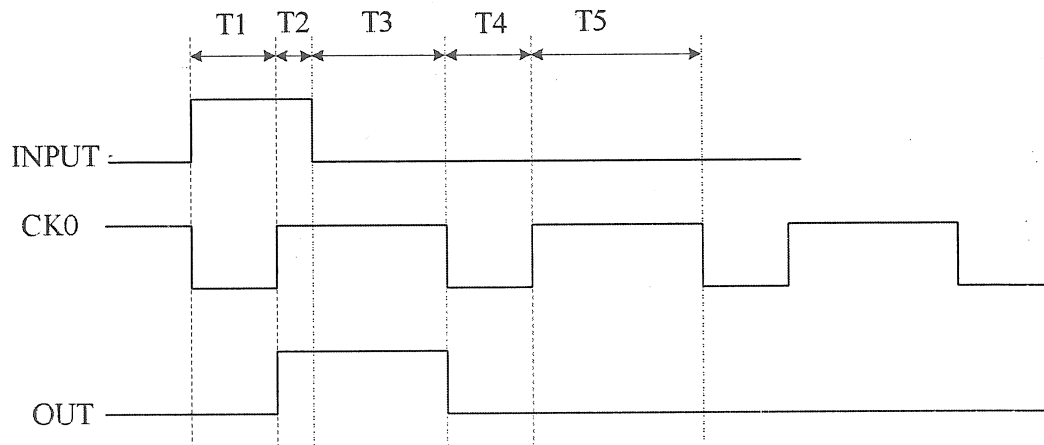


FIG. 5b

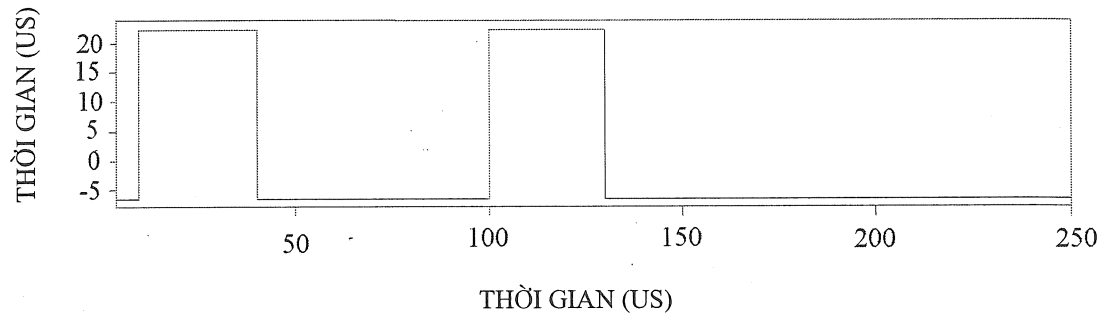


FIG. 6a

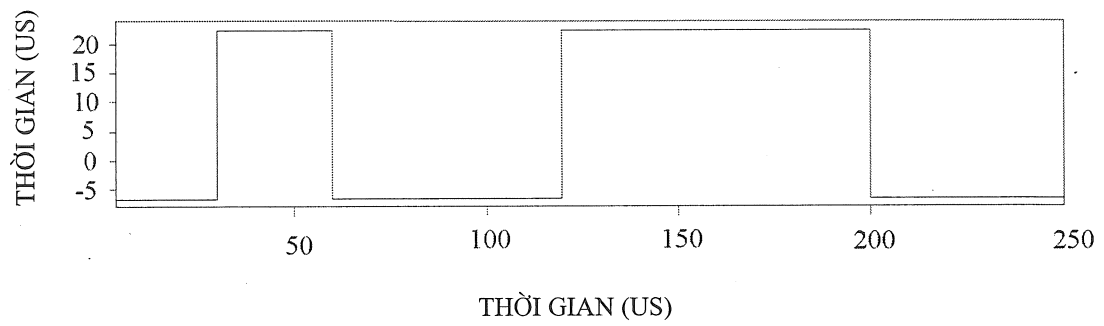


FIG. 6b

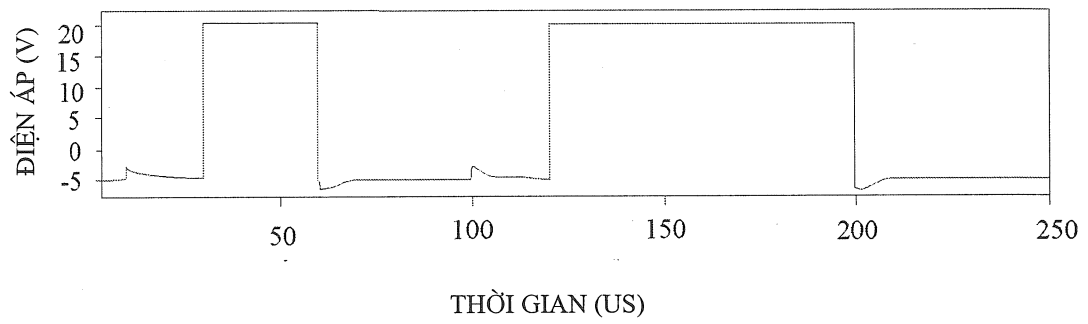


FIG. 6c

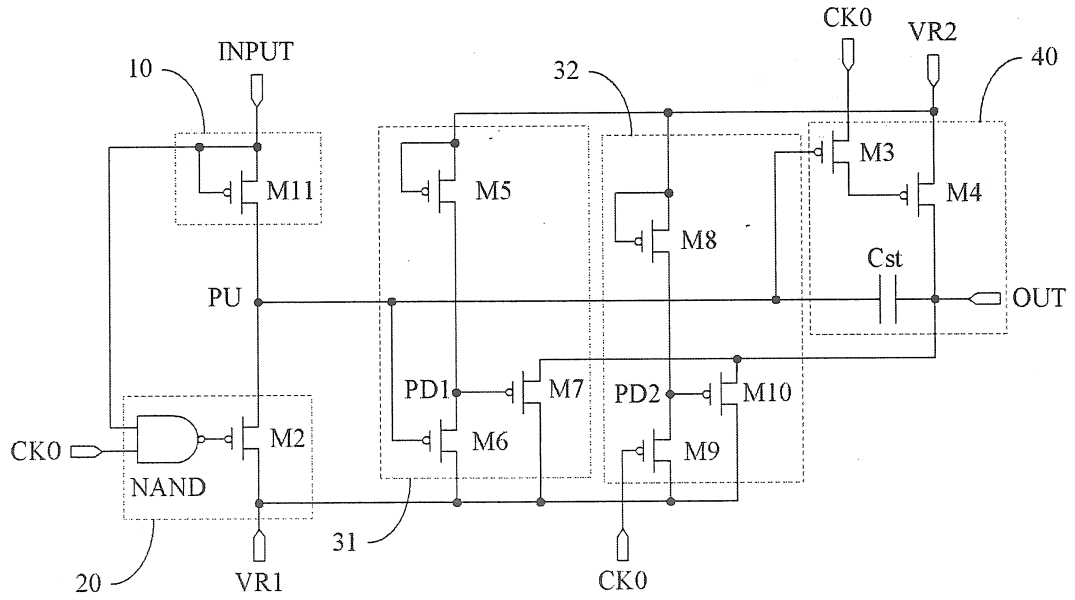


FIG. 7

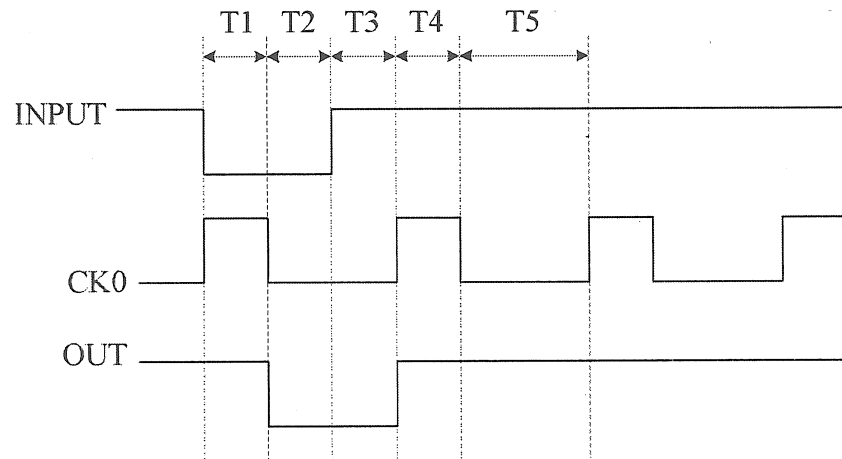


FIG. 8a

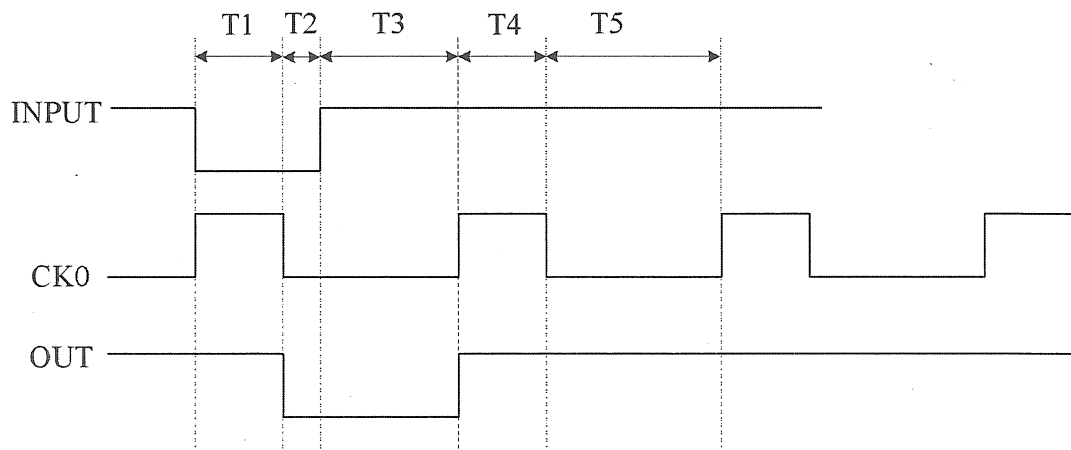


FIG. 8b

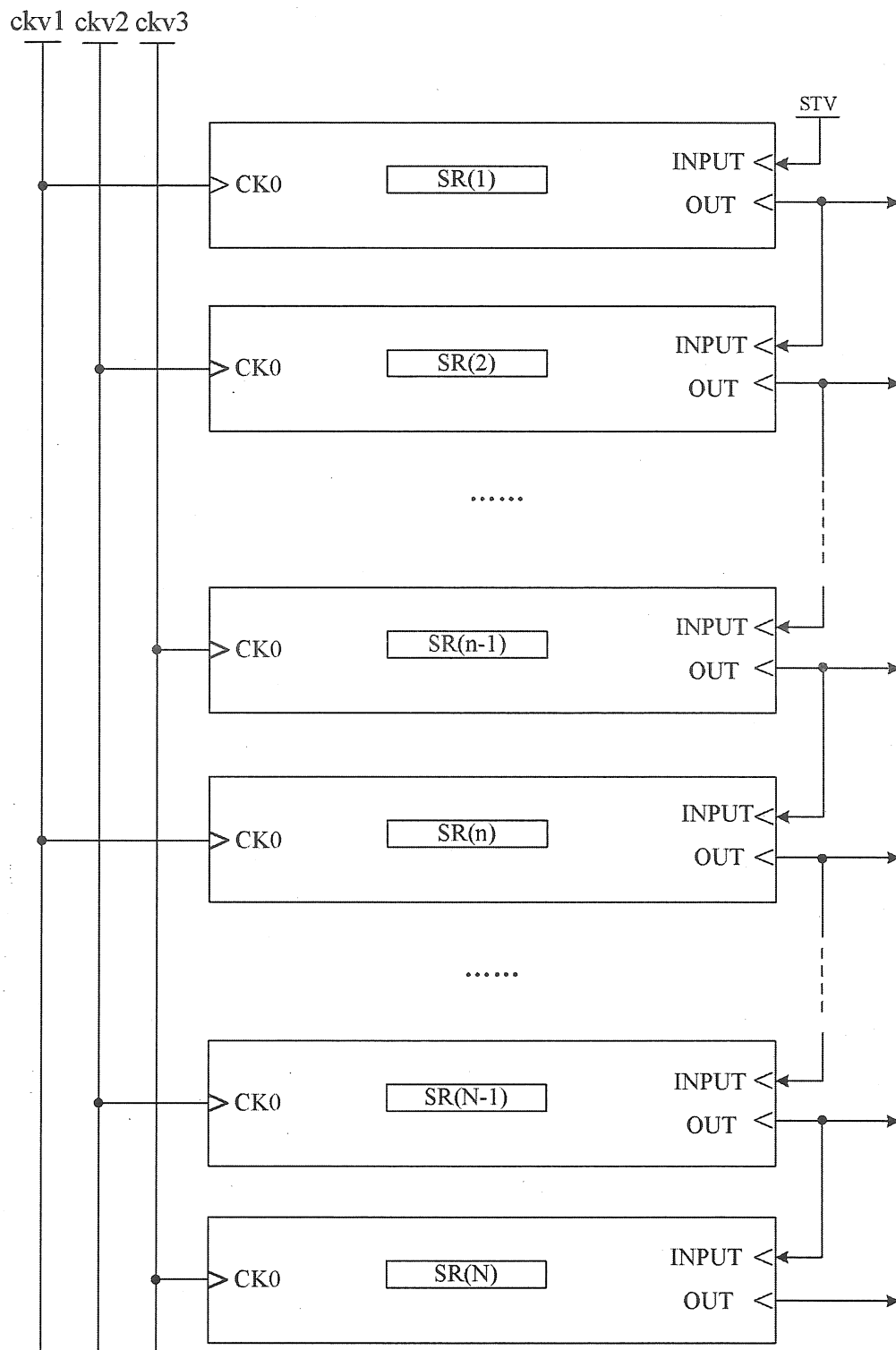


FIG. 9