



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0039573

(51)^{2019.01} H04L 1/00

(13) B

(21) 1-2019-05898

(22) 22/03/2018

(86) PCT/CN2018/079947 22/03/2018

(87) WO2018/171652 13/04/2023

(30) 201710184083.8 24/03/2017 CN

(45) 25/04/2024 433

(43) 25/02/2020 383A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong 518129, China

(72) XU, Chen (CN); ZHANG, Gongzheng (CN); LI, Rong (CN); ZHANG, Huazi (CN); HUANG, Lingchen (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) PHƯƠNG PHÁP VÀ THIẾT BỊ SO KHỚP TỐC ĐỘ MÃ CỤC VÀ VẬT LƯU TRỮ MÁY TÍNH ĐỌC ĐƯỢC

(57) Sáng chế đề xuất phương pháp so khớp tốc độ và thiết bị để mã hóa phân cực, vật lưu trữ máy tính đọc được, và vi mạch truyền thông. Phương pháp bao gồm các bước: mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai, và N là số nguyên dương; lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự; và đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau. Theo các phương án thực hiện, có thể giảm độ phức tạp phần cứng và khu vực bị chiếm bởi phần cứng.

Thực hiện mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai

301

Lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự

302

Đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau

303

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến công nghệ mã hóa và giải mã, cụ thể là phương pháp so khớp tốc độ và thiết bị để so khớp tốc độ mã cực.

Tình trạng kỹ thuật của sáng chế

Mã hóa kênh được sử dụng trong các hệ thống truyền thông để cải thiện độ tin cậy truyền dữ liệu, nhằm đảm bảo chất lượng truyền thông. Các mã phân cực, được đề xuất bởi giáo sư Arikan, Thổ Nhĩ Kỳ, là các loại mã đầu tiên được chứng tỏ về mặt lý thuyết là có thể đạt được dung lượng Shannon và có độ phức tạp mã hóa và giải mã thấp. Do vậy, các mã phân cực có khả năng ứng dụng và phát triển mạnh trong 5G, và được chấp nhận để mã hóa kênh điều khiển trong cuộc họp #87 của dự án hợp tác thế hệ thứ ba (the 3rd Generation Partnership Project, 3GPP) mạng truy nhập vô tuyến 1 (RAN: Radio Access Network).

Trong quá trình mã hóa, bộ mã hóa thực hiện so khớp tốc độ bằng cách sử dụng lặp bit, lược bớt, hoặc rút ngắn trên kênh truyền. Tuy nhiên, tất cả ba cách thức so khớp tốc độ theo giải pháp kỹ thuật đã biết cần được triển khai bằng cách sử dụng phần cứng tương ứng. Khi tất cả ba cách thức so khớp tốc độ được áp dụng, thì cần có ba tập hợp phần cứng khác nhau để triển khai các cách thức. Kết quả là, độ phức tạp triển khai phần cứng là cao, và khu vực lớn bị chiếm.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất phương pháp và thiết bị so khớp tốc độ mã phân cực, để giảm độ phức tạp phần cứng và khu vực bị chiếm bởi phần cứng.

Theo khía cạnh thứ nhất, các phương án thực hiện sáng chế đề xuất phương pháp so khớp tốc độ mã phân cực, bao gồm các bước:

mã hóa phân cực, theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai, và N là số nguyên dương;

lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa thu được sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự; và

đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau.

Do các cách thức so khớp tốc độ khác nhau tương ứng với thứ tự lưu trữ bit tương tự, để đảm bảo rằng các chuỗi đầu ra đúng có thể được xuất ra theo các cách thức so khớp tốc độ khác nhau sau khi so khớp tốc độ, các cách thức so khớp tốc độ khác nhau tương ứng với các thứ tự đọc bit khác nhau, tức là, các thứ tự chọn bit khác nhau.

Theo thiết kế khả thi, độ dài của chuỗi đầu ra là độ dài mã đích M , trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai lớn hơn độ dài mã mẹ N .

Theo thiết kế khả thi, trong đó lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa sau khi mã hóa phân cực cụ thể bao gồm các bước :

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit của các bit được mã hóa giống như thứ tự của các bit được đan xen; và

thu thập, các bit được đan xen, và lưu trữ các bit được đan xen into bộ nhớ

đệm tuần hoàn.

Bằng cách sử dụng cách thức đan xen, bit lược bớt hoặc bit rút ngắn có thể được thiết lập ở vị trí định trước, để tiện đọc bởi bộ mã hóa.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn; hoặc thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit đầu tiên sang bit thứ M trong bộ nhớ đệm tuần hoàn;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn sang bit thứ M trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, bit lược bớt hoặc bit rút ngắn được chỉ báo bởi cách thức so khớp tốc độ thứ nhất trong tập thứ nhất, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là:

đọc tuần tự các bit được mã hóa trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn đến bit thứ M trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, trong đó việc lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa thu được sau khi mã hóa phân cực cụ thể bao gồm:

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ giống như thứ tự của các bit được đan xen; và

thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được

đan xen bằng cách lược bớt khi thu thập bit hoặc trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách rút ngắn khi thu thập bit.

Theo thiết kế khả thi, trong đó lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa thu được sau khi mã hóa phân cực cụ thể bao gồm:

thu thập bit, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách lược bớt khi thu thập bit hoặc một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách rút ngắn trong các bit được mã hóa khi thu thập bit, thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ là thứ tự tự nhiên hoặc thứ tự đảo, và bộ đan xen không được yêu cầu để triển khai, nhờ đó giảm cấu hình phần cứng và độ phức tạp phần cứng.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, từ bit đầu tiên sang bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, từ bit cuối sang bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn M bit bắt đầu từ vị trí bất kỳ trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ bit bao gồm ít nhất một hoặc tổ hợp của các phần sau:

các bit được mã hóa được sắp xếp trong bộ nhớ đệm tuần hoàn theo thứ tự giảm dần, theo thứ tự tăng dần, theo thứ tự giảm dần sau khi đảo bit, theo thứ tự tăng dần sau khi đảo bit, theo thứ tự giảm dần của độ tin cậy, theo thứ tự tăng dần của độ tin cậy, theo thứ tự ngẫu nhiên, theo thứ tự tăng dần sau khi đảo bit độ lệch, theo thứ tự giảm dần sau khi đảo bit độ lệch, hoặc theo thứ tự tương ứng với đan xen tuyến tính theo bit.

Theo thiết kế khả thi, trong đó cách thức đan xen được sử dụng để chỉ báo số lượng R_n của các hàng, số lượng C_n của các cột, và đan xen hàng - cột hoặc

đan xen cột - hàng, trong đó cả R_n lẫn C_n là các lũy thừa nguyên của 2, và $N = R_n \times C_n$; và

khi cách thức đan xen là đan xen cột - hàng, thứ tự lưu trữ bit đang sắp xếp, theo hàng, các bit được mã hóa thu được sau khi đảo bit và đan xen cột, trong đó mỗi hàng của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen cột là các bit được mã hóa that are thu được sau khi đảo bit và đan xen cột; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen cột, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo theo hàng và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen cột, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc; hoặc

khi cách thức đan xen là đan xen hàng - cột, thứ tự lưu trữ bit đang sắp xếp, bởi cột, các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, trong đó mỗi cột của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen hàng là các bit được mã hóa mà thu được sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen cột được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo bởi cột và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Khía cạnh thứ hai theo các phương án thực hiện sáng chế đề xuất phương

pháp so khớp tốc độ mã phân cực, bao gồm các bước:

mã hóa phân cực, theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là một trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba, và N là số nguyên dương;

lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với thứ tự lưu trữ bit tương tự; và

đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó ít nhất hai trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Do các cách thức so khớp tốc độ khác nhau tương ứng với thứ tự lưu trữ bit tương tự, để đảm bảo rằng các chuỗi đầu ra đúng có thể được xuất ra theo các cách thức so khớp tốc độ khác nhau sau khi so khớp tốc độ, các cách thức so khớp tốc độ khác nhau tương ứng với các thứ tự đọc bit khác nhau, tức là, các thứ tự chọn bit khác nhau.

Theo thiết kế khả thi, độ dài của chuỗi đầu ra là độ dài mã đích M , trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ ba lớn hơn độ dài mã mẹ N .

Theo thiết kế khả thi, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, trong đó lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ

tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa sau khi mã hóa phân cực cụ thể bao gồm::

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit của các bit được mã hóa giống như thứ tự của các bit được đan xen; và

thu thập, các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ bit bao gồm: thứ tự lưu trữ thứ nhất và thứ tự lưu trữ thứ hai, trong đó cách thức so khớp tốc độ thứ nhất được sử dụng để chỉ báo trước thứ tự lưu trữ thứ nhất, và cách thức so khớp tốc độ thứ hai được sử dụng để chỉ báo trước thứ tự lưu trữ thứ hai; và

trong đó thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa; hoặc

trong đó thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ thứ nhất bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit; và

trong đó thứ tự lưu trữ thứ hai bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần sau khi đảo bit, thứ tự tăng dần sau khi đảo bit, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tăng dần sau khi đảo bit độ lệch, thứ tự giảm dần sau khi đảo bit độ lệch, thứ tự tương ứng với đan xen tuyến tính theo bit, và

thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit.

Theo thiết kế khả thi, khi thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự từ bit đầu tiên đến bit thứ M trong bộ nhớ đệm tuần hoàn; hoặc

khi thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa thu được sau khi mã hóa phân cực, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit đầu tiên đến bit thứ M trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Theo thiết kế khả thi, số chuỗi của bit lược bớt theo cách thức so khớp tốc độ thứ nhất trong tập thứ nhất, và số chuỗi của bit rút ngắn theo cách thức so khớp tốc độ thứ hai trong tập thứ hai;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là:

đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số

chuỗi tương ứng với bit hiện tại trong tập thứ hai, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Theo thiết kế khả thi, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự đọc bit tương tự, và trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, trong đó việc lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa bao gồm bước:

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách lược bớt khi thu thập bit hoặc trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách rút ngắn khi thu thập bit.

Theo thiết kế khả thi, trong đó việc lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa bao gồm các bước:

thu thập bit, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách lược bớt khi thu thập bit hoặc một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách rút ngắn trong các bit được mã hóa khi thu thập bit, thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ là thứ tự tự nhiên hoặc thứ tự đảo.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, từ bit đầu tiên đến bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, từ bit cuối sang bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn M bit, bắt đầu từ vị trí bất kỳ trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Khía cạnh thứ ba theo các phương án thực hiện sáng chế đề xuất thiết bị so khớp tốc độ mã phân cực, bao gồm:

môđun mã hóa, được tạo cấu hình để mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ để thu được các bit được mã hóa, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai, và N là số nguyên dương;

môđun lưu trữ, được tạo cấu hình để lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa thu được sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự; và

môđun đọc, được tạo cấu hình để đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, độ dài của chuỗi đầu ra là độ dài mã đích M , trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai lớn hơn độ dài mã mẹ N .

Theo thiết kế khả thi, trong đó môđun lưu trữ được tạo cấu hình để đan xen theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit

được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit của các bit được mã hóa giống như thứ tự của các bit được đan xen; và

thu thập, các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn; hoặc thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit đầu tiên sang bit thứ M trong bộ nhớ đệm tuần hoàn;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn sang bit thứ M trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, bit lược bớt hoặc bit rút ngắn được chỉ báo bởi cách thức so khớp tốc độ thứ nhất trong tập thứ nhất, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là:

đọc tuần tự các bit được mã hóa trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn đến bit thứ M trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, môđun lưu trữ được tạo cấu hình cụ thể để:

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ giống như thứ tự của các bit được đan xen; và

thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen into bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được

đan xen bằng cách lược bớt khi thu thập bit hoặc trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách rút ngắn khi thu thập bit.

Theo thiết kế khả thi, trong đó môđun lưu trữ được tạo cấu hình cụ thể để: thu thập bit, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách lược bớt khi thu thập bit hoặc một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách rút ngắn trong các bit được mã hóa khi thu thập bit, thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ là thứ tự tự nhiên hoặc thứ tự đảo.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, từ bit đầu tiên đến bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, từ bit cuối sang bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn M bit bắt đầu từ vị trí bất kỳ trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ bit bao gồm ít nhất một hoặc tổ hợp của các phần sau:

các bit được mã hóa được sắp xếp trong bộ nhớ đệm tuần hoàn theo thứ tự giảm dần, theo thứ tự tăng dần, theo thứ tự giảm dần sau khi đảo bit, theo thứ tự tăng dần sau khi đảo bit, theo thứ tự giảm dần của độ tin cậy, theo thứ tự tăng dần của độ tin cậy, theo thứ tự ngẫu nhiên, theo thứ tự tăng dần sau khi đảo bit độ lệch, theo thứ tự giảm dần sau khi đảo bit độ lệch, hoặc theo thứ tự tương ứng với đan xen tuyến tính theo bit.

Theo thiết kế khả thi, trong đó cách thức đan xen được sử dụng để chỉ báo số lượng R_n của các hàng, số lượng C_n của các cột, và đan xen hàng - cột hoặc đan xen cột - hàng, trong đó cả R_n lẫn C_n là các lũy thừa nguyên của 2, và $N = R_n \times C_n$; và

khi cách thức đan xen là đan xen cột - hàng, thứ tự lưu trữ bit đang sắp xếp, theo hàng, các bit được mã hóa thu được sau khi đảo bit và đan xen cột, trong

đó mỗi hàng của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen cột là các bit được mã hóa thu được sau khi đảo bit và đan xen cột;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen cột, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo theo hàng và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen cột, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc; hoặc

khi cách thức đan xen là đan xen hàng - cột, thứ tự lưu trữ bit đang sắp xếp, bởi cột, các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, trong đó mỗi cột của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen hàng là các bit được mã hóa thu được sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen cột được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo bởi cột và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Khía cạnh thứ tư của các phương án thực hiện sáng chế đề xuất thiết bị so khớp tốc độ mã phân cực, bao gồm:

môđun mã hóa, được tạo cấu hình để mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là một trong cách thức so khớp tốc

độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba, và N là số nguyên dương;

môđun lưu trữ, được tạo cấu hình để lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với thứ tự lưu trữ bit tương tự; và

môđun đọc, được tạo cấu hình để đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó ít nhất hai trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, độ dài của chuỗi đầu ra là độ dài mã đích M , trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ ba lớn hơn độ dài mã mẹ N .

Theo thiết kế khả thi, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, trong đó môđun lưu trữ được tạo cấu hình cụ thể để:

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit của các bit được mã hóa giống như thứ tự của các bit được đan xen; và

thu thập, các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ bit bao gồm: thứ tự lưu trữ thứ nhất và thứ tự lưu trữ thứ hai, trong đó cách thức so khớp tốc độ thứ nhất được sử dụng để chỉ báo trước thứ tự lưu trữ thứ nhất, và cách thức so khớp tốc độ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ thứ hai in advance; và

trong đó thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa; hoặc

trong đó thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa.

Theo thiết kế khả thi, trong đó thứ tự lưu trữ thứ nhất bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit; và

trong đó thứ tự lưu trữ thứ hai bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần sau khi đảo bit, thứ tự tăng dần sau khi đảo bit, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tăng dần sau khi đảo bit độ lệch, thứ tự giảm dần sau khi đảo bit độ lệch, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit.

Theo thiết kế khả thi, khi thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự từ bit đầu tiên

đến bit thứ M trong bộ nhớ đệm tuần hoàn; hoặc

khi thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa thu được sau khi mã hóa phân cực, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự từ bit đầu tiên đến bit thứ M trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Theo thiết kế khả thi, số chuỗi của bit lược bớt theo cách thức so khớp tốc độ thứ nhất trong tập thứ nhất, và số chuỗi của bit rút ngắn theo cách thức so khớp tốc độ thứ hai trong tập thứ hai;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là:

đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ hai, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Theo thiết kế khả thi, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự đọc bit tương tự, và trong đó

cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Theo thiết kế khả thi, trong đó môđun lưu trữ được tạo cấu hình cụ thể để:

đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách lược bớt khi thu thập bit hoặc trong đó một hoặc nhiều bit được xóa khỏi các bit được đan xen bằng cách rút ngắn khi thu thập bit.

Theo thiết kế khả thi, trong đó môđun lưu trữ được tạo cấu hình cụ thể để:

thu thập bit, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách lược bớt khi thu thập bit hoặc một hoặc nhiều bit được xóa khỏi các bit được mã hóa bằng cách rút ngắn trong các bit được mã hóa khi thu thập bit, thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ là thứ tự tự nhiên hoặc thứ tự đảo.

Theo thiết kế khả thi, trong đó thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, từ bit đầu tiên đến bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, từ bit cuối sang bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn M bit, bắt đầu từ vị trí bất kỳ trong bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Khía cạnh thứ năm của các phương án thực hiện sáng chế đề xuất thiết bị so khớp tốc độ mã phân cực, bao gồm bộ nhớ và bộ xử lý. Bộ nhớ được tạo cấu hình để lưu trữ chương trình. Bộ xử lý được tạo cấu hình để thực thi chương trình được lưu trữ trong bộ nhớ. Khi chương trình được thực thi, bộ xử lý được tạo cấu hình để thực hiện phương pháp theo một trong khía cạnh thứ nhất và

các triển khai khác nhau của khía cạnh thứ nhất, hoặc bộ xử lý được tạo cấu hình để thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ hai và các triển khai khác nhau của khía cạnh thứ hai.

Khía cạnh thứ sáu của các phương án thực hiện sáng chế đề xuất vật lưu trữ máy tính đọc được, bao gồm lệnh. Khi chạy trên máy tính, lệnh khiến máy tính có thể thực hiện phương pháp theo trường hợp bất kỳ trong khía cạnh thứ nhất và các triển khai khác nhau của khía cạnh thứ nhất, hoặc khiến máy tính có thể thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ hai và các triển khai khác nhau của khía cạnh thứ hai.

Khía cạnh thứ bảy của các phương án thực hiện sáng chế đề xuất sản phẩm chương trình máy tính. Sản phẩm chương trình máy tính bao gồm mã chương trình máy tính. Khi chạy trên máy tính, mã chương trình máy tính khiến máy tính có thể thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ nhất và các triển khai khác nhau của khía cạnh thứ nhất, hoặc khiến máy tính có thể thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ hai và các triển khai khác nhau của khía cạnh thứ hai.

Khía cạnh thứ tám của các phương án thực hiện sáng chế đề xuất vi mạch, bao gồm bộ nhớ và bộ xử lý. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý được tạo cấu hình để gọi, từ bộ nhớ, và chạy chương trình máy tính, sao cho bộ xử lý thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ nhất và các triển khai khác nhau của khía cạnh thứ nhất, hoặc bộ xử lý thực hiện phương pháp theo trường hợp bất kỳ của khía cạnh thứ hai và các triển khai khác nhau của khía cạnh thứ hai.

Các phương án thực hiện sáng chế đề xuất phương pháp và thiết bị mã phân cực so khớp tốc độ. Theo phương pháp, mã hóa phân cực được thực hiện theo độ dài mã mẹ N và cách thức so khớp tốc độ, để có các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai; các bit được mã hóa được lưu trữ vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức

so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự, sao cho cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với cách thức đan xen tương tự, và một bộ đan xen có thể được sử dụng để triển khai hai cách thức so khớp tốc độ, hoặc khi việc lưu trữ được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo, có thể thực hiện lưu trữ ngay mà không cần bộ đan xen, nhờ đó giảm độ phức tạp phần cứng và khu vực bị chiếm bởi phần cứng; và chuỗi đầu ra thu được sau khi so khớp tốc độ được đọc từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau, sao cho các đầu ra khác nhau được triển khai cho các cách thức so khớp tốc độ khác nhau, và đảm bảo rằng bộ mã hóa có thể xuất ra chuỗi đầu ra đúng cho bộ giải mã.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ thể hiện kiến trúc mạng có thể áp dụng được cho phương án thực hiện sáng chế;

Fig.2 là lưu đồ của xử lý so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế;

Fig.3 là lưu đồ của phương pháp so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế;

Fig.4 là sơ đồ 1 của thứ tự lưu trữ bit theo phương án thực hiện sáng chế;

Fig.5 là sơ đồ 1 của thứ tự đọc bit theo phương án thực hiện sáng chế;

Fig.6 là sơ đồ đan xen hàng - cột của các bit được mã hóa theo phương án thực hiện sáng chế;

Fig.7 là lưu đồ của phương pháp so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế;

Fig.8 là sơ đồ 2 của thứ tự lưu trữ bit theo phương án thực hiện sáng chế;

Fig.9 là sơ đồ 2 của thứ tự đọc bit theo phương án thực hiện sáng chế;

Fig.10 là sơ đồ 3 của thứ tự lưu trữ bit theo phương án thực hiện sáng chế;

Fig.11 là sơ đồ đảo bit độ lệch theo phương án thực hiện sáng chế;

Fig.12 là sơ đồ 3 của thứ tự đọc bit theo phương án thực hiện sáng chế;

Fig.13 là sơ đồ cấu trúc 1 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế;

Fig.14 là sơ đồ cấu trúc 2 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế; và

Fig.15 là sơ đồ cấu trúc 3 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Kiến trúc mạng và kịch bản dịch vụ được mô tả theo các phương án thực hiện sáng chế được nhằm minh họa các giải pháp kỹ thuật của các phương án thực hiện sáng chế rõ ràng hơn, và không giới hạn ở các giải pháp kỹ thuật theo các phương án thực hiện sáng chế. Người có kiến thức trung bình trong lĩnh vực có thể biết rằng với sự tiến hóa của kiến trúc mạng và sự xuất hiện của các kịch bản dịch vụ mới, các giải pháp kỹ thuật theo các phương án thực hiện sáng chế cũng áp dụng được cho các vấn đề kỹ thuật tương tự.

Các phương án thực hiện sáng chế có thể được áp dụng cho kịch bản trong đó mã hóa phân cực được thực hiện trên các bit thông tin, và có thể được áp dụng cho Wi-Fi, 4G, 5G, và hệ thống truyền thông tương lai. Fig.1 thể hiện kiến trúc mạng mà có thể áp dụng được cho phương án thực hiện sáng chế. Như được thể hiện trên Fig.1, kiến trúc mạng theo phương án thực hiện bao gồm thiết bị mạng 01 và thiết bị đầu cuối 02. Thiết bị đầu cuối theo phương án thực hiện sáng chế có thể bao gồm các thiết bị khác có chức năng truyền thông không dây, chẳng hạn thiết bị cầm tay, thiết bị trong xe, thiết bị đeo được, thiết bị tính toán, các thiết bị xử lý khác được kết nối với các modem không dây, và các thiết bị đầu cuối, các trạm di động (Mobile Station, MS), và thiết bị tương tự ở các dạng khác nhau. Thiết bị mạng theo phương án thực hiện sáng chế là thiết bị được khai triển trên RAN và được tạo cấu hình để cấp chức năng truyền thông không dây cho thiết bị đầu cuối. Theo phương án thực hiện, thiết bị mạng có thể là, chẳng hạn, trạm cơ sở (base station, BS) được thể hiện trên Fig.1, và

BS có thể bao gồm macro BS, micro BS, các trạm chuyển tiếp, các điểm truy nhập (access point, AP), và tương tự ở các dạng khác nhau. Chuyên gia trong lĩnh vực có thể hiểu rằng phương pháp theo các phương án thực hiện sáng chế cũng có thể áp dụng được cho thiết bị mạng khác đòi hỏi mã hóa, và thiết bị mạng không bị giới hạn ở BS theo phương án thực hiện.

Trong ứng dụng thực, bộ mã hóa cần thực hiện so khớp tốc độ sau khi mã hóa, để triển khai mã phân cực có độ dài mã bất kỳ bằng cách sử dụng so khớp tốc độ, và bộ giải mã cần thực hiện giải so khớp tốc độ và giải mã. Khi thiết bị mạng là bộ mã hóa, thiết bị đầu cuối tương ứng là bộ giải mã; hoặc khi bộ mã hóa là thiết bị đầu cuối, bộ giải mã tương ứng là thiết bị mạng.

Để dễ hiểu, phần sau trước hết mô tả độ dài mã đích và độ dài mã mẹ trong quá trình mã hóa phân cực.

Độ dài mã đích M được xác định theo ít nhất một trong số lượng K bit thông tin, tốc độ bit R , tài nguyên được phân phối, và chất lượng kênh. Chẳng hạn, $M = \text{INT}(K/R)$, trong đó $\text{INT}(\cdot)$ chỉ báo làm tròn. Độ dài mã đích M là độ dài của chuỗi đầu ra thu được sau khi so khớp tốc độ. Theo phương án thực hiện, cách thức cụ thể xác định độ dài mã đích M không bị giới hạn cụ thể.

Độ dài mã mẹ N có thể được xác định theo độ dài mã đích M . Chẳng hạn, $N = \min(2^n, N_{\max})$, trong đó n là số nguyên nhỏ hơn lớn hơn hoặc bằng $\log 2^M$. Chẳng hạn, $N = \min(2^{\lceil \log 2^M \rceil}, N_{\max})$, trong đó $\min(\cdot)$ chỉ báo lấy giá trị nhỏ nhất, $N_{\max}$ chỉ báo độ dài mã mẹ lớn nhất được hỗ trợ bởi hệ thống, và $\lceil \cdot \rceil$ chỉ báo làm tròn lên. Mã mẹ là vectơ hàng nhị phân. Một số bit được sử dụng để mang thông tin, tức là, mang các bit thông tin. Các bit khác được gán về giá trị cố định được thỏa thuận trước giữa bộ mã hóa và bộ giải mã, và được gọi là các bit đóng băng. Các bit đóng băng có thể được gán ngẫu nhiên, và thường được gán bằng 0. Độ dài mã mẹ có thể được xác định theo cách khác. Phương án thực hiện chỉ đề xuất triển khai khả thi ở đây làm ví dụ.

Phần sau mô tả riêng rẽ ba cách thức so khớp tốc độ. Lược bớt: Tái tạo dựa

trên lược bớt được biểu diễn bằng lược bớt gần như đều nhau (Quasi-Uniform Puncture, QUP) là một trong các cách thức mã hóa và so khớp tốc độ để triển khai mã phân cực có độ dài mã bất kỳ. Cụ thể là, trước hết xác định rằng độ dài mã mẹ là lũy thừa nguyên của 2 lớn hơn hoặc bằng độ dài mã đích, và sau đó vị trí lược bớt được xác định theo độ dài mã mẹ và độ dài mã đích. Dung lượng kênh tương ứng với vị trí lược bớt được gán bằng 0 (hoặc xác suất lỗi được gán bằng 1, hoặc tỷ lệ tín hiệu trên nhiễu (signal-to-noise ratio, SNR) được gán vô cùng nhỏ). Độ tin cậy của các kênh phân cực được tính toán bằng cách sử dụng tiến hóa mật độ, xấp xỉ Gaussian, hoặc phương pháp khớp tuyến tính, và được sắp xếp, để xác định các vị trí của bit thông tin và bit đóng băng. Trong khi gửi, bộ mã hóa xóa bit mã hóa ở vị trí lược bớt định trước, để có mã phân cực và triển khai so khớp tốc độ. Trong khi giải mã, bit tương ứng với vị trí lược bớt định trước được sử dụng làm bit không được biết, và tỷ số hợp lý logarit (Log-likelihood Ratio, LLR) tương ứng được gán bằng 0, và được sử dụng để khôi phục độ dài mã mẹ cùng với LLR nhận được của vị trí không lược bớt, để triển khai giải so khớp tốc độ. Sau đó giải mã được thực hiện.

Rút ngắn: tương tự trong lược bớt, được xác định rằng độ dài mã mẹ là lũy thừa nguyên của 2 lớn hơn hoặc bằng độ dài mã đích. Khác biệt ở chỗ bit được mã hóa ở vị trí rút ngắn chỉ liên quan đến bit được đóng băng, bit ở vị trí rút ngắn được sử dụng làm bit đã biết trong khi giải mã, và LLR tương ứng được gán bằng cực lớn. Trước hết, độ tin cậy của các kênh phân cực được tính toán theo mã mẹ. Sau đó, vị trí rút ngắn được xác định, và bit được đóng băng được đặt trong kênh phân cực tương ứng. Cuối cùng, các vị trí của bit thông tin và bit được đóng băng được xác định trong các kênh phân cực còn lại theo độ tin cậy. Trong khi gửi, bit được mã hóa ở vị trí rút ngắn định trước bị xóa, để thu được mã phân cực và triển khai so khớp tốc độ. Trong khi giải mã, bit rút ngắn được sử dụng làm bit được biết, và LLR được gán cực lớn, và được sử dụng để khôi phục độ dài mã mẹ cùng với LLR nhận được của vị trí không rút ngắn, để triển khai giải so khớp tốc độ. Sau đó giải mã được thực hiện.

Lặp lại: Để cân bằng hiệu năng và độ phức tạp mã hóa, độ dài mã mẹ lớn

nhất (lũy thừa nguyên của 2) cần bị giới hạn. Lắp lại được thực hiện trên mã phân cực thu được sau khi mã hóa theo độ dài mã mẹ lớn nhất, để thu được độ dài mã đích lớn hơn độ dài mã mẹ lớn nhất và triển khai mã phân cực so khớp tốc độ. Khác với trong việc lược bớt và rút ngắn, trong lắp lại, các bit đã được mã hóa thành độ dài mã mẹ lớn nhất được gửi lắp lại theo thứ tự cụ thể, cho đến khi đạt độ dài mã đích, nhờ đó triển khai quá trình so khớp tốc độ. Ở bộ giải mã, các LLR của cùng vị trí mã hóa được kết hợp để triển khai giải so khớp tốc độ, và giải mã được thực hiện theo độ dài mã mẹ lớn nhất.

Phương án thực hiện sáng chế đề xuất mã phân cực phương pháp so khớp tốc độ, để giải quyết vấn đề kỹ thuật mà ba tập phần cứng được yêu cầu cho ba cách thức so khớp tốc độ, cụ thể là, ba bộ đan xen được yêu cầu để thực hiện tương ứng đan xen bằng cách sử dụng các bộ đan xen tương ứng với ba cách thức so khớp tốc độ, và kết quả là, độ phức tạp triển khai phần cứng là cao, và diện tích lớn bị chiếm.

Fig.2 là lưu đồ xử lý so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.2, cách thức so khớp tốc độ được chọn theo tham số mã hóa; mã hóa phân cực được thực hiện, và dòng bit thông tin được xuất ra; dòng bit thông tin được đan xen bằng cách sử dụng bộ đan xen, sao cho dòng bit thông tin được sắp xếp theo thứ tự định trước; thu thập bit được thực hiện trên dòng bit thông tin theo thứ tự định trước, và dòng bit thông tin được gửi đến bộ nhớ đệm tuần hoàn; và phương pháp chọn bit tương ứng với cách thức so khớp tốc độ được chọn, để thu được chuỗi đầu ra sau khi so khớp tốc độ. Theo phương án thực hiện Fig.2, theo các phương án thực hiện sau, bộ mã hóa đồng thời hỗ trợ hai hoặc ba cách thức so khớp tốc độ, và chỉ một bộ đan xen được yêu cầu để triển khai. Phần sau mô tả, bằng cách sử dụng các phương án thực hiện chi tiết, phương pháp so khớp tốc độ mã phân cực lại dựa trên bộ nhớ đệm tuần hoàn theo các phương án thực hiện sáng chế.

Fig.3 là lưu đồ của phương pháp so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Phương pháp theo phương án thực hiện áp dụng được cho quá trình nêu trên thực hiện so khớp tốc độ bởi bộ mã hóa. Theo phương án

thực hiện, bộ mã hóa hỗ trợ hai cách thức so khớp tốc độ. Chẳng hạn, hai cách thức so khớp tốc độ có thể là rút ngắn và lặp lại, hoặc có thể là lược bớt và lặp lại. Chuyên gia trong lĩnh vực có thể hiểu rằng rút ngắn và lược bớt có thể được sử dụng làm một triển khai, được gọi là lược bớt, rút ngắn, hoặc các cách khác. Phương pháp theo phương án thực hiện bao gồm các bước sau.

Bước 301: Mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai.

Theo phương án thực hiện, cách thức so khớp tốc độ thứ nhất có thể là lược bớt hoặc rút ngắn nêu trên, và cách thức so khớp tốc độ thứ hai có thể là lặp lại nêu trên.

Khi độ dài mã đích M nhỏ hơn độ dài mã mẹ N , bộ mã hóa có thể lựa chọn cách thức so khớp tốc độ thứ nhất. Liệu cách thức so khớp tốc độ thứ nhất cụ thể là rút ngắn hoặc lược bớt có thể được xác định theo tốc độ bit. Cụ thể là, phép tương ứng giữa tốc độ bit và rút ngắn hoặc lược bớt có thể được định trước bằng cách sử dụng giao thức.

Khi độ dài mã đích M lớn hơn độ dài mã mẹ N , bộ mã hóa lựa chọn cách thức so khớp tốc độ thứ hai.

Chuyên gia trong lĩnh vực có thể hiểu rằng trong một quá trình mã hóa, bộ mã hóa lựa chọn một cách thức so khớp tốc độ để so khớp tốc độ. Sau khi cách thức so khớp tốc độ được chọn, mã hóa phân cực được thực hiện theo độ dài mã mẹ N và cách thức so khớp tốc độ được chọn. Đối với cách thức xác định độ dài mã mẹ, tham khảo phương án thực hiện nêu trên.

Cụ thể là, mã phân cực được tạo theo độ dài mã mẹ N , số lượng K bit thông tin, và cách thức so khớp tốc độ được chọn; và mã hóa được thực hiện theo mã phân cực được tạo, để thu được các bit được mã hóa có độ dài N . Ở đây, mã phân cực bao gồm nhưng không bị giới hạn ở mã phân cực Arikan, mã phân cực kiểm tra chẵn lẻ (Parity Check, PC), mã phân cực CA, và mã phân cực PC-CA. Mã phân cực Arikan là mã phân cực thô không được nối với các mã

khác và bao gồm chỉ bit thông tin và bit được đóng băng. Mã phân cực PC là mã phân cực được nối với PC. Mã phân cực CA là mã phân cực được nối với mã phân cực kiểm tra dư thừa tuần hoàn (Cyclic Redundancy Check, CRC) hoặc mã được nối khác. Mã phân cực PC-CA là mã phân cực được nối với cả PC và CRC. Mã phân cực PC và mã phân cực CA cải thiện hiệu năng mã phân cực bằng cách nối các mã khác nhau.

Chuyên gia trong lĩnh vực có thể hiểu rằng trong khi xây dựng mã phân cực, mã phân cực được dựng theo vị trí lược bớt trong lược bớt, hoặc mã phân cực được dựng theo vị trí rút ngắn khi rút ngắn. Một cách tùy chọn, mã phân cực có thể được dựng dựa vào cách thức đan xen, sao cho vị trí lược bớt hoặc vị trí rút ngắn thu được sau khi xử lý đan xen là vị trí định trước.

Bước 302: Lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự.

Bước 303: Đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau.

Theo phương án thực hiện, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự, và thứ tự lưu trữ bit được xác định theo cách thức đan xen của bộ đan xen. Do vậy, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với cách thức đan xen tương tự, và cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai theo phương án thực hiện có thể được triển khai bằng cách sử dụng chỉ một bộ đan xen, mà không cần nhiều bộ đan xen. Nói cách khác, cách thức đan xen và thứ tự lưu trữ bit là giống nhau bất kể liệu bộ mã hóa có chọn cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai hay không. Chuyên gia trong lĩnh vực có thể hiểu rằng khi thứ tự lưu trữ bit đang thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo, thứ tự lưu trữ

bit có thể được triển khai mà không sử dụng bộ đan xen.

Do cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự, để triển khai các đầu ra khác nhau cho các cách thức so khớp tốc độ khác nhau, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai theo phương án thực hiện tương ứng với các thứ tự đọc bit khác nhau. Cụ thể là, chuỗi đầu ra thu được sau khi so khớp tốc độ được đọc từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ được chọn. Chuyên gia trong lĩnh vực có thể hiểu rằng quá trình đọc, từ bộ nhớ đệm tuần hoàn, chuỗi đầu ra thu được sau khi so khớp tốc độ là quá trình chọn bit được thể hiện trên Fig.2. Thứ tự đọc bit có thể được hiểu là thứ tự chọn bit.

Thứ tự lưu trữ bit và thứ tự đọc bit theo phương án thực hiện có thể được triển khai theo các triển khai khả thi dưới đây. Phần sau mô tả riêng rẽ dựa vào Fig.2.

Theo triển khai thứ nhất, việc xử lý đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; sau đó việc thu thập bit được thực hiện, và các bit được đan xen được lưu trữ vào bộ nhớ đệm tuần hoàn; và sau đó chọn bit được thực hiện. Nếu bit đầu tiên được thiết lập làm bit lược bớt trong quá trình đan xen, trong lược bớt, M bit cuối cùng được đọc trong quá trình chọn bit. Nếu bit cuối được thiết lập làm bit rút ngắn trong quá trình đan xen, M bit đầu tiên được đọc trong quá trình chọn bit. Theo cách thức lặp lại, M bit được đọc tuần hoàn, bắt đầu từ vị trí bất kỳ.

Cụ thể là, khi cách thức so khớp tốc độ thứ nhất là lược bớt, thứ tự đọc bit tương ứng đang đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn, trong đó bit đầu tiên đến bit thứ $(N-M)$ tương ứng với vị trí lược bớt. Theo cách khác, khi cách thức so khớp tốc độ thứ nhất là rút ngắn, thứ tự đọc bit tương ứng là đọc tuần tự từ bit đầu tiên đến bit thứ M trong bộ nhớ đệm tuần hoàn, trong đó bit thứ $(M+1)$ sang bit thứ N tương ứng với vị trí rút ngắn.

Cách thức so khớp tốc độ thứ hai là cách thức lặp lại, và thứ tự đọc bit

tương ứng là đọc tuần tự và tuần hoàn, M bit bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo. Vị trí bất kỳ có thể được xác định theo tham số mã hóa, hoặc có thể là giá trị cố định, chẳng hạn, bit thứ $(N/4+1)$. Để đọc theo thứ tự tự nhiên, mỗi lần bit thứ N được đọc, đọc tuần hoàn bắt đầu từ bit đầu tiên, cho đến khi M bit được đọc. Đối với thứ tự đảo, mỗi lần bit đầu tiên được đọc, đọc tuần hoàn bắt đầu từ bit thứ N, cho đến khi M bit được đọc.

Theo triển khai thứ hai, đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; sau đó việc thu thập bit được thực hiện, và các bit được mã hóa được lưu trữ vào bộ nhớ đệm tuần hoàn; và sau đó lựa chọn bit được thực hiện. Theo phương án thực hiện, trong quá trình đan xen, bit lược bớt hoặc bit rút ngắn có thể được thiết lập ở vị trí bất kỳ. Để cải thiện hiệu suất đan xen, đan xen có thể được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo. Trong các quá trình chọn bit, bit lược bớt hoặc bit rút ngắn chỉ cần được bỏ qua. Chuyên gia trong lĩnh vực có thể hiểu rằng theo triển khai này, triển khai đan xen có thể theo cách khác không được sử dụng; thay vào đó, cách thức thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo có thể được sử dụng để triển khai.

Cụ thể là, bit lược bớt hoặc bit rút ngắn theo cách thức so khớp tốc độ thứ nhất trong tập thứ nhất. Trong quá trình chọn bit, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, M bit bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Theo triển khai thứ ba, xử lý đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; và sau đó thu thập bit được thực hiện, và các bit được đan xen được lưu trữ vào bộ nhớ đệm tuần hoàn. Theo phương án thực hiện, trong quá trình đan xen, bit lược bớt hoặc bit rút

ngắn có thể được thiết lập ở vị trí bất kỳ. Để cải thiện hiệu suất đan xen, đan xen có thể được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo. Trong quá trình thu thập bit, bit lược bớt hoặc bit rút ngắn được xóa, và tất cả nội dung được lưu trữ được đọc tuần tự. Nếu không có bit lược bớt hoặc bit rút ngắn, không cần thực hiện hoạt động xóa. Chuyên gia trong lĩnh vực có thể hiểu rằng theo triển khai này, triển khai đan xen có thể không được sử dụng theo cách khác; thay vào đó, cách thức thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo có thể được sử dụng để triển khai.

Cụ thể là, khi cách thức so khớp tốc độ thứ nhất là rút ngắn hoặc lược bớt, thứ tự đọc bit đang đọc tương ứng, bắt đầu từ bit đầu tiên trong bộ nhớ đệm tuần hoàn, M bit theo thứ tự tự nhiên, hoặc đọc, bắt đầu từ bit cuối trong bộ nhớ đệm tuần hoàn, M bit theo thứ tự đảo. Chuyên gia trong lĩnh vực có thể hiểu rằng do bit lược bớt hoặc bit rút ngắn đã được xóa, M bit có thể được đọc theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Khi cách thức so khớp tốc độ thứ hai là cách thức lặp lại, không bit nào cần được xóa, và thứ tự đọc bit tương ứng là đọc tuần tự và tuần hoàn, M bit bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo trong bộ nhớ đệm tuần hoàn.

Theo các triển khai nêu trên, cách thức đan xen được sử dụng để chỉ báo quá trình xử lý của bộ đan xen, sao cho thứ tự của các bit được đan xen là thứ tự định trước, tức là, thứ tự lưu trữ bit. Theo phương án thực hiện, thứ tự lưu trữ bit bao gồm ít nhất một hoặc tổ hợp sau:

các bit được mã hóa được sắp xếp trong thứ tự giảm dần, theo thứ tự tăng dần, theo thứ tự giảm dần sau khi đảo bit, theo thứ tự tăng dần sau khi đảo bit, theo thứ tự giảm dần của độ tin cậy, theo thứ tự tăng dần của độ tin cậy, theo thứ tự ngẫu nhiên, theo thứ tự tăng dần sau khi đảo bit độ lệch, theo thứ tự giảm dần sau khi đảo bit độ lệch, hoặc theo thứ tự tương ứng với đan xen tuyến tính theo bit.

Độ tin cậy này là độ tin cậy của các kênh phân cực tương ứng với mã phân cực, và các bit được mã hóa tương ứng được sắp xếp tương tự. Tham số đo độ

tin cậy được sử dụng để đo độ tin cậy có thể là giá trị trọng số phân cực (Polarization weight, PW), tham số Bhattacharya, xác suất lỗi, dung lượng kênh, hoặc tương tự. Đảo bit là: biến đổi số nguyên thập phân thành dạng nhị phân, đảo thứ tự các phân tử nhị phân, và biến đổi số nhị phân thu được sau khi đảo thành số thập phân. Số mới thu được là giá trị đảo bit của số ban đầu. Tổ hợp thứ tự là tổ hợp của các thứ tự nêu trên. Chẳng hạn, bit đầu tiên thành bit thứ $(N/2)$ là thứ tự bất kỳ trong các thứ tự nêu trên, và bit thứ $(N/2+1)$ sang bit thứ N theo thứ tự tăng dần sau khi đảo bit.

Theo mã phân cực phương pháp so khớp tốc độ theo phương án thực hiện, bộ mã hóa thực hiện mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để có các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai; các bit được mã hóa thu được sau khi mã hóa phân cực được lưu trữ vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự, sao cho cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với cách thức đan xen tương tự, và một bộ đan xen có thể được sử dụng để triển khai hai cách thức so khớp tốc độ, hoặc khi lưu trữ được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo, lưu trữ có thể được thực hiện ngay mà không cần bộ đan xen, nhờ đó giảm độ phức tạp phần cứng và khu vực bị chiếm bởi phần cứng; và bộ mã hóa đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau, sao cho các đầu ra khác nhau được triển khai cho các cách thức so khớp tốc độ khác nhau, và được đảm bảo rằng bộ mã hóa có thể xuất ra chuỗi đầu ra đúng cho bộ giải mã.

Phần sau mô tả vài ví dụ. Theo các phương án thực hiện sau, thứ tự lưu trữ bit và thứ tự đọc bit được mô tả chi tiết. Đối với các quá trình khác, tham khảo

phương án thực hiện nêu trên. Các chi tiết không được mô tả lại ở đây theo các phương án thực hiện.

Trong ví dụ cụ thể, cách thức so khớp tốc độ thứ nhất là lược bớt, và cách thức so khớp tốc độ thứ hai là cách thức lặp lại. Thứ tự lưu trữ bit, trong bộ nhớ đệm tuần hoàn, của các bit được mã hóa thu được sau khi mã hóa phân cực là: $N/4$ bit đầu tiên được mã hóa được sắp xếp trong thứ tự tăng dần, bit thứ $(N/4+1)$ được mã hóa thành bit thứ $(N/2+1)$ được mã hóa được chọn luân phiên, và bit thứ $(N/2+1)$ được mã hóa thành bit thứ N được mã hóa được sắp xếp theo thứ tự tự nhiên. Cụ thể là, như được thể hiện trên Fig.4, Fig.4 là sơ đồ 1 của thứ tự lưu trữ bit theo an phương án thực hiện sáng chế.

0, 1, 2, ..., và 15 thể hiện sơ đồ của 16 bit theo thứ tự tự nhiên, và chỉ báo các số chuỗi của các vị trí của các bit được mã hóa thu được sau khi mã hóa phân cực. Trong quá trình lưu trữ, các bit tương ứng với 0, 1, 2, và 3 được lưu trữ theo thứ tự tự nhiên; thứ tự lưu trữ của bit tương ứng với 4 vẫn không đổi; vị trí lưu trữ của bit tương ứng với 5 thay đổi, cụ thể là, đổi từ bit thứ 6 ban đầu thành bit thứ 7; và vị trí lưu trữ của bit tương ứng với 6 thay đổi, cụ thể là, thay đổi từ bit thứ 7 ban đầu thành bit thứ 9. Các trường hợp khác tham khảo Fig.4. Các chi tiết không được mô tả lại ở đây theo phương án thực hiện. Chuyên gia trong lĩnh vực có thể hiểu rằng các bit được mã hóa được lưu trữ trong thứ tự lưu trữ bit nêu trên trong cả cách thức lược bớt lẫn lặp lại.

Đối với quá trình chọn bit, theo phương tiện so khớp tốc độ được chọn, thứ tự đọc bit được thể hiện trên Fig.5. Fig.5 là sơ đồ 1 của thứ tự đọc bit theo phương án thực hiện sáng chế. Nếu cách thức so khớp tốc độ được chọn là lược bớt, M bit được đọc từ bit thứ $(N-M+1)$ trong các bit được mã hóa sang bit thứ N trong các bit được mã hóa trong bộ nhớ đệm tuần hoàn, và điểm bắt đầu lược bớt được thể hiện trên Fig.5. Nếu cách thức so khớp tốc độ được chọn là lặp lại, M bit trong bộ nhớ đệm tuần hoàn được đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo và điểm bắt đầu lặp lại được thể hiện trên Fig.5.

Trong ví dụ cụ thể khác, cách thức so khớp tốc độ thứ nhất là rút ngắn, và

cách thức so khớp tốc độ thứ hai à cách thức lặp lại. Cách thức đan xen nêu trên được sử dụng để chỉ báo số lượng R_n của các hàng, số lượng C_n của các cột, và đan xen hàng - cột hoặc đan xen cột - hàng, trong đó cả R_n lẫn C_n là các lũy thừa nguyên của 2, và $N = R_n \times C_n$.

Nếu cách thức đan xen chỉ báo đan xen cột - hàng, thứ tự lưu trữ bit đang sắp xếp, theo hàng, các bit được mã hóa thu được sau khi đảo bit và đan xen cột, trong đó mỗi hàng của các bit được mã hóa được sử dụng làm phân đoạn phụ. Các bit được mã hóa thu được sau khi đảo bit và đan xen cột là các bit được mã hóa thu được sau khi đảo bit và đan xen cột được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực. Fig.6 là sơ đồ đan xen hàng - cột của các bit được mã hóa theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.6, các bit được mã hóa được viết vào bộ đan xen theo hàng và được phân chia thành bốn hàng và tám cột. Sau khi đảo bit và đan xen cột được thực hiện, cột thứ hai ban đầu (1, 9, 17, 25) đổi sang cột thứ 5, và cột thứ 4 ban đầu (3, 11, 19, 27) đổi sang cột thứ 7. Các trường hợp khác tham khảo Fig.6. Đầu ra của bộ đan xen là đầu ra theo hàng, cụ thể là, (0, 4, 2, 6, 1, 5, 3, 7) được xuất ra. Thứ tự lưu trữ bit tương ứng là sắp xếp và lưu trữ theo hàng, cụ thể là, lưu trữ được thực hiện theo đầu ra của bộ đan xen.

Nếu cách thức so khớp tốc độ được chọn là lặp lại, thứ tự đọc bit đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo theo hàng và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen cột, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc. Thứ tự đọc bit thứ tự đầu ra theo hàng nêu trên, cụ thể là, (0, 4, 2, 6, 1, 5, 3, 7, 8, 12, 10, ...) được đọc.

Nếu cách thức so khớp tốc độ được chọn là rút ngắn, thứ tự đọc bit là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen cột, cho đến khi M bit được đọc. Chi tiết tham khảo Fig.6. Như được thể hiện trên Fig.6, sau khi đảo bit và đan xen hàng được thực hiện, hàng thứ 2 ban đầu (8, 12, ..., 11, 15) đổi sang hàng thứ 3 hiện tại, và hàng thứ 3 ban đầu đổi sang hàng thứ 2

hiện tại. Trong quá trình đọc, một bit được đọc tuần tự từ mỗi phân đoạn phụ, nói cách khác, các bit được đọc trên cột. Phương án thực hiện đề xuất ví dụ trong đó bốn bit đầu tiên được đọc là (0, 16, 8, 24).

Chuyên gia trong lĩnh vực có thể hiểu rằng cách thức đan xen có thể chỉ báo theo cách khác đan xen hàng - cột. Trong trường hợp này, thứ tự lưu trữ bit đang sắp xếp, bởi cột, các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, trong đó mỗi cột của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen hàng là các bit được mã hóa mà thu được sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực; thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen cột được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo bởi cột và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc. Triển khai cụ thể giống như đan xen cột - hàng. Các chi tiết không được mô tả lại ở đây theo phương án thực hiện.

Trong ví dụ cụ thể khác nữa, cách thức so khớp tốc độ thứ nhất là rút ngắn hoặc lược bớt, và cách thức so khớp tốc độ thứ hai là cách thức lặp lại.

Nếu cách thức so khớp tốc độ được chọn là rút ngắn hoặc lược bớt, thứ tự đọc bit là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi, thu được sau khi đảo bit, tương ứng với số chuỗi hiện tại (bắt đầu từ 0) lớn hơn hoặc bằng độ dài mã đích M, bỏ qua bit hiện tại. Chẳng hạn, nếu độ dài mã mẹ bằng 16 và độ dài mã đích bằng 12, bit thứ 4 (có số chuỗi bằng 3, trong đó số chuỗi, thu được sau khi đảo bit, tương ứng với 3 bằng 12) được bỏ qua trong khi đọc, để triển khai rút ngắn hoặc lược bớt của độ dài mã. Chuyên gia trong lĩnh vực có thể hiểu rằng số chuỗi, thu được sau khi đảo bit, tương ứng với số chuỗi hiện tại là triển khai của tập thứ nhất.

Nếu cách thức so khớp tốc độ được chọn là lặp lại, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là: đọc tuần tự và tuần hoàn, M bit bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo trong bộ nhớ đệm tuần hoàn. Cách thức đọc giống như cách thức đọc nêu trên cho lặp lại. Các chi tiết không được mô tả lại ở đây theo phương án thực hiện.

Các phương án thực hiện nêu trên mô tả, bằng cách sử dụng các ví dụ, các triển khai trong đó bộ đan xen hỗ trợ hai cách thức so khớp tốc độ. Trong quá trình triển khai cụ thể, thứ tự lưu trữ bit và thứ tự đọc bit có thể được triển khai theo cách khác. Các chi tiết không được mô tả ở đây theo phương án thực hiện. Phương án thực hiện sau mô tả, bằng cách sử dụng ví dụ, triển khai trong đó bộ đan xen hỗ trợ ba cách thức so khớp tốc độ.

Fig.7 là lưu đồ của phương pháp so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Phương pháp theo phương án thực hiện áp dụng được cho quá trình nêu trên thực hiện so khớp tốc độ bởi bộ mã hóa. Theo phương án thực hiện, bộ mã hóa hỗ trợ ba cách thức so khớp tốc độ, mà cụ thể là các cách thức so khớp tốc độ lần lượt tương ứng với rút ngắn, lược bớt, và lặp lại. Phương pháp theo phương án thực hiện bao gồm các bước sau.

Bước 701: Mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là một trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba.

Bước 702: Lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với thứ tự lưu trữ bit tương tự.

Bước 703: Đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó ít nhất hai trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit

khác nhau.

Triển khai của phương án thực hiện giống như phương án thực hiện được thể hiện trên Fig.3. Đối với các phần tương tự, tham khảo các phần mô tả của phương án thực hiện trên Fig.3. Các chi tiết không được mô tả lại ở đây theo phương án thực hiện. Khác biệt của triển khai phương án thực hiện với phương án thực hiện được thể hiện trên Fig.3 nằm ở chỗ bộ mã hóa hỗ trợ ba cách thức so khớp tốc độ theo phương án thực hiện. Cụ thể là, cách thức so khớp tốc độ thứ nhất là lược bớt, và độ dài mã đích M tương ứng nhỏ hơn độ dài mã mẹ N ; cách thức so khớp tốc độ thứ hai là rút ngắn, và độ dài mã đích M tương ứng nhỏ hơn độ dài mã mẹ N ; và cách thức so khớp tốc độ thứ ba là lặp lại, và độ dài mã đích M tương ứng lớn hơn độ dài mã mẹ N .

Theo phương án thực hiện, dựa vào Fig.2, tương tự, có ba cách triển khai khả thi tương ứng. Các chi tiết như sau.

Theo triển khai thứ nhất, đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; sau đó việc thu thập bit được thực hiện, và các bit được đan xen sau khi đan xen được lưu trữ vào bộ nhớ đệm tuần hoàn; và sau đó việc chọn bit được thực hiện. Khi đan xen, hai yếu tố cần được xem xét để đan xen: lược bớt và rút ngắn. Cụ thể là, đan xen được xác định bằng cách sử dụng bit lược bớt và bit rút ngắn cùng nhau. Bit đầu tiên được gán làm bit lược bớt, và bit cuối được gán làm bit rút ngắn. Khi chọn bit, M bit cuối cùng được đọc khi lược bớt, M bit đầu tiên được đọc khi rút ngắn, và M bit được đọc tuần hoàn bắt đầu từ vị trí bất kỳ trong cách thức lặp lại.

Cụ thể là, thứ tự lưu trữ bit theo phương án thực hiện bao gồm thứ tự lưu trữ thứ nhất và thứ tự lưu trữ thứ hai, trong đó thứ tự lưu trữ thứ nhất tương ứng với cách thức so khớp tốc độ thứ nhất được tạo cấu hình trước, và thứ tự lưu trữ thứ hai tương ứng với cách thức so khớp tốc độ thứ hai được tạo cấu hình trước. Cách thức so khớp tốc độ thứ nhất có thể là lược bớt, và cách thức so khớp tốc độ thứ hai có thể là rút ngắn.

Thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ

thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa.

Theo cách khác, thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa.

Thứ tự lưu trữ thứ nhất bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit.

Thứ tự lưu trữ thứ hai bao gồm ít nhất một hoặc tổ hợp sau:

thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần sau khi đảo bit, thứ tự tăng dần sau khi đảo bit, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tăng dần sau khi đảo bit độ lệch, thứ tự giảm dần sau khi đảo bit độ lệch, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit.

Tóm lại, việc lược bớt, rút ngắn, và cách thức lặp lại theo phương án thực hiện sáng chế tương ứng với thứ tự lưu trữ bit tương tự, nhưng thứ tự lưu trữ bit được xác định khi xem xét đầy đủ hai yếu tố: lược bớt và rút ngắn.

Để triển khai các chuỗi đầu ra khác nhau cho các cách thức so khớp tốc độ khác nhau, cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba theo phương án thực hiện tương ứng với các thứ tự đọc bit khác nhau. Cụ thể là, chuỗi đầu ra thu được sau khi so khớp tốc độ được đọc từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ được chọn.

Chẳng hạn, nếu thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, thứ tự đọc bit tương ứng với lược bớt là đọc tuần tự M bit từ bit thứ $(N-M+1)$ sang bit thứ N

(trong đó các bit lược bớt là từ bit đầu tiên đến bit thứ $(N-M)$) trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với rút ngắn là đọc tuần tự M bit từ bit đầu tiên sang bit thứ M (trong đó các bit rút ngắn là từ bit thứ $(M+1)$ sang bit thứ N) trong bộ nhớ đệm tuần hoàn; hoặc

Nếu thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa thu được sau khi mã hóa phân cực, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa thu được sau khi mã hóa phân cực, thứ tự đọc bit tương ứng với việc lược bớt là đọc tuần tự từ bit đầu tiên sang bit thứ M (trong đó các bit lược bớt từ bit thứ $(M+1)$ sang bit thứ N) trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với rút ngắn là đọc tuần tự từ bit thứ $(N-M+1)$ sang bit thứ N (trong đó các bit rút ngắn từ bit đầu tiên sang bit thứ $(N-M)$) trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức lặp lại đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Trong hai ví dụ sau, các phần mô tả được thực hiện bằng cách sử dụng ví dụ trong đó cách thức so khớp tốc độ thứ nhất là lược bớt, cách thức so khớp tốc độ thứ hai là rút ngắn, thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa. Trường hợp trong đó thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa là giống nhau. Các chi tiết không được mô tả ở đây theo phương án thực hiện.

Trong ví dụ cụ thể, thứ tự lưu trữ bit có thể được triển khai bởi đan xen được phân đoạn. Fig.8 là sơ đồ 2 của thứ tự lưu trữ bit theo phương án thực

hiện sáng chế. Như được thể hiện trên Fig.8, đảo bit được thực hiện trên (0, 1, 2, 3, 4, 5, 6, 7) được sắp xếp theo thứ tự tự nhiên, để có (0, 4, 2, 6, 1, 5, 3, 7). Thứ tự lưu trữ thứ hai là việc thứ tự lưu trữ bit thứ $(N/2+1)$ sang bit thứ N, trong đó thứ tự lưu trữ của bit thứ $(N/2+1)$ sang bit thứ N là từ bit thứ $(N/2+1)$ sang bit thứ N thu được sau khi đảo bit. Điều này được thiết kế để rút ngắn. Thứ tự lưu trữ thứ nhất là việc các bit còn lại, tức là, các bit ở các vị trí lẻ, được sắp xếp theo thứ tự tự nhiên. Điều này được thiết kế để lược bớt.

Fig.9 là sơ đồ 2 của thứ tự đọc bit theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.9, độ dài bit của các bit được mã hóa là N. Fig.9 thể hiện vị trí bắt đầu lược bớt, vị trí bắt đầu rút ngắn, và vị trí bắt đầu lặp lại. Thứ tự đọc bit tương ứng với lược bớt là đọc tuần tự M bit từ bit thứ $(N-M+1)$ (vị trí bắt đầu lược bớt) sang bit thứ N trong bộ nhớ đệm tuần hoàn. Thứ tự đọc bit tương ứng với rút ngắn là đọc tuần tự M bit từ bit đầu tiên (vị trí bắt đầu rút ngắn) sang bit thứ M trong bộ nhớ đệm tuần hoàn. Thứ tự đọc bit tương ứng với cách thức lặp lại đang đọc tuần tự và tuần hoàn M bit bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo trong bộ nhớ đệm tuần hoàn.

Chuyên gia trong lĩnh vực có thể hiểu rằng cách thức đan xen là tương tự bất kể liệu cách thức so khớp tốc độ được chọn ban đầu bởi bộ mã hóa là lược bớt, rút ngắn, hoặc cách thức lặp lại. Thứ tự của các bit được đan xen, tức là, thứ tự lưu trữ bit, được thể hiện trên Fig.8. Trong quá trình đọc, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ được chọn ban đầu được chọn theo thứ tự đọc bit nêu trên, để thực hiện đọc.

Chuyên gia trong lĩnh vực có thể hiểu rằng trong ví dụ được thể hiện trên Fig.9, nếu thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của N/2 bit cuối cùng của các bit được mã hóa, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của N/2 bit đầu tiên của các bit được mã hóa, thứ tự của N/2 bit đầu tiên tương đương với thứ tự đảo của N/2 bit cuối cùng được thể hiện trên Fig.9, và thứ tự của N/2 bit cuối cùng tương đương với thứ tự đảo của N/2 bit cuối

cùng được thể hiện trên Fig.9. Thứ tự lưu trữ bit bằng 7, 3, 5, 1, 6, 4, 2, 0. Khi việc đọc được thực hiện theo thứ tự đảo, nội dung thu được bằng cách đọc là giống như nội dung trên Fig.9.

Trong ví dụ cụ thể khác, thứ tự lưu trữ bit có thể được triển khai bởi đan xen phân đoạn.

Fig.10 là sơ đồ 3 của thứ tự lưu trữ bit theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.10, thứ tự lưu trữ thứ nhất là việc thứ tự lưu trữ của bit đầu tiên sang bit thứ $(N/8)$ theo thứ tự tự nhiên, thứ tự lưu trữ của bit thứ $(N/8+1)$ sang bit thứ $(3N/8)$ là thứ tự thu được sau khi đan xen tuyến tính theo bit được thực hiện giữa bit thứ $(N/8+1)$ sang bit thứ $(N/4)$ và bit thứ $(N/4+1)$ sang bit thứ $(3N/8)$, và bit thứ $(3N/8+1)$ sang bit thứ $(N/2)$ được sắp xếp theo thứ tự tự nhiên. Thứ tự lưu trữ thứ hai là việc bit thứ $(N/2+1)$ bit sang bit thứ N được sắp xếp theo thứ tự thu được sau khi đảo bit độ lệch. Thứ tự thu được sau khi đảo bit độ lệch thu được bằng cách lấy giá trị độ lệch trừ đi chuỗi theo thứ tự tự nhiên mà có bit đầu tiên không bằng 1, thực hiện đảo bit trên chuỗi độ lệch, và thêm giá trị độ lệch. Fig.11 là sơ đồ đảo bit độ lệch theo phương án thực hiện sáng chế.

Các thứ tự đọc bit của các cách thức so khớp tốc độ theo phương án thực hiện tương tự trên Fig.9 theo phương án thực hiện nêu trên. Các chi tiết không được mô tả lại ở đây theo phương án thực hiện.

Theo triển khai thứ hai, xử lý đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; sau đó thu thập bit được thực hiện, và các bit được đan xen được lưu trữ vào bộ nhớ đệm tuần hoàn; và sau đó chọn bit được thực hiện. Theo phương án thực hiện, trong quá trình đan xen, bit lược bớt hoặc bit rút ngắn có thể được thiết lập ở vị trí bất kỳ của các bit được đan xen. Để cải thiện hiệu suất đan xen, đan xen có thể được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo. Trong các quá trình chọn bit, bit lược bớt hoặc bit rút ngắn chỉ cần được bỏ qua. Chuyên gia trong lĩnh vực có thể hiểu rằng theo triển khai này, triển khai đan xen có thể không được sử dụng theo cách khác; thay vào đó, cách thức thực hiện lưu trữ theo thứ tự tự nhiên

hoặc theo thứ tự đảo có thể được sử dụng để triển khai.

Cụ thể là, số chuỗi của bit lược bớt theo cách thức so khớp tốc độ thứ nhất được ghi nhận trong tập thứ nhất, và số chuỗi của bit rút ngắn theo cách thức so khớp tốc độ thứ hai được ghi nhận trong tập thứ hai. Fig.12 là sơ đồ 3 của thứ tự đọc bit theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.12, trong quá trình đọc, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối được đọc;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ hai, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ của bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Theo triển khai thứ ba, xử lý đan xen trước hết được thực hiện trên các bit được mã hóa, để thu được các bit được đan xen; và sau đó thu thập bit được thực hiện, và các bit được đan xen được lưu trữ vào bộ nhớ đệm tuần hoàn. Theo phương án thực hiện, trong quá trình đan xen, bit lược bớt hoặc bit rút ngắn có thể được thiết lập ở vị trí bất kỳ của các bit được đan xen. Để cải thiện hiệu suất đan xen, đan xen có thể được thực hiện theo thứ tự tự nhiên hoặc theo thứ tự đảo. Trong quá trình thu thập bit, bit lược bớt hoặc bit rút ngắn được xóa, các bit được lưu trữ không bao gồm bit lược bớt hoặc bit rút ngắn, và các bit được lưu trữ được đọc tuần tự. Nếu không có bit lược bớt hoặc bit rút ngắn, không cần thực hiện hoạt động xóa. Chuyên gia trong lĩnh vực có thể hiểu rằng theo triển khai này, triển khai đan xen không thể được sử dụng theo cách khác; thay vào đó, cách thức thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo có thể được sử dụng để triển khai.

Trong trường hợp này, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự đọc bit tương tự: đọc, bắt đầu từ bit đầu tiên trong bộ nhớ đệm tuần hoàn, M bit theo thứ tự tự nhiên, hoặc đọc, bắt đầu từ bit cuối trong bộ nhớ đệm tuần hoàn, M bit theo thứ tự đảo; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ and theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Chuyên gia trong lĩnh vực có thể hiểu rằng theo triển khai thứ hai và triển khai thứ ba, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai có thể tương ứng với hai thứ tự lưu trữ bit, như được mô tả theo phương án thực hiện nêu trên, hoặc có thể tương ứng với cùng một thứ tự lưu trữ bit. Trong quá trình triển khai cụ thể, các cách thức so khớp tốc độ khác nhau có cùng một thứ tự lưu trữ bit, các thứ tự lưu trữ bit khác nhau có thể được triển khai bằng cách sử dụng các cách thức đan xen khác nhau. Thứ tự lưu trữ bit bao gồm ít nhất một hoặc tổ hợp sau:

các bit được mã hóa được sắp xếp trong bộ nhớ đệm tuần hoàn theo thứ tự giảm dần, theo thứ tự tăng dần, theo thứ tự giảm dần sau khi đảo bit, theo thứ tự tăng dần sau khi đảo bit, theo thứ tự giảm dần của độ tin cậy, theo thứ tự tăng dần của độ tin cậy, theo thứ tự ngẫu nhiên, theo thứ tự tăng dần sau khi đảo bit độ lệch, theo thứ tự giảm dần sau khi đảo bit độ lệch, và theo thứ tự tương ứng với đan xen tuyến tính theo bit.

Theo mã phân cực phương pháp so khớp tốc độ theo phương án thực hiện, bộ mã hóa thực hiện mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để có các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là một trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba; các bit được mã hóa được lưu trữ vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với

thứ tự lưu trữ bit tương tự, sao cho cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với cùng thứ tự đan xen, và một bộ đan xen có thể được sử dụng để triển khai ba cách thức so khớp tốc độ, nhờ đó giảm độ phức tạp phần cứng và khu vực bị chiếm bởi phần cứng; và bộ mã hóa đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó ít nhất hai trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau, sao cho các đầu ra khác nhau được triển khai cho các cách thức so khớp tốc độ khác nhau, và được đảm bảo rằng bộ mã hóa có thể xuất ra chuỗi đầu ra đúng cho bộ giải mã.

Phương án thực hiện sáng chế còn đề xuất phương pháp so khớp tốc độ mã phân cực. Theo phương pháp, thứ tự lưu trữ của các bit được mã hóa trong bộ nhớ đệm tuần hoàn có thể được triển khai theo cách thức so khớp tốc độ và bằng cách chèn quá trình đan xen giữa đầu ra mã hóa mã phân cực và bộ nhớ đệm tuần hoàn.

Cụ thể là, nếu lược bớt được sử dụng, đan xen không được thực hiện, và các bit được mã hóa được nhập thẳng vào bộ nhớ đệm tuần hoàn. Nếu sử dụng rút ngắn, đảo bit và đan xen được thực hiện, và các bit đan xen được nhập vào bộ nhớ đệm tuần hoàn. Nếu sử dụng lặp lại, đan xen không được thực hiện, và các bit được mã hóa được nhập thẳng vào bộ nhớ đệm tuần hoàn. Nói theo cách khác, ba cách thức so khớp tốc độ có thể được hỗ trợ bằng cách sử dụng một bộ đan xen, nhờ đó giảm độ phức tạp phần cứng và khu vực phần cứng.

Chuyên gia trong lĩnh vực có thể hiểu rằng ở bộ giải mã, đối với các cách thức giải mã để lược bớt, rút ngắn, và cách thức lặp lại, tham khảo các cách thức giải mã trong các phần mô tả của ba cách thức so khớp tốc độ theo các phương án thực hiện nêu trên.

Chuyên gia trong lĩnh vực có thể hiểu rằng các triển khai hoặc các ví dụ theo các phương án thực hiện nêu trên là các triển khai được nêu để hiểu các phương án thực hiện sáng chế, và có thể được kết hợp, được sử dụng làm tham

chiếu, hoặc được triển khai độc lập trong quá trình triển khai cụ thể. Các triển khai cụ thể không bị giới hạn cụ thể ở đây theo phương án thực hiện.

Phần nêu trên chủ yếu mô tả các giải pháp theo các phương án thực hiện sáng chế từ khía cạnh của bộ mã hóa. Có thể hiểu rằng để triển khai các chức năng nêu trên, bộ mã hóa bao gồm các cấu trúc phần cứng và/hoặc các môđun phần mềm tương ứng để thực thi các chức năng. Dựa vào các khối và các bước thuật toán của các ví dụ được mô tả theo các phương án thực hiện mà được bộc lộ theo các phương án thực hiện sáng chế, các phương án thực hiện sáng chế có thể được triển khai bởi phần cứng, hoặc tổ hợp của phần cứng và phần mềm máy tính. Liệu chức năng có được thực hiện bởi phần cứng hoặc bởi phần mềm máy tính điều khiển phần cứng tùy thuộc vào các ứng dụng cụ thể và các điều kiện ràng buộc thiết kế của các giải pháp kỹ thuật. Chuyên gia trong lĩnh vực có thể sử dụng các phương pháp khác nhau để triển khai các chức năng được mô tả cho mỗi ứng dụng cụ thể, nhưng không nên xem rằng việc triển khai vượt quá phạm vi của các giải pháp kỹ thuật theo các phương án thực hiện sáng chế.

Các phương án thực hiện đề xuất thiết bị so khớp tốc độ mã phân cực, trong đó thiết bị so khớp tốc độ có thể là thiết bị mạng nêu trên được sử dụng làm bộ mã hóa, hoặc có thể là thiết bị đầu cuối nêu trên được sử dụng làm bộ mã hóa.

Fig.13 là sơ đồ cấu trúc 1 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.13, thiết bị 1300 bao gồm:

môđun mã hóa 1301, được tạo cấu hình để mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là cách thức so khớp tốc độ thứ nhất hoặc cách thức so khớp tốc độ thứ hai, và N là số nguyên dương;

môđun lưu trữ 1302, được tạo cấu hình để lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự lưu trữ bit tương tự; và

môđun đọc 1303, được tạo cấu hình để đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với các thứ tự đọc bit khác nhau.

Một cách tùy chọn, độ dài của chuỗi đầu ra là độ dài mã đích M , trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai lớn hơn độ dài mã mẹ N .

Một cách tùy chọn, môđun lưu trữ 1302 được tạo cấu hình cụ thể để: thực hiện, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, xử lý đan xen trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thực hiện thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn.

Một cách tùy chọn, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn, hoặc thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự bit đầu tiên đến bit thứ M trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Một cách tùy chọn, bit lược bớt hoặc bit rút ngắn được chỉ báo bởi cách thức so khớp tốc độ thứ nhất trong tập thứ nhất, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit

cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Một cách tùy chọn, môđun lưu trữ 1302 được tạo cấu hình cụ thể để: thực hiện, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, xử lý đan xen trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thực hiện thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn, trong đó bit lược bớt hoặc bit rút ngắn trong các bit được đan xen được xóa trong quá trình thu thập bit.

Một cách tùy chọn, môđun lưu trữ 1302 được tạo cấu hình cụ thể để: thực hiện, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, thu thập bit trên các bit được mã hóa thu được sau khi mã hóa phân cực, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó bit lược bớt hoặc bit rút ngắn trong các bit được mã hóa thu được sau khi mã hóa phân cực được xóa trong quá trình thu thập bit, và thứ tự lưu trữ bit đang thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Một cách tùy chọn, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, bit đầu tiên đến bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, bit cuối đến bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ and theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Một cách tùy chọn, thứ tự lưu trữ bit bao gồm ít nhất một hoặc tổ hợp sau: các bit được mã hóa thu được sau khi mã hóa phân cực được sắp xếp trong bộ

nhớ đệm tuần hoàn theo thứ tự giảm dần, theo thứ tự tăng dần, theo thứ tự giảm dần sau khi đảo bit, theo thứ tự tăng dần sau khi đảo bit, theo thứ tự giảm dần của độ tin cậy, theo thứ tự tăng dần của độ tin cậy, theo thứ tự ngẫu nhiên, theo thứ tự tăng dần sau khi đảo bit độ lệch, theo thứ tự giảm dần sau khi đảo bit độ lệch, và theo thứ tự tương ứng với đan xen tuyến tính theo bit.

Một cách tùy chọn, cách thức đan xen được sử dụng để chỉ báo số lượng R_n của các hàng, số lượng C_n của các cột, và đan xen hàng - cột hoặc đan xen cột - hàng, trong đó both R_n và C_n là các lũy thừa nguyên của 2, và $N = R_n \times C_n$; và

nếu cách thức đan xen chỉ báo đan xen cột - hàng, thứ tự lưu trữ bit đang sắp xếp, theo hàng, các bit được mã hóa thu được sau khi đảo bit và đan xen cột, trong đó mỗi hàng của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen cột là các bit được mã hóa thu được sau khi đảo bit và đan xen cột được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi đảo bit và đan xen cột, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo theo hàng và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen cột, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc; hoặc

nếu cách thức đan xen chỉ báo đan xen hàng - cột, thứ tự lưu trữ bit đang sắp xếp, bởi cột, các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, trong đó mỗi cột của các bit được mã hóa được sử dụng làm phân đoạn phụ, và các bit được mã hóa thu được sau khi đảo bit và đan xen hàng là các bit được mã hóa thu được sau khi đảo bit và đan xen hàng được thực hiện trên các bit được mã hóa thu được sau khi mã hóa phân cực; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự một bit từ mỗi phân đoạn phụ sau khi đảo bit và đan xen cột được thực hiện

trên các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, cho đến khi M bit được đọc; và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai đang đọc tuần tự và tuần hoàn, theo thứ tự tự nhiên hoặc theo thứ tự đảo bởi cột và bắt đầu từ vị trí bất kỳ trong các bit được mã hóa thu được sau khi đảo bit và đan xen hàng, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Thiết bị so khớp tốc độ theo phương án thực hiện được tạo cấu hình để thực hiện phương pháp phương án thực hiện được thể hiện trên Fig.3. Các nguyên lý triển khai và các hiệu quả kỹ thuật của nó là giống nhau, và các chi tiết không được mô tả lại ở đây theo phương án thực hiện.

Fig.14 là sơ đồ cấu trúc 2 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.14, thiết bị 1400 bao gồm:

môđun mã hóa 1401, được tạo cấu hình để thực hiện mã hóa phân cực theo độ dài mã mẹ N và cách thức so khớp tốc độ, để thu được các bit được mã hóa sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ là một trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba, và N là số nguyên dương;

môđun lưu trữ 1402, được tạo cấu hình để lưu trữ, vào bộ nhớ đệm tuần hoàn theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, các bit được mã hóa thu được sau khi mã hóa phân cực, trong đó cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với thứ tự lưu trữ bit tương tự; và

môđun đọc 1403, được tạo cấu hình để đọc, từ bộ nhớ đệm tuần hoàn theo thứ tự đọc bit tương ứng với cách thức so khớp tốc độ, chuỗi đầu ra thu được sau khi so khớp tốc độ, trong đó ít nhất hai trong cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Một cách tùy chọn, độ dài của chuỗi đầu ra là độ dài mã đích M, trong đó M là số nguyên;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ nhất nhỏ hơn độ dài mã mẹ N ;

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ hai nhỏ hơn độ dài mã mẹ N ; và

độ dài mã đích M tương ứng với cách thức so khớp tốc độ thứ ba lớn hơn độ dài mã mẹ N .

Một cách tùy chọn, cách thức so khớp tốc độ thứ nhất, cách thức so khớp tốc độ thứ hai, và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Một cách tùy chọn, môđun lưu trữ được tạo cấu hình cụ thể để: đan xen, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, trên các bit được mã hóa, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn.

Một cách tùy chọn, thứ tự lưu trữ bit bao gồm thứ tự lưu trữ thứ nhất và thứ tự lưu trữ thứ hai, trong đó thứ tự lưu trữ thứ nhất được tiên cấu hình theo cách thức so khớp tốc độ thứ nhất, và trong đó thứ tự lưu trữ thứ hai được tiên cấu hình theo cách thức so khớp tốc độ thứ hai; và

thứ tự lưu trữ thứ nhất trong bộ nhớ đệm tuần hoàn, là thứ tự lưu trữ của $N/2$ bit đầu tiên của các bit được mã hóa trong bộ nhớ đệm tuần hoàn, và thứ tự lưu trữ thứ hai là thứ tự lưu trữ, của $N/2$ bit cuối cùng của các bit được mã hóa trong bộ nhớ đệm tuần hoàn; hoặc

thứ tự lưu trữ thứ nhất là thứ tự lưu trữ của $N/2$ bit cuối cùng của các bit được mã hóa trong bộ nhớ đệm tuần hoàn, và thứ tự lưu trữ thứ hai là thứ tự lưu trữ, của $N/2$ bit đầu tiên của các bit được mã hóa trong bộ nhớ đệm tuần hoàn.

Một cách tùy chọn, thứ tự lưu trữ thứ nhất bao gồm ít nhất một hoặc tổ hợp sau: thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tương ứng với đan xen tuyến

tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit; và

thứ tự lưu trữ thứ hai bao gồm ít nhất một hoặc tổ hợp sau: thứ tự giảm dần, thứ tự tăng dần, thứ tự giảm dần sau khi đảo bit, thứ tự tăng dần sau khi đảo bit, thứ tự giảm dần của độ tin cậy, thứ tự tăng dần của độ tin cậy, thứ tự ngẫu nhiên, thứ tự tăng dần sau khi đảo bit độ lệch, thứ tự giảm dần sau khi đảo bit độ lệch, thứ tự tương ứng với đan xen tuyến tính theo bit, và thứ tự đảo của thứ tự tương ứng với đan xen tuyến tính theo bit.

Một cách tùy chọn, khi thứ tự lưu trữ thứ nhất là thứ tự lưu trữ của $N/2$ bit đầu tiên của các bit được mã hóa trong bộ đệm tuần hoàn, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa thu được sau khi mã hóa phân cực, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự bit đầu tiên sang bit thứ M trong bộ nhớ đệm tuần hoàn; hoặc

nếu thứ tự lưu trữ thứ nhất được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit cuối cùng của các bit được mã hóa thu được sau khi mã hóa phân cực, và thứ tự lưu trữ thứ hai được sử dụng để chỉ báo thứ tự lưu trữ, trong bộ nhớ đệm tuần hoàn, của $N/2$ bit đầu tiên của các bit được mã hóa thu được sau khi mã hóa phân cực, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là đọc tuần tự bit đầu tiên sang bit thứ M trong bộ nhớ đệm tuần hoàn, và thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là đọc tuần tự bit thứ $(N-M+1)$ sang bit thứ N trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Một cách tùy chọn, số chuỗi của bit lược bớt theo cách thức so khớp tốc độ

thứ nhất trong tập thứ nhất, và số chuỗi của bit rút ngắn theo cách thức so khớp tốc độ thứ hai trong tập thứ hai;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ nhất, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc;

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ hai là: đọc tuần tự bộ nhớ đệm tuần hoàn theo thứ tự tự nhiên hoặc theo thứ tự đảo; và khi số chuỗi tương ứng với bit hiện tại trong tập thứ hai, bỏ qua bit hiện tại, và tiếp tục với việc đọc cho đến khi bit cuối cùng được đọc; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, các bit được mã hóa trong bộ nhớ đệm tuần hoàn cho đến khi M bit được đọc.

Một cách tùy chọn, cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ hai tương ứng với thứ tự đọc bit tương tự, và cách thức so khớp tốc độ thứ nhất và cách thức so khớp tốc độ thứ ba tương ứng với các thứ tự đọc bit khác nhau.

Một cách tùy chọn, môđun lưu trữ 1402 được tạo cấu hình cụ thể để:

thực hiện, theo cách thức đan xen tương ứng với cách thức so khớp tốc độ, xử lý đan xen trên các bit được mã hóa thu được sau khi mã hóa phân cực, để thu được các bit được đan xen, trong đó thứ tự lưu trữ bit giống như thứ tự của các bit được đan xen; và

thực hiện thu thập bit trên các bit được đan xen, và lưu trữ các bit được đan xen vào bộ nhớ đệm tuần hoàn, trong đó bit lược bớt hoặc bit rút ngắn trong các bit được đan xen bị xóa trong quá trình thu thập bit.

Một cách tùy chọn, môđun lưu trữ 1402 được tạo cấu hình cụ thể để:

thực hiện, theo thứ tự lưu trữ bit tương ứng với cách thức so khớp tốc độ, thu thập bit trên các bit được mã hóa, và lưu trữ các bit được mã hóa vào bộ nhớ đệm tuần hoàn, trong đó bit lược bớt hoặc bit rút ngắn trong các bit được

mã hóa bị xóa trong quá trình thu thập bit, và thứ tự lưu trữ bit thực hiện lưu trữ theo thứ tự tự nhiên hoặc theo thứ tự đảo.

Một cách tùy chọn, thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ nhất đang đọc, theo thứ tự tự nhiên, bit đầu tiên đến bit cuối trong bộ nhớ đệm tuần hoàn, hoặc đọc, theo thứ tự đảo, bit cuối đến bit đầu tiên trong bộ nhớ đệm tuần hoàn; và

thứ tự đọc bit tương ứng với cách thức so khớp tốc độ thứ ba đang đọc tuần tự và tuần hoàn, M bit được mã hóa bắt đầu từ vị trí bất kỳ và theo thứ tự tự nhiên hoặc theo thứ tự đảo, trong bộ nhớ đệm tuần hoàn.

Thiết bị so khớp tốc độ theo phương án thực hiện được tạo cấu hình để thực hiện phương pháp phương án thực hiện được thể hiện trên Fig.7. Các nguyên lý triển khai và các hiệu quả kỹ thuật của nó là giống nhau, và các chi tiết không được mô tả lại ở đây theo phương án thực hiện.

Fig.15 là sơ đồ cấu trúc 3 của thiết bị so khớp tốc độ mã phân cực theo phương án thực hiện sáng chế. Thiết bị so khớp tốc độ 1500 có thể là thiết bị truyền thông chẳng hạn thiết bị mạng hoặc thiết bị đầu cuối nêu trên, hoặc vi mạch, hoặc tương tự. Như được thể hiện trên Fig.15, thiết bị so khớp tốc độ 1500 có thể được triển khai bằng cách sử dụng đường truyền 1501 làm kiến trúc hệ thống đường truyền chung. Theo các ứng dụng cụ thể và các điều kiện giới hạn thiết kế chung của thiết bị so khớp tốc độ 1500, đường truyền 1501 có thể bao gồm số lượng bất kỳ các đường truyền và các cầu nối kết nối. Đường truyền 1501 nối các mạch với nhau. Các mạch này bao gồm bộ xử lý 1502, phương tiện lưu trữ 1503, và giao diện đường truyền 1504. Một cách tùy chọn, thiết bị so khớp tốc độ 1500 kết nối bộ thích ứng mạng 1505 và tương tự qua đường truyền 1501 bằng cách sử dụng giao diện đường truyền 1504. Bộ điều hợp mạng 1505 có thể được tạo cấu hình để triển khai chức năng xử lý tín hiệu ở lớp vật lý trên mạng truyền thông không dây, và thực hiện gửi và nhận các tín hiệu tần số vô tuyến bằng cách sử dụng anten 1507. Giao diện người dùng 1506 có thể được kết nối với thiết bị đầu cuối người dùng chẳng hạn bàn phím, phần hiển thị, chuột, hoặc joystick. Đường truyền 1501 có thể còn được kết nối với

các mạch khác chẳng hạn nguồn định thời, thiết bị ngoại vi, máy ổn áp, và mạch quản lý nguồn. Các mạch này đã được biết đến theo giải pháp kỹ thuật, và do vậy các chi tiết không được mô tả.

Theo cách khác, thiết bị so khớp tốc độ 1500 có thể được tạo cấu hình như là hệ thống xử lý đa năng, chẳng hạn, được gọi chung là vi mạch. Hệ thống xử lý đa năng bao gồm: một hoặc nhiều bộ vi xử lý cấp chức năng bộ xử lý, và bộ nhớ ngoài tạo ít nhất một phần phương tiện lưu trữ 1503. Tất cả các thiết bị này được kết nối với các mạch hỗ trợ khác bằng cách sử dụng kiến trúc hệ thống đường truyền ngoài.

Theo cách khác, thiết bị so khớp tốc độ 1500 có thể được triển khai bằng cách sử dụng thiết bị sau: mạch tích hợp ứng dụng cụ thể (Application-Specific Integrated Circuit, ASIC) mà có bộ xử lý 1502, giao diện đường truyền 1504, và giao diện người dùng 1506; và ít nhất một phần phương tiện lưu trữ 1503 được tích hợp vào một vi mạch. Theo cách khác, thiết bị so khớp tốc độ 1500 có thể được triển khai bằng cách sử dụng thiết bị sau: một hoặc nhiều mảng cổng dạng trường lập trình được (Field-Programmable Gate Array, FPGA), thiết bị logic lập trình được (programmable logic device, PLD), bộ điều khiển, máy trạng thái, logic cổng, linh kiện phần cứng rời rạc, các mạch thích hợp khác bất kỳ, hoặc tổ hợp bất kỳ của các mạch có thể thực thi các chức năng được mô tả trong suốt các phương án thực hiện sáng chế.

Bộ xử lý 1502 chịu trách nhiệm quản lý đường truyền và xử lý chung (bao gồm bước thực thi phần mềm được lưu trữ trong phương tiện lưu trữ 1503). Bộ xử lý 1502 có thể được triển khai bằng cách sử dụng một hoặc nhiều bộ xử lý đa năng và/hoặc bộ xử lý dành riêng. Các ví dụ của bộ xử lý bao gồm bộ vi xử lý, bộ vi điều khiển, DSP, và các mạch khác có thể thực thi phần mềm. Phần mềm nên được giải thích tổng quát như là biểu diễn lệnh, dữ liệu, hoặc tổ hợp bất kỳ của nó, bất kể liệu phần mềm có được gọi là phần mềm, firmware, middleware, vi mã, ngôn ngữ mô tả phần cứng, hoặc các phần khác.

Như được thể hiện trên Fig.15 sau, phương tiện lưu trữ 1503 được tách riêng khỏi bộ xử lý 1502. Tuy nhiên, chuyên gia trong lĩnh vực có thể dễ đoán

ra rằng phương tiện lưu trữ 1503 hoặc phần bất kỳ của phương tiện lưu trữ 1503 có thể được đặt bên ngoài thiết bị so khớp tốc độ 1500. Chẳng hạn, phương tiện lưu trữ 1503 có thể bao gồm đường truyền, dạng sóng mang được điều biến bằng cách sử dụng dữ liệu, và/hoặc thực thể máy tách được tách khỏi nút không dây. Tất cả các phương tiện này có thể được truy nhập bởi bộ xử lý 1502 bằng cách sử dụng giao diện đường truyền 1504. Theo cách khác, phương tiện lưu trữ 1503 hoặc phần bất kỳ của phương tiện lưu trữ 1503 có thể được tích hợp vào bộ xử lý 1502. Chẳng hạn, phương tiện lưu trữ 1503 có thể là bộ đệm và/hoặc thanh ghi đa năng.

Bộ xử lý 1502 có thể thực thi các phương án thực hiện nêu trên, chẳng hạn, các phương án thực hiện nêu trên lần lượt tương ứng với Fig.2 đến Fig.12. Quá trình thực thi của bộ xử lý 1502 không được mô tả chi tiết ở đây.

Chuyên gia trong lĩnh vực có thể hiểu rằng môđun mã hóa, môđun lưu trữ, và môđun đọc nêu trên có thể được triển khai như là bộ xử lý.

Phương án thực hiện sáng chế còn đề xuất sản phẩm chương trình máy tính. Sản phẩm chương trình máy tính bao gồm mã chương trình máy tính. Khi chạy trên máy tính, mã chương trình máy tính khiến máy tính có thể thực hiện mã phân cực phương pháp so khớp tốc độ theo các phương án thực hiện nêu trên.

Phương án thực hiện sáng chế đề xuất vi mạch, bao gồm bộ nhớ và bộ xử lý. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý được tạo cấu hình để gọi, từ bộ nhớ, và chạy chương trình máy tính, sao cho bộ xử lý thực hiện mã phân cực phương pháp so khớp tốc độ theo các phương án thực hiện nêu trên.

YÊU CẦU BẢO HỘ

1. Phương pháp so khớp tốc độ mã cực sử dụng trong mạng truyền thông không dây bao gồm các bước:

thu được, bằng thiết bị truyền thông, K bit thông tin, trong đó $K \geq 1$;

tạo, bằng thiết bị truyền thông, chuỗi cần được mã hóa có độ dài N bit, trong đó chuỗi cần được mã hóa bao gồm K bit thông tin và L bit đóng băng, trong đó L lớn hơn hoặc bằng (N-M), N là lũy thừa nguyên của 2, và M là số nguyên dương và nhỏ hơn N; và trong đó L vị trí bit của chuỗi cần được mã hóa để đặt L bit đóng băng được xác định theo cách thức so khớp tốc độ;

mã hóa phân cực, bằng thiết bị truyền thông, chuỗi cần được mã hóa, để thu được chuỗi được mã hóa;

xen kẽ, bằng thiết bị truyền thông, chuỗi được mã hóa, để thu được chuỗi được xen kẽ;

tuần tự lưu trữ, bằng thiết bị truyền thông, chuỗi được xen kẽ vào cache (bộ nhớ đệm nhanh) tuần hoàn của thiết bị truyền thông; và

tuần tự xuất ra, bằng thiết bị truyền thông, M bit của chuỗi được xen kẽ từ cache tuần hoàn theo cách thức so khớp tốc độ.

2. Phương pháp theo điểm 1, trong đó cách thức so khớp tốc độ đang lược bớt, và bit thứ (N-M+1) đến bit thứ N của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

3. Phương pháp theo điểm 1, trong đó cách thức so khớp tốc độ đang rút ngắn, và bit thứ nhất đến bit thứ M của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

4. Phương pháp theo điểm 1, trong đó hoạt động mã hóa phân cực chuỗi cần được mã hóa để thu được chuỗi được mã hóa bao gồm bước:

tạo vector hàng nhị phân $u_1^N = (u_1, u_2, \dots, u_N)$, trong đó vector hàng nhị

phân tương ứng với chuỗi cần được mã hóa; và

mã hóa vector hàng nhị phân u_1^N theo công thức mã hóa, để thu được chuỗi bit đã được mã hóa;

trong đó công thức mã hóa là:

$$x_1^N = u_1^N G_N,$$

trong đó $x_1^N = (x_1, x_2, \dots, x_N)$ là chuỗi bit đã được mã hóa, và G_N là ma trận tạo mã cực có N hàng và N cột.

5. Thiết bị so khớp tốc độ mã cực trong mạng truyền thông không dây bao gồm bộ xử lý, cache tuần hoàn, và bộ nhớ lưu trữ các lệnh chương trình để thực thi bằng bộ xử lý; trong đó khi được thực thi bằng bộ xử lý, các lệnh chương trình khiến thiết bị:

thu được K bit thông tin, trong đó $K \geq 1$;

tạo chuỗi cần được mã hóa có độ dài N bit, trong đó chuỗi cần được mã hóa bao gồm K bit thông tin và L bit đóng băng, trong đó L lớn hơn hoặc bằng (N-M), N là lũy thừa nguyên của 2, và M là số nguyên dương và nhỏ hơn N; và trong đó L vị trí bit của chuỗi cần được mã hóa để đặt L bit đóng băng được xác định theo cách thức so khớp tốc độ;

mã hóa phân cực chuỗi cần được mã hóa, để thu được chuỗi được mã hóa;

đan xen chuỗi được mã hóa, để thu được chuỗi được xen kẽ;

tuần tự lưu trữ chuỗi được xen kẽ vào cache tuần hoàn của thiết bị truyền thông; và

tuần tự xuất ra M bit của chuỗi được xen kẽ từ cache tuần hoàn theo cách thức so khớp tốc độ.

6. Thiết bị theo điểm 5, trong đó cách thức so khớp tốc độ đang lược bớt, và bit thứ (N-M+1) đến bit thứ N của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

7. Thiết bị theo điểm 5, trong đó cách thức so khớp tốc độ đang rút ngắn, và bti thứ nhất đến bit thứ M của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

8. Thiết bị theo điểm 5, trong đó khi mã hóa phân cực chuỗi cần được mã hóa để thu được chuỗi được mã hóa, bằng cách thực thi các lệnh chương trình, bộ xử lý được tạo cấu hình để:

tạo vector hàng nhị phân $u_1^N = (u_1, u_2, \dots, u_N)$, trong đó vector hàng nhị phân tương ứng với chuỗi cần được mã hóa; và

mã hóa vector hàng nhị phân u_1^N theo công thức mã hóa, để thu được chuỗi bit đã được mã hóa;

trong đó công thức mã hóa là:

$$x_1^N = u_1^N G_N,$$

trong đó $x_1^N = (x_1, x_2, \dots, x_N)$ là chuỗi bit đã được mã hóa, và G_N là ma trận tạo mã cực có N hàng và N cột.

9. Vật ghi máy tính đọc được bất biến lưu trữ các mã chương trình trên đó để thực thi bằng bộ xử lý trong thiết bị truyền thông, trong đó các mã chương trình bao gồm các lệnh để:

thu được K bit thông tin, trong đó $K \geq 1$;

tạo chuỗi cần được mã hóa có độ dài N bit, trong đó chuỗi cần được mã hóa bao gồm K bit thông tin và L bit đóng băng, trong đó L lớn hơn hoặc bằng (N-M), N là lũy thừa nguyên của 2, và M là số nguyên dương và nhỏ hơn N; và trong đó L vị trí bit của chuỗi cần được mã hóa để đặt the L bit đóng băng được xác định theo cách thức so khớp tốc độ;

mã hóa phân cực chuỗi cần được mã hóa, để thu được chuỗi được mã hóa;

xen kẽ chuỗi được mã hóa, để thu được chuỗi được xen kẽ;

tuần tự lưu trữ chuỗi được xen kẽ vào cache tuần hoàn của thiết bị truyền thông; và

tuần tự xuất ra M bit của chuỗi được xen kẽ từ cache tuần hoàn theo cách thức so khớp tốc độ.

10. Vật ghi máy tính đọc được bất biến theo điểm 9, trong đó cách thức so khớp tốc độ đang lược bớt, và bit thứ (N-M+1) đến bit thứ N của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

11. Vật ghi máy tính đọc được bất biến theo điểm 9, trong đó cách thức so khớp tốc độ đang rút ngắn, và bit thứ nhất đến bit thứ M của chuỗi được xen kẽ được xuất ra từ cache tuần hoàn.

12. Vật ghi máy tính đọc được bất biến theo điểm 9, trong đó các lệnh để mã hóa phân cực chuỗi cần được mã hóa để thu được chuỗi được mã hóa:

tạo vector hàng nhị phân $u_1^N = (u_1, u_2, \dots, u_N)$, trong đó vector hàng nhị phân tương ứng với chuỗi cần được mã hóa; và

mã hóa vector hàng nhị phân u_1^N theo công thức mã hóa, để thu được chuỗi bit đã được mã hóa;

trong đó công thức mã hóa là:

$$x_1^N = u_1^N G_N,$$

trong đó $x_1^N = (x_1, x_2, \dots, x_N)$ là chuỗi bit đã được mã hóa, và G_N là ma trận tạo mã cực có N hàng và N cột.

1/8

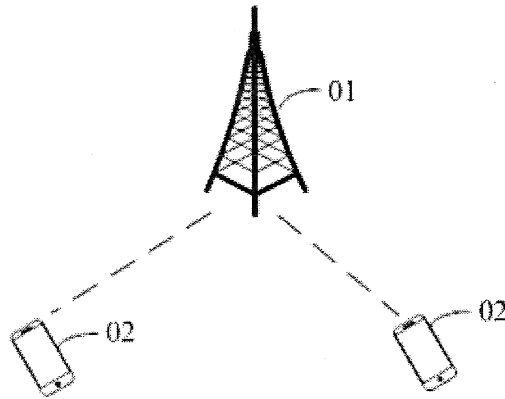


Fig.1

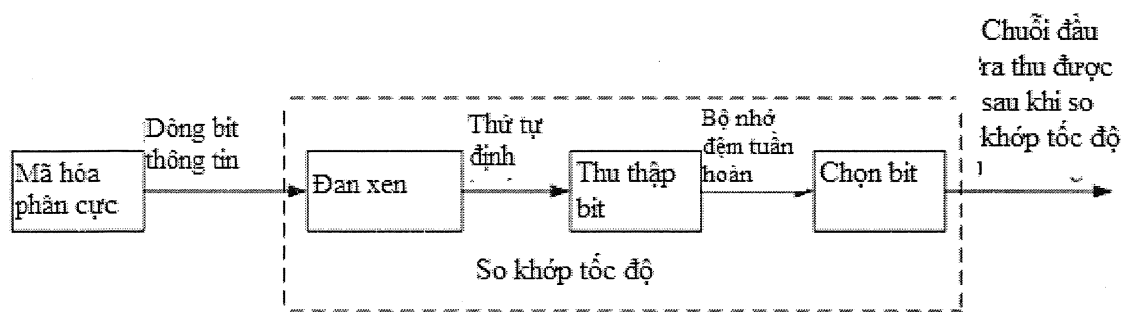


Fig.2

2/8

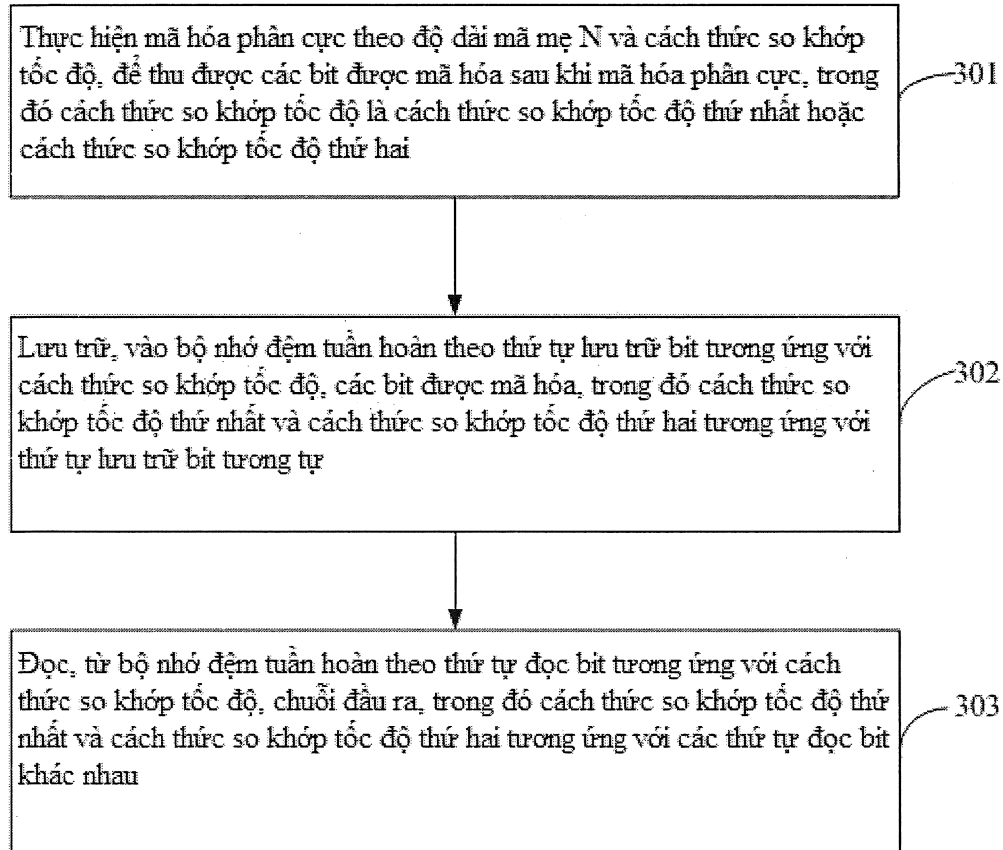


Fig.3

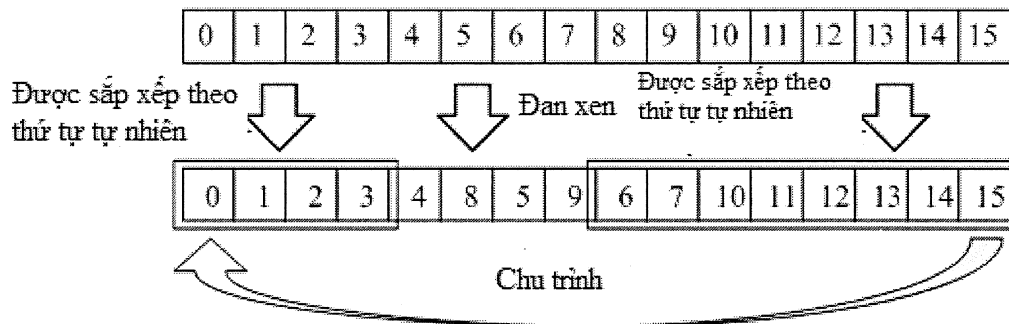


Fig.4

3/8

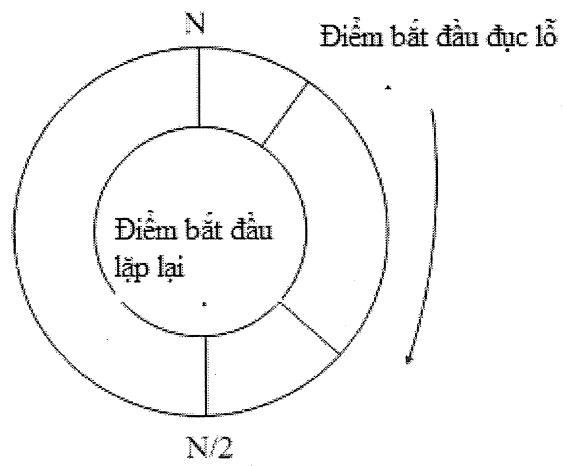


Fig.5

4/8

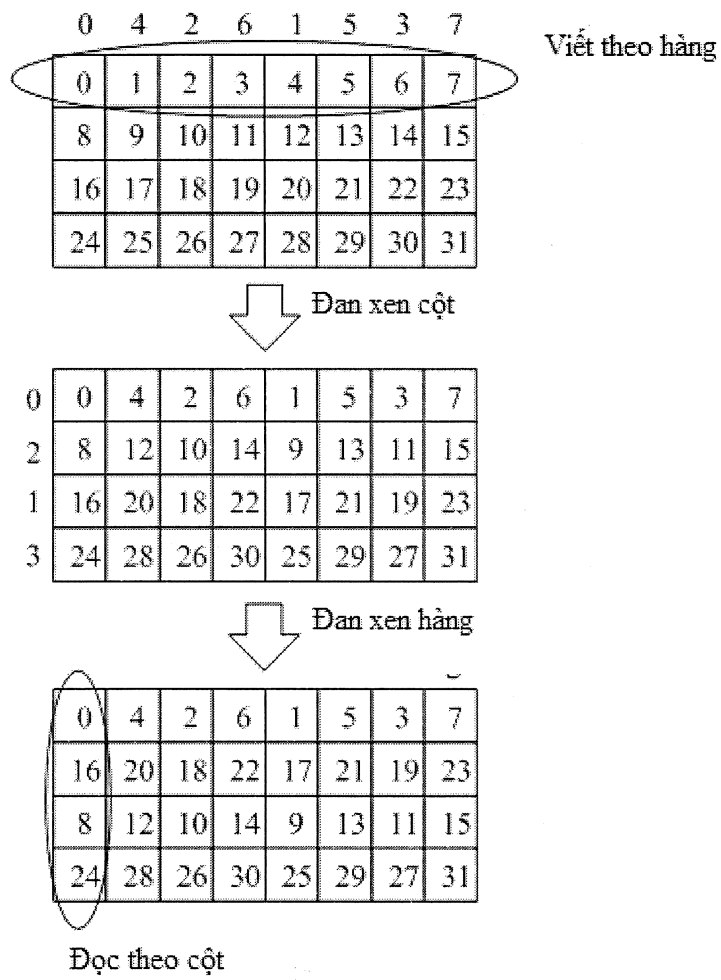


Fig.6

5/8

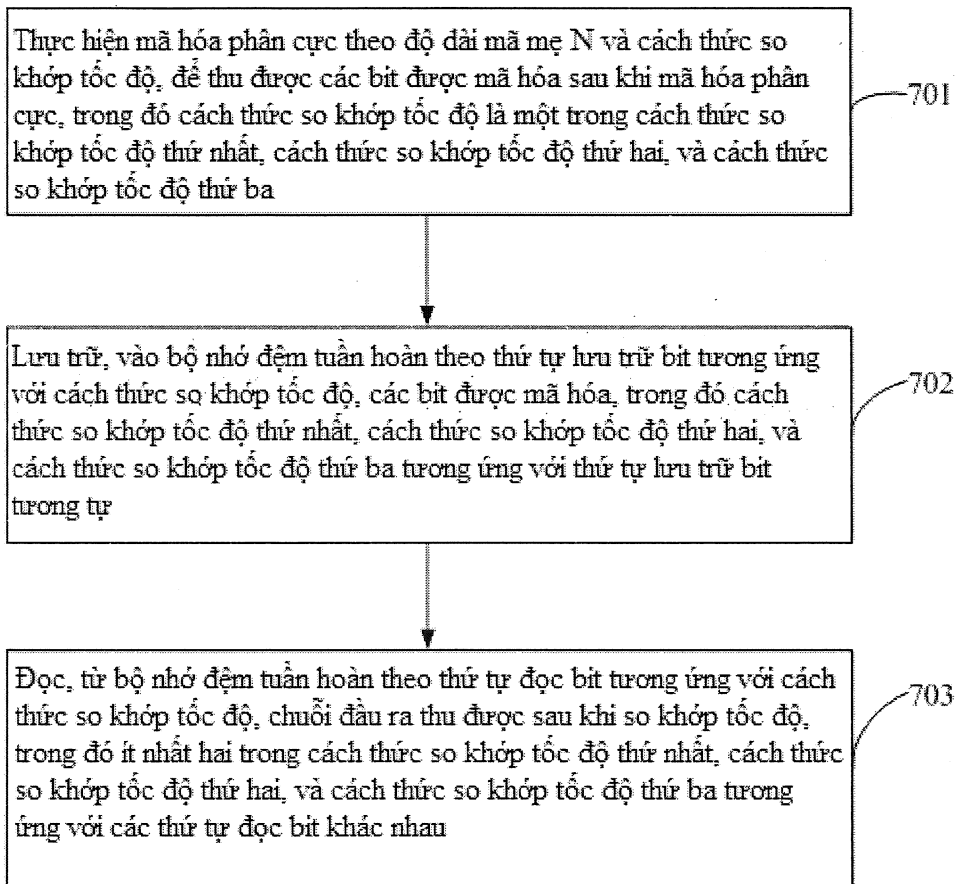


Fig.7

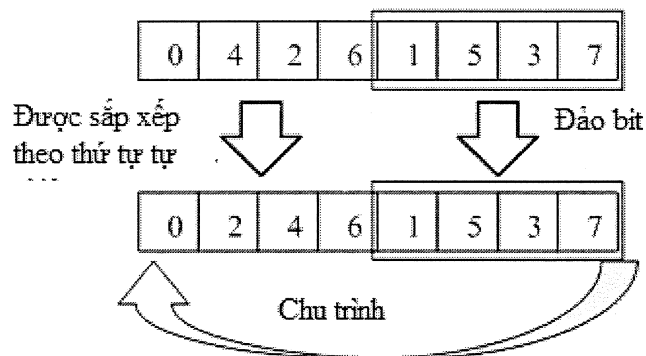


Fig.8

6/8

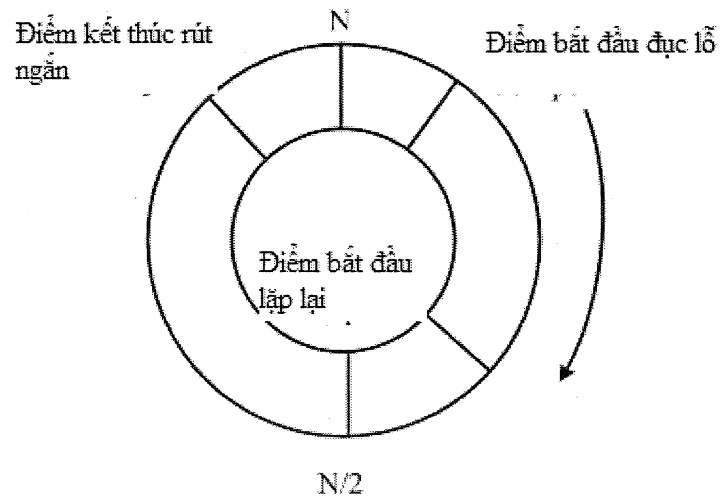


Fig.9

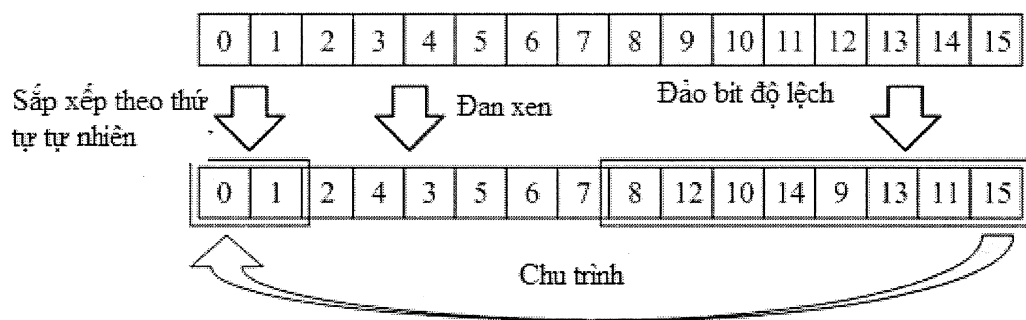


Fig.10

7/8

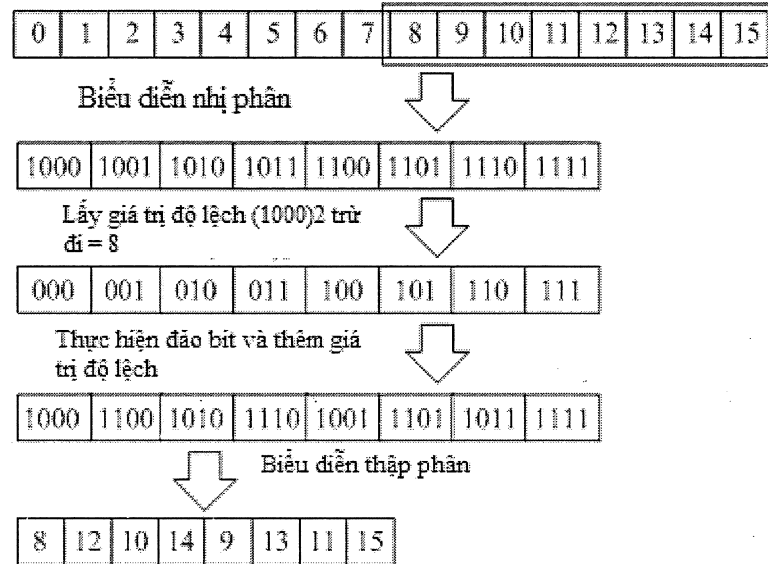


Fig.11

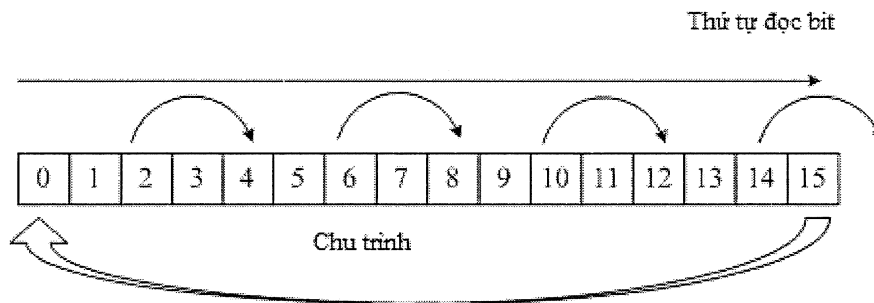


Fig.12

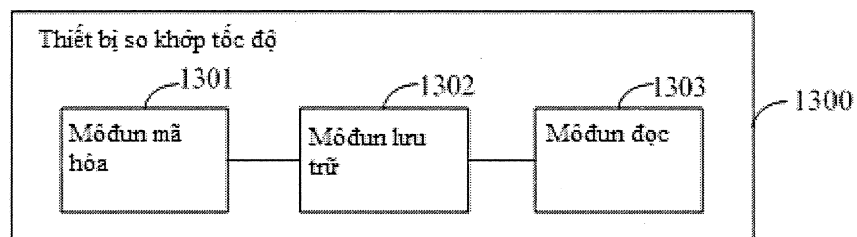


Fig.13

8/8

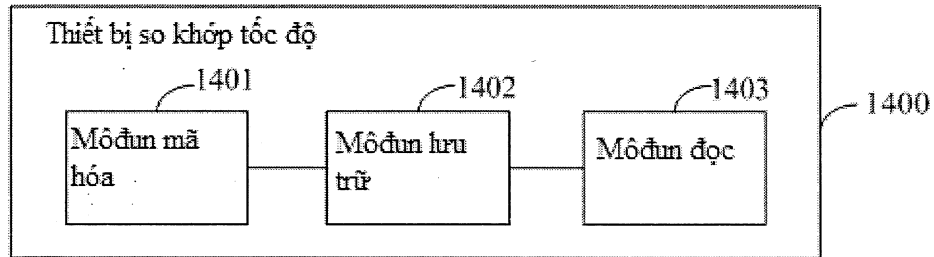


Fig.14

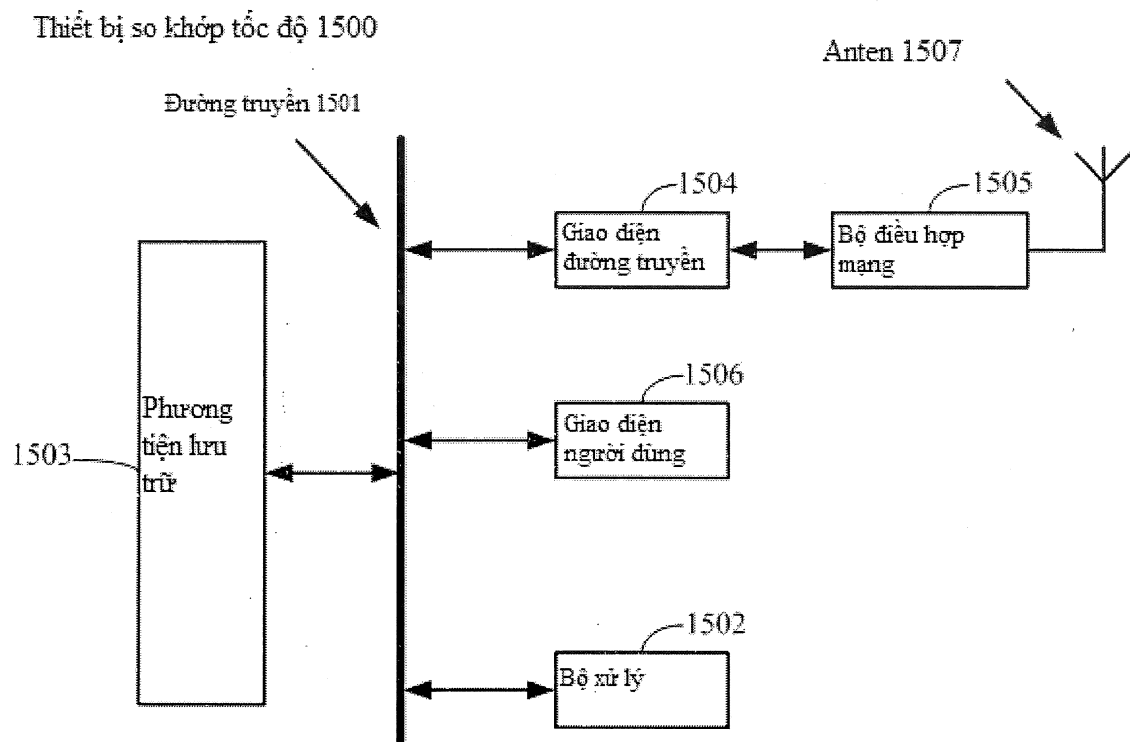


Fig.15