



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0039324

(51)¹⁹ H04W 72/04; H04W 72/12

(13) B

(21) 1-2019-02057

(22) 22/09/2017

(86) PCT/CN2017/103040 22/09/2017

(87) WO 2018/059335 05/04/2018

(30) 201610866520.X 29/09/2016 CN

(45) 25/04/2024 433

(43) 25/06/2019 375A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

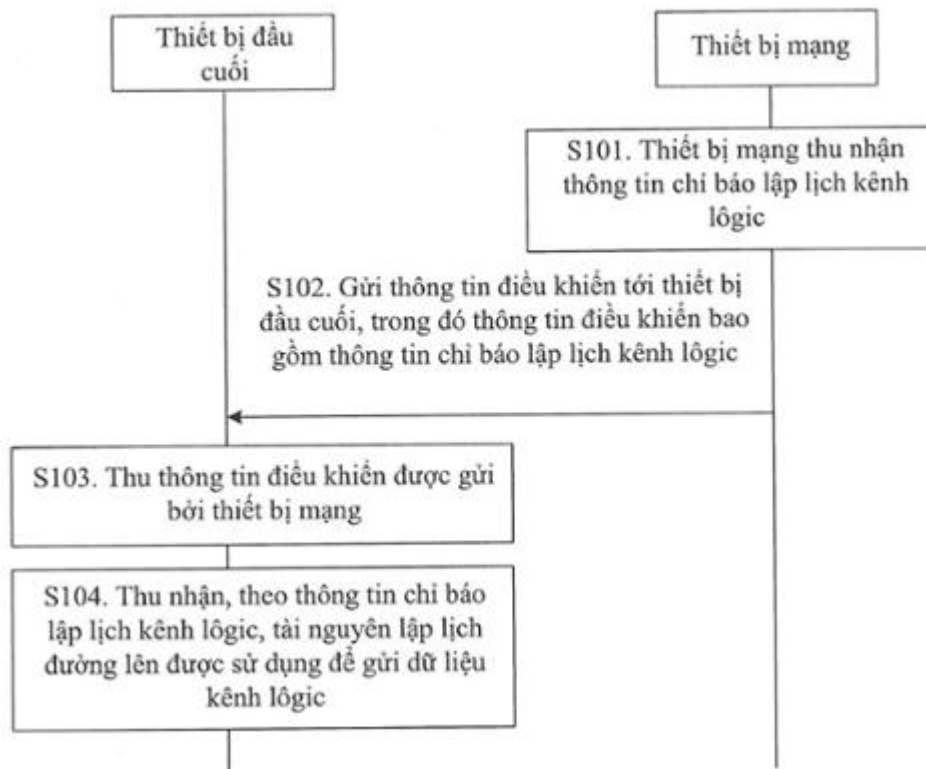
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong
518129, China

(72) YU, Haifeng (CN); XIONG, Xin (CN); YU, Feng (CN).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) PHƯƠNG PHÁP LẬP LỊCH KÊNH LÔGIC, THIẾT BỊ ĐẦU CUỐI, THIẾT BỊ MẠNG VÀ PHƯƠNG TIỆN LƯU TRỮ CÓ THỂ ĐỌC ĐƯỢC

(57) Sáng chế đề cập đến lĩnh vực truyền thông và đề xuất phương pháp lập lịch kênh logic, thiết bị đầu cuối, thiết bị mạng và phương tiện lưu trữ có thể đọc được, để gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối, nhờ đó đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực, và cải thiện hiệu năng truyền của thiết bị đầu cuối trong khi làm giảm các thông tin tiêu đề báo hiệu điều khiển tài nguyên vô tuyến (RRC - radio resource control) được yêu cầu bởi cấu hình kênh logic. Phương pháp lập lịch kênh logic bao gồm: thu, bởi thiết bị đầu cuối, thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, và thông tin chỉ báo lập lịch kênh logic là bất kỳ một trong số phần sau đây: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo cập nhật của tốc độ bit được ưu tiên (PBR - prioritized bit rate) được lập lịch cho kênh logic, và chỉ báo cập nhật của mức ưu tiên kênh logic (LCP - logical channel priority) được lập lịch cho kênh logic; và thu nhận, bởi thiết bị đầu cuối theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực truyền thông, và cụ thể, đề cập đến phương pháp lập lịch kênh logic, thiết bị đầu cuối, thiết bị mạng và phương tiện lưu trữ có thể đọc được.

Tình trạng kỹ thuật của sáng chế

Với sự phát triển nhanh của kỹ thuật truyền thông di động thế hệ thứ năm (5th generation mobile communications technology, 5G), việc truyền thông di động gây ra tác động lớn đối với đời sống và công việc của con người. Các trường hợp ứng dụng 5G thường bao gồm băng rộng di động nâng cao (enhanced mobile broadband, eMBB), truyền thông kiểu máy cỡ lớn (massive machine type communications, mMTC), và truyền thông độ trễ thấp và độ tin cậy cao (ultra-reliable and low latency communications, URLLC). Do dịch vụ URLLC có yêu cầu tương đối cao về độ trễ dịch vụ và độ tin cậy dịch vụ, việc làm thế nào để đảm bảo yêu cầu dịch vụ của kênh logic khác trong khi đảm bảo yêu cầu của dịch vụ URLLC trở thành vấn đề cần được giải quyết cấp bách.

Trước khi gửi dữ liệu đường lên tới thiết bị mạng, thiết bị đầu cuối hiện tại đầu tiên cần thu tài nguyên lập lịch đường lên được gửi bởi thiết bị mạng. Do tổng số lượng tài nguyên lập lịch đường lên được xác định, thiết bị đầu cuối cần xác định, theo quy tắc cụ thể, lượng tài nguyên lập lịch đường lên mà có thể được cấp phát tới mỗi kênh logic. Thông thường, thiết bị đầu cuối xác định, dựa trên cấu hình kênh logic, số lượng tài nguyên lập lịch đường lên mà có thể được cấp phát tới mỗi kênh logic. Cấu hình kênh logic là tốc độ bit được ưu tiên (prioritized bit rate, PBR) hoặc mức ưu tiên kênh logic (logical channel priority, LCP) được lập lịch cho kênh logic. Sau khi thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới mỗi kênh logic, nếu tài nguyên lập lịch đường lên được cấp phát tới kênh logic cụ thể không thể thỏa mãn yêu cầu để lập lịch bộ đệm trên kênh logic, thiết bị đầu cuối cần cải biến cấu hình kênh logic của kênh

logic trong cấu hình điều khiển tài nguyên vô tuyến (radio resource control, RRC).

Tuy nhiên, xử lý mà trong đó thiết bị đầu cuối cải biến cấu hình kênh logic của kênh logic trong cấu hình RRC (xử lý này cũng được gọi là xử lý cấu hình lại RRC) tương đối phức tạp, và có thể gây ra quá tải đối với bộ đệm trên kênh logic. Ngoài ra, việc cải biến cấu hình kênh logic của kênh logic trong xử lý cấu hình lại RRC tạo ra lượng tương đối lớn báo hiệu RRC, mà ảnh hưởng tới hiệu năng của thiết bị đầu cuối.

Bản chất kỹ thuật của sáng chế

Các phương án của sáng chế đề xuất phương pháp lập lịch kênh logic, thiết bị đầu cuối, thiết bị mạng và phương tiện lưu trữ có thể đọc được, để gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối, nhờ đó đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực, và cải thiện hiệu năng truyền của thiết bị đầu cuối trong khi làm giảm các thông tin tiêu đề báo hiệu RRC được yêu cầu bởi cấu hình kênh logic.

Để đạt được các mục đích nêu trên, các giải pháp kỹ thuật sau đây được sử dụng trong các phương án của sáng chế:

Theo khía cạnh thứ nhất, phương án của sáng chế đề xuất phương pháp lập lịch kênh logic. Thiết bị đầu cuối thu thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic (bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của PBR được lập lịch cho kênh logic, hoặc chỉ báo của mức ưu tiên kênh logic (LCP)). Sau đó, thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic thu được, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. Như có thể được quan sát, theo phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối có thể một cách trực tiếp thu thông tin điều khiển được gửi bởi thiết bị mạng, và thông tin điều khiển bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi

kênh logic một cách riêng biệt, chỉ báo của PBR được lập lịch cho kênh logic, hoặc chỉ báo của LCP (trong phần sau đây, chỉ báo của PBR được lập lịch cho kênh logic biểu diễn chỉ báo cập nhật của PBR được lập lịch cho kênh logic, và chỉ báo của LCP biểu diễn chỉ báo cập nhật của LCP), để thu nhận, bằng cách sử dụng chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của PBR được lập lịch cho kênh logic, hoặc chỉ báo của LCP, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. So với xử lý cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực. Ngoài ra, trong phương pháp chỉ báo lập lịch kênh logic trong đó chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được gửi bằng cách sử dụng bản tin điều khiển, thủ tục cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic được ngăn ngừa, sao cho hiệu năng truyền của thiết bị đầu cuối được cải thiện trong khi các thông tin tiêu đề báo hiệu RRC được làm giảm.

Theo cách thức có thể được thực hiện thứ nhất của khía cạnh thứ nhất, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, xử lý mà trong đó thiết bị đầu cuối thu thông tin điều khiển được gửi bởi thiết bị mạng là: thu, bởi thiết bị đầu cuối, bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC) (bản tin cấu hình lại RRC có thể cũng được gọi là bản tin RRC, và bản tin cấu hình lại RRC dưới đây biểu diễn bản tin RRC) được gửi bởi thiết bị mạng; và giải mã bản tin cấu hình lại RRC, để thu nhận chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, sao cho thiết bị đầu cuối thu nhận, theo chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt.

Theo cách thức có thể được thực hiện thứ hai của khía cạnh thứ nhất, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, xử lý mà trong đó thiết bị đầu cuối thu thông

tin điều khiển được gửi bởi thiết bị mạng là: thu, bởi thiết bị đầu cuối, bản tin điều khiển (ví dụ, kênh điều khiển đường xuống vật lý (physical downlink control channel, PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (medium access control control element, MAC CE)) được gửi bởi thiết bị mạng, trong đó chỉ báo của PDCCH bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, và chỉ báo của phần tử điều khiển (CE) MAC bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP; và phân tích, bởi thiết bị đầu cuối, bản tin điều khiển, để thu nhận chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, sao cho thiết bị đầu cuối thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và cấp phát tài nguyên lập lịch đường lên tới kênh logic; hoặc sao cho thiết bị đầu cuối thu nhận LCP theo chỉ báo của LCP, và cấp phát tài nguyên lập lịch đường lên tới kênh logic.

Theo phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic có thể được thu nhận một cách thích hợp từ hai khía cạnh khác nhau, nhờ đó đảm bảo rằng cấu hình kênh logic của kênh logic tuân theo yêu cầu lập lịch theo thời gian thực: Từ một khía cạnh, số lượng tài nguyên lập lịch đường lên cụ thể mà có thể một cách riêng biệt được cấp phát bởi thiết bị mạng tới kênh logic; và từ khía cạnh khác, cấu hình kênh logic cũ bên trong thiết bị đầu cuối được thay thế bởi cấu hình kênh logic mới được gửi bởi thiết bị mạng, sao cho thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic bằng cách sử dụng cấu hình kênh logic mới.

Một cách tùy chọn, thiết bị đầu cuối có thể còn cập nhật và lưu trữ PBR được lập lịch cho kênh logic hoặc LCP, để đảm bảo hiệu lực thời gian của PBR được lập lịch cho kênh logic hoặc LCP mà được lưu trữ trong thiết bị đầu cuối.

Ngoài ra, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến, sao

cho thiết bị đầu cuối giải xáo trộn thông tin chỉ báo lập lịch kênh logic được xáo trộn sau khi thu thông tin điều khiển được gửi bởi thiết bị mạng, để nhận biết kênh logic cụ thể, tương ứng với thông tin chỉ báo lập lịch kênh logic, của thiết bị đầu cuối.

Ngoài ra, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic vẫn không thay đổi, và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được thiết lập bằng vô cực.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic bằng một bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic là hai bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 00 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 25% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 01 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 50% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 10 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 100% của PBR cũ bên trong thiết bị đầu cuối, và chỉ báo của PBR bằng 11 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 200% của PBR cũ bên trong thiết bị đầu cuối.

Một cách tùy chọn, khi độ dài của chỉ báo của LCP bằng một bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của LCP bằng 0 chỉ báo rằng LCP của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của LCP bằng 1 chỉ báo rằng LCP của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Một cách tùy chọn, khi độ dài của chỉ báo của LCP bằng bốn bit, bốn bit này thể hiện mức của LCP.

Theo khía cạnh thứ hai, phương án của sáng chế đề xuất phương pháp lập lịch kênh logic. Thiết bị mạng thu nhận thông tin chỉ báo lập lịch kênh logic (bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, hoặc chỉ báo của mức ưu tiên kênh logic (LCP)). Sau đó, thiết bị mạng gửi thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, xử lý mà trong đó thiết bị mạng gửi thông tin điều khiển tới thiết bị đầu cuối là: gửi, bởi thiết bị mạng tới thiết bị đầu cuối, bản tin cấu hình lại RRC bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, xử lý mà trong đó thiết bị mạng gửi thông tin điều khiển tới thiết bị đầu cuối là: gửi, bởi thiết bị mạng, bản tin điều khiển (kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE)) tới thiết bị đầu cuối, trong đó chỉ báo của PDCCH bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, và chỉ báo của phần tử điều khiển (CE) MAC bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP.

Ngoài ra, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến.

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Theo khía cạnh thứ ba, phương án của sáng chế đề xuất phương pháp

lập lịch kênh logic. Thiết bị đầu cuối thu thông tin điều khiển thứ nhất mà được gửi bởi thiết bị mạng và bao gồm thông tin chỉ báo lập lịch kênh logic (thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic). Sau khi xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt. Như có thể được quan sát, trong phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối đầu tiên có thể thu thông tin điều khiển thứ nhất mà được gửi bởi thiết bị mạng và bao gồm thông tin chỉ báo lập lịch kênh logic, và xác định rằng thông tin chỉ báo lập lịch kênh logic có phải là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hay không. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thiết bị đầu cuối có thể một cách trực tiếp thu nhận tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt. So với thủ tục cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng kênh logic có thể có tài nguyên lập lịch đường lên mà có thể được sử dụng một cách riêng biệt, sao cho cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực, nhờ đó cải thiện hiệu năng truyền của thiết bị đầu cuối.

Ngoài ra, phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế còn bao gồm: sau khi xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thu, bởi thiết bị đầu cuối, thông tin điều khiển thứ hai mà được gửi bởi thiết bị mạng và bao gồm chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP), và thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. Như có thể

được quan sát, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, trong phương án này của sáng chế, thiết bị mạng có thể còn gửi thông tin điều khiển thứ hai bao gồm chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP). Thiết bị đầu cuối thay thế cấu hình kênh logic cũ bên trong thiết bị đầu cuối bằng cấu hình kênh logic mới được gửi bởi thiết bị mạng, sao cho thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic bằng cách sử dụng cấu hình kênh logic mới. Ngoài ra, so với xử lý cấu hình lại RRC thông thường, xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic được ngăn ngừa trong phương pháp này, nhờ đó làm giảm các thông tin tiêu đề báo hiệu RRC.

Một cách tùy chọn, bước thu nhận, bởi thiết bị đầu cuối theo chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic một cách cụ thể là: thu nhận, bởi thiết bị đầu cuối theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic; hoặc thu nhận, bởi thiết bị đầu cuối, LCP theo chỉ báo của LCP, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP. Như có thể được quan sát, thiết bị đầu cuối có thể thay thế cấu hình kênh logic cũ bên trong thiết bị đầu cuối bằng cấu hình kênh logic mới được gửi bởi thiết bị mạng, sao cho thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic bằng cách sử dụng cấu hình kênh logic mới.

Một cách tùy chọn, thiết bị đầu cuối có thể còn cập nhật và lưu trữ PBR được lập lịch cho kênh logic hoặc LCP, để đảm bảo hiệu lực thời gian của PBR được lập lịch cho kênh logic hoặc LCP mà được lưu trữ trong thiết bị đầu cuối.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mạng vô tuyến, sao cho thiết bị đầu cuối giải

xáo trộn thông tin chỉ báo lập lịch kênh logic được xáo trộn sau khi thu thông tin điều khiển được gửi bởi thiết bị mạng, để nhận biết kênh logic cụ thể, tương ứng với thông tin chỉ báo lập lịch kênh logic, của thiết bị đầu cuối.

Một cách tùy chọn, thông tin điều khiển thứ nhất là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC), và thông tin điều khiển thứ hai là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển tài nguyên vô tuyến (MAC CE).

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic vẫn không thay đổi, và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được thiết lập bằng vô cực.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic bằng một bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Một cách tùy chọn, khi độ dài của chỉ báo của PBR được lập lịch cho kênh logic là hai bit, sử dụng hệ thống nhị phân như là ví dụ, chỉ báo của PBR bằng 00 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 25% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 01 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 50% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 10 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 100% của PBR cũ bên trong thiết bị đầu cuối, và chỉ báo của PBR bằng 11 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 200% của PBR cũ bên trong thiết bị đầu cuối.

Một cách tùy chọn, khi độ dài của chỉ báo của LCP bằng một bit, sử

dụng hệ thống nhị phân như là ví dụ, chỉ báo của LCP bằng 0 chỉ báo rằng LCP của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của LCP bằng 1 chỉ báo rằng LCP của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Một cách tùy chọn, khi độ dài của chỉ báo của LCP bằng bốn bit, bốn bit này thể hiện mức của LCP.

Theo khía cạnh thứ tư, phương án của sáng chế đề xuất phương pháp lập lịch kênh logic. Thiết bị mạng thu nhận thông tin chỉ báo lập lịch kênh logic (chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic). Sau đó, thiết bị mạng gửi thông tin điều khiển thứ nhất bao gồm thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối.

Ngoài ra, sau khi thiết bị mạng gửi thông tin điều khiển thứ nhất tới thiết bị đầu cuối, phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế còn bao gồm: thu nhận, bởi thiết bị mạng, chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP); và sau đó, gửi, bởi thiết bị mạng, thông tin điều khiển thứ hai bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP tới thiết bị đầu cuối.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mạng vô tuyến.

Một cách tùy chọn, thông tin điều khiển thứ nhất là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC), và thông tin điều khiển thứ hai là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển tài nguyên vô tuyến (MAC CE).

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn

bit.

Theo khía cạnh thứ năm, phương án của sáng chế đề xuất thiết bị đầu cuối. Thiết bị đầu cuối bao gồm môđun thu và môđun xử lý. Các chức năng được thực hiện bởi các bộ phận hoặc các môđun được đề xuất trong phương án này của sáng chế một cách cụ thể là như sau: Môđun thu có cấu trúc để thu thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic (bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, hoặc chỉ báo của mức ưu tiên kênh logic (LCP)); và môđun xử lý có cấu trúc để: sau khi môđun thu thu thông tin điều khiển được gửi bởi thiết bị mạng, thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, môđun thu có cấu trúc cụ thể để: thu bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC) mà được gửi bởi thiết bị mạng và bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, và phân tích bản tin cấu hình lại RRC, để thu nhận chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt; và môđun xử lý có cấu trúc cụ thể để thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, môđun thu có cấu trúc cụ thể để: thu thông tin điều khiển (ví dụ, kênh điều khiển đường xuống vật lý (PDCCH) hoặc phân tử điều khiển điều khiển truy nhập môi trường (MAC CE)) được gửi bởi thiết bị mạng, trong đó chỉ báo của PDCCH bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP, và chỉ báo của phân tử điều khiển (CE) MAC bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP; và phân tích thông tin điều khiển, để thu nhận chỉ

báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP; và môđun xử lý có cấu trúc cụ thể để: thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic; hoặc thu nhận LCP theo chỉ báo của LCP, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

Một cách tùy chọn, thiết bị đầu cuối còn bao gồm môđun lưu trữ. Môđun lưu trữ này có cấu trúc để: sau khi môđun xử lý thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, hoặc thu nhận LCP theo chỉ báo của LCP, cập nhật và lưu trữ PBR được lập lịch cho kênh logic hoặc LCP.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến.

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Theo khía cạnh thứ sáu, phương án của sáng chế đề xuất thiết bị mạng. Thiết bị mạng này bao gồm môđun thu nhận và môđun gửi. Các chức năng được thực hiện bởi các bộ phận hoặc các môđun được đề xuất trong phương án này của sáng chế một cách cụ thể là như sau: môđun thu nhận có cấu trúc để thu nhận thông tin chỉ báo lập lịch kênh logic (bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, hoặc LCP được lập lịch cho kênh logic); và môđun gửi có cấu trúc để: sau khi môđun thu nhận thu nhận thông tin chỉ báo lập lịch kênh logic, gửi thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, môđun gửi có

cấu trúc cụ thể để gửi bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC) tới thiết bị đầu cuối, trong đó bản tin cấu hình lại RRC bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt.

Một cách tùy chọn, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, môđun gửi có cấu trúc cụ thể để gửi bản tin điều khiển (ví dụ, kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE)) tới thiết bị đầu cuối, trong đó chỉ báo của PDCCH bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, và chỉ báo của phần tử điều khiển (CE) MAC bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến.

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Theo khía cạnh thứ bảy, phương án của sáng chế đề xuất thiết bị đầu cuối. Thiết bị đầu cuối này bao gồm môđun thu, môđun xác định, và môđun xử lý. Các chức năng được thực hiện bởi các bộ phận hoặc các môđun được đề xuất trong phương án này của sáng chế một cách cụ thể là như sau: Môđun thu có cấu trúc để thu thông tin điều khiển thứ nhất mà được gửi bởi thiết bị mạng và bao gồm thông tin chỉ báo lập lịch kênh logic (thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic); môđun xác định có cấu trúc để: sau khi môđun thu thu thông tin điều khiển thứ nhất được gửi bởi thiết bị mạng, xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt; và môđun xử lý có cấu trúc để: sau khi môđun xác định xác định rằng thông tin chỉ

báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt.

Một cách tùy chọn, môđun xác định còn có cấu trúc để: sau khi môđun thu thu thông tin điều khiển thứ nhất được gửi bởi thiết bị mạng, xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic; môđun thu còn có cấu trúc để: sau khi môđun xác định xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thu thông tin điều khiển thứ hai mà được gửi bởi thiết bị mạng và bao gồm chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP) được lập lịch cho kênh logic; và môđun xử lý còn có cấu trúc để: sau khi môđun thu thu thông tin điều khiển thứ hai được gửi bởi thiết bị mạng, thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.

Một cách tùy chọn, môđun xử lý có cấu trúc cụ thể để: thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic; hoặc thu nhận LCP theo chỉ báo của LCP, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

Một cách tùy chọn, thiết bị đầu cuối còn bao gồm môđun lưu trữ. Môđun lưu trữ này có cấu trúc để: sau khi môđun xử lý thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, hoặc thu nhận LCP theo chỉ báo của LCP, cập nhật và lưu trữ PBR được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử

dùng RNTI dành riêng của kênh mang vô tuyến.

Một cách tùy chọn, thông tin điều khiển thứ nhất là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC), và thông tin điều khiển thứ hai là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển tài nguyên vô tuyến (MAC CE).

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Theo khía cạnh thứ tám, phương án của sáng chế đề xuất thiết bị mạng. Thiết bị mạng này bao gồm môđun thu nhận và môđun gửi. Các chức năng được thực hiện bởi các bộ phận hoặc các môđun được đề xuất trong phương án này của sáng chế một cách cụ thể là như sau: Môđun thu nhận có cấu trúc để thu nhận thông tin chỉ báo lập lịch kênh logic (chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic); và môđun gửi có cấu trúc để: sau khi môđun thu nhận thu nhận thông tin chỉ báo lập lịch kênh logic, gửi thông tin điều khiển thứ nhất bao gồm thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối.

Một cách tùy chọn, môđun thu nhận còn có cấu trúc để: sau khi môđun gửi gửi thông tin điều khiển thứ nhất tới thiết bị đầu cuối, thu nhận chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP); và môđun gửi còn có cấu trúc để: sau khi môđun thu nhận thu nhận chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP), gửi thông tin điều khiển thứ hai bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic tới thiết bị đầu cuối.

Một cách tùy chọn, thông tin chỉ báo lập lịch kênh logic được xáo trộn bằng cách sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến.

Một cách tùy chọn, thông tin điều khiển thứ nhất là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC), và thông tin điều khiển thứ hai là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển tài nguyên vô tuyến (MAC CE).

Một cách tùy chọn, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit, và độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Một cách tùy chọn, theo khía cạnh thứ nhất đến khía cạnh thứ tám, bản tin RRC (tức là, bản tin cấu hình lại RRC) có thể còn bao gồm PBR khởi tạo được lập lịch cho kênh logic hoặc LCP khởi tạo được lập lịch cho kênh logic. Khi cập nhật PBR của kênh logic trong lần đầu tiên, thiết bị đầu cuối cập nhật PBR khởi tạo của kênh logic thành PBR mới của của kênh logic theo chỉ báo cập nhật của PBR được lập lịch cho kênh logic. Khi cập nhật LCP trong lần đầu tiên, thiết bị đầu cuối cập nhật LCP khởi tạo thành LCP mới theo chỉ báo cập nhật của LCP.

Theo khía cạnh thứ chín, phương án của sáng chế còn đề xuất thiết bị đầu cuối. Thiết bị đầu cuối bao gồm bộ nhớ, bộ xử lý, giao diện truyền thông, và kênh truyền hệ thống. Bộ nhớ, bộ xử lý, và giao diện truyền thông được kết nối bằng cách sử dụng kênh truyền hệ thống. Bộ nhớ có cấu trúc để lưu trữ lệnh máy tính. Bộ xử lý có cấu trúc để thực thi lệnh máy tính được lưu trữ trong bộ nhớ, sao cho thiết bị đầu cuối thực hiện phương pháp lập lịch kênh logic theo khía cạnh thứ nhất hoặc khía cạnh thứ ba.

Theo khía cạnh thứ mười, phương án của sáng chế còn đề xuất thiết bị mạng. Thiết bị mạng bao gồm bộ nhớ, bộ xử lý, giao diện truyền thông, và kênh truyền hệ thống. Bộ nhớ, bộ xử lý, và giao diện truyền thông được kết nối bằng cách sử dụng kênh truyền hệ thống. Bộ nhớ có cấu trúc để lưu trữ lệnh máy tính. Bộ xử lý có cấu trúc để thực thi lệnh máy tính được lưu trữ trong bộ nhớ, sao cho thiết bị mạng thực hiện phương pháp lập lịch kênh logic theo khía cạnh thứ hai hoặc khía cạnh thứ tư.

Theo khía cạnh thứ mười một, phương án của sáng chế còn đề xuất hệ thống lập lịch kênh logic. Hệ thống lập lịch kênh logic bao gồm thiết bị đầu cuối có dấu hiệu bất kỳ theo khía cạnh thứ năm và thiết bị mạng có dấu hiệu bất kỳ theo khía cạnh thứ sáu; hoặc bao gồm thiết bị đầu cuối có dấu hiệu bất kỳ theo khía cạnh thứ bảy và thiết bị mạng có dấu hiệu bất kỳ theo khía cạnh thứ tám; hoặc bao gồm thiết bị đầu cuối có dấu hiệu bất kỳ theo khía cạnh thứ chín và thiết bị mạng có dấu hiệu bất kỳ theo khía cạnh thứ mười.

Trong sáng chế này, các tên gọi của thiết bị đầu cuối và thiết bị mạng không cấu thành bất kỳ sự giới hạn nào đối với các thiết bị hoặc các mô đun chức năng. Các thiết bị hoặc các mô đun chức năng có thể có các tên gọi khác trong thực hiện thực tế. Các thiết bị hoặc các mô đun chức năng nằm trong các phạm vi của yêu cầu bảo hộ và kỹ thuật tương đương của sáng chế miễn rằng các chức năng của các thiết bị hoặc các mô đun chức năng là tương tự như trong sáng chế.

Ngoài ra, phương án của sáng chế còn đề xuất sản phẩm phần mềm. Sản phẩm phần mềm này bao gồm lệnh máy tính để thực hiện phương pháp lập lịch kênh logic. Lệnh máy tính có thể được lưu trữ trong phương tiện lưu trữ đọc được bởi máy tính. Bộ xử lý có thể đọc lệnh máy tính từ phương tiện lưu trữ đọc được bởi máy tính và thực thi lệnh máy tính, sao cho bộ xử lý thực hiện phương pháp lập lịch kênh logic.

Đối với các phần mô tả chi tiết của khía cạnh thứ hai đến khía cạnh thứ mười một của sáng chế và các cách thức thực hiện khác nhau của khía cạnh thứ hai đến khía cạnh thứ mười một, có thể viện dẫn tới các phần mô tả chi tiết của khía cạnh thứ nhất và các cách thức thực hiện khác nhau của khía cạnh thứ nhất. Ngoài ra, đối với các hiệu quả có lợi của khía cạnh thứ hai, khía cạnh thứ năm, khía cạnh thứ sáu, và các cách thức thực hiện khác nhau của khía cạnh thứ hai, khía cạnh thứ năm, và khía cạnh thứ sáu, có thể viện dẫn tới phân tích của các hiệu quả có lợi của khía cạnh thứ nhất và các cách thức thực hiện khác nhau của khía cạnh thứ nhất. Đối với các hiệu quả có lợi của khía cạnh thứ tư, khía cạnh thứ bảy, khía cạnh thứ tám, và các cách thức thực hiện khác nhau của khía cạnh thứ tư, khía cạnh thứ bảy, và khía cạnh thứ tám, có thể viện dẫn tới phân tích của

các hiệu quả có lợi của khía cạnh thứ ba và các cách thức thực hiện khác nhau của khía cạnh thứ ba. Đối với các hiệu quả có lợi của khía cạnh thứ chín đến khía cạnh thứ mười một và các cách thức thực hiện khác nhau của khía cạnh thứ chín đến khía cạnh thứ mười một, có thể viện dẫn tới phân tích của các hiệu quả có lợi của khía cạnh thứ nhất hoặc khía cạnh thứ ba và các cách thức thực hiện khác nhau của khía cạnh thứ nhất hoặc khía cạnh thứ ba. Các chi tiết không được mô tả lại ở đây lần nữa.

Mô tả vắn tắt các hình vẽ

FIG.1 là sơ đồ cấu trúc của hệ thống LTE theo phương án của sáng chế;

FIG.2 là lưu đồ giản lược của việc lập lịch LTE theo phương án của sáng chế;

FIG.3 là sơ đồ quan hệ giữa mức ưu tiên, PBR, và bộ đệm kênh logic theo phương án của sáng chế;

FIG.4 là sơ đồ về cấu trúc phân cứng chung của điện thoại thông minh theo phương án của sáng chế;

FIG.5 là sơ đồ về cấu trúc phân cứng chung của eNode B theo phương án của sáng chế;

FIG.6 là lưu đồ giản lược 1 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.7 là lưu đồ giản lược 2 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.8 là lưu đồ giản lược 3 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.9 là lưu đồ giản lược 4 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.10 là sơ đồ giản lược 1 về chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế;

FIG.11 là sơ đồ giản lược 2 về chỉ báo của phần tử điều khiển (CE)

MAC theo phương án của sáng chế;

FIG.12 là lưu đồ giản lược 5 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.13 là lưu đồ giản lược 6 của phương pháp lập lịch kênh logic theo phương án của sáng chế;

FIG.14 là sơ đồ giản lược 3 về chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế;

FIG.15 là sơ đồ giản lược 4 về chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế;

FIG.16 là lưu đồ giản lược 1 của phương pháp lập lịch kênh logic khác theo phương án của sáng chế;

FIG.17A và FIG.17B là lưu đồ giản lược 2 của phương pháp lập lịch kênh logic khác theo phương án của sáng chế;

FIG.18A và FIG.18B là lưu đồ giản lược 3 của phương pháp lập lịch kênh logic khác theo phương án của sáng chế;

FIG.19A và FIG.19B là lưu đồ giản lược 4 của phương pháp lập lịch kênh logic khác theo phương án của sáng chế;

FIG.20 là sơ đồ cấu trúc giản lược 1 của thiết bị đầu cuối theo phương án của sáng chế;

FIG.21 là sơ đồ cấu trúc giản lược 2 của thiết bị đầu cuối theo phương án của sáng chế;

FIG.22 là sơ đồ cấu trúc giản lược 3 của thiết bị đầu cuối theo phương án của sáng chế;

FIG.23 là sơ đồ cấu trúc giản lược 4 của thiết bị đầu cuối theo phương án của sáng chế;

FIG.24 là sơ đồ cấu trúc giản lược 1 của thiết bị mạng theo phương án của sáng chế;

FIG.25 là sơ đồ cấu trúc giản lược 2 của thiết bị mạng theo phương án

của sáng chế; và

FIG.26 là sơ đồ cấu trúc giản lược 3 của thiết bị mạng theo phương án của sáng chế.

Mô tả chi tiết sáng chế

Trong các phần mô tả sau đây, nhằm mục đích minh họa mà không làm giới hạn, các chi tiết cụ thể như cấu trúc hệ thống cụ thể, giao diện, và kỹ thuật được mô tả để hiểu rõ hơn về sáng chế. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu rằng sáng chế có thể cũng được thực hiện trong các phương án khác mà không có các chi tiết cụ thể này. Trong các trường hợp khác, các phần mô tả chi tiết của các thiết bị, mạch, và các phương pháp đã biết được bỏ qua, sao cho sáng chế được mô tả mà không bị vướng mắc bởi các chi tiết không cần thiết

Ngoài ra, các thuật ngữ "bao gồm" và "chứa" và bất kỳ thuật ngữ khác trong sáng chế, yêu cầu bảo hộ, và hình vẽ kèm theo của các phương án của sáng chế nhằm mục đích hàm ý là bao gồm không loại trừ. Ví dụ, quy trình, phương pháp, hệ thống, sản phẩm, hoặc thiết bị mà bao gồm một loạt các bước hoặc các bộ phận không bị giới hạn ở các bước hoặc các bộ phận được liệt kê, mà một cách tùy chọn còn bao gồm bước hoặc bộ phận không được liệt kê, hoặc một cách tùy chọn còn bao gồm bước hoặc bộ phận riêng khác của quy trình, phương pháp, sản phẩm, hoặc thiết bị.

Các phương án của sáng chế có thể được thực hiện như là quy trình (các phương pháp) được thực hiện bởi máy tính, hệ thống máy tính, hoặc sản phẩm như sản phẩm chương trình máy tính đọc được bởi máy tính. Sản phẩm chương trình máy tính có thể là phương tiện lưu trữ đọc được bởi máy tính mà có thể đọc được bởi hệ thống máy tính và lưu trữ chương trình máy tính bao gồm lệnh được sử dụng để cho phép máy tính hoặc hệ thống máy tính thực hiện xử lý ví dụ. Phương tiện lưu trữ đọc được bởi máy tính là thiết bị lưu trữ đọc được bởi máy tính không chuyển tiếp. Ví dụ, phương tiện lưu trữ đọc được bởi máy tính có thể được thực hiện bằng cách sử dụng một hoặc nhiều trong số bộ

nhớ máy tính khả biến, bộ nhớ bất biến, ổ đĩa cứng, ổ chóp, đĩa mềm, đĩa nén, và phương tiện tương tự.

Thuật ngữ "và/hoặc" trong các phương án của sáng chế mô tả chỉ quan hệ kết hợp để mô tả các đối tượng được kết hợp và biểu diễn rằng ba quan hệ có thể tồn tại. Ví dụ, A và/hoặc B có thể biểu diễn ba trường hợp sau đây: Chỉ A tồn tại, cả A và B cùng tồn tại, và chỉ B tồn tại.

Ngoài ra, trong bản mô tả, yêu cầu bảo hộ, và hình vẽ kèm theo của sáng chế, các thuật ngữ "thứ nhất", "thứ hai", và loại tương tự nhằm mục đích phân biệt giữa các đối tượng khác nhau nhưng không chỉ báo thứ tự cụ thể.

Các giải pháp kỹ thuật được đề xuất trong các phương án của sáng chế có thể được áp dụng tới các hệ thống truyền thông khác nhau, như hệ thống truyền thông kỹ thuật truyền thông di động thế hệ thứ hai (2nd Generation mobile communications technology, 2G), hệ thống truyền thông kỹ thuật truyền thông di động thế hệ thứ ba (3rd Generation mobile communication technology, 3G), và hệ thống truyền thông kỹ thuật truyền thông di động thế hệ thứ tư (4th generation mobile communication technology, 4G), và hệ thống truyền thông thế hệ tiếp theo, ví dụ, hệ thống 2G như hệ thống truyền thông di động toàn cầu (global system for mobile communications, GSM), hệ thống 3G như hệ thống đa truy nhập phân chia theo mã (code division multiple access, CDMA), hệ thống đa truy nhập phân chia theo thời gian (time division multiple access, TDMA), hoặc hệ thống đa truy nhập phân chia theo mã băng rộng (wideband code division multiple access, WCDMA), hệ thống 4G như hệ thống Phát triển dài hạn (long term evolution, LTE), hệ thống truyền thông LTE-cải tiến, hoặc hệ thống truyền thông tương tự khác.

Hệ thống LTE được sử dụng là ví dụ. FIG.1 là sơ đồ cấu trúc của hệ thống LTE theo phương án của sáng chế. Hệ thống LTE bao gồm ba phần tử mạng: thiết bị đầu cuối, thiết bị lõi gói cải tiến (Evolved Packet Core, EPC), và nút B cải tiến (evolved node B, eNode B). Thiết bị EPC chịu trách nhiệm đối với phần mạng lõi, và bao gồm thực thể quản lý di động (mobility management entity, MME) và cổng phục vụ (serving gateway, S-GW). MME xử lý báo hiệu,

và S-GW xử lý dữ liệu. eNode B chịu trách nhiệm đối với phần mạng truy nhập, và mạng truy nhập cũng được gọi là mạng truy nhập vô tuyến mặt đất toàn cầu cải tiến (evolved universal terrestrial radio access network, E-UTRAN). Phương pháp lập lịch kênh logic được đề xuất trong sáng chế được thực hiện giữa eNode B và thiết bị đầu cuối.

Như được thể hiện trên FIG.2, trước khi thiết bị đầu cuối hiện tại gửi dữ liệu đường lên tới thiết bị mạng, thiết bị đầu cuối đầu tiên gửi thông tin yêu cầu lập lịch tới thiết bị mạng. Thiết bị mạng sau đó gửi, tới thiết bị đầu cuối, tài nguyên lập lịch đường lên được sử dụng để gửi báo cáo trạng thái đệm (buffer status report, BSR). Sau khi thu tài nguyên lập lịch đường lên được sử dụng để gửi BSR, thiết bị đầu cuối gửi BSR trên tài nguyên lập lịch đường lên. Cuối cùng, thiết bị mạng gửi, tới thiết bị đầu cuối, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu đường lên. Do tổng số lượng tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu đường lên được xác định, thiết bị đầu cuối cần xác định, theo quy tắc cụ thể, lượng tài nguyên lập lịch đường lên mà có thể được cấp phát tới mỗi kênh logic. Thông thường, thiết bị đầu cuối xác định, dựa trên PBR được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic bằng cách sử dụng thuật toán bộ chứa thẻ, số lượng tài nguyên lập lịch đường lên mà có thể được cấp phát tới mỗi kênh logic. Thuật toán bộ chứa thẻ là một trong số các thuật toán được sử dụng phổ biến nhất trong tạo hình lưu lượng (traffic shaping) mạng và giới hạn tốc độ (rate limiting), được sử dụng để điều khiển lượng dữ liệu được gửi tới mạng, và cho phép việc truyền dữ liệu cụm.

Tuy nhiên, như được thể hiện trên FIG.3, giả thiết rằng có bốn mức ưu tiên kênh logic trong thiết bị đầu cuối, giá trị nhỏ hơn của LCP tương ứng với mức ưu tiên cao hơn, và các mức ưu tiên khác nhau tương ứng với các giá trị khác nhau của các PBR được lập lịch cho các kênh logic (cụ thể, bốn mức ưu tiên kênh logic trong FIG.3 giảm tuần tự từ trái sang phải). Dịch vụ URLLC có yêu cầu tương đối cao về độ trễ dịch vụ và độ tin cậy dịch vụ. Do đó, giả thiết rằng mức ưu tiên cao 1 được cấu hình cho dịch vụ URLLC, và PBR được thiết lập thành vô cực (infinity). Nói cách khác, kênh logic mà có mức ưu tiên thấp

hơn so với kênh logic này được xem xét chỉ sau khi tài nguyên của kênh logic này được thỏa mãn. Cách thức này có thể một cách ưu tiên đảm bảo việc truyền đường lên của URLLC, nhưng làm cho việc tích lũy bộ đệm kênh logic khác có mức ưu tiên thấp. Một khi kênh logic với mức ưu tiên thấp có cơ hội lập lịch, tài nguyên lập lịch đường lên (ví dụ, các tài nguyên phía dưới các đường ngang đứt nét tương ứng với mức ưu tiên 2, mức ưu tiên 3, và mức ưu tiên 4) được cấp phát tới kênh logic không thể thỏa mãn yêu cầu để lập lịch bộ đệm (ví dụ, các tài nguyên được thể hiện trong các vùng gạch nghiêng tương ứng với mức ưu tiên 2, mức ưu tiên 3, và mức ưu tiên 4) trên kênh logic. Trong trường hợp này, thiết bị đầu cuối cần cải biến PBR của kênh logic trong xử lý cấu hình lại RRC. Nếu PBR được cải biến mỗi lần, kênh logic có thể lỡ thời điểm lập lịch. Ngoài ra, việc cải biến cấu hình kênh logic của kênh logic trong xử lý cấu hình lại RRC tạo ra lượng tương đối lớn báo hiệu RRC, mà ảnh hưởng tới hiệu năng của thiết bị đầu cuối.

Trong phương pháp lập lịch kênh logic được đề xuất trong các phương án của sáng chế, tài nguyên lập lịch đường lên có thể được cấp phát một cách thích hợp tới kênh logic của thiết bị đầu cuối, nhờ đó đảm bảo rằng cấu hình kênh logic của kênh logic tuân theo yêu cầu lập lịch theo thời gian thực, làm giảm báo hiệu RRC, và cải thiện hiệu năng của thiết bị đầu cuối.

Thiết bị mạng được mô tả trong các phương án của sáng chế có thể là trạm gốc, hoặc có thể là thiết bị mạng như bộ định tuyến, thiết bị công, hoặc thực thể quản lý di động. Thiết bị đầu cuối có thể là thiết bị đầu cuối không dây hoặc thiết bị đầu cuối có dây. Thiết bị đầu cuối không dây có thể là thiết bị mà cung cấp kết nối thoại và/hoặc dữ liệu cho người dùng, thiết bị cầm tay có chức năng kết nối không dây, hoặc thiết bị xử lý khác được kết nối tới modem không dây. Thiết bị đầu cuối không dây có thể truyền thông với thiết bị khác thông qua Wi-Fi, Bluetooth, hồng ngoại và các mạng truy cập vô tuyến (ví dụ, RAN, radio access network), hoặc loại tương tự. Thiết bị đầu cuối không dây có thể là thiết bị đầu cuối di động như điện thoại di động (hoặc được gọi là điện thoại “tế bào”) hoặc máy tính có thiết bị đầu cuối di động, ví dụ, có thể là thiết bị di động, có

kích cỡ bỏ túi, cầm tay, lắp trong máy tính, hoặc lắp trong xe mà trao đổi thoại và/hoặc dữ liệu với mạng truy nhập vô tuyến. Thiết bị đầu cuối không dây có thể cũng được gọi là hệ thống, bộ thuê bao (subscriber unit), trạm thuê bao (subscriber station), trạm di động (mobile station), thiết bị di động (mobile), trạm từ xa (remote station), điểm truy nhập (access point), thiết bị đầu cuối từ xa (remote terminal), thiết bị đầu cuối truy nhập (access terminal), thiết bị đầu cuối người dùng (user terminal), trạm người dùng (user agent), hoặc thiết bị người dùng (user equipment).

Ví dụ, điện thoại thông minh được sử dụng như là thiết bị đầu cuối, để mô tả cấu trúc phần cứng chung của điện thoại thông minh. Như được thể hiện trên FIG.4, điện thoại thông minh 100 bao gồm các bộ phận như mạch tần số vô tuyến (radio frequency, RF) 110, bộ nhớ 120, thiết bị đầu vào khác 130, màn hiển thị 140, bộ cảm biến 150, mạch audio 160, hệ thống con I/O 170, bộ xử lý 180, và bộ cấp điện 190. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể hiểu rằng cấu trúc của điện thoại thông minh 100 được thể hiện trên FIG.4 không cấu thành bất kỳ sự giới hạn nào đối với điện thoại di động, và có thể bao gồm nhiều hơn hoặc ít hơn các bộ phận so với như được thể hiện trong hình vẽ, hoặc việc kết hợp của một vài bộ phận, hoặc việc phân chia một vài bộ phận, hoặc việc bố trí của các bộ phận khác nhau. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể hiểu rằng màn hiển thị 140 là giao diện người dùng (user interface, UI), và điện thoại thông minh 100 có thể bao gồm nhiều hơn hoặc ít hơn các bộ phận so với được thể hiện trên hình vẽ. Mặc dù không được thể hiện, điện thoại thông minh 100 có thể còn bao gồm camera, môđun Bluetooth, và loại tương tự. Các chi tiết không được mô tả ở đây.

Ngoài ra, bộ xử lý 180 được kết nối tới tất cả mạch RF 110, bộ nhớ 120, mạch audio 160, hệ thống con I/O 170, và bộ cấp điện 190. Hệ thống con I/O 170 được kết nối tới tất cả thiết bị đầu vào khác 130, màn hiển thị 140, và bộ cảm biến 150. Mạch RF 110 có thể có cấu trúc để: thu và gửi các tín hiệu trong các xử lý gửi và thu thông tin hoặc xử lý cuộc gọi, và cụ thể, sau khi thu thông tin đường xuống của trạm gốc, gửi thông tin đường xuống tới bộ xử lý 180 để

xử lý. Bộ nhớ 120 có thể có cấu trúc để lưu trữ chương trình phần mềm và môđun. Bộ xử lý 180 chạy chương trình phần mềm và môđun mà được lưu trữ trong bộ nhớ 120, để thực hiện các ứng chức năng và xử lý dữ liệu khác nhau của điện thoại thông minh 100. Thiết bị đầu vào khác 130 có thể có cấu trúc để thu thông tin số hoặc ký tự đầu vào, và tạo ra đầu vào tín hiệu khóa liên quan đến việc thiết lập người dùng và điều khiển chức năng điện thoại thông minh 100. Màn hiển thị 140 có thể có cấu trúc để hiển thị thông tin được nhập vào bởi người dùng hoặc thông tin được cung cấp cho người dùng và các thực đơn khác nhau của điện thoại thông minh 100, và có thể còn thu nhận sự nhập vào bởi người dùng. Bộ cảm biến 150 có thể là bộ cảm biến quang, bộ cảm biến chuyển động, hoặc bộ cảm biến khác. Mạch audio 160 có thể cung cấp giao diện audio giữa người dùng và điện thoại thông minh 100. Hệ thống con I/O 170 có cấu trúc để điều khiển thiết bị phía ngoài đầu vào/đầu ra, và có thể bao gồm bộ điều khiển đối với thiết bị đầu vào khác, bộ điều khiển cảm biến, hoặc bộ điều khiển hiển thị. Bộ xử lý 180 là trung tâm điều khiển của điện thoại thông minh 100, kết nối các phần khác nhau của toàn bộ điện thoại di động bằng cách sử dụng các giao diện và đường dây khác nhau, và thực hiện các chức năng và xử lý dữ liệu khác nhau của điện thoại thông minh 100 bằng cách chạy hoặc thực thi chương trình phần mềm và/hoặc môđun mà được lưu trữ trong bộ nhớ 120 và bằng cách gọi ra dữ liệu được lưu trữ trong bộ nhớ 120, để thực hiện việc giám sát chung trên điện thoại di động. Bộ cấp điện 190 (ví dụ, pin) có cấu trúc để cấp điện tới các bộ phận nêu trên. Tốt hơn là, bộ cấp điện có thể được kết nối logic tới bộ xử lý 180 bằng cách sử dụng hệ thống quản lý điện, để thực hiện các chức năng như nạp điện, xả điện, và quản lý tiêu thụ điện bằng cách sử dụng hệ thống quản lý cấp điện.

Theo ví dụ khác, eNode B được sử dụng như là thiết bị mạng, để mô tả cấu trúc phần cứng chung của eNode B. Như được thể hiện trên FIG.5, eNode B có thể bao gồm a bộ băng gốc cấu trúc (building baseband unit, BBU) và bộ vô tuyến từ xa (remote radio unit, RRU). RRU được kết nối tới hệ thống anten (anten). BBU và RRU có thể được sử dụng riêng biệt phụ thuộc vào các yêu cầu.

Lưu ý rằng trong các phương án của sáng chế, chỉ báo của PBR được lập lịch cho kênh logic biểu diễn chỉ báo cập nhật của PBR được lập lịch cho kênh logic, chỉ báo của LCP biểu diễn chỉ báo cập nhật của LCP, và bản tin cấu hình lại RRC dưới đây là bản tin RRC. Nói cách khác, bản tin cấu hình lại RRC có thể được gọi là bản tin RRC.

Phương án của sáng chế đề xuất phương pháp lập lịch kênh logic. Như được thể hiện trên FIG.6, phương pháp này bao gồm S101 đến S104.

S101. Thiết bị mạng thu nhận thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic là bất kỳ một trong số phần sau đây: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của PBR được lập lịch cho kênh logic, và chỉ báo của LCP được lập lịch cho kênh logic.

Lưu ý rằng chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt thể hiện rằng kênh logic không hỗ trợ việc ghép kênh. Chỉ báo của PBR được lập lịch cho kênh logic là quy tắc biến thiên của PBR được lập lịch cho kênh logic của thiết bị đầu cuối. Chỉ báo của LCP là quy tắc biến thiên của LCP của thiết bị đầu cuối.

Theo phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, tài nguyên lập lịch đường lên có thể được cấp phát một cách thích hợp tới kênh logic của thiết bị đầu cuối từ hai khía cạnh khác nhau, nhờ đó đảm bảo rằng cấu hình kênh logic của kênh logic tuân theo yêu cầu lập lịch theo thời gian thực: Từ một khía cạnh, thiết bị mạng cấp phát, tới kênh logic, số lượng tài nguyên lập lịch đường lên cụ thể mà có thể được sử dụng một cách riêng biệt; và từ khía cạnh khác, chỉ báo mà của PBR được lập lịch cho kênh logic và được gửi bởi thiết bị mạng hoặc chỉ báo mà của LCP và được gửi bởi thiết bị mạng được sử dụng, sao cho thiết bị đầu cuối điều chỉnh, theo chỉ báo nêu trên, PBR mà nằm bên trong thiết bị đầu cuối và được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic bên trong thiết bị đầu cuối; thay thế PBR cũ mà nằm bên trong thiết bị đầu cuối và được lập lịch cho kênh logic hoặc LCP cũ bên trong thiết bị đầu cuối với PBR được điều chỉnh được lập lịch cho

kênh logic hoặc LCP được điều chỉnh được lập lịch cho kênh logic; và cấp phát tài nguyên lập lịch đường lên tới kênh logic bằng cách sử dụng PBR mới được lập lịch cho kênh logic hoặc LCP mới được lập lịch cho kênh logic.

Cũng lưu ý rằng thông tin chỉ báo lập lịch kênh logic được đề cập trong phương án này của sáng chế có thể là chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, tức là, chỉ báo rằng thiết bị mạng cấp phát, tới kênh logic, tài nguyên lập lịch đường lên mà có thể được sử dụng một cách riêng biệt. Cả PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong phương án này của sáng chế là các cấu hình kênh logic, và là các cơ sở để cho thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic.

Cần được hiểu rằng thiết bị mạng có thể xác định, dựa trên thông tin trạng thái khác nhau được gửi bởi thiết bị đầu cuối, rằng thông tin chỉ báo lập lịch kênh logic có cần được thu nhận hay không; hoặc có thể thu bản tin yêu cầu được gửi bởi thiết bị đầu cuối, và thu nhận thông tin chỉ báo lập lịch kênh logic theo bản tin yêu cầu này. Điều này không bị giới hạn bởi sáng chế.

S102. Thiết bị mạng gửi thông tin điều khiển tới thiết bị đầu cuối, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic.

Lưu ý rằng phương pháp cụ thể được sử dụng bởi thiết bị mạng để gửi thông tin điều khiển tới thiết bị đầu cuối có thể là: thêm, bởi thiết bị mạng, thông tin điều khiển vào bản tin điều khiển; và gửi bản tin điều khiển tới thiết bị đầu cuối. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, bản tin điều khiển là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC). Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, bản tin điều khiển có thể là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE). Cụ thể, nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, so với xử lý cấu hình lại RRC thông thường, thông tin chỉ báo lập

lịch kênh logic được gửi bằng cách sử dụng bản tin điều khiển, để bỏ qua xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic, nhờ đó cải thiện hiệu năng truyền của thiết bị đầu cuối trong khi làm giảm các thông tin tiêu đề báo hiệu RRC.

S103. Thiết bị đầu cuối thu thông tin điều khiển được gửi bởi thiết bị mạng.

Trong phương án này của sáng chế, phương pháp cụ thể được sử dụng bởi thiết bị đầu cuối để thu thông tin điều khiển được gửi bởi thiết bị mạng có thể là: thu, bởi thiết bị đầu cuối, bản tin điều khiển mà được gửi bởi thiết bị mạng và mang thông tin điều khiển; và phân tích bản tin điều khiển để thu nhận thông tin điều khiển, tức là, để thu nhận thông tin chỉ báo lập lịch kênh logic.

S104. Thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.

Ngoài ra, thông tin chỉ báo lập lịch kênh logic được đề cập trong phương án này của sáng chế được xáo trộn bằng cách sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (radio network temporary identifier, RNTI) của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mạng vô tuyến. Sau khi thu thông tin điều khiển được gửi bởi thiết bị mạng, thiết bị đầu cuối giải xáo trộn thông tin chỉ báo lập lịch kênh logic được xáo trộn, để nhận biết kênh logic cụ thể, tương ứng với thông tin chỉ báo lập lịch kênh logic, của thiết bị đầu cuối.

Lưu ý rằng trong phương án này của sáng chế, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic có thể cũng được gọi là tài nguyên gửi dữ liệu đường lên của kênh logic, và được sử dụng để gửi dữ liệu đường lên của kênh logic.

Phần sau đây mô tả chi tiết bước S102 và bước S103 và bước S104 mà tương ứng với bước S102.

Cụ thể, như được thể hiện trên FIG.7, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách

riêng biệt, bước S102 có thể bao gồm bước S102a.

S102a. Thiết bị mạng gửi bản tin cấu hình lại RRC tới thiết bị đầu cuối, trong đó bản tin cấu hình lại RRC bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt.

Ví dụ, chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt có thể là phần tử thông tin (information element, IE) như mặt nạ ghép kênh kênh logic r15 (logical channel-multiplexing-mask-r15).

Lưu ý rằng, trong phương án này của sáng chế, bản tin cấu hình lại RRC có thể còn là bản tin RRC khác được gửi bởi thiết bị mạng tới thiết bị đầu cuối. Điều này không bị giới hạn ở đây.

Một cách tương ứng, bước S103 có thể một cách cụ thể bao gồm các bước S103aa và S103ab.

S103aa. Thiết bị đầu cuối thu bản tin cấu hình lại RRC được gửi bởi thiết bị mạng.

S103ab. Thiết bị đầu cuối phân tích bản tin cấu hình lại RRC, để thu nhận chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt.

Sau khi thu bản tin cấu hình lại RRC được gửi bởi thiết bị mạng, thiết bị đầu cuối phân tích bản tin cấu hình lại RRC, để thu nhận chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, và xác định rằng chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh.

Lưu ý rằng nếu phần tử thông tin được chứa trong bản tin cấu hình lại RRC chỉ báo rằng kênh logic hỗ trợ việc ghép kênh, tài nguyên lập lịch đường lên được cấp phát tới kênh logic bằng cách sử dụng thuật toán bộ chứa thẻ thông thường. Điều này không bị giới hạn bởi sáng chế.

Ngoài ra, bước S104 có thể bao gồm bước S104a.

S104a. Thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt.

Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, sau khi thiết bị đầu cuối xác định rằng chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh, thiết bị đầu cuối có thể thu nhận, theo thông tin chỉ báo lập lịch kênh logic và bằng cách theo dõi trên PDCCH, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt, sao cho kênh logic có thể gửi dữ liệu đường lên tới thiết bị mạng bằng cách sử dụng tài nguyên lập lịch đường lên được cấp phát mà có thể được sử dụng một cách riêng biệt.

Cụ thể, như được thể hiện trên FIG.8, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic, bước S102 có thể một cách cụ thể bao gồm bước S102b.

S102b. Thiết bị mạng gửi PDCCH tới thiết bị đầu cuối, trong đó chỉ báo của PDCCH bao gồm chỉ báo của PBR được lập lịch cho kênh logic.

Một cách tương ứng, bước S103 có thể một cách cụ thể bao gồm các bước S103ba và S103bb.

S103ba. Thiết bị đầu cuối thu PDCCH được gửi bởi thiết bị mạng.

S103bb. Thiết bị đầu cuối phân tích PDCCH, để thu nhận chỉ báo của PBR được lập lịch cho kênh logic.

Ngoài ra, bước S104 có thể bao gồm các bước S104ba và S104bb.

S104ba. Thiết bị đầu cuối thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic.

Cụ thể, chỉ báo của PBR được lập lịch cho kênh logic là quy tắc biến thiên của PBR được lập lịch cho kênh logic. Bước thu nhận, bởi thiết bị đầu cuối theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic có thể một cách cụ thể là: điều chỉnh, bởi thiết bị đầu cuối theo quy tắc biến thiên của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic.

Cụ thể, đối với kênh logic của dịch vụ URLLC, giá trị của PBR được

lập lịch cho kênh logic có thể là vô cực (infinity), và điều này chỉ báo rằng dịch vụ URLLC có mức ưu tiên cao nhất.

Ngoài ra, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là một bit hoặc hai bit.

Bảng 1

Độ dài (bit)	Chức năng
1	Đánh dấu khuôn dạng: Khuôn dạng 0 hoặc Khuôn dạng 1A
1	Đánh dấu nhảy tần: nhảy tần hoặc không nhảy tần
...	...
5	Phương pháp mã hóa và điều chế
1	Chỉ báo dữ liệu mới
4	Số hiệu kênh logic
1 hoặc 2	Chỉ báo của PBR được lập lịch cho kênh logic
2	Điều khiển công suất đường lên (kênh chia sẻ đường lên vật lý)
3	Độ dịch vòng của tín hiệu tham chiếu (DM RS) dựa trên thiết bị đầu cuối
2	Chỉ số đường lên: song công phân chia theo thời gian
2	Chỉ số cấp phát đường xuống: song công phân chia theo thời gian
1	Phản hồi chỉ báo chất lượng kênh

Bảng 1 thể hiện ví dụ về chỉ báo của PDCCH được đề xuất trong phương án này của sáng chế. Chỉ báo của PDCCH bao gồm số hiệu kênh logic chiếm giữ bốn bit và chỉ báo của PBR được lập lịch cho kênh logic mà chiếm giữ một bit hoặc hai bit.

Lưu ý rằng, trong phương án này của sáng chế, số hiệu kênh logic trong chỉ báo của PDCCH có thể chiếm giữ số lượng bit khác. Ví dụ, số hiệu kênh logic có thể chiếm giữ sáu bit hoặc năm bit. Điều này có thể được cấu hình

phụ thuộc vào các yêu cầu sử dụng thực tế, và không bị giới hạn trong phương án này của sáng chế.

Theo cách thức thực hiện có thể thứ nhất, sử dụng hệ thống nhị phân như là ví dụ, khi độ dài của chỉ báo của PBR là một bit, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic vẫn không thay đổi (nói cách khác, PBR vẫn là PBR cũ bên trong thiết bị đầu cuối), và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được thiết lập bằng vô cực.

Theo cách thức thực hiện có thể thứ hai, sử dụng hệ thống nhị phân như là ví dụ, khi độ dài của chỉ báo của PBR là một bit, chỉ báo của PBR bằng 0 chỉ báo rằng PBR của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của PBR bằng 1 chỉ báo rằng PBR của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Theo cách thức thực hiện có thể thứ ba, sử dụng hệ thống nhị phân như là ví dụ, khi độ dài của chỉ báo của PBR là hai bit, chỉ báo của PBR bằng 00 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 25% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 01 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 50% của PBR cũ bên trong thiết bị đầu cuối, chỉ báo của PBR bằng 10 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 100% của PBR cũ bên trong thiết bị đầu cuối, và chỉ báo của PBR bằng 11 chỉ báo rằng PBR của kênh logic được điều chỉnh thành 200% của PBR cũ bên trong thiết bị đầu cuối.

Có thể được hiểu rằng ba cách thức có thể được thực hiện được mô tả nêu trên chỉ là cách thức có thể được thực hiện trong phương án này của sáng chế, và chỉ báo, với độ dài khác, của PBR được lập lịch cho kênh logic và quy tắc biến thiên khác của PBR được lập lịch cho kênh logic cũng nằm trong phạm vi bảo hộ của sáng chế. Các chi tiết không được mô tả ở đây.

Một cách tùy chọn, do khi giải mã PDCCH, thiết bị đầu cuối có thể nhận biết kênh logic cụ thể mà PDCCH thuộc về đó. Do đó, PDCCH có thể không mang số hiệu kênh logic, như được liệt kê trong Bảng 2:

Bảng 2

Độ dài (bit)	Chức năng
1	Đánh dấu khuôn dạng: Khuôn dạng 0 hoặc Khuôn dạng 1A
1	Đánh dấu nhảy tần: nhảy tần hoặc không nhảy tần
...	...
5	Phương pháp mã hóa và điều chế
1	Chỉ báo dữ liệu mới
1 hoặc 2	Chỉ báo của PBR được lập lịch cho kênh logic
2	Điều khiển công suất đường lên (kênh chia sẻ đường lên vật lý)
3	Độ dịch vòng của tín hiệu tham chiếu (DM RS) dựa trên thiết bị đầu cuối
2	Chỉ số đường lên: song công phân chia theo thời gian
2	Chỉ số cấp phát đường xuống: song công phân chia theo thời gian
1	Phản hồi chỉ báo chất lượng kênh

S104bb. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic.

Một cách tùy chọn, sau khi bước S104ba được thực hiện, phương án này của sáng chế còn bao gồm bước S105b.

S105b. Thiết bị đầu cuối cập nhật và lưu trữ PBR được lập lịch cho kênh logic.

Lưu ý rằng không có chuỗi giữa bước S105b và bước S104bb. Khi thực hiện phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối có thể đầu tiên cập nhật và lưu trữ PBR được lập lịch cho kênh logic, hoặc có thể đầu tiên cấp phát, dựa trên PBR được lập lịch cho kênh logic, tài nguyên lập lịch đường lên tới kênh logic. Điều này không bị

giới hạn cụ thể bởi sáng chế.

Theo cách thức có thể được thực hiện, chỉ báo của PDCCH có thể không bao gồm PBR được lập lịch cho kênh logic. Bit khác trong PDCCH có thể chỉ báo ẩn quy tắc biến thiên của PBR được lập lịch cho kênh logic. Ví dụ, phản hồi chỉ báo chất lượng kênh trong Bảng 1 có thể chỉ báo ẩn PBR được lập lịch cho kênh logic. Nói cách khác, có quan hệ ánh xạ giữa phản hồi chỉ báo chất lượng kênh và quy tắc biến thiên của PBR được lập lịch cho kênh logic. Thiết bị đầu cuối có thể thu nhận, theo chỉ báo ẩn của phản hồi chỉ báo chất lượng kênh trong chỉ báo mà của PDCCH và được thu bởi thiết bị đầu cuối, PBR được lập lịch cho kênh logic.

Cụ thể, như được thể hiện trên FIG.9, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo của PBR được lập lịch cho kênh logic, bước S102 có thể một cách cụ thể bao gồm bước S102c.

S102c. Thiết bị mạng gửi phần tử điều khiển (CE) MAC tới thiết bị đầu cuối, trong đó chỉ báo của phần tử điều khiển (CE) MAC bao gồm chỉ báo của PBR được lập lịch cho kênh logic.

Một cách tương ứng, bước S103 có thể một cách cụ thể bao gồm các bước S103ca và S103cb.

S103ca. Thiết bị đầu cuối thu phần tử điều khiển (CE) MAC được gửi bởi thiết bị mạng.

S103cb. Thiết bị đầu cuối phân tích phần tử điều khiển (CE) MAC, để thu nhận chỉ báo của PBR được lập lịch cho kênh logic.

Ngoài ra, bước S104 có thể bao gồm các bước S104ca và S104cb.

S104ca. Thiết bị đầu cuối thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic.

Cụ thể, đối với kênh logic của dịch vụ URLLC, giá trị của PBR được lập lịch cho kênh logic có thể là vô cực (infinity), và điều này chỉ báo rằng dịch vụ URLLC có mức ưu tiên cao nhất.

Ngoài ra, độ dài của chỉ báo của PBR được lập lịch cho kênh logic là

một bit hoặc hai bit.

FIG.10 thể hiện ví dụ về chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế. Chỉ báo của phần tử điều khiển (CE) MAC bao gồm số hiệu kênh logic chiếm giữ bốn bit, chỉ báo của PBR được lập lịch cho kênh logic mà chiếm giữ một bit, và ba bit dành riêng. FIG.11 thể hiện ví dụ về chỉ báo khác của phần tử điều khiển (CE) MAC theo phương án của sáng chế. Chỉ báo của phần tử điều khiển (CE) MAC bao gồm số hiệu kênh logic mà chiếm giữ bốn bit, chỉ báo của PBR mà chiếm giữ hai bit, và hai bit dành riêng. Độ dài của chỉ báo của PBR và quy tắc biến thiên của PBR là tương tự như trong ba cách thức có thể được thực hiện trong bước S104ba. Để ngắn gọn, các chi tiết không được mô tả lại ở đây. Trong FIG.10 và FIG.11, số hiệu kênh logic có thể chiếm giữ số lượng bit khác. Trong các ví dụ trên FIG.10 và FIG.11, số hiệu kênh logic chiếm giữ bốn bit.

S104cb. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic.

Một cách tùy chọn, sau khi bước S104ca được thực hiện, phương án này của sáng chế còn bao gồm bước S105c.

S105c. Thiết bị đầu cuối cập nhật và lưu trữ PBR được lập lịch cho kênh logic.

Tương tự, không có chuỗi giữa bước S105c và bước S104cb.

Một cách tùy chọn, bản tin cấu hình lại RRC được gửi bởi thiết bị mạng tới thiết bị đầu cuối có thể còn bao gồm PBR khởi tạo được lập lịch cho kênh logic. Theo cách này, trong xử lý mà trong đó thiết bị đầu cuối thu nhận, trong lần đầu tiên theo chỉ báo của PBR của kênh logic, PBR được lập lịch cho kênh logic, thiết bị đầu cuối có thể điều chỉnh, dựa trên PBR khởi tạo được lập lịch cho kênh logic trong bản tin cấu hình lại RRC và theo chỉ báo của PBR được lập lịch cho kênh logic, PBR khởi tạo được lập lịch cho kênh logic thành PBR mới được lập lịch cho kênh logic. Nói cách khác, thiết bị đầu cuối điều chỉnh, theo quy tắc biến thiên của PBR được lập lịch cho kênh logic, PBR được

lập lịch cho kênh logic.

Cụ thể, như được thể hiện trên FIG.12, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo của LCP, bước S102 có thể một cách cụ thể bao gồm bước S102d.

S102d. Thiết bị mạng gửi PDCCH tới thiết bị đầu cuối, trong đó chỉ báo của PDCCH bao gồm chỉ báo của LCP.

Một cách tương ứng, bước S103 có thể một cách cụ thể bao gồm các bước S103da và S103db.

S103da. Thiết bị đầu cuối thu PDCCH được gửi bởi thiết bị mạng.

S103db. Thiết bị đầu cuối phân tích PDCCH, để thu nhận chỉ báo của LCP.

Ngoài ra, bước S104 có thể bao gồm các bước S104da và S104db.

S104da. Thiết bị đầu cuối thu nhận LCP theo chỉ báo của LCP.

Cụ thể, chỉ báo của LCP là quy tắc biến thiên của LCP. Bước thu nhận, bởi thiết bị đầu cuối, LCP theo chỉ báo của LCP có thể một cách cụ thể là: điều chỉnh, bởi thiết bị đầu cuối, LCP theo quy tắc biến thiên của LCP.

Ngoài ra, độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

Bảng 3

Độ dài (bit)	Chức năng
1	Đánh dấu khuôn dạng: Khuôn dạng 0 hoặc Khuôn dạng 1A
1	Đánh dấu nhảy tần: nhảy tần hoặc không nhảy tần
...	...
5	Phương pháp mã hóa và điều chế
1	Chỉ báo dữ liệu mới
4	Số hiệu kênh logic
1 hoặc 4	Chỉ báo của LCP
2	Điều khiển công suất đường lên (kênh chia sẻ đường lên vật lý)
3	Độ dịch vòng của tín hiệu tham chiếu (DM RS) dựa trên thiết bị đầu cuối
2	Chỉ số đường lên: song công phân chia theo thời gian
2	Chỉ số cấp phát đường xuống: song công phân chia theo thời gian
1	Phản hồi chỉ báo chất lượng kênh

Bảng 3 thể hiện ví dụ về chỉ báo của PDCCH khác được đề xuất trong phương án này của sáng chế. Chỉ báo của PDCCH bao gồm số hiệu kênh logic chiếm giữ bốn bit và chỉ báo của LCP mà chiếm giữ một bit hoặc bốn bit.

Tương tự chỉ báo nêu trên mà của PDCCH và bao gồm chỉ báo của PBR, trong chỉ báo mà của PDCCH và bao gồm chỉ báo của LCP, số hiệu kênh logic có thể chiếm giữ số lượng bit khác. Ví dụ, số hiệu kênh logic có thể chiếm giữ sáu bit hoặc năm bit.

Theo cách thức thực hiện có thể thứ nhất, sử dụng hệ thống nhị phân như là ví dụ, khi độ dài của chỉ báo của LCP bằng một bit, chỉ báo của LCP là 0 chỉ báo rằng LCP của kênh logic được tăng lên tới phạm vi giá trị tiếp theo, và chỉ báo của LCP là 1 chỉ báo rằng LCP của kênh logic được giảm xuống tới phạm vi giá trị tiếp theo.

Theo cách thức thực hiện có thể thứ hai, sử dụng hệ thống nhị phân

như là ví dụ, khi độ dài của chỉ báo của LCP bằng bốn bit, mức của LCP có thể được thể hiện phụ thuộc vào trạng thái thực tế.

Có thể được hiểu rằng hai cách thức có thể được thực hiện được mô tả ở trên chỉ là cách thức có thể được thực hiện trong phương án này của sáng chế, và chỉ báo, với độ dài khác, của LCP và quy tắc biến thiên khác của LCP cũng nằm trong phạm vi bảo hộ của sáng chế. Các chi tiết không được mô tả ở đây.

S104db. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

Một cách tùy chọn, sau khi bước S104da được thực hiện, phương án này của sáng chế còn bao gồm bước S105d.

S105d. Thiết bị đầu cuối cập nhật và lưu trữ LCP.

Tương tự, không có chuỗi giữa bước S105d và bước S104db.

Tương tự PBR nêu trên được lập lịch cho kênh logic, trong cách thức có thể được thực hiện, chỉ báo của PDCCH có thể không bao gồm LCP. Bit khác trong PDCCH có thể chỉ báo ẩn quy tắc biến thiên của LCP. Ví dụ, phản hồi chỉ báo chất lượng kênh trong Bảng 1 có thể chỉ báo ẩn LCP. Nói cách khác, có quan hệ ánh xạ giữa phản hồi chỉ báo chất lượng kênh và quy tắc biến thiên của LCP. Thiết bị đầu cuối có thể thu nhận LCP theo chỉ báo ẩn của phản hồi chỉ báo chất lượng kênh trong chỉ báo mã của PDCCH và được thu bởi thiết bị đầu cuối.

Cụ thể, như được thể hiện trên FIG.13, khi thông tin chỉ báo lập lịch kênh logic là chỉ báo của LCP, bước S102 có thể một cách cụ thể bao gồm bước S102e.

S102e. Thiết bị mạng gửi phần tử điều khiển (CE) MAC tới thiết bị đầu cuối, trong đó chỉ báo của phần tử điều khiển (CE) MAC bao gồm chỉ báo của LCP.

Một cách tương ứng, bước S103 có thể một cách cụ thể bao gồm các bước S103ea và S103eb.

S103ea. Thiết bị đầu cuối thu phần tử điều khiển (CE) MAC được gửi bởi thiết bị mạng.

S103eb. Thiết bị đầu cuối phân tích phần tử điều khiển (CE) MAC, để thu nhận chỉ báo của LCP.

Ngoài ra, bước S104 có thể bao gồm các bước S104ea và S104eb.

S104ea. Thiết bị đầu cuối thu nhận LCP theo chỉ báo của LCP.

Ngoài ra, độ dài của chỉ báo của LCP là một bit hoặc bốn bit.

FIG.14 thể hiện chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế. Chỉ báo của phần tử điều khiển (CE) MAC bao gồm số hiệu kênh logic mà chiếm giữ bốn bit, chỉ báo của LCP mà chiếm giữ một bit, và ba bit dành riêng. FIG.15 cũng thể hiện chỉ báo của phần tử điều khiển (CE) MAC theo phương án của sáng chế. Chỉ báo của phần tử điều khiển (CE) MAC bao gồm số hiệu kênh logic mà chiếm giữ bốn bit và chỉ báo của LCP mà chiếm giữ bốn bit. Giá trị của chỉ báo của LCP và quy tắc biến thiên của LCP là tương tự như trong hai cách thức có thể được thực hiện trong bước S104da. Để ngắn gọn, các chi tiết không được mô tả lại ở đây. Trong FIG.14 và FIG.15, số hiệu kênh logic có thể chiếm giữ số lượng bit khác. Trong các ví dụ trên FIG.14 và FIG.15, số hiệu kênh logic chiếm giữ bốn bit.

S104eb. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

Một cách tùy chọn, bản tin cấu hình lại RRC được gửi bởi thiết bị mạng tới thiết bị đầu cuối có thể còn bao gồm LCP khởi tạo. Theo cách này, trong xử lý mà trong đó thiết bị đầu cuối thu nhận, trong lần đầu tiên theo chỉ báo của LCP, LCP được lập lịch cho kênh logic, thiết bị đầu cuối có thể điều chỉnh LCP khởi tạo thành LCP mới dựa trên LCP khởi tạo trong bản tin cấu hình lại RRC và chỉ báo của LCP. Nói cách khác, thiết bị đầu cuối điều chỉnh LCP theo quy tắc biến thiên của LCP.

Một cách tùy chọn, sau khi bước S104ea được thực hiện, phương án này của sáng chế còn bao gồm bước S105e.

S105e. Thiết bị đầu cuối cập nhật và lưu trữ LCP.

Tương tự, không có chuỗi giữa bước S105e và bước S104eb.

Lưu ý rằng khi thông tin chỉ báo lập lịch kênh logic là PBR được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic, sau khi thiết bị đầu cuối cập nhật và lưu trữ PBR được lập lịch cho kênh logic hoặc LCP, thiết bị đầu cuối có thể cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lưu trữ được lập lịch cho kênh logic hoặc LCP được lưu trữ được lập lịch cho kênh logic. Ngoài ra, bước cập nhật PBR được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic có thể đảm bảo hiệu lực thời gian của PBR mà thuộc về thiết bị đầu cuối và được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic của thiết bị đầu cuối.

Phương án này của sáng chế đề xuất phương pháp lập lịch kênh logic. Thiết bị đầu cuối thu thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, và thông tin chỉ báo lập lịch kênh logic là bất kỳ một trong số phần sau đây: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, và chỉ báo của mức ưu tiên kênh logic (LCP); và thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. Dựa trên các phần mô tả nêu trên của phương án này, theo phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối có thể một cách trực tiếp thu thông tin điều khiển được gửi bởi thiết bị mạng, và thông tin điều khiển bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP được lập lịch cho kênh logic, để thu nhận, bằng cách sử dụng chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. So với xử lý cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực. Ngoài ra, trong phương pháp chỉ báo lập lịch kênh logic trong đó chỉ báo của PBR được lập lịch

cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic được gửi bằng cách sử dụng bản tin điều khiển, xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic được ngăn ngừa, sao cho hiệu năng truyền của thiết bị đầu cuối được cải thiện trong khi các thông tin tiêu đề báo hiệu RRC được làm giảm.

Phương án của sáng chế còn đề xuất phương pháp lập lịch kênh logic. Như được thể hiện trên FIG.16, phương pháp này bao gồm S201 đến S205.

S201. Thiết bị mạng thu nhận thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic.

Lưu ý rằng thông tin chỉ báo lập lịch kênh logic được sử dụng để chỉ báo rằng kênh logic có hỗ trợ việc ghép kênh hay không. Cụ thể, chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt thể hiện rằng kênh logic không hỗ trợ việc ghép kênh, và chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic thể hiện rằng kênh logic hỗ trợ multiplexing.

Ví dụ, thông tin chỉ báo lập lịch kênh logic có thể là bit cờ trong thông tin điều khiển thứ nhất được đề cập trong phương án sau đây. Sử dụng hệ thống nhị phân như là ví dụ, khi bit cờ bằng 1, điều này chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh (tức là, chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt); khi bit cờ bằng 0, điều này chỉ báo rằng kênh logic hỗ trợ việc ghép kênh (tức là, chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic). Có thể được hiểu rằng các giá trị của bit cờ nêu trên chỉ là các cách thức có thể được thực hiện của sáng chế, và giá trị khác của bit cờ cũng nằm trong phạm vi bảo hộ của sáng chế. Điều này không bị giới hạn cụ thể bởi sáng chế.

Cần được hiểu rằng thiết bị mạng có thể xác định, dựa trên thông tin trạng thái khác nhau được gửi bởi thiết bị đầu cuối, rằng thông tin chỉ báo lập lịch kênh logic có cần được thu nhận hay không; hoặc có thể thu bản tin yêu cầu được gửi bởi thiết bị đầu cuối, và thu nhận thông tin chỉ báo lập lịch kênh logic

theo bản tin yêu cầu này. Điều này không bị giới hạn cụ thể bởi sáng chế.

S202. Thiết bị mạng gửi thông tin điều khiển thứ nhất tới thiết bị đầu cuối, trong đó thông tin điều khiển thứ nhất bao gồm thông tin chỉ báo lập lịch kênh logic.

Cụ thể, thông tin điều khiển thứ nhất có thể là bản tin cấu hình lại điều khiển tài nguyên vô tuyến (RRC), hoặc có thể là loại khác của thông tin điều khiển. Điều này không bị giới hạn cụ thể bởi sáng chế.

S203. Thiết bị đầu cuối thu thông tin điều khiển thứ nhất được gửi bởi thiết bị mạng.

S204. Thiết bị đầu cuối xác định rằng thông tin chỉ báo lập lịch kênh logic có phải là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hay không.

Cụ thể, ví dụ, thông tin điều khiển thứ nhất là bản tin cấu hình lại RRC. Sau khi thu bản tin cấu hình lại RRC được gửi bởi thiết bị mạng, thiết bị đầu cuối phân tích bản tin cấu hình lại RRC để thu nhận thông tin chỉ báo lập lịch kênh logic, và xác định rằng thông tin chỉ báo lập lịch kênh logic có phải là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hay không. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thủ tục của phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế kết thúc sau khi bước S205 sau đây được thực hiện. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thủ tục của phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế kết thúc sau khi bước S205 được bỏ qua và các bước S206 đến S210 được thực hiện.

S205. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một

cách riêng biệt.

Ngoài ra, thông tin chỉ báo lập lịch kênh logic được đề cập trong phương án này của sáng chế được xáo trộn bằng cách sử dụng an RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc bằng cách sử dụng RNTI dành riêng của kênh mang vô tuyến. Đối với các phần mô tả của việc xáo trộn, có thể viện dẫn tới các phần mô tả liên quan của bước S104 trong phương án nêu trên. Để ngắn gọn, các chi tiết không được mô tả lại ở đây.

Ngoài ra, như được thể hiện trên FIG.17A và FIG.17B, phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế có thể còn bao gồm S206 đến S210.

S206. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thiết bị mạng thu nhận chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic hoặc chỉ báo của mức ưu tiên kênh logic (LCP) được lập lịch cho kênh logic.

Lưu ý rằng sau khi xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thiết bị đầu cuối có thể chủ động yêu cầu, từ thiết bị đầu cuối, chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic. Ngoài ra, thiết bị mạng có thể giám sát thiết bị đầu cuối, và sau khi thiết bị đầu cuối xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic, thiết bị mạng chủ động phân phát chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic. Điều này không bị giới hạn cụ thể bởi sáng chế.

S207. Thiết bị mạng gửi thông tin điều khiển thứ hai tới thiết bị đầu cuối, trong đó thông tin điều khiển thứ hai bao gồm chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic.

Ví dụ, thông tin điều khiển thứ hai có thể là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE). Ngoài ra, so với xử lý cấu hình lại RRC thông thường, chỉ báo của

PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic được gửi bằng cách sử dụng bản tin điều khiển thứ hai, để bỏ qua xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic, nhờ đó cải thiện hiệu năng truyền của thiết bị đầu cuối trong khi làm giảm các thông tin tiêu đề báo hiệu RRC.

S208. Thiết bị đầu cuối thu thông tin điều khiển thứ hai được gửi bởi thiết bị mạng.

S209. Thiết bị đầu cuối thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.

Cụ thể, khi thông tin điều khiển thứ hai bao gồm chỉ báo của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, như được thể hiện trên FIG.18B, bước S209 có thể bao gồm các bước S209a và S209b.

S209a. Thiết bị đầu cuối thu nhận, theo chỉ báo của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic.

S209b. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic.

Một cách tùy chọn, sau khi bước S209a được thực hiện, phương án này của sáng chế còn bao gồm bước S210a.

S210a. Thiết bị đầu cuối cập nhật và lưu trữ PBR được lập lịch cho kênh logic.

Tương tự, không có chuỗi giữa bước S210a và bước S209b.

Cụ thể, khi thông tin điều khiển thứ hai bao gồm chỉ báo của mức ưu tiên kênh logic (LCP), như được thể hiện trên FIG.19B, bước S209 có thể bao gồm các bước S209c và S209d.

S209c. Thiết bị đầu cuối thu nhận LCP theo chỉ báo của LCP.

S209d. Thiết bị đầu cuối cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

Một cách tùy chọn, sau khi bước S209c được thực hiện, phương án

này của sáng chế còn bao gồm bước S210b.

S210b. Thiết bị đầu cuối cập nhật và lưu trữ LCP.

Tương tự, không có chuỗi giữa bước S210b và bước S209d.

Cụ thể, đối với các phần mô tả liên quan trong bước S209 và bước S210, có thể viện dẫn tới các phần mô tả tương ứng trong các bước S103 đến S105 trong phương án nêu trên. Để ngắn gọn, các chi tiết không được mô tả lại ở đây.

Theo phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối thu thông tin điều khiển thứ nhất được gửi bởi thiết bị mạng, trong đó thông tin điều khiển thứ nhất bao gồm thông tin chỉ báo lập lịch kênh logic, và thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hoặc chỉ báo rằng tài nguyên được sử dụng bởi nhiều hơn một kênh logic; thiết bị đầu cuối xác định rằng thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt; và thiết bị đầu cuối thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt. Dựa trên các phần mô tả nêu trên của phương án này, trong phương pháp lập lịch kênh logic được đề xuất trong phương án này của sáng chế, thiết bị đầu cuối đầu tiên có thể thu thông tin điều khiển thứ nhất mà được gửi bởi thiết bị mạng và bao gồm thông tin chỉ báo lập lịch kênh logic, và xác định rằng thông tin chỉ báo lập lịch kênh logic có phải là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt hay không. Nếu thông tin chỉ báo lập lịch kênh logic là chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, thiết bị đầu cuối có thể một cách trực tiếp thu nhận tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng một cách riêng biệt. So với xử lý cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng kênh logic có thể có tài nguyên lập lịch đường lên mà có thể được sử dụng một cách riêng biệt, sao cho cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời

gian thực, nhờ đó cải thiện hiệu năng truyền của thiết bị đầu cuối.

Phương án của sáng chế đề xuất thiết bị đầu cuối. Thiết bị đầu cuối có cấu trúc để thực hiện các bước được thực hiện bởi thiết bị đầu cuối trong các phương pháp lập lịch kênh logic nêu trên. Thiết bị đầu cuối được đề xuất trong phương án này của sáng chế có thể bao gồm các môđun mà ứng với các bước nêu trên.

Trong phương án này của sáng chế, thiết bị đầu cuối có thể được chia thành các môđun chức năng dựa trên các ví dụ phương pháp nêu trên. Ví dụ, các môđun chức năng có thể thu được thông qua việc phân chia tương ứng với các chức năng, hoặc ít nhất hai chức năng có thể được tích hợp vào một môđun chức năng. Môđun được tích hợp có thể được thực hiện dưới dạng phần cứng, hoặc có thể được thực hiện dưới dạng môđun chức năng phần mềm. Trong phương án này của sáng chế, việc phân chia của các môđun chỉ là ví dụ, và chỉ là việc phân chia chức năng logic. Có thể có cách thức phân chia khác trong cách thức thực hiện thực tế.

Khi các môđun chức năng thu được thông qua việc phân chia tương ứng với các chức năng, trong cách thức có thể được thực hiện, FIG.20 là sơ đồ cấu trúc giản lược có thể được thực hiện của thiết bị đầu cuối trong các phương án nêu trên. Như được thể hiện trên FIG.20, thiết bị đầu cuối bao gồm môđun thu 10 và môđun xử lý 11. Môđun thu 10 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S103 trong FIG.6 đến FIG.9, FIG.12, và FIG.13. Môđun xử lý 11 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S104 trong FIG.6 đến FIG.9, FIG.12, và FIG.13. Đối với các phần mô tả chức năng của các môđun chức năng tương ứng, có thể viện dẫn tới tất cả nội dung liên quan của các bước trong phương pháp theo các phương án nêu trên. Các chi tiết không được mô tả lại ở đây lần nữa. Thiết bị đầu cuối còn bao gồm môđun lưu trữ 12, có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S105 trên FIG.6 đến FIG.9, FIG.12, và FIG.13.

Khi các môđun chức năng thu được thông qua việc phân chia tương ứng với các chức năng, trong cách thức có thể được thực hiện khác, FIG.21 là sơ

đồ cấu trúc giản lược có thể được thực hiện của thiết bị đầu cuối trong các phương án nêu trên. Như được thể hiện trên FIG.21, thiết bị đầu cuối bao gồm môđun thu 10, môđun xác định 13, và môđun xử lý 11. Môđun thu 10 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S203 và S208 trong FIG.16 đến FIG.19B. Môđun xác định 13 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S204 trong FIG.16 đến FIG.19A. Môđun xử lý 11 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S205 và S209 trong FIG.16 đến FIG.19B. Đối với các phần mô tả chức năng của các môđun chức năng tương ứng, có thể viện dẫn tới tất cả nội dung liên quan của các bước trong phương pháp theo các phương án nêu trên. Các chi tiết không được mô tả lại ở đây lần nữa. Thiết bị đầu cuối còn bao gồm môđun lưu trữ 12, có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S210a và S210b trong FIG.16 đến FIG.19B.

Khi bộ phận tích hợp được sử dụng, FIG.22 là sơ đồ cấu trúc giản lược có thể được thực hiện của thiết bị đầu cuối trong các phương án nêu trên. Như được thể hiện trên FIG.22, thiết bị đầu cuối bao gồm môđun xử lý 20 và môđun truyền thông 21. Môđun xử lý 20 có cấu trúc để điều khiển và quản lý hoạt động của thiết bị đầu cuối. Ví dụ, môđun xử lý 20 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S104 trên FIG.6 đến FIG.9, FIG.12, và FIG.13, và/hoặc có cấu trúc để thực hiện xử lý khác của kỹ thuật được mô tả trong sáng chế. Môđun truyền thông 21 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc truyền thông với thiết bị truyền thông khác. Cụ thể, môđun truyền thông 21 có thể được tích hợp với các chức năng của môđun gửi và môđun thu. Ví dụ, môđun truyền thông 21 có cấu trúc để hỗ trợ thiết bị đầu cuối trong việc thực hiện S103 trên FIG.6 đến FIG.9, FIG.12, và FIG.13. Thiết bị đầu cuối có thể còn bao gồm môđun lưu trữ 22, có cấu trúc để: hỗ trợ thiết bị đầu cuối trong việc thực hiện S105 trên FIG.6 đến FIG.9, FIG.12, và FIG.13, lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên, và lưu trữ mã chương trình và dữ liệu của thiết bị đầu cuối.

Môđun xử lý 20 có thể là bộ xử lý hoặc bộ điều khiển, ví dụ, có thể là

bộ xử lý trung tâm (central processing unit, CPU) hoặc bộ xử lý tín hiệu số (digital signal processor, DSP). Môđun xử lý 20 có thể thực hiện hoặc thực thi các khối, môđun, và mạch logic ví dụ khác nhau được mô tả có việ dẫn tới nội dung được bộc lộ trong sáng chế. Môđun truyền thông 21 có thể là bộ thu phát, mạch thu phát, giao diện truyền thông, hoặc loại tương tự.

Môđun truyền thông 21 có thể còn là giao diện truyền thông (communications interface) có cấu trúc để trao đổi dữ liệu với thiết bị phía ngoài. Môđun truyền thông có thể bao gồm hai giao diện truyền thông: giao diện gửi có cấu trúc để gửi dữ liệu tới thiết bị phía ngoài và giao diện thu có cấu trúc để thu dữ liệu từ thiết bị phía ngoài. Nói cách khác, thiết bị đầu cuối có thể lần lượt thu và gửi dữ liệu thông qua hai giao diện truyền thông khác nhau. Rõ ràng, môđun truyền thông 21 có thể tích hợp chức năng thu dữ liệu và chức năng gửi dữ liệu thành một giao diện truyền thông, và giao diện truyền thông có chức năng thu dữ liệu và chức năng gửi dữ liệu. Giao diện truyền thông có thể được tích hợp trên chip Bluetooth hoặc chip NFC.

Môđun lưu trữ 22 có thể là bộ nhớ, có cấu trúc để lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên, và bộ nhớ có thể còn có cấu trúc để lưu trữ mã chương trình và dữ liệu của thiết bị đầu cuối.

Khi môđun xử lý 20 là bộ xử lý, môđun truyền thông 21 là giao diện truyền thông, và môđun lưu trữ 22 là bộ nhớ, thiết bị đầu cuối trong phương án này của sáng chế có thể là thiết bị đầu cuối được thể hiện trên FIG.23.

Như được thể hiện trên FIG.23, thiết bị đầu cuối bao gồm giao diện truyền thông 30, bộ xử lý 31, và bộ nhớ 32. Giao diện truyền thông 30, bộ xử lý 31, và bộ nhớ 32 được kết nối và truyền thông với nhau bằng cách sử dụng kênh truyền hệ thống 33.

Khi thiết bị đầu cuối chạy, thiết bị đầu cuối thực hiện phương pháp lập lịch kênh logic trong các phương án nêu trên. Đối với phương pháp lập lịch kênh logic cụ thể, có thể việ dẫn tới các phần mô tả liên quan trong các phương án

được thể hiện trên FIG.6 đến FIG.9, FIG.12, và FIG.13. Các chi tiết không được mô tả lại ở đây lần nữa.

Giao diện truyền thông 30 có cấu trúc để truyền thông với thiết bị khác hoặc mạng truyền thông, như Ethernet hoặc WLAN. Cụ thể, giao diện truyền thông 30 có thể chủ yếu bao gồm bộ thu 300 và bộ truyền 301. Bộ thu 300 có thể thu dữ liệu được gửi bởi thiết bị khác hoặc mạng truyền thông, và bộ truyền 301 có thể gửi dữ liệu tới thiết bị khác hoặc mạng truyền thông.

Bộ nhớ 32 có thể có cấu trúc để lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên, và có thể còn có cấu trúc để lưu trữ mã chương trình và môđun ứng dụng của thiết bị đầu cuối. Bộ xử lý 31 chạy chương trình phần mềm và môđun ứng dụng mà được lưu trữ trong bộ nhớ 32, để thực hiện các ứng dụng chức năng và xử lý dữ liệu khác nhau của thiết bị đầu cuối.

Bộ nhớ 32 có thể chủ yếu bao gồm vùng lưu trữ chương trình 320 và vùng lưu trữ dữ liệu 321. Vùng lưu trữ chương trình 320 có thể lưu trữ hệ điều hành và chương trình ứng dụng mà được yêu cầu bởi ít nhất một chức năng. Vùng lưu trữ dữ liệu 321 có thể lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên. Theo cách thức thực hiện được đề xuất trong sáng chế, nếu thiết bị đầu cuối là thiết bị như điện thoại di động hoặc máy tính bảng, hệ điều hành có thể là hệ điều hành Android (Android), hệ điều hành iOS, hệ điều hành Windows, hoặc loại tương tự, hoặc có thể hệ điều hành nhúng như VxWorks.

Bộ nhớ 32 có thể là bộ nhớ chỉ đọc (read-only memory, ROM) hoặc loại khác của thiết bị lưu trữ cố định mà có thể lưu trữ thông tin cố định và lệnh cố định, hoặc bộ nhớ truy nhập ngẫu nhiên (random access memory, RAM) hoặc loại khác của thiết bị lưu trữ động mà có thể lưu trữ thông tin và lệnh, hoặc có thể là bộ nhớ chỉ đọc khả trình có thể xóa bằng điện (electrically erasable programmable read-only memory, EEPROM), phương tiện lưu trữ đĩa từ hoặc thiết bị lưu trữ từ khác, hoặc bất kỳ phương tiện khác mà có thể có cấu trúc để mang hoặc lưu trữ mã chương trình mong muốn có lệnh hoặc dạng cấu trúc dữ

liệu và có thể được truy nhập bởi thiết bị đầu cuối. Điều này không bị giới hạn ở đây.

Bộ nhớ 32 có thể tồn tại một cách độc lập, và được kết nối tới bộ xử lý 31 bằng cách sử dụng kênh truyền hệ thống 33. Ngoài ra, bộ nhớ 32 có thể được tích hợp với bộ xử lý 31.

Bộ xử lý 31 là trung tâm điều khiển của thiết bị đầu cuối. Bộ xử lý 31 kết nối các phần khác nhau của toàn bộ thiết bị đầu cuối bằng cách sử dụng các giao diện và đường dây khác nhau, và thực hiện các chức năng và xử lý dữ liệu khác nhau của thiết bị đầu cuối bằng cách chạy hoặc thực thi chương trình phần mềm và/hoặc môđun ứng dụng mà được lưu trữ trong bộ nhớ 32 và bằng cách gọi ra dữ liệu được lưu trữ trong bộ nhớ 32, để thực hiện việc giám sát chung trên thiết bị đầu cuối.

Theo cách thức thực hiện cụ thể, trong phương án của sáng chế, bộ xử lý 31 có thể bao gồm một hoặc nhiều CPU. Ví dụ, bộ xử lý 31 trong FIG.23 bao gồm CPU 0 và CPU 1.

Kênh truyền hệ thống 33 có thể là kênh truyền ISA (Cấu trúc tiêu chuẩn công nghiệp, Industry Standard Architecture), kênh truyền liên kết nối thành phần ngoại vi (peripheral component interconnect, PCI), kênh truyền cấu trúc tiêu chuẩn công nghiệp mở rộng (extended industry standard architecture, EISA), hoặc loại tương tự. Kênh truyền hệ thống 33 có thể được phân loại thành kênh truyền địa chỉ, kênh truyền dữ liệu, kênh truyền điều khiển, và loại tương tự. Trong phương án này của sáng chế, để cho phần mô tả rõ ràng, các kênh truyền khác nhau được thể hiện như là kênh truyền hệ thống 33 trong FIG.23.

Ngoài ra, thiết bị đầu cuối có thể còn bao gồm bộ cấp điện (không được thể hiện trên hình vẽ), có cấu trúc để cấp điện tới các bộ phận khác nhau của thiết bị đầu cuối, để duy trì hoạt động của các bộ phận. Theo cách hiểu chung, bộ cấp điện có thể pin được lắp trong như pin ion-liti thông thường hoặc pin NiMH, hoặc có thể bao gồm bộ cấp điện bên ngoài cấp điện trực tiếp tới thiết bị đầu cuối, như bộ nguồn dòng xoay chiều (alternating current, AC) . Theo

một vài cách thức thực hiện được đề xuất trong phương án này của sáng chế, bộ cấp điện có thể có nghĩa rộng hơn, ví dụ, có thể còn bao gồm hệ thống quản lý điện, hệ thống nạp điện, mạch dò tìm lỗi cấp điện, bộ chuyển đổi cấp điện hoặc bộ đổi điện, bộ chỉ báo trạng thái cấp điện (ví dụ, điốt phát quang), và bất kỳ bộ phận khác liên quan đến phát, quản lý, và phân phối điện năng của thiết bị đầu cuối.

Một cách tương ứng, phương án khác của sáng chế còn đề xuất phương tiện lưu trữ đọc được bởi máy tính. Phương tiện lưu trữ đọc được bởi máy tính này bao gồm một hoặc nhiều đoạn mã chương trình. Một hoặc nhiều chương trình bao gồm các lệnh. Khi bộ xử lý trong thiết bị đầu cuối thực thi mã chương trình, thiết bị đầu cuối thực hiện các phương pháp lập lịch kênh logic được mô tả trong các phương án nêu trên.

Phương án của sáng chế đề xuất thiết bị đầu cuối. Dựa trên các phần mô tả của các phương án nêu trên, theo phương pháp lập lịch kênh logic được đề xuất trong các phương án của sáng chế, thiết bị đầu cuối có thể một cách trực tiếp thu thông tin điều khiển được gửi bởi thiết bị mạng, và thông tin điều khiển bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP được lập lịch cho kênh logic, để thu nhận, bằng cách sử dụng chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP được lập lịch cho kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. So với xử lý cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực. Ngoài ra, trong phương pháp chỉ báo lập lịch kênh logic trong đó chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic được gửi bằng cách sử dụng bản tin điều khiển, xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic được ngăn ngừa, sao cho hiệu năng truyền của thiết bị đầu cuối được cải thiện trong khi các thông tin tiêu đề báo hiệu RRC

được làm giảm.

Phương án của sáng chế đề xuất thiết bị mạng. Thiết bị mạng có cấu trúc để thực hiện các bước được thực hiện bởi thiết bị mạng trong các phương pháp lập lịch kênh logic nêu trên. Thiết bị mạng được đề xuất trong phương án này của sáng chế có thể bao gồm các môđun mà ứng với các bước nêu trên.

Trong phương án này của sáng chế, thiết bị mạng có thể được chia thành các môđun chức năng dựa trên các ví dụ phương pháp nêu trên. Ví dụ, các môđun chức năng có thể thu được thông qua việc phân chia tương ứng với các chức năng, hoặc ít nhất hai chức năng có thể được tích hợp vào một môđun chức năng. Môđun được tích hợp có thể được thực hiện dưới dạng phần cứng, hoặc có thể được thực hiện dưới dạng môđun chức năng phần mềm. Trong phương án này của sáng chế, việc phân chia của các môđun chỉ là ví dụ, và chỉ là việc phân chia chức năng logic. Có thể có cách thức phân chia khác trong cách thức thực hiện thực tế.

Khi các môđun chức năng thu được thông qua việc phân chia tương ứng với các chức năng, FIG.24 là sơ đồ cấu trúc giản lược có thể được thực hiện của thiết bị mạng trong các phương án nêu trên. Như được thể hiện trên FIG.24, thiết bị mạng bao gồm môđun thu nhận 40 và môđun gửi 41. Môđun thu nhận 40 có cấu trúc để hỗ trợ thiết bị mạng trong việc thực hiện S101 trên FIG.6 đến FIG.9, FIG.12, và FIG.13 hoặc hỗ trợ thiết bị mạng trong việc thực hiện S201 và S206 trên FIG.16 đến FIG.19B. Môđun gửi 41 có cấu trúc để hỗ trợ thiết bị mạng trong việc thực hiện S102 trên FIG.6 đến FIG.9, FIG.12, và FIG.13 hoặc hỗ trợ thiết bị mạng trong việc thực hiện S202 và S207 trên FIG.16 đến FIG.19B. Đối với các phần mô tả chức năng của các môđun chức năng tương ứng, có thể viện dẫn tới tất cả nội dung liên quan của các bước trong phương pháp theo các phương án nêu trên. Các chi tiết không được mô tả lại ở đây lần nữa.

Khi bộ phận tích hợp được sử dụng, FIG.25 là sơ đồ cấu trúc giản lược có thể được thực hiện của thiết bị mạng trong các phương án nêu trên. Như được thể hiện trên FIG.25, thiết bị mạng bao gồm môđun xử lý 50 và môđun truyền thông 51. Môđun xử lý 50 có cấu trúc để điều khiển và quản lý hoạt động của

thiết bị mạng. Ví dụ, môđun xử lý 50 có cấu trúc để hỗ trợ thiết bị mạng trong việc thực hiện S101 trên FIG.6 đến FIG.9, FIG.12, và FIG.13, và/hoặc có cấu trúc để thực hiện xử lý khác của kỹ thuật được mô tả trong sáng chế. Môđun truyền thông 51 có cấu trúc để hỗ trợ thiết bị mạng trong việc truyền thông với thiết bị truyền thông khác. Cụ thể, môđun truyền thông 51 có thể được tích hợp với các chức năng của môđun gửi và môđun thu. Ví dụ, môđun truyền thông 51 có cấu trúc để hỗ trợ thiết bị mạng trong việc thực hiện S102 trên FIG.6 đến FIG.9, FIG.12, và FIG.13. Thiết bị mạng có thể còn bao gồm môđun lưu trữ 52, có cấu trúc để lưu trữ mã chương trình và dữ liệu của thiết bị mạng.

Môđun xử lý 50 có thể là bộ xử lý hoặc bộ điều khiển, ví dụ, có thể là CPU hoặc DSP. Môđun xử lý 50 có thể thực hiện hoặc thực thi các khối, môđun, và mạch logic ví dụ khác nhau được mô tả có viện dẫn tới nội dung được bộc lộ trong sáng chế.

Môđun truyền thông 51 có thể còn là giao diện truyền thông có cấu trúc để trao đổi dữ liệu với thiết bị phía ngoài. Môđun truyền thông có thể bao gồm hai giao diện truyền thông: giao diện gửi có cấu trúc để gửi dữ liệu tới thiết bị phía ngoài và giao diện thu có cấu trúc để thu dữ liệu từ thiết bị phía ngoài. Nói cách khác, thiết bị mạng có thể lần lượt thu và gửi dữ liệu thông qua hai giao diện truyền thông khác nhau. Rõ ràng, môđun truyền thông 51 có thể tích hợp chức năng thu dữ liệu và chức năng gửi dữ liệu thành một giao diện truyền thông, và giao diện truyền thông có chức năng thu dữ liệu và chức năng gửi dữ liệu. Giao diện truyền thông có thể được tích hợp trên chip Bluetooth hoặc chip NFC.

Môđun lưu trữ 52 có thể là bộ nhớ, có cấu trúc để lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên, và bộ nhớ có thể còn có cấu trúc để lưu trữ mã chương trình và dữ liệu của thiết bị mạng.

Khi môđun xử lý 50 là bộ xử lý, môđun truyền thông 51 là giao diện truyền thông, và môđun lưu trữ 52 là bộ nhớ, thiết bị mạng trong phương án này của sáng chế có thể là thiết bị mạng được thể hiện trên FIG.26.

Như được thể hiện trên FIG.26, thiết bị mạng bao gồm giao diện truyền thông 60, bộ xử lý 61, và bộ nhớ 62. Giao diện truyền thông 60, bộ xử lý 61, và bộ nhớ 62 được kết nối và truyền thông với nhau bằng cách sử dụng kênh truyền hệ thống 63.

Khi thiết bị mạng chạy, thiết bị mạng thực hiện phương pháp lập lịch kênh logic trong các phương án nêu trên. Đối với phương pháp lập lịch kênh logic cụ thể, có thể viện dẫn tới các phần mô tả liên quan trong các phương án được thể hiện trên FIG.6 đến FIG.9, FIG.12, và FIG.13. Các chi tiết không được mô tả lại ở đây lần nữa.

Giao diện truyền thông 60 có cấu trúc để truyền thông với thiết bị khác hoặc mạng truyền thông, như Ethernet hoặc WLAN. Cụ thể, giao diện truyền thông 60 có thể chủ yếu bao gồm bộ thu 600 và bộ truyền 601. Bộ thu 600 có thể thu dữ liệu được gửi bởi thiết bị khác hoặc mạng truyền thông, và bộ truyền 601 có thể gửi dữ liệu tới thiết bị khác hoặc mạng truyền thông.

Bộ nhớ 62 có thể có cấu trúc để lưu trữ mã chương trình và môđun ứng dụng của thiết bị mạng. Bộ xử lý 61 chạy chương trình phần mềm và môđun ứng dụng mà được lưu trữ trong bộ nhớ 62, để thực hiện các ứng dụng chức năng và xử lý dữ liệu khác nhau của thiết bị mạng.

Bộ nhớ 62 có thể chủ yếu bao gồm vùng lưu trữ chương trình 620 và vùng lưu trữ dữ liệu 621. Vùng lưu trữ chương trình 620 có thể lưu trữ hệ điều hành và chương trình ứng dụng mà được yêu cầu bởi ít nhất một chức năng. Vùng lưu trữ dữ liệu 621 có thể lưu trữ PBR được lập lịch cho kênh logic và LCP được lập lịch cho kênh logic mà được đề cập trong các phương án nêu trên.

Bộ nhớ 62 có thể là ROM hoặc loại khác của thiết bị lưu trữ tĩnh mà có thể lưu trữ thông tin tĩnh và lệnh tĩnh, hoặc RAM hoặc loại khác của thiết bị lưu trữ động mà có thể lưu trữ thông tin và lệnh, hoặc có thể là EEPROM, phương tiện lưu trữ đĩa từ, thiết bị lưu trữ từ khác, hoặc bất kỳ phương tiện khác mà có thể có cấu trúc để mang hoặc lưu trữ mã chương trình mong muốn có lệnh hoặc dạng cấu trúc dữ liệu và có thể được truy nhập bởi thiết bị mạng. Điều này

không bị giới hạn ở đây.

Bộ nhớ 62 có thể tồn tại một cách độc lập, và được kết nối tới bộ xử lý 61 bằng cách sử dụng kênh truyền hệ thống 63. Ngoài ra, bộ nhớ 62 có thể được tích hợp với bộ xử lý 61.

Bộ xử lý 61 là trung tâm điều khiển của thiết bị mạng. Bộ xử lý 61 kết nối các phần khác nhau của toàn bộ thiết bị mạng bằng cách sử dụng các giao diện và đường dây khác nhau, và thực hiện các chức năng và xử lý dữ liệu khác nhau của thiết bị mạng bằng cách chạy hoặc thực thi chương trình phần mềm và/hoặc môđun ứng dụng mà được lưu trữ trong bộ nhớ 62 và bằng cách gọi ra dữ liệu được lưu trữ trong bộ nhớ 62, để thực hiện việc giám sát chung trên thiết bị mạng.

Theo cách thức thực hiện cụ thể, trong phương án của sáng chế, bộ xử lý 61 có thể bao gồm một hoặc nhiều CPU. Ví dụ, bộ xử lý 61 trong FIG.26 bao gồm CPU 0 và CPU 1.

Kênh truyền hệ thống 63 có thể kênh truyền ISA, kênh truyền PCI, kênh truyền EISA, hoặc loại tương tự. Kênh truyền hệ thống 63 có thể được phân loại thành kênh truyền địa chỉ, kênh truyền dữ liệu, kênh truyền điều khiển, và loại tương tự. Trong phương án này, để cho phần mô tả rõ ràng, các kênh truyền khác nhau được thể hiện là kênh truyền hệ thống 63 trong FIG.26.

Ngoài ra, thiết bị mạng có thể còn bao gồm bộ cấp điện (không được thể hiện trên hình vẽ), có cấu trúc để cấp điện tới các bộ phận khác nhau của thiết bị mạng, để duy trì hoạt động của các bộ phận. Theo cách hiểu chung, bộ cấp điện có thể pin được lắp trong như pin ion-liti thông thường hoặc pin NiMH, hoặc có thể là bộ cấp điện bên ngoài cấp điện trực tiếp tới thiết bị mạng, như bộ nguồn AC. Theo một vài cách thức thực hiện được đề xuất trong phương án này của sáng chế, bộ cấp điện có thể có nghĩa rộng hơn, ví dụ, có thể còn bao gồm hệ thống quản lý điện, hệ thống nạp điện, mạch dò tìm lỗi cấp điện, bộ chuyển đổi cấp điện hoặc bộ đổi điện, bộ chỉ báo trạng thái cấp điện (ví dụ, điốt phát quang), và bất kỳ bộ phận khác liên quan đến phát, quản lý, và phân phối điện

năng của thiết bị mạng.

Một cách tương ứng, phương án khác của sáng chế còn đề xuất phương tiện lưu trữ đọc được bởi máy tính. Phương tiện lưu trữ đọc được bởi máy tính này bao gồm một hoặc nhiều đoạn mã chương trình. Một hoặc nhiều chương trình bao gồm các lệnh. Khi bộ xử lý trong thiết bị mạng thực thi mã chương trình, thiết bị mạng thực hiện các phương pháp lập lịch kênh logic được mô tả trong các phương án nêu trên.

Phương án của sáng chế đề xuất thiết bị mạng. Theo phương pháp lập lịch kênh logic được đề xuất trong các phương án của sáng chế, thiết bị đầu cuối có thể một cách trực tiếp thu thông tin điều khiển được gửi bởi thiết bị mạng, và thông tin điều khiển bao gồm chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP, để thu nhận, bằng cách sử dụng chỉ báo rằng kênh logic không hỗ trợ việc ghép kênh và tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, PBR được lập lịch cho kênh logic, hoặc LCP được lập lịch cho kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic. So với xử lý cấu hình lại RRC thông thường, việc gửi một cách linh động thông tin chỉ báo lập lịch kênh logic tới thiết bị đầu cuối đảm bảo rằng cấu hình kênh logic thỏa mãn yêu cầu lập lịch theo thời gian thực. Ngoài ra, trong phương pháp chỉ báo lập lịch kênh logic trong đó chỉ báo của PBR được lập lịch cho kênh logic hoặc chỉ báo của LCP được lập lịch cho kênh logic được gửi bằng cách sử dụng bản tin điều khiển, xử lý cấu hình lại RRC được yêu cầu bởi cấu hình kênh logic được ngăn ngừa, sao cho hiệu năng truyền của thiết bị đầu cuối được cải thiện trong khi các thông tin tiêu đề báo hiệu RRC được làm giảm.

Phương án của sáng chế đề xuất hệ thống lập lịch kênh logic, bao gồm thiết bị đầu cuối được mô tả trong các phương án nêu trên và thiết bị mạng được mô tả trong các phương án nêu trên.

Trong một vài phương án được đề xuất bởi sáng chế, sẽ được hiểu rằng hệ thống, thiết bị, và phương pháp được bộc lộ có thể được thực hiện theo các cách khác.

Dựa trên các phần mô tả nêu trên về các cách thức thực hiện, người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể hiểu rõ ràng rằng, nhằm mục đích mô tả ngắn gọn và thuận tiện, việc phân chia các môđun chức năng nêu trên chỉ được sử dụng như là ví dụ để minh họa. Trong ứng dụng thực tế, các chức năng nêu trên có thể được cấp phát tới các môđun khác nhau để thực hiện theo yêu cầu. Cụ thể, cấu trúc bên trong của thiết bị được chia thành các môđun chức năng khác nhau để thực hiện tất cả hoặc một vài chức năng được mô tả ở trên. Đối với xử lý hoạt động chi tiết của hệ thống, thiết bị và bộ phận nêu trên, có thể viện dẫn tới xử lý tương ứng trong phương pháp nêu trên trong các phương án của sáng chế. Các chi tiết không được mô tả lại ở đây lần nữa.

Trong một vài phương án được đề xuất bởi sáng chế, sẽ được hiểu rằng hệ thống, thiết bị, và phương pháp được bộc lộ có thể được thực hiện theo các cách khác. Ví dụ, thiết bị được mô tả theo phương án của sáng chế chỉ là ví dụ. Ví dụ, việc phân chia môđun hoặc bộ phận chỉ là việc phân chia chức năng logic. Có thể có cách thức phân chia khác trong cách thức thực hiện thực tế. Ví dụ, các bộ phận hoặc các thành phần có thể được kết hợp hoặc được tích hợp vào hệ thống khác, hoặc một vài đặc điểm có thể được bỏ qua hoặc không được thực hiện. Ngoài ra, các ghép nối liên quan được mô tả hoặc hiển thị hoặc các ghép nối trực tiếp hoặc các kết nối truyền thông có thể được thực hiện thông qua một vài giao diện. Các ghép nối không trực tiếp hoặc các kết nối truyền thông giữa các thiết bị hoặc các bộ phận có thể được thực hiện dưới dạng điện tử, cơ học, hoặc các dạng khác.

Các bộ phận được mô tả như là các thành phần riêng biệt có thể có hoặc có thể không được tách biệt về mặt vật lý, và các phần được thể hiện như là các bộ phận có thể có hoặc có thể không phải là các bộ phận vật lý, có thể nằm trong một vị trí, hoặc có thể được phân phối trên nhiều bộ phận mạng. Một vài hoặc tất cả bộ phận có thể được lựa chọn phụ thuộc vào các yêu cầu thực tế để đạt được mục đích của các giải pháp của các phương án.

Ngoài ra, các bộ phận chức năng trong các phương án của sáng chế có thể được tích hợp vào một bộ xử lý, hoặc mỗi bộ phận có thể tồn tại riêng lẻ về

mặt vật lý, hoặc ít nhất hai bộ phận được tích hợp vào một bộ phận. Bộ phận được tích hợp có thể được thực hiện dưới dạng phần cứng, hoặc có thể được thực hiện dưới dạng bộ phận chức năng phần mềm.

Khi bộ phận được tích hợp được thực hiện dưới dạng bộ phận chức năng phần mềm và được bán hoặc được sử dụng như là sản phẩm độc lập, bộ phận được tích hợp có thể được lưu trữ trong phương tiện lưu trữ đọc được bởi máy tính. Dựa trên cách hiểu này, các giải pháp kỹ thuật của sáng chế này về cơ bản, hoặc một phần theo kỹ thuật đã biết, hoặc tất cả hoặc một vài các giải pháp kỹ thuật có thể được thực hiện dưới dạng sản phẩm phần mềm. Sản phẩm phần mềm máy tính được lưu trữ trong phương tiện lưu trữ và bao gồm các lệnh để chỉ dẫn thiết bị máy tính (mà có thể là máy tính cá nhân, máy chủ, thiết bị mạng, hoặc tương tự) để thực hiện tất cả hoặc một vài bước của các phương pháp được mô tả trong các phương án của sáng chế. Phương tiện lưu trữ nêu trên bao gồm bất kỳ phương tiện mà có thể lưu trữ mã chương trình, như bộ nhớ chớp, đĩa cứng tháo rời, bộ nhớ chỉ đọc, bộ nhớ truy nhập ngẫu nhiên, đĩa từ, hoặc đĩa quang.

Các phần mô tả nêu trên chỉ là các cách thức thực hiện cụ thể của sáng chế, mà không nhằm mục đích giới hạn phạm vi bảo hộ của sáng chế. Bất kỳ thay thế hoặc thay thế nằm trong phạm vi kỹ thuật được bộc lộ trong sáng chế sẽ nằm trong phạm vi bảo hộ của sáng chế. Do đó, phạm vi bảo hộ của sáng chế sẽ theo phạm vi bảo hộ của bộ yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Phương pháp lập lịch kênh logic, bao gồm:

thu, bởi thiết bị đầu cuối, thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, và thông tin chỉ báo lập lịch kênh logic là ít nhất một trong số chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt, chỉ báo cập nhật của tốc độ bit được ưu tiên (PBR - prioritized bit rate) được lập lịch cho kênh logic, hoặc chỉ báo cập nhật của mức ưu tiên kênh logic (LCP - logical channel priority) được lập lịch cho kênh logic, và trong đó thông tin chỉ báo lập lịch kênh logic được xáo trộn nhờ sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI - radio network temporary identifier) xáo trộn; và

thu nhận, bởi thiết bị đầu cuối theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên được sử dụng để gửi dữ liệu kênh logic.

2. Phương pháp lập lịch kênh logic theo điểm 1, trong đó bước thu thông tin điều khiển bao gồm:

thu, bởi thiết bị đầu cuối, bản tin điều khiển được gửi bởi thiết bị mạng, trong đó bản tin điều khiển bao gồm thông tin điều khiển; và

phân tích, bởi thiết bị đầu cuối, bản tin điều khiển để thu nhận thông tin chỉ báo lập lịch kênh logic.

3. Phương pháp lập lịch kênh logic theo điểm 2, trong đó bản tin điều khiển là bản tin điều khiển tài nguyên vô tuyến (RRC - radio resource control), và bản tin RRC bao gồm tài nguyên chỉ báo được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác; và

trong đó bước thu nhận, tài nguyên lập lịch đường lên bao gồm:

thu nhận, bởi thiết bị đầu cuối theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và được sử dụng một cách riêng biệt từ các tài nguyên khác.

4. Phương pháp lập lịch kênh logic theo điểm 3, trong đó

bản tin RRC còn bao gồm ít nhất một trong số PBR khởi tạo hoặc LCP

khởi tạo được lập lịch cho kênh logic.

5. Phương pháp lập lịch kênh logic theo điểm 2, trong đó bản tin điều khiển là ít nhất một trong số kênh điều khiển đường xuống vật lý (PDCCH - physical downlink control channel) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE - Medium Access Control control element), và bao gồm ít nhất một trong số chỉ báo cập nhật của PBR hoặc chỉ báo cập nhật của LCP được lập lịch cho kênh logic; và

trong đó bước thu nhận tài nguyên lập lịch đường lên bao gồm thực hiện ít nhất một trong số:

thu nhận, bởi thiết bị đầu cuối theo chỉ báo cập nhật của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và

cấp phát, bởi thiết bị đầu cuối, tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic; hoặc

thu nhận, bởi thiết bị đầu cuối, LCP theo chỉ báo cập nhật của LCP, và

cấp phát, bởi thiết bị đầu cuối, tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

6. Phương pháp lập lịch kênh logic theo điểm 5, trong đó phương pháp này còn bao gồm thực hiện, sau khi thu nhận PBR được lập lịch cho kênh logic hoặc thu nhận LCP theo chỉ báo cập nhật của LCP:

cập nhật và lưu trữ, bởi thiết bị đầu cuối, ít nhất một trong số PBR được lập lịch cho kênh logic hoặc LCP được lập lịch cho kênh logic.

7. Phương pháp lập lịch kênh logic theo điểm bất kỳ trong số các điểm 1 đến 6, trong đó RNTI xáo trộn là ít nhất một trong số RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc RNTI dành riêng của kênh mang vô tuyến.

8. Phương pháp lập lịch kênh logic theo điểm bất kỳ trong số các điểm 1 đến 7, trong đó độ dài của chỉ báo cập nhật của PBR được lập lịch cho kênh logic bằng một bit hoặc hai bit, và độ dài của chỉ báo cập nhật của LCP bằng một bit hoặc bốn bit.

9. Phương pháp lập lịch kênh logic, bao gồm:

thu nhận, bởi thiết bị mạng, thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic là ít nhất một trong số: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác, chỉ báo cập nhật của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, hoặc chỉ báo cập nhật của mức ưu tiên kênh logic (LCP) được lập lịch cho kênh logic; và

gửi, bởi thiết bị mạng, thông tin điều khiển tới thiết bị đầu cuối, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic được xáo trộn nhờ sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) xáo trộn.

10. Phương pháp lập lịch kênh logic theo điểm 9, trong đó bước gửi thông tin điều khiển tới thiết bị đầu cuối bao gồm:

gửi, bởi thiết bị mạng, bản tin điều khiển tới thiết bị đầu cuối, trong đó bản tin điều khiển bao gồm thông tin điều khiển; và

trong đó bản tin điều khiển là một trong số:

bản tin điều khiển tài nguyên vô tuyến (RRC), bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác; hoặc

ít nhất một trong số kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE), trong đó bản tin điều khiển có chỉ báo bao gồm chỉ báo cập nhật của PBR được lập lịch cho kênh logic hoặc chỉ báo cập nhật của LCP được lập lịch cho kênh logic.

11. Phương pháp lập lịch kênh logic theo điểm 10, trong đó

bản tin RRC còn bao gồm ít nhất một trong số PBR khởi tạo được lập lịch cho kênh logic hoặc LCP khởi tạo được lập lịch cho kênh logic.

12. Phương pháp lập lịch kênh logic theo điểm bất kỳ trong số các điểm 9 đến 11, trong đó RNTI xáo trộn là ít nhất một trong số RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc RNTI dành riêng của kênh

mang vô tuyến.

13. Phương pháp lập lịch kênh logic theo điểm bất kỳ trong số các điểm 9 đến 12, trong đó độ dài của chỉ báo cập nhật của PBR được lập lịch cho kênh logic bằng một bit hoặc hai bit, và độ dài của chỉ báo cập nhật của LCP bằng một bit hoặc bốn bit.

14. Thiết bị đầu cuối, bao gồm:

bộ thu;

ít nhất một bộ xử lý; và

phương tiện lưu trữ bất biến đọc được bởi máy tính mà lưu trữ chương trình cần được thực thi bởi ít nhất một bộ xử lý, chương trình bao gồm các lệnh để:

thu, thông qua bộ thu, thông tin điều khiển được gửi bởi thiết bị mạng, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, và thông tin chỉ báo lập lịch kênh logic là ít nhất một trong số: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác, chỉ báo cập nhật của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, và chỉ báo cập nhật của mức ưu tiên kênh logic (LCP) được lập lịch cho kênh logic, và trong đó thông tin chỉ báo lập lịch kênh logic được xáo trộn nhờ sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) xáo trộn; và

thu nhận, sau khi bộ thu thu thông tin điều khiển được gửi bởi thiết bị mạng, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên để gửi dữ liệu kênh logic.

15. Thiết bị đầu cuối theo điểm 14, trong đó chương trình còn bao gồm các lệnh để:

thu bản tin điều khiển được gửi bởi thiết bị mạng; và

giải mã bản tin điều khiển để thu nhận thông tin chỉ báo lập lịch kênh logic, trong đó bản tin điều khiển bao gồm thông tin điều khiển.

16. Thiết bị đầu cuối theo điểm 15, trong đó bản tin điều khiển là bản tin điều khiển tài nguyên vô tuyến (RRC), và bản tin RRC bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt; và

trong đó chương trình còn bao gồm các lệnh để thu nhận, theo thông tin chỉ báo lập lịch kênh logic, tài nguyên lập lịch đường lên mà được cấp phát bởi thiết bị mạng tới kênh logic và có thể được sử dụng bởi kênh logic.

17. Thiết bị đầu cuối theo điểm 16, trong đó

bản tin RRC còn bao gồm ít nhất một trong số PBR khởi tạo được lập lịch cho kênh logic hoặc LCP khởi tạo được lập lịch cho kênh logic.

18. Thiết bị đầu cuối theo điểm 15, trong đó bản tin điều khiển là kênh điều khiển đường xuống vật lý (PDCCH) hoặc phân tử điều khiển điều khiển truy nhập môi trường (MAC CE), và bao gồm chỉ báo cập nhật của PBR được lập lịch cho kênh logic hoặc chỉ báo cập nhật của LCP được lập lịch cho kênh logic; và

trong đó chương trình còn bao gồm các lệnh để thực hiện ít nhất một trong số:

thu nhận, theo chỉ báo cập nhật của PBR được lập lịch cho kênh logic, PBR được lập lịch cho kênh logic, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên PBR được lập lịch cho kênh logic; hoặc

thu nhận LCP theo chỉ báo cập nhật của LCP, và cấp phát tài nguyên lập lịch đường lên tới kênh logic dựa trên LCP.

19. Thiết bị đầu cuối theo điểm 18, trong đó chương trình còn bao gồm các lệnh để:

sau khi ít nhất một bộ xử lý thu nhận PBR được lập lịch cho kênh logic hoặc thu nhận LCP theo chỉ báo cập nhật của LCP, cập nhật và lưu trữ, thông qua phương tiện lưu trữ bất biến đọc được bởi máy tính, PBR được lập lịch cho kênh logic hoặc LCP.

20. Thiết bị đầu cuối theo điểm bất kỳ trong số các điểm 14 đến 19, trong đó RNTI xáo trộn là ít nhất một trong số RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc RNTI dành riêng của kênh mang vô tuyến.

21. Thiết bị đầu cuối theo điểm bất kỳ trong số các điểm 14 đến 20, trong đó độ dài của chỉ báo cập nhật của PBR được lập lịch cho kênh logic bằng một bit

hoặc hai bit, và độ dài của chỉ báo cập nhật của LCP bằng một bit hoặc bốn bit.

22. Thiết bị mạng, bao gồm môđun thu nhận và môđun gửi, trong đó

môđun thu nhận có cấu trúc để thu nhận thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic là ít nhất một trong số: chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác, chỉ báo cập nhật của tốc độ bit được ưu tiên (PBR) được lập lịch cho kênh logic, hoặc chỉ báo cập nhật của mức ưu tiên kênh logic (LCP); và

môđun gửi có cấu trúc để: sau khi môđun thu nhận thu nhận thông tin chỉ báo lập lịch kênh logic, gửi thông tin điều khiển tới thiết bị đầu cuối, trong đó thông tin điều khiển bao gồm thông tin chỉ báo lập lịch kênh logic, trong đó thông tin chỉ báo lập lịch kênh logic được xáo trộn nhờ sử dụng ký hiệu nhận dạng tạm thời mạng vô tuyến (RNTI) xáo trộn.

23. Thiết bị mạng theo điểm 22, trong đó

môđun gửi có cấu trúc riêng để gửi bản tin điều khiển tới thiết bị đầu cuối, trong đó bản tin điều khiển bao gồm thông tin điều khiển; và

trong đó bản tin điều khiển là một trong số:

bản tin điều khiển tài nguyên vô tuyến (RRC) bao gồm chỉ báo rằng tài nguyên được sử dụng bởi kênh logic một cách riêng biệt từ các tài nguyên khác; hoặc

ít nhất một trong số kênh điều khiển đường xuống vật lý (PDCCH) hoặc phần tử điều khiển điều khiển truy nhập môi trường (MAC CE), trong đó bản tin điều khiển có chỉ báo bao gồm chỉ báo cập nhật của PBR được lập lịch cho kênh logic hoặc chỉ báo cập nhật của LCP được lập lịch cho kênh logic.

24. Thiết bị mạng theo điểm 23, trong đó

bản tin RRC còn bao gồm ít nhất một trong số PBR khởi tạo được lập lịch cho kênh logic hoặc LCP khởi tạo được lập lịch cho kênh logic.

25. Thiết bị mạng theo điểm bất kỳ trong số các điểm 22 đến 24, trong đó RNTI xáo trộn là ít nhất một trong số RNTI của kênh logic tương ứng với thông tin chỉ báo lập lịch kênh logic hoặc RNTI dành riêng của kênh mạng vô tuyến.

26. Thiết bị mạng theo điểm bất kỳ trong số các điểm 22 đến 25, trong đó độ dài của chỉ báo cập nhật của PBR được lập lịch cho kênh logic bằng một bit hoặc hai bit, và độ dài của chỉ báo cập nhật của LCP bằng một bit hoặc bốn bit.

27. Phương tiện lưu trữ có thể đọc được, trong đó phương tiện lưu trữ có thể đọc được này lưu trữ chương trình, và khi chương trình được thực thi, các bước của phương pháp theo điểm bất kỳ trong số các điểm 1 đến 8 được thực hiện.

28. Phương tiện lưu trữ có thể đọc được, trong đó phương tiện lưu trữ có thể đọc được này lưu trữ chương trình, và khi chương trình được thực thi, các bước của phương pháp theo điểm bất kỳ trong số các điểm 9 đến 13 được thực hiện.

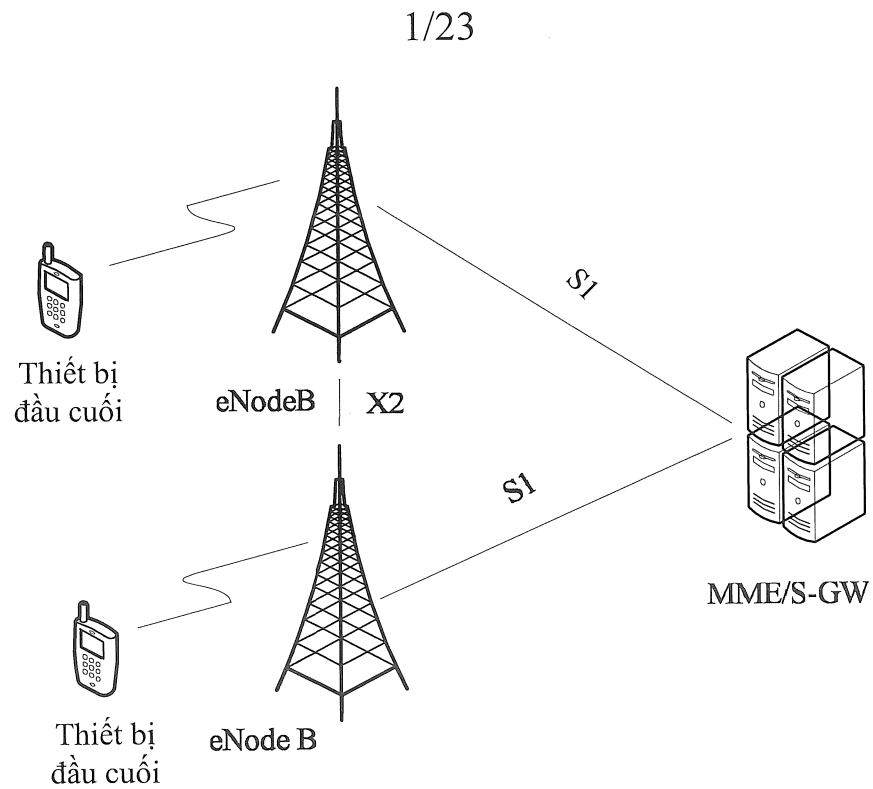


FIG. 1

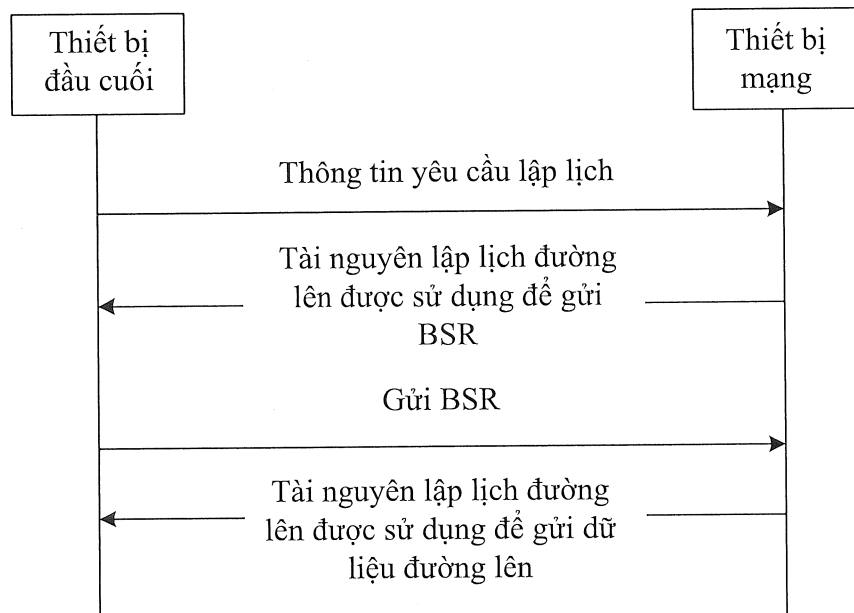


FIG. 2

2/23

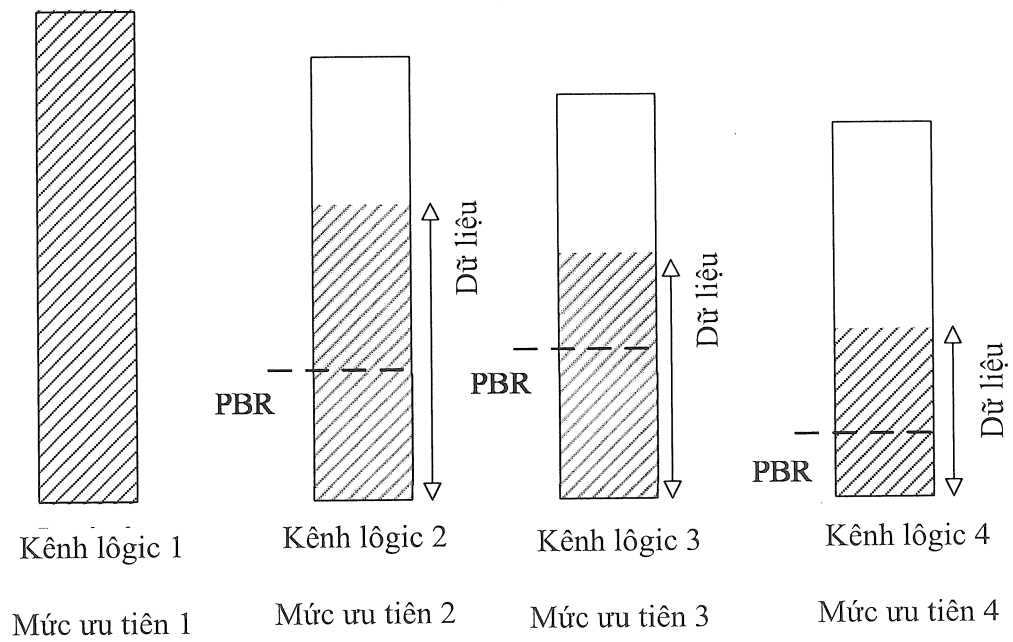


FIG. 3

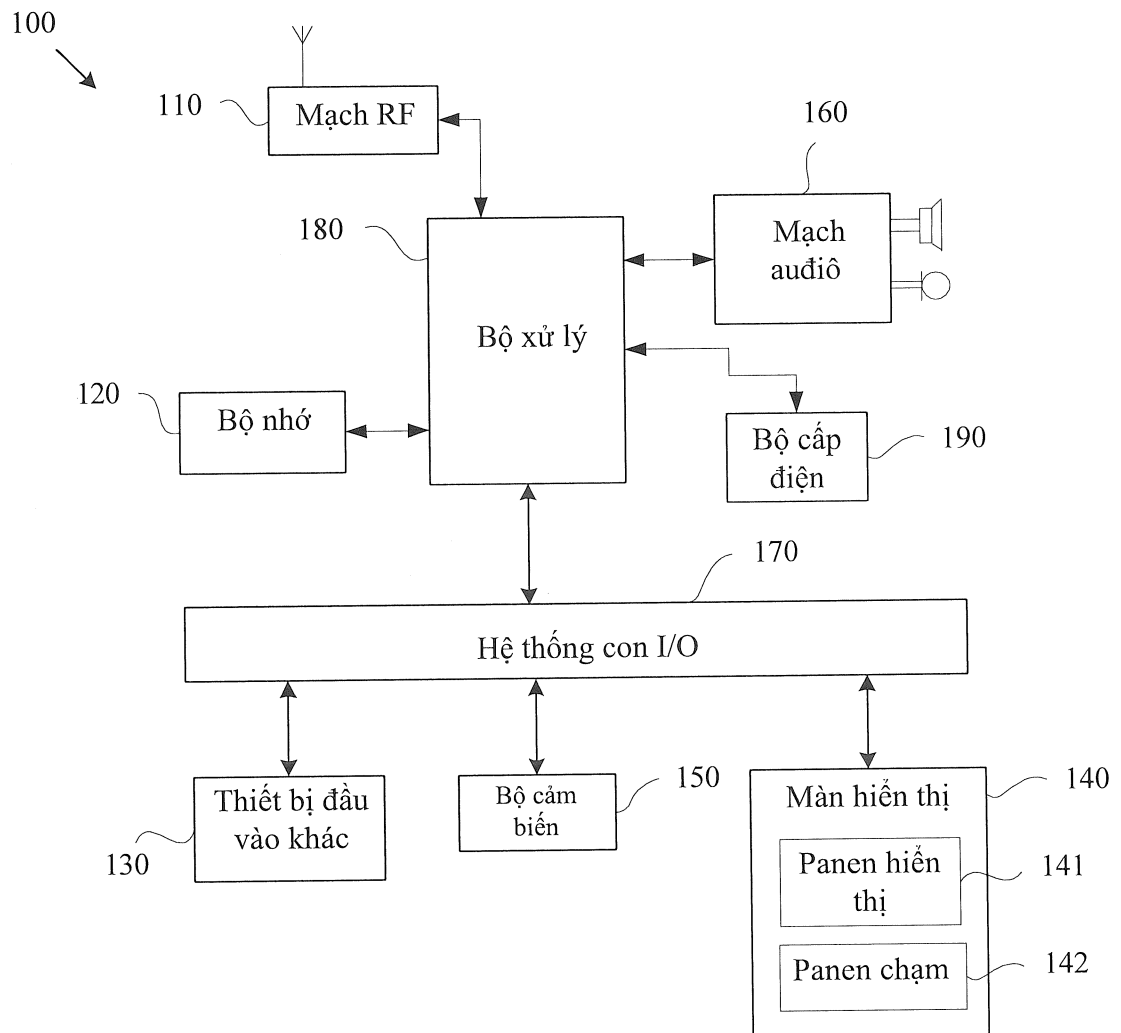


FIG. 4

4/23

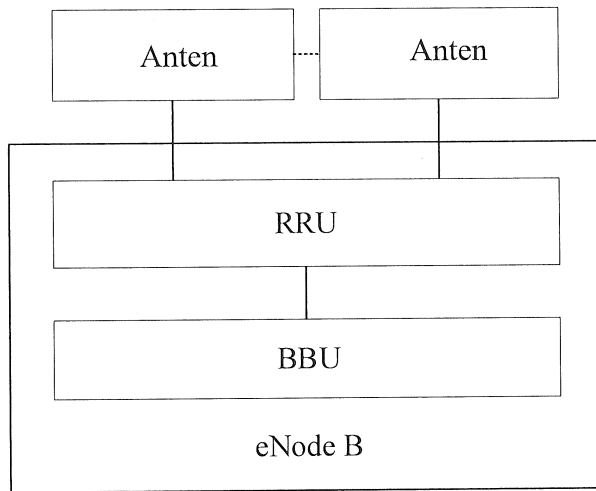


FIG. 5

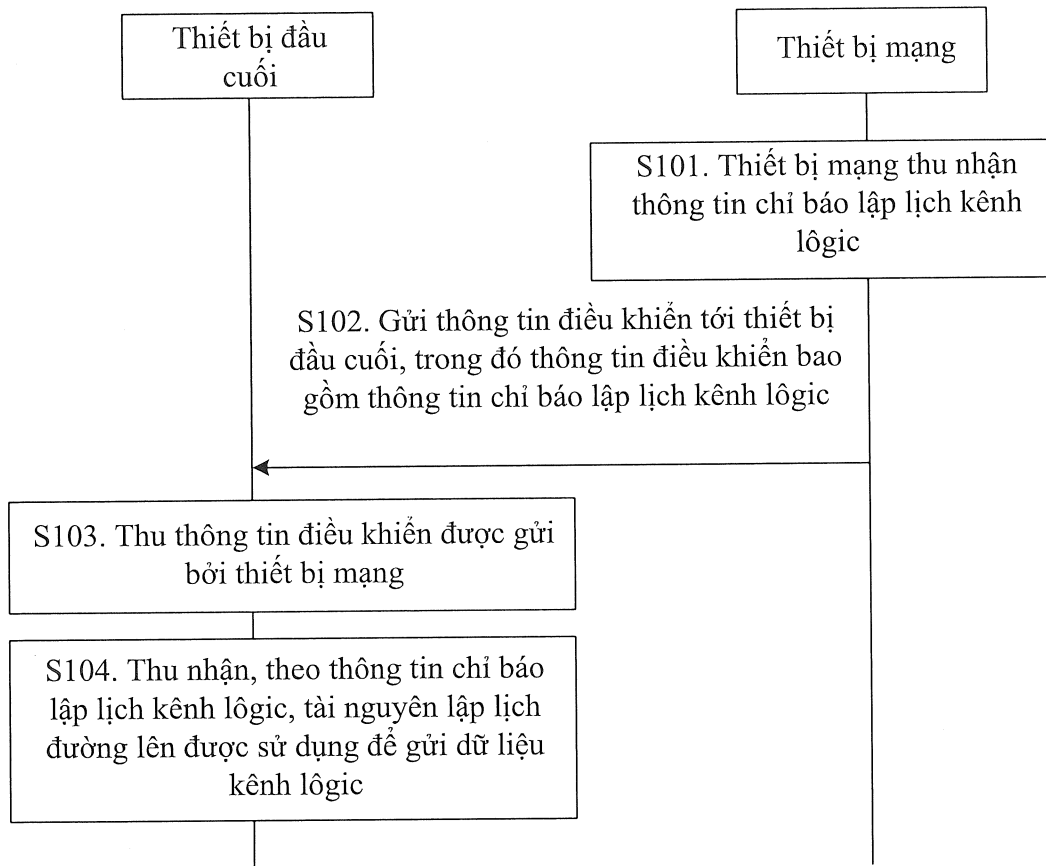


FIG. 6

5/23

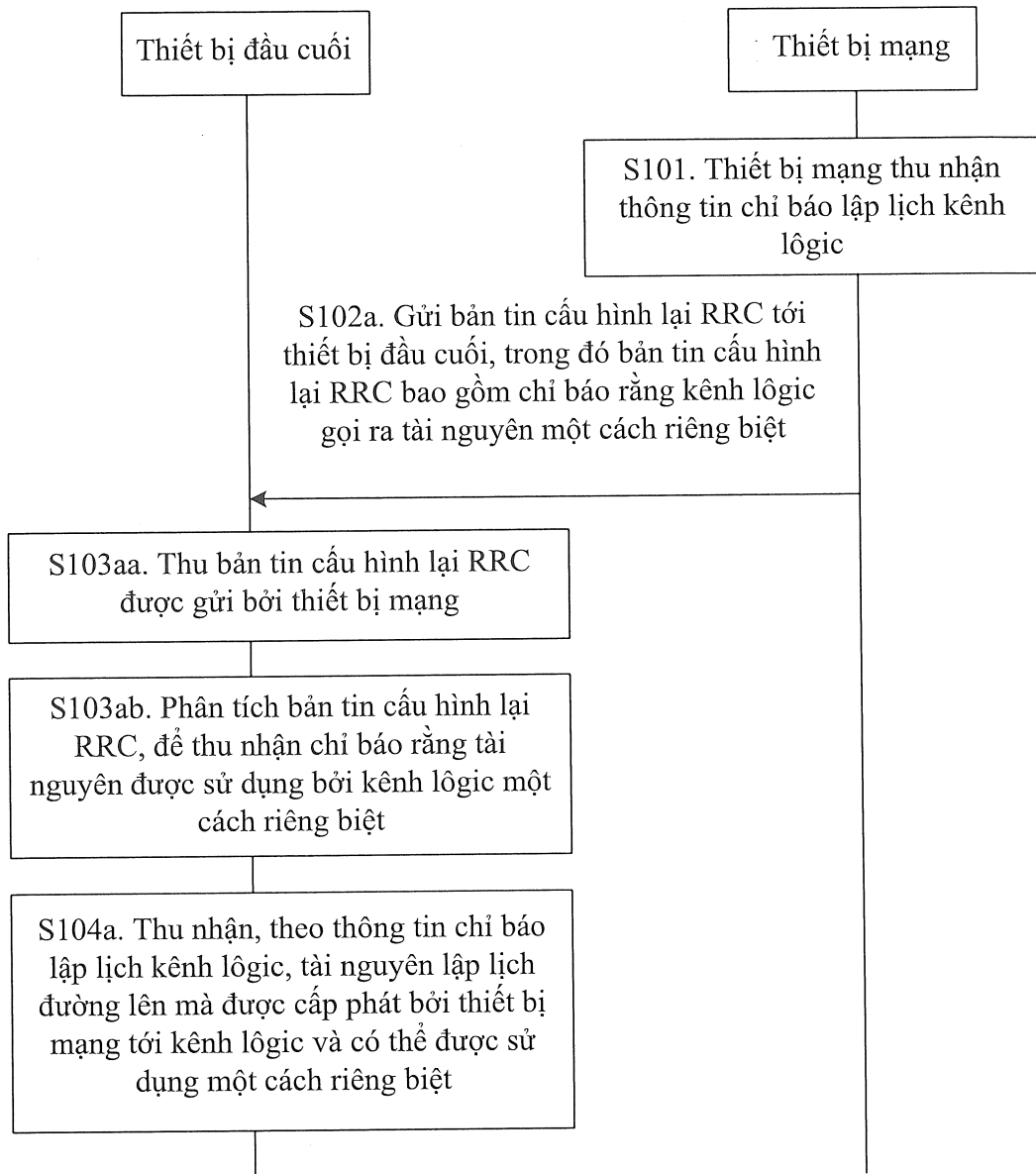


FIG. 7

6/23

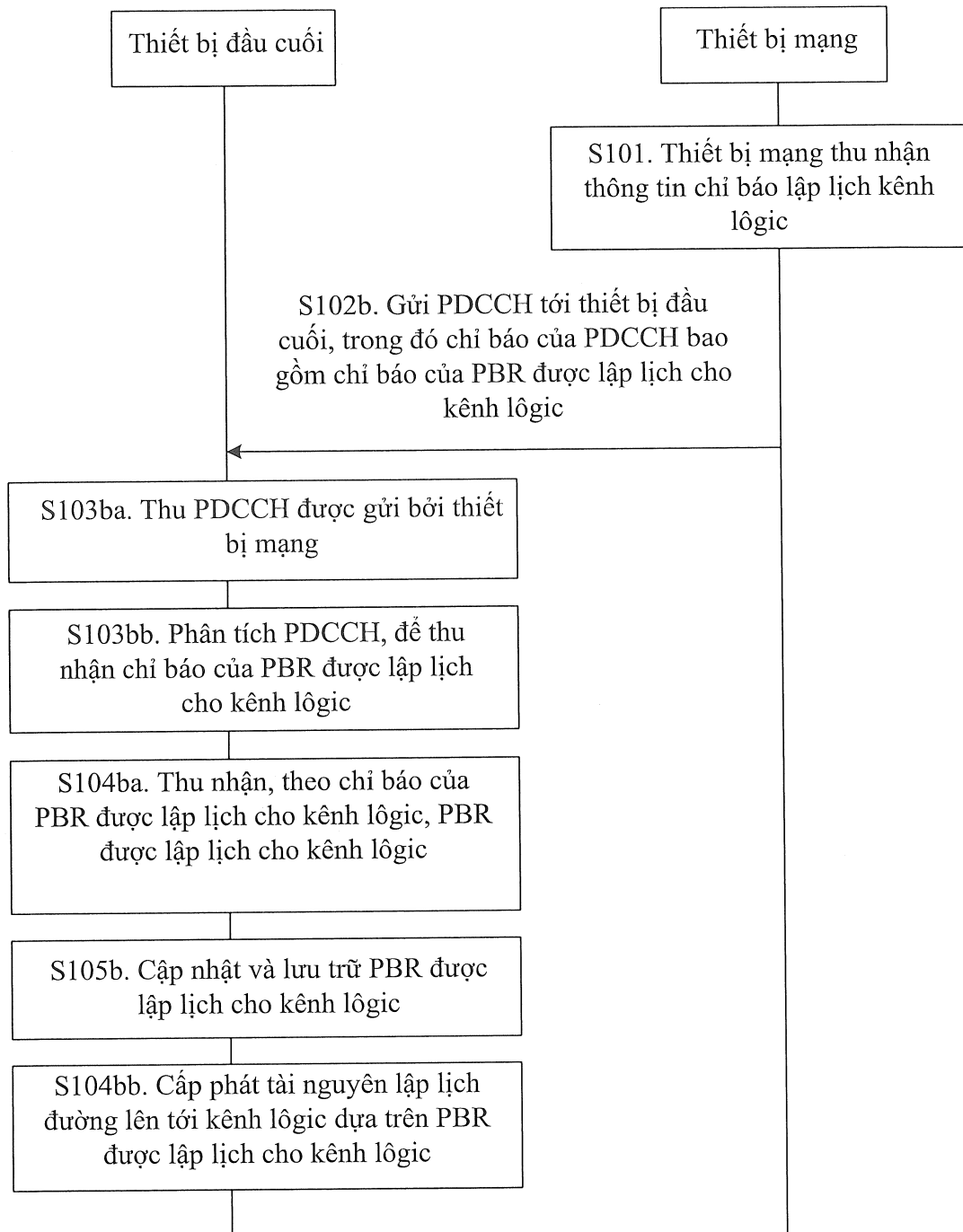


FIG. 8

7/23

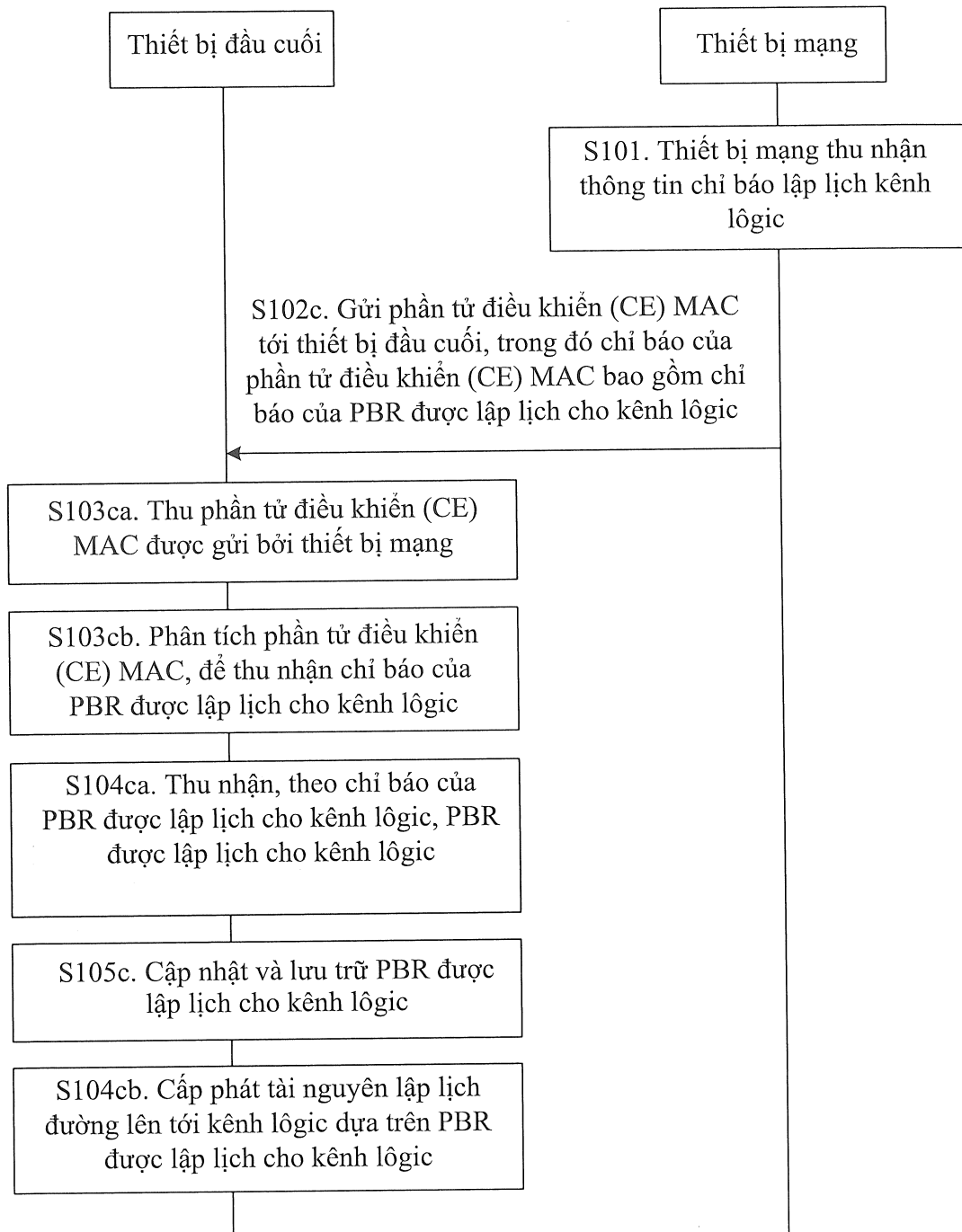


FIG. 9

8/23

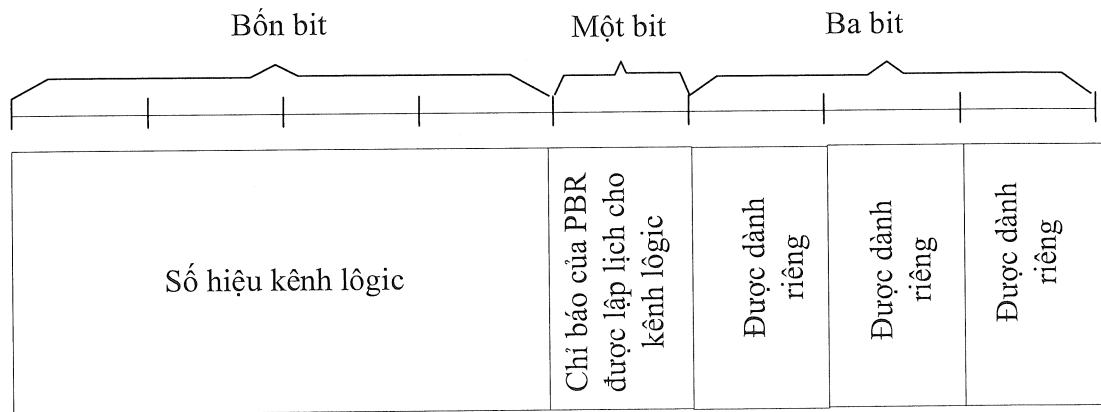


FIG. 10

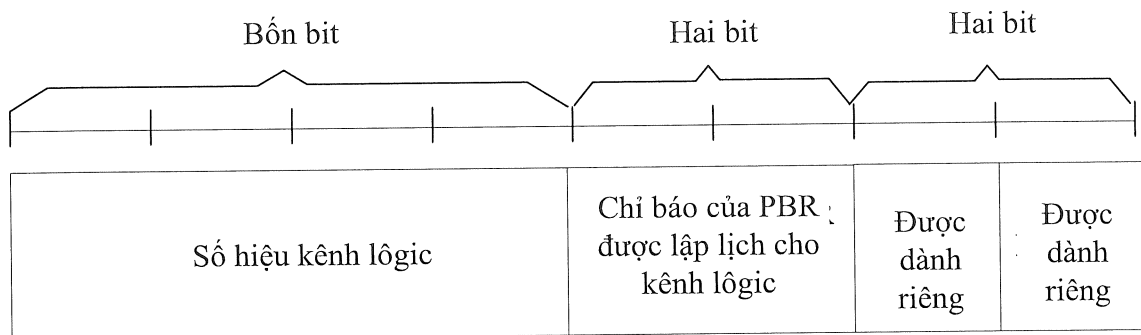


FIG. 11

9/23

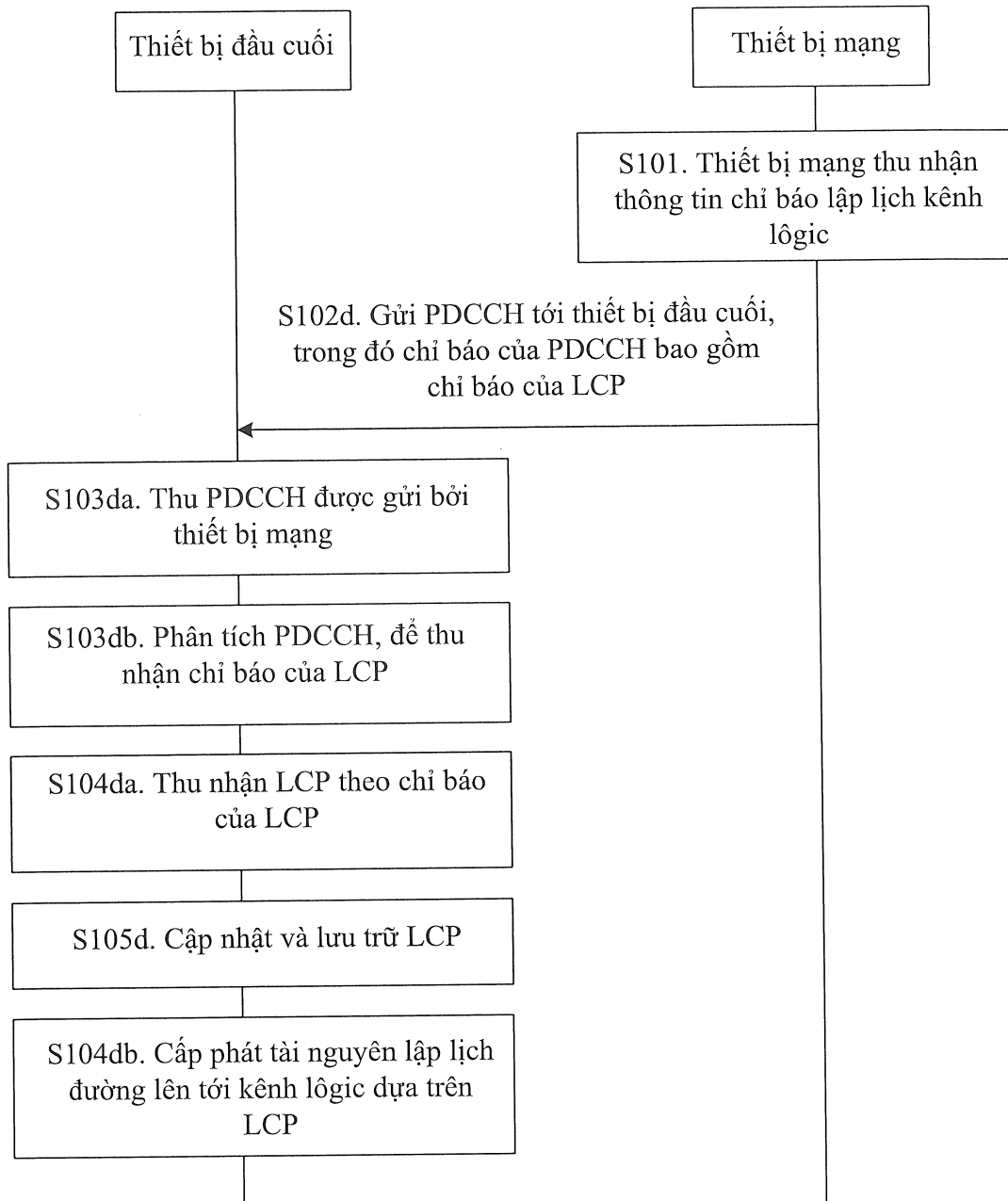


FIG. 12

10/23

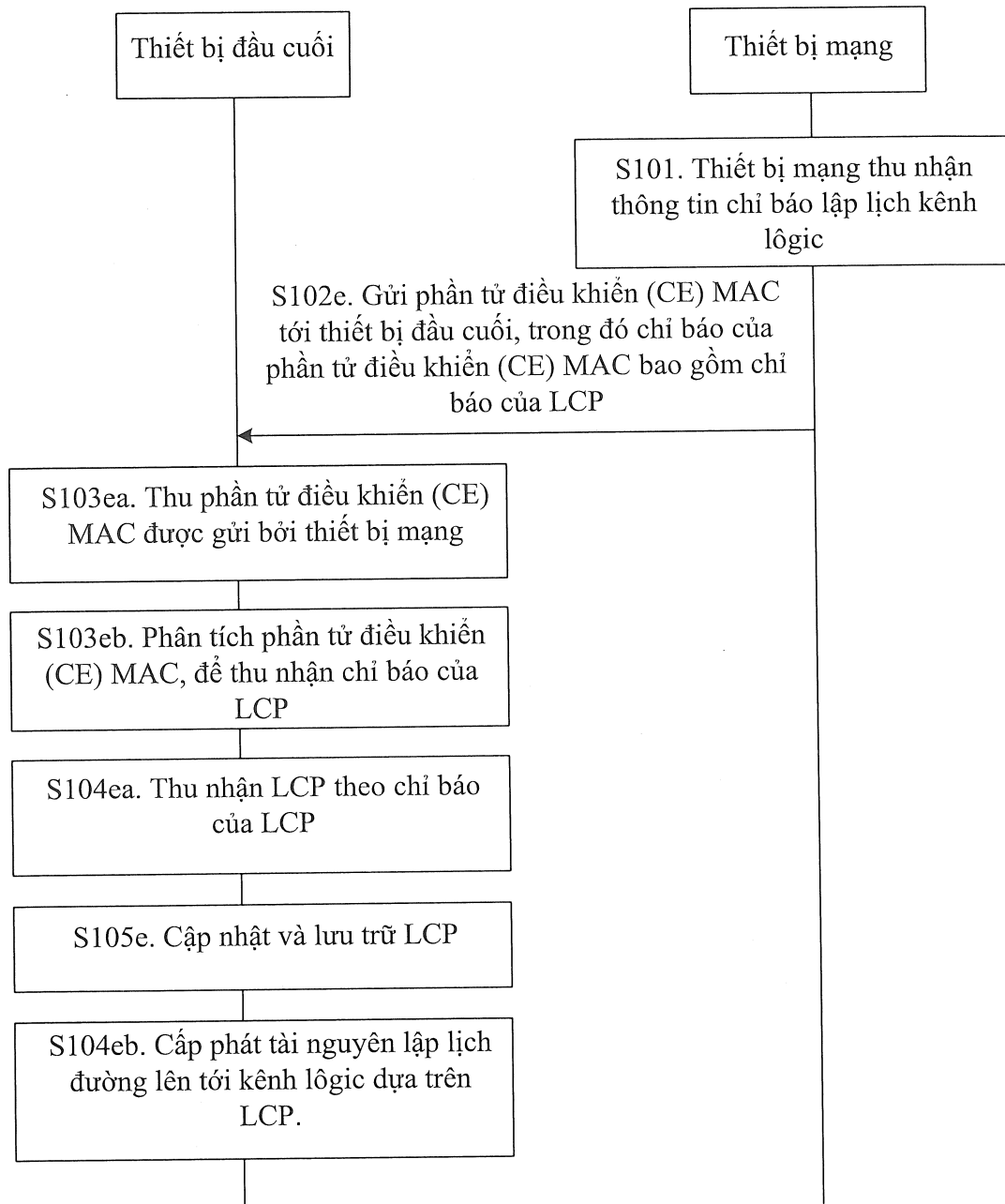


FIG. 13

11/23

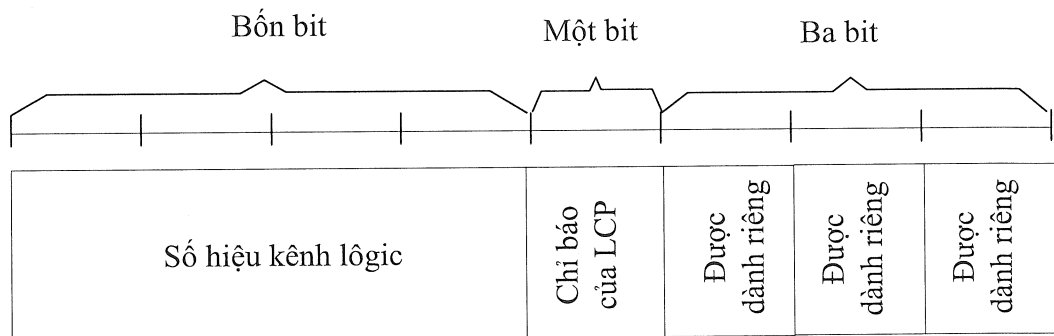


FIG. 14

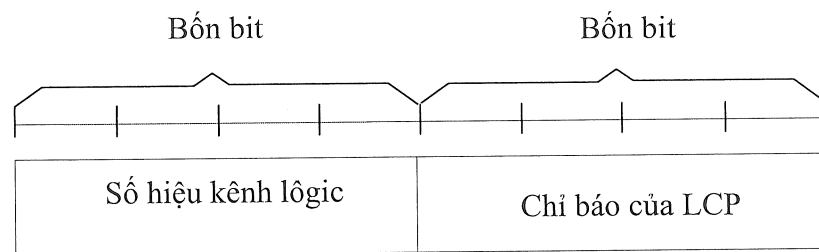


FIG. 15

12/23

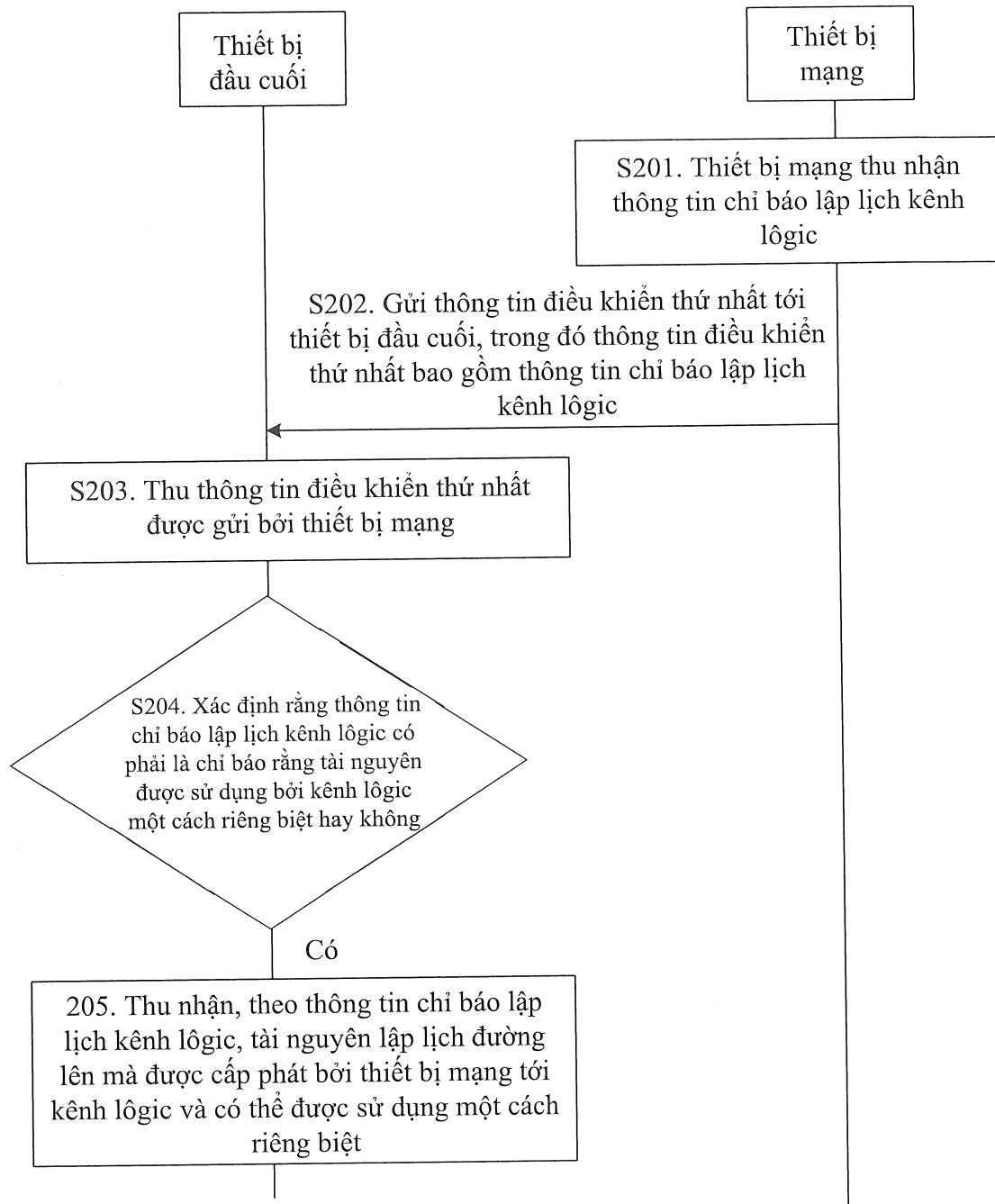


FIG. 16

13/23

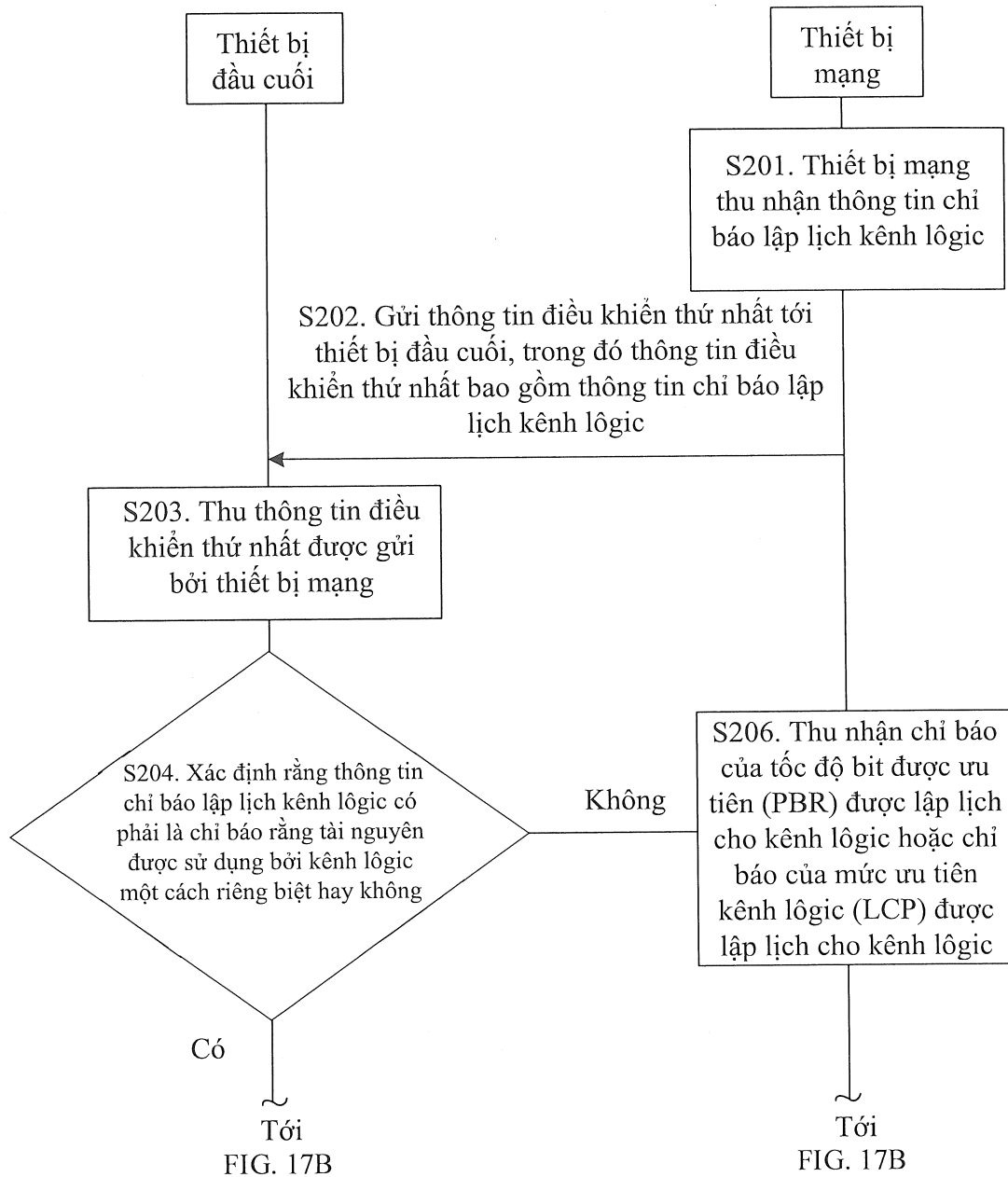


FIG. 17A

14/23

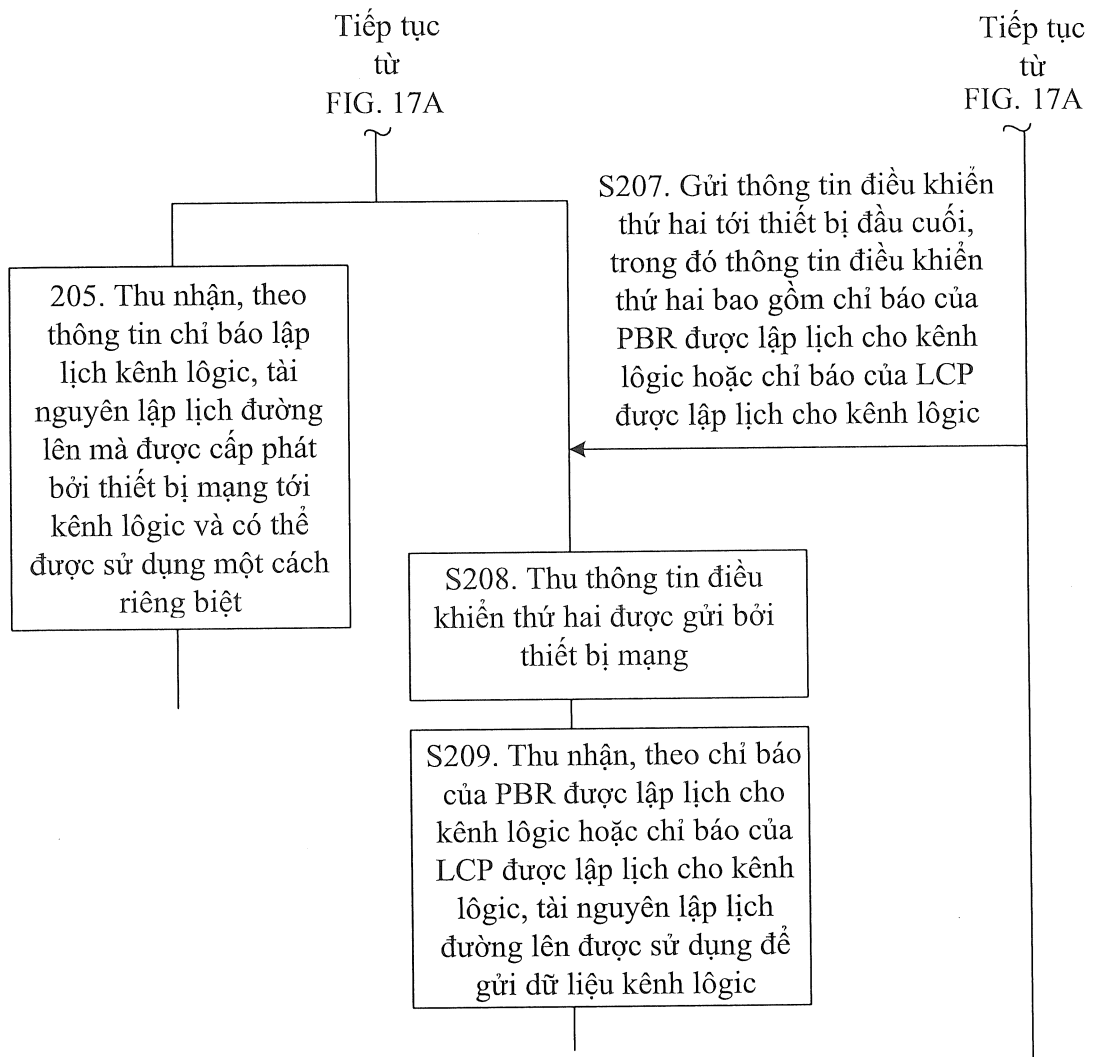


FIG. 17B

15/23

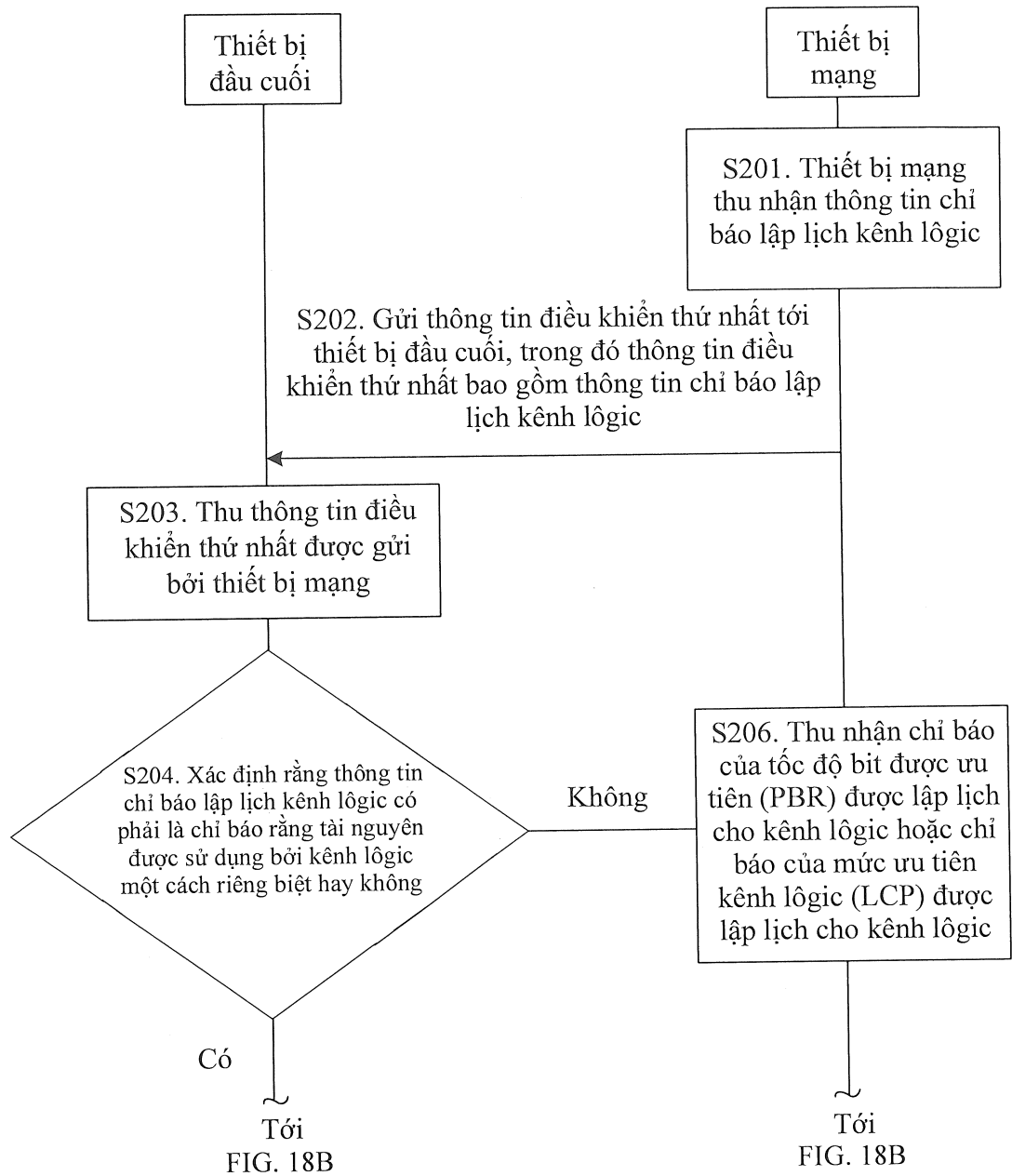


FIG. 18A

16/23

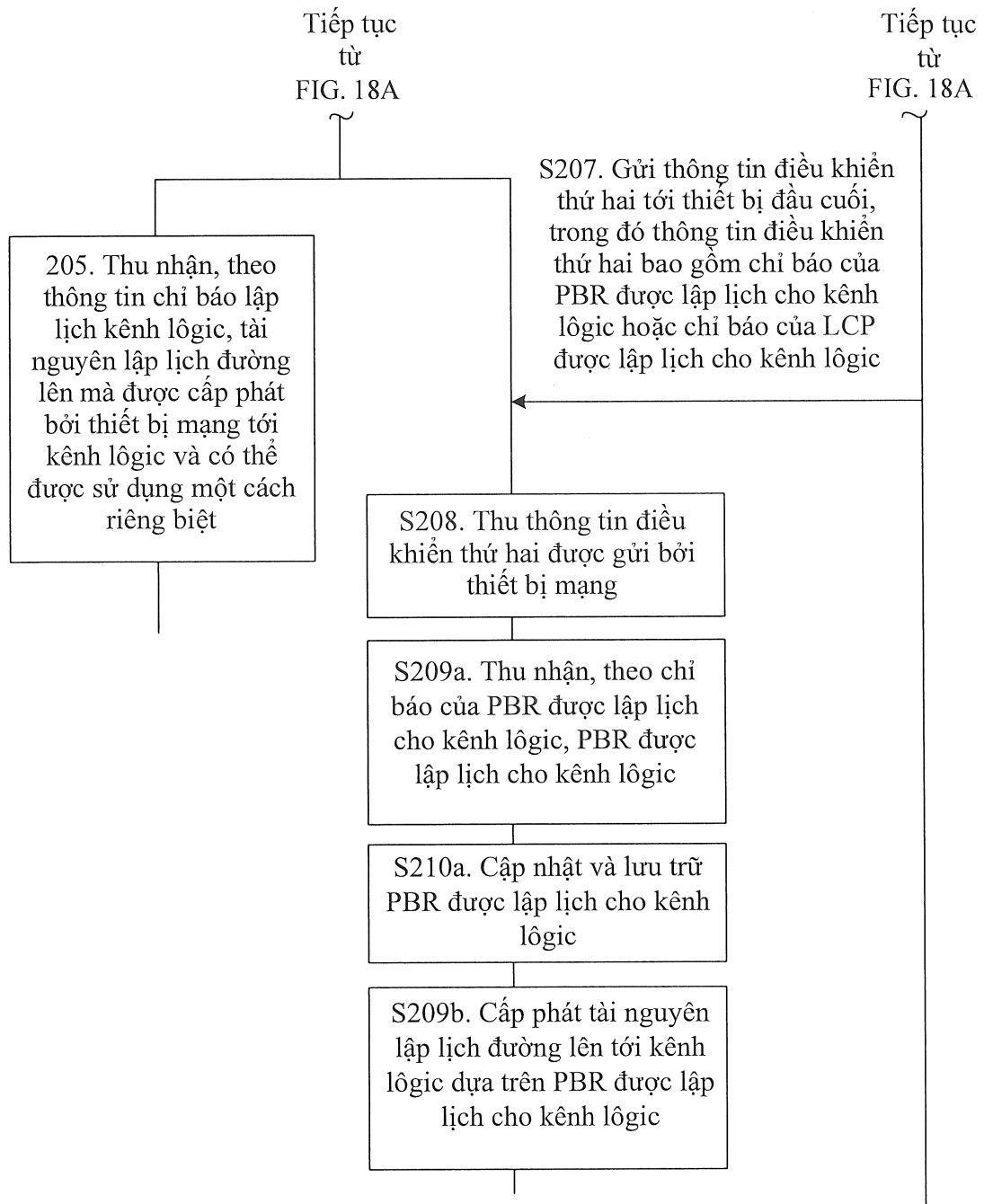


FIG. 18B

17/23

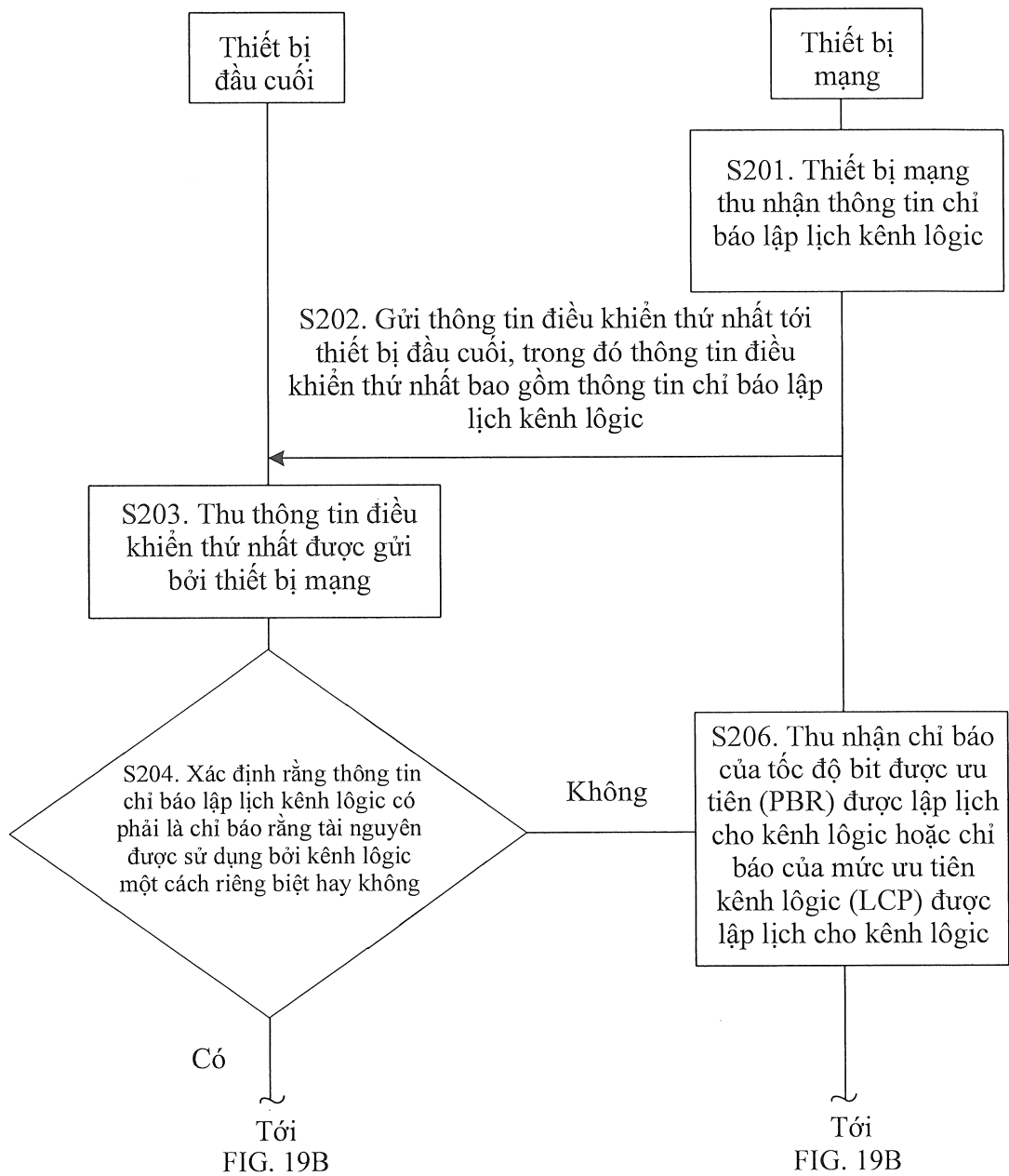


FIG. 19A

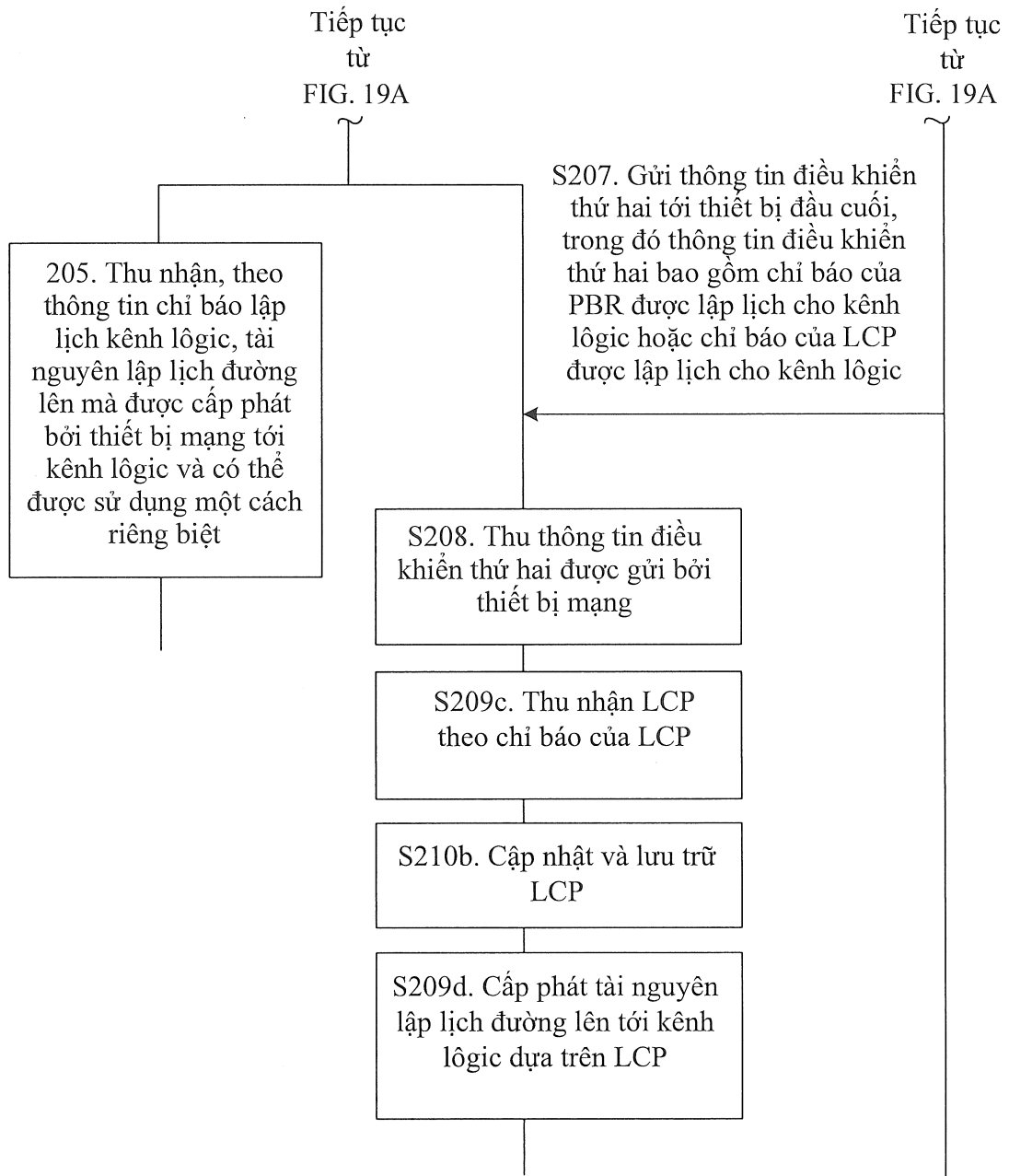


FIG. 19B

19/23

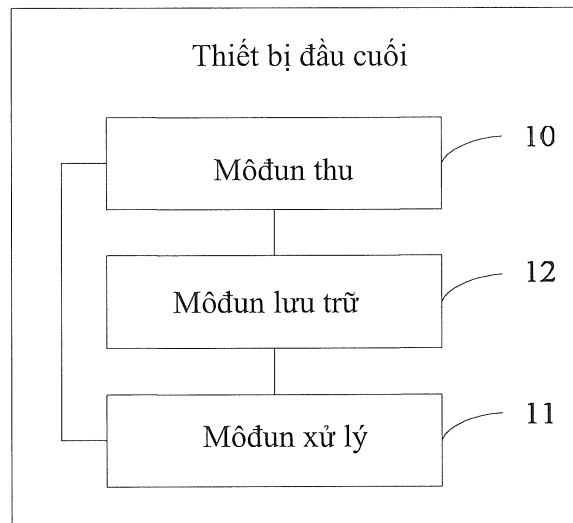


FIG. 20

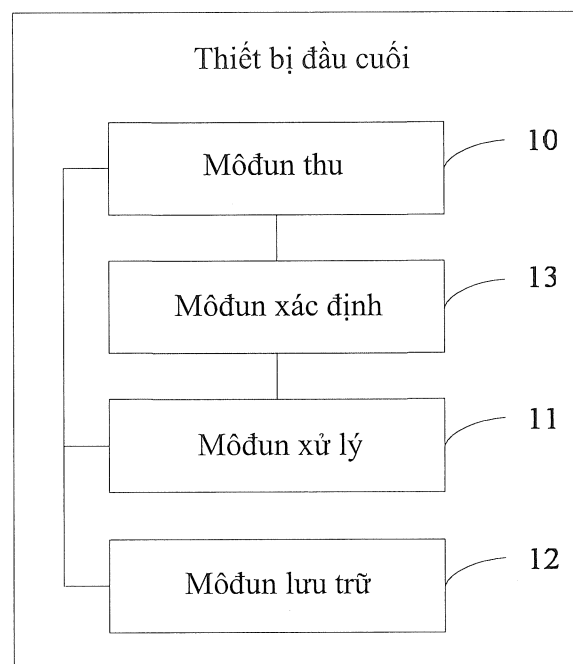


FIG. 21

20/23

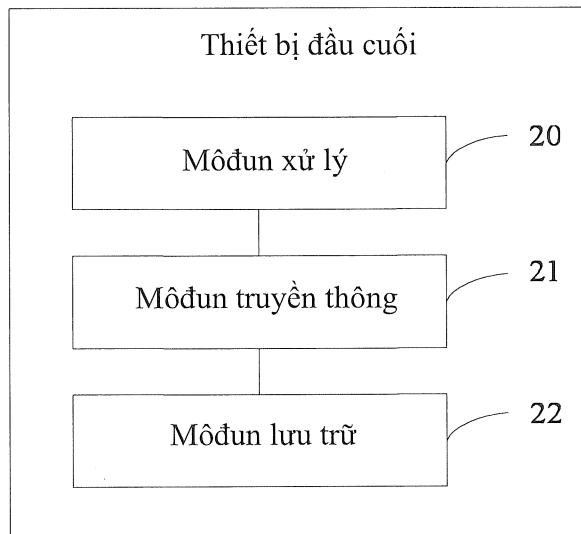


FIG. 22

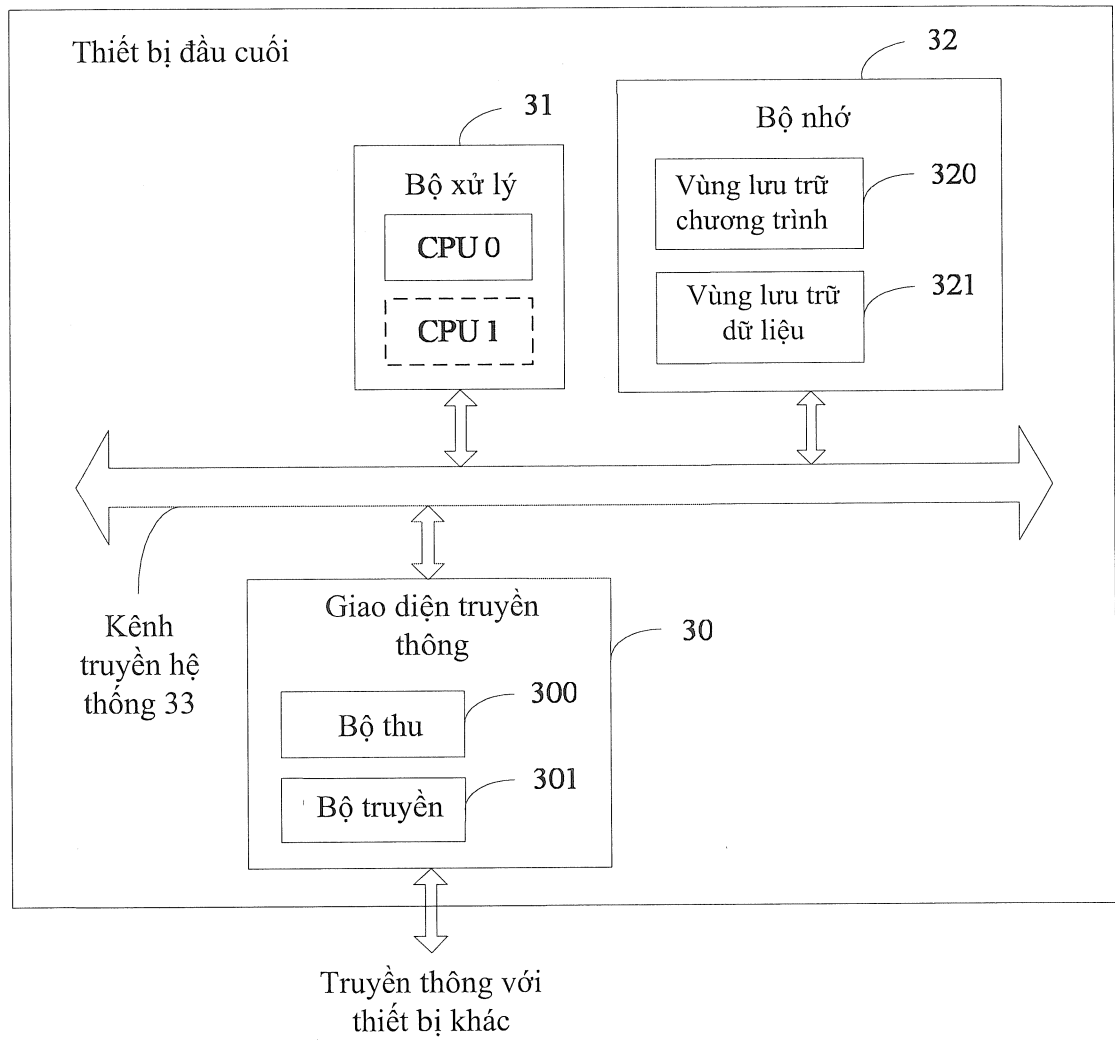


FIG. 23

22/23

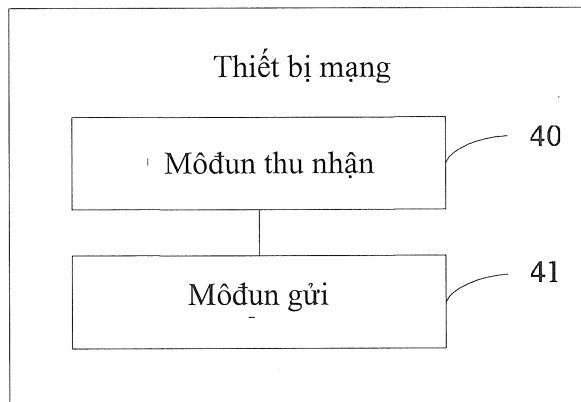


FIG. 24

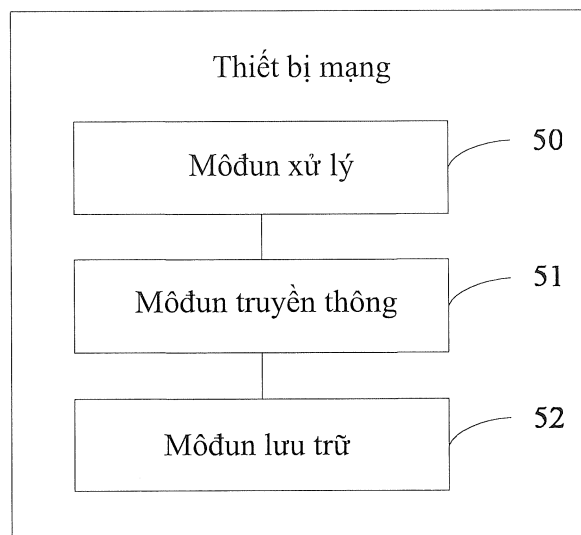


FIG. 25

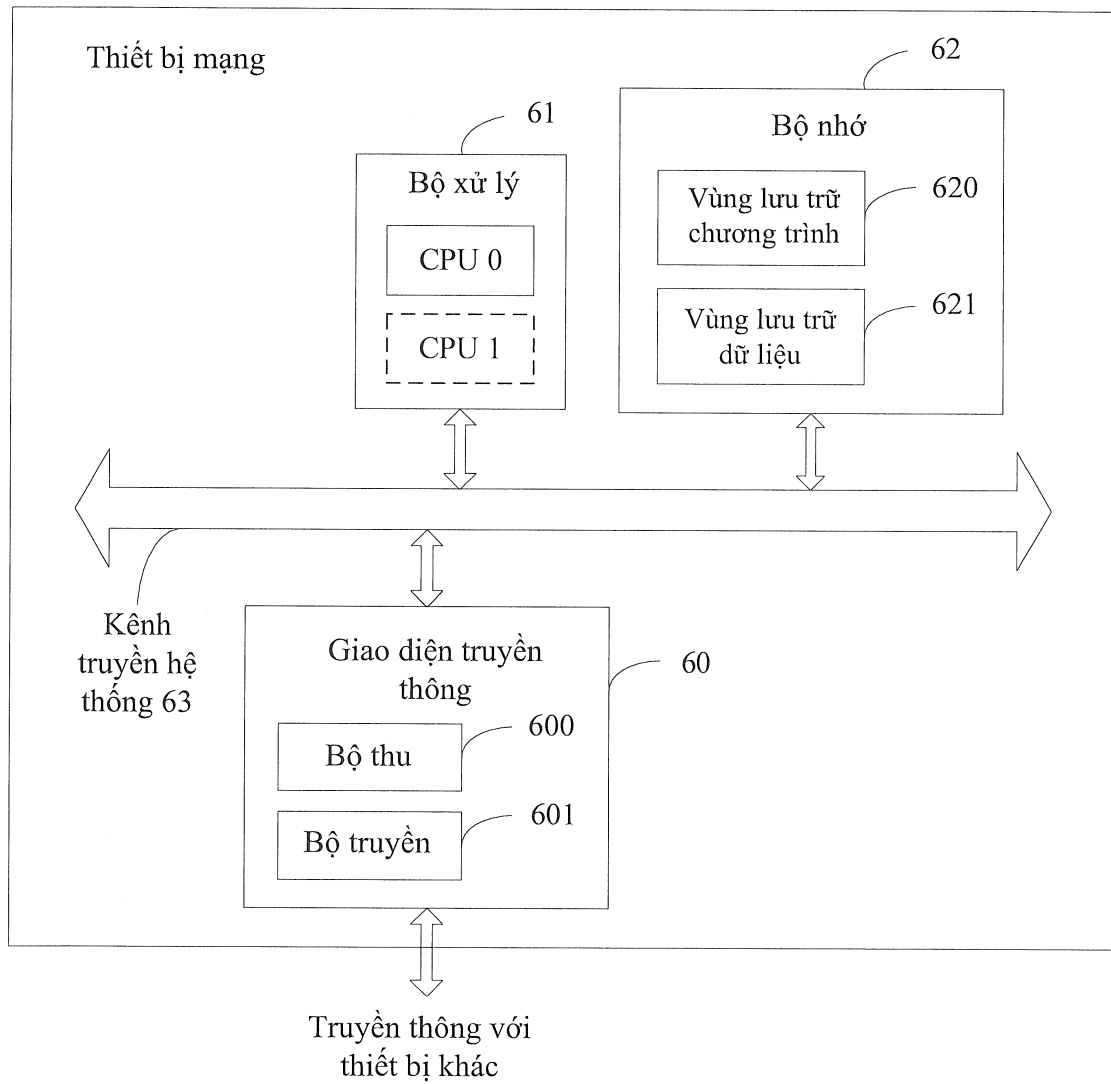


FIG. 26