



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0039062

(51)⁷ H01L 25/065

(13) B

(21) 1-2018-00614

(22) 09/02/2018

(30) 10-2017-0018734 10/02/2017 KR

(45) 25/03/2024 432

(43) 27/08/2018 365A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

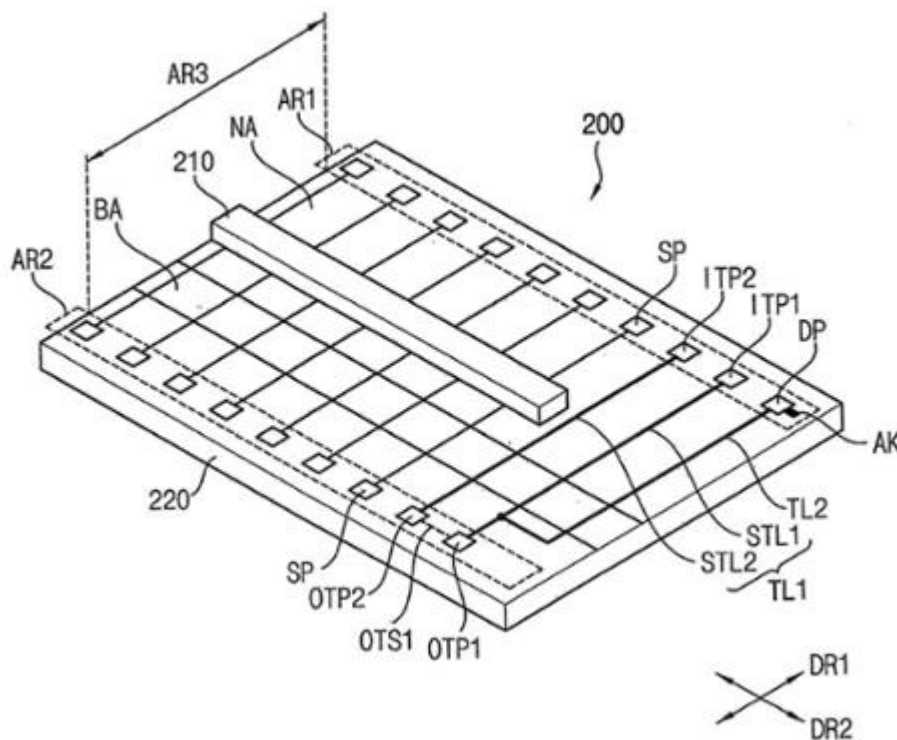
1, Samsung-ro, Giheung-Gu, Yongin-si, Gyeonggi-Do, Korea

(72) HEE-KWON LEE (KR); SEUNGKYUN HONG (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) GÓI CHIP TRÊN MÀNG, PANEN HIỂN THỊ, VÀ THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề cập đến gói chip trên màng, panen hiển thị và thiết bị hiển thị. Gói chip trên màng bao gồm lớp nền của đế mà vùng đệm thứ nhất, vùng đệm thứ hai, và vùng thứ ba được bố trí giữa vùng đệm thứ nhất và vùng đệm thứ hai được tạo ra trên đó, đệm giả được bố trí trên vùng đệm thứ nhất, các đệm đầu vào được bố trí trên vùng đệm thứ nhất, các đệm đầu ra được bố trí trên vùng đệm thứ hai, đường phát hiện thứ nhất được bố trí trên lớp nền của đế, và đường phát hiện thứ hai được bố trí trên lớp nền của đế. Đường phát hiện thứ nhất được nối với đệm đầu vào thứ nhất và đệm đầu vào thứ hai thông qua vùng đệm thứ hai để tạo vòng thứ nhất giữa đệm đầu vào thứ nhất và đệm đầu vào thứ hai, và đường phát hiện thứ hai được nối với đệm giả và đường phát hiện thứ nhất thông qua vùng thứ ba để tạo vòng thứ hai giữa đệm giả và đệm đầu vào thứ nhất.



Lĩnh vực kỹ thuật của sáng chế

Sáng chế đề cập đến các thiết bị hiển thị. Cụ thể hơn, sáng chế đề cập đến gói chip trên màng (chip-on-film - COF), panen hiển thị, và thiết bị hiển thị có thể phát hiện các hư hại bên trong.

Tình trạng kỹ thuật của sáng chế

Thiết bị hiển thị thường bao gồm panen hiển thị, bảng mạch in (printed circuit board - PCB) để điều khiển panen hiển thị, và gói COF nối điện panen hiển thị với PCB.

Một đầu cuối của gói COF có thể được gắn với mặt trên cùng của panen hiển thị, và gói COF có thể được uốn cong hướng về phía mặt đáy của panen hiển thị. Khi vùng uốn của gói COF được uốn cong vượt quá bán kính giới hạn của đường cong hoặc gói COF dưới ứng suất uốn, vết nứt có thể xuất hiện trong vùng uốn của gói COF. Khi vết nứt xuất hiện trong vùng uốn của gói COF, chất lượng hiển thị của thiết bị hiển thị có thể giảm xuống do các hư hỏng của gói COF hoặc các đường tín hiệu.

Bản chất kỹ thuật của sáng chế

Các phương án làm ví dụ đề xuất gói chip trên màng (“COF”) có khả năng phát hiện vị trí và nguyên nhân của hư hại bên trong cũng như phát hiện ra sự xuất hiện hư hại bên trong sử dụng kết cấu phát hiện đơn giản.

Các phương án làm ví dụ đề xuất panen hiển thị có khả năng phát hiện vị trí của hư hại bên trong với kết cấu phát hiện đơn giản.

Các phương án làm ví dụ đề xuất thiết bị hiển thị có thể giám sát sự hư hại bên trong trong khi thiết bị hiển thị được điều khiển bình thường.

Theo một số phương án làm ví dụ, gói COF có thể bao gồm lớp nền của đế mà trên đó vùng đệm thứ nhất, vùng đệm thứ hai khác với vùng đệm thứ nhất, và vùng thứ ba được bố trí giữa vùng đệm thứ nhất và vùng đệm thứ hai được xác định, đệm giả được bố trí trên vùng đệm thứ nhất, nhiều đệm đầu vào được bố trí trên vùng đệm thứ nhất, nhiều

đệm đầu ra được bố trí trên vùng đệm thứ hai, đường phát hiện thứ nhất được bố trí trên lớp nền của đế, và đường phát hiện thứ hai được bố trí trên lớp nền của đế. Theo các phương án này, đường phát hiện thứ nhất được nối với đệm đầu vào thứ nhất trong số các đệm đầu vào và đệm đầu vào thứ hai trong số các đệm đầu vào qua vùng đệm thứ hai để tạo vòng thứ nhất giữa đệm đầu vào thứ nhất và đệm đầu vào thứ hai, và đường phát hiện thứ hai được nối với đệm giả và đường phát hiện thứ nhất qua vùng thứ ba để tạo vòng thứ hai giữa đệm giả và đệm đầu vào thứ nhất.

Theo các phương án làm ví dụ, đệm giả có thể bao gồm khóa sắp thẳng để sắp thẳng các đệm đầu vào.

Theo các phương án làm ví dụ, đường phát hiện thứ nhất có thể bao gồm đường phát hiện phụ thứ nhất được nối với đệm đầu vào thứ nhất và đệm đầu ra thứ nhất trong số các đệm đầu ra, và đường phát hiện phụ thứ hai được nối với đệm đầu vào thứ hai và đệm đầu ra thứ hai trong số các đệm đầu ra. Theo các phương án này, đường phát hiện thứ hai có thể được nối với đường phát hiện phụ thứ nhất.

Theo các phương án làm ví dụ, lớp nền của đế có thể bao gồm nhiều lớp, và đường phát hiện thứ hai có thể được bố trí trên nhiều lớp.

Theo các phương án làm ví dụ, đường phát hiện thứ hai có thể bao gồm đường phát hiện một phần thứ nhất và đường phát hiện một phần thứ hai. Theo các phương án này, đường phát hiện một phần thứ nhất có thể được bố trí trên bề mặt thứ nhất của lớp nền của đế, đường phát hiện một phần thứ hai có thể được bố trí trên bề mặt thứ hai của lớp nền của đế đối diện với bề mặt thứ nhất, và đường phát hiện một phần thứ nhất có thể được nối với đường phát hiện một phần thứ hai qua kết cấu lỗ dẫn (via) được bố trí qua lớp nền của đế.

Theo các phương án làm ví dụ, đường phát hiện thứ hai có thể bao gồm mẫu hình phát hiện được bố trí trên vùng thứ ba trong mẫu hình zíc zắc.

Theo các phương án làm ví dụ, đệm giả có thể được bố trí ở phía ngoài cùng trong số các đệm đầu vào và đệm giả được bố trí trên vùng đệm thứ nhất.

Theo các phương án làm ví dụ, gói COF có thể còn bao gồm chip mạch tích hợp

("IC") được nối với đệm giả và các đệm đầu vào. Theo các phương án này, chip IC có thể tính toán giá trị điện trở thứ nhất của vòng thứ nhất và giá trị điện trở thứ hai của vòng thứ hai và xác định xem liệu ít nhất một trong số vùng đệm thứ hai và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

Theo các phương án làm ví dụ, chip IC có thể xác định xem liệu vùng đệm thứ hai và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở của đệm đầu vào trong số các đệm đầu vào và giá trị điện trở thứ nhất, chip IC có thể xác định xem liệu vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở của đệm đầu vào và giá trị điện trở thứ hai, và chip IC có thể xác định xem liệu vùng đệm thứ hai có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

Theo các phương án làm ví dụ, gói COF còn có thể bao gồm đường giả được bố trí trên lớp nền của đế. Theo các phương án này, đường giả này có thể kéo dài từ một cạnh của lớp nền của đế tương ứng với vùng đệm thứ hai đến cạnh còn lại của lớp nền của đế đi qua lớp nền của đế, và đường phát hiện thứ hai có thể được xác định bởi ít nhất một phần đường giả.

Theo các phương án làm ví dụ, vùng đệm thứ hai có thể bao gồm vùng đệm phụ thứ nhất và vùng đệm phụ thứ hai. Theo các phương án này, các đệm đầu ra có thể bao gồm nhiều đệm đầu ra thứ nhất được bố trí trên vùng đệm phụ thứ nhất và nhiều đệm đầu ra thứ hai được bố trí trên vùng đệm phụ thứ hai. Theo các phương án này, vòng thứ nhất có thể bao gồm vòng phụ thứ nhất và vòng phụ thứ hai. Theo các phương án này, vòng phụ thứ nhất có thể nối đệm đầu vào thứ nhất với đệm đầu vào thứ hai thông qua vùng đệm phụ thứ nhất, và vòng phụ thứ hai có thể nối đệm đầu vào thứ hai với đệm đầu vào thứ ba trong số các đệm đầu vào qua vùng đệm phụ thứ hai.

Theo các phương án làm ví dụ, đường phát hiện thứ nhất có thể bao gồm đường phát hiện phụ thứ nhất được nối với đệm đầu vào thứ nhất và đệm đầu ra thứ nhất trong số các đệm đầu ra thứ nhất, đường phát hiện phụ thứ hai được nối với đệm đầu vào thứ hai và đệm đầu ra thứ hai trong số các đệm đầu ra thứ hai, đường phát hiện phụ thứ ba được nối với đệm đầu vào thứ hai và đệm đầu ra thứ ba trong số các đệm đầu ra thứ nhất, và đường phát hiện phụ thứ tư được nối với đệm đầu vào thứ ba và đệm đầu ra thứ tư trong số các đệm đầu ra thứ hai. Theo các phương án này, đường phát hiện thứ hai có thể

được nối với đường phát hiện phụ thứ nhất.

Theo các phương án làm ví dụ, gói COF còn có thể bao gồm đường phát hiện thứ ba được nối với đệm đầu vào thứ ba và đệm đầu vào thứ tư trong số các đệm đầu vào để tạo vòng thứ ba.

Theo các phương án làm ví dụ, gói COF còn có thể bao gồm chip IC được nối với đệm giả và các đệm đầu vào. Theo các phương án này, chip IC có thể tính toán giá trị điện trở thứ nhất của vòng thứ nhất, giá trị điện trở thứ hai của vòng thứ hai, và giá trị điện trở thứ ba của vòng thứ ba và xác định xem liệu ít nhất một trong số vùng đệm thứ nhất, vùng đệm thứ hai và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở thứ nhất, giá trị điện trở thứ hai và giá trị điện trở thứ ba.

Theo các phương án làm ví dụ, chip IC có thể xác định xem liệu các đệm đầu vào, các đệm đầu ra, và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở thứ ba, xác định xem liệu các đệm đầu vào có bị hư hại hay không dựa trên giá trị điện trở thứ ba, xác định xem liệu các đệm đầu ra có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ nhất và giá trị điện trở thứ hai, và xác định xem liệu vùng thứ ba có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ hai và giá trị điện trở thứ ba.

Theo một số phương án làm ví dụ, panen hiển thị có thể bao gồm lớp nền của đế trên đó vùng đệm thứ nhất và vùng thứ hai khác với vùng đệm thứ nhất được xác định, đệm giả được bố trí trên vùng đệm thứ nhất, nhiều đệm được bố trí trên vùng đệm thứ nhất, đường phát hiện thứ nhất được bố trí trên lớp nền của đế, và đường phát hiện thứ hai được bố trí trên lớp nền của đế. Theo các phương án này, đường phát hiện thứ nhất được nối với đệm thứ nhất trong số các đệm và đệm thứ hai trong số các đệm thông qua ít nhất một phần biên của lớp nền của đế để tạo vòng thứ nhất giữa đệm thứ nhất và đệm thứ hai, và đường phát hiện thứ hai được nối với đệm giả và đường phát hiện thứ nhất thông qua vùng thứ hai để tạo vòng thứ hai giữa đệm giả và đệm thứ nhất.

Theo các phương án làm ví dụ, đệm giả có thể bao gồm khóa sắp thẳng để sắp thẳng các đệm.

Theo các phương án làm ví dụ, lớp nền của đế có thể bao gồm nhiều lớp. Đường

phát hiện thứ hai có thể đi qua nhiều lớp.

Theo các phương án làm ví dụ, đường phát hiện thứ hai có thể bao gồm mẫu hình phát hiện được bố trí trên vùng thứ hai trong mẫu hình zíc zắc.

Theo một số phương án làm ví dụ, thiết bị hiển thị có thể bao gồm panen hiển thị mà hiển thị hình ảnh, bảng mạch in (“PCB”) điều khiển panen hiển thị, gói COF nối điện panen hiển thị với bảng mạch in. Theo các phương án này, panen hiển thị hoặc gói COF có thể bao gồm lớp nền của đế mà trên đó vùng đệm thứ nhất và vùng thứ hai khác với vùng đệm thứ nhất được xác định, đệm giả được bố trí trên vùng đệm thứ nhất, nhiều đệm được bố trí trên vùng đệm thứ nhất, đường phát hiện thứ nhất được bố trí trên lớp nền của đế, và đường phát hiện thứ hai được bố trí trên lớp nền của đế. Theo các phương án này, đường phát hiện thứ nhất được nối với đệm thứ nhất trong số các đệm và đệm thứ hai trong số các đệm thông qua ít nhất một phần biên của lớp nền của đế để tạo vòng thứ nhất giữa đệm thứ nhất và đệm thứ hai, đường phát hiện thứ hai được nối với đệm giả và đường phát hiện thứ nhất thông qua vùng thứ hai để tạo vòng thứ hai giữa đệm giả và đệm thứ nhất.

Theo một số phương án làm ví dụ, gói chip trên màng có thể bao gồm lớp nền của đế mà trên đó vùng đệm thứ nhất, vùng đệm thứ hai khác với vùng đệm thứ nhất, và vùng thứ ba được bố trí giữa vùng đệm thứ nhất và vùng đệm thứ hai được xác định, đệm giả được bố trí trên vùng đệm thứ nhất, nhiều đệm đầu vào được bố trí trên vùng đệm thứ nhất, nhiều đệm đầu ra được bố trí trên vùng đệm thứ hai, đường phát hiện thứ nhất được bố trí trên lớp nền của đế, đường phát hiện thứ nhất nối đệm đầu vào thứ nhất trong số các đệm đầu vào với đệm đầu vào thứ hai trong số các đệm đầu vào thông qua vùng đệm thứ hai và vùng thứ ba, và đường phát hiện thứ hai được bố trí trên lớp nền của đế, đường phát hiện thứ hai nối đệm giả với đường phát hiện thứ nhất qua vùng thứ ba.

Theo các phương án làm ví dụ, đường phát hiện thứ nhất có thể bao gồm đường phát hiện phụ thứ nhất và đường phát hiện phụ thứ hai được nối với đường phát hiện phụ thứ nhất trong vùng đệm thứ hai. Đường phát hiện phụ thứ nhất có thể nối đệm đầu vào thứ nhất trong số các đệm đầu vào với đệm đầu ra thứ nhất trong số các đệm đầu ra. Đường phát hiện phụ thứ hai có thể nối đệm đầu vào thứ hai trong số các đệm đầu vào và đệm đầu ra thứ hai trong số các đệm đầu ra.

Theo các phương án làm ví dụ, đường phát hiện thứ hai có thể được nối với đường phát hiện phụ thứ nhất.

Theo các phương án làm ví dụ, gói chip trên màng còn có thể bao gồm mạch kiểm tra được nối với đệm giả và các đệm đầu vào. Mạch kiểm tra có thể tính toán giá trị điện trở thứ nhất giữa đệm đầu vào thứ nhất và đệm đầu vào thứ hai và giá trị điện trở thứ hai giữa đệm giả và đệm đầu vào thứ nhất, và mạch kiểm tra xác định xem liệu ít nhất một trong số vùng đệm thứ hai và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

Theo các phương án làm ví dụ, mạch kiểm tra có thể xác định xem liệu vùng đệm thứ hai và vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở của đệm đầu vào trong số các đệm đầu vào và giá trị điện trở thứ nhất. Mạch kiểm tra có thể xác định xem liệu vùng thứ ba có bị hư hại hay không dựa trên giá trị điện trở của đệm đầu vào và giá trị điện trở thứ hai. Mạch kiểm tra có thể xác định xem liệu vùng đệm thứ hai có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

Theo phương án này, gói COF bao gồm đường phát hiện thứ nhất theo cách mà thiết bị kiểm tra ngoài có thể xác định nhanh chóng xem liệu gói COF có bị hư hại hay không.

Theo phương án này, gói COF bao gồm đường phát hiện thứ hai được bố trí trên vùng uốn theo cách sao cho thiết bị kiểm tra ngoài có thể xác định vị trí và nguyên nhân gây hư hại một cách nhanh chóng và chính xác.

Theo phương án này, gói COF bao gồm đệm giả có khóa sắp thẳng để phát hiện hoặc phân tích vị trí và nguyên nhân gây hư hại bên trong mà không có kết cấu hoặc thành phần bổ sung.

Phương án làm ví dụ của panen hiển thị bao gồm đường phát hiện thứ nhất và đường phát hiện thứ hai được bố trí trên vùng uốn theo cách sao cho thiết bị kiểm tra ngoài có thể xác định nhanh chóng xem liệu panen hiển thị có bị hư hại hay không.

Phương án làm ví dụ của thiết bị hiển thị bao gồm đường phát hiện thứ nhất,

đường phát hiện thứ hai, và chip IC được nối với các đường phát hiện thứ nhất và thứ hai, nhờ đó phát hiện hoặc giám sát liên tục xem liệu có sự hư hại bên trong ở panen hiển thị hay không.

Mô tả vắn tắt các hình vẽ

Các phương án làm ví dụ sẽ được mô tả đầy đủ hơn sau đây với tham chiếu đến các hình vẽ kèm theo, trong đó các phương án khác nhau được thể hiện.

Fig.1 là sơ đồ minh họa thiết bị hiển thị theo một phương án làm ví dụ.

Fig.2 là sơ đồ mặt cắt ngang minh họa phương án làm ví dụ của thiết bị hiển thị trên Fig.1.

Fig.3A là sơ đồ minh họa phương án làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Fig.3B là sơ đồ minh họa phương án thay thế làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Các hình vẽ từ Fig.4A đến Fig.4F là các sơ đồ minh họa phương án làm ví dụ của gói COF trên Fig.3B.

Fig.5 là sơ đồ minh họa phương án làm ví dụ của gói COF trên Fig.3A.

Các hình vẽ từ Fig.6A đến Fig.6C là các sơ đồ minh họa các phương án làm ví dụ của gói COF trên Fig.5.

Các hình vẽ từ Fig.7A đến Fig.7C là các sơ đồ minh họa các phương án làm ví dụ của gói COF được chứa trong thiết bị hiển thị trên Fig.1.

Fig.8A là sơ đồ minh họa phương án thay thế khác làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Fig.8B là sơ đồ minh họa vẫn theo phương án làm ví dụ khác của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Fig.9 là sơ đồ mặt cắt ngang minh họa phương án làm ví dụ của thiết bị hiển thị

trên Fig.1.

Fig.10 là sơ đồ minh họa phương án làm ví dụ của panen hiển thị được bao gồm trong thiết bị hiển thị trên Fig.9.

Mô tả chi tiết sáng chế

Sáng chế giờ đây sẽ được mô tả đầy đủ hơn sau đây với tham chiếu đến các hình vẽ kèm theo, trong đó các phương án khác nhau được thể hiện. Sáng chế có thể, tuy nhiên, được thể hiện trong nhiều dạng khác nhau, và không được hiểu là bị giới hạn với các phương án được nêu ở đây. Tốt hơn là, các phương án này được đề xuất để phần bộc lộ này trở nên đầy đủ và hoàn thiện và sẽ truyền tải đầy đủ phạm vi bảo hộ của sáng chế đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật này. Các số tham chiếu giống nhau đề cập đến các thành phần tương tự xuyên suốt.

Cần hiểu rằng khi một thành phần được gọi là “ở trên” thành phần khác, nó có thể ở ngay trên thành phần khác hoặc có thể có các thành phần xen kẽ ở giữa. Ngược lại, khi một thành phần được gọi là “ở ngay trên” thành phần khác, thì không có các thành phần xen kẽ.

Cần hiểu rằng, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, “thứ ba” v.v. có thể được sử dụng ở đây để mô tả các phần tử, thành phần, vùng, lớp, và/hoặc đoạn khác nhau, các phần tử, thành phần, vùng, lớp, và/hoặc đoạn này không bị giới hạn với các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một phần tử, thành phần, vùng, lớp, và/hoặc đoạn với phần tử, thành phần, vùng, lớp, và/hoặc đoạn khác. Do đó, “phần tử”, “thành phần”, “vùng”, “lớp”, và/hoặc “đoạn” thứ nhất được đề cập ở dưới có thể được gọi là “phần tử”, “thành phần”, “vùng”, “lớp”, và/hoặc “đoạn” thứ hai mà không vượt ra ngoài nội dung sáng chế.

Thuật ngữ được sử dụng ở đây chỉ với mục đích mô tả các phương án cụ thể và không nhằm làm giới hạn. Như được sử dụng ở đây, các dạng số ít “a”, “an”, và “the” - “một” nhằm bao gồm các dạng số nhiều, bao gồm “ít nhất một”, trừ khi ngữ cảnh chỉ ra hoàn toàn khác. “Hoặc” nghĩa là “và/hoặc”. Như được sử dụng ở đây, thuật ngữ “và/hoặc” bao gồm kết hợp bất kỳ hoặc tất cả các kết hợp của một hoặc nhiều mục được liệt kê liên quan. Cũng cần hiểu rằng các thuật ngữ “bao gồm”, và/hoặc “gồm”, và/hoặc

“gồm có” và/hoặc “có” khi được sử dụng trong bản mô tả này, chỉ ra sự có mặt của các dấu hiệu, vùng, số nguyên, bước, hoạt động, yếu tố, và/hoặc thành phần được nêu, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, vùng, số nguyên, bước, hoạt động, yếu tố, thành phần khác, và/hoặc nhóm của chúng.

Ngoài ra, các thuật ngữ liên quan, như “bên dưới” hoặc “ở dưới cùng”, hoặc “bên trên” hoặc “trên cùng” có thể được sử dụng trong bản mô tả này để mô tả mối tương quan của một phần tử với phần tử khác như được minh họa trên các hình vẽ. Cần hiểu rằng các thuật ngữ liên quan được dự tính bao gồm các hướng khác nhau của thiết bị ngoài hướng được minh họa trên các hình vẽ. Ví dụ, nếu thiết bị ở một trong số các hình vẽ được đảo lại, các thành phần được mô tả là “bên dưới” thành phần khác có thể được đặt “ở trên” thành phần khác. Thuật ngữ minh họa “bên dưới”, do đó có thể bao gồm cả hai hướng “bên trên” và “bên dưới”, phụ thuộc vào hướng cụ thể trên hình vẽ. Tương tự, nếu thiết bị ở một trong số các hình vẽ được đảo lại, các thành phần được mô tả là “bên dưới” hoặc “ở dưới” thành phần khác sẽ được đặt “ở trên” các thành phần khác. Do đó, thuật ngữ minh họa “bên dưới” hoặc “ở dưới” có thể bao gồm cả hai vị trí bên trên và bên dưới.

Trừ khi được định nghĩa khác đi, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng ở đây có cùng nghĩa như được hiểu thông thường bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này mà sáng chế đề cập đến. Cũng cần hiểu rằng các thuật ngữ, như các thuật ngữ được định nghĩa trong các từ điển thông dụng, cần được hiểu là có nghĩa phù hợp với các ý nghĩa của chúng trong ngữ cảnh của lĩnh vực kỹ thuật liên quan và phần bộc lộ của sáng chế, và sẽ không được giải thích với nghĩa được lý tưởng hóa hoặc quá trang trọng trừ khi được chỉ ra rõ ràng ở đây.

Các phương án làm ví dụ được mô tả ở đây với tham chiếu đến các minh họa mặt cắt ngang là các minh họa dạng sơ đồ của các phương án được lý tưởng hóa. Như vậy, các biến thể từ các hình dạng minh họa làm kết quả, ví dụ, các kỹ thuật sản xuất và/hoặc các dung sai, được mong đợi. Do đó, các phương án được mô tả ở đây không nên hiểu là bị giới hạn với các hình dạng cụ thể của các vùng như được minh họa ở đây nhưng bao gồm các độ lệch về các hình dạng là do kết quả, ví dụ, từ quy trình sản xuất. Ví dụ, vùng được minh họa hoặc mô tả là phẳng có thể, thường, có các đặc tính mấp mô và/hoặc không phẳng. Ngoài ra, các góc nhọn được minh họa có thể dạng tròn. Do đó, các vùng được minh họa trên các hình vẽ là sơ lược về bản chất và các hình dạng của chúng không

nhằm minh họa hình dạng chính xác của vùng và không nhằm để giới hạn phạm vi của các điểm yêu cầu bảo hộ.

Các phương án làm ví dụ sẽ được mô tả đầy đủ hơn sau đây với tham chiếu đến các hình vẽ kèm theo, trong đó các phương án làm ví dụ được thể hiện.

Fig.1 là sơ đồ minh họa thiết bị hiển thị theo một phương án làm ví dụ. Fig.2 là sơ đồ mặt cắt ngang minh họa phương án làm ví dụ của thiết bị hiển thị trên Fig.1.

Tham chiếu đến các hình vẽ Fig.1 và Fig.2, phương án làm ví dụ của thiết bị hiển thị 1000 có thể bao gồm panen hiển thị 100, gói chip trên màng (COF) 200, và bảng mạch in (PCB) 300.

Panen hiển thị 100 có thể là một trong số các panen hiển thị khác nhau như panen hiển thị phát quang hữu cơ, panen hiển thị tinh thể lỏng, panen hiển thị plasma, panen hiển thị điện di và panen hiển thị điện ẩm, chẳng hạn. Sau đây, để tiện mô tả, các phương án làm ví dụ trong đó panen hiển thị 100 là panen hiển thị phát quang hữu cơ sẽ được mô tả chi tiết.

Panen hiển thị 100 có thể hiển thị hình ảnh. Panen hiển thị 100 có thể bao gồm lớp nền thứ nhất 10 và lớp nền thứ hai 20.

Lớp nền thứ nhất 10 có thể bao gồm nhiều điểm ảnh được bố trí trong dạng ma trận trong vùng hiển thị (hoặc vùng hoạt động). Lớp nền thứ nhất 10 còn có thể bao gồm bộ điều khiển cổng (không được thể hiện) và bộ điều khiển dữ liệu (không được thể hiện) để điều khiển các điểm ảnh. Lớp nền thứ nhất 10 có thể có kích thước hoặc tỷ lệ tương đối lớn so với lớp nền thứ hai 20 trong hình chiếu bằng, ví dụ, khi được quan sát từ hình chiếu bằng từ trên. Nhiều đệm (hoặc các điện cực đệm) có thể được bố trí trên một phần của lớp nền thứ nhất 10 không chồng lên lớp nền thứ hai 20. Các đệm có thể được nối điện với bộ điều khiển cổng và bộ điều khiển dữ liệu theo cách sao cho các tín hiệu được tác dụng vào các đệm được truyền đến bộ điều khiển cổng và bộ điều khiển dữ liệu.

Lớp nền thứ hai 20 có thể được gắn với lớp nền thứ nhất 10 để bao các điểm ảnh, các mạch và dây dẫn được bố trí trên lớp nền thứ nhất 10. Panen hiển thị 100 còn có thể bao gồm màng phân cực được gắn vào một bề mặt của lớp nền thứ hai 20 để ngăn chặn

phản xạ của ánh sáng bên ngoài.

Gói COF 200 có thể nối điện panen hiển thị 100 với PCB 300. Gói COF 200 có thể bao gồm lớp nền của đế 220 (hoặc màng đế, lớp nền dẻo) và chip mạch tích hợp (integrated circuit - IC) 210. Ở đây, như được thể hiện trên Fig.2, chip IC 210 có thể được gắn trên mặt trên của lớp nền của đế 220. Sau đây, bề mặt trên của gói COF 200 hoặc mặt trên của lớp nền của đế 220 được xác định là bề mặt mà chip IC 210 được lắp hoặc được đính. Ngoài ra, mặt dưới của gói COF 200 hoặc mặt dưới của lớp nền của đế 220 được xác định là bề mặt mà trên đó chip IC 210 không được lắp hoặc được gắn.

Theo một phương án làm ví dụ, một đầu của gói COF 200 có thể được gắn với các đệm của panen hiển thị 100 được nối điện với panen hiển thị 100. Theo phương án này, đầu đối diện của gói COF 200 có thể được gắn với PCB 300 để được nối điện với PCB 300. Gói COF 200 có thể được bố trí hoặc được gắn trên panen hiển thị 100 ở trạng thái uốn cong (ví dụ, trong dạng chữ C). Theo một phương án làm ví dụ, chẳng hạn, panen hiển thị 100 có thể được nối với mặt dưới của lớp nền của đế 220 ở một đầu của gói COF 200. PCB 300 có thể được nối với mặt trên của lớp nền của đế 220 ở đầu đối diện của gói COF 200.

Theo một phương án làm ví dụ, như được thể hiện trên Fig.1, thiết bị hiển thị 1000 có thể bao gồm 4 gói COF được đặt cách xa nhau theo hướng thứ hai DR2, nhưng số lượng các gói COF không bị giới hạn ở đó. Theo một phương án làm ví dụ, chẳng hạn, số lượng các gói COF được chứa trong thiết bị hiển thị 1000 có thể được biến đổi khác nhau.

PCB 300 có thể bao gồm lớp nền điều khiển và nhiều mạch để điều khiển panen hiển thị 100. Khi gói COF 200 được uốn cong và được gắn với lớp nền thứ nhất 10, PCB 300 có thể được bố trí bên dưới lớp nền thứ nhất 10.

Mặc dù không được thể hiện trên Fig.1, theo một phương án làm ví dụ, thiết bị hiển thị 1000 còn có thể bao gồm vỏ, và theo phương án này, panen hiển thị 100, gói COF 200, và PCB 300 có thể được chứa trong vỏ.

Fig.3A là sơ đồ minh họa phương án làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Tham chiếu đến các hình vẽ Fig.1, Fig.2 và Fig.3A, phương án làm ví dụ của gói COF 200 có thể bao gồm lớp nền của đế 220, nhiều đệm (hoặc nhiều đầu cuối đệm), chip IC 210, đường phát hiện thứ nhất TL1, và đường phát hiện thứ hai TL2.

Khi được quan sát từ hình chiếu bằng, gói COF 200 có thể bao gồm vùng uốn BA và vùng không uốn NA. Gói COF 200 có thể được uốn cong trong vùng uốn BA. Vùng uốn BA có thể có độ rộng không đổi theo hướng thứ nhất DR1 và có thể kéo dài theo hướng thứ hai DR2. Gói COF 200 có thể không được uốn cong trong vùng không uốn NA ngay cả nếu gói COF 200 được uốn cong trong vùng uốn BA. Do đó, vùng không uốn NA có thể được xác định với vùng còn lại trừ vùng uốn BA trong lớp nền của đế 220.

Vùng không uốn NA có thể bao gồm vùng đệm thứ nhất AR1 (hoặc vùng gắn thứ nhất, vùng gắn bằng chì bên ngoài đầu vào), và vùng đệm thứ hai AR2 (hoặc vùng gắn thứ hai, vùng gắn bằng chì bên ngoài đầu ra). Vùng đệm thứ nhất AR1 có thể là vùng được gắn với PCB 300 và có thể bao gồm nhiều đệm đầu vào ITP1, ITP2, đệm giả DP, và nhiều đệm tín hiệu SP. Vùng đệm thứ hai AR2 có thể là vùng được gắn với panen hiển thị 100 và có thể bao gồm nhiều đệm đầu ra OTP1, OTP2 và nhiều đệm tín hiệu SP. Theo một phương án làm ví dụ, như được thể hiện trên Fig.3A, vùng đệm thứ nhất AR1 và vùng đệm thứ hai AR2 có thể được xác định lần lượt trong các vùng đối diện. Vùng đệm thứ nhất AR1 có thể kéo dài theo hướng thứ hai DR2 và được bố trí ở một đầu (hoặc liền kề với một đầu) của gói COF 200 theo hướng thứ nhất DR1. Vùng đệm thứ hai AR2 có thể kéo dài theo hướng thứ hai DR2 và được bố trí ở đầu còn lại (hoặc liền kề với đầu đối diện) của gói COF 200 theo hướng thứ nhất DR1.

Vùng đệm thứ nhất AR1 và vùng đệm thứ hai AR2 có thể được đặt cách xa khỏi vùng uốn BA. Vùng thứ ba AR3 có thể được bố trí giữa vùng đệm thứ nhất AR1 và vùng đệm thứ hai AR2. Vùng uốn BA có thể được bao gồm trong vùng thứ ba AR3. Vùng uốn BA có thể được bố trí giữa vùng đệm thứ nhất AR1 và chip IC 210 hoặc giữa vùng đệm thứ hai AR2 và chip IC 210. Theo một phương án làm ví dụ, như được thể hiện trên Fig.3A, vùng uốn BA có thể được bố trí giữa vùng đệm thứ hai AR2 và chip IC 210.

Lớp nền của đế 220 có thể là màng dẻo. Lớp nền của đế 220 có thể bao gồm mặt trên và mặt dưới đối diện với mặt trên. Chip IC 210 có thể được bố trí trên mặt trên của lớp nền của đế 220. Chip IC 210 có thể bao gồm nhiều đầu cuối và có thể được nối điện

với các đệm tín hiệu SP thông qua các đường tín hiệu.

Theo một phương án làm ví dụ, đường phát hiện thứ nhất TL1 có thể được bố trí trên lớp nền của đế 220 và có thể được nối với đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2. Đường phát hiện thứ nhất TL1 có thể tạo ra vòng thứ nhất giữa đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2 thông qua vùng đệm thứ hai AR2. Ở đây, vòng thể hiện mạch điện mà tín hiệu có thể truyền qua đó. Ví dụ, đệm đầu vào thứ hai ITP2 nhận tín hiệu hồi đáp dựa trên tín hiệu được tác dụng vào đệm đầu vào thứ nhất ITP1 thông qua vòng thứ nhất giữa đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2

Theo một phương án làm ví dụ, đường phát hiện thứ nhất TL1 có thể bao gồm đường phát hiện phụ thứ nhất STL1 và đường phát hiện phụ thứ hai STL2. Đường phát hiện phụ thứ nhất STL1 có thể nối đệm đầu vào thứ nhất ITP1 với đệm đầu ra thứ nhất OTP1, và đường phát hiện phụ thứ hai STL2 có thể nối đệm đầu vào thứ hai ITP2 với đệm đầu ra thứ hai OTP2. Đường phát hiện phụ thứ nhất STL1 và đường phát hiện phụ thứ hai STL2 có thể được đặt cách xa nhau theo hướng thứ hai DR2. Mỗi trong số đường phát hiện phụ thứ nhất STL1 và đường phát hiện phụ thứ hai STL2 có thể kéo dài theo hướng thứ nhất DR1 và có thể ở dạng gần như đường thẳng. Đường phát hiện phụ thứ nhất STL1 và đường phát hiện phụ thứ hai STL2 có thể được nối liền trong vùng đệm thứ hai AR2 qua đệm ngăn thứ nhất OTS1. Theo phương án này, đệm ngăn thứ nhất OTS1 có thể được bao gồm trong panen hiển thị 100 và có thể được bố trí tương ứng với đường nối đệm đầu ra thứ nhất OTP1 và đệm đầu ra thứ hai OTP2 trong lớp nền thứ nhất 10. Khi gói COF 200 được gắn với panen hiển thị 100, đệm ngăn thứ nhất OTS1 nối đệm đầu ra thứ nhất OTP1 và đệm đầu ra thứ hai OTP2 ở khoảng cách ngắn nhất.

Để tham khảo, quy trình kiểm tra để xác định xem liệu gói COF 200 có bị hư hại hay không có thể được thực hiện sử dụng thiết bị kiểm tra (mạch kiểm tra, hoặc chip IC). Ví dụ, quy trình kiểm tra có thể được thực hiện sử dụng thiết bị kiểm tra bên ngoài hoặc bên trong trong suốt quy trình sản xuất của thiết bị hiển thị 1000. Trong quy trình kiểm tra, thiết bị kiểm tra có thể được nối với đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2. Thiết bị kiểm tra có thể tác dụng tín hiệu thử nghiệm vào một (ví dụ, đệm đầu vào thứ nhất ITP1) trong số đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2, nhận tín hiệu đo được thứ nhất từ đệm còn lại (ví dụ, đệm đầu vào thứ hai ITP2) trong số

đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2, và xác định xem liệu gói COF 200 có bị hư hại hay không dựa trên tín hiệu thử nghiệm và tín hiệu đo được thứ nhất. Trong quy trình kiểm tra, thiết bị kiểm tra có thể đặt điện áp thử nghiệm thứ nhất giữa đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2, nhận dòng điện đo được thứ nhất từ đệm đầu vào thứ hai ITP2, và tính toán giá trị điện trở thứ nhất của vòng thứ nhất dựa trên điện áp thử nghiệm thứ nhất và dòng điện đo được thứ nhất. Ở đây, giá trị điện trở thứ nhất của vòng thứ nhất có thể bao gồm các giá trị điện trở (hoặc các giá trị điện trở chịu nén, các giá trị điện trở gắn, các giá trị điện trở tiếp xúc) của các đệm đầu vào thứ nhất và thứ hai ITP1 và ITP2, các giá trị điện trở của các đệm đầu ra thứ nhất và thứ hai OTP1 và OTP2, và giá trị điện trở của đường phát hiện thứ nhất TL1. Giá trị điện trở thứ nhất của vòng thứ nhất có thể được tính toán theo phương trình 1 sau đây.

[Phương trình 1]

$$R1 = R_{ITP1} + R_{ITP2} + R_{OTP1} + R_{OTP2} + R_{TL1}$$

Trong phương trình 1, R1 thể hiện giá trị điện trở thứ nhất của vòng thứ nhất, R_{ITP1} thể hiện giá trị điện trở của đệm đầu vào thứ nhất ITP1, R_{ITP2} thể hiện giá trị điện trở của đệm đầu vào thứ hai ITP2, R_{OTP1} thể hiện giá trị điện trở của đệm đầu ra thứ nhất OTP1, R_{OTP2} thể hiện giá trị điện trở của đệm đầu ra thứ hai OTP2, và R_{TL1} thể hiện giá trị điện trở của đường phát hiện thứ nhất TL1.

Do đó, thiết bị kiểm tra có thể xác định nhanh chóng xem liệu hư hại có bị phát sinh hay không trong các vùng được bao gồm trong gói COF 200 như vùng đệm thứ nhất AR1, vùng đệm thứ hai AR2 và vùng uốn BA, chẳng hạn.

Tuy nhiên, khi liệu gói COF 200 có bị hư hại hay không được xác định chỉ sử dụng đường phát hiện thứ nhất TL1, vị trí và nguyên nhân gây hư hại trong gói COF 200 có thể không bị phát hiện. Sự hư hại trong gói COF 200 có thể xảy ra do khuyết tật của các đệm đầu vào thứ nhất và thứ hai ITP1 và ITP2, sự chịu nén kém của vùng đệm thứ hai AR2, vết nứt trong vùng uốn BA, v.v. Theo một phương án làm ví dụ của sáng chế, gói COF 200 còn bao gồm đường phát hiện thứ hai TL2 ngoài đường phát hiện thứ nhất TL1 ra. Theo phương án này, nguyên nhân và vị trí hư hại trong gói COF 200 có thể được

phân tích sử dụng đường phát hiện thứ hai TL2 chính xác hơn.

Theo một phương án làm ví dụ, đường phát hiện thứ hai TL2 có thể được bố trí trên lớp nền của đế 220. Đường phát hiện thứ hai TL2 có thể nối đệm giả DP với đường phát hiện thứ nhất TL1 (hoặc đường phát hiện phụ thứ nhất STL1) qua vùng thứ ba AR3 để tạo vòng thứ hai giữa đệm giả DP và đệm đầu vào thứ nhất ITP1. Đường phát hiện thứ hai TL2 có thể đi qua vùng uốn BA.

Theo một phương án làm ví dụ, đệm giả DP có thể bao gồm khóa sắp thẳng AK. Theo một phương án làm ví dụ, chẳng hạn, đệm giả DP có thể được tạo liền khối để có khóa sắp thẳng AK. Theo phương án này, khóa sắp thẳng AK có thể được sử dụng để xác định trạng thái sắp thẳng của các đệm đầu vào ITP1, ITP2 và các đệm tín hiệu SP hoặc được sử dụng để xác định trạng thái sắp thẳng giữa gói COF 200 và panen hiển thị 100 khi gói COF 200 được nối với panen hiển thị 100. Theo phương án này về gói COF 200, đệm giả DP có thể không được nối với các đường tín hiệu hoặc các đường phát hiện và có thể không được sử dụng để truyền các tín hiệu, sẽ được mô tả chi tiết sau đây với tham chiếu đến Fig.8. Do đó, theo một phương án làm ví dụ của gói COF 200, đường phát hiện thứ hai TL2 có thể được nối với đệm giả DP (hoặc đệm bao gồm khóa sắp thẳng AK), nhờ đó giảm kích thước của vùng đệm thứ nhất AR1 và làm giảm giá thành sản xuất của chúng.

Theo một phương án làm ví dụ, thiết bị kiểm tra có thể tác động tín hiệu thử nghiệm vào một (ví dụ, đệm đầu vào thứ nhất ITP1) trong số đệm giả DP và đệm đầu vào thứ nhất ITP1, nhận tín hiệu đo được thứ hai thông qua đệm còn lại (ví dụ, đệm giả DP) trong số đệm giả DP và các đệm đầu vào thứ nhất ITP1, và xác định vị trí hư hại trong gói COF 200 dựa trên tín hiệu thử nghiệm và tín hiệu đo được thứ hai. Theo một phương án làm ví dụ, chẳng hạn, thiết bị kiểm tra có thể đặt điện áp thử nghiệm thứ hai giữa đệm giả DP và đệm đầu vào thứ nhất ITP1, nhận dòng điện đo được thứ hai từ đệm giả DP, và tính toán giá trị điện trở thứ hai của vòng thứ hai dựa trên điện áp thử nghiệm thứ hai và dòng điện đo được thứ hai. Ở đây, giá trị điện trở thứ hai của vòng thứ hai có thể bao gồm các giá trị điện trở (hoặc các giá trị điện trở chịu nén, các giá trị điện trở gấn, các giá trị điện trở tiếp xúc) của đệm giả DP và đệm đầu vào thứ nhất ITP1, và giá trị điện trở của đường phát hiện thứ hai TL2. Giá trị điện trở thứ hai của vòng thứ hai có thể được tính toán theo phương trình 2 sau đây.

[Phương trình 2]

$$R_2 = R_{DP} + R_{ITP1} + R_{TL2}$$

Trong phương trình 2, R_2 thể hiện giá trị điện trở thứ hai của vòng thứ hai, R_{DP} thể hiện giá trị điện trở của đệm giả DP, R_{ITP1} thể hiện giá trị điện trở của đệm đầu vào thứ nhất ITP1, và R_{TL2} thể hiện giá trị điện trở của đường phát hiện thứ hai TL2.

Giá trị điện trở của đệm giả DP có thể gần bằng với giá trị điện trở của đệm đầu vào thứ nhất ITP1 vì đệm giả DP tương tự với đệm đầu vào thứ nhất ITP1 (ví dụ, khi cả hai đệm gần như có cùng tỷ lệ) và đệm giả DP liền kề với đệm đầu vào thứ nhất ITP1 (ví dụ, khi cả hai đệm được gắn theo cùng cách). Ngoài ra, giá trị điện trở của đường phát hiện thứ hai TL2 có thể gần bằng với giá trị điện trở của đường phát hiện thứ nhất TL1. Trong trường hợp này, phương trình 2 có thể được viết lại thành phương trình 3.

[Phương trình 3]

$$R_2 = 2R_{ITP1} + R_{TL1}$$

Tương tự, đệm đầu vào thứ hai ITP2 có thể tương tự với đệm đầu vào thứ nhất ITP1, và đệm đầu ra thứ hai OTP2 có thể tương tự với đệm đầu ra thứ nhất OTP1. Do đó phương trình 1 có thể được viết lại thành phương trình 4.

[Phương trình 4]

$$R_1 = 2R_{ITP1} + 2R_{OTP1} + R_{TL1}$$

Do đó, thiết bị kiểm tra có thể tính toán các giá trị điện trở của các đệm đầu ra OTP1 và OTP2 và các đường phát hiện TL1 và TL2 dựa trên các giá trị điện trở của các đệm đầu vào thứ nhất và thứ hai ITP1 và ITP2, phương trình 3 và phương trình 4, và nhờ đó xác định vị trí hư hại dựa trên sự thay đổi trong các giá trị điện trở.

Theo một phương án làm ví dụ, như được mô tả ở trên với tham chiếu đến Fig.3A,

gói COF 200 bao gồm đường phát hiện thứ nhất TL1 cho phép thiết bị kiểm tra xác định nhanh chóng xem liệu gói COF 200 có bị hư hại hay không. Theo phương án này, gói COF 200 bao gồm đường phát hiện thứ hai TL2 cho phép thiết bị kiểm tra xác định chính xác vị trí và nguyên nhân gây hư hại trong gói COF 200. Theo phương án này, vị trí và nguyên nhân gây hư hại có thể được phát hiện sử dụng đệm giả DP (tức là, đệm bao gồm khóa sắp thẳng AK và không được sử dụng thông thường). Theo phương án này, gói COF 200 có thể có kết cấu đơn giản mà không có kết cấu hoặc thành phần bổ sung để phát hiện các hư hại.

Fig.3B là sơ đồ minh họa phương án thay thế làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Tham chiếu đến Fig.3A và Fig.3B, gói COF 200 trên Fig.3B gần giống hoặc tương tự với gói COF 200 trên Fig.3A trừ việc bố trí các đệm đầu ra OTP1 đến OTP4 và kết cấu nối của đường phát hiện thứ nhất TL1. Do đó, phần mô tả chi tiết lặp lại bất kỳ về các thành phần giống nhau hoặc tương tự sau đây sẽ bị lược bỏ hoặc được đơn giản hóa.

Theo một phương án làm ví dụ, vùng đệm thứ hai AR2 có thể bao gồm vùng đệm phụ thứ nhất ARS1 và vùng đệm phụ thứ hai ARS2. Vùng đệm phụ thứ nhất ARS1 có thể bao gồm các đệm đầu ra thứ nhất và thứ ba OTP1 và OTP3. Vùng đệm phụ thứ hai ARS2 có thể bao gồm các đệm đầu ra thứ hai và thứ tư OTP2 và OTP4. Khi độ rộng của PCB 300 (tức là, độ dài của PCB 300 theo hướng thứ hai DR2) tương đối hẹp, khoảng cách (hoặc khoảng bước) giữa các đệm đầu ra OTP1 đến OTP4 có thể hẹp. Nó có thể gây ra các sai hỏng như đoản mạch. Do đó, gói COF 200 có thể bố trí các đệm đầu ra OTP1 đến OTP4 và các đệm tín hiệu SP trong hai hàng để ngăn chặn các sai hỏng.

Theo một phương án làm ví dụ, như được thể hiện trên Fig.3B, vùng đệm phụ thứ nhất ARS1 có thể bao gồm các đệm được đánh số lẻ (hoặc các đệm đầu ra), và vùng đệm phụ thứ hai ARS2 có thể bao gồm các đệm được đánh số chẵn (hoặc các đệm đầu ra), nhưng việc bố trí các đệm không bị giới hạn ở đó. Theo một phương án thay thế làm ví dụ, chẳng hạn, vùng đệm phụ thứ nhất ARS1 có thể bao gồm các đệm được đánh số chẵn. Theo phương án này, cặp hai đệm liền kề có thể được bố trí xen nhau trong vùng đệm phụ thứ nhất và thứ hai ARS1 và ARS2.

Theo một phương án làm ví dụ, đường phát hiện thứ nhất TL1 có thể bao gồm các đường phát hiện phụ thứ ba đến thứ sáu STL3 đến STL6. Đường phát hiện phụ thứ ba STL3 có thể nối đệm đầu vào thứ nhất ITP1 với đệm đầu ra thứ nhất OTP1. Đường phát hiện phụ thứ tư STL4 có thể nối đệm đầu vào thứ hai ITP2 với đệm đầu ra thứ hai OTP2. Đường phát hiện phụ thứ năm STL5 có thể nối đệm đầu vào thứ hai ITP2 với đệm đầu ra thứ ba OTP3. Đường phát hiện phụ thứ sáu STL6 có thể nối đệm đầu vào thứ ba ITP3 với đệm đầu ra thứ tư OTP4. Đệm đầu ra thứ nhất OTP1 và đệm đầu ra thứ ba OTP3 có thể được nối liền với nhau thông qua đệm ngăn thứ hai OTS2. Đệm đầu ra thứ hai OTP2 và đệm đầu ra thứ tư OTP4 có thể được nối liền với nhau thông qua đệm ngăn thứ ba OTS3. Đệm ngăn thứ hai OTS2 và đệm ngăn thứ ba OTS3 có thể được bao gồm trong panen hiển thị 100, tương tự với đệm ngăn thứ nhất OTS1 được mô tả ở trên với tham chiếu đến Fig.3A. Đệm ngăn thứ hai OTS2 có thể được bố trí tương ứng với đường để nối đệm đầu ra thứ nhất OTP1 và đệm đầu ra thứ ba OTP3 trong lớp nền thứ nhất 10. Đệm ngăn thứ hai OTS2 có thể nối đệm đầu ra thứ nhất OTP1 với đệm đầu ra thứ ba OTP3 ở khoảng cách ngắn nhất. Tương tự, đệm ngăn thứ ba OTS3 có thể được bố trí tương ứng với đường để nối đệm đầu ra thứ hai OTP2 và đệm đầu ra thứ tư OTP4 trong lớp nền thứ nhất 10. Đệm ngăn thứ ba OTS3 có thể nối đệm đầu ra thứ hai OTP2 với đệm đầu ra thứ tư OTP4 ở khoảng cách ngắn nhất. Các đường phát hiện phụ thứ ba đến thứ sáu STL3 đến STL6 có thể được đặt cách xa theo hướng thứ hai DR2 và thường có thể kéo dài theo hướng thứ nhất DR1.

Theo phương án này, vòng phụ thứ nhất có thể được tạo ra với đường phát hiện phụ thứ ba STL3, đường phát hiện phụ thứ năm STL5 và đệm ngăn thứ hai OTS2. Do đó, vòng phụ thứ nhất có thể nối đệm đầu vào thứ nhất ITP1 với đệm đầu vào thứ hai ITP2 và có thể được tạo ra giữa đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ hai ITP2 thông qua vùng đệm phụ thứ nhất ARS1. Theo phương án này, vòng phụ thứ hai có thể được tạo ra với đường phát hiện phụ thứ tư STL4, đường phát hiện phụ thứ sáu STL6 và đệm ngăn thứ ba OTS3. Do đó, vòng phụ thứ hai có thể nối đệm đầu vào thứ hai ITP2 với đệm đầu vào thứ ba ITP3 và có thể được tạo ra giữa đệm đầu vào thứ hai ITP2 và đệm đầu vào thứ ba ITP3 thông qua vùng đệm phụ thứ hai ARS2. Theo phương án này, vòng thứ nhất có thể bao gồm các vòng phụ thứ nhất và thứ hai.

Đường phát hiện thứ hai TL2 có thể được bố trí trên lớp nền của đế 220. Đường

phát hiện thứ hai TL2 có thể nối đệm giả DP với đường phát hiện thứ nhất TL1 (hoặc đường phát hiện phụ thứ ba STL3) thông qua vùng thứ ba AR3 để tạo vòng thứ hai giữa đệm giả DP và đệm đầu vào thứ nhất ITP1. Đường phát hiện thứ hai TL2 có thể truyền qua vùng uốn BA. Đệm giả DP có thể bao gồm khóa sắp thẳng AK.

Gói COF 200 còn có thể bao gồm đường phát hiện thứ ba TL3. Đường phát hiện thứ ba TL3 có thể tạo vòng thứ ba bằng cách nối đệm đầu vào thứ ba ITP3 với đệm đầu vào thứ tư ITP4. Đường phát hiện thứ ba TL3 có thể nối đệm đầu vào thứ ba ITP3 với đệm đầu vào thứ tư ITP4 với đường đi tương đối ngắn.

Theo phương án này, như được mô tả với tham chiếu đến Fig.3A, quy trình kiểm tra để xác định xem liệu gói COF 200 có bị hư hại hay không có thể được thực hiện sử dụng thiết bị kiểm tra trong quy trình sản xuất thiết bị hiển thị 1000.

Thiết bị kiểm tra có thể đặt điện áp thử nghiệm thứ nhất giữa đệm đầu vào thứ nhất ITP1 và đệm đầu vào thứ ba ITP3, nhận dòng điện đo được thứ nhất từ đệm đầu vào thứ ba ITP3, và tính toán giá trị điện trở thứ nhất của vòng thứ nhất dựa trên điện áp thử nghiệm thứ nhất và dòng điện đo được thứ nhất. Ở đây, vòng thứ nhất chỉ bao đường từ đệm đầu vào thứ nhất ITP1 đến đệm đầu vào thứ ba ITP3 trên Fig.3B. Giá trị điện trở thứ nhất của vòng thứ nhất có thể bao gồm các giá trị điện trở (hoặc các giá trị điện trở chịu nén, các giá trị điện trở gấn, các giá trị điện trở tiếp xúc) của các đệm đầu vào thứ nhất và thứ ba ITP1 và ITP3, các giá trị điện trở của các đệm đầu ra thứ nhất đến thứ tư OTP1 đến OTP4, và giá trị điện trở của đường phát hiện thứ nhất TL1. Giá trị điện trở thứ nhất của vòng thứ nhất có thể được tính toán theo phương trình 5.

[Phương trình 5]

$$R1 = 2R_{ITP1} + 4R_{OPT1} + R_{TL1}$$

Trong phương trình 5, R1 thể hiện giá trị điện trở thứ nhất của vòng thứ nhất, R_{ITP1} thể hiện giá trị điện trở của đệm đầu vào thứ nhất ITP1, R_{OPT1} thể hiện giá trị điện trở của đệm đầu ra thứ nhất OTP1, và R_{TL1} thể hiện giá trị điện trở của đường phát hiện thứ nhất TL1. Ở đây, giả sử rằng giá trị điện trở của đệm đầu vào thứ ba ITP3 bằng giá trị điện trở của đệm đầu vào thứ nhất ITP1, mỗi trong số các giá trị điện trở của đệm đầu ra thứ hai

đến thứ tư OTP2, OTP3, OTP4 bằng giá trị điện trở của đệm đầu ra thứ nhất OTP1.

Khi giá trị điện trở thứ nhất của vòng thứ nhất nằm ngoài vùng sai số của giá trị điện trở tham chiếu (ví dụ, khi giá trị điện trở thứ nhất lớn hơn giá trị điện trở tham chiếu), thiết bị kiểm tra có thể xác định gói COF 200 bị hư hại.

Thiết bị kiểm tra có thể xác định xem liệu có hư hại phát sinh hay không trong vùng đệm thứ nhất AR1 bằng cách đặt điện áp thử nghiệm thứ tư giữa đệm đầu vào thứ ba ITP3 và đệm đầu vào thứ tư ITP4. Ngoài ra, thiết bị kiểm tra có thể xác định xem liệu có hư hại hay không trong vùng uốn BA hoặc tương tự dựa trên phương trình 3 bằng cách đặt điện áp thử nghiệm thứ hai vào đệm giả DP và đệm đầu vào thứ nhất ITP1. Ngoài ra, thiết bị kiểm tra có thể xác định xem liệu có hư hại hay không trong vùng đệm thứ hai AR2 dựa trên phương trình 3 và phương trình 5. Tương tự, thiết bị kiểm tra có thể xác định lần lượt xem liệu có hư hại hay không trong vùng đệm phụ thứ nhất ARS1 và vùng đệm phụ thứ hai ARS2 của vùng đệm thứ hai AR2.

Như được mô tả ở trên với tham chiếu đến Fig.3B, phương án làm ví dụ của gói COF 200 có thể bao gồm các đệm được bố trí trong hai hàng và đường phát hiện thứ nhất TL1 theo cách sao cho thiết bị kiểm tra xác định nhanh chóng xem liệu gói COF 200 có bị hư hại hay không. Theo phương án này, gói COF 200 có thể bao gồm đường phát hiện thứ hai TL2 theo cách sao cho thiết bị kiểm tra xác định chính xác vị trí và nguyên nhân gây hư hại trong gói COF 200.

Theo một phương án làm ví dụ, như được thể hiện trên Fig.3B, vùng đệm thứ hai AR2 bao gồm các đệm được bố trí trong hai hàng và vùng đệm thứ nhất AR1 bao gồm các đệm được bố trí trong một hàng, nhưng không bị giới hạn ở đó. Theo một phương án thay thế làm ví dụ, ví dụ, khi độ rộng của panen hiển thị 100 tương đối hẹp (ví dụ, panen hiển thị đối với thiết bị hiển thị được gắn vào đầu), vùng đệm thứ nhất AR1 của gói COF 200 có thể bao gồm các đệm được bố trí trong hai hàng.

Các hình vẽ từ Fig.4A đến Fig.4F là các sơ đồ minh họa phương án làm ví dụ của gói COF trên Fig.3B.

Trên các hình vẽ từ Fig.4A đến Fig.4F, hình vẽ mặt cắt trong đó gói COF 200 được cắt dọc theo đường cắt I-I' và hình chiếu bằng của gói COF 200 được thể hiện trên

cơ sở trạng thái của gói COF 200 trên Fig.1 (do đó, trạng thái trong đó gói COF 200 được nối với panen hiển thị 100 không uốn).

Theo một phương án làm ví dụ, lớp nền của đế 220 có thể bao gồm một hoặc nhiều lớp. Mỗi trong số đường phát hiện thứ nhất TL1 và đường phát hiện thứ hai TL2 có thể được bố trí hoặc được tạo ra trên một hoặc nhiều lớp.

Lớp nền của đế 220 có thể bao gồm lớp cách điện thứ nhất L2. Lớp dẫn điện thứ nhất L1 có thể được bố trí trên bề mặt (ví dụ, mặt dưới) của lớp cách điện thứ nhất L2. Lớp dẫn điện thứ hai L3 có thể được bố trí trên bề mặt đối diện (ví dụ, bề mặt trên) của lớp cách điện thứ nhất L2. Mỗi trong số đường phát hiện thứ nhất TL1 và đường phát hiện thứ hai TL2 có thể được xác định hoặc được tạo ra với lớp dẫn điện thứ nhất L1 hoặc lớp dẫn điện thứ hai L3. Lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3 có thể có tính dẫn điện cao bao gồm kim loại như đồng (Cu), niken (Ni) và vàng (Au), chẳng hạn. Theo một phương án làm ví dụ, như được mô tả ở trên với tham chiếu đến Fig.4A, lớp nền của đế 220 có thể có một lớp (tức là, lớp cách điện thứ nhất L2), nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, chẳng hạn, lớp nền của đế 220 có thể là lớp nền dẻo gồm nhiều lớp cách điện. Theo phương án này, mỗi trong số đường phát hiện thứ nhất TL1 và đường phát hiện thứ hai TL2 có thể được xác định hoặc được tạo ra thông qua nhiều lớp cách điện. Theo một phương án làm ví dụ, chẳng hạn, mỗi trong số đường phát hiện thứ nhất TL1 và đường phát hiện thứ hai TL2 có thể được bố trí tách biệt trên mặt trên và mặt dưới của một trong số nhiều lớp cách điện, và được bố trí giữa nhiều lớp cách điện.

Đường chấm chấm được thể hiện trên Fig.4A chỉ kết cấu lỗ dẫn VIA để nối điện điểm cụ thể của lớp dẫn điện thứ nhất L1 với điểm cụ thể của lớp dẫn điện thứ hai L3 qua lớp cách điện thứ nhất L2.

Theo một phương án làm ví dụ, như được thể hiện trên Fig.4B, lớp dẫn điện thứ nhất L1 có thể bao gồm các đệm đầu ra thứ nhất đến thứ tư OTP1 đến OTP4, đường phát hiện một phần thứ nhất TL2-1 của đường phát hiện thứ hai TL2, đường phát hiện một phần phụ thứ nhất STL3-1 của đường phát hiện phụ thứ ba STL3, và đường phát hiện phụ thứ năm STL5. Đường phát hiện một phần phụ thứ nhất STL3-1 có thể được nối với đệm đầu ra thứ nhất OTP1 và kết cấu lỗ dẫn thứ hai VIA2. Đường phát hiện phụ thứ năm

STL5 có thể được nối với đệm đầu ra thứ ba OTP3 và kết cấu lỗ dẫn thứ ba VIA3. Đường phát hiện một phần thứ nhất TL2-1 có thể được nối với đường phát hiện một phần phụ thứ nhất STL3-1 và kết cấu lỗ dẫn thứ nhất VIA1.

Theo phương án này, như được thể hiện trên Fig.4C, lớp dẫn điện thứ hai L3 có thể bao gồm đường phát hiện một phần thứ hai TL2-2 của đường phát hiện thứ hai TL2, đường phát hiện một phần phụ thứ hai STL3-2 của đường phát hiện phụ thứ ba STL3, đường phát hiện phụ thứ tư STL4, đường phát hiện phụ thứ sáu STL6, và đường phát hiện thứ ba TL3. Đường phát hiện một phần thứ hai TL2-2 có thể được nối với kết cấu lỗ dẫn thứ nhất VIA1. Đường phát hiện một phần phụ thứ hai STL3-2 có thể được nối với kết cấu lỗ dẫn thứ hai VIA2. Đường phát hiện phụ thứ tư STL4 có thể được nối với kết cấu lỗ dẫn thứ ba VIA3 và kết cấu lỗ dẫn thứ tư VIA4. Đường phát hiện phụ thứ sáu STL6 có thể được nối với kết cấu lỗ dẫn thứ năm VIA5 và đường phát hiện thứ ba TL3.

Fig.4D minh họa lớp dẫn điện thứ nhất L1, lớp cách điện thứ nhất L2, và lớp dẫn điện thứ hai L3 được chồng liên tiếp lên nhau.

Đường phát hiện thứ hai TL2 có thể bao gồm đường phát hiện một phần thứ nhất TL2-1 của lớp dẫn điện thứ nhất L1 và đường phát hiện một phần thứ hai TL2-2 của lớp dẫn điện thứ hai L3. Đường phát hiện một phần thứ nhất TL2-1 và đường phát hiện một phần thứ hai TL2-2 có thể được nối với nhau thông qua kết cấu lỗ dẫn thứ nhất VIA1. Do đó, đường phát hiện thứ hai TL2 có thể được tạo ra với lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3 (tức là, được tạo ra thông qua lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3).

Theo phương án này, đường phát hiện phụ thứ ba STL3 có thể bao gồm đường phát hiện một phần phụ thứ nhất STL3-1 của lớp dẫn điện thứ nhất L1 và đường phát hiện một phần phụ thứ hai STL3-2 của lớp dẫn điện thứ hai L3. Đường phát hiện một phần phụ thứ nhất STL3-1 có thể được nối với đường phát hiện một phần phụ thứ hai STL3-2 thông qua kết cấu lỗ dẫn thứ hai VIA2. Do đó, đường phát hiện phụ thứ ba STL3 có thể được tạo ra với lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3.

Đường phát hiện phụ thứ tư STL4 có thể được nối với đệm đầu ra thứ hai OTP2 của lớp dẫn điện thứ nhất L1 thông qua kết cấu lỗ dẫn thứ tư VIA4 và có thể được nối với

đường phát hiện phụ thứ năm STL5 của lớp dẫn điện thứ nhất L1 thông qua kết cấu lỗ dẫn thứ ba VIA3.

Tương tự, đường phát hiện phụ thứ sáu STL6 có thể được nối với đệm đầu ra thứ tư OTP4 của lớp dẫn điện thứ nhất L1 thông qua kết cấu lỗ dẫn thứ năm VIA5.

Theo phương án này, như được thể hiện trên Fig.4E, lớp nền thứ nhất 10 của panen hiển thị 100 có thể bao gồm đệm ngăn thứ hai OTS2 và đệm ngăn thứ ba OTS3 được bố trí ở các vị trí tương ứng với các đệm đầu ra thứ nhất đến thứ tư OTP1 đến OTP4.

Theo một phương án làm ví dụ, như được thể hiện trên Fig.4A và Fig.4F, khi lớp nền thứ nhất 10 của panen hiển thị 100 được gắn với lớp nền của đế 220 (hoặc gói COF 200), đệm ngăn thứ hai OTS2 có thể nối đệm đầu ra thứ nhất OTP1 với đệm đầu ra thứ ba OTP3, và đệm ngăn thứ ba OTS3 có thể nối đệm đầu ra thứ hai OTP2 với đệm đầu ra thứ tư OTP4.

Do đó, như được mô tả ở trên với tham chiếu đến Fig.3B, vòng phụ thứ nhất có thể được tạo ra với đường phát hiện phụ thứ ba STL3, đường phát hiện phụ thứ năm STL5, và đệm ngăn thứ hai OTS2. Vòng phụ thứ hai có thể được tạo ra với đường phát hiện phụ thứ tư STL4, đường phát hiện phụ thứ sáu STL6, và đệm ngăn thứ ba OTS3. Ngoài ra, vòng thứ hai có thể được tạo thành với đường phát hiện thứ hai TL2 và đường phát hiện phụ thứ ba STL3.

Theo phương án này, như được mô tả ở trên, mỗi trong số đường phát hiện thứ nhất TL1 và đường phát hiện thứ hai TL2 có thể được tạo ra thông qua nhiều lớp (tức là, lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3).

Theo một phương án làm ví dụ, trong đó gói COF 200 bao gồm các đệm được bố trí trong hai hàng như được thể hiện trên Fig.3B, các đường phát hiện (hoặc các đường tín hiệu) có thể được tạo ra thông qua nhiều lớp để ngăn chặn nhiễu giữa các đệm và các đường phát hiện (hoặc các đường tín hiệu). Theo một phương án làm ví dụ, các đường phát hiện được bao gồm trong gói COF 200 có thể được tạo ra thông qua nhiều lớp, không bị giới hạn với kết cấu có một lớp.

Theo các phương án làm ví dụ, như được mô tả ở trên với tham chiếu đến các hình vẽ từ Fig.4A đến Fig.4F, lớp nền của đế 220 được tạo ra với một lớp cách điện (tức là, lớp cách điện thứ nhất L2), và đường phát hiện thứ hai TL2 và đường phát hiện thứ ba TL3 được tạo thành với hai lớp (tức là, lớp dẫn điện thứ nhất L1 và lớp dẫn điện thứ hai L3) được nối với nhau thông qua các kết cấu lỗ dẫn, nhưng không bị giới hạn ở đó. Theo một phương án làm ví dụ, chẳng hạn, lớp nền của đế 220 có thể bao gồm nhiều lớp cách điện, và mỗi trong số các đường phát hiện phụ thứ ba đến thứ sáu STL3 đến STL6 có thể được tạo ra với các lớp dẫn điện được bố trí trên hoặc giữa nhiều lớp cách điện.

Fig.5 là sơ đồ minh họa phương án làm ví dụ của gói COF trên Fig.3A. Các hình vẽ từ Fig.6A đến Fig.6C là các sơ đồ minh họa các phương án làm ví dụ của gói COF trên Fig.5.

Trên Fig.3A và Fig.5, gói COF 200 trên Fig.5 có thể gần như giống gói COF 200 trên Fig.3A trừ mẫu hình phát hiện DPL. Do đó, phần mô tả chi tiết lặp lại bất kỳ về các thành phần giống nhau hoặc tương tự sau đây sẽ bị bỏ qua hoặc làm đơn giản.

Theo một phương án làm ví dụ, đường phát hiện thứ hai TL2 có thể bao gồm mẫu hình phát hiện DPL kéo dài theo hướng thứ nhất DR1 trong một phần của vùng thứ ba AR3 để có độ dài tương đối dài hơn so với đường thẳng. Theo một phương án làm ví dụ, chẳng hạn, mẫu hình phát hiện DPL có thể được bố trí trong mẫu hình zíc zắc (ví dụ, sơ đồ so le hoặc sơ đồ đường gấp khúc). Ở đây, mẫu hình zíc zắc thể hiện các mẫu hình khác nhau đối với độ dài tương đối dài hơn. Ví dụ, mẫu hình zíc zắc có thể là mẫu hình được làm từ các góc có một hoặc nhiều góc.

Theo một phương án làm ví dụ, mẫu hình phát hiện DPL có thể được bố trí trong vùng uốn BA.

Theo phương án này, như được mô tả ở trên, vì vùng uốn BA tương đối dễ bị hư hại, gói COF 200 (hoặc đường phát hiện thứ hai TL2) có thể bao gồm mẫu hình phát hiện DPL để tăng cường khả năng phát hiện đối với hư hại trong vùng uốn BA và để tăng cường khả năng phát hiện của thiết bị kiểm tra ngoài.

Theo một phương án làm ví dụ, gói COF 200 có thể xác định vị trí của mẫu hình phát hiện DPL tương ứng với vùng uốn BA.

Trên hình vẽ Fig.6A, theo một phương án làm ví dụ, vùng uốn hoặc vùng uốn thứ nhất BA1 có thể được bố trí trong vùng trung tâm trong đó chip IC 210 được bố trí (tức là, vùng bao gồm phần trung tâm của vùng của gói COF 200). Theo phương án này, mẫu hình phát hiện thứ nhất DPL1 có thể được tạo ra trong vùng uốn thứ nhất BA1. Mẫu hình phát hiện thứ nhất DPL1 có thể có mẫu hình zíc zắc thay đổi theo hướng (ví dụ, hướng thẳng đứng) khác với hướng (ví dụ, hướng nằm ngang) trong đó mẫu hình phát hiện trên Fig.5 thay đổi. Mẫu hình phát hiện thứ nhất DPL1 có thể có độ dài tương đối dài và diện tích tương đối lớn so với đường thẳng trong vùng uốn thứ nhất BA1. Theo đó, gói COF 200 có thể tăng cường khả năng phát hiện hư hại đối với phần tương đối lớn của vùng uốn thứ nhất BA1, và có thể tăng cường độ nhạy phát hiện hư hại đối với vùng uốn thứ nhất BA1.

Tham chiếu đến Fig.6B, theo phương án thay thế làm ví dụ, vùng uốn hoặc vùng uốn thứ hai BA2 có thể được bố trí liền kề với PCB 300 (hoặc vùng đệm thứ nhất AR1). Theo phương án này, mẫu hình phát hiện thứ hai DPL2 có thể được tạo ra trên vùng uốn thứ hai BA2. Do đó, gói COF 200 có thể tăng cường khả năng phát hiện hư hại đối với phần tương đối lớn của vùng uốn thứ hai BA2 và độ nhạy của việc phát hiện hư hại đối với vùng uốn thứ hai BA2.

Tham chiếu đến Fig.6C, theo phương án làm ví dụ khác, vùng uốn hoặc vùng uốn thứ ba BA3 có thể được bố trí liền kề với panen hiển thị 100 (hoặc vùng đệm thứ hai AR2). Theo phương án này, mẫu hình phát hiện thứ ba DPL3 có thể được tạo ra trên vùng uốn thứ ba BA3. Gói COF 200 có thể tăng cường khả năng phát hiện hư hại đối với vùng uốn thứ ba BA3.

Theo các phương án này, như được mô tả ở trên, gói COF 200 (hoặc đường phát hiện thứ hai TL2) có thể bao gồm mẫu hình phát hiện DPL được tạo ra trong vùng uốn BA, nhờ đó tăng cường khả năng phát hiện hư hại đối với vùng uốn BA. Theo các phương án này, như được thể hiện trên các hình vẽ từ Fig.6A đến Fig.6C, mẫu hình phát hiện, ví dụ, mẫu hình phát hiện thứ nhất đến thứ ba DPL1 đến DPL3, có thể được bố trí tương ứng với vùng uốn, ví dụ, vùng uốn thứ nhất đến thứ ba BA1 đến BA3, nhưng các vị trí của các mẫu hình phát hiện không bị giới hạn ở đó. Theo một phương án làm ví dụ, chẳng hạn, khi vùng mà trong đó hư hại xảy ra thường xuyên, gói COF 200 có thể bao gồm mẫu hình phát hiện DPL trong vùng mà sự hư hại phát sinh thường xuyên không kể

vùng uốn BA.

Các hình vẽ từ Fig.7A đến Fig.7C là các sơ đồ minh họa các phương án làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Trên Fig.7A, theo một phương án làm ví dụ, đệm giả DP có thể được bố trí ở phần mép của vùng đệm thứ nhất AR1. Do đó, đệm giả DP có thể là đệm ngoài cùng trong số các đệm được bố trí trên vùng đệm thứ nhất AR1. Theo phương án này, đường phát hiện thứ hai TL2 có thể được bố trí dọc theo mép (hoặc liền kề với mép) của gói COF 200. Theo đó, hư hại phát sinh theo hướng từ mép của gói COF 200 đến phần trung tâm của gói COF 200 có thể được phát hiện hiệu quả.

Trên Fig.7B, theo phương án thay thế làm ví dụ, đệm giả DP có thể được bố trí liền kề với phần trung tâm của vùng đệm thứ nhất AR1 (ví dụ, điểm giữa theo hướng nằm ngang của vùng đệm thứ nhất AR1). Do đó, đệm giả DP có thể là đệm tương đối liền kề với điểm giữa trong số các đệm được tạo ra trong vùng đệm thứ nhất AR1. Theo phương án này, đường phát hiện thứ hai TL2 có thể được bố trí bên trong gói COF 200. Hư hại trong vùng uốn thứ hai BA2 được thể hiện trên Fig.6B và phát sinh theo hướng từ phần trung tâm của gói COF 200 đến mép của gói COF 200 có thể được phát hiện hiệu quả.

Theo phương án này, vì đệm giả DP được tạo ra độc lập với đường phát hiện thứ nhất TL1, đệm giả DP có thể được xác định với cặp đệm giả DP1 và DP2 được nối với nhau bằng đường phát hiện thứ hai TL2 được sử dụng để phát hiện hư hại.

Tham chiếu đến Fig.7C, theo phương án thay thế làm ví dụ, đệm giả DP có thể được bố trí liền kề với phần trung tâm của vùng đệm thứ nhất AR1 như trên Fig.7B. Theo phương án này, đường phát hiện thứ hai TL2 trên Fig.7C có thể được bố trí để bao quanh một phần chip IC 210. Theo phương án này, hư hại trong vùng uốn thứ nhất BA1 trên Fig.6A và phát sinh theo hướng từ phần trung tâm của gói COF 200 đến mép của gói COF 200 có thể được phát hiện hiệu quả.

Theo phương án làm ví dụ, như được mô tả ở trên với tham chiếu đến các hình vẽ từ Fig.7A đến Fig.7C, vị trí của đệm giả DP và việc bố trí (hoặc vị trí) của đường phát hiện thứ hai TL2 có thể được xác định dựa trên vị trí của vùng uốn BA và các đặc tính phát sinh hư hại (ví dụ, cách phát sinh hư hại, trong đó sự hư hại phát sinh, v.v.).

Fig.8A là sơ đồ minh họa phương án thay thế khác làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Trên Fig.1 và Fig.8A, phương án làm ví dụ của gói COF 200 có thể bao gồm lớp nền của đế 220, nhiều đệm (hoặc nhiều điện cực đệm), chip IC 210, đường phát hiện thứ nhất TL1, và đường phát hiện thứ hai TL2.

Theo phương án này, gói COF 200 có thể bao gồm vùng uốn BA và vùng không uốn NA. Vùng không uốn NA có thể bao gồm vùng đệm thứ tư AR4 (hoặc vùng gắn bằng chì bên trong), vùng đệm thứ năm AR5 (hoặc vùng gắn bằng chì bên ngoài đầu ra), và vùng đệm thứ sáu AR6 (hoặc vùng gắn bằng chì bên ngoài đầu vào). Vùng thứ bảy AR7 có thể được bố trí giữa vùng đệm thứ tư AR4 và vùng đệm thứ năm AR5. Vùng uốn BA có thể được bố trí trong vùng thứ bảy AR7. Tương tự với phương án làm ví dụ của gói COF 200 được thể hiện trên Fig.3A, vùng đệm thứ năm AR5 có thể là vùng được gắn với panen hiển thị 100. Theo phương án này, vùng đệm thứ tư AR4 có thể là vùng được gắn với chip IC 210, và vùng đệm thứ sáu AR6 có thể là vùng được gắn với PCB 300. Vùng đệm thứ tư AR4 có thể được bố trí ở phần trung tâm của gói COF 200 theo hướng thứ nhất DR1. Vùng đệm thứ năm AR5 có thể được bố trí ở một đầu (hoặc liền kề với một đầu) của gói COF 200 theo hướng thứ nhất DR1, và vùng đệm thứ sáu AR6 có thể được bố trí ở đầu còn lại (hoặc liền kề với đầu còn lại) của gói COF 200 theo hướng thứ nhất DR1.

Vùng đệm thứ tư AR4 có thể bao gồm đệm giả DP, các đệm bên trong INTP1, INTP2, và các đệm tín hiệu SP. Vùng đệm thứ năm AR5 có thể bao gồm các đệm đầu ra OTP1, OTP2 và các đệm tín hiệu SP. Vùng đệm thứ sáu AR6 có thể bao gồm các đệm đầu vào ITP1, ITP2 và các đệm tín hiệu SP.

Đường phát hiện thứ nhất TL1 có thể được bố trí trên lớp nền của đế 220 và có thể được nối với đệm bên trong thứ nhất INTP1 và đệm bên trong thứ hai INTP2. Đường phát hiện thứ nhất TL1 có thể tạo vòng thứ nhất giữa đệm bên trong thứ nhất INTP1 và đệm bên trong thứ hai INTP2 thông qua vùng đệm thứ năm AR5.

Đường phát hiện thứ hai TL2 có thể được bố trí trên lớp nền của đế 220. Đường phát hiện thứ hai TL2 có thể nối đệm giả DP với đường phát hiện thứ nhất TL1 để tạo

vòng thứ hai giữa đệm giả DP và đệm bên trong thứ nhất INTP1.

Kết cấu nối của đệm giả DP và các đường phát hiện thứ nhất/thứ hai TL1, TL2 trên Fig.8A có thể gần giống hoặc tương tự với kết cấu nối của đệm giả DP và các đường phát hiện thứ nhất/thứ hai TL1, TL2 trên Fig.3A. Do đó, phần mô tả chi tiết lặp lại bất kỳ của các thành phần giống hoặc tương tự sau đây sẽ được lược bỏ hoặc được làm đơn giản.

Theo phương án này, tương tự với thiết bị kiểm tra ngoài được mô tả ở trên với tham chiếu đến Fig.3A, chip IC 210 có thể tác động tín hiệu thử nghiệm thứ nhất vào một (ví dụ, đệm bên trong thứ nhất INTP1) trong số đệm bên trong thứ nhất INTP1 và đệm bên trong thứ hai INTP2, nhận tín hiệu đo được thứ nhất từ đệm còn lại (ví dụ, đệm bên trong thứ hai INTP2) trong số đệm bên trong thứ nhất INTP1 và đệm bên trong thứ hai INTP2, và xác định xem liệu gói COF 200 có bị hư hại hay không dựa trên tín hiệu thử nghiệm thứ nhất và tín hiệu đo được thứ nhất. Theo một phương án làm ví dụ, chẳng hạn, chip IC 210 có thể đặt điện áp thử nghiệm thứ nhất giữa đệm bên trong thứ nhất INTP1 và đệm bên trong thứ hai INTP2, nhận dòng điện đo được thứ nhất từ đệm bên trong thứ hai INTP2, và tính toán giá trị điện trở thứ nhất của vòng thứ nhất dựa trên điện áp thử nghiệm thứ nhất và dòng điện đo được thứ nhất. Ở đây, giá trị điện trở thứ nhất của vòng thứ nhất có thể bao gồm các giá trị điện trở (ví dụ, các giá trị điện trở chịu nén, các giá trị điện trở gấn hoặc các giá trị điện trở tiếp xúc) của các đệm bên trong thứ nhất và thứ hai INTP1 và INTP2, các giá trị điện trở của các đệm đầu ra thứ nhất và thứ hai OTP1 và OTP2, và giá trị điện trở của đường phát hiện thứ nhất TL1. Giá trị điện trở thứ nhất của vòng thứ nhất có thể được tính toán theo phương trình 1 được mô tả ở trên.

Theo phương án này, chip IC 210 có thể tác động tín hiệu thử nghiệm thứ hai vào một (ví dụ, đệm bên trong thứ nhất INTP1) trong số đệm giả DP và đệm bên trong thứ nhất INTP1, nhận tín hiệu đo được thứ hai thông qua đệm còn lại (ví dụ, đệm giả DP) trong số đệm giả DP và đệm bên trong thứ nhất INTP1, và xác định vị trí và nguyên nhân gây hư hại trong gói COF 200 dựa trên tín hiệu thử nghiệm thứ hai và tín hiệu đo được thứ hai. Theo một phương án làm ví dụ, chẳng hạn, chip IC 210 có thể đặt điện áp thử nghiệm thứ hai giữa đệm giả DP và đệm bên trong thứ nhất INTP1, nhận dòng điện đo được thứ hai từ đệm giả DP, và tính toán giá trị điện trở thứ hai của vòng thứ hai dựa trên điện áp thử nghiệm thứ hai và dòng điện đo được thứ hai. Ở đây, giá trị điện trở thứ hai

của vòng thứ hai có thể bao gồm các giá trị điện trở (ví dụ, các giá trị điện trở chịu nén, các giá trị điện trở gắn hoặc các giá trị điện trở tiếp xúc) của đệm giả DP và đệm bên trong thứ nhất INTP1, và giá trị điện trở của đường phát hiện thứ hai TL2. Giá trị điện trở thứ hai của vòng thứ hai có thể được tính toán theo phương trình 2 được mô tả ở trên.

Do đó, chip IC 210 có thể tính toán lần lượt các giá trị điện trở của các đệm đầu ra OTP1, OTP2 và các đường phát hiện TL1 và TL2 dựa trên các phương trình 1 và 2 (hoặc các phương trình 3 và 4), và có thể xác định vị trí hư hại dựa trên sự thay đổi trong các giá trị điện trở.

Theo một phương án làm ví dụ, chip IC 210 có thể phát hiện liên tục (hoặc giám sát) liệu gói COF 200 có bị hư hại hay không trong khi thiết bị hiển thị 1000 được điều khiển bình thường. Theo phương án này, chip IC 210 có thể truyền kết quả giám sát đến thiết bị bên ngoài (ví dụ, bộ xử lý ứng dụng (AP)), và thiết bị bên ngoài có thể điều khiển thiết bị hiển thị 1000 dựa trên kết quả giám sát. Theo một phương án làm ví dụ, chẳng hạn, khi gói COF 200 bị hư hại, bộ xử lý ứng dụng có thể dừng panen hiển thị 100 dựa trên kết quả giám sát không hiển thị hình ảnh.

Theo một phương án làm ví dụ, đệm giả DP có thể được nối với đệm bên trong thứ hai INTP2 với đường đi tương đối ngắn. Chip IC 210 có thể đặt điện áp thử nghiệm thứ ba giữa đệm giả DP và đệm bên trong thứ hai INTP2, nhận dòng điện đo được thứ ba từ đệm giả DP, và tính toán các giá trị điện trở của các đệm bên trong INTP1, INTP2 dựa trên điện áp thử nghiệm thứ ba và dòng điện đo được thứ ba.

Theo một phương án làm ví dụ, gói COF 200 còn có thể bao gồm đường giả DL. Đường giả DL có thể kéo dài từ vùng đệm thứ năm AR5 (hoặc một đầu của lớp nền của đế 220) đến vùng đệm thứ sáu AR6 (hoặc đầu còn lại của lớp nền của đế 220) theo hướng thứ nhất DR1. Theo phương án này, đường phát hiện thứ hai TL2 có thể được xác định với ít nhất một phần đường giả DL.

Theo một phương án làm ví dụ, chẳng hạn, gói COF 200 còn có thể bao gồm đệm giả đầu ra ODP được bố trí trên vùng đệm thứ năm AR5 và đệm giả đầu vào IDP được bố trí trên vùng đệm thứ sáu AR6. Theo phương án này, đường giả DL có thể nối đệm giả đầu ra ODP với đệm giả đầu vào IDP. Các đường phát hiện thứ nhất và thứ hai TL1, TL2

trên Fig.8A không thể che toàn bộ vùng của gói COF 200 và có thể che chỉ một phần (ví dụ, một nửa vùng) của gói COF 200 trên cơ sở của hướng thứ nhất DR1. Do đó, đường giả DL có thể được tạo ra trong quy trình sản xuất của gói COF 200 để đưa ra đường phát hiện thứ hai TL2, và sau đó đường giả DL có thể không được sử dụng sau khi gói COF 200 được nối với panen hiển thị 100 và PCB 300.

Gói COF 200 có thể tạo ra đường phát hiện thứ hai TL2 (hoặc vòng thứ hai) sử dụng đệm giả DP (tức là, đệm bao gồm khóa sắp thẳng và không được sử dụng thông thường) và đường giả DL (tức là, đường để phát hiện vết nứt trong quy trình sản xuất gói COF 200 và không được sử dụng đối với thiết bị hiển thị 1000). Do đó, gói COF 200 có thể xác định xem liệu có hư hại phát sinh hay không, và xác định vị trí hoặc nguyên nhân gây hư hại nhanh chóng và chính xác hơn.

Theo một phương án làm ví dụ, kết cấu của các đường phát hiện thứ nhất và thứ hai TL1 và TL2 không bị giới hạn với nội dung được thể hiện trên Fig.8A. Theo một phương án làm ví dụ, chẳng hạn, đường phát hiện thứ hai TL2 có thể được tạo ra với các đường phát hiện phụ của nhiều lớp tương tự đường phát hiện thứ hai TL2 được mô tả ở trên với tham chiếu đến các hình vẽ từ Fig.4A đến Fig.4F. Theo một phương án làm ví dụ, đường phát hiện thứ hai TL2 có thể bao gồm mẫu hình phát hiện DPL tương tự đường phát hiện thứ hai TL2 được mô tả ở trên với tham chiếu đến Fig.5. Theo một phương án làm ví dụ, việc bố trí/kết cấu của đường phát hiện thứ hai TL2 và vị trí của mẫu hình phát hiện DPL có thể được xác định dựa trên vị trí của vùng uốn BA và các đặc tính phát sinh hư hại (ví dụ, nguyên nhân/kiểu hư hại, trong đó sự hư hại phát sinh, v.v.) tương tự với đường phát hiện thứ hai TL2 được mô tả ở trên với tham chiếu đến các hình vẽ từ Fig.6A đến Fig.6C và Fig.7A đến Fig.7C.

Fig.8B là sơ đồ minh họa phương án thay thế khác nữa làm ví dụ của gói COF được bao gồm trong thiết bị hiển thị trên Fig.1.

Tham chiếu đến Fig.8A và Fig.8B, gói COF 200 trên Fig.8B có thể gần giống với gói COF 200 trên Fig.8A trừ việc bố trí các đệm đầu ra OTP1 đến OTP4 và kết cấu nối của đường phát hiện thứ nhất TL1. Ngoài ra, việc bố trí các đệm đầu ra OTP1 đến OTP4 và kết cấu nối của đường phát hiện thứ nhất TL1 có thể gần giống với việc bố trí các đệm đầu ra OTP1 đến OTP4 và kết cấu nối của đường phát hiện thứ nhất TL1 được thể hiện

trên Fig.3B. Do đó, phần mô tả chi tiết lặp lại bất kỳ về các thành phần giống nhau hoặc tương tự sau đây sẽ bị lược bỏ hoặc làm đơn giản.

Theo phương án này, như được mô tả ở trên với tham chiếu đến Fig.3B, chip IC 210 có thể tính toán giá trị điện trở thứ nhất của vòng thứ nhất và giá trị điện trở thứ hai của vòng thứ hai, và có thể xác định xem liệu ít nhất một trong số các đệm đầu ra và vùng uốn có bị hư hại hay không dựa trên giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

Theo một phương án làm ví dụ, chẳng hạn, chip IC 210 có thể đặt điện áp thử nghiệm thứ nhất giữa đệm bên trong thứ nhất INTP1 và đệm bên trong thứ ba INTP3, nhận dòng điện đo được thứ nhất từ đệm bên trong thứ ba INTP3, và tính toán giá trị điện trở thứ nhất của vòng thứ nhất dựa trên điện áp thử nghiệm thứ nhất và dòng điện đo được thứ nhất. Ở đây, giá trị điện trở thứ nhất của vòng thứ nhất có thể bao gồm các giá trị điện trở (hoặc các giá trị điện trở chịu nén, các giá trị điện trở gấn, các giá trị điện trở tiếp xúc) của các đệm bên trong thứ nhất và thứ ba INTP1 và INTP3, các giá trị điện trở của các đệm đầu ra thứ nhất đến thứ tư OTP1 đến OTP4, và giá trị điện trở của đường phát hiện thứ nhất TL1. Giá trị điện trở thứ nhất của vòng thứ nhất có thể được tính toán bởi phương pháp gần giống với hoặc tương tự với [Phương trình 5] nêu trên.

Khi giá trị điện trở thứ nhất của vòng thứ nhất nằm ngoài khoảng sai số của giá trị điện trở tham chiếu (ví dụ, khi giá trị điện trở thứ nhất lớn hơn giá trị điện trở tham chiếu), chip IC 210 có thể xác định là gói COF 200 bị hư hại.

Theo một phương án làm ví dụ, chẳng hạn, chip IC 210 có thể đặt điện áp thử nghiệm thứ tư giữa đệm bên trong thứ ba INTP3 và đệm bên trong thứ tư INTP4 để xác định xem liệu vùng đệm thứ nhất AR1 có bị hư hại hay không. Theo phương án này, chip IC 210 có thể xác định xem liệu có hư hại hay không trong vùng uốn BA hoặc tương tự dựa trên phương trình 3 được mô tả ở trên bằng cách đặt điện áp thử nghiệm thứ hai vào đệm giả DP và đệm bên trong thứ nhất INTP1. Theo phương án này, chip IC 210 có thể xác định xem liệu có xảy ra hư hại hay không trong vùng đệm thứ năm AR5 dựa trên phương trình 3 và phương trình 5. Theo phương án này, chip IC 210 có thể xác định lần lượt xem liệu có xảy ra hư hại hay không trong vùng đệm phụ thứ nhất ARS1 và vùng đệm phụ thứ hai ARS2 của vùng đệm thứ năm AR5.

Theo phương án này, như được mô tả ở trên với tham chiếu đến Fig.8A, chip IC 210 có thể phát hiện (hoặc giám sát) liên tục liệu gói COF 200 có bị hư hại hay không trong khi thiết bị hiển thị 1000 được điều khiển bình thường. Theo phương án này, chip IC 210 có thể truyền kết quả giám sát đến thiết bị bên ngoài (ví dụ, bộ xử lý ứng dụng (application processor - AP)), và thiết bị bên ngoài có thể điều khiển thiết bị hiển thị 1000 dựa trên kết quả giám sát.

Fig.9 là sơ đồ mặt cắt ngang minh họa phương án làm ví dụ của thiết bị hiển thị trên Fig.1.

Tham chiếu đến Fig.1 và Fig.9, phương án làm ví dụ của thiết bị hiển thị 1000 có thể bao gồm panen hiển thị 100, gói COF 200, và PCB 300. Panen hiển thị 100, gói COF 200, và PCB 300 gần giống với panen hiển thị 100, gói COF 200, và PCB 300 theo các phương án làm ví dụ được mô tả ở trên với tham chiếu đến Fig.2, trừ panen hiển thị 100 được uốn cong thay cho gói COF 200. Do đó, phần mô tả chi tiết lặp lại bất kỳ về các thành phần giống nhau hoặc tương tự sau đây sẽ bị bỏ qua hoặc làm đơn giản.

Panen hiển thị 100 có thể bao gồm lớp nền thứ nhất 10 và lớp nền thứ hai 20. Lớp nền thứ nhất 10 có thể bao gồm nhiều điểm ảnh và mạch điều khiển (ví dụ, bộ điều khiển cổng, v.v.). Lớp nền thứ nhất 10 có thể là lớp nền dẻo. Lớp nền thứ hai 20 có thể đóng bao các điểm ảnh hoặc các thành phần tương tự trong lớp nền thứ nhất 10, và có thể bao gồm vật liệu dẻo. Panen hiển thị 100 có thể được nối với gói COF 200 (hoặc PCB 300) trong trạng thái uốn cong (ví dụ, có dạng chữ "C").

Fig.10 là sơ đồ minh họa phương án thay thế làm ví dụ của panen hiển thị được bao gồm trong thiết bị hiển thị trên Fig.9.

Tham chiếu đến Fig.9 và Fig.10, phương án làm ví dụ của panen hiển thị 100 có thể bao gồm lớp nền thứ nhất 10 (hoặc lớp nền của đế, màng đế, lớp nền dẻo), nhiều đệm (hoặc nhiều điện cực đệm), đường phát hiện thứ nhất TL1, và đường phát hiện thứ hai TL2.

Trong hình chiếu bằng, panen hiển thị 100 có thể bao gồm vùng panen uốn cong PBA và vùng panen không uốn cong PNA. Tương tự vùng uốn BA được mô tả ở trên với tham chiếu đến Fig.2, panen hiển thị 100 có thể được uốn cong trong vùng panen uốn

cong PBA. Theo một phương án làm ví dụ, chẳng hạn, khi panen hiển thị 100 là panen hiển thị gấp được, panen hiển thị gấp được có thể được gấp trong vùng panen uốn cong PBA. Vùng panen uốn cong PBA có thể có độ rộng không đổi theo hướng thứ nhất DR1 và có thể kéo dài theo hướng thứ hai DR2. Panen hiển thị 100 có thể không được uốn cong trong vùng panen không uốn cong PNA ngay cả nếu panen hiển thị 100 được uốn cong trong vùng panen uốn cong PBA. Nghĩa là, vùng panen không uốn cong PNA có thể là vùng ngoại trừ vùng panen uốn cong PBA trong lớp nền thứ nhất 10.

Vùng panen không uốn cong PNA có thể bao gồm vùng đệm thứ tám AR8. Vùng đệm thứ tám AR8 có thể là vùng được gắn với gói COF 200 (hoặc, PCB 300) và có thể bao gồm đệm giả DP và các đệm P1, P2. Vùng đệm thứ tám AR8 có thể được bố trí ở một đầu của panen hiển thị 100 theo hướng thứ nhất DR1.

Đường phát hiện thứ nhất TL1 có thể được bố trí trên lớp nền thứ nhất 10 và có thể được nối với đệm thứ nhất P1 và đệm thứ hai P2. Đường phát hiện thứ nhất TL1 có thể tạo vòng thứ nhất giữa đệm thứ nhất P1 và đệm thứ hai P2 thông qua một phần của bên ngoài (hoặc mép) của lớp nền thứ nhất 10. Đường phát hiện thứ nhất TL1 có thể bao gồm ít nhất trong số hai đường thẳng SL1, SL2. Hai đường thẳng SL1, SL2 có thể lần lượt được đặt cách xa nhau theo hướng thứ hai DR2, và có thể kéo dài theo hướng thứ nhất DR1.

Đường phát hiện thứ hai TL2 có thể được bố trí trên lớp nền thứ nhất 10. Đường phát hiện thứ hai TL2 có thể nối đệm giả DP với đường phát hiện thứ nhất TL1 thông qua vùng panen uốn cong PBA để tạo vòng thứ hai giữa đệm giả DP và đệm thứ nhất P1.

Theo một phương án làm ví dụ, đệm giả DP có thể bao gồm khóa sắp thẳng AK. Theo phương án này, như được mô tả ở trên, khóa sắp thẳng AK có thể được sử dụng để xác định trạng thái sắp thẳng của các đệm P1, P2 và các đệm tín hiệu SP hoặc được sử dụng để xác định trạng thái sắp thẳng giữa gói COF 200 và panen hiển thị 100 khi gói COF 200 được nối với panen hiển thị 100.

Theo phương án này, như được mô tả ở trên với tham chiếu đến Fig.3A, có thể xác định được xem liệu panen hiển thị 100 có bị hư hại hay không sử dụng thiết bị kiểm tra ngoài. Thiết bị kiểm tra ngoài có thể xác định xem liệu các đệm thứ nhất và thứ hai P1,

P2 và đường phát hiện thứ nhất TL1 (hoặc, phần mép của panen hiển thị) có bị hư hại hay không sử dụng đệm thứ nhất P1 và đệm thứ hai P2. Theo phương án này, thiết bị kiểm tra ngoài có thể xác định xem liệu vùng panen uốn cong PBA có bị hư hại hay không sử dụng đệm thứ nhất P1 và đệm giả DP.

Khi đường phát hiện thứ nhất TL1 tạo ra vòng thứ nhất bằng cách nối các đệm hoặc thành phần khác ngoài các đệm P1, P2, liệu panen hiển thị 100 có bị hư hại hay không có thể được phát hiện nhanh chóng sử dụng vòng thứ nhất, tuy nhiên, vị trí và nguyên nhân gây hư hại không thể được phát hiện hiệu quả. Theo một phương án làm ví dụ, panen hiển thị 100 còn bao gồm đường phát hiện thứ hai TL2, nhờ đó phát hiện sự hư hại của vùng panen uốn cong PBA dễ dàng hơn.

Theo phương án này, kết cấu của các đường phát hiện thứ nhất và thứ hai TL1, TL2 không bị giới hạn với nội dung được thể hiện trên Fig.10. Theo một phương án làm ví dụ, chẳng hạn, panen hiển thị 100 có thể bao gồm các đệm được bố trí trong hai hàng, và đường phát hiện thứ nhất TL1 có thể gần giống với đường phát hiện thứ nhất TL1 theo các phương án làm ví dụ được mô tả ở trên với tham chiếu đến Fig.3B. Theo một phương án làm ví dụ, chẳng hạn, tương tự đường phát hiện thứ hai TL2 được thể hiện trên các hình vẽ từ Fig.4A đến Fig.4F, đường phát hiện thứ hai TL2 có thể được tạo ra với các đường phát hiện phụ của nhiều lớp dẫn điện, các đường phát hiện phụ được bố trí trên hoặc giữa nhiều lớp cách điện. Theo một phương án làm ví dụ, tương tự với đường phát hiện thứ hai TL2 được thể hiện trên Fig.5, đường phát hiện thứ hai TL2 có thể bao gồm mẫu hình phát hiện DPL. Theo một phương án làm ví dụ, tương tự với đường phát hiện thứ hai TL2 được thể hiện trên các hình vẽ từ Fig.6A đến Fig.6C và Fig.7A đến Fig.7C, bố trí/kết cấu của đường phát hiện thứ hai TL2 và vị trí của mẫu hình phát hiện DPL có thể được xác định dựa trên vị trí của vùng panen uốn cong PBA và các đặc tính phát sinh hư hại (ví dụ, nguyên nhân/kiểu hư hại, trong đó sự hư hại phát sinh, v.v.).

Theo một phương án làm ví dụ, đệm giả và khóa sắp thẳng có thể được tách biệt với nhau, nhưng không bị giới hạn ở đó. Nói cách khác, đệm giả và khóa sắp thẳng có thể được tạo liền khối. Theo một phương án làm ví dụ, chẳng hạn, đệm giả bao gồm các phần nhô làm khóa sắp thẳng

Mặc dù một số phương án làm ví dụ của gói COF, panen hiển thị và thiết bị hiển

thị được mô tả với tham chiếu đến các hình vẽ, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hiểu được có thể có các sửa đổi theo các phương án làm ví dụ không vượt ra ngoài nội dung mới và ưu điểm sáng chế.

Các phương án làm ví dụ của sáng chế có thể được áp dụng cho thiết bị điện tử có bộ hiển thị, ví dụ, máy thu hình, màn hình máy tính, máy tính xách tay, điện thoại di động, điện thoại thông minh, bàn phím thông minh, thiết bị hỗ trợ kỹ thuật số cá nhân (personal digital assistant - PDA), v.v..

Nội dung trên đây minh họa các phương án làm ví dụ và không được hiểu là giới hạn. Mặc dù một số phương án làm ví dụ được mô tả, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hiểu được có thể có nhiều sửa đổi theo các phương án làm ví dụ không vượt ra ngoài nội dung mới và ưu điểm của sáng chế. Theo đó, tất cả các sửa đổi này được dự tính bao gồm trong phạm vi bảo hộ của sáng chế được xác định trong các yêu cầu bảo hộ. Do đó, cần hiểu rằng nội dung trên minh họa các phương án khác nhau làm ví dụ và không được hiểu làm bị giới hạn với các phương án cụ thể làm ví dụ được bộc lộ, và các sửa đổi đối với các phương án làm ví dụ được bộc lộ, cũng như các phương án làm ví dụ khác, được dự tính bao gồm trong phạm vi của các yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Gói chip trên màng (200) bao gồm:

lớp nền của đế (220) trên đó vùng đệm thứ nhất (AR1), vùng đệm thứ hai (AR2) khác với vùng đệm thứ nhất, và vùng thứ ba (AR3) được bố trí giữa vùng đệm thứ nhất (AR1) và vùng đệm thứ hai (AR2) được tạo ra;

khác biệt ở chỗ gói chip trên màng (200) còn bao gồm

đệm giả (DP) được bố trí trên vùng đệm thứ nhất (AR1);

các đệm đầu vào được bố trí trên vùng đệm thứ nhất (AR1), trong đó đệm giả (DP) bao gồm khóa sắp thẳng (AK) để sắp thẳng các đệm đầu vào, trong đó vùng đệm thứ nhất (AR1) là vùng được gắn với PCB (300), và vùng đệm thứ hai (AR2) là vùng được gắn với panen hiển thị (100);

các đệm đầu ra được bố trí trên vùng đệm thứ hai (AR2);

đường phát hiện thứ nhất (TL1) được bố trí trên lớp nền của đế (220), trong đó đường phát hiện thứ nhất (TL1) được nối với đệm đầu vào thứ nhất (ITP1) trong số các đệm đầu vào và đệm đầu vào thứ hai (ITP2) trong số các đệm đầu vào qua vùng đệm thứ hai (AR2) để tạo ra vòng thứ nhất giữa đệm đầu vào thứ nhất (ITP1) và đệm đầu vào thứ hai (ITP2); và

đường phát hiện thứ hai (TL2) được bố trí trên lớp nền của đế (220), trong đó đường phát hiện thứ hai (TL2) được nối với đệm giả (DP) và đường phát hiện thứ nhất (TL1) qua vùng thứ ba (AR3) để tạo ra vòng thứ hai giữa đệm giả (DP) và đệm đầu vào thứ nhất (ITP1).

2. Gói chip trên màng theo điểm 1, trong đó đường phát hiện thứ nhất (TL1) bao gồm:

đường phát hiện phụ thứ nhất (STL1) được nối với đệm đầu vào thứ nhất (ITP1) và đệm đầu ra thứ nhất (OTP1) trong số các đệm đầu ra; và

đường phát hiện phụ thứ hai (STL2) được nối với đệm đầu vào thứ hai (ITP2) và đệm đầu ra thứ hai (OTP2) trong số các đệm đầu ra, và

trong đó đường phát hiện thứ hai (TL2) được nối với đường phát hiện phụ thứ nhất (STL1).

3. Gói chip trên màng theo điểm bất kỳ trong số các điểm nêu trên, trong đó

lớp nền của đế (220) bao gồm nhiều lớp, và

trong đó đường phát hiện thứ hai (TL2) được bố trí trên nhiều lớp.

4. Gói chip trên màng theo điểm bất kỳ trong số các điểm nêu trên, trong đó

đường phát hiện thứ hai (TL2) bao gồm đường phát hiện một phần thứ nhất (TL2-1) và đường phát hiện một phần thứ hai (TL2-2),

đường phát hiện một phần thứ nhất (TL2-1) được bố trí trên bề mặt thứ nhất của lớp nền của đế (220),

đường phát hiện một phần thứ hai (TL2-2) được bố trí trên bề mặt thứ hai của lớp nền của đế (220), đối diện với bề mặt thứ nhất, và

đường phát hiện một phần thứ nhất (TL2-1) được nối với đường phát hiện một phần thứ hai (TL2-2) qua kết cấu lỗ dẫn được bố trí qua lớp nền của đế (220).

5. Gói chip trên màng theo điểm bất kỳ trong số các điểm nêu trên, trong đó đường phát hiện thứ hai (TL2) bao gồm mẫu hình phát hiện (DPL) được bố trí trên vùng thứ ba (AR3) trong mẫu hình đích đặc, và/hoặc trong đó đệm giả (DP) được bố trí ngoài cùng trong số các đệm đầu vào và đệm giả (DP) được bố trí trên vùng đệm thứ nhất (AR1).

6. Gói chip trên màng theo điểm bất kỳ trong số các điểm nêu trên, gói chip trên màng này còn bao gồm:

chip mạch tích hợp được nối với đệm giả (DP) và các đệm đầu vào,

trong đó chip mạch tích hợp tương thích để tính toán giá trị điện trở thứ nhất của vòng thứ nhất và giá trị điện trở thứ hai của vòng thứ hai và để xác định xem liệu ít nhất một trong số vùng đệm thứ hai (AR2) và vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

7. Gói chip trên màng theo điểm 6, trong đó

chip mạch tích hợp tương thích để xác định xem liệu vùng đệm thứ hai (AR2) và vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị điện trở đệm đầu vào trong số các đệm đầu vào và giá trị điện trở thứ nhất, trong đó

chip mạch tích hợp tương thích để xác định xem liệu vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị điện trở đệm đầu vào và giá trị điện trở thứ hai, và

trong đó chip mạch tích hợp tương thích để xác định xem liệu vùng đệm thứ hai (AR2) có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ nhất và giá trị điện trở thứ hai.

8. Gói chip trên màng theo điểm 6, gói chip trên màng này còn bao gồm:

đường giả (DL) được bố trí trên lớp nền của đế (220),

trong đó đường giả (DL) kéo dài từ một cạnh của lớp nền của đế (220) tương ứng với vùng đệm thứ hai (AR2) đến cạnh còn lại của lớp nền của đế (220) đi qua lớp nền của đế, và

trong đó đường phát hiện thứ hai (TL2) được tạo ra bởi ít nhất một phần của đường giả (DL).

9. Gói chip trên màng theo điểm bất kỳ trong số các điểm nêu trên, trong đó

vùng đệm thứ hai (AR2) bao gồm vùng đệm phụ thứ nhất (ARS1) và vùng đệm phụ thứ hai (ARS2),

các đệm đầu ra bao gồm: các đệm đầu ra thứ nhất được bố trí trên vùng đệm phụ thứ nhất (ARS1), và các đệm đầu ra thứ hai được bố trí trên vùng đệm phụ thứ hai (ARS2),

vòng thứ nhất bao gồm vòng phụ thứ nhất và vòng phụ thứ hai,

vòng phụ thứ nhất nối đệm đầu vào thứ nhất (ITP1) với đệm đầu vào thứ hai (ITP2) qua vùng đệm phụ thứ nhất (ARS1), và

vòng phụ thứ hai nối đệm đầu vào thứ hai (ITP2) với đệm đầu vào thứ ba (ITP3) trong số các đệm đầu vào qua vùng đệm phụ thứ hai (ARS2).

10. Gói chip trên màng theo điểm 9, trong đó đường phát hiện thứ nhất (TL1) bao gồm:

đường phát hiện phụ thứ nhất (STL3) được nối với đệm đầu vào thứ nhất (ITP1) và đệm đầu ra thứ nhất (OTP1) trong số các đệm đầu ra thứ nhất;

đường phát hiện phụ thứ hai (STL4) được nối với đệm đầu vào thứ hai (ITP2) và đệm đầu ra thứ hai (OTP2) trong số các đệm đầu ra thứ hai;

đường phát hiện phụ thứ ba (STL5) được nối với đệm đầu vào thứ hai (ITP2) và đệm đầu ra thứ ba (OTP3) trong số các đệm đầu ra thứ nhất; và

đường phát hiện phụ thứ tư (STL6) được nối với đệm đầu vào thứ ba (ITP3) và đệm đầu ra thứ tư (OTP4) trong số các đệm đầu ra thứ hai, và

trong đó đường phát hiện thứ hai (TL2) được nối với đường phát hiện phụ thứ nhất (STL3),

và/hoặc trong đó gói chip trên màng còn bao gồm:

đường phát hiện thứ ba (TL3) được nối với đệm đầu vào thứ ba (ITP3) và đệm đầu vào thứ tư (ITP4) trong số các đệm đầu vào để tạo ra vòng thứ ba.

11. Gói chip trên màng theo điểm 10, gói chip trên màng này còn bao gồm:

chip mạch tích hợp được nối với đệm giả (DP) và các đệm đầu vào,

trong đó chip mạch tích hợp tương thích để tính toán giá trị điện trở thứ nhất của vòng thứ nhất, giá trị điện trở thứ hai của vòng thứ hai, và giá trị điện trở thứ ba của vòng thứ ba, và trong đó

chip mạch tích hợp tương thích để xác định xem liệu ít nhất một trong số vùng đệm thứ nhất (AR1), vùng đệm thứ hai (AR2) và vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị điện trở thứ nhất, giá trị điện trở thứ hai và giá trị điện trở thứ ba.

12. Gói chip trên màng theo điểm 11, trong đó

chip mạch tích hợp tương thích để xác định xem liệu các đệm đầu vào, các đệm đầu ra, và vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị điện trở thứ ba, trong đó

chip mạch tích hợp tương thích để xác định xem liệu các đệm đầu vào có bị hư hại hay không dựa trên giá trị điện trở thứ ba, để xác định xem liệu các đệm đầu ra có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ nhất và giá trị điện trở thứ hai, và trong đó

chip mạch tích hợp tương thích để xác định xem liệu vùng thứ ba (AR3) có bị hư hại hay không dựa trên giá trị chênh lệch giữa giá trị điện trở thứ hai và giá trị điện trở thứ ba.

13. Panen hiển thị (100) bao gồm:

lớp nền của đế (10) mà vùng thứ nhất (PNA) và vùng thứ hai (PBA) khác với vùng thứ nhất được tạo ra trên đó;

khác biệt ở chỗ panen hiển thị (100) còn bao gồm

đệm giả (DP) được bố trí trên vùng thứ nhất (PNA);

các đệm được bố trí trên vùng thứ nhất (PNA), trong đó đệm giả (DP) bao gồm khóa sắp thẳng (AK) để sắp thẳng các đệm;

đường phát hiện thứ nhất (TL1) được bố trí trên lớp nền của đế (10), trong đó đường phát hiện thứ nhất (TL1) được nối với đệm thứ nhất (PI) trong số các đệm và đệm thứ hai (P2) trong số các đệm qua ít nhất một phần biên của lớp nền của đế (10) để tạo ra vòng thứ nhất giữa đệm thứ nhất (P1) và đệm thứ hai (P2); và

đường phát hiện thứ hai (TL2) được bố trí trên lớp nền của đế (10), trong đó đường phát hiện thứ hai (TL2) được nối với đệm giả (DP) và đường phát hiện thứ nhất (TL1) qua vùng thứ hai (PBA) để tạo ra vòng thứ hai giữa đệm giả (DP) và đệm thứ nhất (P1).

14. Panen hiển thị theo điểm 13, trong đó

lớp nền của đế (10) bao gồm nhiều lớp, và

đường phát hiện thứ hai (TL2) được bố trí qua ít nhất một trong số các lớp, và/hoặc trong đó đường phát hiện thứ hai (TL2) bao gồm mẫu hình phát hiện (DPL) được bố trí trên vùng thứ hai (PBA) trong mẫu hình đích đặc.

15. Thiết bị hiển thị (1000) bao gồm:

panen hiển thị (100) để hiển thị hình ảnh;

bảng mạch in (300) để điều khiển panen hiển thị (100);

gói chip trên màng (200) để nối điện panen hiển thị (100) với bảng mạch in (300),

trong đó panen hiển thị (100) là panen hiển thị theo điểm 13 hoặc 14 và/hoặc gói chip trên màng (200) là gói chip trên màng theo điểm bất kỳ trong số các điểm từ 1 đến 12.

FIG. 1

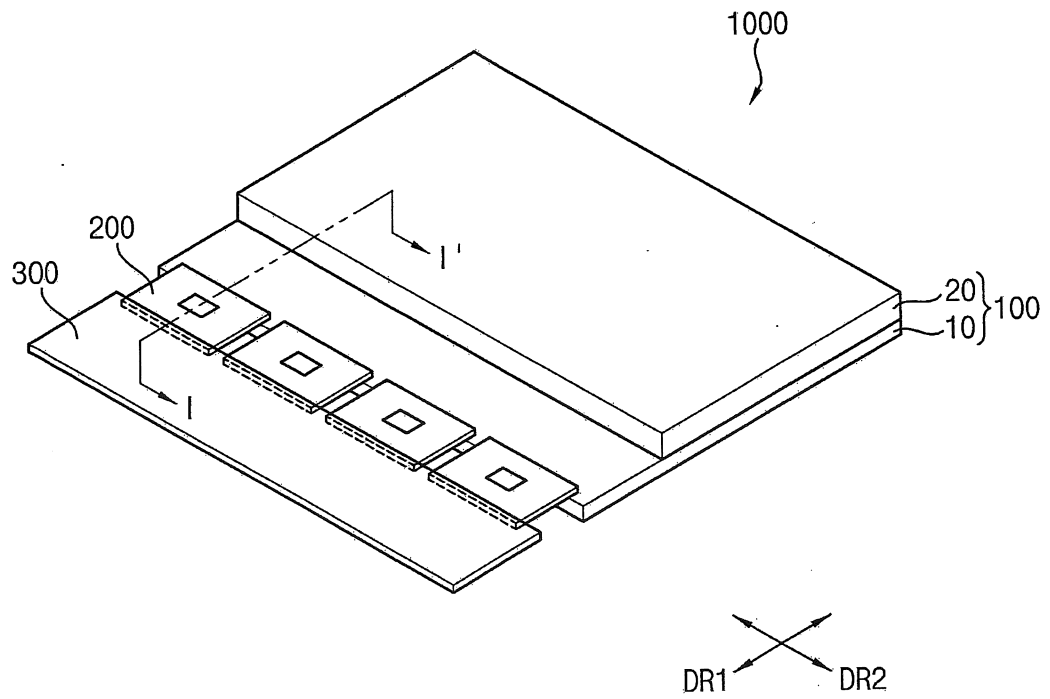


FIG. 2

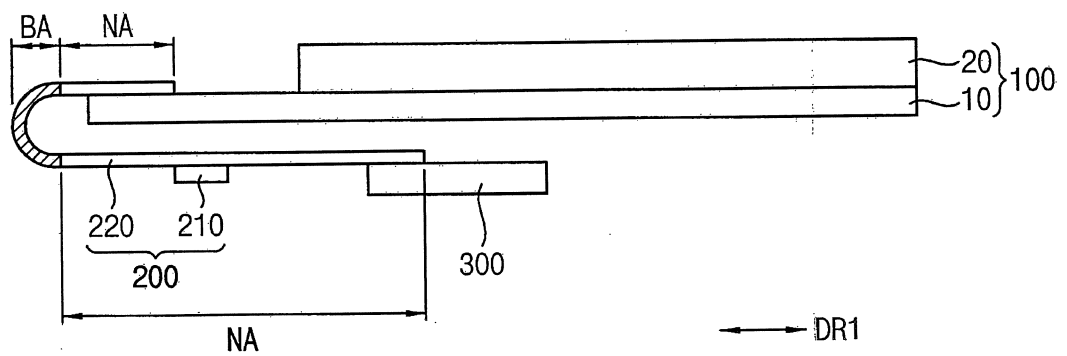


FIG. 3A

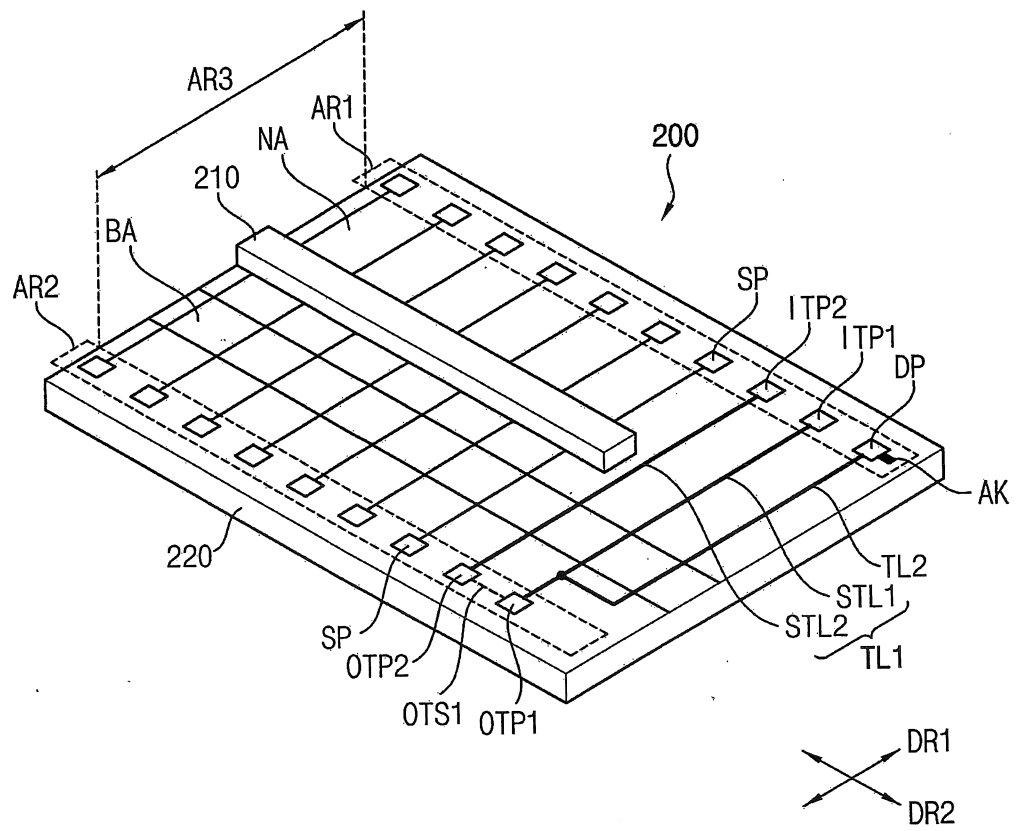


FIG. 3B

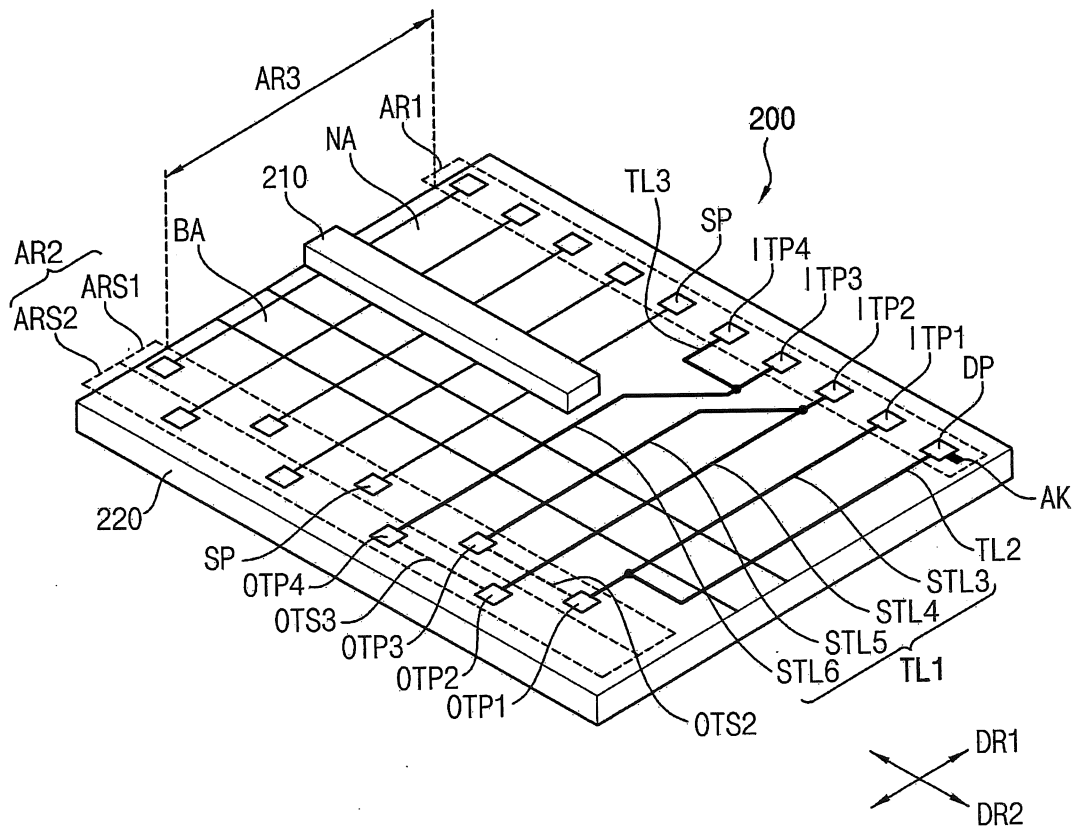


FIG. 4A

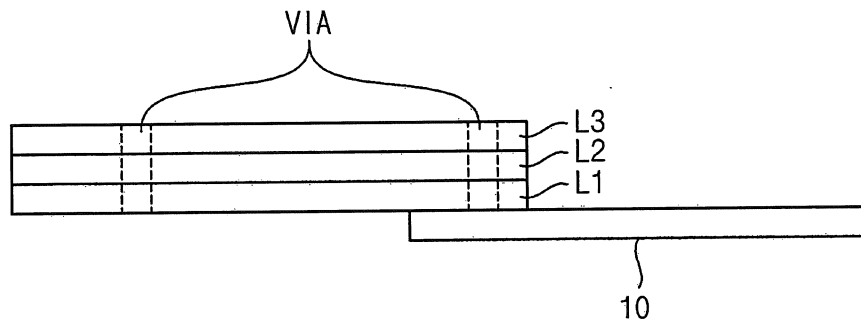


FIG. 4B

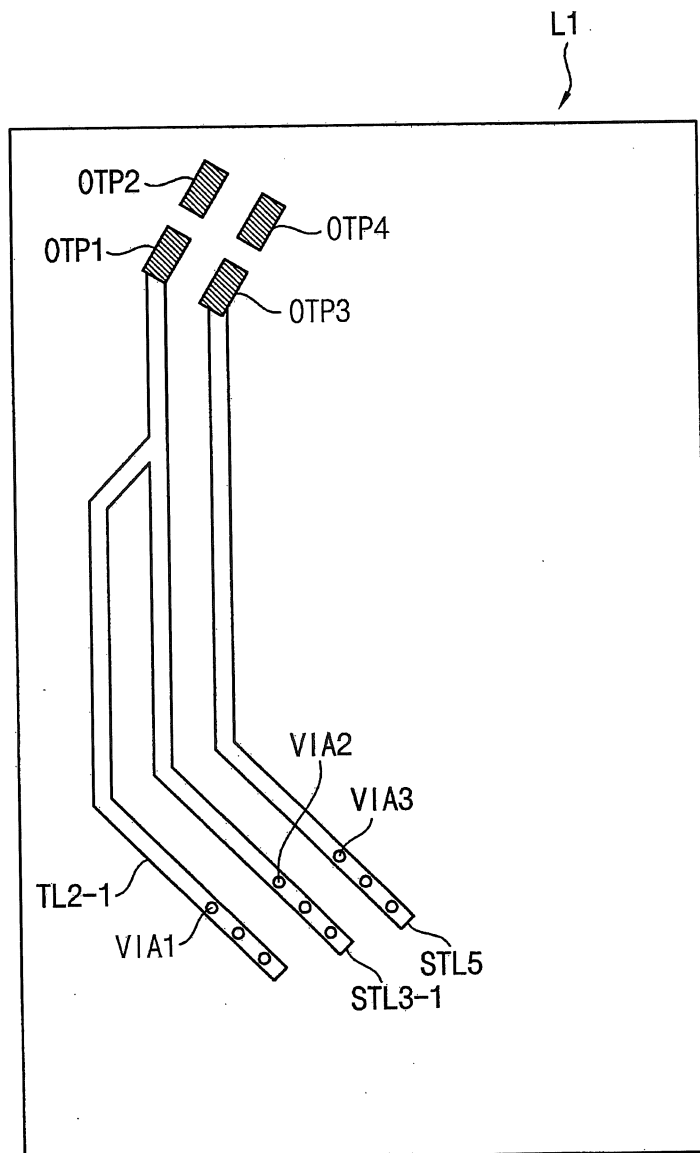


FIG. 4C

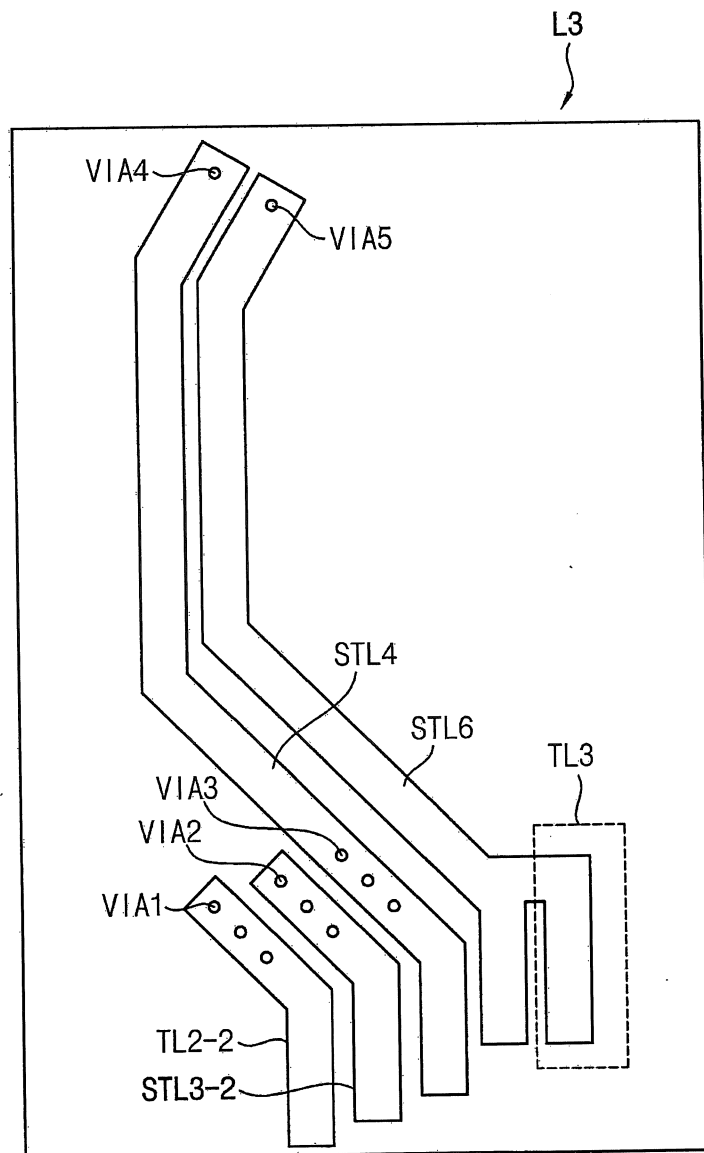


FIG. 4D

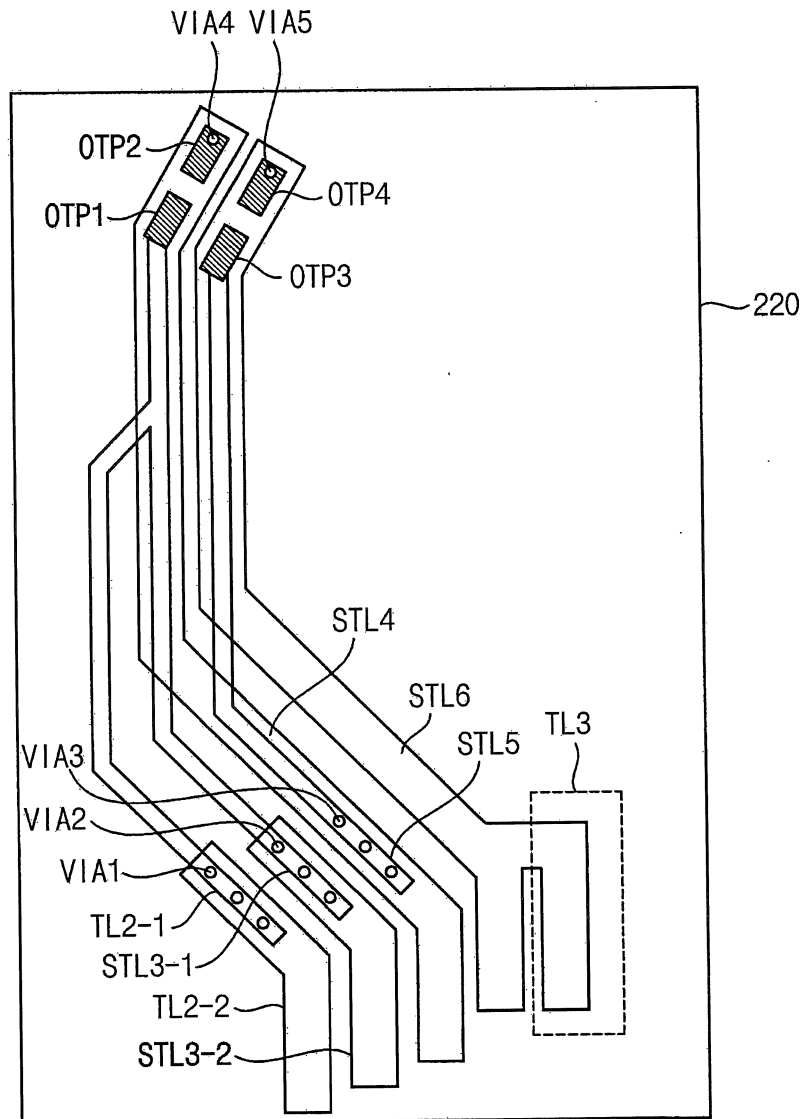


FIG. 4E

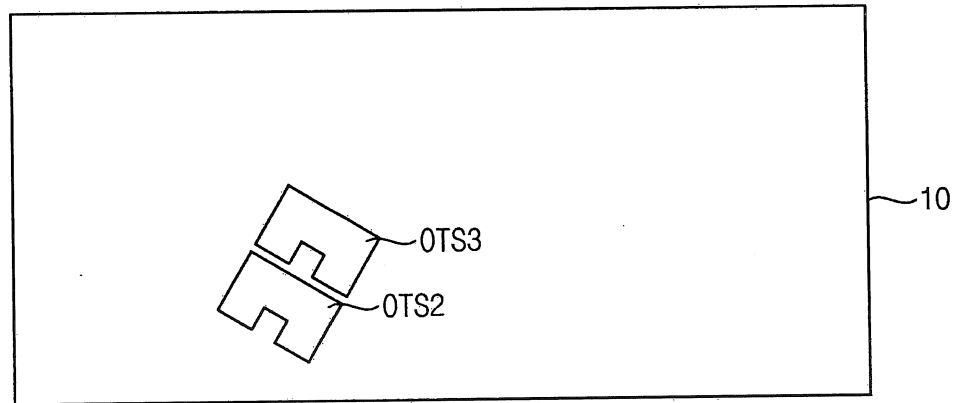


FIG. 4F

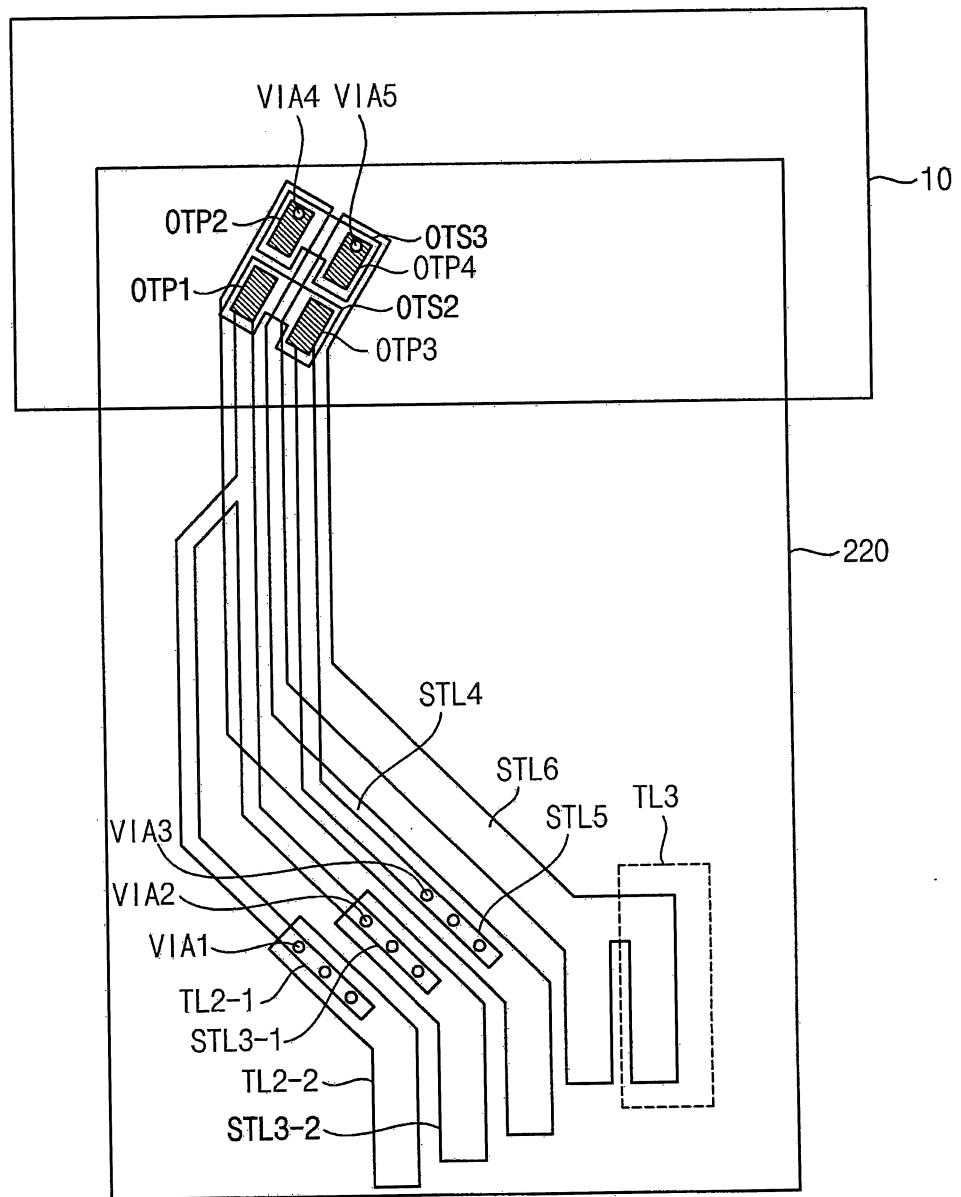


FIG. 5

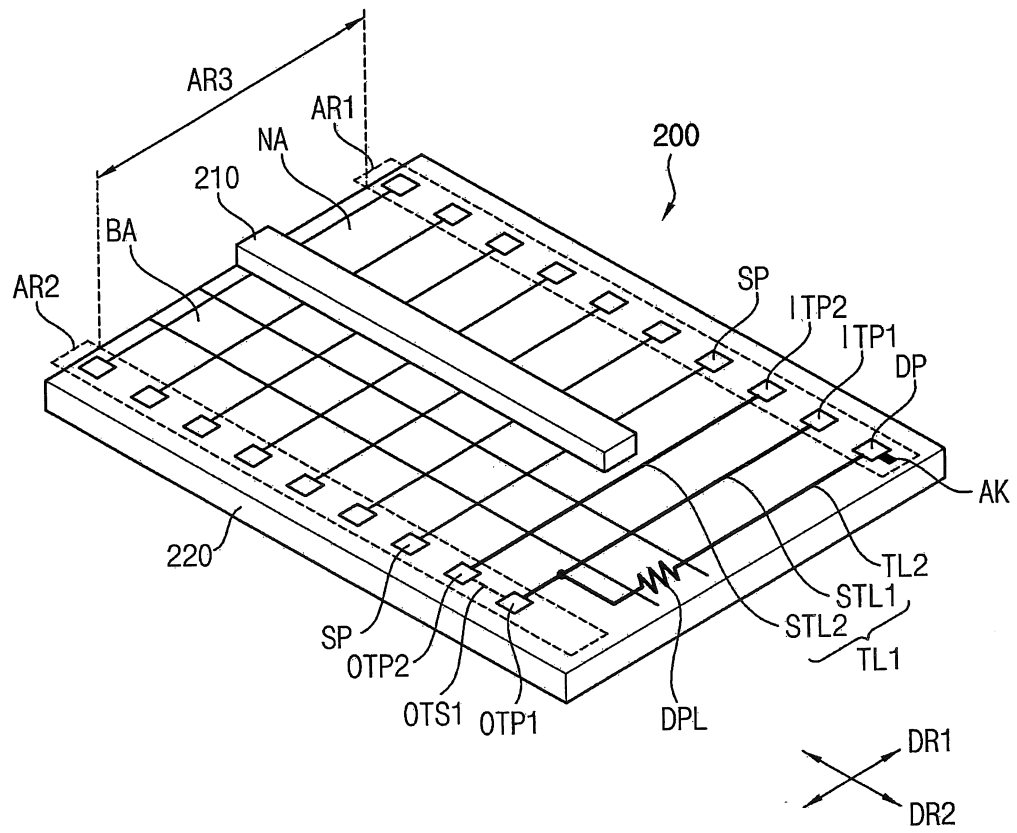


FIG. 6A

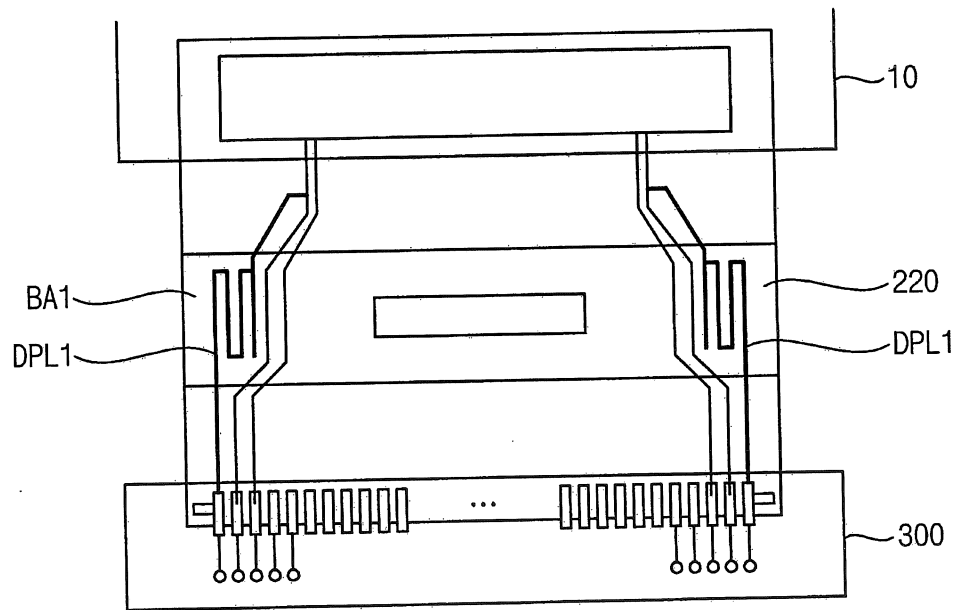


FIG. 6B

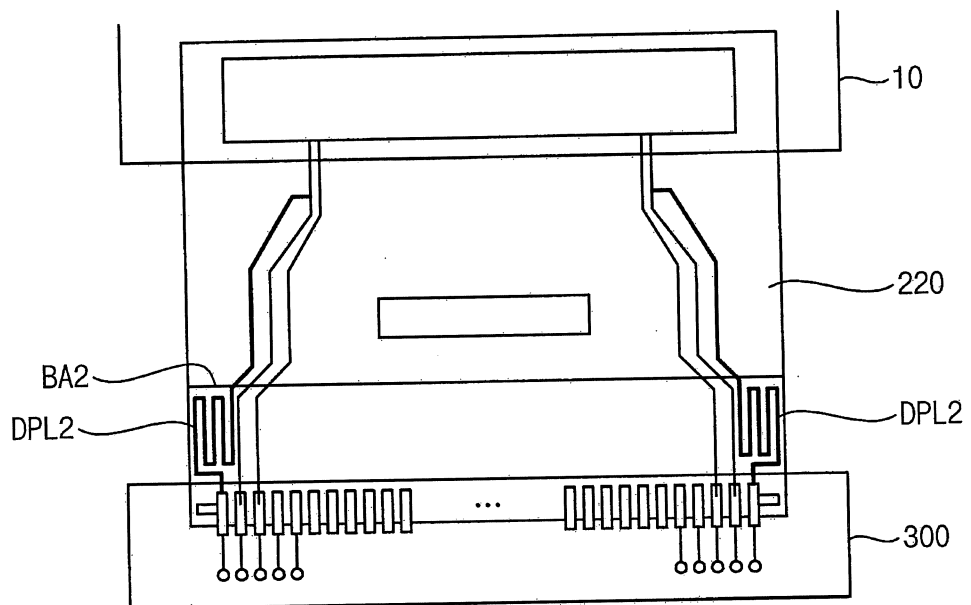


FIG. 6C

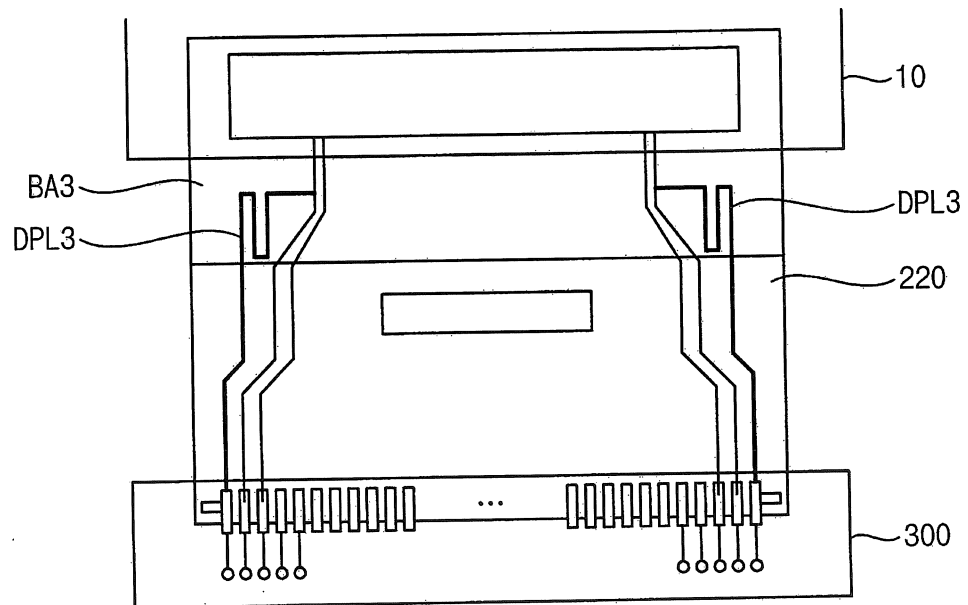


FIG. 7A

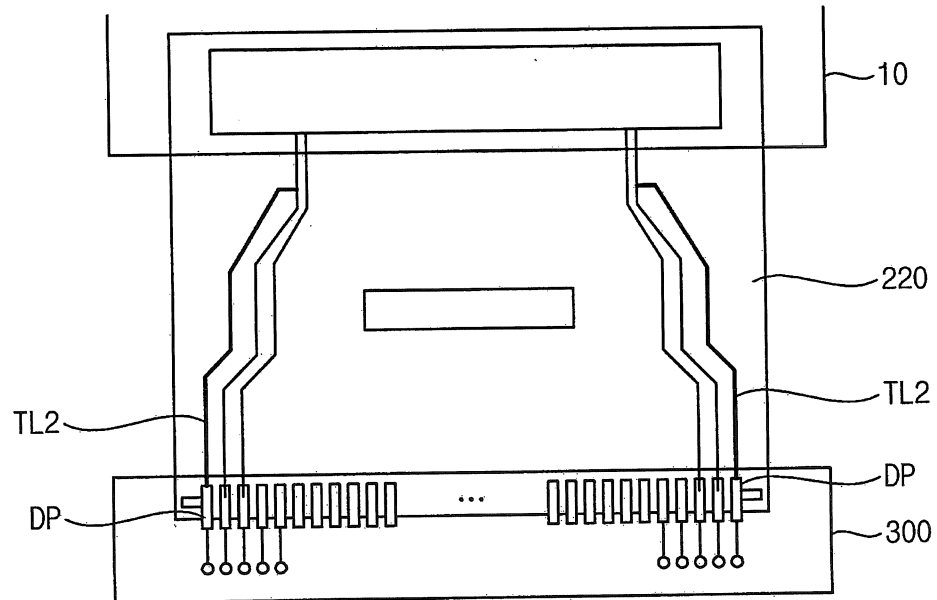


FIG. 7B

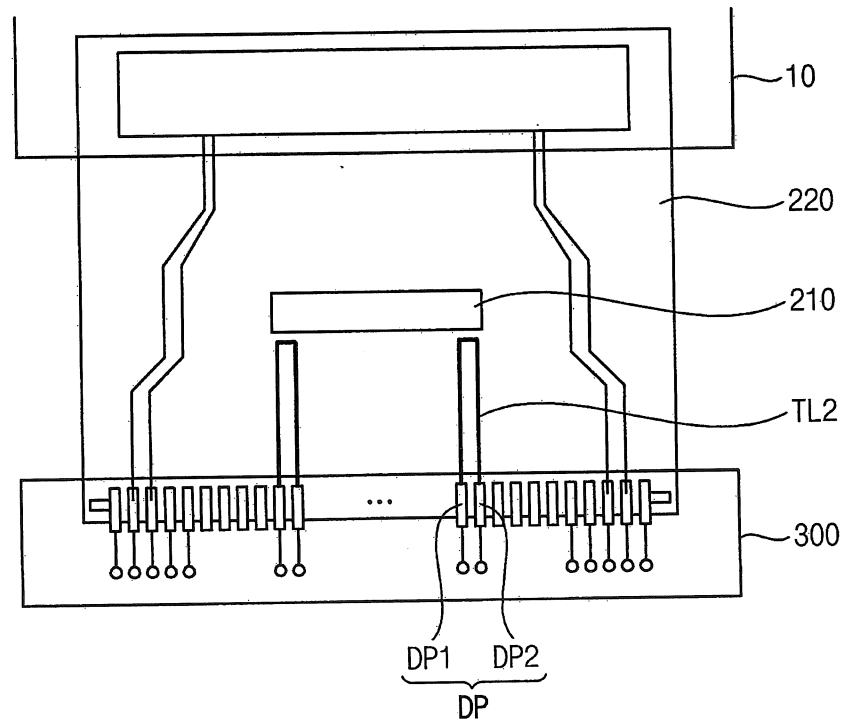


FIG. 7C

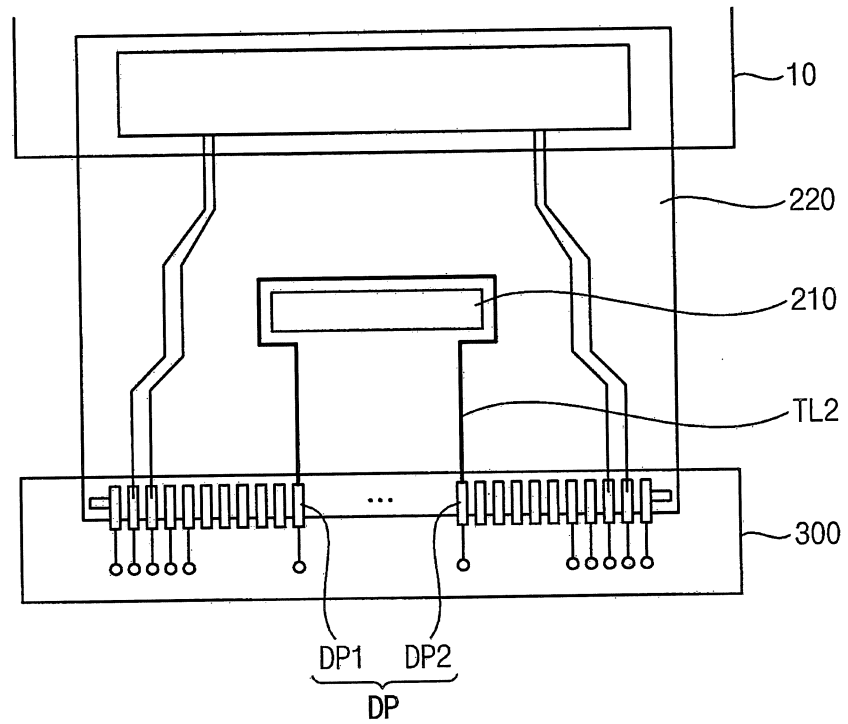


FIG. 8A

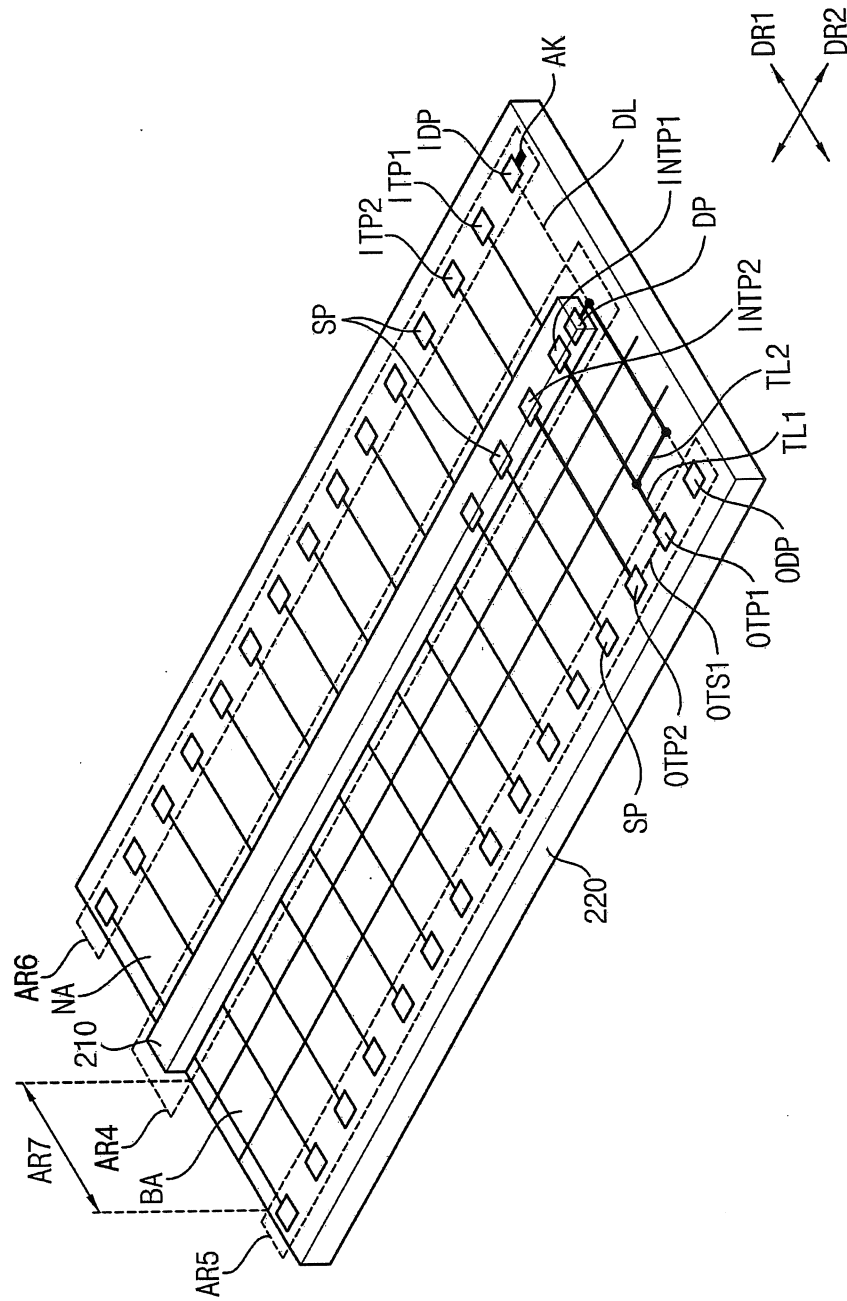


FIG. 8B

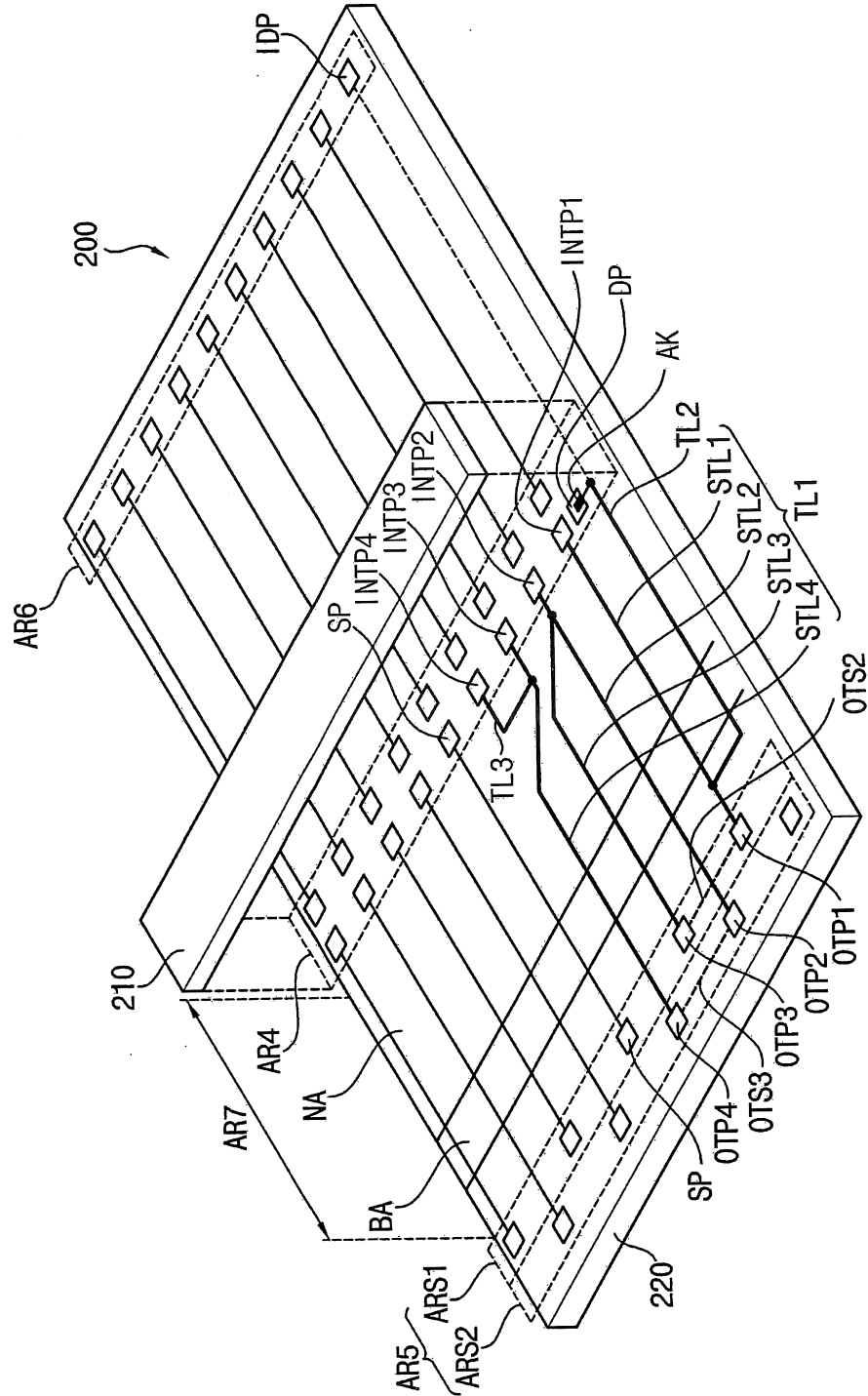


FIG. 9

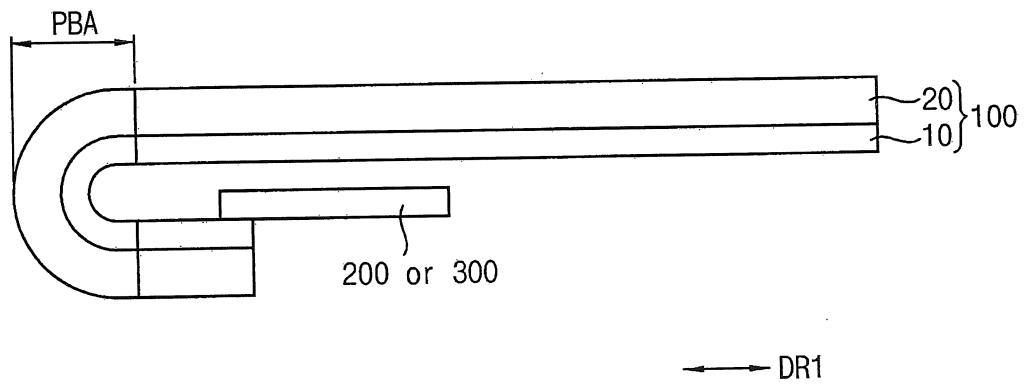


FIG. 10

