



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0038880

(51)⁷ G06F 3/041; C03B 27/04; G06F 3/01

(13) B

(21) 1-2019-04815

(22) 30/08/2019

(30) 10-2018-0104510 03/09/2018 KR

(45) 26/02/2024 431

(43) 25/03/2020 384ASC

(73) SAMSUNG DISPLAY CO., LTD. (KR)

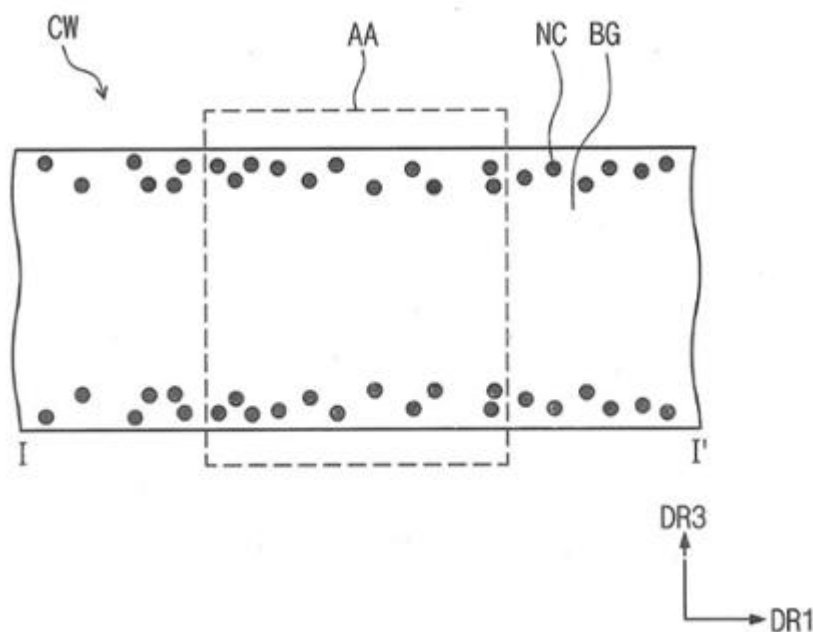
1, Samsung-Ro, Giheung-Gu, Yongin-si, Gyeonggi-Do, Republic of Korea

(72) Hoikwan LEE (KR); Gyuin SHIM (KR); SEUNGHO KIM (KR); Jeongseok LEE (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) LỚP NỀN THỦY TINH VÀ PHƯƠNG PHÁP CHẾ TẠO LỚP NỀN THỦY TINH NÀY

(57) Sáng chế đề cập đến lớp nền thủy tinh và phương pháp chế tạo lớp nền thủy tinh. Lớp nền thủy tinh này có thể bao gồm đế thủy tinh chứa SiO_2 , Al_2O_3 , và Li_2O , và các tinh thể nano có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm, nhờ đó thể hiện các tính chất độ bền bề mặt được tăng cường trong khi duy trì các tính chất truyền tốt. Phương pháp này có thể bao gồm bước xử lý nhiệt đế thủy tinh, nhờ đó tạo ra lớp nền thủy tinh có các tính chất độ bền được tăng cường.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lớp nền thủy tinh và phương pháp chế tạo lớp nền thủy tinh này, và cụ thể hơn, là lớp nền thủy tinh chứa các tinh thể nano và phương pháp chế tạo lớp nền thủy tinh bao gồm bước tạo ra các tinh thể nano.

Tình trạng kỹ thuật của sáng chế

Lớp nền thủy tinh được ứng dụng rộng rãi cho các thiết bị điện tử như, ví dụ, các bộ hiển thị tinh thể lỏng (liquid crystal display - LCD), các panen hiển thị plasma (plasma display panel - PDP), và các bộ hiển thị điốt phát quang hữu cơ (organic light emitting diode display - OLED). Trong các ứng dụng khác nhau đối với các thiết bị điện tử, lớp nền thủy tinh có thể được sử dụng làm lớp nền của panen hiển thị được sử dụng trong việc chế tạo vô tuyến truyền hình, màn hình máy tính, thiết bị đầu cuối di động, hoặc thiết bị tương tự, hoặc làm kính che để bảo vệ panen hiển thị.

Gần đây, thiết bị điện tử mỏng hơn trở thành xu hướng, nên cần có lớp nền thủy tinh nhẹ hơn và mỏng hơn. Ngoài ra, phương pháp xử lý, phương pháp làm cứng hoặc phương pháp tương tự có thể làm tăng cường độ bền của lớp nền thủy tinh mỏng được nghiên cứu.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất lớp nền thủy tinh có độ bền được tăng cường để chống va chạm.

Sáng chế cũng đề xuất phương pháp chế tạo lớp nền thủy tinh mà có thể tạo ra các tinh thể cỡ nano bên trong lớp nền thủy tinh để nhờ đó tăng cường độ bền của lớp nền thủy tinh.

Một phương án làm ví dụ của sáng chế đề xuất lớp nền thủy tinh bao gồm: đế thủy tinh chứa SiO_2 , Al_2O_3 , và Li_2O ; và các tinh thể nano được chứa trong đế thủy tinh, và có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

Theo một phương án làm ví dụ của sáng chế, các tinh thể nano có thể là các hạt tinh thể mỗi hạt mỗi trong số đó chứa Li.

Theo một phương án làm ví dụ của sáng chế, mỗi trong số các tinh thể nano có thể chứa ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, hoặc $\text{LiAlSi}_3\text{O}_8$.

Theo một phương án làm ví dụ của sáng chế, các tinh thể nano được bố trí liền kề với ít nhất một trong số bề mặt bên trên hoặc bề mặt bên dưới của đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh có thể bao gồm lớp ứng suất nén được tạo ra liền kề với bề mặt của đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, độ sâu của lớp ứng suất nén có thể không nhỏ hơn độ sâu của lớp tinh thể, trong đó độ sâu của lớp tinh thể có thể là độ sâu tối đa từ bề mặt của đế thủy tinh đến điểm mà tại đó tinh thể nano được bố trí.

Theo một phương án làm ví dụ của sáng chế, các tinh thể nano có thể được chứa trong lớp ứng suất nén.

Theo một phương án làm ví dụ của sáng chế, các lớp tinh thể trong đó mỗi trong số các tinh thể nano được bố trí có thể được bố trí liền kề với mỗi trong số bề mặt bên trên và bề mặt bên dưới của đế thủy tinh, trong đó độ sâu của mỗi trong số các lớp tinh thể có thể khoảng 10% hoặc nhỏ hơn tổng độ dày của đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, đế thủy tinh có thể bao gồm phần phẳng và ít nhất một phần uốn cong liền kề với phần phẳng.

Theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh có thể có độ truyền khoảng 85% hoặc lớn hơn trong vùng bước sóng của ánh sáng nhìn thấy.

Một phương án làm ví dụ của sáng chế đề xuất lớp nền thủy tinh bao gồm: lớp ứng suất nén được tạo ra liền kề với bề mặt của lớp nền thủy tinh này; và các tinh thể nano được phân tán trong lớp ứng suất nén và có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

Theo một phương án làm ví dụ của sáng chế, các tinh thể nano có thể được bố trí liền kề với bề mặt bên trên và bề mặt bên dưới.

Theo một phương án làm ví dụ của sáng chế, mỗi trong số các tinh thể nano có thể bao gồm ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, hoặc $\text{LiAlSi}_3\text{O}_8$.

Một phương án làm ví dụ của sáng chế đề xuất phương pháp chế tạo lớp nền thủy tinh, phương pháp này bao gồm các bước: tạo ra đế thủy tinh chứa SiO_2 , Al_2O_3 , và Li_2O ; và xử lý nhiệt đế thủy tinh tại nhiệt độ thứ nhất, trong đó nhiệt độ thứ nhất nằm trong khoảng từ $(T_g+50)^\circ\text{C}$ đến $(T_s+150)^\circ\text{C}$, trong đó T_g là nhiệt độ chuyển pha thủy tinh của đế thủy tinh, và T_s là nhiệt độ điểm hóa mềm của đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, việc xử lý nhiệt của đế thủy tinh có thể bao gồm tạo ra các tinh thể nano trong đế thủy tinh mà mỗi tinh thể nano này chứa Li, và các tinh thể nano có thể có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

Theo một phương án làm ví dụ của sáng chế, các tinh thể nano có thể được tạo ra liền kề với ít nhất một trong số bề mặt bên trên hoặc bề mặt bên dưới của đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, phương pháp chế tạo lớp nền thủy tinh có thể còn bao gồm bước làm cứng đế thủy tinh.

Theo một phương án làm ví dụ của sáng chế, việc làm cứng của đế thủy tinh có thể được thực hiện bằng cách đưa muối nóng chảy làm cứng vào đế thủy tinh được xử lý nhiệt và làm cứng đế thủy tinh theo cách hóa học tại nhiệt độ thứ hai.

Theo một phương án làm ví dụ của sáng chế, nhiệt độ thứ hai có thể bằng hoặc nhỏ hơn nhiệt độ thứ nhất.

Theo một phương án làm ví dụ của sáng chế, muối nóng chảy làm cứng có thể là muối đơn chứa bất kỳ một ion trong số Na^+ , K^+ , Rb^+ và Cs^+ , hoặc muối được trộn chứa ít nhất hai hoặc nhiều hơn hai ion trong số Li^+ , Na^+ , K^+ , Rb^+ và Cs^+ .

Theo một phương án làm ví dụ của sáng chế, việc làm cứng theo cách hóa học có thể bao gồm: bước làm cứng thứ nhất thực hiện xử lý trao đổi ion tại nhiệt độ làm cứng thứ nhất; và bước làm cứng thứ hai thực hiện xử lý trao đổi ion tại nhiệt độ làm cứng thứ hai, bằng hoặc nhỏ hơn nhiệt độ làm cứng thứ nhất.

Theo một phương án làm ví dụ của sáng chế, Tg có thể nằm trong khoảng từ 400°C đến 700°C, và Ts có thể nằm trong khoảng từ 500°C đến 750°C.

Theo một phương án làm ví dụ của sáng chế, việc xử lý nhiệt của đế thủy tinh có thể được thực hiện bằng cách bố trí các lớp nền thủy tinh chịu nhiệt trên cả hai phía với đế thủy tinh ở giữa và xử lý nhiệt đế thủy tinh này.

Theo một phương án làm ví dụ của sáng chế, việc tạo ra đế thủy tinh có thể bao gồm: trộn bột gốm và bột thủy tinh để tạo ra dung dịch nóng chảy được trộn; và đúc dung dịch nóng chảy được trộn thành dạng tấm.

Theo một phương án làm ví dụ của sáng chế, bột gốm có thể là các tinh thể nano mà mỗi tinh thể này chứa Li.

Một phương án làm ví dụ của sáng chế đề xuất lớp nền thủy tinh dùng cho thiết bị điện tử bao gồm: đế thủy tinh; và các tinh thể nano được tạo ra trong đế thủy tinh để tạo ra các lớp tinh thể liền kề với bề mặt bên trên và bề mặt bên dưới của đế thủy tinh, với độ sâu của mỗi trong số các lớp tinh thể khoảng 10% hoặc nhỏ hơn tổng độ dày của đế thủy tinh, trong đó mỗi trong số các tinh thể nano là hạt tinh thể chứa Li, đế thủy tinh bao gồm các lớp tinh thể dùng làm lớp nền thủy tinh cho thiết bị điện tử và bao gồm phần phẳng và ít nhất một phần uốn cong liền kề với phần phẳng, và thiết bị điện tử bao gồm: vỏ tạo ra bề mặt sau của thiết bị điện tử; lớp nền thủy tinh kết hợp với vỏ để tạo ra khung hoặc phần bao kín; và panen hiển thị được bố trí ở giữa lớp nền thủy tinh và vỏ trong khung hoặc phần bao kín, và có khả năng là ít nhất một trong số tạo ra các hình ảnh, cảm biến tiếp xúc, và cảm biến ánh sáng.

Theo một phương án làm ví dụ của sáng chế, mỗi trong số các tinh thể nano bao gồm ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, LiAlSiO_4 , $\text{LiAlSi}_3\text{O}_8$, $\text{LiAlSi}_4\text{O}_{10}$ hoặc $\text{LiAlSi}_3\text{O}_3$.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo được đưa vào nhằm hiểu thêm sáng chế, và được trích dẫn và tạo thành một phần của đơn sáng chế này. Các hình vẽ minh họa các phương án làm ví dụ của sáng chế và, cùng với phần mô tả, dùng để giải thích các nguyên lý của sáng chế. Trên các hình vẽ:

Fig.1A là hình vẽ phối cảnh của thiết bị điện tử theo một phương án làm ví dụ của sáng chế;

Fig.1B là hình vẽ phối cảnh các chi tiết rời của thiết bị điện tử được minh họa trên Fig.1A;

Fig.2 là hình vẽ mặt cắt ngang minh họa một phần của lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.3 là hình vẽ mặt cắt ngang minh họa một phần của lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.4A là hình vẽ phóng to của vùng AA trên Fig.2;

Fig.4B là hình vẽ thể hiện biên dạng ứng suất nén trong lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.4A;

Fig.5 là lưu đồ thể hiện phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.6 là lưu đồ thể hiện phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.7 là đồ thị thể hiện các kết quả phân tích nhiệt của lớp nền thủy tinh được tạo ra bởi phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.8 là hình vẽ minh họa một phần của phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.9 là sơ đồ khối thể hiện một phần của phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.10 là biên dạng thể hiện các thay đổi trong nhiệt độ xử lý trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Các hình vẽ từ Fig.11A đến Fig.11C là các đồ thị thể hiện các kết quả phân tích tán xạ tia X góc nhỏ (small angle X-ray scattering - SAXS) trước và sau bước xử lý nhiệt lớp nền thủy tinh trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.12 là đồ thị thể hiện các kết quả đánh giá độ truyền của lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.13A là hình ảnh thể hiện các mẫu hình vân trước và sau bước làm cứng lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.13B là hình ảnh thể hiện các mẫu hình vân trước và sau bước làm cứng lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh của ví dụ so sánh;

Fig.14A là hình ảnh thể hiện biên dạng ứng suất của ứng suất nén trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế;

Fig.14B là hình ảnh thể hiện biên dạng ứng suất của ứng suất nén trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh của ví dụ so sánh;

Fig.15A là hình ảnh thể hiện kết quả kiểm tra va chạm trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế; và

Fig.15B là hình ảnh thể hiện kết quả kiểm tra va chạm trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh của ví dụ so sánh.

Vì các hình vẽ từ Fig.1A đến Fig.15B được dự định cho các mục đích minh họa, các phần tử trên các hình vẽ không nhất thiết được vẽ theo tỷ lệ. Ví dụ, một vài trong số các phần tử có thể được phóng to hoặc được phóng đại cho rõ ràng.

Mô tả chi tiết sáng chế

Sáng chế có thể được sửa đổi trong nhiều dạng khác, và do đó các phương án cụ thể sẽ được lấy làm ví dụ trong các hình vẽ và được mô tả chi tiết. Cần hiểu rằng, tuy nhiên, sáng chế không bị giới hạn với dạng cụ thể được bộc lộ, nhưng tốt hơn là bao gồm các sửa đổi khác nhau và các sắp xếp tương đương nằm trong nguyên lý và phạm vi bảo hộ của sáng chế.

Trong bản mô tả này, khi được đề cập là phần tử bất kỳ (hoặc vùng, lớp, phần, v.v.) nào “ở trên”, “được nối với”, hoặc “được ghép nối với” phần tử khác, nó có thể được nối hoặc được ghép nối trực tiếp với thành phần khác hoặc thành phần thứ ba có thể được sắp xếp ở giữa.

Các số tham chiếu giống nhau đề cập đến các phần tử giống nhau, và do đó các phần mô tả thừa của chúng sẽ được lược bỏ.

Thuật ngữ "và/hoặc" bao gồm kết hợp bất kỳ hoặc tất cả kết hợp của một hoặc nhiều kết cấu trong đó các kết cấu liên quan có thể xác định.

Các thuật ngữ “thứ nhất”, “thứ hai” v.v. có thể được sử dụng để mô tả các phần tử khác nhau, nhưng các phần tử này không bị giới hạn ở các thuật ngữ này. Các thuật ngữ này được sử dụng chỉ với mục đích phân biệt một thành phần với thành phần khác. Ví dụ, không vượt ra ngoài phạm vi bảo hộ của sáng chế, thành phần thứ nhất có thể được gọi là thành phần thứ hai, thành phần thứ hai cũng có thể được gọi là thành phần thứ nhất. Các

dạng số ít (“a”, “an”, “the”) cũng nhằm bao gồm dạng số nhiều, trừ khi ngữ cảnh chỉ ra hoàn toàn khác đi.

Ngoài ra, các thuật ngữ như “dưới”, “phía dưới”, “trên”, “phía trên” và tương tự được sử dụng để mô tả mối tương quan của các kết cấu được thể hiện trong các hình vẽ. Các thuật ngữ được mô tả liên quan đến hướng được thể hiện trên hình vẽ, trong khái niệm liên quan. Cần hiểu rằng các thuật ngữ liên quan đến không gian được dự định bao gồm các hướng khác nhau của thiết bị trong việc sử dụng hoặc vận hành ngoài hướng được minh họa trên các hình vẽ.

Trừ khi được xác định khác, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng trong bản mô tả có cùng nghĩa như được hiểu theo cách thông thường bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này mà sáng chế đề cập đến. Cũng cần hiểu rằng các thuật ngữ, như được định nghĩa trong các từ điển thông dụng, được giải thích là có ý nghĩa phù hợp với nghĩa của chúng trong ngữ cảnh kỹ thuật liên quan và không được giải thích theo nghĩa lý tưởng hoặc quá trang trọng, trừ khi được xác định rõ trong bản mô tả này.

Cũng cần hiểu rằng các thuật ngữ “bao gồm” và/hoặc “gồm”, khi được sử dụng trong bản mô tả này, xác định sự có mặt của các dấu hiệu, số nguyên, bước, hoạt động, phần tử, thành phần đã nêu, và/hoặc các nhóm của chúng, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, số nguyên, bước, hoạt động, phần tử, thành phần khác, và/hoặc nhóm của chúng.

Khi thuật ngữ "khoảng" được sử dụng trong bản mô tả này liên quan đến giá trị số, được dự định rằng giá trị số kết hợp bao gồm độ lệch lên đến $\pm 10\%$ xung quanh giá trị số đã nêu.

Sau đây, các phương án làm ví dụ của sáng chế sẽ được mô tả với tham chiếu đến các hình vẽ.

Fig.1A là hình vẽ phối cảnh của thiết bị điện tử theo một phương án làm ví dụ của sáng chế. Fig.1B là hình vẽ phối cảnh các chi tiết rời của thiết bị điện tử được minh họa trên Fig.1A.

Tham chiếu đến Fig.1A, thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể được chia thành vùng hoạt động AR và vùng ngoại vi BR trên mặt phẳng

được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Hơn nữa, thiết bị điện tử DS có thể có dạng ba chiều có độ dày định trước theo hướng thứ ba DR3, là hướng vuông góc với mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Trong khi đó, trong thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.1A, vùng hoạt động AR và vùng ngoại vi BR có thể bao gồm vùng uốn cong có dạng cong. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, không giống thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.1A và Fig.1B, thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể không bao gồm vùng uốn cong, hoặc có thể có vùng uốn cong được bố trí chỉ trên một cạnh của vùng hoạt động AR và vùng ngoại vi BR, hoặc khi được quan sát từ phía trên, bao gồm vùng uốn cong trên ba cạnh hoặc tất cả bốn cạnh của thiết bị điện tử DS.

Vùng hoạt động AR có thể vùng được kích hoạt để phản hồi tín hiệu điện được tác động vào thiết bị điện tử DS. Ví dụ, theo một phương án làm ví dụ của sáng chế, thiết bị điện tử DS có thể là thiết bị hiển thị. Theo đó, vùng hoạt động AR có thể được kích hoạt để hiển thị các hình ảnh IM1 và IM2. Hình ảnh thứ nhất IM1 có thể được hiển thị trên mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2 và được bố trí theo hướng thứ ba DR3. Hình ảnh thứ hai IM2 có thể được bố trí theo hướng thứ tư DR4 có độ dốc tương ứng với mặt phẳng được xác định bởi hướng thứ hai DR2 và hướng thứ ba DR3. Hướng thứ tư DR4 là minh họa, và hình ảnh thứ hai IM2 có thể được bố trí trên toàn bộ vùng uốn cong. Tức là, sáng chế không bị giới hạn với kết cấu được minh họa trên Fig.1A hoặc Fig.1B, và thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể hiển thị hình ảnh trong các hướng khác nhau thông qua vùng hoạt động cong AR được bố trí trong vùng uốn cong. Ví dụ, hình ảnh thứ hai IM2 có thể là cong.

Fig.1A và Fig.1B được minh họa làm ví dụ có vùng hoạt động AR bao gồm vùng mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2 và hai vùng uốn cong trên hai cạnh của thiết bị điện tử, và vùng hoạt động AR có thể là vùng được kích hoạt và nhận biết tiếp xúc từ bên ngoài, hoặc có thể là vùng nhận biết ánh sáng bên ngoài. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể kích hoạt vùng hoạt động AR trong các vùng khác nhau phụ thuộc vào các thành phần được bao gồm trong thiết bị điện tử DS.

Vùng ngoại vi BR liền kề với vùng hoạt động AR. Tham chiếu đến Fig.1A, theo một phương án làm ví dụ của sáng chế, vùng ngoại vi BR có thể có hình dạng bao quanh

mép của vùng hoạt động AR. Tuy nhiên, điều này được minh họa theo cách làm ví dụ, và vùng ngoại vi BR có thể liên kết với chỉ một phần của các mép của vùng hoạt động AR. Theo cách khác, trong thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế, vùng ngoại vi BR có thể không được tạo ra ở đây. Không giống vùng hoạt động AR, vùng ngoại vi BR có thể không hiển thị hình ảnh, nhận biết tiếp xúc từ bên ngoài hoặc nhận biết ánh sáng từ bên ngoài, và có thể là vùng không hoạt động.

Tham chiếu đến Fig.1A và Fig.1B, thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể bao gồm lớp nền thủy tinh CW, panen hiển thị DP, và vỏ HAU. Vỏ HAU, panen hiển thị DP, và lớp nền thủy tinh CW có thể được sắp xếp liên tiếp theo hướng thứ ba DR3.

Theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh CW có thể là chi tiết cửa sổ hoặc cửa sổ che là một trong số các thành phần bên ngoài của thiết bị điện tử DS. Lớp nền thủy tinh CW có thể được kết hợp với vỏ HAU để bảo vệ các thành phần bên trong từ môi trường bên ngoài. Ví dụ, lớp nền thủy tinh CW và vỏ HAU có thể bảo vệ panen hiển thị DP. Theo phương án làm ví dụ này, lớp nền thủy tinh CW dùng làm cửa sổ che có thể xác định bề mặt trước của thiết bị điện tử DS. Lớp nền thủy tinh CW có thể bảo vệ ổn định các thành phần bên trong của thiết bị điện tử DS khỏi va chạm bên ngoài.

Lớp nền thủy tinh CW có thể được chia thành vùng thứ nhất CW-AR và vùng thứ hai CW-BR trên mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2.

Vùng thứ nhất CW-AR có thể là vùng trong suốt quang học. Ví dụ, lớp nền thủy tinh CW trong vùng thứ nhất CW-AR có thể có độ truyền cao trong vùng bước sóng của ánh sáng nhìn thấy. Vùng thứ nhất CW-AR truyền các hình ảnh IM1 và IM2 được tạo ra bởi panen hiển thị DP, nhờ đó cho phép các hình ảnh IM1 và IM2 thấy được dễ dàng với người dùng có mặt ở bên ngoài lớp nền thủy tinh CW. Vùng hoạt động AR về cơ bản có thể được xác định bởi vùng thứ nhất CW-AR.

Vùng thứ hai CW-BR liên kết với vùng thứ nhất CW-AR, và có thể ở trong vùng ngoại vi BR của thiết bị điện tử. Vì vùng ngoại vi BR có thể không hiển thị hình ảnh, vùng thứ hai CW-BR có thể có độ truyền quang học tương đối thấp hơn vùng thứ nhất CW-AR. Hình dạng của vùng thứ nhất CW-AR có thể được xác định bởi vùng thứ hai

CW-BR. Tuy nhiên, điều này được minh họa theo cách làm ví dụ, và trong thiết bị điện tử DR theo một phương án làm ví dụ của sáng chế, vùng thứ hai CW-BR có thể không được tạo ra ở đây.

Lớp nền thủy tinh CW có thể được chia thành phần phẳng FA và phần uốn cong BA. Phần phẳng FA có thể là một phần song song với mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Phần uốn cong BA liền kề với phần phẳng FA, và có thể là phần cong có dạng cong. Ví dụ, tham chiếu đến Fig.1B, phần uốn cong BA là phần liền kề với cả hai cạnh của phần phẳng FA, và có thể là một phần được cong xuống từ phần phẳng FA. Tuy nhiên, sáng chế không bị giới hạn ở đó, và phần uốn cong BA có thể được bố trí liền kề với chỉ một cạnh của phần phẳng FA, hoặc liền kề với tất cả bốn cạnh của phần phẳng FA trên mặt phẳng. Theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh CW có thể bao gồm phần phẳng FA và ít nhất một phần uốn cong BA liền kề với phần phẳng FA. Phần uốn cong BA của lớp nền thủy tinh CW có thể tương ứng với vùng uốn cong trong thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế.

Lớp nền thủy tinh CW có thể bao gồm bề mặt bên trên US (Fig.4A) và bề mặt bên dưới BS (Fig.4A), được đặt cách nhau theo hướng thứ ba DR3 trên mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2. Bề mặt bên trên US (Fig.4A) và bề mặt bên dưới BS (Fig.4A) có thể song song với nhau.

Bề mặt bên trên US (Fig.4A) có thể xác định bề mặt trước của thiết bị điện tử DS, và có thể là bề mặt được để lộ với người dùng mà sử dụng thiết bị điện tử DS. Bề mặt bên dưới BS (Fig.4A) có thể là bề mặt đối diện với panen hiển thị DP. Trong hình vẽ phối cảnh kết hợp của thiết bị điện tử DP được minh họa trên Fig.1A, bề mặt bên dưới BS (Fig.4A) không được lộ ra bên ngoài.

Panen hiển thị DP có thể được bố trí ở giữa lớp nền thủy tinh CW và vỏ HAU. Lớp nền thủy tinh CW có thể được gắn vào panen hiển thị DP hoặc có thể được gắn liền kề với panen hiển thị DP không có bất kỳ gắn kết nào với panen hiển thị DP. Panen hiển thị DP tạo ra các hình ảnh IM1 và IM2, và có thể cung cấp thông tin cho người dùng thông qua các hình ảnh IM1 và IM2. Ví dụ, các hình ảnh IM1 và IM2 được tạo ra bởi panen hiển thị DP có thể được truyền thông qua bề mặt bên dưới BS sau đó bề mặt bên trên US của lớp nền thủy tinh CW đến người dùng.

Panen hiển thị DP có thể bao gồm lớp đế BSL và lớp phân tử DD. Lớp đế BSL có thể chứa vật liệu cách ly. Ví dụ, lớp đế BSL có thể là lớp nền của đế chứa thủy tinh, lớp nền nhựa của đế chứa vật liệu polyme, hoặc màng phân lớp bao gồm màng hữu cơ và/hoặc màng vô cơ. Tuy nhiên, đó chỉ là một ví dụ, và lớp đế BSL theo một phương án làm ví dụ của sáng chế có thể bao gồm các kết cấu khác nhau và không bị giới hạn với ví dụ nêu trên.

Lớp phân tử DD có thể bao gồm các phân tử điện được kích hoạt để phản hồi các tín hiệu điện để hiển thị thông tin trực quan cho người dùng. Theo phương án làm ví dụ này, lớp phân tử DD có thể bao gồm các phân tử hiển thị để tạo ra các hình ảnh IM1 và IM2. Ví dụ, lớp phân tử DD có thể bao gồm thiết bị phát quang hữu cơ, phân tử điện âm, tụ điện tinh thể lỏng, hoặc phân tử điện di. Tuy nhiên, đó chỉ là một ví dụ, và lớp phân tử DD có thể bao gồm các phân tử cảm biến như các bộ cảm biến tiếp xúc hoặc các phân tử quang học. Lớp phân tử DD theo một phương án làm ví dụ của sáng chế có thể bao gồm các phân tử khác nhau phụ thuộc vào các chức năng của thiết bị điện tử DS, và không bị giới hạn với ví dụ nêu trên.

Vỏ HAU có thể là một trong số các chi tiết bên ngoài của thiết bị điện tử DS. Vỏ HAU có thể được kết hợp với lớp nền thủy tinh CW để bảo vệ các thành phần bên trong từ môi trường bên ngoài. Theo phương án làm ví dụ này, vỏ HAU có thể xác định bề mặt sau của thiết bị điện tử DS. Theo một phương án làm ví dụ của sáng chế, vỏ HAU có thể được kết hợp với lớp nền thủy tinh CW để tạo ra khung hoặc phần bao kín, và có thể được tạo ra từ vật liệu hoặc các vật liệu như, ví dụ, nhựa, thủy tinh, gốm, kim loại, các vật liệu tổng hợp, hoặc kết hợp của các vật liệu này.

Thiết bị điện tử DS có thể còn bao gồm các kết cấu bổ sung khác nhau có thể được bố trí trong vỏ HAU. Ví dụ, thiết bị điện tử DS có thể còn bao gồm kết cấu để cấp điện năng cho panen hiển thị DP, kết cấu để kết hợp ổn định lớp nền thủy tinh CW với panen hiển thị DP, kết cấu để kết hợp ổn định panen hiển thị DP với vỏ HAU, và tương tự. Ví dụ, theo một phương án làm ví dụ của sáng chế, vỏ HAU có thể bao gồm một hoặc nhiều chi tiết vỏ để chứa các kết cấu bổ sung khác nhau này. Thiết bị điện tử DS theo một phương án làm ví dụ của sáng chế có thể được tạo ra với các hình dạng khác nhau bao gồm các kết cấu khác nhau, và không bị giới hạn với các ví dụ nêu trên.

Fig.2 và Fig.3 lần lượt là các hình vẽ mặt cắt ngang minh họa lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Fig.2 và Fig.3 có thể là các hình vẽ mặt cắt ngang minh họa một phần tương ứng với đường I-I' trên Fig.1B. Fig.4A là hình vẽ phóng to của vùng AA trên Fig.2, và minh họa mặt cắt ngang của lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Fig.4B là biên dạng ứng suất nén trong lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế.

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm đế thủy tinh BG và các tinh thể nano NC. Đế thủy tinh BG có thể bao gồm silic oxit (SiO_2), nhôm oxit (Al_2O_3), và lithi oxit (Li_2O), và các tinh thể nano NC có thể có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm. Các tinh thể nano NC có thể được bao gồm trong đế thủy tinh BG.

Trong bản mô tả này, đế thủy tinh BG có thể thể hiện lớp nền thủy tinh sơ bộ trước khi thực hiện bước xử lý. Bước xử lý này có thể bao gồm bước làm cứng, bước xử lý nhiệt, và tương tự. Tức là, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể thể hiện trạng thái được tạo ra sau bước xử lý nhiệt, bước làm cứng, và tương tự được thực hiện trên đế thủy tinh BG. Ví dụ, lớp nền thủy tinh CW trong thiết bị điện tử DS (Fig.1A) theo phương án làm ví dụ được mô tả ở trên được tạo ra bằng cách xử lý đế thủy tinh BG, và có thể được sử dụng làm cửa sổ che.

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm các tinh thể nano NC để thể hiện các tính chất độ bền được tăng cường. Ví dụ, đế thủy tinh BG bao gồm các tinh thể nano NC có thể dùng làm lớp nền thủy tinh CW trong thiết bị điện tử DS (Fig.1A) theo phương án làm ví dụ được mô tả ở trên. Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm các tinh thể nano NC để ngăn chặn sự xuất hiện của các vết nứt do va chạm với bên ngoài hoặc sự gia tăng của các vết nứt được tạo ra do va chạm với bên ngoài, nhờ đó có độ bền chống va chạm cao. Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế thể hiện độ bền bề mặt cao và làm giảm sự xuất hiện của các vết nứt trên bề mặt, nhờ đó có khả năng có độ bền chống va chạm bề mặt cao.

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể có độ truyền cao sao cho nó được sử dụng làm cửa sổ che trong thiết bị điện tử DS (Fig.1A) được mô tả ở trên, và tương tự. Ví dụ, lớp nền thủy tinh CW có thể có độ truyền cao

khoảng 85% hoặc lớn hơn. Cụ thể, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể có độ truyền khoảng 85% hoặc lớn hơn trong vùng bước sóng của ánh sáng nhìn thấy, và cũng có độ bền chống va chạm được tăng cường. Ví dụ, lớp nền thủy tinh CW có thể có độ truyền khoảng 85% hoặc lớn hơn nằm trong miền bước sóng trong khoảng từ 350 nm đến 750 nm, nhưng sáng chế không bị giới hạn ở đó.

Theo một phương án làm ví dụ của sáng chế, để thủy tinh BG có thể còn bao gồm ít nhất một trong số natri oxit (Na_2O), kali oxit (K_2O), magiê oxit (MgO), bari oxit (BaO), stronti oxit (SrO), và canxi oxit (CaO) ngoài SiO_2 , Al_2O_3 , và Li_2O ra. Ngoài ra, để thủy tinh BG có thể còn bao gồm sắt oxit (Fe_2O_3), kẽm oxit (ZnO), titan oxit (TiO_2), photpho oxit (P_2O_5), ziriconi oxit (ZrO_2) hoặc tương tự.

Lớp nền thủy tinh CW chứa các tinh thể nano NC, và các tinh thể nano NC có thể có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm. Các tinh thể nano NC có thể được bao gồm trong đế thủy tinh BG. Các tinh thể nano NC có thể có dạng ba chiều dạng không nổi, và đường kính trung bình của các tinh thể nano NC có thể là giá trị trung bình số học đối với các chiều rộng tối đa của các tinh thể nano NC. Chiều rộng tối đa của mỗi trong số các tinh thể nano NC được xác định bằng cách đo mặt cắt ngang của mỗi trong số các tinh thể nano NC.

Khi đường kính trung bình của các tinh thể nano NC nhỏ hơn 5 nm, hiệu quả tăng cường độ bền của lớp nền thủy tinh CW bao gồm các tinh thể nano NC có thể không lớn. Hơn nữa, khi đường kính trung bình của các tinh thể nano NC lớn hơn 10 nm, ánh sáng tới trên lớp nền thủy tinh CW có thể được tán xạ do các tinh thể nano NC được phân tán trong đế thủy tinh BG, vì vậy độ truyền của lớp nền thủy tinh CW có thể được giảm xuống.

Mỗi trong số các tinh thể nano NC có thể bao gồm liti (Li). Bên cạnh Li, các tinh thể nano NC cũng có thể bao gồm nhôm (Al) và/hoặc silic (Si). Các tinh thể nano NC được bao gồm trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế bao gồm Li, và có thể là các tinh thể gốc Li-Si hoặc các tinh thể gốc Li-Al-Si. Các tinh thể gốc Li-Si có thể là các tinh thể được phát triển với các tiền chất chứa Li và Si, và các tinh thể gốc Li-Al-Si có thể là các tinh thể được phát triển với các tiền chất bao gồm tất cả trong số Li, Al, và Si.

Mỗi trong số các tinh thể nano NC có thể bao gồm liti disilicat ($\text{Li}_2\text{Si}_2\text{O}_5$), liti metasilicat (Li_2SiO_3) hoặc tương tự dưới dạng tinh thể gốc Li-Si. Hơn nữa, mỗi trong số các tinh thể nano NC có thể bao gồm liti aluminosilicat, như, ví dụ, $\text{LiAlSi}_2\text{O}_6$, $\text{LiAlSi}_3\text{O}_3$ hoặc tương tự là β -spodumen, là tinh thể gốc Li-Al-Si. Liti aluminosilicat thích hợp cũng có thể chứa LiAlSiO_4 , $\text{LiAlSi}_3\text{O}_8$, $\text{LiAlSi}_4\text{O}_{10}$ hoặc tương tự. Ví dụ, mỗi trong số các tinh thể nano NC có thể bao gồm ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, và $\text{LiAlSi}_3\text{O}_3$.

Tham chiếu đến Fig.2, trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế, các tinh thể nano NC có thể được bố trí liền kề với bề mặt của lớp nền thủy tinh CW. Mặc khác, không giống Fig.2, trong lớp nền thủy tinh CW-1 theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.3, các tinh thể nano NC có thể được khuếch tán và được phân tán trong đế thủy tinh BG. Ví dụ, các tinh thể nano NC có thể được phân tán đồng nhất trong toàn bộ đế thủy tinh BG.

Tham chiếu đến Fig.2 và Fig.4A, lớp nền thủy tinh CW có thể bao gồm bề mặt bên trên US và bề mặt bên dưới BS đối diện với nhau, và có thể có độ dày t_{CW} tương ứng với khe giữa bề mặt bên trên US và bề mặt bên dưới BS. Độ dày t_{CW} của lớp nền thủy tinh CW có thể nằm trong khoảng từ 0,3 mm đến 0,8 mm. Tức là, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có độ dày mỏng nằm trong khoảng từ 0,3 mm đến 0,8 mm, nhờ đó được sử dụng làm cửa sổ che của thiết bị điện tử DS (Fig.1A) theo phương án được mô tả ở trên, vì vậy thiết bị điện tử DS (Fig.1A) có thể mỏng và khối lượng nhẹ. Ví dụ, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể mỏng (trong khoảng từ 0,3 mm đến 0,8 mm) còn có độ bền bề mặt cao thích hợp để sử dụng trong các thiết bị điện tử, như các thiết bị điện tử di động.

Trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.2 và Fig.4A, các tinh thể nano NC có thể được bố trí liền kề với bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG. Tức là, các tinh thể nano NC có thể được bố trí liền kề với bề mặt (ví dụ, bề mặt bên trên US) được lộ ra bên ngoài trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế.

Trong lớp nền thủy tinh CW-1 theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.3, các tinh thể nano NC có thể được khuếch tán và được bố trí bên trong đế thủy tinh BG, và có thể được phân tán ngẫu nhiên trong đế thủy tinh BG. Các

tinh thể nano NC là các hạt mà mỗi hạt có kích thước cỡ nano với đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm. Theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh CW-1 trong đó các tinh thể nano NC được bố trí trong đế thủy tinh BG có thể duy trì độ truyền cao. Ví dụ, lớp nền thủy tinh CW-1 có thể có độ truyền khoảng 85% hoặc lớn hơn nằm trong miền bước sóng trong khoảng từ 350 nm đến 750 nm, nhưng sáng chế không bị giới hạn ở đó.

Trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.2 và Fig.4A, các tinh thể nano NC có thể được bố trí chủ yếu liền kề với bề mặt của lớp nền thủy tinh CW để thể hiện độ bền bề mặt được tăng cường thêm. Ngoài ra, lớp nền thủy tinh CW-1 theo một phương án làm ví dụ của sáng chế được minh họa trên Fig.3 có thể bao gồm các tinh thể nano CN được phân tán trong đế thủy tinh BG để thể hiện độ bền được tăng cường ở trạng thái khối. Nói cách khác, độ bền của khối này hoặc bề mặt của lớp nền thủy tinh CW-1 hoặc CW có thể được lần lượt tăng cường nhờ sự phân tán của các tinh thể nano CN trong khối của lớp nền thủy tinh CW-1 hoặc liền kề với bề mặt của lớp nền thủy tinh CW.

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm lớp ứng suất nén L_{DC} . Lớp ứng suất nén L_{DC} có thể được tạo ra liền kề với bề mặt của lớp nền thủy tinh CW. Lớp ứng suất nén L_{DC} có thể được tạo ra với độ sâu định trước theo hướng độ dày từ bề mặt của lớp nền thủy tinh CW. Trong bản mô tả này, lớp ứng suất nén L_{DC} có thể thể hiện vùng từ bề mặt của lớp nền thủy tinh CW đến điểm mà ứng suất nén CS trở thành không. Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm lớp ứng suất nén L_{DC} được tạo ra liền kề với ít nhất một trong số bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG. Tham chiếu đến Fig.4A và Fig.4B, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm lớp ứng suất nén L_{DC} được tạo ra liền kề với mỗi trong số bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG.

Trong lớp ứng suất nén L_{DC} , ứng suất nén CS có thể giảm dần về phía hướng độ dày từ bề mặt của lớp nền thủy tinh CW. Ví dụ, lớp ứng suất nén L_{DC} có thể được tạo ra thông qua bước làm cứng đế thủy tinh trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế được mô tả sau đây.

Độ sâu của lớp ứng suất nén L_{DC} có thể được biểu diễn là độ sâu nén t_{DC} . Độ sâu nén t_{DC} được tạo ra có thể thay đổi với các đặc tính của đế thủy tinh BG được sử dụng và điều kiện xử lý và gia công hóa học xác định tại bước làm cứng đế thủy tinh BG. Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm các lớp tinh thể L_{NC} được bố trí liên kề với bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG. Các lớp tinh thể L_{NC} có thể thể hiện các vùng trong đó các tinh thể nano NC được bố trí. Trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế, các lớp tinh thể L_{NC} có thể được tạo ra liên kề với ít nhất một trong số bề mặt bên trên US và bề mặt bên dưới BS. Tham chiếu đến Fig.2 và Fig.4A, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm lớp tinh thể L_{NC} liên kề với mỗi trong số bề mặt bên trên US và bề mặt bên dưới BS.

Trong bản mô tả này, độ sâu lớp tinh thể t_{NC} có thể thể hiện độ sâu tối đa từ bề mặt của lớp nền thủy tinh CW tới điểm mà các tinh thể nano NC được bố trí tại đó khi các tinh thể nano NC được bố trí liên kề với bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG. Ví dụ, các tinh thể nano NC được phân tán trong vùng từ bề mặt bên trên US đến độ sâu lớp tinh thể t_{NC} trong đế thủy tinh BG và vùng từ bề mặt bên dưới BS đến độ sâu lớp tinh thể t_{NC} trong đế thủy tinh BG.

Độ sâu nén t_{DC} , là độ sâu của lớp ứng suất nén L_{DC} trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế, có thể là độ sâu lớp tinh thể t_{NC} hoặc lớn hơn. Độ sâu lớp tinh thể t_{NC} có thể khoảng 10% hoặc nhỏ hơn tổng độ dày lớp nền thủy tinh CW t_{CW} . Các lớp tinh thể L_{NC} được bố trí liên kề với cả bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG, và độ sâu lớp tinh thể t_{NC} của mỗi lớp tinh thể L_{NC} có thể khoảng 10% hoặc nhỏ hơn tổng độ dày của lớp nền thủy tinh CW. Do đó, khi các lớp tinh thể L_{NC} được bố trí liên kề với cả bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG, tổng độ sâu của các lớp tinh thể L_{NC} có thể khoảng 20% hoặc nhỏ hơn tổng độ dày lớp nền thủy tinh CW t_{CW} .

Trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế, các tinh thể nano NC có thể được bao gồm trong lớp ứng suất nén L_{DC} . Ví dụ, lớp tinh thể L_{NC} có thể được bao gồm trong lớp ứng suất nén L_{DC} . Ví dụ, độ sâu lớp tinh thể t_{NC} có thể bằng hoặc nhỏ hơn độ sâu nén t_{DC} .

Fig.4B là minh họa làm ví dụ của biên dạng ứng suất SP thể hiện sự phân bố của ứng suất nén CS trong lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế. Trên Fig.4B, hướng mũi tên của trục chỉ ra ứng suất nén CS tương ứng với hướng trong đó ứng suất nén CS tăng lên. Tham chiếu đến Fig.4B, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể lần lượt thể hiện giá trị ứng suất nén CS tối đa trên bề mặt bên trên US và bề mặt bên dưới BS của đế thủy tinh BG, và giá trị ứng suất nén CS giảm dần về phía hướng trung tâm của lớp nền thủy tinh CW. Mặc khác, tại độ sâu nén t_{DC} hoặc lớn hơn, giá trị ứng suất nén CS có thể thể hiện giá trị âm (-). Giá trị ứng suất nén âm CS có thể là ứng suất kéo. Ví dụ, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể có các phần bề mặt ứng suất nén thứ nhất và thứ hai đối diện nhau được liên kết với phần lõi ứng suất kéo. Độ sâu nén t_{DC} có thể thể hiện khoảng cách theo chiều thẳng đứng từ bề mặt bên trên US hoặc bề mặt bên dưới BS đến điểm mà biên dạng nén SP giao cắt với đường tham chiếu BL tại đó trong đó ứng suất nén CS trở thành không.

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể có ứng suất nén CS khoảng 600 MPa hoặc lớn hơn từ bề mặt. Ví dụ, lớp nền thủy tinh CW có thể có ứng suất nén CS khoảng 800 MPa hoặc lớn hơn từ bề mặt. Độ sâu nén t_{DC} có thể khoảng 10% hoặc lớn hơn tổng độ dày t_{CW} của lớp nền thủy tinh CW. Ví dụ, độ sâu nén t_{DC} có thể khoảng 15% hoặc lớn hơn tổng độ dày t_{CW} từ bề mặt của lớp nền thủy tinh CW. Mặc khác, độ sâu lớp tinh thể t_{NC} có thể khoảng 10% hoặc nhỏ hơn tổng độ dày lớp nền thủy tinh CW t_{CW} .

Lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm đế thủy tinh BG chứa SiO_2 , Al_2O_3 , và Li_2O , và các tinh thể nano NC có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm, nhờ đó có độ bền chống va chạm được tăng cường. Mặc khác, theo một phương án làm ví dụ của sáng chế, các tinh thể nano NC được chứa trong đế thủy tinh BG. Ngoài ra, theo một phương án làm ví dụ của sáng chế, lớp nền thủy tinh CW bao gồm lớp ứng suất nén L_{DC} với các tinh thể nano NC được bao gồm trong lớp ứng suất nén L_{DC} và có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm có thể thể hiện độ bền bề mặt được tăng cường.

Lớp nền thủy tinh CW theo phương án được mô tả ở trên có thể bao gồm các tinh thể nano NC mỗi trong số đó chứa Li, nhờ đó có độ bền chống va chạm được tăng cường trong khi duy trì độ truyền cao. Ví dụ, lớp nền thủy tinh CW có thể có độ truyền khoảng

85% hoặc lớn hơn nằm trong miền bước sóng trong khoảng từ 350 nm đến 750 nm, nhưng sáng chế không bị giới hạn ở đó. Trong khi đó, lớp nền thủy tinh CW theo một phương án làm ví dụ của sáng chế có thể bao gồm các tinh thể nano NC được bố trí trong vùng liền kề với bề mặt của lớp nền thủy tinh CW để được chứa trong lớp ứng suất nén L_{DC} , nhờ đó thể hiện các tính chất độ bền được tăng cường trong khi thể hiện các tính chất truyền tốt. Ví dụ, lớp nền thủy tinh CW có thể có độ truyền khoảng 85% hoặc lớn hơn nằm trong miền bước sóng trong khoảng từ 350 nm đến 750 nm, nhưng sáng chế không bị giới hạn ở đó.

Sau đây, phương pháp chế tạo lớp nền thủy tinh được mô tả ở trên theo một phương án làm ví dụ của sáng chế sẽ được mô tả với tham chiếu đến các hình vẽ từ Fig.5 đến Fig.15B. Trong mô tả của phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, các nội dung trùng lặp với các nội dung về lớp nền thủy tinh của phương án làm ví dụ được mô tả ở trên sẽ không được mô tả lại, nhưng các nội dung khác nhau sẽ được mô tả chủ yếu.

Fig.5 và Fig.6 lần lượt là các lưu đồ thể hiện các phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Tham chiếu đến Fig.5 và Fig.6, phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể bao gồm bước S100 là tạo ra đế thủy tinh, và bước S200 là xử lý nhiệt đế thủy tinh tại nhiệt độ thứ nhất. Ngoài ra, phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể còn bao gồm bước làm cứng đế thủy tinh. Trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, bước làm cứng đế thủy tinh có thể là bước S300 để làm cứng đế thủy tinh theo cách hóa học.

Trong bước S100 là tạo ra đế thủy tinh, đế thủy tinh này có thể chứa SiO_2 , Al_2O_3 , và Li_2O . Đế thủy tinh được tạo ra có thể là phẳng. Ngoài ra, đế thủy tinh có thể bị uốn cong. Ví dụ, đế thủy tinh có thể bị uốn cong lồi hoặc lõm trên cơ sở của phần trung tâm. Nói cách khác, đế thủy tinh có thể bao gồm phần phẳng và phần uốn cong tại phần bên ngoài liền kề với phần phẳng. Theo một phương án làm ví dụ của sáng chế, đế thủy tinh có thể bao gồm phần phẳng và ít nhất một phần uốn cong liền kề với phần phẳng. Tuy nhiên, sáng chế không bị giới hạn ở đó, và đế thủy tinh có thể được tạo ra trong các hình dạng khác nhau.

Để thủy tinh được tạo ra có thể được chế tạo bằng quy trình thả nổi, quy trình kéo xuống, quy trình nóng chảy, hoặc quy trình tương tự. Theo cách khác, để thủy tinh mỏng có thể được tạo ra bằng cách mài hoặc khắc từ thủy tinh dày hơn. Tuy nhiên, sáng chế không bị giới hạn ở đó, và để thủy tinh được tạo ra có thể được chế tạo bằng các phương pháp khác nhau không được lấy làm ví dụ. Để thủy tinh được tạo ra trong bước S100 tạo ra để thủy tinh có thể là lớp nền thủy tinh không được gia công được chế tạo bởi quy trình bất kỳ trong số các quy trình khác nhau được mô tả ở trên, hoặc lớp nền thủy tinh được cắt từ lớp nền thủy tinh mẹ khi xét đến mục đích sử dụng.

Theo một phương án làm ví dụ của sáng chế, để thủy tinh được tạo ra có thể còn bao gồm ít nhất một trong số Na_2O , K_2O , MgO , BaO , SrO và CaO ngoài SiO_2 , Al_2O_3 , và Li_2O ra. Ngoài ra, để thủy tinh có thể còn chứa Fe_2O_3 , ZnO , TiO_2 , ZrO_2 , P_2O_5 , hoặc tương tự.

Phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể còn bao gồm bước S200 là xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất sau bước S100 tạo ra để thủy tinh. Trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, bước S200 là xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất có thể là bước nuôi các tinh thể nano bên trong để thủy tinh được tạo ra. Ví dụ, bước S200 là xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất có thể là bước tạo ra các tinh thể nano được nuôi từ Li_2O được bao gồm trong để thủy tinh được tạo ra. Theo một phương án làm ví dụ của sáng chế, việc xử lý nhiệt của để thủy tinh tại nhiệt độ thứ nhất có thể bao gồm hai hoặc nhiều hơn hai bước với hai hoặc nhiều hơn hai nhiệt độ khác nhau trong quy trình xử lý nhiệt. Bằng cách xử lý nhiệt để thủy tinh với hai hoặc nhiều hơn hai quy trình gia nhiệt có thể nuôi các tinh thể nano tốt hơn hoặc có thể nuôi các tinh thể nano để tạo ra hình dạng mong muốn và có thành phần mong muốn, và do đó có thể cung cấp để thủy tinh có các tính chất độ bền tốt hơn trong khi thể hiện các tính chất truyền tốt.

Nhiệt độ thứ nhất có thể nằm trong khoảng từ $(T_g+50)^\circ\text{C}$ đến $(T_s+150)^\circ\text{C}$. Ở đây, T_g là nhiệt độ chuyển pha thủy tinh của để thủy tinh, và T_s là nhiệt độ điểm hóa mềm của để thủy tinh. Khi nhiệt độ thứ nhất là xử lý nhiệt để thủy tinh thấp hơn $(T_g+50)^\circ\text{C}$, để thủy tinh không bị biến dạng, nhưng tính di động của các ion được phân tán trong đó bị hạ xuống, vì vậy việc tạo mầm đối với sự nuôi tinh thể nano có thể khó khăn. Ngoài ra, khi nhiệt độ thứ nhất vượt quá $(T_s+150)^\circ\text{C}$, việc tạo mầm và nuôi trồng tinh thể nano có

thể được thực hiện dễ dàng, nhưng để thủy tinh có thể bị biến dạng do ảnh hưởng của nhiệt độ cao.

Fig.7 là đồ thị thể hiện các kết quả phân tích nhiệt của đế thủy tinh. Fig.7 thể hiện các kết quả phân tích nhiệt được thực hiện đối với ba mẫu đế thủy tinh sử dụng sự phân tích cơ nhiệt (thermomechanical analysis - TMA). Các đế thủy tinh được chỉ ra là các mẫu 1 đến 3 tất cả bao gồm SiO_2 , Al_2O_3 , và Li_2O . Trên Fig.7, T_g (T_g -1, T_g -2, T_g -3) là nhiệt độ chuyển pha thủy tinh đối với mỗi mẫu, và T_s (T_s -1, T_s -2, T_s -3) là nhiệt độ điểm hóa mềm đối với mỗi mẫu. Tham chiếu đến Fig.7, T_g của đế thủy tinh được tạo ra trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể nằm trong khoảng từ 400°C đến 700°C , và T_s của đế thủy tinh có thể nằm trong khoảng từ 500°C đến 750°C .

Dựa trên các kết quả TMA nêu trên, nhiệt độ thứ nhất để xử lý nhiệt đế thủy tinh có thể nằm trong khoảng từ 450°C đến 900°C . Ví dụ, nhiệt độ thứ nhất có thể nằm trong khoảng từ $(T_g+50)^\circ\text{C}$ (ví dụ, T_g khoảng 400°C) đến $(T_s+150)^\circ\text{C}$ (ví dụ, T_s khoảng 750°C). Tức là, khi nhiệt độ thứ nhất thấp hơn khoảng 450°C , tính di động của các ion của đế thủy tinh trong đó bị hạ xuống, vì vậy sự nuôi trồng tinh thể nano có thể không dễ dàng, và khi nhiệt độ thứ nhất vượt quá 900°C , đế thủy tinh có thể bị biến dạng.

Bước S200 là xử lý nhiệt tại nhiệt độ thứ nhất có thể được tiến hành trong buồng pha khí. Đế thủy tinh có thể được tạo ra trong buồng các hình dạng khác nhau. Ví dụ, đế thủy tinh được xử lý trong hình dạng của các ô, vì vậy các ô này có thể được tạo ra ở trạng thái xếp chồng. Mặc khác, ô được xử lý có thể được cắt và được đúc trong dạng của lớp nền thủy tinh CW (Fig.1A), và được sử dụng làm cửa sổ che của thiết bị điện tử DS (Fig.1A) được mô tả ở trên. Khi các ô được tạo ra ở dạng xếp chồng và bước xử lý nhiệt được thực hiện trong buồng, các ô xếp chồng đóng vai trò là bộ đỡ, nhờ đó có khả năng giảm thiểu sự biến dạng của đế thủy tinh ngay cả dưới các điều kiện xử lý nhiệt độ cao.

Bước S200 là xử lý nhiệt tại nhiệt độ thứ nhất có thể được thực hiện bằng phương pháp trong đó đế thủy tinh được tạo ra ở dạng của thủy tinh chưa được xử lý được treo và được cố định theo hướng thẳng đứng trong buồng, và được xử lý nhiệt.

Bước S200 là xử lý nhiệt đế thủy tinh trong dạng của thủy tinh chưa được xử lý tại nhiệt độ thứ nhất có thể được thực hiện sử dụng thủy tinh chịu nhiệt. Fig.8 là hình vẽ thể

hiện bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất theo một phương án làm ví dụ của sáng chế.

Trên Fig.8, các đế thủy tinh BG có thể được tạo ra ở trạng thái phân lớp cùng với các thủy tinh chịu nhiệt SW. Thủy tinh chịu nhiệt SW có thể là lớp nền thủy tinh có độ dày lớn hơn độ dày của đế thủy tinh BG là lớp nền thủy tinh trước khi xử lý, và có thể có độ chịu nhiệt sao cho sự biến dạng do nhiệt không xuất hiện tại nhiệt độ điểm hóa mềm T_s hoặc cao hơn của đế thủy tinh BG. Thủy tinh chịu nhiệt SW có thể có kích thước lớn hơn khi so sánh với đế thủy tinh BG. Đế thủy tinh BG và thủy tinh chịu nhiệt SW được bố trí theo cách xen kẽ, và đế thủy tinh BG được bố trí ở giữa các thủy tinh chịu nhiệt SW đối diện nhau, nhờ đó được đỡ bởi các thủy tinh chịu nhiệt SW trong suốt bước xử lý nhiệt, vì vậy sự biến dạng của đế thủy tinh BG có thể được giảm thiểu.

Bước S200 xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất có thể được thực hiện trong khoảng 24 giờ hoặc nhiều hơn tại nhiệt độ thứ nhất. Ví dụ, bước S200 xử lý nhiệt tại nhiệt độ thứ nhất có thể được thực hiện trong khoảng từ 24 giờ đến 96 giờ. Ví dụ, bước S200 là xử lý nhiệt tại nhiệt độ thứ nhất có thể được thực hiện trong khoảng từ 48 giờ đến 72 giờ.

Trong bước S200 xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất, các tinh thể nano có thể được tạo ra. Tức là, đế thủy tinh có thể được xử lý nhiệt trong khoảng 24 giờ hoặc lớn hơn tại nhiệt độ thứ nhất để nuôi trồng các tinh thể nano sao cho chúng liền kề với phần bên trong của đế thủy tinh hoặc bề mặt của đế thủy tinh. Theo một phương án làm ví dụ của sáng chế, phụ thuộc vào thành phần cụ thể của đế thủy tinh, và bằng cách TMA và phân tích nhiễu xạ tia X, các điều kiện thích hợp (ví dụ, nhiệt độ gia nhiệt và thời gian gia nhiệt) trong việc xử lý nhiệt để thủy tinh có thể được chọn và được thực hiện trên đế thủy tinh để nuôi trồng các tinh thể nano có hình thái mong muốn, thành phần và kích thước trong đế thủy tinh.

Các tinh thể nano có thể là các hạt tinh thể mỗi hạt chứa Li. Các tinh thể nano này có thể được tạo ra với Li_2O được chứa trong đế thủy tinh và dùng làm chất tạo mầm kết tinh. Theo cách khác, các khuyết tật nhỏ, bụi, hoặc tương tự trên bề mặt của đế thủy tinh có thể trở thành nhân dùng cho sự nuôi trồng tinh thể nano, vì vậy các tinh thể nano có thể được nuôi trồng và được bố trí liền kề với bề mặt của đế thủy tinh.

Các tinh thể nano được tạo ra trong bước S200 xử lý nhiệt tại nhiệt độ thứ nhất có thể là các tinh thể gốc Li-Si, hoặc các tinh thể gốc Li-Al-Si. Mỗi trong số các tinh thể nano có thể bao gồm ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, và $\text{LiAlSi}_3\text{O}_8$. Theo cách khác, các tinh thể nano có thể bao gồm hoặc ngoài ra bao gồm ít nhất một trong số LiAlSiO_4 , $\text{LiAlSi}_3\text{O}_8$, và $\text{LiAlSi}_4\text{O}_{10}$. Các tinh thể nano có thể có đường kính trung bình nằm trong khoảng từ 5nm đến 10nm.

Không giống phương pháp chế tạo lớp nền thủy tinh theo phương án làm ví dụ được mô tả ở trên, để thủy tinh được tạo ra trong bước S100 tạo ra để thủy tinh có thể được tạo ra sao cho bột gốm được bao gồm. Ví dụ, Fig.9 thể hiện bước S100 là tạo ra để thủy tinh theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến Fig.9, bước S100 tạo ra để thủy tinh có thể bao gồm bước S10 là trộn bột gốm và bột thủy tinh để tạo ra dung dịch nóng chảy được trộn, và bước S30 là đúc dung dịch nóng chảy được trộn thành dạng tấm. Trong khi đó, bột gốm có thể là các tinh thể nano mỗi trong số chúng chứa Li. Tức là, không giống để thủy tinh được tạo ra trong phương pháp chế tạo lớp nền thủy tinh theo phương án làm ví dụ được mô tả với tham chiếu đến Fig.5 và Fig.6, để thủy tinh được chế tạo và được bố trí giống với phương án làm ví dụ được thể hiện trên Fig.9 có thể bao gồm các hạt tinh thể bên trong để thủy tinh trước bước S200 (Fig.5) là xử lý nhiệt để thủy tinh.

Bột gốm có thể là các tinh thể gốc Li-Si, các tinh thể gốc Li-Al-Si, hoặc vật liệu vô cơ như TiO_2 , P_2O_5 , và ZrO_2 . Tuy nhiên, sáng chế không bị giới hạn ở đó, và bột gốm có thể được sử dụng mà không có giới hạn miễn là nó có thể được trộn với bột thủy tinh và dùng làm chất tạo mầm kết tinh có thể nuôi trồng các tinh thể.

Bột thủy tinh có thể là các hạt thủy tinh dạng bột. Bột thủy tinh có thể thu được bằng cách tán bột thủy tinh chưa được xử lý được chế tạo bởi quy trình thả nổi, quy trình kéo xuống, quy trình nóng chảy hoặc tương tự như được mô tả ở trên. Bột thủy tinh có thể bao gồm SiO_2 , Al_2O_3 , và Li_2O .

Bột gốm và bột thủy tinh có thể được nóng chảy tại nhiệt độ điểm hóa mềm T_s hoặc cao hơn của bột thủy tinh để tạo ra dung dịch nóng chảy được trộn. Tiếp theo, dung dịch nóng chảy được trộn có thể được tạo ra trong khuôn để đúc và được đúc trong hình dạng tấm để chế tạo để thủy tinh. Bước S200 (Fig.5) là xử lý nhiệt có thể được thực hiện trên để thủy tinh được tạo ra bằng cách đúc.

Bước S200 (Fig.5) là xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất có thể là bước xử lý nhiệt để thủy tinh đề xuất theo phương án làm ví dụ được thể hiện trên Fig.9 và nuôi trồng các tinh thể bên trong để thủy tinh. Lớp nền thủy tinh được chế tạo bằng cách xử lý nhiệt để thủy tinh được đề xuất với phương án làm ví dụ được thể hiện trên Fig.9 có thể có dạng trong đó các tinh thể nano NC được phân tán bên trong để thủy tinh BG, giống như lớp nền thủy tinh CW-1 theo phương án làm ví dụ được minh họa trên Fig.3 như được mô tả ở trên. Các tinh thể nano được tạo ra như được minh họa trên Fig.9 mỗi trong số đó có thể bao gồm ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, và $\text{LiAlSi}_3\text{O}_8$. Theo cách khác, các tinh thể nano có thể bao gồm hoặc ngoài ra bao gồm ít nhất một trong số LiAlSiO_4 , $\text{LiAlSi}_3\text{O}_8$, và $\text{LiAlSi}_4\text{O}_{10}$.

Phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể còn bao gồm bước làm cứng để thủy tinh sau bước S200 xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất. Tham chiếu đến Fig.6, phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể bao gồm bước S300 làm cứng để thủy tinh theo cách hóa học được xử lý nhiệt sau bước S200 xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất.

Bước S300 làm cứng để thủy tinh theo cách hóa học có thể là bước tạo ra muối nóng chảy làm cứng cho để thủy tinh để tăng cường độ bền bề mặt của để thủy tinh bằng cách sử dụng sự trao đổi ion. Để thủy tinh được xử lý nhiệt tại nhiệt độ thứ nhất chứa các tinh thể nano trong đó, và bề mặt của nó có thể được gia bền nhờ sự trao đổi ion. Ví dụ, bước S300 có thể còn tăng cường độ bền bề mặt của để thủy tinh sau khi được xử lý nhiệt tại nhiệt độ thứ nhất. Ví dụ, bước S300 làm cứng để thủy tinh theo cách hóa học bằng sự trao đổi ion có thể được thực hiện bằng cách trao đổi các ion kim loại kiềm có bán kính ion tương đối nhỏ trên bề mặt của để thủy tinh với các ion kim loại kiềm có bán kính ion lớn hơn. Ví dụ, việc làm cứng bề mặt có thể đạt được bằng cách trao đổi các ion Na^+ hoặc tương tự trên bề mặt của để thủy tinh với các ion K^+ hoặc tương tự. Lớp nền thủy tinh được chế tạo thông qua bước S300 là làm cứng theo cách hóa học có thể bao gồm lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B) trên bề mặt của lớp nền thủy tinh này. Mặc khác, giá trị ứng suất nén có thể thể hiện giá trị âm (-) ở trung tâm của để thủy tinh sau bước S300 làm cứng theo cách hóa học. Giá trị ứng suất nén âm có thể là ứng suất kéo. Ví dụ, lớp nền thủy tinh được chế tạo thông qua bước S300 làm cứng theo cách hóa học

có thể có các phản ứng suất nén bề mặt thứ nhất và thứ hai đối diện nhau được liên kết với phần lõi ứng suất kéo.

Bước S300 làm cứng để thủy tinh theo cách hóa học có thể chứa muối đơn chứa bất kỳ một ion trong số Na^+ , K^+ , Rb^+ và Cs^+ dưới dạng muối nóng chảy làm cứng. Theo cách khác, bước S300 làm cứng để thủy tinh theo cách hóa học có thể chứa muối được trộn bao gồm hai hoặc nhiều hơn hai ion trong số Li^+ , Na^+ , K^+ , Rb^+ và Cs^+ dưới dạng muối nóng chảy làm cứng. Ví dụ, muối được trộn có thể chứa hai ion trong số Li^+ , Na^+ , K^+ , Rb^+ và Cs^+ .

Bước S300 làm cứng để thủy tinh theo cách hóa học có thể được thực hiện dưới dạng một bước làm cứng. Theo cách khác, bước S300 làm cứng để thủy tinh theo cách hóa học có thể được chia thành nhiều bước con và được thực hiện. Ví dụ, bước S300 làm cứng để thủy tinh theo cách hóa học có thể được tiến hành trong bước làm cứng đa công đoạn.

Khi bước S300 làm cứng để thủy tinh theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn, thành phần của muối nóng chảy làm cứng được sử dụng trong mỗi bước con làm cứng có thể là khác nhau. Tuy nhiên, sáng chế không bị giới hạn ở đó, và thành phần của muối nóng chảy làm cứng được sử dụng trong mỗi bước con làm cứng có thể giống nhau, hoặc thành phần của một số muối nóng chảy có thể là khác nhau.

Bước S300 làm cứng để thủy tinh theo cách hóa học có thể được thực hiện tại nhiệt độ thứ hai. Nhiệt độ thứ hai có thể là nhiệt độ bằng hoặc thấp hơn nhiệt độ thứ nhất của bước S200 xử lý nhiệt để thủy tinh. Ví dụ, nhiệt độ thứ hai có thể nằm trong khoảng từ 350°C đến 500°C . Ví dụ, nhiệt độ thứ hai có thể nằm trong khoảng từ 350°C đến 450°C .

Khi bước S300 làm cứng để thủy tinh theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn, bước con làm cứng thứ nhất thực hiện xử lý trao đổi ion tại nhiệt độ làm cứng thứ nhất và bước con làm cứng thứ hai thực hiện việc xử lý trao đổi ion tại nhiệt độ làm cứng thứ hai có thể được bao gồm. Ví dụ, bước S300 làm cứng để thủy tinh theo cách hóa học có thể bao gồm bước con làm cứng thứ nhất và bước con làm cứng thứ hai, và nhiệt độ thứ hai được thực hiện tại bước 300 có thể bao gồm nhiệt độ làm cứng thứ nhất và nhiệt độ làm cứng thứ hai. Trong khi đó, khi bước S300 làm cứng theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn, nhiệt độ làm cứng

thứ hai có thể bằng hoặc nhỏ hơn nhiệt độ làm cứng thứ nhất. Theo một phương án làm ví dụ của sáng chế, nhiệt độ làm cứng thứ nhất và nhiệt độ làm cứng thứ hai có thể nằm trong khoảng từ 350°C đến 500°C.

Lớp ứng suất nén có thể được tạo ra liền kề với bề mặt của đế thủy tinh sau bước S300 làm cứng đế thủy tinh theo cách hóa học. Lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B) có thể được xác định là lớp từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh đến điểm mà tại đó giá trị ứng suất nén CS trở thành không. Độ sâu t_{DC} của lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B) có thể được xác định là độ sâu nén (DOC).

Độ sâu từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh đến điểm mà tại đó nồng độ của các ion Na^+ trở thành không có thể giống với độ sâu nén (DOC), là độ sâu của lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B). Ví dụ, độ sâu từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh đến điểm mà trong đó nồng độ của các ion Na^+ trở thành không có thể nằm trong phạm vi của độ sâu nén (DOC) $\pm 10\mu m$. Nói cách khác, độ sâu nén (DOC) là độ dày của lớp bề mặt thủy tinh trong đó sự trao đổi ion xảy ra và ứng suất nén sinh ra.

Lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B) có thể bao gồm lớp con ứng suất nén được xác định là điểm mà tại đó nồng độ của các ion K^+ trở thành không. Lớp con ứng suất nén có thể là lớp được tạo ra bằng sự trao đổi ion K^+ . Độ sâu của lớp con ứng suất nén có thể được xác định là độ sâu của lớp ion K^+ (DOL-K).

Khi bước S300 làm cứng đế thủy tinh theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn, lớp ứng suất nén L_{DC} (Fig.4A và Fig.4B) có thể bao gồm điểm chuyển tiếp mà tại đó biên dạng của ứng suất nén được chuyển tiếp. Trong trường hợp này, điểm chuyển tiếp của giá trị ứng suất nén có thể điểm tương ứng với độ sâu của lớp ion K^+ (DOL-K), là điểm tại đó nồng độ của K^+ các ion trở thành không. Khi bước S300 làm cứng đế thủy tinh theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn, lớp ứng suất nén có thể thể hiện cả độ sâu nén (DOC) và độ sâu của lớp ion K^+ (DOL-K). Độ sâu của lớp ion K^+ (DOL-K) có thể được bao gồm trong độ sâu nén (DOC). Ví dụ, độ sâu của lớp ion K^+ (DOL-K) có thể nhỏ hơn độ sâu nén (DOC).

Fig.10 thể hiện biên dạng nhiệt độ dưới dạng sơ đồ trong quy trình theo các bước của phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế.

Trong khi đó, biên dạng nhiệt độ trong quy trình được thể hiện trên Fig.10 có thể chỉ báo nhiệt độ của đế thủy tinh hoặc lớp nền thủy tinh trong mỗi bước xử lý.

Tham chiếu đến Fig.10, đế thủy tinh trong bước S100 đề xuất đế thủy tinh có thể được tạo ra tại nhiệt độ phòng RT. Đế thủy tinh được tạo ra có thể chứa SiO_2 , Al_2O_3 , và Li_2O .

Sau đây, bước S200 xử lý nhiệt đế thủy tinh tại nhiệt độ thứ nhất có thể được thực hiện tại nhiệt độ T1. Tức là, nhiệt độ của đế thủy tinh có thể được duy trì tại T1 trong bước S200 xử lý nhiệt. Trong trường hợp này, nhiệt độ T1 có thể là nhiệt độ nằm trong khoảng từ $(T_g+50)^\circ\text{C}$ đến $(T_s+150)^\circ\text{C}$ của đế thủy tinh. Ví dụ, T1 có thể nằm trong khoảng từ 450°C đến 700°C . Ở đây, chỉ một nhiệt độ xử lý nhiệt T1 được lấy làm ví dụ, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án làm ví dụ của sáng chế, đế thủy tinh có thể phải chịu việc xử lý nhiệt thứ nhất tại nhiệt độ thứ nhất để tạo ra nhân trong đế thủy tinh thích hợp để tạo ra các tinh thể nano, sau đó đế thủy tinh có thể phải chịu việc xử lý nhiệt thứ hai tại nhiệt độ thứ hai để tạo ra các tinh thể nano có hình thái mong muốn, thành phần và kích thước trong đế thủy tinh.

Fig.10 thể hiện biên dạng nhiệt độ trong trường hợp trong đó bước S300 làm cứng đế thủy tinh theo cách hóa học được thực hiện trong bước làm cứng đa công đoạn. Bước S300 làm cứng đế thủy tinh theo cách hóa học có thể bao gồm bước con làm cứng thứ nhất S310 thực hiện xử lý trao đổi ion tại T21, là nhiệt độ làm cứng thứ nhất, và bước con làm cứng thứ hai S320 thực hiện xử lý trao đổi ion tại T22, là nhiệt độ làm cứng thứ hai. T21 và T22, là nhiệt độ làm cứng thứ nhất và thứ hai của bước S300 để làm cứng đế thủy tinh theo cách hóa học, có thể là nhiệt độ bằng hoặc thấp hơn T1, là nhiệt độ thứ nhất. Ngoài ra, T22, là nhiệt độ làm cứng thứ hai, có thể bằng hoặc nhỏ hơn T21, là nhiệt độ làm cứng thứ nhất. Theo một phương án làm ví dụ của sáng chế, nhiệt độ làm cứng thứ nhất T21 và nhiệt độ làm cứng thứ hai T22 có thể nằm trong khoảng từ 350°C đến 500°C .

Các hình vẽ từ Fig.11A đến Fig.11C là các đồ thị thể hiện các kết quả phân tích tán xạ tia X góc nhỏ (SAXS) trước và sau bước xử lý nhiệt trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Các hình vẽ từ Fig.11A đến Fig.11C lần lượt chỉ ra dữ liệu SAXS đối với các ví dụ từ 1 đến 3, trong đó “ref” là dữ liệu SAXS đối với đế thủy tinh trước khi bước xử lý nhiệt, và các ví dụ chỉ dữ liệu SAXS sau bước xử lý nhiệt đế thủy tinh. Trên các hình vẽ từ Fig.11A đến Fig.11C,

“SDP” chỉ ra đỉnh vai, và nó có thể thấy được từ sự tăng lên của diện tích của đỉnh vai liệu các tinh thể nano được nuôi trồng hay không. Trong khi đó, trên các hình vẽ từ Fig.11A đến Fig.11C, mũi tên ($\rightarrow$) chỉ hướng tăng lên của đỉnh vai.

Trên Fig.11A, “ref” là đồ thị phân tích SAXS đối với đế thủy tinh trước khi bước xử lý nhiệt, “Ví dụ 1-1” là đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh của “ref” trong khoảng 72 giờ tại nhiệt độ khoảng 535°C, và “Ví dụ 1-2” là đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh trong khoảng 48 giờ tại nhiệt độ khoảng 575°C. Từ kết quả của Fig.11A, có thể thấy được rằng các tinh thể nano sau bước xử lý nhiệt được nuôi trong lớp nền thủy tinh, từ thực tế rằng đỉnh vai SDP sau bước xử lý nhiệt lớn hơn đỉnh vai SDP trước khi bước xử lý nhiệt.

Trên Fig.11B, “Ví dụ 2-1” là đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh của “ref” trong khoảng 48 giờ tại nhiệt độ khoảng 650°C, và “Ví dụ 2-2” chỉ báo đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh “ref” trong khoảng 72 giờ tại nhiệt độ khoảng 620°C. Các nhiệt độ được sử dụng trong việc xử lý nhiệt đế thủy tinh trên Fig.11B lớn hơn các nhiệt độ được sử dụng trong việc xử lý nhiệt đế thủy tinh trên Fig.11A, và các đỉnh vai SDP sau bước xử lý nhiệt đế thủy tinh trên Fig.11B lớn hơn các đỉnh vai SDP sau bước xử lý nhiệt đế thủy tinh trên Fig.11A. Ngoài ra, trên Fig.11C, “Ví dụ 3-1” là đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh của “ref” trong khoảng 48 giờ tại nhiệt độ khoảng 700°C, và “Ví dụ 3-2” chỉ đồ thị phân tích SAXS sau bước xử lý nhiệt đế thủy tinh của “ref” trong khoảng 72 giờ tại nhiệt độ khoảng 665°C. Đối với cùng thời gian gia nhiệt (tức là, 48 giờ hoặc 72 giờ) trong hai nhiệt độ gia nhiệt trên Fig.11B và Fig.11C, nhiệt độ được sử dụng trong việc xử lý nhiệt đế thủy tinh trên Fig.11C lớn hơn nhiệt độ được sử dụng trong việc xử lý nhiệt đế thủy tinh trên Fig.11B, và đỉnh vai SDP sau bước xử lý nhiệt đế thủy tinh trên Fig.11C lớn hơn đỉnh vai SDP sau bước xử lý nhiệt đế thủy tinh trên Fig.11B.

Tham chiếu đến Fig.11B và Fig.11C, có thể thấy được rằng các tinh thể nano đã được nuôi sau bước xử lý nhiệt, từ thực tế rằng đỉnh vai SDP sau bước xử lý nhiệt trở nên lớn hơn đỉnh vai PDF trước bước xử lý nhiệt. Do đó, từ kết quả phân tích SAXS của các hình vẽ từ Fig.11A đến Fig.11C, có thể thấy được rằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể tạo ra các tinh thể nano bằng cách xử lý nhiệt lớp nền của đế thủy tinh tại nhiệt độ thứ nhất.

Fig.12 là đồ thị thể hiện độ truyền của lớp nền thủy tinh được chế tạo trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Trên Fig.12, độ truyền đã được đo trong miền bước sóng nằm trong khoảng từ 350 nm đến 750 nm, và trong tất cả các ví dụ, độ truyền cao khoảng 85% hoặc lớn hơn được thể hiện. Trong khi đó, các ví dụ 1-1 đến 3-2 được chế tạo dưới cùng điều kiện với các ví dụ được sử dụng trong việc đánh giá SAXS được thể hiện trên các hình vẽ từ Fig.11A đến Fig.11C. Do đó, từ kết quả đo độ truyền của Fig.12, có thể thấy được rằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế duy trì các tính chất truyền tốt ngay cả sau khi các tinh thể nano được nuôi bằng xử lý nhiệt lớp nền của đế thủy tinh tại nhiệt độ thứ nhất. Ví dụ 3-2 thể hiện đỉnh vai SDP (tham chiếu đến Fig.11C) cao hơn đỉnh vai của các ví dụ 1-1 đến 3-1 (tham chiếu đến Fig.11A đến Fig.11C) chỉ ra sự tăng trưởng lớn hơn của các tinh thể nano trong Ví dụ 3-2 so với các ví dụ khác, và do đó thể hiện độ truyền trong miền ánh sáng nhìn thấy thấp hơn độ truyền của Các ví dụ 1-1 đến 3-1 (tham chiếu đến Fig.12) do sự tán xạ ánh sáng nhiều hơn do các tinh thể nano trong Ví dụ 3-2.

Fig.13A và Fig.13B là các hình ảnh thể hiện các mẫu hình vân trước khi và sau bước làm cứng để thủy tinh trong phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Ngoài ra, Fig.14A và Fig.14B là các hình ảnh thể hiện biên dạng của ứng suất nén sau bước làm cứng để thủy tinh trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh.

Fig.13A là đồ thị so sánh các thay đổi trong mẫu hình vân trước khi và sau bước làm cứng để thủy tinh trong ví dụ được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Fig.13B là đồ thị so sánh các thay đổi trong mẫu hình vân trước khi và sau bước làm cứng để thủy tinh theo ví dụ so sánh, là lớp nền thủy tinh được chế tạo không thực hiện bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất không giống phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Ngoài ra, Fig.14A thể hiện biên dạng ứng suất SP sau bước làm cứng để thủy tinh trong ví dụ được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, và Fig.14B thể hiện biên dạng ứng suất SP' sau bước làm cứng để thủy tinh theo ví dụ so sánh, là lớp nền thủy tinh được chế tạo không thực hiện bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất không giống phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến Fig.13A và Fig.13B, có thể thấy được rằng các thay đổi trong mẫu hình vân trước khi và sau bước làm cứng để thủy tinh và sau bước làm cứng để thủy tinh tương tự trong Ví dụ và Ví dụ so sánh. Tức là, có thể thấy được rằng ngay cả khi các tinh thể nano được tạo ra bằng cách xử lý nhiệt để thủy tinh trước bước làm cứng để thủy tinh giống phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, các tính chất làm cứng tương tự với trường hợp của ví dụ so sánh không thực hiện bước xử lý nhiệt để thủy tinh. Tức là, có thể thấy được từ Fig.13A và Fig.13B trong Ví dụ và Ví dụ so sánh, các giá trị ứng suất nén CS tương tự nhau tại độ sâu của lớp ion K^+ (DOL-K), là độ sâu của lớp con ứng suất nén sau bước làm cứng. Như được thể hiện trên Fig.13A và Fig.13B, các độ sâu của lớp ion K^+ (DOL-K) trong Ví dụ và Ví dụ so sánh là tương tự.

Tham chiếu đến Fig.14A và Fig.14B, có thể thấy được rằng trong Ví dụ và Ví dụ so sánh, các hình dạng của các biên dạng ứng suất SP và SP' sau bước làm cứng là tương tự nhau. Ngoài ra, có thể thấy được từ các hình ảnh của Fig.14A và Fig.14B trong Ví dụ và Ví dụ so sánh, các độ sâu của các lớp ứng suất nén là tương tự. Hơn nữa, có thể thấy được từ các hình ảnh của Fig.14A và Fig.14B trong Ví dụ và Ví dụ so sánh, các độ sâu của các lớp ứng suất nén là tương tự.

Trên Fig.14A, t_{CW} là tổng độ dày của lớp nền thủy tinh CW. Ngoài ra, t_{DC} cho biết độ sâu nén (DOC), tức là, độ sâu thẳng đứng từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh đến điểm mà tại đó biên dạng ứng suất SP giao cắt với đường tham chiếu BL trong đó giá trị ứng suất nén trở thành không. Ví dụ, giá trị ứng suất nén trở thành giá trị âm (-) ở tâm của lớp nền thủy tinh CW. Giá trị ứng suất nén âm có thể là ứng suất kéo. Ví dụ, lớp nền thủy tinh CW của ví dụ có thể có các phần bề mặt ứng suất nén thứ nhất và thứ hai đối diện nhau được liên kết với phần lõi ứng suất kéo. Ngoài ra, t_{DL} chỉ độ sâu của lớp ion K^+ (DOL-K), tức là, độ sâu từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh CW tới điểm mà tại đó nồng độ của K^+ các ion trở thành không. Trên Fig.14B, t_{CW} là tổng độ dày của lớp nền thủy tinh CW' theo ví dụ so sánh. Ngoài ra, t_{DC}' chỉ độ sâu nén (DOC), tức là, độ sâu thẳng đứng từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh CW' tới điểm mà tại đó biên dạng ứng suất SP' giao cắt với đường tham chiếu BL trong đó giá trị ứng suất nén trở thành không. Ví dụ, giá trị ứng suất nén trở thành giá trị âm (-) ở tâm của lớp nền thủy tinh CW'. Giá trị ứng suất nén âm có thể là ứng suất kéo. Ví dụ, lớp nền thủy tinh CW' của ví

dự so sánh có thể có các phần bề mặt ứng suất nén thứ nhất và thứ hai đối diện nhau được liên kết với phần lõi ứng suất kéo. Ngoài ra, t_{DL} chỉ độ sâu của lớp ion K^+ (DOL-K) theo ví dụ so sánh, tức là, độ sâu từ bề mặt bên trên US hoặc bề mặt bên dưới BS của lớp nền thủy tinh CW' theo ví dụ so sánh tới điểm mà tại đó nồng độ của K^+ các ion trở thành không.

Có thể thấy được Fig.14A và Fig.14B ngay cả khi các tinh thể nano được tạo ra bằng cách xử lý nhiệt để thủy tinh trước bước làm cứng để thủy tinh giống phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế, các tính chất làm cứng tương tự với trường hợp của ví dụ so sánh không thực hiện bước xử lý nhiệt.

Fig.15A là hình ảnh thể hiện kết quả kiểm tra va chạm trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Ngoài ra, Fig. 15B là hình ảnh thể hiện kết quả kiểm tra va chạm trong lớp nền thủy tinh được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh của ví dụ so sánh.

Fig.15A và Fig.15B thể hiện các hình ảnh của bề mặt lớp nền thủy tinh sau khi tác động va chạm vào bề mặt lớp nền thủy tinh. Fig.15A thể hiện trạng thái sau khi gây ra vết nứt CP do tác động va chạm vào bề mặt lớp nền thủy tinh của ví dụ được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế. Fig.15B thể hiện trạng thái sau khi gây ra vết nứt CP do tác động va chạm vào bề mặt lớp nền thủy tinh của ví dụ so sánh, là lớp nền thủy tinh được chế tạo không thực hiện bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất, không giống phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến Fig.15A và Fig.15B, có thể thấy được rằng đường vết nứt CL mà vết nứt CP phát sinh trên đó bị kéo dài và mở rộng hơn theo ví dụ so sánh như được so sánh với ví dụ. Ngoài ra, trong trường hợp của Fig.15B thể hiện hình ảnh lớp nền thủy tinh của ví dụ so sánh, không giống Fig.15A, có thể thấy được rằng mẫu hình vết nứt RA của bề mặt xuất hiện. Do đó, tham chiếu đến Fig.15A và Fig.15B, có thể thấy được rằng lớp nền thủy tinh của ví dụ được chế tạo bằng phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế được chế tạo thông qua bước xử lý nhiệt tại nhiệt độ thứ nhất, nhờ đó thể hiện các tính chất độ bền bề mặt được tăng cường. Tức là, phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế bao gồm bước xử lý nhiệt lớp nền thủy tinh tại nhiệt độ thứ nhất sao cho lớp nền thủy tinh

chứa các tinh thể nano, vì vậy các tính chất độ bền bề mặt được tăng cường có thể được thể hiện.

Phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế bao gồm bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất, vì vậy lớp nền thủy tinh có thể cho phép các tinh thể nano được chứa, nhờ đó cung cấp lớp nền thủy tinh có độ bền được tăng cường trong khi thể hiện các tính chất truyền tốt. Ngoài ra, phương pháp chế tạo lớp nền thủy tinh theo một phương án làm ví dụ của sáng chế có thể thực hiện bước xử lý nhiệt để thủy tinh tại nhiệt độ thứ nhất trước bước làm cứng để thủy tinh, nhờ đó cung cấp lớp nền thủy tinh có độ bền bề mặt được tăng cường trong khi duy trì các tính chất độ bền của lớp nền thủy tinh.

Một phương án làm ví dụ của sáng chế có thể đề xuất lớp nền thủy tinh chứa các tinh thể cỡ nano để tăng cường độ bền bề mặt trong khi duy trì độ truyền cao. Ví dụ, các tinh thể nano có thể có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

Một phương án làm ví dụ của sáng chế có thể đề xuất phương pháp chế tạo lớp nền thủy tinh bao gồm bước xử lý nhiệt trước khi bước làm cứng để nuôi trồng các tinh thể cỡ nano trong lớp nền thủy tinh, nhờ đó tăng cường độ bền của lớp nền thủy tinh. Ví dụ, các tinh thể nano có thể có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

Trong khi sáng chế được thể hiện và được mô tả cụ thể với tham chiếu đến các phương án làm ví dụ của sáng chế, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hiểu được rằng các thay đổi và cải biến khác nhau có thể được tạo ra không vượt ra ngoài nguyên lý và phạm vi bảo hộ của sáng chế như được xác định bởi các yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Lớp nền thủy tinh bao gồm:

để thủy tinh chứa SiO_2 , Al_2O_3 , và Li_2O ; và

các tinh thể nano được chứa trong đế thủy tinh, và có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

trong đó các tinh thể nano chỉ được bố trí trong lớp tinh thể liền kề với một hoặc mỗi trong số bề mặt bên trên và bề mặt bên dưới của đế thủy tinh, và

độ sâu của lớp tinh thể từ một hoặc mỗi trong số bề mặt bên trên và bề mặt bên dưới của đế thủy tinh là khoảng 10% hoặc nhỏ hơn tổng độ dày của đế thủy tinh.

2. Lớp nền thủy tinh theo điểm 1, trong đó mỗi trong số các tinh thể nano là hạt tinh thể chứa Li.

3. Lớp nền thủy tinh theo điểm 1, trong đó mỗi trong số các tinh thể nano chứa ít nhất một trong số $\text{Li}_2\text{Si}_2\text{O}_5$, Li_2SiO_3 , $\text{LiAlSi}_2\text{O}_6$, hoặc $\text{LiAlSi}_3\text{O}_8$.

4. Lớp nền thủy tinh theo điểm 1, lớp nền thủy tinh này còn bao gồm lớp ứng suất nén được tạo ra liền kề với bề mặt của đế thủy tinh.

5. Lớp nền thủy tinh theo điểm 4, trong đó độ sâu của lớp ứng suất nén không nhỏ hơn độ sâu của lớp tinh thể,

trong đó độ sâu của lớp tinh thể là độ sâu tối đa từ bề mặt của đế thủy tinh đến điểm mà các tinh thể nano được bố trí tại đó.

6. Lớp nền thủy tinh theo điểm 4, trong đó các tinh thể nano được chứa trong lớp ứng suất nén.

7. Lớp nền thủy tinh theo điểm 1, trong đó đế thủy tinh bao gồm phần phẳng và ít nhất một phần uốn cong liền kề với phần phẳng.

8. Lớp nền thủy tinh theo điểm 1, có độ truyền khoảng 85% hoặc lớn hơn trong vùng bước sóng của ánh sáng nhìn thấy với độ dày nằm trong khoảng từ 0,3 mm đến 0,8 mm.

9. Phương pháp chế tạo lớp nền thủy tinh, phương pháp này bao gồm các bước:

tạo ra đế thủy tinh chứa SiO_2 , Al_2O_3 , và Li_2O ; và

gia nhiệt sơ bộ để thủy tinh tại nhiệt độ thứ nhất,

trong đó nhiệt độ thứ nhất nằm trong khoảng từ $(T_g+50)^\circ\text{C}$ đến $(T_s+150)^\circ\text{C}$, trong đó T_g là nhiệt độ chuyển pha thủy tinh của đế thủy tinh, và T_s là nhiệt độ điểm hóa mềm của đế thủy tinh, và

trong khi gia nhiệt để thủy tinh, các lớp nền thủy tinh chịu nhiệt được bố trí trên cả hai cạnh của đế thủy tinh để đỡ đế thủy tinh.

10. Phương pháp theo điểm 9, trong đó bước gia nhiệt của đế thủy tinh tạo ra các tinh thể nano trong đế thủy tinh mà mỗi tinh thể chứa Li, và các tinh thể nano có đường kính trung bình nằm trong khoảng từ 5 nm đến 10 nm.

11. Phương pháp theo điểm 10, trong đó các tinh thể nano được tạo ra liền kề với ít nhất một trong số bề mặt bên trên hoặc bề mặt bên dưới của đế thủy tinh.

12. Phương pháp theo điểm 9, còn bao gồm bước làm cứng đế thủy tinh.

13. Phương pháp theo điểm 12, trong đó bước làm cứng đế thủy tinh được thực hiện bằng cách đưa muối nóng chảy làm cứng vào đế thủy tinh được xử lý nhiệt và làm cứng đế thủy tinh theo cách hóa học tại nhiệt độ thứ hai.

14. Phương pháp theo điểm 13, trong đó nhiệt độ thứ hai bằng hoặc nhỏ hơn nhiệt độ thứ nhất.

15. Phương pháp theo điểm 13, trong đó muối nóng chảy làm cứng là muối đơn bao gồm ion bất kỳ trong số Na^+ , K^+ , Rb^+ và Cs^+ , hoặc muối được trộn bao gồm ít nhất hai ion trong số Li^+ , Na^+ , K^+ , Rb^+ và Cs^+ .

16. Phương pháp theo điểm 13, trong đó bước làm cứng theo cách hóa học bao gồm:

bước làm cứng thứ nhất là thực hiện xử lý trao đổi ion tại nhiệt độ làm cứng thứ nhất; và

bước làm cứng thứ hai là thực hiện xử lý trao đổi ion tại nhiệt độ làm cứng thứ hai, bằng hoặc nhỏ hơn nhiệt độ làm cứng thứ nhất.

17. Phương pháp theo điểm 9, trong đó T_g nằm trong khoảng từ 400°C đến 700°C , và T_s nằm trong khoảng từ 500°C đến 750°C .

18. Phương pháp theo điểm 9, trong đó bước tạo ra đế thủy tinh bao gồm:

trộn bột gốm và bột thủy tinh để tạo ra dung dịch nóng chảy được trộn; và
đúc dung dịch nóng chảy được trộn thành dạng tấm.

19. Phương pháp theo điểm 18, trong đó bột gốm là các tinh thể nano mỗi tinh thể chứa Li.

FIG. 1A

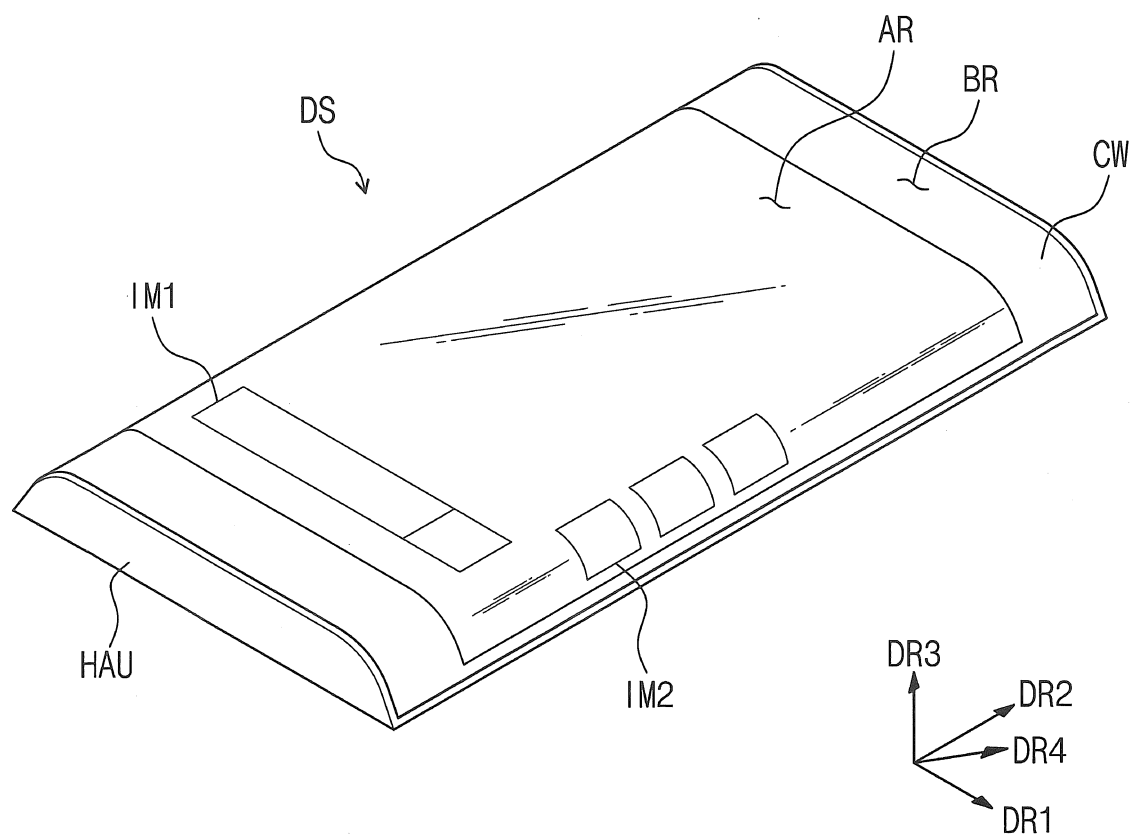


FIG. 1B

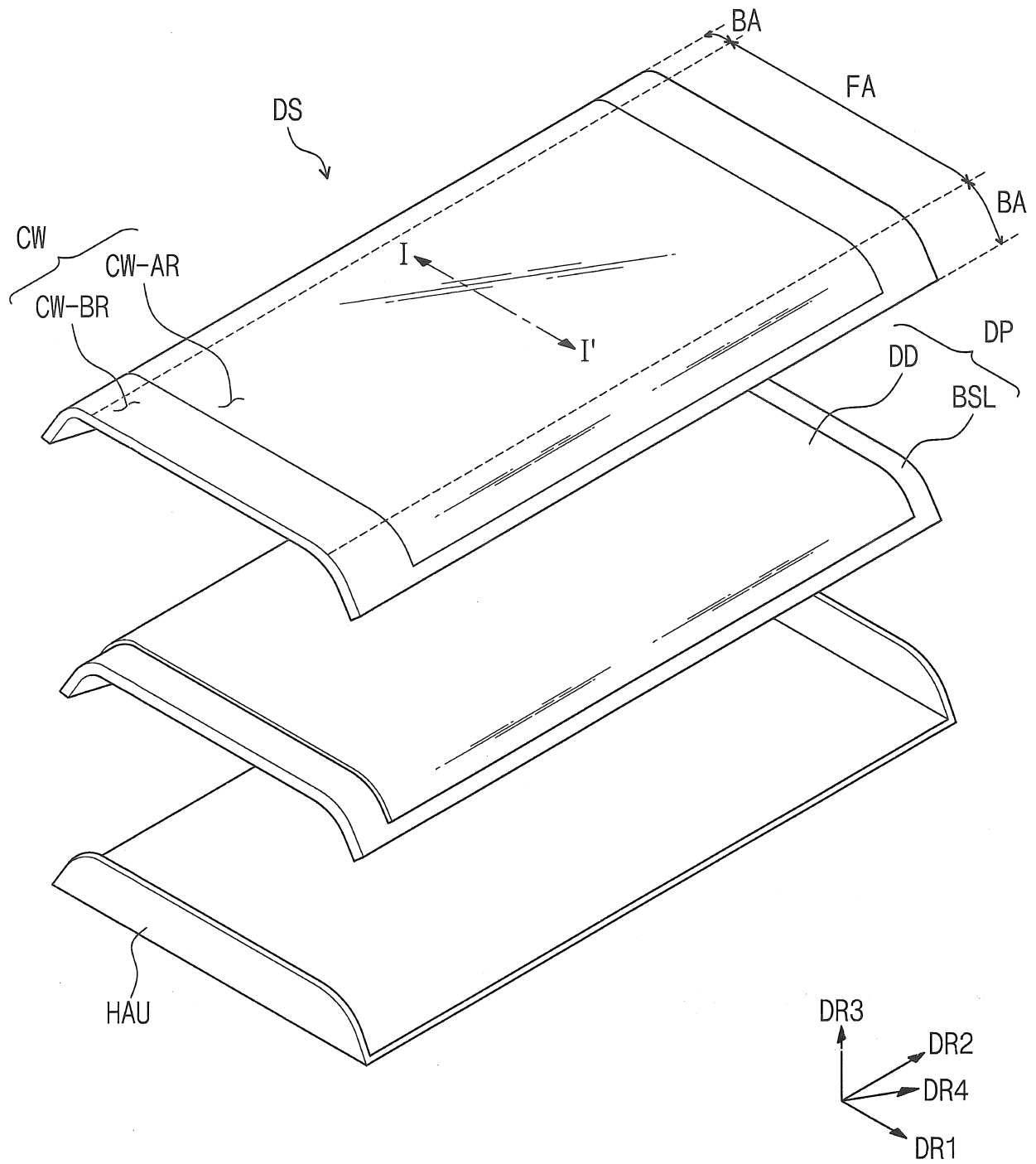


FIG. 2

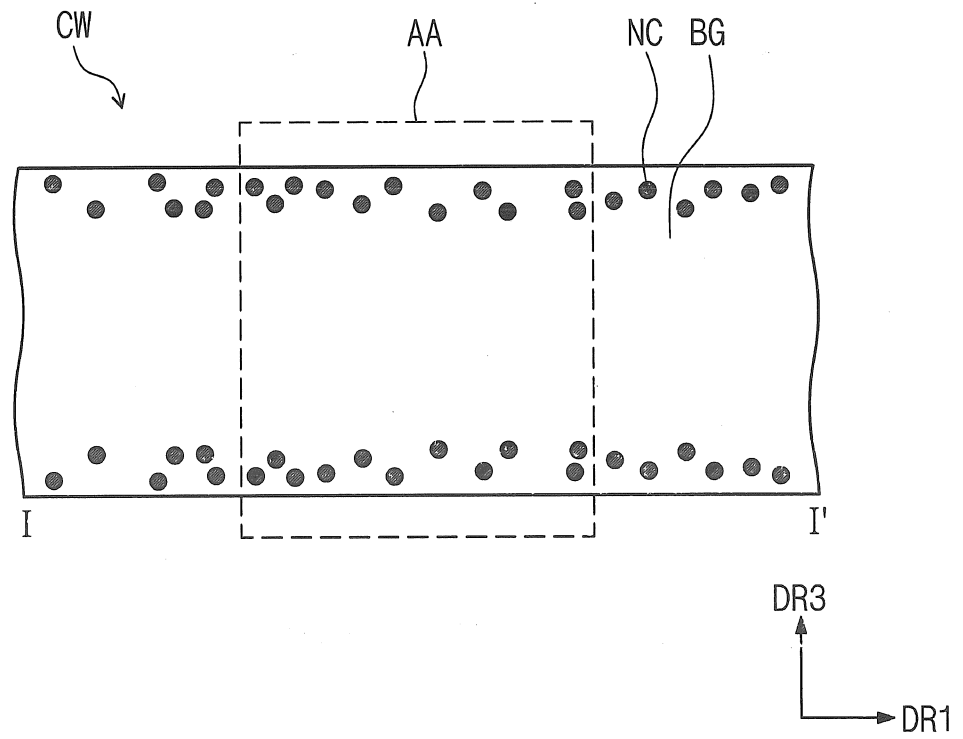


FIG. 3

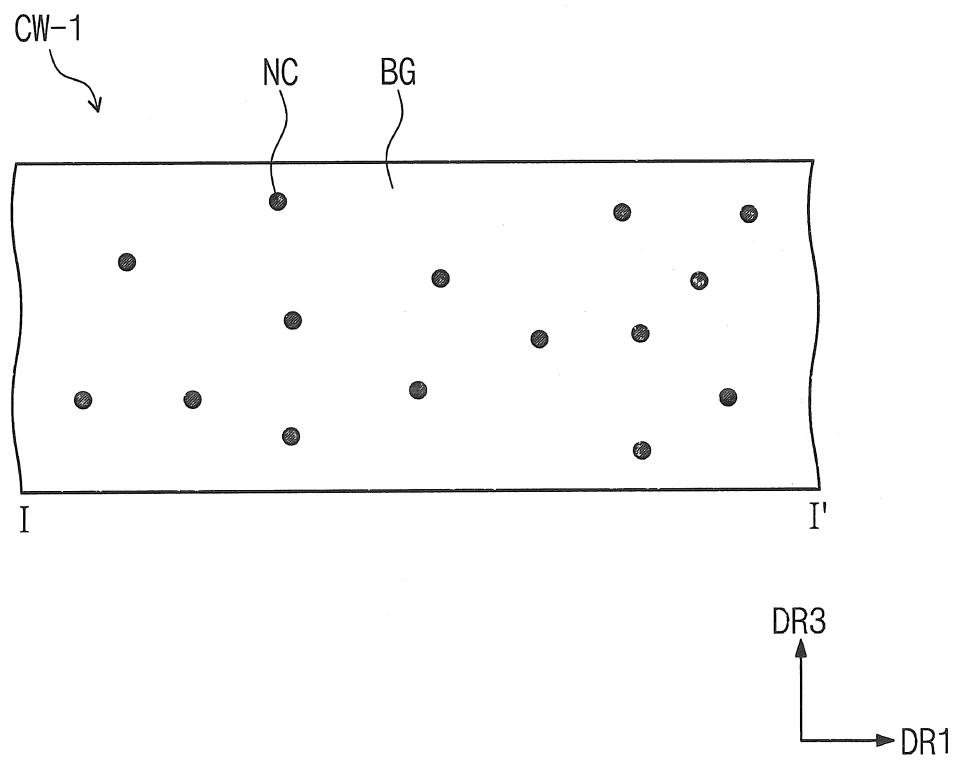


FIG. 4A

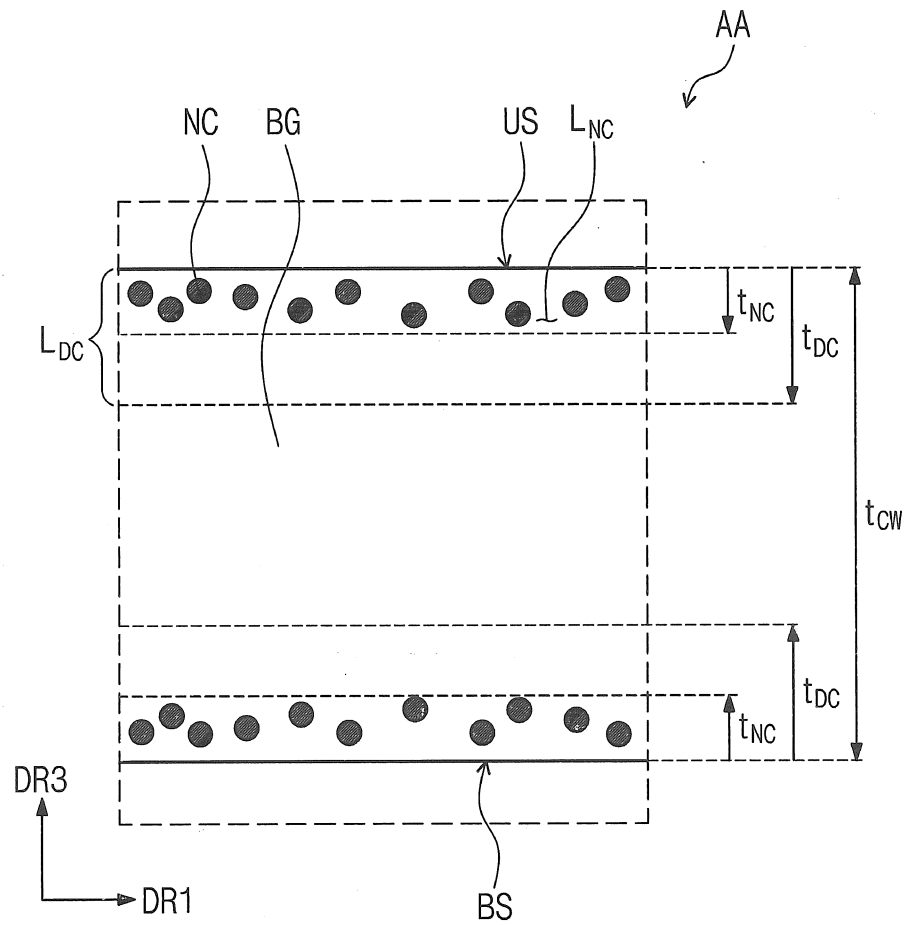


FIG. 4B

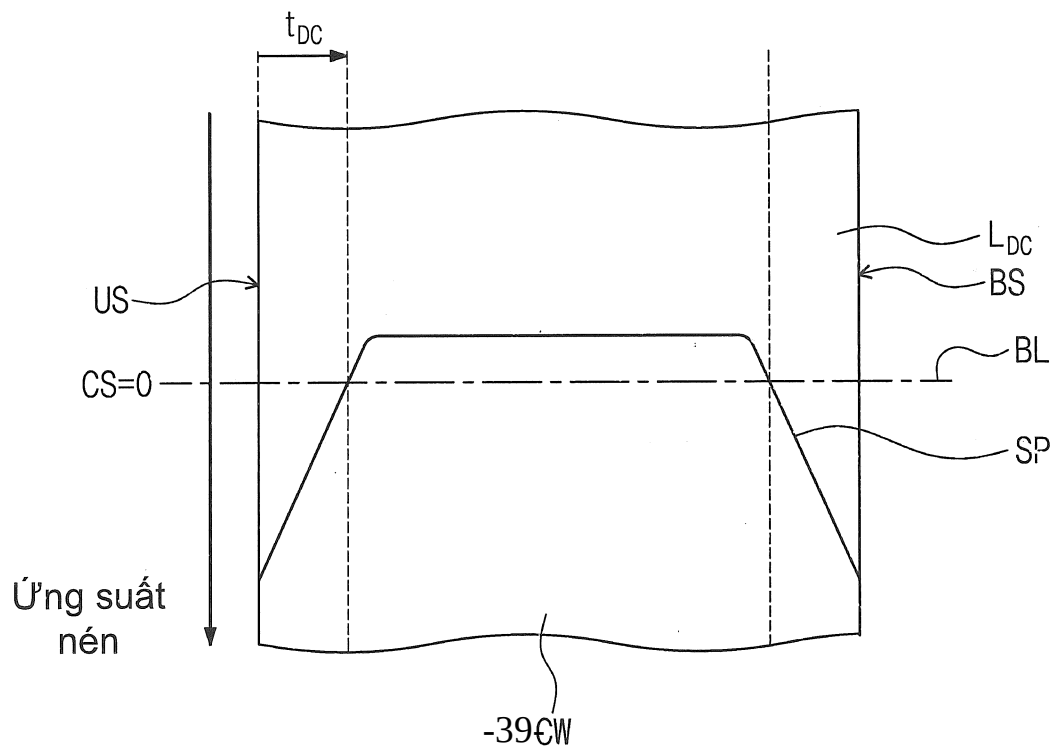


FIG. 5

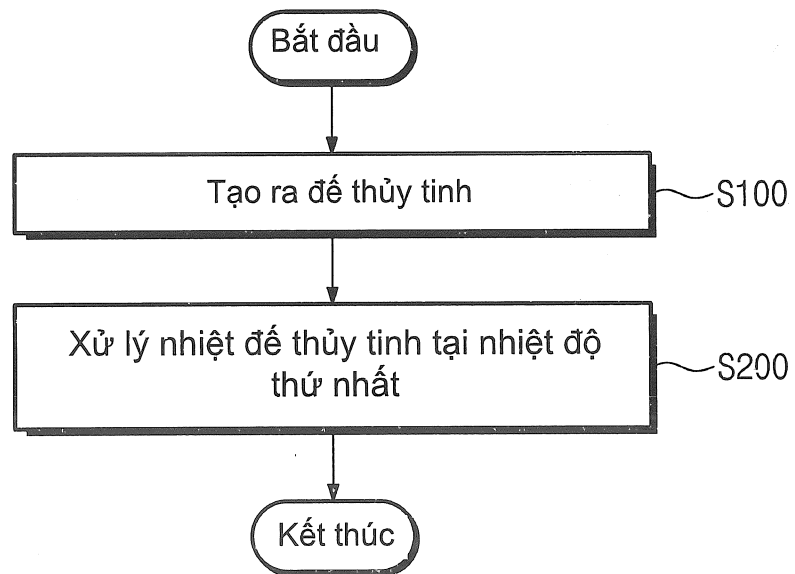


FIG. 6

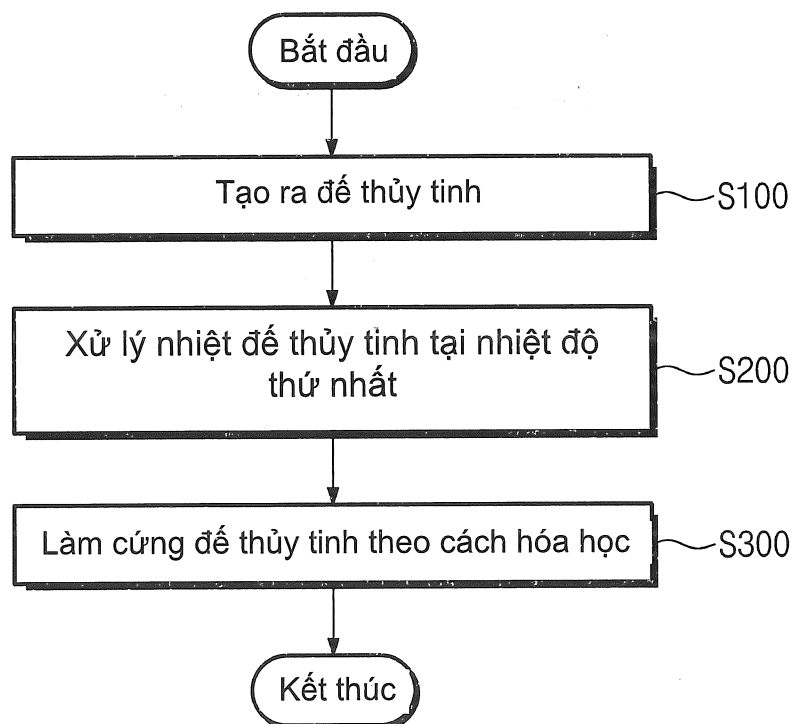


FIG. 7

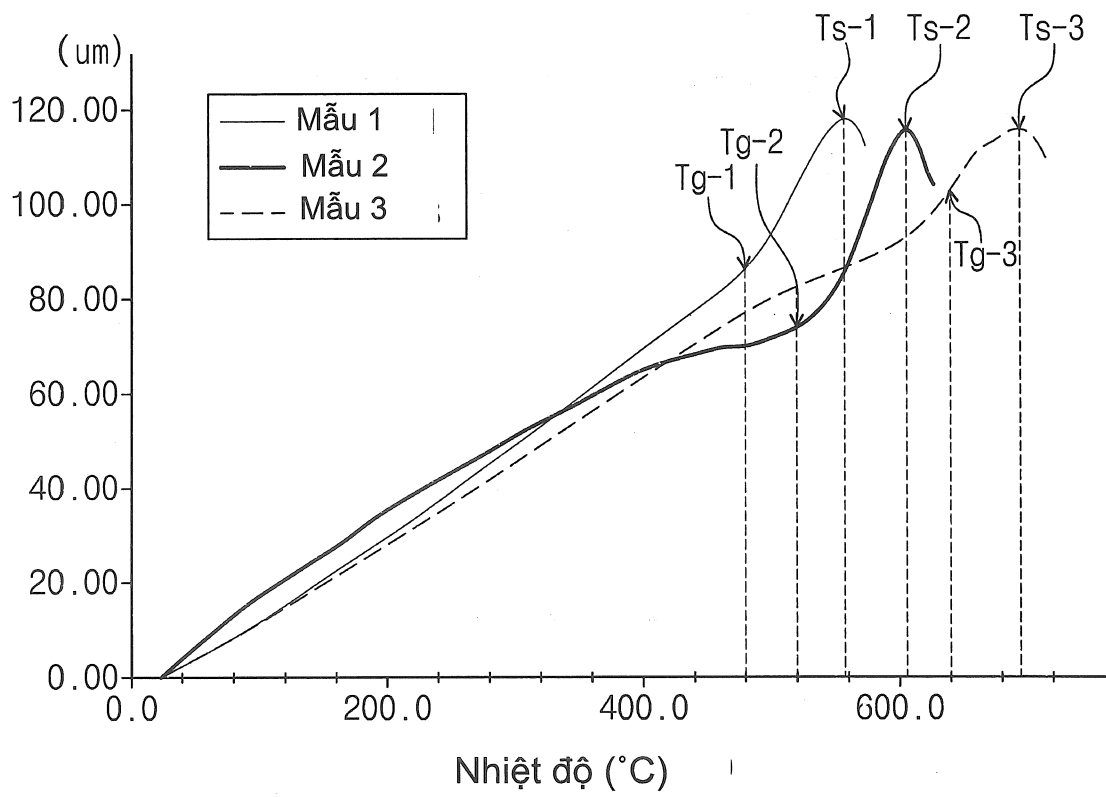


FIG. 8

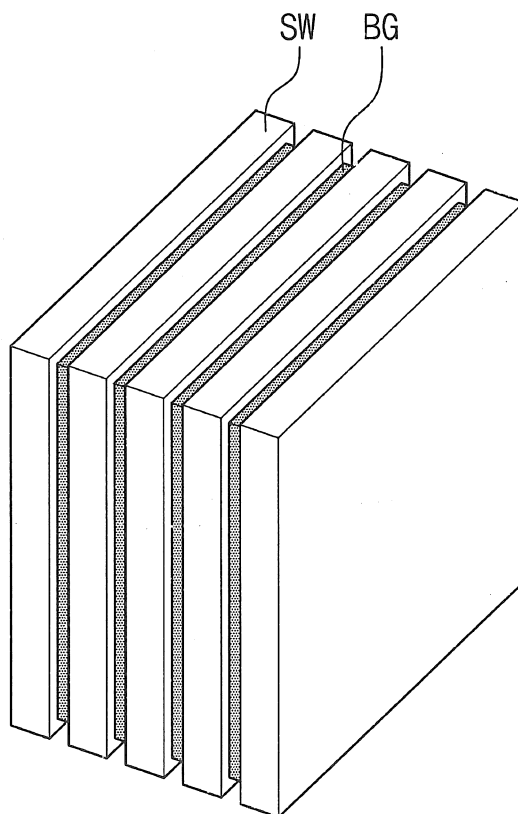


FIG. 9

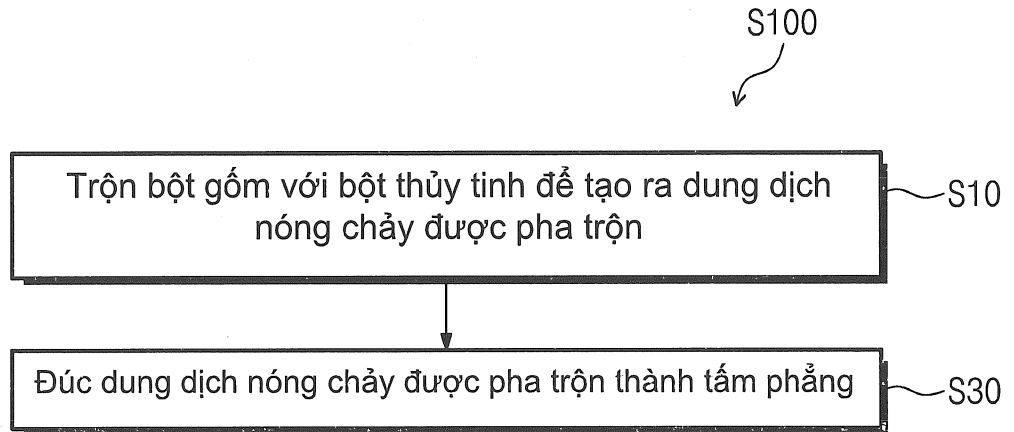


FIG. 10

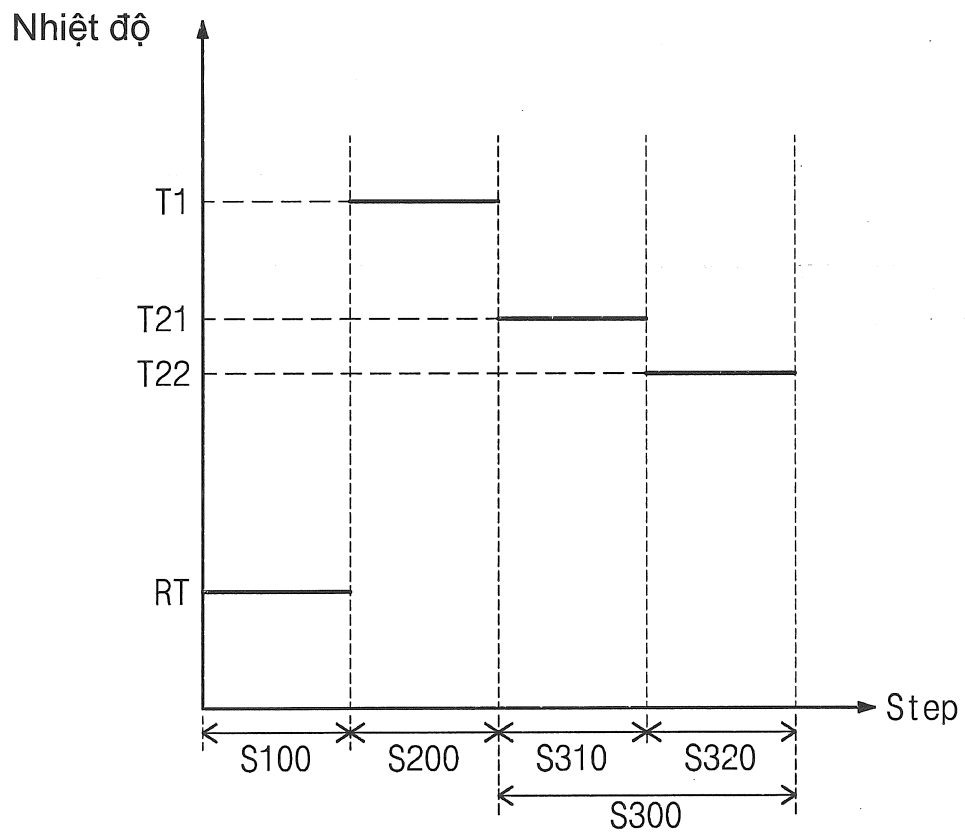


FIG. 11A

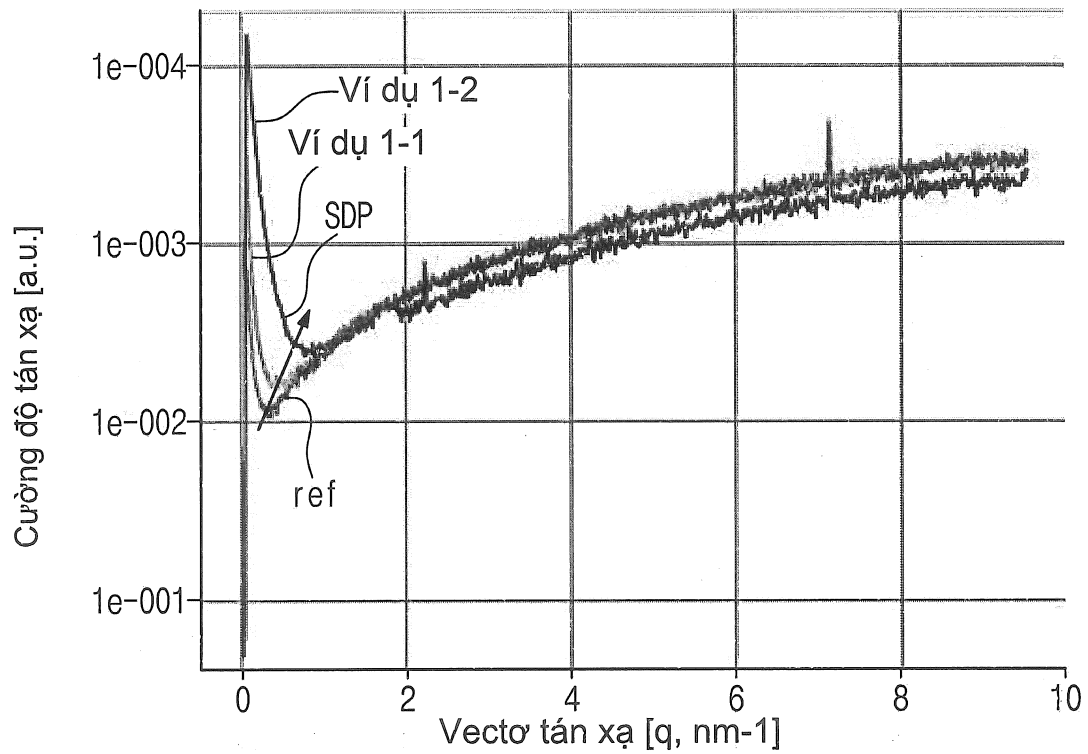


FIG. 11B

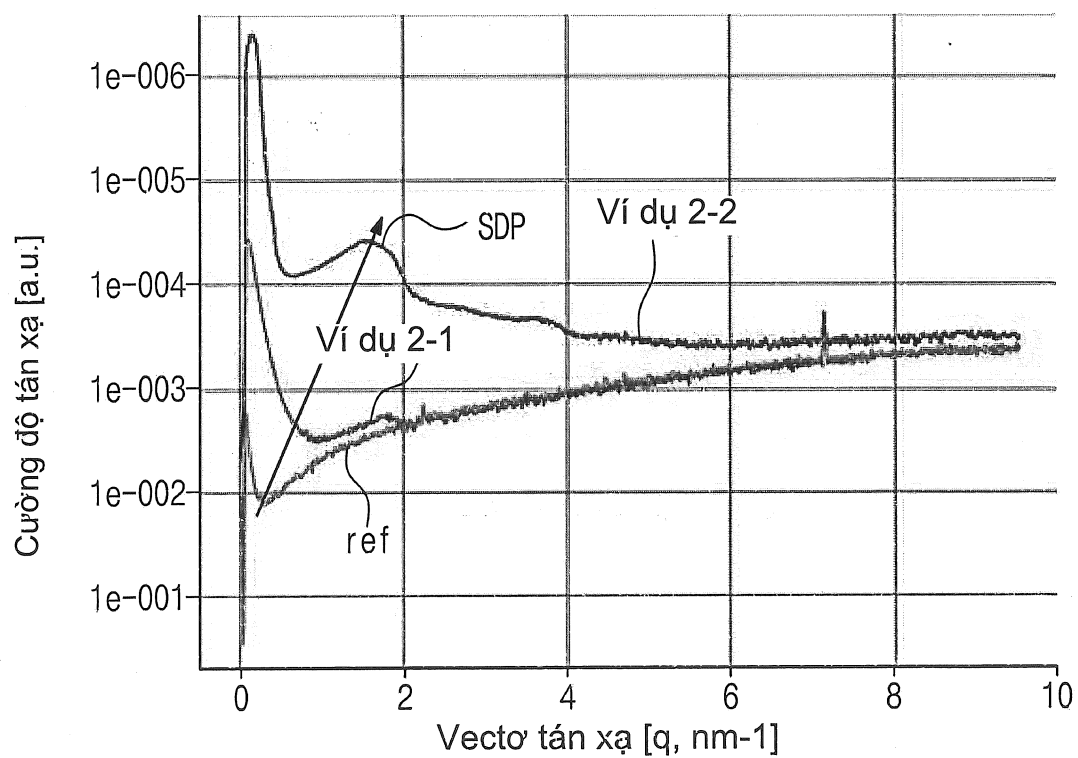


FIG. 11C

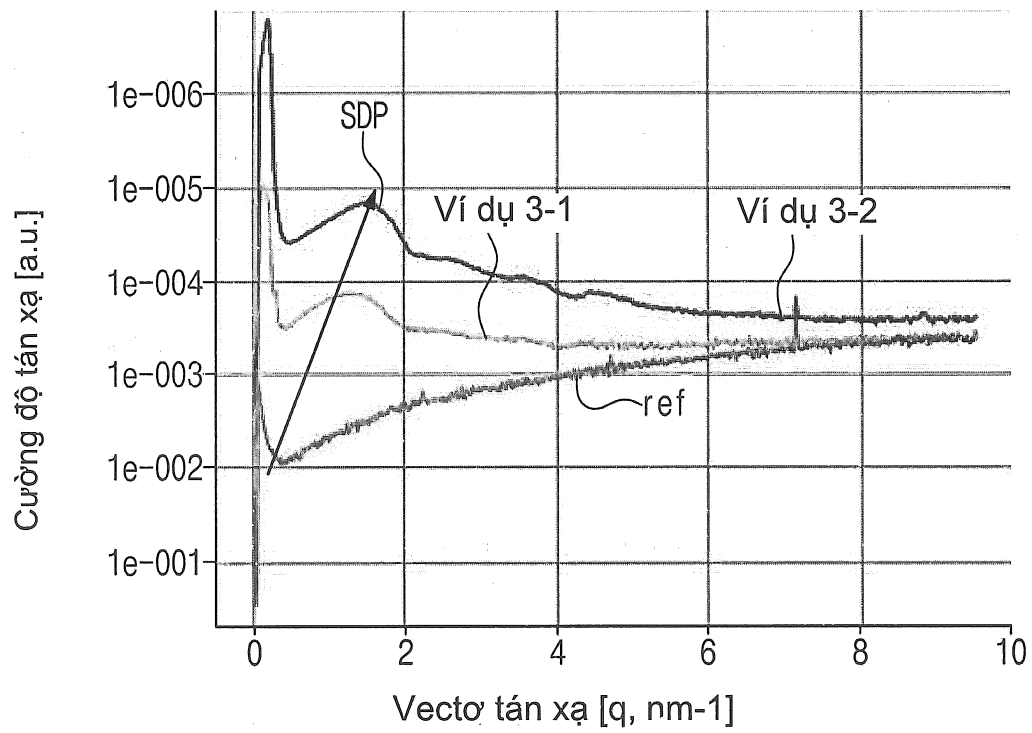


FIG. 12

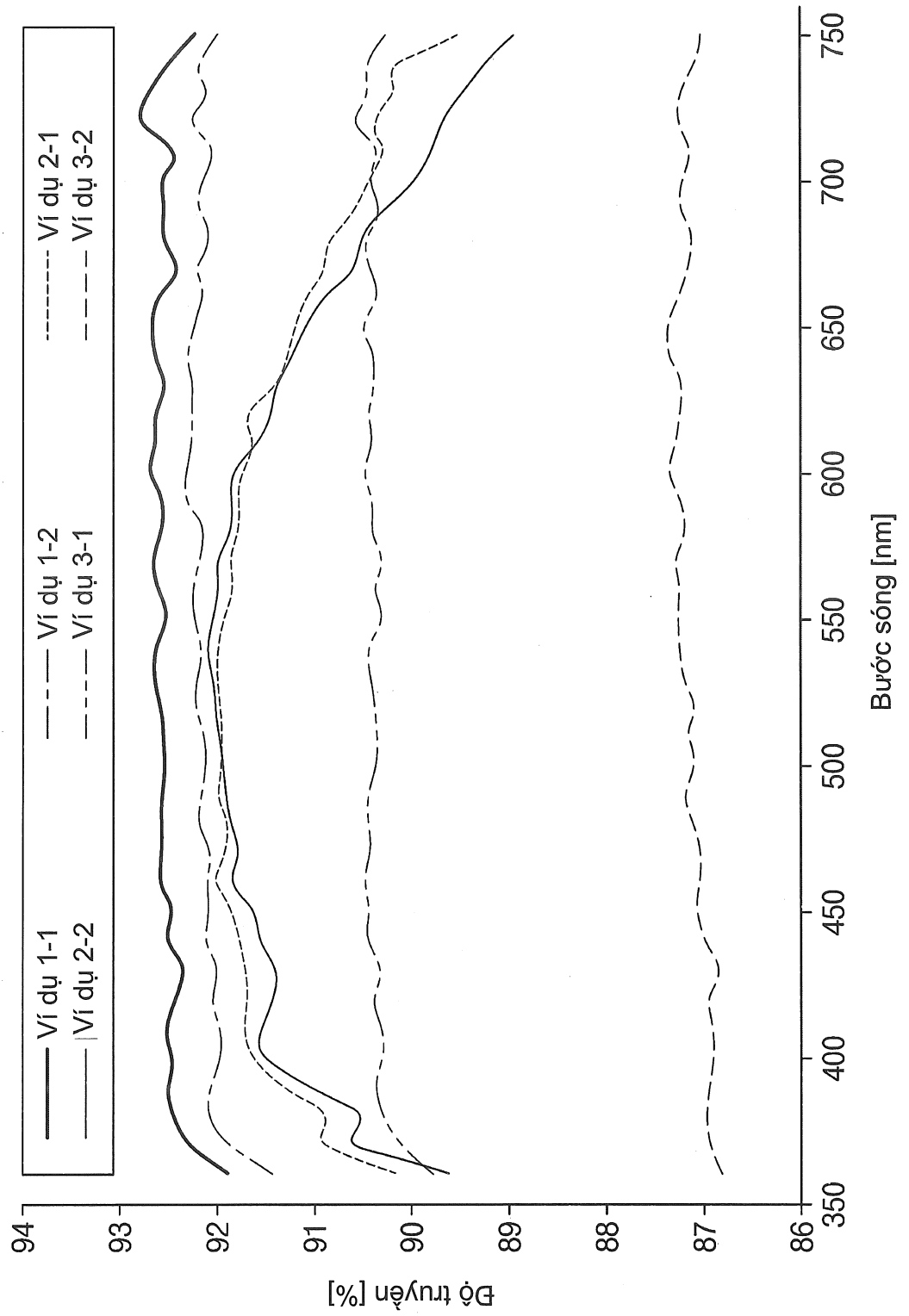


FIG. 13A

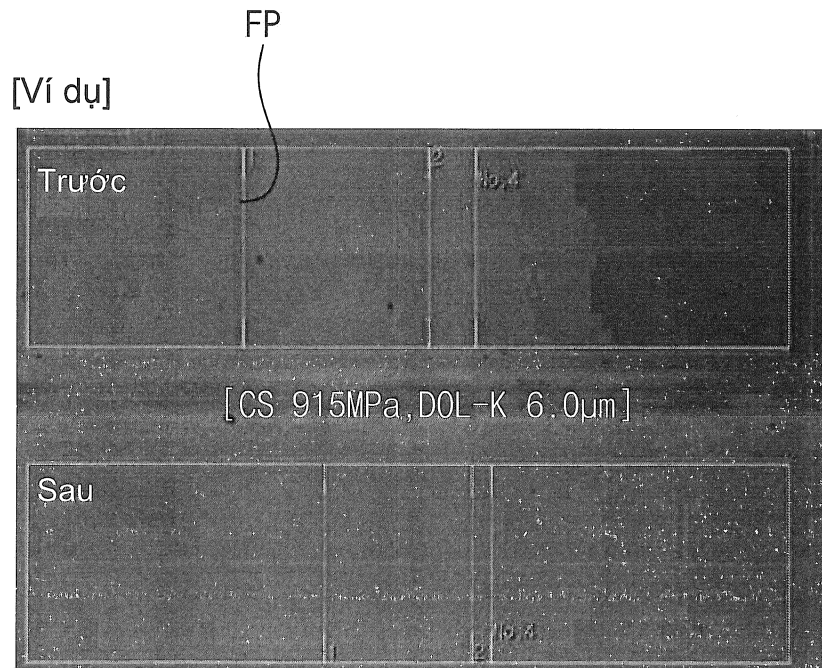


FIG. 13B

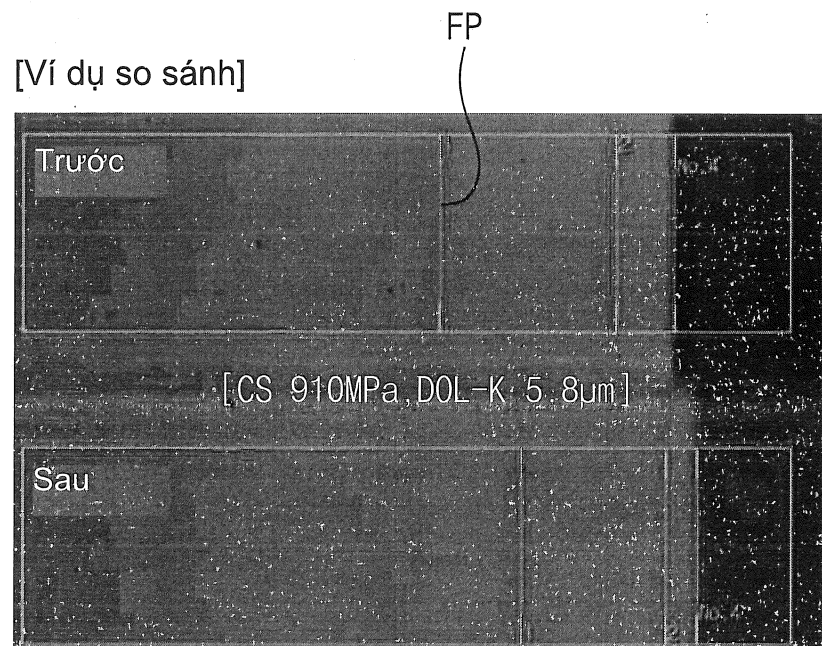


FIG. 14A

[Ví dụ]

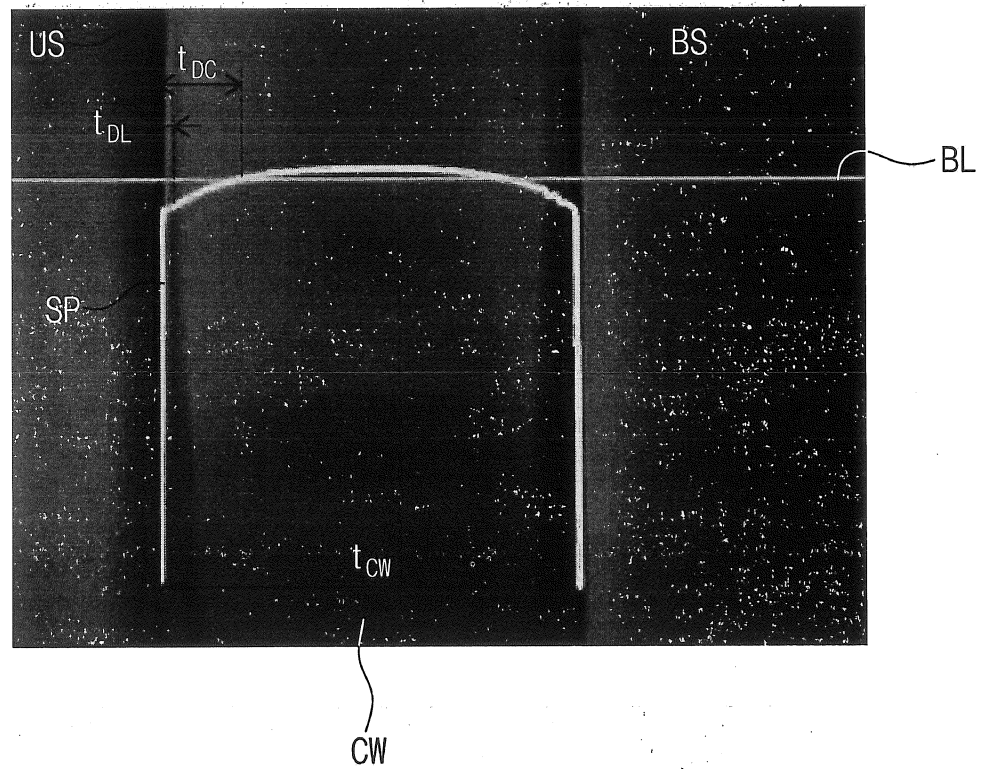


FIG. 14B

[Ví dụ so sánh]

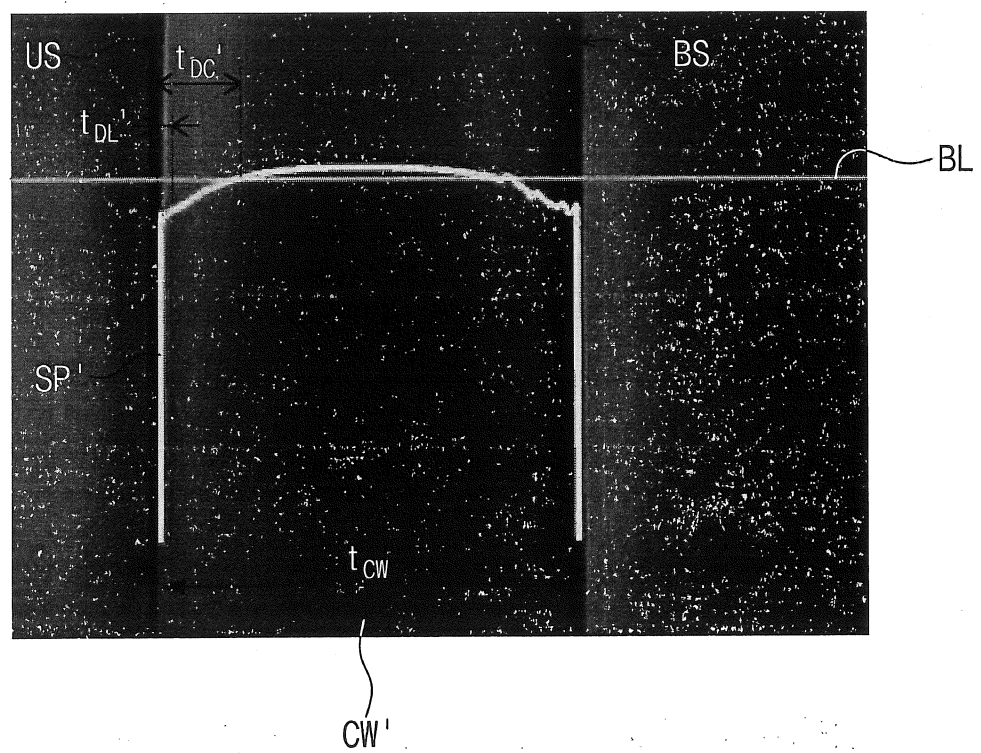


FIG. 15A

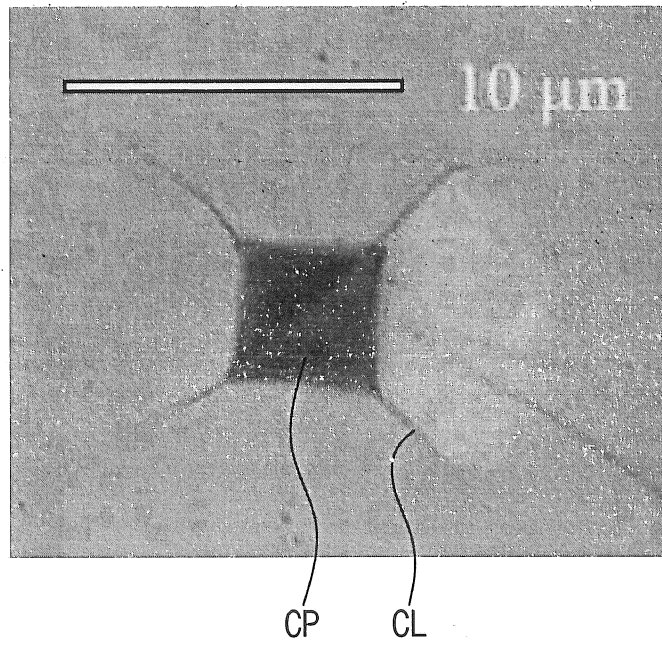


FIG. 15B

