



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0038875

(51)⁷ B41J 2/14

(13) B

(21) 1-2019-01412

(22) 19/10/2016

(86) PCT/EP2016/075108 19/10/2016

(87) WO 2018/072822 A1 26/04/2018

(45) 26/02/2024 431

(43) 25/07/2019 376A

(73) SICPA HOLDING SA (CH)

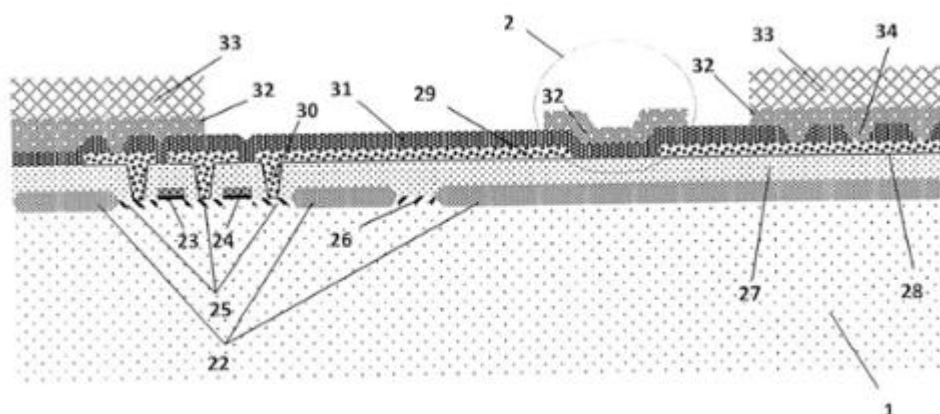
Avenue de Florissant 41, CH-1008 Prilly, Switzerland

(72) SCHINA, Paolo (IT); BALDI, Silvia (IT); DISEGNA, Irma (IT); PERINI, Miriam (IT).

(74) Công ty TNHH Dịch vụ Sở hữu trí tuệ KENFOX (KENFOX IP SERVICE CO.,LTD.)

(54) PHƯƠNG PHÁP TẠO RA ĐẦU IN PHUN MỰC BẰNG NHIỆT, ĐẦU IN PHUN MỰC BẰNG NHIỆT VÀ LÁT BÁN DẪN

(57) Sáng chế đề cập đến phương pháp tạo ra đầu in phun mực bằng nhiệt, bao gồm ít nhất các bước sau đây: cung cấp lát bán dẫn bao gồm mạch điện tử tích hợp và khắc phần để tạo ra bộ phận kích thích nhiệt, mạch tích hợp bao gồm ít nhất: lớp cách nhiệt được tạo ra trên nền; và lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; trong đó lớp kim loại thứ nhất kéo dài vào trong phần để tạo ra bộ phận kích thích nhiệt; và khắc mòn phần để tạo ra bộ phận kích thích nhiệt cho lớp kim loại thứ nhất sao cho lớp kim loại thứ nhất đóng vai trò là lớp chặn khắc mòn. Sáng chế cũng đề cập đến đầu in phun mực bằng nhiệt được tạo ra bằng phương pháp của sáng chế và lát bán dẫn để tạo ra đầu in phun mực bằng nhiệt bằng phương pháp của sáng chế.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến đầu in phun mực bằng nhiệt. Cụ thể, sáng chế đề cập đến phương pháp tạo ra đầu in phun mực bằng nhiệt, trong đó lát bán dẫn bao gồm mạch tích hợp và một phần để tạo ra bộ phận kích thích nhiệt được chế tạo sẵn và sau đó bộ phận kích thích nhiệt được bố trí, tức là được tích hợp, trên lát bán dẫn được chế tạo sẵn. Sáng chế cũng đề cập đến lát bán dẫn được sử dụng trong phương pháp tạo ra đầu in phun mực bằng nhiệt.

Tình trạng kỹ thuật của sáng chế

Đầu in phun mực bằng nhiệt có thể được mô tả sơ lược là mạch điện tử bao gồm cả hệ mạch điện và logic được nối điện với các bộ kích thích nhiệt lỏng. Các bộ kích thích nhiệt lỏng có thể tạo ra hoặc là một phần của Hệ thống Vi Cơ Điện tử (Micro-Electro-Mechanical System - MEMS) và có thể cần sử dụng các vật liệu đặc biệt, cho cả các lớp điện môi và kim loại, thường không được lựa chọn trong các mạch tích hợp tiêu chuẩn.

Tuy nhiên, có thể cần phải đầu tư nhiều vào việc thiết lập các xưởng đúc silic có thể thực hiện các quy trình sản xuất đầy đủ cho các bộ kích thích đầu in tích hợp cao. Tuy nhiên, khi sản xuất với khối lượng nhỏ, chẳng hạn như trong lĩnh vực in công nghiệp, mức độ đầu tư cao có thể ngăn các nhà sản xuất dựa vào công nghệ chất bán dẫn tân tiến nhất cần thiết để có được mức hiệu năng cao, dẫn đến việc duy trì các công nghệ cổ hoặc lỗi thời.

Fig.1 thể hiện hình vẽ nhìn từ trên xuống của đầu in mực bằng nhiệt. Như được thể hiện trên Fig.1, đầu in phun mực bằng nhiệt bao gồm nền 1 mà trên bề mặt của nó nhiều bộ làm nóng 2 được bố trí trong một hoặc nhiều cột 3, tạo ra chip. Thông thường các cột được đặt gần sát với khe nối xuyên 4 được tạo ra trong phần bên trong của chip để cho phép nạp đầy lại mực.

Fig.2 thể hiện hình vẽ nhìn từ trên xuống của lát silic các đầu in bằng nhiệt được sản xuất và sau đó được cắt hình khối nhỏ dưới dạng các chip đơn lẻ.

Hiện tại, các đầu in bằng nhiệt như được thể hiện trên Fig.2 được sản xuất dưới dạng lát được thiết kế đặc biệt 5, chẳng hạn như lát silic, sau đó được cắt hình khối nhỏ

dưới dạng các chip đơn lẻ, sử dụng công nghệ chất bán dẫn, bao gồm chẳng hạn như lắng đọng màng mỏng, kỹ thuật in ảnh litô, các kỹ thuật khắc mòn khô và ướt, cấy iôn, ôxi hóa, v.v...

Các bộ làm nóng 2 có thể được làm bằng màng điện trở, được tiếp xúc với các vạch dẫn điện thích hợp; trong vùng ngoại vi của chip, có thể có một bộ các đệm tiếp xúc 6 được gắn với mạch in mềm, thường sử dụng Quy trình Ghép nối Băng từ Tự động (Tape Automated Bonding-TAB).

Như được thể hiện trên Fig.3, mạch mềm 7 có thể được gắn vào thân hộp đầu in 8 và có thể bao gồm các đệm tiếp xúc 9 để trao đổi các tín hiệu điện với máy in. Do số lượng các bộ làm nóng tăng lên, độ phức tạp của mẫu bố trí điện tử cũng có thể tăng lên. Do đó, có thể có trong bộ phận hoạt động 10 của nền 1 các mảng MOS tranzito 11, chẳng hạn như để xử lý các điện trở, các mạch logic 12, các bộ nhớ lập trình được 13 và các thiết bị khác.

Như được minh họa trên Fig.4 và Fig.5, lên trên bề mặt chip, ở đó chồng các màng điện môi, dẫn điện và điện trở đã được lắng đọng và tạo mẫu hình trước đây, điều đó được thể hiện sơ lược là vùng 14, và có thể đang thực hiện mạch vi lưu. Kết quả là mực có thể trôi trong mạch vi lưu được lắng đọng thông qua các máng thích hợp 15 và đi đến khoang phun 16, các thành của nó có thể được bao quanh bởi điện trở nung 2, ví dụ như điện trở nung 2 có thể ở trên sàn của khoang phun. Mạch vi lưu có thể được tạo mẫu hình trong lớp polyme thích hợp 17 mà có thể được gọi là lớp chặn. Tám vòi phun 18 có thể được lắp ráp phía trên lớp chặn mà có thể chứa nhiều vòi phun 19, được bố trí thẳng hàng với các điện trở nung nằm dưới, mà từ đó các giọt mực 20 có thể được phun. Trong thực tế, xung điện ngắn có thể làm nóng điện trở 2, mà lần lượt có thể làm bay hơi lớp mực mỏng ngay phía trên nó và tạo ra bọt hơi 21. Áp suất trong lớp hóa hơi có thể tăng đột ngột, làm phun một phần chất lỏng nằm trên từ vòi phun. Giọt mực có thể di chuyển về phía môi trường này, tạo ra chấm mực trên bề mặt của nó. Sau đó, mực mới có thể được thu hồi vào trong khoang, để thay thế giọt được phun, cho đến khi chẳng hạn như đạt đến trạng thái ổn định.

Để tối ưu hóa việc truyền năng lượng từ điện trở 2, chẳng hạn như được làm nóng bởi xung điện thông qua hiệu ứng Joule, đến mực, điều có thể cần thiết là điện trở được cách nhiệt từ nền, sao cho dòng nhiệt xảy ra tốt hơn là hướng đến mực nằm trên, có thể lần lượt bị tách biệt khỏi lớp điện trở bởi màng điện môi mỏng, để tránh rò điện.

Do nền được làm bằng silic, là chất có độ dẫn nhiệt đáng kể, có thể cần phải đặt

lớp cách nhiệt có đủ độ dày vào giữa nền và điện trở. Nói cách khác, điện trở có thể phải được lắng đọng trên lớp cách nhiệt thích hợp được phát triển hoặc được lắng đọng lên trên nền.

Silic oxit được phát triển bằng nhiệt và Thủy tinh Bo Phôpho Silic (Boron Phosphorus Silicon Glass - BPSG), được tạo ra chẳng hạn như với các quy trình nhiệt độ cao, có thể là cả hai vật liệu thích hợp cho sự cách nhiệt của điện trở, được sử dụng một mình hoặc kết hợp.

Do nhiệt độ của việc phát triển hoặc làm lắng đọng và/hoặc sự tôi ủ của các vật liệu này có thể cao hơn nhiệt độ vận hành bộ làm nóng trong đầu in, các vật liệu này sẽ giữ nguyên trạng thái ổn định trong suốt quá trình hoạt động bình thường của thiết bị.

Màng điện trở, là màng trải qua những sự thay đổi nhiệt độ lớn và nhanh trong quá trình hoạt động, có thể có các tính chất ổn định và độ kháng tốt đối với ứng suất nhiệt cơ. Thông thường, trị số điện trở của bộ làm nóng có thể, chẳng hạn như, là vài chục Ôm. Chẳng hạn như bộ làm nóng hình vuông có điện trở là khoảng 30 Ôm thông thường có thể được chọn, thậm chí nếu các hình dạng khác nhau và các trị số điện trở khác nhau có thể được sử dụng, trong khi hai dải điện trở theo chiều dọc được nối bởi đai kim loại dẫn điện ngang, tức là điện trở hình chữ U, sẽ tạo ra với cùng diện tích điện trở cao hơn khoảng bốn lần, ví dụ như khoảng 120 Ôm.

Sự lựa chọn rộng và bền lâu cho điện trở có thể là màng composit được làm bằng Tantan và Nhôm: độ dày của màng là khoảng 900 Angstrom có thể mang lại điện trở tấm là 30 Ôm vuông, tức là điện trở hình vuông được làm có màng như vậy có điện trở là 30 Ôm.

Lớp điện môi phía trên điện trở, là lớp cung cấp sự cách điện cho mực, có thể đủ mỏng để cho phép dòng nhiệt mạnh nhưng cũng có thể chịu được các ứng suất nhiệt cơ trải qua trong quá trình hoạt động và các va chạm do sự xẹp bong bóng. Nói chung, màng silic nitrua, một mình hoặc kết hợp với silic cacbua, có thể được sử dụng cho mục đích này. Tuy nhiên, thường thì lớp điện môi mỏng có thể không đủ mạnh và màng bảo vệ bổ sung, cũng được gọi là lớp lỗ hồng, được làm bằng kim loại có tính khúc xạ, như Tantan, có thể được lắng đọng phía trên vật liệu điện môi.

Để xử lý và truyền động nhiều bộ làm nóng, một số kỹ thuật đã được biết đến trong lĩnh vực kỹ thuật. Nếu số lượng vòi phun thấp, lên đến vài chục, mỗi điện trở có thể được nối trực tiếp thông qua đường rãnh điện với đệm tiếp xúc tương ứng, trong khi sự hồi lưu dòng điện thường có thể được thu thập bởi một hoặc một số đệm tựa mặt đất.

Do số lượng vòi phun tăng lên, việc dẫn động riêng trực tiếp có thể khó thực hiện, do số lượng các đệm tiếp xúc cao cần thiết cho xử lý điện trở. Trong thực tế, các tấm có thể được phân bố dọc theo đường biên ngoài của chip và số lượng các tấm này có thể không tăng lên mà không có bất kỳ giới hạn nào.

Giải pháp thực tế hơn là chọn ma trận định địa chỉ, điều này cho phép dẫn động số lượng lớn điện trở sử dụng số lượng giảm bớt các đệm tiếp xúc. Ma trận định địa chỉ tốt hơn là có thể được thực hiện với nhiều tranzito Chất bán dẫn Ôxit Kim loại (Metal Oxide Semiconductor - MOS), mỗi trong số chúng có thể truyền tín hiệu điện với điện trở được xác định. Nhờ nối theo cách thích hợp các điện cực của ma trận tranzito, các bộ làm nóng riêng lẻ có thể được kích hoạt theo yêu cầu, gây ra việc phun các giọt mực từ đầu in.

Việc chế tạo ma trận tranzito có thể tốt hơn là trong nền silic, sử dụng các quy trình tiêu chuẩn được chọn trong công nghệ chất bán dẫn, ví dụ như các kỹ thuật quang khắc, silic ôxi hóa, lắng đọng màng, khắc mòn hóa học khô và ướt và các kỹ thuật khác đã được biết rõ đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể được áp dụng để sản xuất thiết bị.

Ngoài ra, hệ mạch logic có thể được thực hiện trên nền silic, tăng độ phức tạp và hiệu năng của thiết bị. Ngoài ra, hệ mạch logic tốt hơn là có thể được thực hiện bằng các tranzito MOS, như ma trận định địa chỉ. Tuy nhiên, các đặc điểm của các phần tử MOS dẫn động nói chung khác với các đặc điểm của các phần tử MOS logic. Các phần tử MOS dẫn động có thể duy trì đỉnh công suất cao trong quá trình xung điện, trong khi các phần tử MOS logic có thể không cần mang công suất cao, nhưng các phần tử này có thể chuyển đổi nhanh giữa các trạng thái khác nhau, để thực hiện các hoạt động với tốc độ cao.

Mặc dù chỉ các tranzito MOS (NMOS) loại n có thể được chọn, hệ mạch logic tốt hơn là có thể được thực hiện sử dụng công nghệ MOS bổ sung (complimentary MOS - CMOS), ví dụ như các tranzito MOS p kênh và n kênh bổ sung có thể được thực hiện trong cùng nền, cung cấp các cổng logic với mức tiêu thụ điện thấp và tốc độ giao hoán nhanh, đặc biệt khi mức độ tích hợp cao có thể được mong muốn.

Điều kiện về mức độ tích hợp cao có thể yêu cầu kỹ thuật in ảnh litô độ phân giải cao, để tạo ra đoạn cổng trong phạm vi siêu vi trắc, có thể là kích cỡ tối thiểu của các đặc tính mạch, cũng được gọi là nút công nghệ. Độ phức tạp của thiết bị tích hợp cao thường có thể liên quan đến nhiều lớp hoặc mức độ mạ kim loại cũng như các lớp bằng phẳng và điện môi.

Trên Fig.5, hình vẽ mặt cắt ngang của đầu in NMOS cổ điện được minh họa. Bề mặt của nền silic 1 có thể được ôxi hóa nhiệt để phát triển ôxit tạo trường từ 22 (FOX). Ôxit tạo trường từ 22 dùng để bọc cách nhiệt các thiết bị gần kề và là một phần của lớp cách nhiệt bên dưới các bộ làm nóng.

Các lỗ hở trong ôxit tạo trường từ có thể được để lại cho việc pha tạp nền các vùng hoạt động. Cổng ôxit mỏng 23 có thể được phát triển trong ôxit tạo trường từ vùng tự do và cổng polysilic 24 có thể được đặt lên trên cổng ôxit trong vùng kênh MOS. Các khuếch tán n + thích hợp 25 có thể được thực hiện trong nền, cung cấp vùng cực máng hoặc nguồn của tranzito MOS. Theo tùy chọn, sự khuếch tán p+ 26 có thể được tạo ra để thực hiện việc tiếp xúc với mặt đất trong nền (không được thể hiện trên hình vẽ).

Sau đó, toàn bộ bề mặt có thể được phủ màng Thủy tinh Boron Phôtpô Silic (Boron Phosphorus Silicon Glass - BPSG) 27, có thể tạo ra phần thứ hai của lớp cách nhiệt bên dưới các bộ làm nóng và có thể cung cấp sự cách điện cho đường rãnh kim loại nhôm nằm trên. Màng BPSG 27 cũng có thể cung cấp sự làm nhẵn và phẳng một phần của bề mặt. Các tiếp điểm có thể được mở trong màng BPSG mà ở đó các đường rãnh kim loại có thể tiếp xúc điện với các khuếch tán cực máng hoặc nguồn hoặc polysilic.

Các đường rãnh kim loại có thể được thực hiện với lớp đôi. Trước hết, màng mỏng của Ta-Al 28 có thể được lắng đọng lên trên màng BPSG 27 và cả trong vùng tiếp xúc khuếch tán 30; màng Ta-Al có thể đảm bảo giao diện đẹp với vùng silic pha tạp, ngăn nhôm cắm vào trong nền, điều này gây ra các vấn đề về điện.

Do điện trở suất thuần và độ dày giảm bớt (ví dụ như khoảng 900 Angstrom) của màng Ta-Al, ví dụ như Ta, TaAl hoặc TaAl+Al, màng Ta-Al có thể được chọn làm màng điện trở cho các bộ làm nóng của đầu in. Do đó, lớp Ta-Al có thể có chức năng kép của màng điện trở và của lớp chặn, tránh cần thêm một lớp ở giữa kim loại Al và silic pha tạp. Lớp thứ hai của các đường rãnh kim loại có thể được làm bằng nhôm, có thể chứa lượng nhỏ đồng, silic hoặc sự kết hợp của chúng. Màng nhôm 29 có thể được lắng đọng ngay phía trên màng Ta-Al có độ dày cao hơn.

Trong trường hợp cả hai màng có mặt, độ dẫn điện của nhôm có thể vượt trội, thực hiện đường dẫn điện, tức là điện trở thấp, cho dòng điện. Trong vùng của bộ làm nóng 2 lớp nhôm có thể bị loại bỏ và lớp Ta-Al duy nhất có thể còn lại, cung cấp đường dẫn điện trở cho dòng điện gây ra sự làm nóng cần thiết cho việc phun giọt.

Lớp nhôm có thể được phủ màng điện môi thích hợp 31. Màng này có thể chẳng hạn như bao gồm hai lớp: lớp silic nitrua, có thể đảm bảo sự cách điện tốt, và lớp silic

cacbua, chịu được sự ăn mòn và các chất hóa học. Các vật liệu này có thể thích hợp cho việc sử dụng trong đầu in phun mực bằng nhiệt, do độ ổn định cao của chúng ở nhiệt độ cao. Mặt khác, các vật liệu này cung cấp độ phủ bước kém khi biên dạng bề mặt nằm dưới thay đổi một cách đột ngột, ví dụ như liên kết ngang lớp mạ kim loại.

Lớp tantan bổ sung 32 có thể được lắng đọng trong vùng bộ làm nóng phía trên màng điện môi 31, để bảo vệ các màng chống lại va chạm cơ học do chẳng hạn như sự xẹp bong bóng. Điều này cũng có thể cung cấp sự dính kết tốt với lớp chặn nằm trên, trong đó mạch lưu chất được thực hiện, ngăn mực thâm nhập tại giao diện giữa hai vật liệu.

Ngoài ra, lớp tantan cũng hiệu quả để cải thiện sự dính kết của lớp Au cuối cùng 33, được sử dụng làm lớp kim loại thứ hai để cấp điện chung và thanh nối đất. Trong trường hợp này, lớp đôi Ta + Au có thể được lắng đọng và được tạo mẫu hình. Lớp thứ nhất có thể cung cấp sự dính kết tốt với màng điện môi nằm dưới 31 và thực hiện sự tiếp xúc thích hợp với nhôm trong vùng tiếp xúc 34, trong khi lớp thứ hai có thể đảm bảo độ dẫn điện tốt, cần thiết cho mang dòng điện cao đến từ nhiều bộ làm nóng.

Kết cấu của đầu in NMOS được mô tả có thể sinh lợi, do quy trình NMOS rất đơn giản, đòi hỏi số lượng giảm bớt các mà chắn, cho phép sử dụng nhiều lớp (các chất điện môi, các kim loại, các ôxit chắn nhiệt) với các mục đích khác nhau trong MOS và trong MEMS các phần của đầu in.

Hình vẽ mặt cắt ngang của mạch tích hợp CMOS tiên tiến, tiêu chuẩn được thể hiện trên Fig.7. Do thiết bị CMOS có thể bao gồm các tranzito MOS n kênh và p kênh bổ sung, ít nhất một giếng được pha tạp có thể được cấy trong nền. Chẳng hạn như n giếng 35 có thể được cấy trong vùng mà ở đó các tranzito MOS p kênh sẽ được tạo ra.

Như mô tả trên đây, ôxit tạo trường từ 22 (FOX) và cổng ôxit mỏng 23 có thể được phát triển lên trên nền 1 và cổng polysilic 24 có thể được lắng đọng phía trên cổng ôxit trong vùng kênh MOS. Các khuếch tán n + thích hợp 25 có thể được thực hiện trong nền, trong khi sự khuếch tán p+ 26 có thể được thực hiện trong n giếng được cấy trước 35, để tương ứng thực hiện các tranzito MOS n kênh (NMOS) và các tranzito MOS p kênh (PMOS). Nhiều khuếch tán khác, cả p và n, như p giếng, p hoặc n kênh chặn, p hoặc n LDD, điều chỉnh điện áp ngưỡng v.v... có thể được thực hiện để tối ưu hóa hiệu năng thiết bị hoặc thu được các phương thức riêng.

Lớp bằng phẳng và điện môi 36, cũng được gọi là lớp Điện môi Giữa Lớp (Inter Layer Dielectric - ILD), có thể được lắng đọng, để tách biệt polysilic khỏi lớp mạ kim

loại thứ nhất 37, cũng được gọi là M1. Lớp ILD 36 có thể được pha tạp lớp thủy tinh silic như PSG hoặc BPSG. Trước khi làm lắng đọng M1, các lỗ hờ có thể được tạo ra trong lớp ILD 36 để cho phép sự tiếp xúc giữa các khuếch tán cực máng và nguồn của các tranzito MOS và lớp M1 37. Một lớp điện môi 40 khác, cũng được gọi là lớp Chất điện môi Giữa Kim loại (Inter Metal Dielectric - IMD1), có thể được lắng đọng để tách biệt M1 khỏi lớp mạ kim loại thứ hai nằm trên 38, cũng được gọi là M2.

Lớp IMD1 thường có thể là màng đa lớp bao gồm lớp phủ kiểu quay nhanh (Spin On Glass - SOG) hoặc các lớp khác thích hợp để làm phẳng hình thái học bề mặt của M1. Trước khi làm lắng đọng M2, các lỗ hờ có thể được tạo ra trong lớp IMD1 40 trong trường hợp các tiếp điểm giữa M1 và M2 phải được thực hiện. Một lớp điện môi 41 nữa, cũng được gọi là Chất điện môi Giữa Kim loại (Inter Metal Dielectric - IMD2), có thể được lắng đọng để tách biệt M2 từ mức mạ kim loại thứ ba bên trên 39 (M3). Ngoài ra, IMD2 có thể là màng đa lớp thích hợp để làm phẳng hình thái học M2.

Trước khi làm lắng đọng M3, các lỗ hờ có thể được tạo ra trong lớp IMD2 41 ở đó các tiếp điểm giữa M2 và M3 phải được thực hiện. Cuối cùng, lớp thụ động hóa thứ nhất 42 (PAS1) và lớp thụ động hóa thứ hai 43 (PAS2) có thể được lắng đọng để bảo vệ toàn bộ hệ mạch chống lại các tác nhân bên ngoài, như các vết xước cơ học, các chất bẩn, hơi ẩm v.v... Thông thường, lớp thụ động hóa thứ nhất có thể là silic oxit và lớp thụ động hóa thứ hai có thể là silic nitrua. Đôi khi, chỉ một lớp thụ động hóa được sử dụng.

Thiết bị CMOS có thể là mạch tích hợp. Nhiều lớp kim loại, ba hoặc nhiều hơn, thường có thể được chọn và nhiều lớp điện môi được đặt giữa có thể cần phải bọc cách điện các mức độ khác nhau của các đường rãnh kim loại. Tính phẳng lì của bề mặt trong tất cả các giai đoạn của quy trình có thể cần thiết để thực hiện đúng việc lắng đọng và khắc mòn các lớp khác nhau và các hoạt động quang khắc liên quan đến việc tạo mẫu hình cho màng, chủ yếu khi phải thu được các đặc tính mạch độ phân giải cao.

Do đó, tất cả các lớp điện môi có thể cung cấp độ phủ bước, để làm nhẵn hình thái học bề mặt do mẫu hình màng. Trong mạch CMOS được thể hiện trên Fig.7, Màng điện môi Giữa Lớp 36, được lắng đọng lên trên ôxit tạo trường từ 22, có thể tương tự với lớp BPSG 27 trên Fig.5 và chỉ BPSG có thể được sử dụng để thực hiện ILD trong các thiết bị CMOS.

Như được đề cập trên đây, cả ôxit tạo trường từ và BPSG có thể được tạo ra trong các quy trình được thực hiện ở nhiệt độ cao, trước khi sự lắng đọng bất kỳ lớp kim loại nào. Do đó, các chất này duy trì độ ổn định tốt cả khi thiết bị hoạt động ở nhiệt độ thấp

hơn nhiệt độ lắng đọng hoặc tối ưu.

Các màng điện môi Giữa Kim loại IMD1 và IMD2 có thể phải được lắng đọng trong các quy trình được thực hiện ở nhiệt độ thấp, để ngăn ngừa sự hư hỏng bất kỳ của các lớp kim loại có mặt rồi. Các màng này có thể cung cấp độ phủ bước nhưng không duy trì được trạng thái ổn định nhiệt khi nhiệt độ hoạt động tăng lên quá nhiệt độ lắng đọng.

Mặc dù có nhiệt độ lắng đọng vừa phải, silic nitrua và silic cacbua trong màng điện môi 31, được chọn trong thiết bị đầu in, được mô tả trên đây trên Fig.5, có thể ổn định thậm chí ở nhiệt độ cao như nhiệt độ bộ làm nóng hoạt động trong đầu in.

Tuy nhiên, các chất này không thể được sử dụng làm màng IMD trong thiết bị CMOS, do độ phủ bước kém, được đề cập trên đây.

Tương tự, các lớp IMD tiêu chuẩn trong thiết bị CMOS, là thiết bị cung cấp độ phủ bước rất tốt, có thể không thích hợp cho phần MEMS của đầu in, do độ ổn định nhiệt kém ở nhiệt độ hoạt động của bộ làm nóng đầu in.

Một điểm khác biệt quan trọng khác giữa công nghệ đầu in tiêu chuẩn và công nghệ CMOS có thể nằm ở tính chất của các màng kim loại được chọn trong các ứng dụng tương ứng. Màng điện trở composit được làm bằng tantan và nhôm có thể thích hợp để cung cấp đường dẫn điện trở cho dòng điện gây ra sự làm nóng cần thiết cho việc phun giọt, không thường được chọn trong công nghệ CMOS.

Lớp lỗ hổng tantan, có thể cần thiết trong đầu in để bảo vệ các bộ làm nóng chống lại va chạm cơ học bị gây ra bởi sự xếp bong bóng và, ngoài ra, có thể cải thiện sự dính kết với các màng nằm trên, có thể không được sử dụng trong quy trình CMOS tiêu chuẩn.

Cuối cùng, vàng có thể là chất bán trong quy trình chế tạo hoặc phương tiện bất kỳ sử dụng quy trình xử lý CMOS do có độ khuếch tán lớn ở silic. Vàng có thể đóng vai trò là trung tâm tái kết hợp và có thể tác động đến vòng đời của vật mang và hiệu năng thiết bị.

Tóm lại, quy trình CMOS không thể được mở rộng một cách đơn giản đến việc sản xuất bộ phận kích thích nhiệt của đầu in, cũng được gọi là các bộ phận hệ thống vi cơ điện tử (micro-electromechanical system - MEMS), do các yêu cầu về các vật liệu đặc biệt và các dây chuyền sản xuất chuyên dụng.

Bản chất kỹ thuật của sáng chế

Do đó, cần có phương pháp tạo ra đầu in phun mực bằng nhiệt, đầu in phun mực bằng nhiệt, và lát bán dẫn có liên quan trong trường hợp bộ phận kích thích nhiệt của đầu in, cũng được gọi là bộ kích thích nhiệt lỏng hoặc bộ phận MEMS, ví dụ như bộ vi làm nóng, có thể được thực hiện trong phương tiện riêng, bắt đầu từ lát được chế tạo trước hoặc bán thành phẩm, trong trường hợp hệ mạch điện và logic, tức là bộ phận mạch tích hợp (IC), đã được thực hiện trước đây, theo công nghệ chất bán dẫn tiêu chuẩn.

Mục đích khác của sáng chế là đề xuất lát bán dẫn mà từ đó đầu in phun mực bằng nhiệt có thể được tạo ra một cách dễ dàng và sinh lợi.

Mục đích khác của sáng chế là đề xuất đầu in phun mực bằng nhiệt và phương pháp tạo ra trong trường hợp này là sinh lợi để sản xuất đầu in phun mực bằng nhiệt với số lượng tương đối nhỏ chẳng hạn như cho các ứng dụng công nghiệp.

Các mục đích và vấn đề nêu trên được giải quyết bởi đối tượng của các điểm độc lập trong yêu cầu bảo hộ. Các phương án ưu tiên nữa được xác định trong các điểm phụ thuộc của yêu cầu bảo hộ.

Theo một khía cạnh của sáng chế, sáng chế đề xuất phương pháp tạo ra đầu in phun mực bằng nhiệt, bao gồm ít nhất các bước sau đây cung cấp lát bán dẫn bao gồm mạch điện tử tích hợp và một phần để tạo ra bộ phận kích thích nhiệt, tức là trong trường hợp bộ phận kích thích nhiệt phải được tạo ra, cũng có thể được gọi là phần làm nóng, mạch tích hợp bao gồm ít nhất là lớp cách nhiệt được tạo ra trên nền; và lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; trong đó lớp kim loại thứ nhất kéo dài vào trong phần làm nóng; và khắc mòn phần bộ làm nóng để tạo ra bộ phận kích thích nhiệt xuống đến lớp kim loại thứ nhất sao cho lớp kim loại thứ nhất đóng vai trò là lớp chặn khắc mòn.

Theo một khía cạnh khác của sáng chế, sáng chế đề xuất đầu in phun mực bằng nhiệt bao gồm mạch điện tử tích hợp và một phần để tạo ra bộ phận kích thích nhiệt, được tạo ra theo phương pháp bất kỳ trong số các phương pháp theo sáng chế.

Theo một khía cạnh khác của sáng chế, sáng chế đề xuất lát bán dẫn bao gồm mạch điện tử tích hợp và một phần để tạo ra bộ phận kích thích nhiệt, mạch tích hợp bao gồm ít nhất là lớp cách nhiệt được tạo ra trên nền; lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; lớp kim loại thứ nhất này là một trong số lớp kim loại được sử dụng trong mạch tích hợp, trong đó lớp kim loại thứ nhất kéo dài vào trong phần làm nóng sao cho lớp kim loại thứ nhất có thể sử dụng làm lớp chặn khắc mòn trong khi tạo ra bộ phận kích thích nhiệt.

Mô tả vắn tắt các hình vẽ

Các phương án của sáng chế, là các phương án được trình bày để giúp hiểu rõ hơn các khái niệm của sáng chế và không bị coi là giới hạn sáng chế, sẽ được mô tả dưới đây kết hợp với các hình vẽ kèm theo.

Fig.1 thể hiện hình vẽ nhìn từ trên xuống của đầu in mực bằng nhiệt;

Fig.2 thể hiện hình vẽ nhìn từ trên xuống của lát silic các đầu in bằng nhiệt được sản xuất và sau đó được cắt hình khối nhỏ dưới dạng các chip đơn lẻ;

Fig.3 thể hiện hình vẽ mặt bên của thân hộp đầu in được gắn vào đó mạch mềm và bao gồm các đệm tiếp xúc;

Fig.4 thể hiện hình vẽ chi tiết của mạch lưu chất và các bộ phận làm nóng;

Fig.5 thể hiện hình vẽ mặt cắt ngang của bộ phận kích thích nhiệt đầu in;

Fig.5 thể hiện hình vẽ mặt cắt ngang của đầu in NMOS;

Fig.7 thể hiện hình vẽ mặt cắt ngang của mạch CMOS tiêu chuẩn;

Fig.8 thể hiện mẫu bố trí chip sơ lược thể hiện sự phân chia giữa khu vực mạch logic CMOS và vùng MEMS theo một phương án của sáng chế;

Fig.9 thể hiện sơ đồ mạch của bộ phận làm nóng được dẫn động bởi tranzito NMOS theo một phương án của sáng chế;

Fig.10 thể hiện hình vẽ nhìn từ trên xuống của vùng biên giữa mạch CMOS và vùng MEMS theo một phương án của sáng chế;

Fig.11 thể hiện hình vẽ mặt cắt ngang của kết cấu CMOS theo một phương án của sáng chế;

Fig.12 thể hiện hình vẽ nhìn từ trên xuống của vùng biên giữa mạch CMOS và vùng MEMS sau khi khắc mòn theo một phương án của sáng chế;

Fig.13 thể hiện hình vẽ mặt cắt ngang của vùng biên giữa mạch CMOS và vùng MEMS sau khi khắc mòn theo một phương án của sáng chế;

Fig.14 thể hiện nét ngoài mẫu hình của màn chắn khắc mòn mạ kim loại theo một phương án của sáng chế;

Fig.15 thể hiện hình vẽ nhìn từ trên xuống của mẫu bố trí mạch sau khi loại bỏ M1 lớp kim loại theo một phương án của sáng chế;

Fig.16 thể hiện hình vẽ mặt cắt ngang của mẫu bố trí mạch sau khi loại bỏ lớp kim loại M1 theo một phương án của sáng chế;

Fig.17 thể hiện hình vẽ nhìn từ trên xuống của sự tích hợp giữa bộ phận kích thích

nhiệt và mạch CMOS;

Fig.18 thể hiện hình vẽ mặt cắt ngang dọc theo đường A-A trên Fig.17 của vùng tiếp xúc giữa bộ phận kích thích nhiệt và lớp mạ kim loại CMOS;

Fig.19 thể hiện hình vẽ mặt cắt ngang dọc theo đường B-B trên Fig.17 dọc theo bộ phận kích thích nhiệt và tiếp điểm cực máng MOS;

Fig.20 thể hiện hình vẽ mặt cắt ngang dọc theo đường B-B trên Fig.17 sau khi làm lắng đọng silic nitrua và màng điện môi slic cacbua; và

Fig.21 thể hiện hình vẽ mặt cắt ngang dọc theo đường B-B trên Fig.17 sau khi làm lắng đọng các lớp vàng và tantan trên cùng.

Mô tả chi tiết các phương án thực hiện sáng chế

Quy trình tích hợp mạch tích hợp (IC) được sản xuất theo công nghệ CMOS tiêu chuẩn về đầu in phun mực bằng nhiệt được mô tả trong phần dưới đây theo ít nhất một phương án của sáng chế.

Theo một phương án của sáng chế, các vấn đề phát sinh từ việc dung hợp hai công nghệ sản xuất được giải quyết, mang lại giải pháp hiệu quả và sinh lợi để sản xuất hoặc tạo ra các đầu in có hiệu năng cao với chi phí đầu tư thấp.

Sáng chế theo một phương án cho phép thu được bộ kích thích chất lỏng hoàn toàn được cung cấp hệ mạch điện tử hiệu năng cao, tác dụng lên các hàng hóa công nghệ, mà không cần phải đầu tư nhiều vào toàn bộ quy trình tùy biến.

Theo một phương án của sáng chế, phương pháp tạo ra đầu in phun mực bằng nhiệt có thể bao gồm ít nhất các bước sau đây cung cấp lát bán dẫn bao gồm mạch điện tử tích hợp và một phần để tạo ra bộ phận kích thích nhiệt, mạch tích hợp bao gồm ít nhất là lớp cách nhiệt được tạo ra trên nền; và lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; trong đó lớp kim loại thứ nhất kéo dài vào trong phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng, cũng có thể được gọi là Hệ thống Vi Cơ Điện tử (micro-electromechanical system, MEMS); và khắc mòn phần để tạo ra bộ phận kích thích nhiệt xuống đến lớp kim loại thứ nhất sao cho lớp kim loại thứ nhất đóng vai trò là lớp chặn khắc mòn.

Nói cách khác phương pháp theo sáng chế để tạo ra đầu in phun mực bằng nhiệt, bao gồm ít nhất các bước sau đây cung cấp lát bán dẫn bao gồm mạch điện tử tích hợp và một phần mà ở đó bộ phận kích thích nhiệt, tức là phần làm nóng, cần được tạo ra, mạch tích hợp bao gồm ít nhất là lớp cách nhiệt được tạo ra trên nền; và lớp kim loại thứ nhất

được tạo ra trên lớp cách nhiệt; trong đó lớp kim loại thứ nhất kéo dài vào trong phần làm nóng; và khắc mòn phần bộ làm nóng để tạo ra bộ phận kích thích nhiệt xuống đến lớp kim loại thứ nhất sao cho lớp kim loại thứ nhất đóng vai trò là lớp chặn khắc mòn.

Theo một phương án chồng lớp bao gồm lớp ôxit tạo trường từ (lớp ôxit tạo trường từ - FOX) và chất điện môi lớp xen giữa (inter-layer dielectric - ILD), chẳng hạn như thủy tinh silic được pha tạp Bo và/hoặc Photpho (BPSG hoặc PSG), cả hai lớp thuộc về quy trình CMOS, là lớp cách nhiệt bên dưới bộ làm nóng, có thể được sử dụng trong bộ phận kích thích nhiệt, cũng được gọi là hệ thống vi cơ điện tử (micro-electromechanical system - MEMS). Lớp bán thành phẩm có thể đến từ xưởng đúc CMOS được phủ bởi lớp điện môi được sử dụng trong quy trình CMOS, cũng ở trong vùng MEMS.

Do độ chọn lọc khắc mòn giữa thủy tinh silic (BPSG hoặc PSG) và các lớp điện môi giữa kim loại (IMD) có thể rất kém, phần mở rộng của lớp kim loại từ mạch CMOS có thể được sử dụng làm lớp chặn khắc lên trên lớp BPSG trong suốt quy trình tạo ra MEMS. Sau đó, lớp chặn khắc mòn có thể bị loại bỏ, để lại lớp cách nhiệt không bị ảnh hưởng về cả độ dày và độ đồng đều, điều này có thể quan trọng trong việc truyền năng lượng nhiệt từ bộ làm nóng đến lưu chất.

Toàn bộ quy trình tùy biến cho đầu in CMOS dù sao cũng có thể được thiết lập, nhưng cần đầu tư nhiều, điều này chỉ có thể được đánh giá bằng khối lượng sản xuất cao. Thông thường khối lượng sản xuất các đầu in hướng đến các ứng dụng công nghiệp, ngược lại, có thể gần như không đánh giá việc đầu tư như vậy.

Nếu việc cải tiến hiệu năng của hệ mạch điện đầu in được theo đuổi, giải pháp thực tế theo sáng chế có thể dựa vào việc tích hợp của phần mạch logic được tạo ra trong xưởng đúc silic CMOS với phần MEMS được tạo ra xưởng đúc thứ hai, có thể được cung cấp các khả năng xử lý liên quan đến các vật liệu đặc biệt được sử dụng trong đầu tin, nhưng không nhất thiết đòi hỏi thiết bị có độ phân giải cao của quy trình CMOS.

Quy trình tích hợp, tức là việc xây dựng MEMS lên trên mạch CMOS hiện có trên lát hoặc chip silic, có thể tuân theo một số hạn chế của cả CMOS và kết cấu MEMS. Các hạn chế CMOS có thể là vật liệu và độ dày lớp: cả hai yếu tố này đặc trưng cho quy trình đúc và, thay đổi đáng kể bất kỳ cũng có thể biến đổi hiệu năng và thông số thiết bị; chỉ những thay đổi đối với độ dày lớp có thể được phép.

Mặt khác, kết cấu MEMS, được gọi đơn giản là MEMS, có thể cần các lớp riêng, không có mặt trong kết cấu CMOS, hoặc cả polysilic và các màng kim loại của thiết bị

CMOS có thể không thích hợp cho việc ứng dụng trong bộ phận kích thích nhiệt. Do đó, vùng MEMS có thể không có lớp dẫn điện bất kỳ thuộc về hệ mạch CMOS, trừ đường rãnh ngắn kéo dài ngay phía bên kia đường biên vùng MEMS, cần tiếp xúc với mạch bộ làm nóng và lớp chặn khắc mòn, sử dụng cùng lớp dẫn điện như sẽ được mô tả trong phần dưới đây.

Theo một phương án của sáng chế, sáng chế đề xuất lát bán dẫn bao gồm mạch điện tử tích hợp và phần để tạo ra bộ phận kích thích nhiệt, mạch tích hợp bao gồm ít nhất là lớp cách nhiệt được tạo ra trên nền; lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; lớp kim loại thứ nhất này là một trong số lớp kim loại được sử dụng trong mạch tích hợp, trong đó lớp kim loại thứ nhất kéo dài vào trong phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng, sao cho lớp kim loại thứ nhất có thể sử dụng làm lớp chặn khắc mòn trong khi tạo ra bộ phận kích thích nhiệt.

Fig.8 minh họa mẫu bố trí chip sơ lược, thể hiện sự phân chia giữa khu vực mạch logic CMOS 58 và vùng MEMS 49, được bao quanh bởi đường biên 48; vùng MEMS có thể bao gồm mảng làm nóng 2 và khe nạp mực. Lưu ý rằng chip đầu in có thể bao gồm nhiều vùng MEMS tách biệt, thay vì chỉ một vùng đơn lẻ như được minh họa trên Fig.8.

Do hai phần có thể phải được thực hiện trên cùng một lát hoặc chip silic, có thể cần phải khớp với độ dày của lớp cơ bản, tức là silic oxit ngay trên nền silic. Rào nhiệt bên dưới bộ làm nóng đầu in có thể ổn định lên đến 700-800°C. Do đó, chỉ ôxit được phát triển bằng nhiệt hoặc thủy tinh silic hồi lưu như PSG hoặc BPSG, hoặc sự kết hợp của hai vật liệu này có thể thích hợp cho chức năng này.

Các loại ôxit này không thể được phát triển hoặc được lắng đọng với thiết bị CMOS được thực hiện rồi, do cần nhiệt độ cao, điều này sẽ làm hỏng tính nguyên vẹn của các lớp kim loại. Giải pháp theo một phương án của sáng chế có thể bao gồm việc sử dụng sự kết hợp của ôxit tạo trường từ và BPSG/PSG từ quy trình CMOS để thực hiện lớp chặn nhiệt dưới các bộ làm nóng trong phần MEMS của đầu in.

Rào nhiệt cách nhiệt bên dưới điện trở có thể xử lý dòng nhiệt chủ yếu hướng đến mực, để truyền năng lượng một cách hiệu quả đến chất lỏng. Tuy nhiên, việc phát tán nhiệt vừa phải đến nền có thể là tốt hơn để điều khiển và làm ổn định nhiệt độ hệ thống tổng thể.

Theo một phương án của sáng chế, trị số thích hợp cho độ dày chặn nhiệt nằm trong khoảng từ 0,6 đến 2,0 μm , tốt hơn là trong khoảng 0,8 đến 1,6 μm và tốt nhất là trong khoảng 1,0 đến 1,2 μm .

Do đó, tổng độ dày của FOX và/hoặc BPSG của quy trình CMOS có thể tuân theo trị số độ dày này. Do độ dày của các lớp này có thể thay đổi với quy trình và với nút công nghệ, có thể cần phải chọn các phần tử này một cách cẩn thận để có độ dày chấn nhiệt đúng.

Sơ đồ mạch của công suất MOS dẫn động bộ làm nóng đầu in được thể hiện trên Fig.9. MOS công suất 44 có thể là tranzito hiệu ứng trường chất bán dẫn ôxit kim loại (metal-oxide-semiconductor field-effect transistor - MOSFET) n kênh hoặc p kênh và có thể đóng vai trò là công tắc điện, tùy thuộc vào mức điện áp của tín hiệu được gửi đến cổng 45. Điện trở R tương ứng với bộ làm nóng 2 được nối với đầu nối cực máng MOS 46 trong khi đầu nối nguồn MOS 47 được nối với đất. Đầu cuối kia của bộ làm nóng 2 có thể truyền tín hiệu điện với ray điện.

Nếu tín hiệu cổng ở mức điện áp thấp, công tắc NMOS có thể mở, tức là tranzito có thể không dẫn điện và không dòng điện nào có thể chạy qua bộ làm nóng 2. Mức điện áp cao được áp dụng cho cổng 45 có thể mang lại cho NMOS sự dẫn điện và nhiệt bị tiêu trong điện trở do dòng điện có thể làm phát triển bong bóng mực và gây phun thêm giọt mực từ vòi phun đầu in.

Do các tiếp điểm cực máng và nguồn của các tranzito được tạo ra trong xưởng đúc CMOS có thể được thực hiện với lớp mạ kim loại thứ nhất 37 (M1), lớp mạ kim loại thứ nhất 37 có thể bị kéo dài sao cho nó đến được đường biên vùng MEMS. Điều này có thể cho phép M1 các đường rãnh dẫn điện đến từ các tranzito để sau đó được truyền tín hiệu điện với hệ mạch bộ làm nóng, trong các quy trình đúc MEMS.

Một phần của đường biên nối giữa thiết bị CMOS và hệ mạch MEMS được thể hiện trên Fig.10, bao gồm một cặp tranzito công suất MOS 50. Hoạt động thứ nhất của xưởng đúc MEMS có thể là mở cửa sổ MEMS 48, lớp khắc mòn IMD và lớp thụ động hóa phía trên vùng MEMS 49, xuống đến bề mặt BPSG và cũng để hở một đầu của đường rãnh kim loại ngắn 51 được kéo dài từ lớp mạ kim loại M1 37 đặt lên trên lớp BPSG, điều này có thể là cần thiết cho việc tiếp xúc thêm một đầu cuối của các bộ làm nóng với các MOS tranzito. Một đường rãnh kim loại M1 khác 52 được tạo ra trong M1 có thể phải được để hở ở một đầu để cho đầu cuối kia của các bộ làm nóng tiếp xúc với bộ phân phối điện áp. Bộ phân phối điện áp có thể được thực hiện trong lớp M2 38 và các đường đi thích hợp 53 có thể được thực hiện trong lớp Chất điện môi Giữa Kim loại (Inter Metal Dielectric) IMD1 để cung cấp sự tiếp xúc với đường rãnh M1 nằm dưới 52.

Các yêu cầu về tính bằng phẳng trong suốt quy trình CMOS và sự bảo vệ cần thiết

thiết bị trong quá trình chuyển lát hoặc chip silic giữa hai xưởng đúc có thể đòi hỏi sự bảo tồn các Chất điện môi Giữa Kim loại cũng như tất cả các lớp thụ động hóa trên cùng. Do đó, cả vùng MEMS cũng có thể được phủ bởi các lớp này khi thiết bị được chế tạo trước hoặc bán thành phẩm được nhận tại xưởng đúc MEMS để hoàn thành quy trình sản xuất đầu in.

Theo một phương án của sáng chế, chồng các lớp được tạo ra trên lớp kim loại thứ nhất có thể có độ dày là nhỏ hơn $3,5\text{ }\mu\text{m}$ và tốt hơn là độ dày từ 2 đến $3\text{ }\mu\text{m}$.

Vùng MEMS có thể nằm ở mức thấp hơn đáng kể so với phần đỉnh của vùng thiết bị CMOS lân cận, vùng thiết bị CMOS lân cận này bao gồm tất cả các lớp mạ kim loại cũng như các lớp điện môi. Do đó, trong quá trình chuyển tiếp giữa hai vùng, một bậc đáng kể phát sinh. Do quy trình PVD được sử dụng để lắng đọng các lớp kim loại của hệ mạch MEMS chịu hiệu ứng màn chắn bậc, sự kết nối của hệ mạch MEMS với lớp mạ kim loại M1 của thiết bị CMOS có thể nằm cách thành bậc vài micron.

Theo một phương án của sáng chế lớp kim loại thứ nhất được tạo ra trên khắp tất cả phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng.

Theo một phương án của sáng chế phương pháp có thể còn bao gồm bước loại bỏ một phần lớp kim loại thứ nhất trong phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng. Đây cũng có thể được gọi là bước quy xử lý loại bỏ lớp chặn khắc mòn.

Theo một phương án của sáng chế phương pháp có thể còn bao gồm bước tạo ra lớp điện môi lên trên phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng, và mạch điện tử tích hợp che phủ ít nhất lớp đường rãnh kim loại và lớp điện trở trong phần để tạo ra bộ phận kích thích nhiệt, tức là phần làm nóng.

Theo một phương án của sáng chế phương pháp có thể còn bao gồm bao gồm bước tạo ra lớp lỗ hổng trên lớp điện môi trong vùng thứ nhất. Bước này cũng có thể được gọi là bước quy trình mở điện trở.

Ngoài ra việc in litô gần thành bên có thể cần đáp ứng thêm hạn chế. Thành bên nghiêng có thể giúp in litô hệ mạch MEMS và có thể được thực hiện bằng cách điều biến độ dày chất cản để thực hiện khắc mòn vuốt thon, theo công nghệ tiên tiến, miễn là độ cao của bậc không lớn quá mức. Trường hợp hiện tại ngăn sự tích hợp đơn giản giữa hai công nghệ, bởi vì thiết bị CMOS tiêu chuẩn được mô tả trên đây có thể có số lượng lớp quá cao không thể mang lại độ cao của bậc có thể chấp nhận được.

Để khắc phục vấn đề này, theo một khía cạnh của sáng chế luồng quy trình để giảm bớt nhiều như có thể độ cao bậc có thể được đưa vào, dù thế nào vẫn nằm trong

giới hạn của quy trình tiêu chuẩn. Do đó, lớp kim loại trên cùng M3 có thể bị loại bỏ. Sau đó, lớp M3 có thể được thay thế bằng lớp mạ kim loại thích hợp, trong suốt giai đoạn của quy trình MEMS, như được thể hiện trong phần dưới đây.

Ngược lại, lớp mạ kim loại M2 có thể cần thiết để hoàn thành việc liên kết trong mạch logic và lớp này có thể được duy trì. Mẫu hình liên kết logic có thể cần các quy trình có độ phân giải cao và có thể không được thực hiện trong xưởng đúc MEMS mà không gặp bất kỳ vấn đề gì.

Theo một phương án của sáng chế bộ phận kích thích nhiệt và mạch điện tử tích hợp có thể tạo ra các phần của đầu in phun mực bằng nhiệt.

Theo một phương án khác của sáng chế bộ phận kích thích nhiệt là bộ kích thích nhiệt lỏng.

Ngoài ra, nếu chip đầu in bán thành phẩm, tức là được chế tạo trước, như được giao bởi xưởng đúc CMOS, được cung cấp với mức mạ kim loại thứ hai M2, chip đầu in này có thể được thử nghiệm đầy đủ liên quan đến hệ mạch logic, trước khi các quy trình MEMS xảy ra. Giải pháp này có thể thiết lập đường biên thực giữa phần CMOS và phần MEMS của thiết bị và có thể tạo thuận lợi việc định vị các nguồn sự cố có thể có. Ngược lại, giải pháp thay thế trong trường hợp lớp M1 duy nhất được thực hiện bởi xưởng đúc CMOS sẽ cung cấp độ cao bậc thậm chí thấp hơn, nhưng sẽ có chỉ trích về phương pháp lần ngược trong trường hợp có các lỗi về chức năng. Do đó, giải pháp bao gồm cả M1 và M2 được ưu tiên.

Lớp IMD2 có thể được để lại phía trên M2, để đảm bảo việc cách điện và làm bằng phẳng bề mặt cho các quy trình khác, nhưng độ dày của lớp này có thể bị giảm nhiều như có thể. Ngoài ra, lớp điện môi IMD1, bên dưới M2, có thể bị giảm độ dày, xuống mức có thể đảm bảo đủ cách điện và làm bằng phẳng.

Để hạ thấp thêm độ cao bậc, việc giảm vừa phải độ dày các lớp kim loại có thể được thực hiện, nếu điều này đáp ứng các hạn chế về công nghệ. Cuối cùng, một trong số hai lớp thụ động hóa có thể bị loại bỏ và độ dày của lớp thụ động hóa còn lại có thể bị giảm xuống trị số tối thiểu, có thể đảm bảo bảo vệ đủ thiết bị.

Mặt cắt ngang của kết cấu CMOS được đơn giản hóa hoặc tùy biến này, theo sáng chế, được thể hiện trên Fig.11. Với vai trò là lớp thụ động hóa đơn 57, lớp silic nitrua có thể được ưu tiên hơn, do sự cách điện tốt và bảo vệ chống lại hơi ẩm mà nó có thể tạo ra.

Theo một phương án của sáng chế độ dày của chồng lớp bao gồm lớp lỗ hồng và lớp đường rãnh kim loại có thể mỏng hơn lớp kim loại thứ nhất của mạch điện tử tích

hợp.

Tóm lại, phương án trên của sáng chế có thể tạo ra kết cấu CMOS được đơn giản hóa, chỉ có hai các lớp kim loại M1 và M2, hai lớp Chất điện môi Giữa Kim loại mỏng và lớp thụ động hóa mỏng đơn lẻ, trong trường hợp độ dày của tất cả các lớp được đề cập đã bị giảm xuống trị số tối thiểu tương thích với các giới hạn quy trình tiêu chuẩn và tính nguyên vẹn của thiết bị. Giải pháp này cho phép thu được độ cao bước vừa phải, tốt hơn là bên dưới $3,5\mu\text{m}$, và tốt hơn nữa là từ 2 đến $3\mu\text{m}$, thích hợp cho quy trình khắc mòn vượt thon, để loại bỏ lớp bổ sung bất kỳ khỏi vùng MEMS, để lại chỉ lớp cách nhiệt được làm bằng BPSG và ôxit tạo trường từ có độ dày được xác định trước, như được yêu cầu bởi các đặc điểm kỹ thuật của đầu in.

Theo một phương án khác của sáng chế, tính chọn lọc khắc mòn đáng kể giữa các lớp thụ động hóa và IMD và BPSG có thể được cung cấp. Do sự không đồng đều của các lớp IMD và sự không đồng đều của các quy trình khắc mòn, BPSG có thể phải trải qua sự khắc mòn lên trên để đảm bảo loại bỏ hoàn toàn các lớp IMD không ổn định nhiệt. Do đó, độ chính xác của độ dày chắn nhiệt không thể được kiểm soát khi cần có hiệu ứng chuẩn và ổn định các bộ làm nóng. Điều này có thể giới hạn sự tích hợp của hệ mạch CMOS với phần MEMS.

Như được minh họa trên Fig.12 một phương án của sáng chế có thể bao gồm phần mở rộng 54 của lớp mạ kim loại CMOS thứ nhất M1 quá đường biên thông thường của hệ mạch logic và các đường rãnh kéo dài 51 và 52 như được mô tả trên đây liên quan đến Fig.10, để che phủ gần như toàn bộ bề mặt BPSG trong vùng MEMS. Do có độ kháng cao đối với quy trình khắc mòn các lớp thụ động hóa và IMD, phần mở rộng lớp M1 có thể đóng vai trò là lớp chặn khắc mòn thực tế, duy trì độ dày màng BPSG không bị ảnh hưởng, trong khi các lớp thụ động hóa và IMD có thể bị loại bỏ hoàn toàn trong phần bên trong của cửa sổ MEMS 49, được đánh dấu bởi đường biên 48.

Fig.13 thể hiện mặt cắt ngang tương đương của kết cấu, sau khi mở cửa sổ MEMS, tức là khắc mòn thụ động hóa và hai lớp IMD trong vùng 49, được định giới bởi nét ngoài 48.

Các lớp kim loại của lớp thiết bị CMOS có thể không thích hợp để được sử dụng trong mạch MEMS để thực hiện các đường dẫn điện trở và dẫn điện cho dòng điện của bộ làm nóng. Do đó, phần mở rộng của M1 sau đó có thể phải bị loại bỏ, trừ cho các vùng tiếp xúc tại phần đầu của các đường rãnh 51 và 52, để lại phần còn lại của bề mặt bên trong của cửa sổ MEMS 48 không có lớp kim loại và sẵn sàng để sau đó làm lắng đọng

và tạo mẫu hình các màng MEMS thích hợp. Việc loại bỏ phần mở rộng M1 54 có thể được thực hiện theo nét ngoài mẫu hình thích hợp 55, để duy trì các phần mở rộng M1 tại đường biên vùng MEMS sao cho các tiếp xúc với chúng có thể được thực hiện, như được thể hiện trên Fig.14.

Sau khi loại bỏ phần mở rộng M1 54 thông qua quy trình khắc mòn thích hợp, mẫu bố trí thu được được thể hiện trên Fig.15 và trong mặt cắt ngang tương đương của Fig.16. Vùng MEMS 49 có thể không có lớp kim loại bất kỳ từ thiết bị CMOS, trừ các đường rãnh 51 và 52 với các vùng tiếp xúc đầu cuối 56. Vùng MEMS 49 có thể có màng BPSG là lớp trên cùng, độ dày của màng này có thể đã không bị ảnh hưởng bởi các quy trình khắc mòn sau đó, cung cấp lớp cách nhiệt có kiểm soát và ổn định cho các bộ làm nóng. Tại chính phần đầu của các phần nhô ra M1 bên trái 51 và 52, trong các vùng 56, các tiếp xúc với mạch MEMS có thể phải được thực hiện, như được thể hiện trong phần dưới đây.

Như được thể hiện trên Fig.17, hệ mạch MEMS trong vùng MEMS có thể thu được làm lắng đọng và tạo mẫu hình lớp composit điện trở Ta-Al 28 và lớp nhôm 29, theo quy trình được mô tả trên đây. Như được đề cập trên đây, lớp nhôm 29 có thể chứa phần trăm nhỏ Cu hoặc Si hoặc cả hai. Lớp nhôm 29 có thể phủ chồng các phần nhô ra của thiết bị CMOS M1 trong các vùng tiếp xúc 56. Trên hình vẽ, mẫu bố trí mạch được thể hiện thể hiện hai bộ làm nóng khác nhau, có thể được nối với công suất MOS tương ứng riêng của chúng tại một mặt bên và tại bộ phân phối điện áp chung ở mặt bên kia. Tuy nhiên, cũng có thể có các hình dạng bố trí thích hợp khác.

Theo một phương án khác của sáng chế, để đảm bảo diện tích tiếp xúc đúng giữa mẫu hình mạ kim loại CMOS và MEMS, ngăn ngừa các vấn đề có thể xảy ra do độ chính xác bố trí thẳng hàng kém của hệ mạch MEMS, các rãnh MEMS có thể rộng hơn các đường rãnh M1 tương ứng, như được minh họa trên Fig.18.

Hình vẽ mặt cắt ngang trên Fig.18 được lấy dọc theo đường A-A của hình vẽ nhìn từ trên xuống trên Fig.17 và thể hiện chồng màng trong MEMS vùng biên, sau khi tạo mẫu hình cả hai lớp Ta-Al điện trở 28 và lớp Al dẫn điện 29. Nền silic 1 có thể được phủ bởi lớp FOX 22 và lớp BPSG 27. Hai lớp có thể tạo ra lớp cách nhiệt mà trên đó các bộ làm nóng được tạo ra.

Tại vùng biên MEMS lớp kim loại CMOS thứ nhất 37 có thể được phủ và được tiếp xúc bởi lớp mạ kim loại MEMS, là lớp bao gồm cả lớp Ta-Al 28 và lớp nhôm 29. Mẫu hình mạ kim loại MEMS có thể được làm rộng hơn đường rãnh CMOS M1 và

đường rãnh CMOS M1 có thể được bọc quanh bởi lớp mạ kim loại MEMS.

Tuy nhiên, theo một phương án khác của sáng chế lớp mạ kim loại MEMS, có thể bao gồm cả lớp Ta-Al 28 và lớp nhôm 29, có thể được làm hẹp hơn lớp kim loại CMOS thứ nhất 37.

Hình vẽ mặt cắt ngang trực giao được thể hiện trên Fig.19. Hình vẽ mặt cắt này được lấy dọc theo đường B-B trực giao của hình vẽ nhìn từ trên xuống trên Fig.17. Kết cấu bộ làm nóng, bước giữa các vùng CMOS và MEMS và M1 tiếp xúc với khuếch tán cực máng MOS được minh họa.

Như được mô tả trên đây liên quan đến Fig.10 bộ phân phối điện áp có thể được thực hiện trong lớp M2 38 và các đường đi thích hợp 53 có thể được thực hiện trong Chất Điện môi Giữa Kim loại (Inter Metal Dielectric - IMD1) để cung cấp sự tiếp xúc với đường rãnh M1 nằm dưới 52. Tuy nhiên, M2 có thể không mang mức dòng điện cao cần thiết cho đầu in, dọc theo đường dẫn tới các đệm tiếp xúc ngoại vi. Mặt khác, trong đầu in NMOS, lớp mạ kim loại trên cùng có thể bao gồm lớp đôi Ta + Au có thể được sử dụng cho các ray mặt đất và công suất, do lớp mạ này có thể mang mức dòng điện cao.

Theo một phương án khác nữa của sáng chế màng Ta + Au đôi là lớp trên cùng cho các ray mặt đất và công suất đòi hỏi đường dẫn điện trở thấp có thể được sử dụng. Các bộ làm nóng trong vùng MEMS 49 có thể cần được phủ bởi chõng màng bảo vệ và cách điện. Màng điện môi 31 được hợp thành bởi lớp silic nitrua thứ nhất và lớp silic cacbua thứ hai được lắng đọng phía trên lớp mạ kim loại bộ làm nóng.

Sự lắng đọng màng điện môi 31 cũng có thể được mở rộng trong vùng thiết bị CMOS 58, như được thể hiện trên Fig.20, mang lại sự cách điện điện môi cải thiện cho lớp mạ kim loại Ta + Au trên cùng. Silic nitrua tạo ra lớp thụ động hóa CMOS đơn lẻ 57 có thể có sự tương thích tốt với lớp silic nitrua trong màng điện môi 31, cho phép sự dính kết tốt tại giao diện giữa hai lớp. Ngoài ra, silic cacbua có thể nâng cao độ vững chắc trên toàn bộ bề mặt chip.

Các đường đi thích hợp có thể được khắc mòn thông qua toàn bộ chõng điện môi được hợp thành bởi IDM2, sự thụ động hóa, silic nitrua và silic cacbua, để thực hiện tiếp điểm 59 giữa lớp mạ kim loại Ta + Au trên cùng và lớp kim loại M2 ở dưới, thuộc về hệ mạch CMOS, như được minh họa trên Fig.21.

Lớp mạ kim loại cuối cùng này, được lắng đọng và được tạo mẫu hình lên trên toàn bộ chõng màng điện môi, có thể bao gồm lớp Ta thứ nhất 32, có thể được sử dụng làm cả lớp lỗ hổng lên trên bộ làm nóng trong vùng MEMS 49 và lớp tăng cường dính

kết đệm trong vùng CMOS 58, ở đó lớp mạ kim loại trên cùng có thể được hoàn thành bởi lớp Au thứ hai 33, sự dính kết của lớp này với màng Ta nằm dưới là tốt.

Trước khi sự lắng đọng kim loại trên cùng xảy ra, một số màng được đề cập có thể bị loại bỏ để có được chông điện môi mỏng hơn, theo một phương án khác của sáng chế. Cuối cùng, màng Ta + Au đôi có thể cung cấp các đường rãnh dẫn điện thích hợp trên phần đỉnh của vùng thiết bị CMOS, hoàn toàn thích hợp mang dòng điện cao chạy trong ray mặt đất và công suất của đầu in.

Các quy trình được mô tả cho phép sản xuất chip silic đầu in, tích hợp thiết bị bán thành phẩm CMOS tiêu chuẩn được sản xuất bởi xưởng đúc silic thứ nhất với bộ kích thích MEMS được tạo ra trong xưởng đúc silic thứ hai. Việc tích hợp cho phép thu được thiết bị đầu in sinh lợi, trong trường hợp khả năng thử nghiệm hoàn toàn của hệ mạch CMOS ngay sau khi nhận thiết bị bán thành phẩm được đảm bảo.

Theo một phương án khác của sáng chế sáng chế đề xuất đầu in phun mực bằng nhiệt bao gồm mạch điện tử tích hợp và phần để tạo ra bộ phận kích thích nhiệt, được tạo ra theo phương pháp theo một phương án của sáng chế.

Theo một phương án của sáng chế, có thể tích hợp hệ mạch CMOS độ phân giải cao được tạo ra trong xưởng đúc ngoài với bộ kích thích MEMS lưu chất, trong trường hợp các vật liệu đặc biệt được chọn. Quy trình CMOS được chọn có thể giúp thực hiện việc thử nghiệm sâu thiết bị logic CMOS, không cần mức công suất cao, đảm bảo đồng thời độ cao bước vừa phải trong vùng biên chuyển tiếp giữa vùng CMOS và vùng MEMS, điều này tạo thuận tiện cho việc thực hiện các quy trình quang khắc liên quan đến việc chế tạo đầu in.

Theo một phương án khác của sáng chế độ dày được kiểm soát của lớp cách nhiệt bên dưới bộ làm nóng có thể được đảm bảo bởi phần mở rộng thích hợp của lớp kim loại CMOS thứ nhất khắp toàn bộ vùng MEMS và các đường rãnh dẫn điện cho mức dòng điện cao ở cả các ray mặt đất và công suất được cung cấp bởi lớp mạ kim loại trên cùng được lắng đọng và được tạo mẫu hình trong xưởng đúc MEMS.

Sáng chế đề xuất thiết bị sinh lợi và có hiệu năng cao, được sản xuất mà không phải đầu tư nhiều vào thiết bị công nghệ.

Mặc dù các phương án chi tiết đã được mô tả trong bản mô tả này, các phương án này chỉ nhằm giúp hiểu rõ hơn sáng chế được xác định bởi các điểm yêu cầu bảo hộ độc lập, và không bị coi là giới hạn sáng chế.

Cụ thể, phần mô tả sáng chế nêu trên biểu thị các vật liệu cụ thể, tuy nhiên, trừ khi

được định rõ khác đi, các vật liệu này chỉ được coi là các ví dụ cụ thể và có thể được thay thế bằng vật liệu thích hợp khác nằm trong phạm vi của sáng chế được xác định bởi yêu cầu bảo hộ kèm theo.

Danh sách các số chỉ dẫn

- 1 nền
- 2 bộ làm nóng
- 3 mảng làm nóng
- 4 khe nối xuyên
- 5 lát
- 6 đệm tiếp xúc
- 7 mạch mềm
- 8 thân hộp đựng
- 9 đệm tiếp xúc
- 10 bộ phận hoạt động
- 11 tranzito công suất
- 12 mạch logic
- 13 bộ nhớ lập trình được
- 14 kết cấu màng đầu in
- 15 máng nạp mực
- 16 khoang phun
- 17 lớp chặn
- 18 tấm vòi phun
- 19 vòi phun
- 20 giọt mực
- 21 bột hơi mực
- 22 ôxit tạo trường từ được phát triển bằng nhiệt (FOX)
- 23 cổng ôxit
- 24 cổng polysilic
- 25 vùng pha tạp n⁺
- 26 vùng pha tạp p⁺
- 27 thủy tinh bo phôtpho silic (BPSG)
- 28 lớp điện trở Ta-Al

- 29 đường rãnh kim loại nhôm
- 30 tiếp điểm
- 31 màng điện môi
- 32 lớp lỗ hồng tatan
- 33 lớp dẫn điện Au
- 34 tiếp điểm
- 35 n giếng
- 36 chất điện môi lớp xen giữa (inter-layer dielectric - ILD)
- 37 mức mạ kim loại thứ nhất (M1)
- 38 mức mạ kim loại thứ hai (M2)
- 39 mức mạ kim loại thứ ba (M3)
- 40 lớp chất điện môi giữa kim loại thứ nhất (IMD1)
- 41 lớp chất điện môi giữa kim loại thứ hai (IMD2)
- 42 lớp thụ động hóa trên cùng thứ nhất (PAS1)
- 43 lớp thụ động hóa trên cùng thứ hai (PAS2)
- 44 tranzito NMOS công suất
- 45 đầu cuối cổng NMOS
- 46 đầu nối cực máng NMOS
- 47 đầu nối nguồn NMOS
- 48 nét ngoài cửa sổ MEMS
- 49 vùng MEMS
- 50 các tranzito công suất MOS
- 51 lớp mạ kim loại cực máng MOS kéo dài
- 52 lớp mạ kim loại Vcc kéo dài
- 53 các đường đi
- 54 phần mở rộng của mức mạ kim loại CMOS thứ nhất M1
- 55 nét ngoài mạng chấn khắc mòn
- 56 vùng tiếp xúc
- 57 lớp thụ động hóa
- 58 khu vực hệ mạch CMOS
- 59 tiếp điểm

YÊU CẦU BẢO HỘ

1. Phương pháp tạo ra đầu in phun mực bằng nhiệt, bao gồm ít nhất các bước sau đây:
 cung cấp lát bán dẫn bao gồm mạch điện tử tích hợp và phần đế tạo ra bộ phận kích thích nhiệt, mạch tích hợp bao gồm ít nhất:
 lớp cách nhiệt được tạo ra trên nền; và
 lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt;
 trong đó lớp kim loại thứ nhất kéo dài vào trong phần đế tạo ra bộ phận kích thích nhiệt; và
 khắc mòn phần đế tạo ra bộ phận kích thích nhiệt cho lớp kim loại thứ nhất sao cho lớp kim loại thứ nhất đóng vai trò là lớp chặn khắc mòn,
 trong đó mạch điện tử tích hợp được tạo ra trong xướng đúc chất bán dẫn ôxit kim loại bổ sung (complementary metal oxide semiconductor - CMOS) và phần đế tạo ra bộ phận kích thích nhiệt được tạo ra trong xướng đúc hệ thống vi cơ điện tử (micro-electromechanical system - MEMS).
2. Phương pháp theo điểm 1, còn bao gồm bước loại bỏ một phần lớp kim loại thứ nhất trong phần đế tạo ra bộ phận kích thích nhiệt.
3. Phương pháp theo điểm 1 hoặc điểm 2, còn bao gồm bước tạo ra lớp điện trở ít nhất một phần trên lớp cách nhiệt trong phần đế tạo ra bộ phận kích thích nhiệt và ít nhất một phần trên lớp kim loại thứ nhất cùng với lớp đường rãnh kim loại ít nhất một phần trên lớp điện trở và loại bỏ lớp đường rãnh kim loại trong phần đế tạo ra bộ phận kích thích nhiệt sử dụng công nghệ khắc mòn và quang khắc.
4. Phương pháp theo điểm 3, còn bao gồm bước tạo ra lớp điện môi trên phần đế tạo ra bộ phận kích thích nhiệt và mạch điện tử tích hợp che phủ ít nhất lớp đường rãnh kim loại và lớp điện trở trong phần đế tạo ra bộ phận kích thích nhiệt.
5. Phương pháp theo điểm 4, còn bao gồm bước tạo ra lớp lỗ hổng trên lớp điện môi trong phần đế tạo ra bộ phận kích thích nhiệt.
6. Đầu in phun mực bằng nhiệt bao gồm mạch điện tử tích hợp và phần đế tạo ra bộ

phần kích thích nhiệt, được tạo ra bằng phương pháp theo điểm bất kỳ trong số các điểm từ điểm 1 đến điểm 5.

7. Lát bán dẫn bao gồm mạch điện tử tích hợp và phần để tạo ra bộ phận kích thích nhiệt, trong đó mạch tích hợp bao gồm ít nhất
 - lớp cách nhiệt được tạo ra trên nền;
 - lớp kim loại thứ nhất được tạo ra trên lớp cách nhiệt; lớp kim loại thứ nhất này là một trong số lớp kim loại được sử dụng trong mạch tích hợp,
 - trong đó lớp kim loại thứ nhất kéo dài vào trong phần để tạo ra bộ phận kích thích nhiệt sao cho lớp kim loại thứ nhất có thể sử dụng làm lớp chặn khắc mòn trong khi tạo ra bộ phận kích thích nhiệt, và
 - trong đó mạch điện tử tích hợp được tạo ra trong xướng đúc chất bán dẫn ôxit kim loại bổ sung (complementary metal oxide semiconductor - CMOS) và phần để tạo ra bộ phận kích thích nhiệt được tạo ra trong xướng đúc hệ thống vi cơ điện tử (micro-electromechanical system - MEMS).
8. Lát bán dẫn theo điểm 7, trong đó lớp cách nhiệt có độ dày là 0,6 đến 2,0 μm .
9. Lát bán dẫn theo điểm 7 hoặc điểm 8, trong đó chong các lớp được tạo ra trên lớp kim loại thứ nhất có độ dày là nhỏ hơn 3,5 μm .
10. Lát bán dẫn theo điểm 7 hoặc 8, trong đó lớp kim loại thứ nhất được tạo ra trên khắp tất cả phần để tạo ra bộ phận kích thích nhiệt.
11. Lát bán dẫn theo điểm 7 hoặc điểm 8, trong đó bộ phận kích thích nhiệt là bộ kích thích nhiệt lỏng.
12. Lát bán dẫn theo điểm 8, trong đó lớp cách nhiệt có độ dày là 0,8 đến 1,6 μm .
13. Lát bán dẫn theo điểm 12, trong đó lớp cách nhiệt có độ dày là 1,0 đến 1,2 μm .
14. Lát bán dẫn theo điểm 9, trong đó chong các lớp được tạo ra trên lớp kim loại thứ nhất có độ dày từ 2 đến 3 μm .

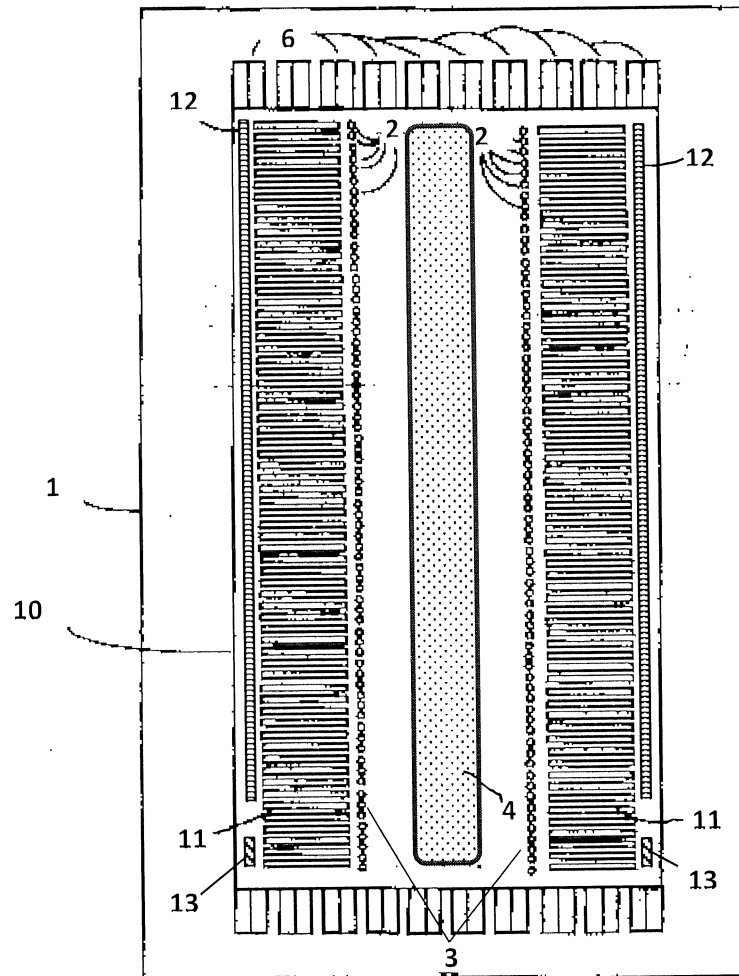


Fig.1

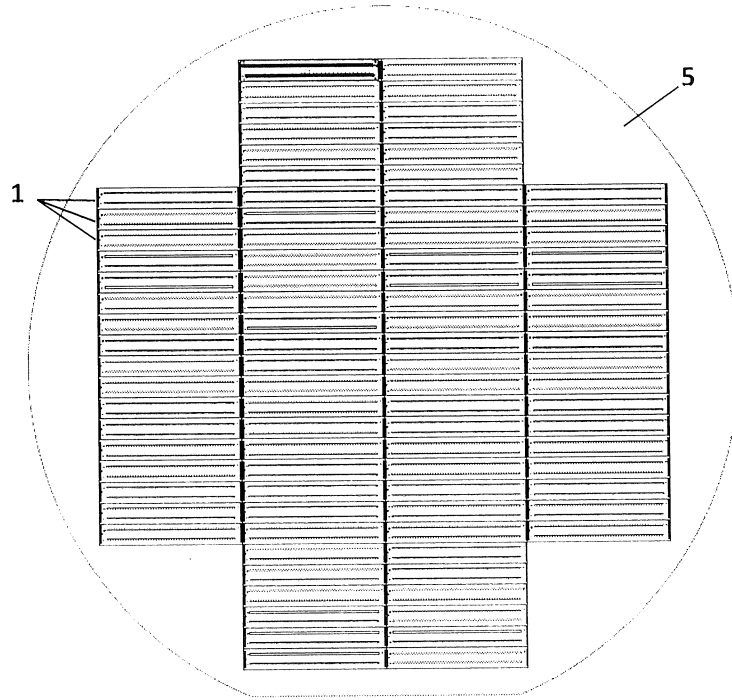


Fig.2

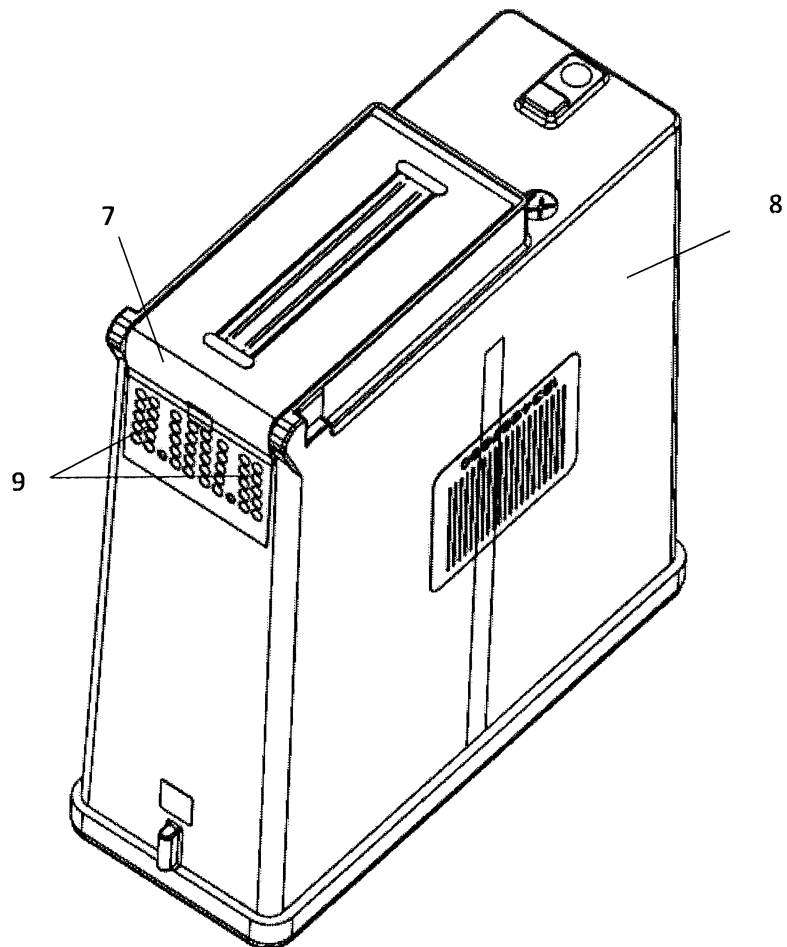


Fig.3

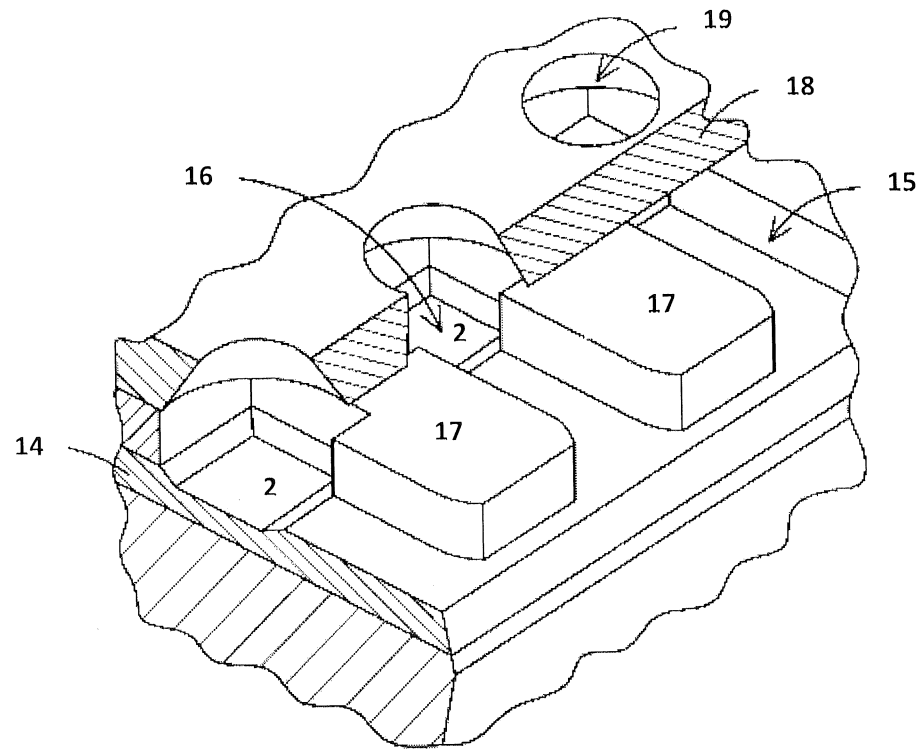


Fig. 4

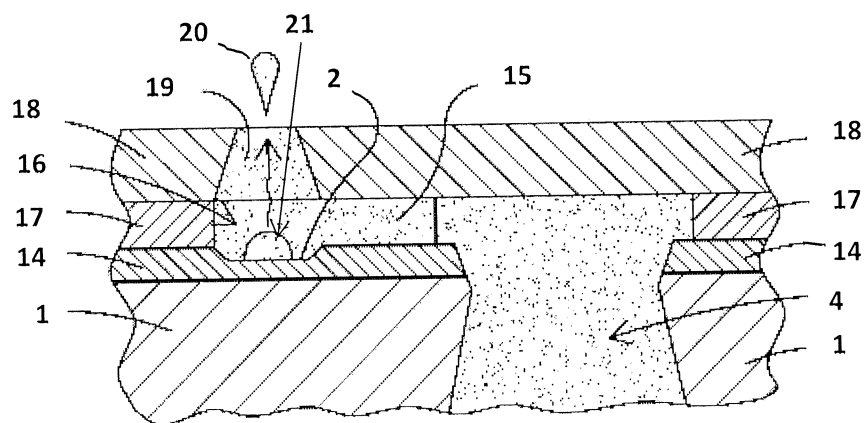


Fig. 5

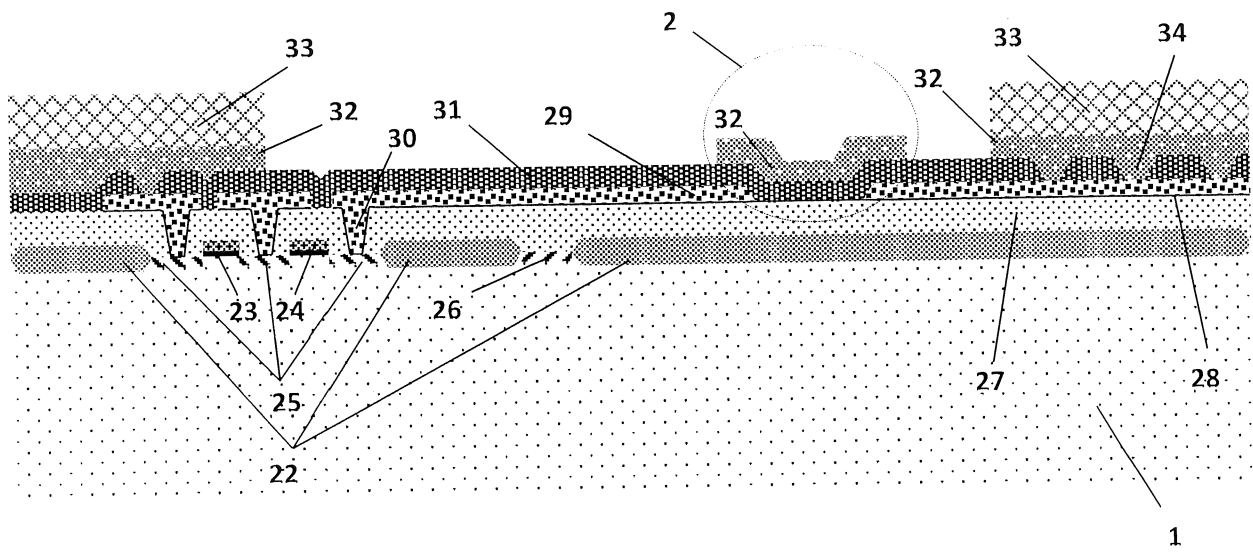


Fig.6

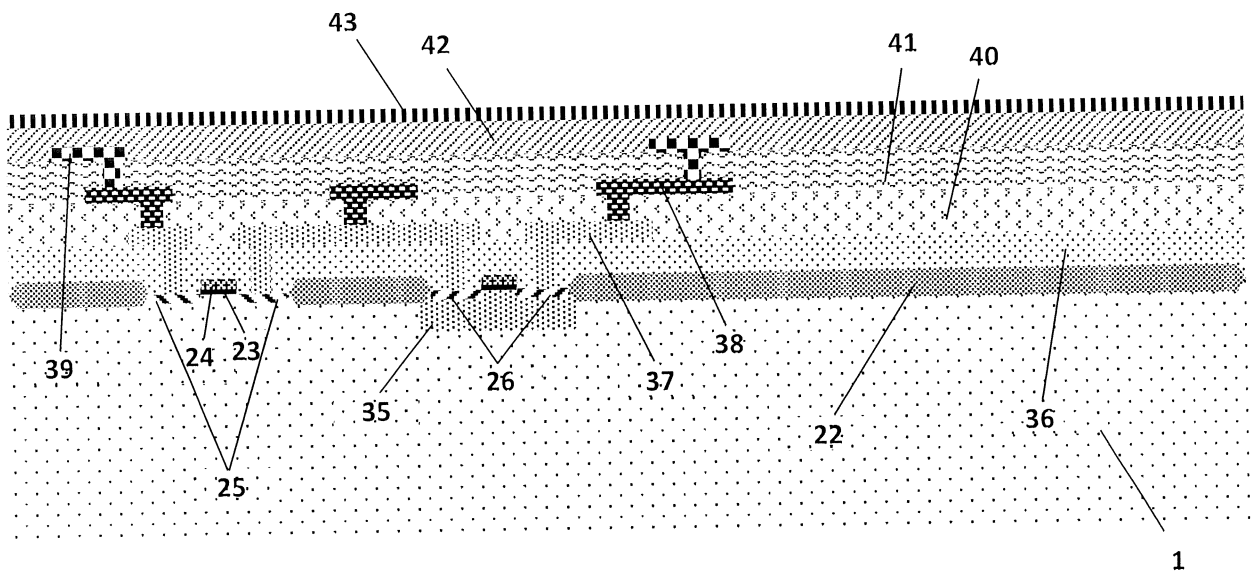


Fig.7

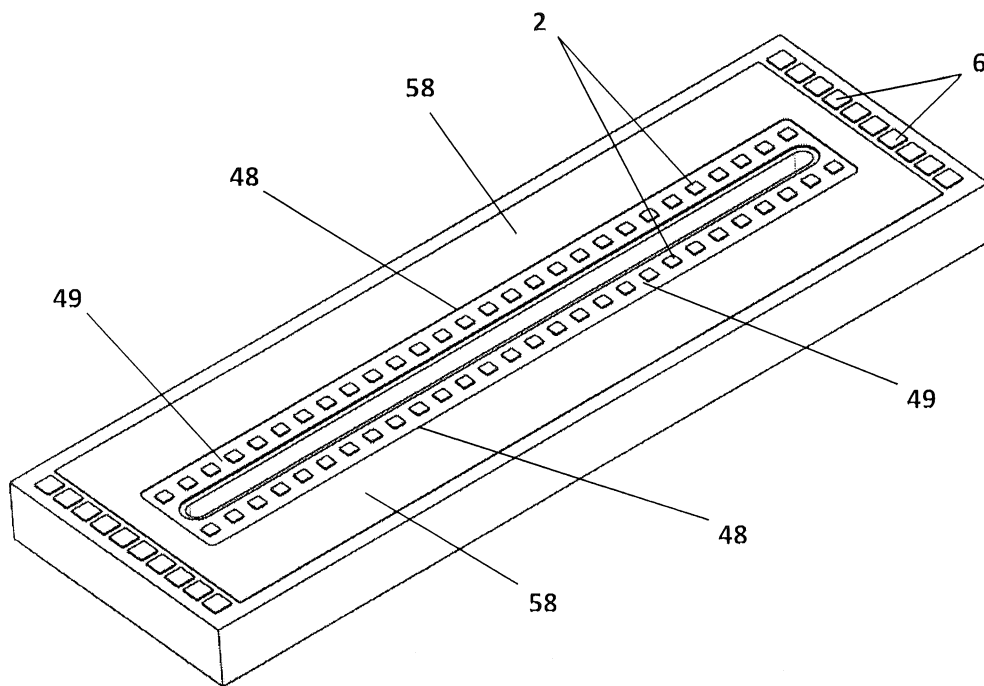


Fig. 8

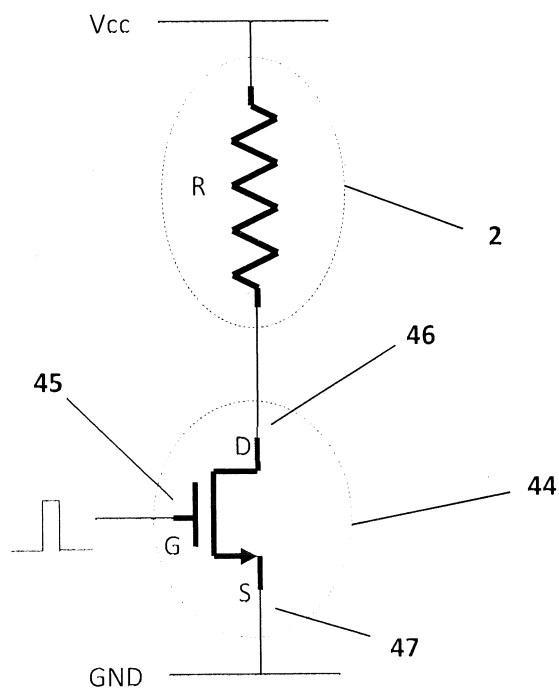


Fig. 9

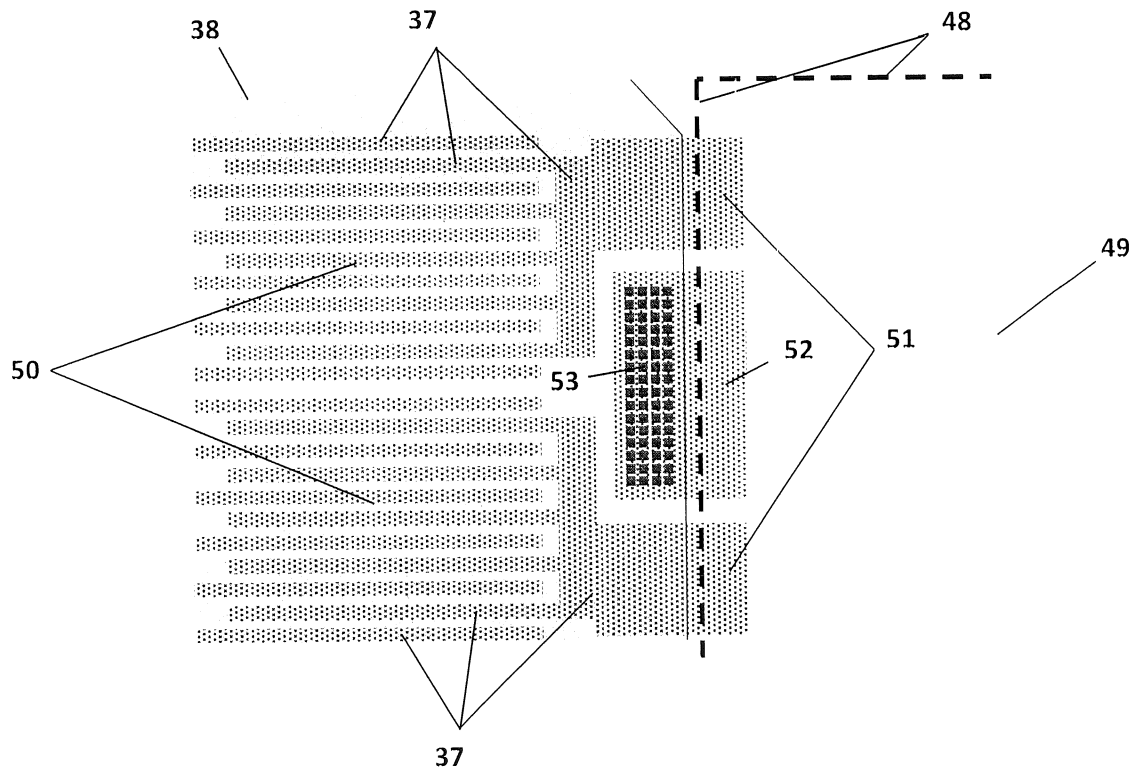


Fig.10

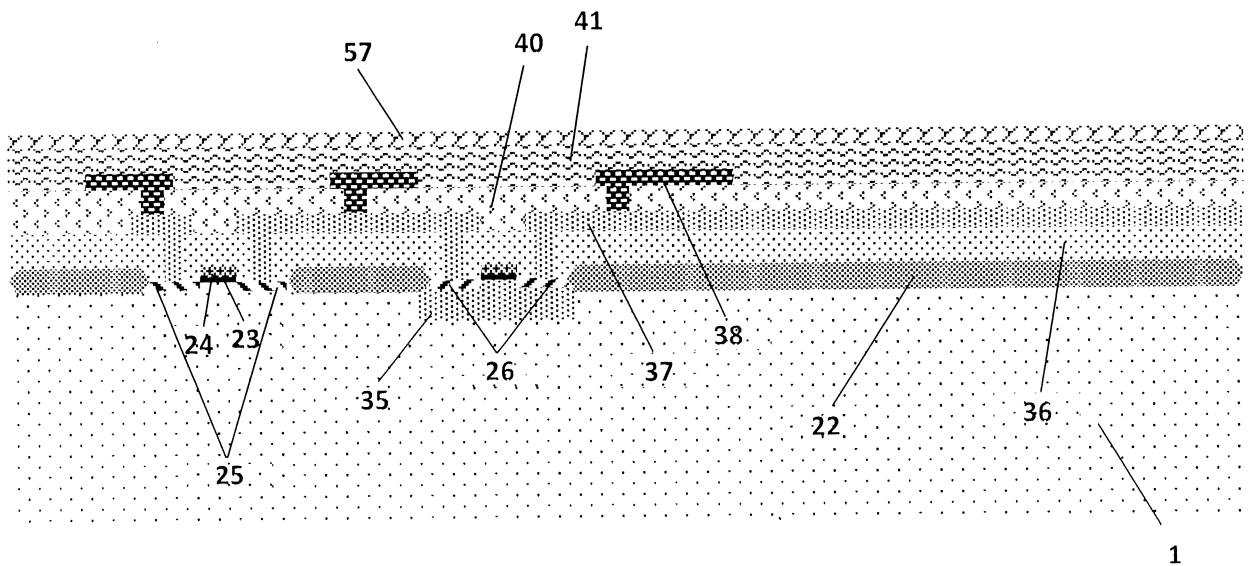


Fig.11

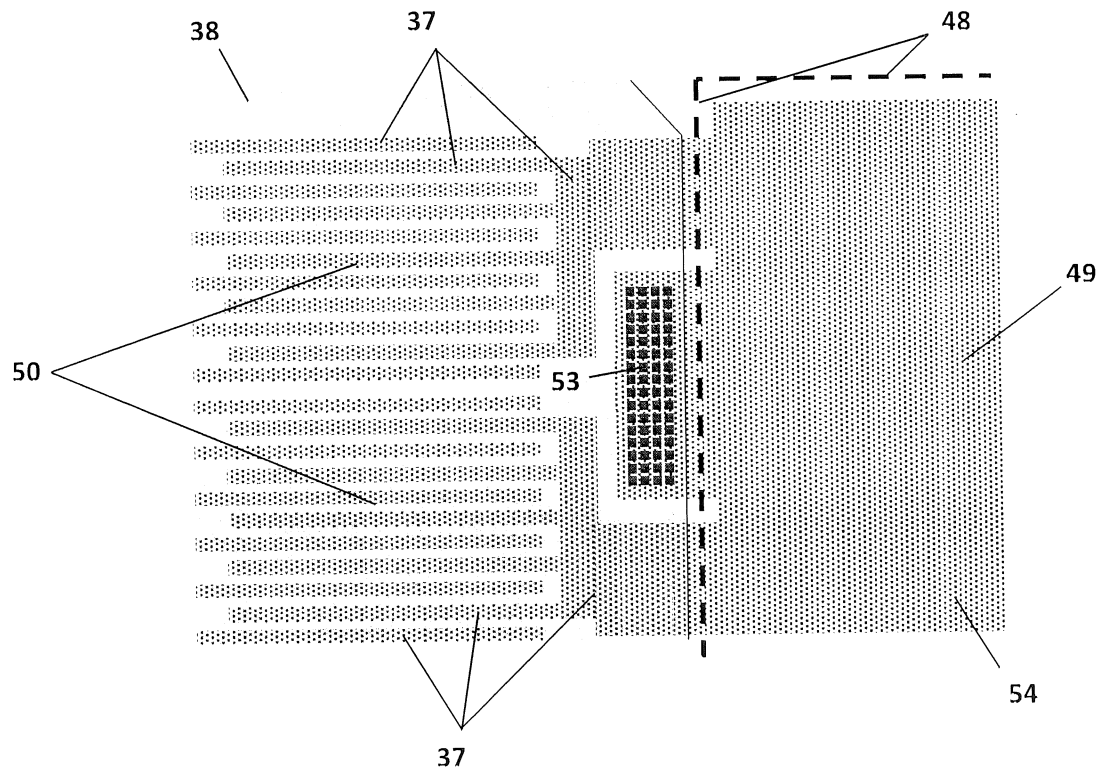


Fig.12

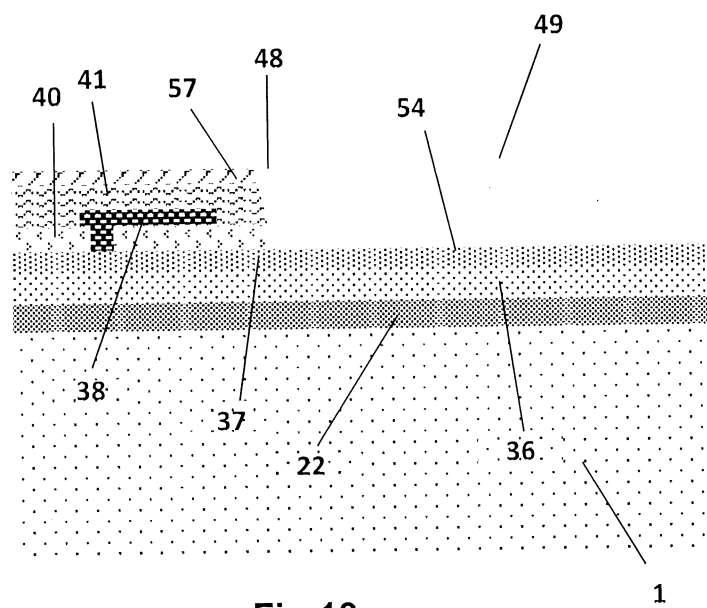


Fig.13

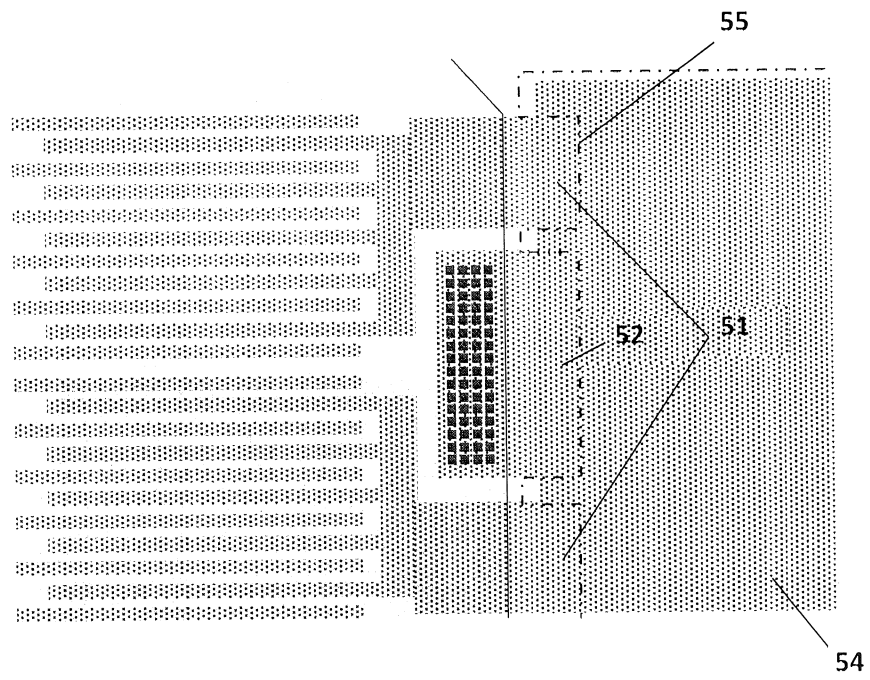


Fig.14

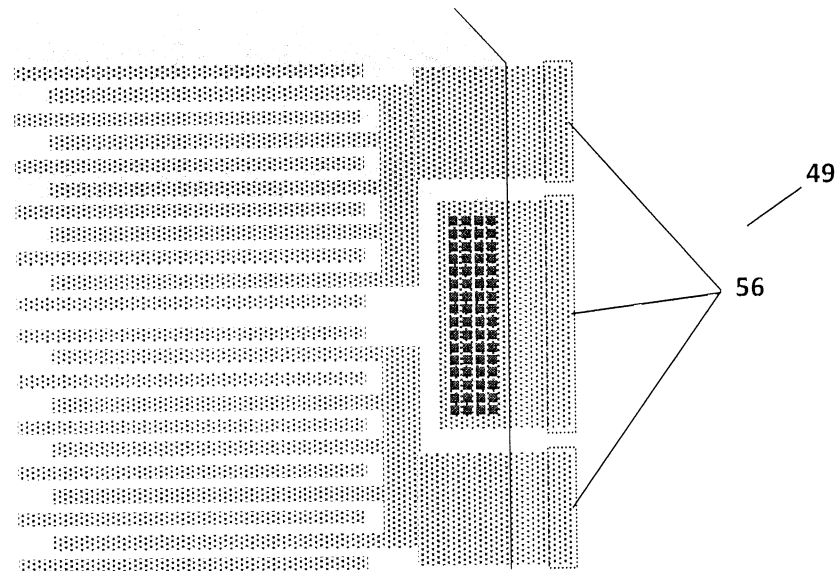


Fig.15

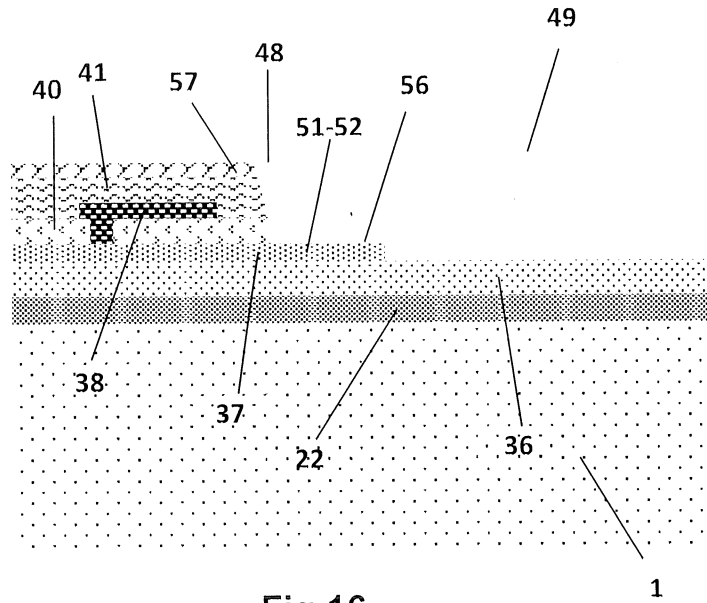


Fig.16

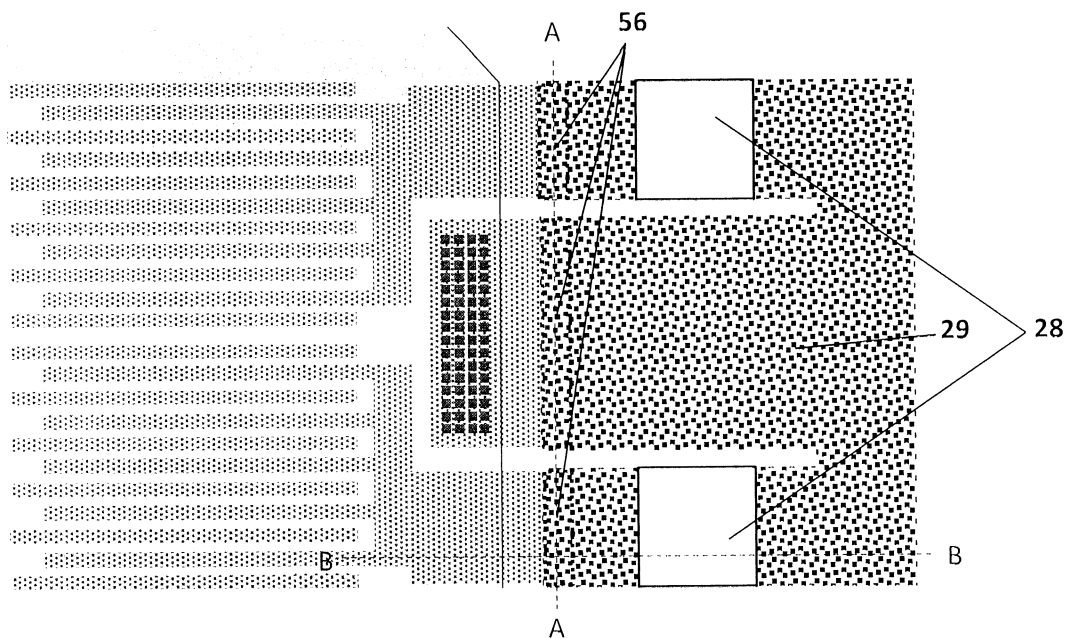


Fig.17

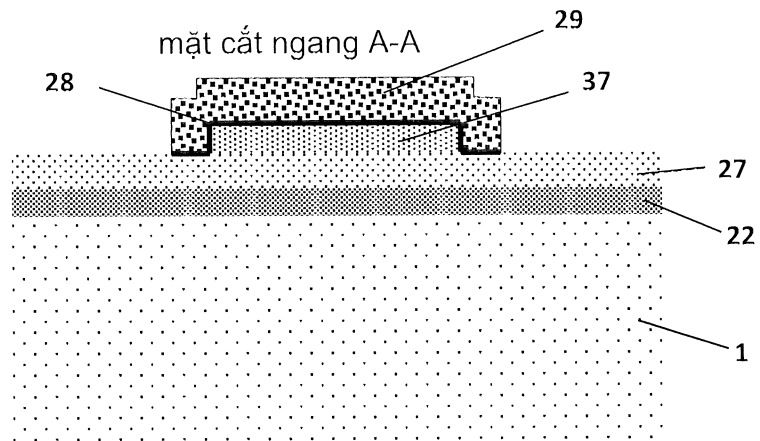


Fig.18

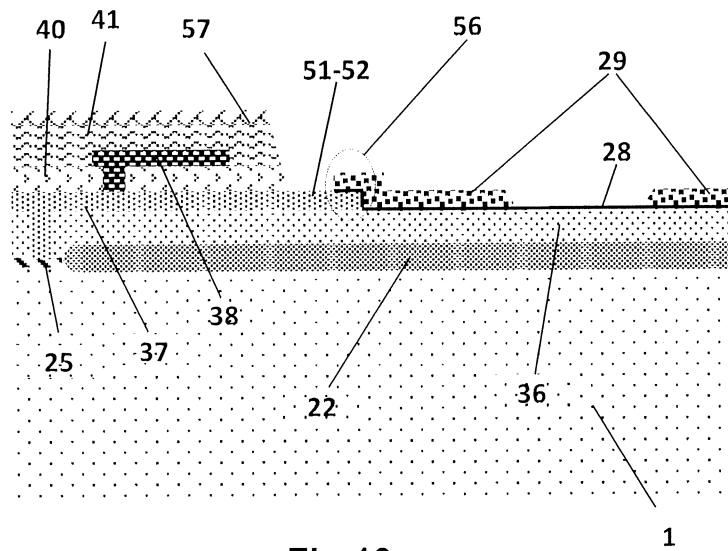


Fig.19

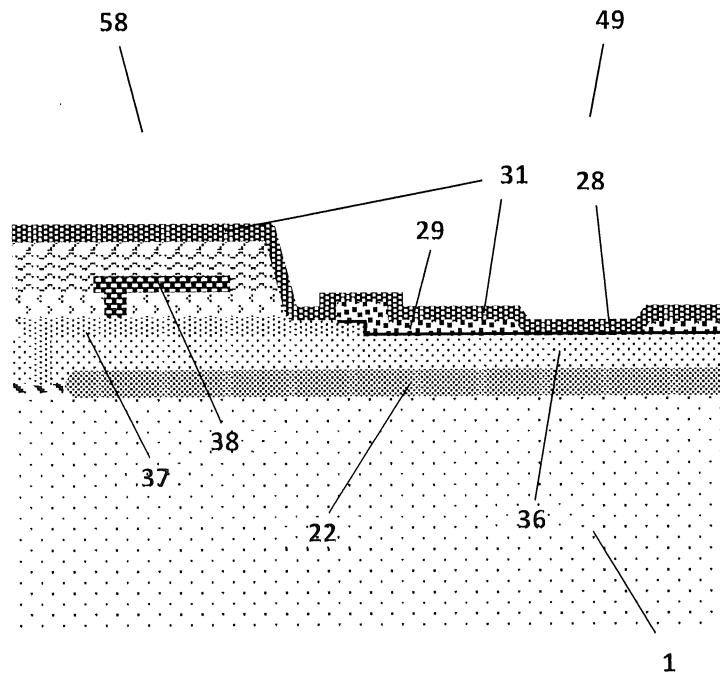


Fig.20

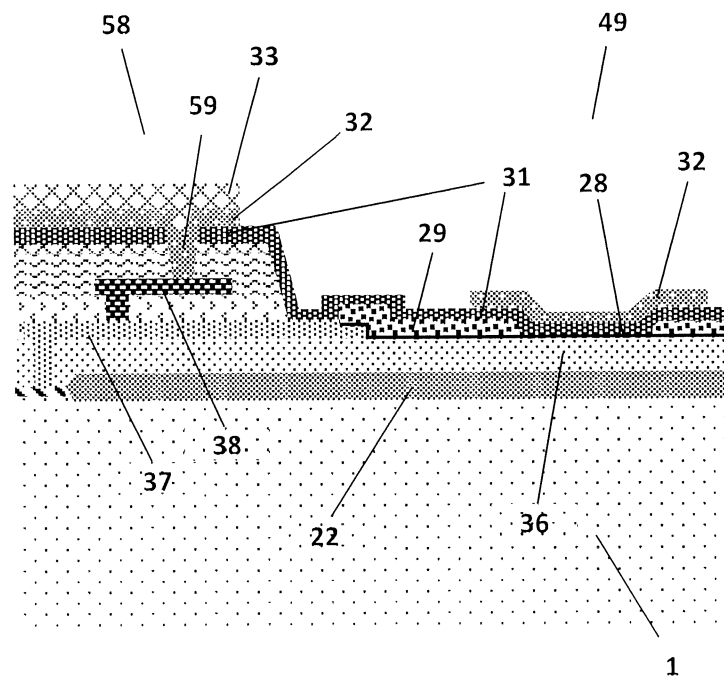


FIG.21