



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0038839

(51)⁷ H01L 27/115; H01L 21/8247

(13) B

(21) 1-2015-04604

(22) 19/06/2014

(86) PCT/US2014/043156 19/06/2014

(87) WO/2014/209745 31/12/2014

(30) 13/925,951 25/06/2013 US

(45) 26/02/2024 431

(43) 27/06/2016 339A

(73) Intel Corporation (US)

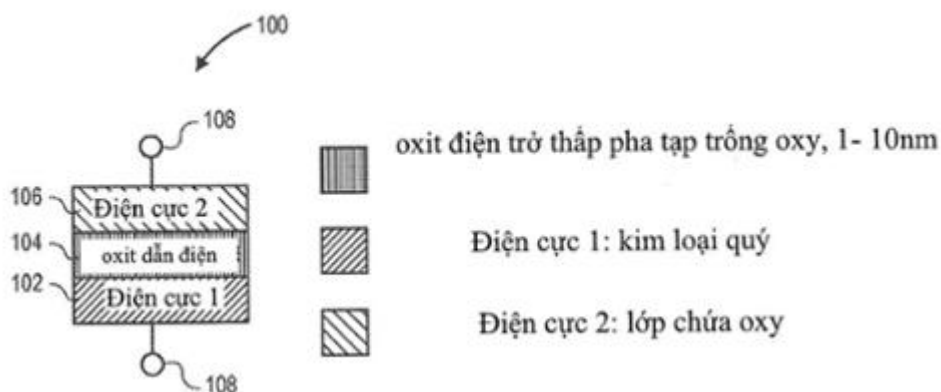
2200 Mission College Boulevard, M/S: RNB-4-150, Santa Clara, California 95054,
United States of America

(72) KARPOV, Elijah V. (US); DOYLE, Brian S. (IE); SHAH, Uday (NP); CHAU,
Robert S. (US).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) CHỒNG LỚP VẬT LIỆU CHO PHẦN TỬ BỘ NHỚ VÀ THIẾT BỊ BỘ NHỚ KHÔNG KHẢ BIẾN

(57) Sáng chế đề cập đến ô nhớ truy cập ngẫu nhiên oxit dẫn điện (conductive oxide random access memory, CORAM) và phương pháp sản xuất ô nhớ CORAM này. Ví dụ, chồng lớp vật liệu của phần tử bộ nhớ bao gồm điện cực dẫn điện thứ nhất. Lớp cách điện được bố trí trên oxit dẫn điện thứ nhất và có khe hở với các thành bên mà bộc lộ ra một phần của điện cực dẫn điện thứ nhất. Lớp oxit dẫn điện được bố trí trong khe hở, trên điện cực dẫn điện thứ nhất và dọc theo các thành bên của khe hở. Điện cực dẫn điện thứ hai được bố trí trong khe hở, trên lớp oxit dẫn điện. Ngoài ra sáng chế đề cập đến chồng lớp vật liệu cho phần tử bộ nhớ và thiết bị bộ nhớ không khả biến.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến các thiết bị bộ nhớ, và cụ thể là các ô nhớ truy cập ngẫu nhiên oxit dẫn điện (conductive oxide random access memory, CORAM) và phương pháp sản xuất các ô CORAM này.

Tình trạng kỹ thuật của sáng chế

Trong nhiều thập kỷ, việc thay đổi kích thước của mạch tích hợp đã là một động lực đằng sau sự phát triển mạnh mẽ của ngành công nghiệp chất bán dẫn. Việc thu nhỏ kích thước cho phép tăng mật độ của các đơn vị chức năng trên diện tích giới hạn của chip bán dẫn. Ví dụ, việc thu nhỏ kích thước tranzito cho phép tích hợp nhiều thiết bị bộ nhớ hơn trên chip, giúp gia tăng dung lượng của sản phẩm được tạo ra. Tuy nhiên khi dung lượng ngày càng tăng lên thì xuất hiện vấn đề cần giải quyết. Sự cần thiết phải tối ưu hóa hiệu năng của mỗi thiết bị ngày càng trở nên có ý nghĩa.

Bộ nhớ truy cập ngẫu nhiên tĩnh (Static Random Access Memory, SRAM) nhúng và bộ nhớ truy cập ngẫu nhiên động (Dynamic Random Access Memory, DRAM) có vấn đề với tính không khả biến và tỉ lệ lỗi mềm, trong khi đó các bộ nhớ chớp nhúng cần lớp phủ hoặc các bước xử lý bổ sung trong suốt quy trình sản xuất, cần điện áp cao cho việc lập trình và có vấn đề với độ bền và độ ổn định. Bộ nhớ không khả biến dựa vào thay đổi điện trở, được biết đến như RRAM/ReRAM, thường hoạt động ở điện áp cao hơn 1V, thường yêu cầu bước tạo điện áp cao (>1V) để tạo thành sợi đốt. Với các ứng dụng nhúng không khả biến điện áp thấp, có thể mong muốn điện áp hoạt động nhỏ hơn 1V và tương thích với các quy trình logic CMOS.

Do đó, việc cải biến thêm vẫn cần thiết trong lĩnh vực sản xuất và hoạt động của thiết bị bộ nhớ không khả biến.

Mô tả vắn tắt các hình vẽ

Fig.1 minh họa phân tử bộ nhớ kim loại - oxit dẫn điện - kim loại (metal-conductive oxide-metal, MCOM), theo một phương án của sáng chế.

Fig.2 minh họa sơ đồ hoạt động thể hiện sự thay đổi của các trạng thái ("0" và "1") của phân tử bộ nhớ trên Fig.1, theo một phương án của sáng chế.

Fig.3 minh họa hoạt động của một thiết bị có cấu trúc MCOM, theo một phương án của sáng chế.

Fig.4 là đồ thị của dòng điện (mA) theo hàm của điện áp (V) của phần tử bộ nhớ truy cập ngẫu nhiên oxit dẫn điện (CORAM) đối với ReRAM thông thường, theo một phương án của sáng chế.

Fig.5 bao gồm đồ thị mô tả các xung điện áp ghi "0" và ghi "1" cùng với đồ thị điện trở của thiết bị cuối cùng tương ứng (theo đơn vị Ôm), tương ứng với các trạng thái bộ nhớ "1" và "0", theo hàm của các số chu kỳ, theo một phương án của sáng chế.

Các hình vẽ từ Fig.6A đến Fig.6E minh họa hình chiếu mặt cắt thể hiện các bước trong phương pháp sản xuất cấu trúc CORAM, theo một phương án của sáng chế.

Fig.7 minh họa sơ đồ tùy chọn khác nhau cho việc định vị cấu trúc CORAM trong mạch tích hợp, theo một phương án của sáng chế.

Fig.8 minh họa sơ đồ ô bit bộ nhớ, mà bao gồm phần tử bộ nhớ kim loại- oxit dẫn điện- kim loại (MCOM), theo một phương án của sáng chế.

Fig.9 minh họa sơ đồ khối của hệ thống điện tử, theo một phương án của sáng chế.

Fig.10 minh họa thiết bị điện toán theo phương án thực hiện của sáng chế.

Mô tả chi tiết sáng chế

Các ô nhớ truy cập ngẫu nhiên oxit dẫn điện (CORAM) và các phương pháp sản xuất các ô nhớ CORAM đã được mô tả. Trong phần mô tả sau đây, các chi tiết cụ thể được nêu ra như chế độ vật liệu oxit dẫn điện cụ thể, để cung cấp hiểu biết toàn diện về các phương án của sáng chế. Điều này sẽ trở nên rõ ràng với người có hiểu biết trung bình về lĩnh vực kỹ thuật liên quan rằng các phương án của sáng chế có thể được thực hiện mà không cần các chi tiết cụ thể này. Theo các trường hợp khác, các dấu hiệu đã biết, như thiết kế bố trí mạch tích hợp, đều không được mô tả chi tiết để không làm cho các phương án của sáng chế này trở nên khó hiểu một cách không cần thiết. Ngoài ra, cần hiểu rằng các phương án khác nhau được thể hiện trong các hình vẽ là các biểu diễn minh họa và không nhất thiết phải vẽ theo đúng tỉ lệ.

Một hay nhiều phương án được mô tả ở đây đề cập đến bộ nhớ nhúng điện áp thấp có oxit dẫn điện và chông điện cực. Thiết kế bộ nhớ nhúng như vậy có thể có các ứng dụng cho các sản phẩm bán dẫn logic và/hoặc hệ thống trên chip (system-on-chip, SoC).

Để cung cấp ngữ cảnh, bộ nhớ không khả biến dựa vào thay đổi điện trở, được biết đến như RRAM/ReRAM, khởi động và hoạt động ở $V > 1V$. Tuy nhiên, với các ứng dụng nhúng không khả biến điện áp thấp, các điện áp hoạt động nhỏ hơn 1V có thể cần để tương thích với các quy trình logic CMOS. Theo một phương án, cấu trúc kim loại- oxit dẫn điện- kim loại (MCOM) được thực hiện để sản xuất bộ nhớ thay đổi điện trở dựa vào mô hình, ví dụ, thay vì cấu trúc gốc kim loại-oxit (cách điện) điện môi-kim loại (MIM). Loại thứ hai thường được sử dụng cho trạng thái của thiết bị RRAM thuộc giải pháp kỹ thuật đã biết. Ví dụ, thiết bị RRAM thông thường có thể dựa vào cấu trúc kim loại-HfO_x-kim loại.

Để minh họa cho các khái niệm được mô tả ở đây, Fig.1 minh họa phần tử bộ nhớ kim loại- oxit dẫn điện- kim loại (MCOM), theo một phương án của sáng chế. Dựa vào Fig.1, phần tử bộ nhớ 100 bao gồm điện cực thứ nhất 102, lớp oxit dẫn điện 104 và điện cực thứ hai 106. Phần tử bộ nhớ 100 có thể chứa trong mô hình bộ nhớ theo các nút 108. Ví dụ, một thiết bị như vậy có thể được đặt giữa đường bit và cấu trúc chọn như 1T (tranzito MOS), hoặc bộ chọn màng mỏng 2 đầu nối được nối với một đường từ. Theo một phương án cụ thể, được chỉ ra bởi hình minh họa Fig.1, nằm ở bên phải của phần tử bộ nhớ 100, lớp oxit dẫn điện 104 là oxit dẫn điện có chiều dày xấp xỉ trong phạm vi 2- 15 nanomet, điện cực thứ nhất 102 được tạo thành bởi kim loại quý và điện cực thứ hai 106 là giống hoặc khác điện cực có công thoát cao (work function, WF) lớn hơn khoảng chừng 4,2eV.

Fig.2 minh họa sơ đồ hoạt động thể hiện sự thay đổi trạng thái của phần tử bộ nhớ trên Fig.1, theo một phương án của sáng chế. Dựa vào Fig.2, phần tử bộ nhớ 100 có thể khởi động ở trạng thái ít dẫn điện (1) với lớp oxit dẫn điện 104 ở trạng thái ít dẫn điện 104A. Xung điện như khoảng thời gian thế hiệu dịch dương (2) có thể được áp dụng khiến phần tử bộ nhớ 100 có trạng thái dẫn điện lớn hơn (3), với lớp oxit dẫn điện 104 ở trạng thái dẫn điện lớn hơn 104B. Xung điện, như khoảng thời gian thế hiệu dịch âm (4) có thể tiếp tục được áp dụng để khiến phần tử bộ nhớ 100 có trạng thái ít dẫn điện (1). Do đó, xung điện có thể được sử dụng để thay đổi điện trở của

phần tử bộ nhớ 100. Theo cách khác, chuyển tiếp là chuyển tiếp đảo ngược trong đó lớp bộ nhớ là dẫn điện và điện trở được điều biến bởi xung điện áp thấp của cực đối nghịch. Sự đảo ngược thực này có thể nhanh hơn 100 nano giây.

Fig.3 là sơ đồ minh họa sự thay đổi điện trở trong oxit vô định hình, trong đó (a) minh họa dòng điện/ điện tích truyền qua oxit dẫn điện ở trạng thái điện trở thấp (low state resistance, LRS) gây ra sự thay đổi ở trạng thái cấu hình của oxit vô định hình. Sự thay đổi này ngăn cản sự dẫn dòng và điện trở của thiết bị tăng lên đến trạng thái điện trở lớn (b), oxit không dẫn dòng giống như (a). Khi điện áp cực đối nghịch được đặt vào thiết bị này, điện trường qua oxit dẫn điện ở trạng thái điện trở lớn (c) phục hồi trạng thái cấu hình ban đầu của oxit dẫn điện (d).

Do đó, theo một phương án, phần tử bộ nhớ bao gồm lớp oxit dẫn điện kẹp giữa hai điện cực. Theo một phương án như vậy, phần tử bộ nhớ bao gồm một lớp mỏng oxit dẫn điện kẹp giữa hai điện cực dẫn điện có công thoát lớn, ví dụ, lớn hơn khoảng chừng 4,2eV. Trong một số phương án, điện trở của lớp oxit dẫn điện trong điện trường thấp (khi thiết bị đọc) có thể thấp như các lớp dẫn điện của các hợp kim thường thấy ví dụ như TiAlN. Ví dụ, theo một phương án cụ thể, điện trở của một lớp như vậy xấp xỉ trong phạm vi 0,1 ôm cm - 10 ôm cm khi được đo ở điện trường thấp. Điện trở của lớp này được điều chỉnh phụ thuộc vào kích thước của phần tử bộ nhớ để đạt được giá trị điện trở cuối cùng xấp xỉ trong phạm vi tương thích với chế độ đọc nhanh hơn. Trong một số phương án, sự thay đổi điện trở được tạo ra bằng chuyển tiếp Mott, bằng các chuyển tiếp cách điện kim loại cảm ứng điện tích hoặc thông dụng hơn là bằng sự thay đổi trong cấu trúc của oxit vô định hình được tạo ra bằng cách áp dụng điện trường và/hoặc dòng điện.

Theo một khía cạnh, phần tử bộ nhớ được mô tả ở đây hoạt động nhỏ hơn mức 1V. Ví dụ, Fig.4 là đồ thị 400 thể hiện dòng điện (mA) theo hàm của điện áp (V) cho phần tử bộ nhớ truy cập ngẫu nhiên oxit dẫn điện (CORAM) đối với hàm của điện áp cho ReRAM thông thường, theo một phương án của sáng chế. Đề cập đến đồ thị 400, đường cong bên trên của cấu trúc CORAM thể hiện tính dẫn điện tốt của thiết bị sản xuất khi tiến tới mức điện áp 1V thời điểm mà cấu trúc này chuyển sang trạng thái tồn tại điện trở. Điều này trái ngược với đường cong bên dưới mô tả bước hình thành của cấu trúc ReRAM trong giải pháp kỹ thuật đã biết. Trong trường hợp CORAM trước, theo một phương án, để tránh trạng thái có điện trở quá lớn, sự điều chỉnh được thực

hiện ở mức nhỏ hơn 1V. Ô nhớ bắt đầu hoạt động ở trạng thái điện trở thấp và hiển thị dạng N NDR tại 1V.

Fig.5 biểu diễn đồ thị 500 thể hiện xung điện áp ghi "0" và ghi "1" tương ứng với đồ thị điện trở 502 (Ôm) theo hàm các chu kỳ, theo một phương án của sáng chế. Đề cập đến các đồ thị 500 và 502, xung ghi 0s và 1s được thực hiện bởi các xung 1V và theo đó, điện trở ô được thay đổi bằng cách hiệu chỉnh các xung $\pm 1V$.

Theo một phương án của sáng chế và áp dụng được, cấu trúc CORAM bao gồm lớp bộ nhớ oxit dẫn điện có chiều dày xấp xỉ trong phạm vi 2 - 15 nanomet. Theo phương án khác, lớp bộ nhớ oxit dẫn điện được tạo thành bởi vật liệu như hỗn hợp oxit kim loại chuyển tiếp ở thể rắn hoặc nhị phân oxit trong đó một trong số những kim loại có thể tạo thành các oxit có hóa trị khác nhau. Một trong số các oxit trong hỗn hợp rắn có thể được coi là chất nền trong khi đó số khác là tạp chất. Theo phương án khác, hóa trị của các kim loại trong hỗn hợp rắn có thể khác 1. Theo một phương án của sáng chế, oxit điện trở thấp có thể là oxit dưới tỉ lượng trống oxy. Theo một phương án của sáng chế, lớp bộ nhớ của cấu trúc CORAM là vô định hình, ví dụ như oxit vô định hình. Theo một phương án như vậy, oxit vô định hình được tạo thành bởi hỗn hợp oxit kim loại chuyển tiếp ở thể rắn hoặc oxit kép trong đó một trong những kim loại có thể tạo ra các oxit có hóa trị khác nhau hoặc chênh lệch với hóa trị của các kim loại khác 1 đơn vị. Theo một phương án, vật liệu điện cực không cần khác nhau.

Theo minh họa ở trên, theo một phương án, điện cực trong phần tử bộ nhớ bao gồm lớp oxit dẫn điện, đó là điện cực dựa trên kim loại quý. Theo một phương án, ví dụ về kim loại quý phù hợp bao gồm Pd hoặc Pt hoặc các kim loại khác. Tổng quát hơn, theo một phương án, điện cực này là V, Cr, W, Pd, Ir hoặc Pt có thể thích hợp hơn là Hf, Mn, Zr, hoặc Ta.

Theo các phương án khác, một hoặc tất cả các điện cực này được sản xuất từ vật liệu oxit dẫn điện thứ hai khác, nghĩa là khác với lớp oxit dẫn điện chuyển đổi được. Theo một phương án, các ví dụ về các oxit dẫn điện phù hợp cho lớp điện cực bao gồm, nhưng không bị giới hạn ở ITO ($\text{In}_2\text{O}_3\text{-xSnO}_{2\text{-x}}$). Theo các phương án khác, điện cực được sản xuất từ vật liệu oxit dẫn điện tương tự dưới dạng lớp chuyển đổi. Cần hiểu rằng trong cả hai trường hợp, đối với các phương án sử dụng vật liệu oxit dẫn

điện cho lớp điện cực, sự thay đổi điện trở của điện cực này trong suốt quy trình lập trình có thể đóng góp vào sự thay đổi tổng điện trở.

Theo một khía cạnh, cấu trúc CORAM được sản xuất trong một sơ đồ sản xuất giống như mạ kim. Theo một ví dụ, từ Fig.6A đến Fig.6E minh họa hình chiếu mặt cắt thể hiện các hoạt động khác nhau trong phương pháp sản xuất cấu trúc CORAM, theo một phương án của sáng chế.

Dựa vào Fig.6A, điện cực dưới 602 của cấu trúc CORAM được cung cấp có lớp cách điện được tạo mẫu 604 ở trên. Lớp cách điện này có khe hở 606 với các thành bên dốc 607 được tạo thành ở đây. Theo một phương án, mỗi thành bên này được làm nghiêng đi một góc nhọn khoảng 50 độ từ mặt phẳng của điện cực dưới 602. Hình chiếu bằng thể hiện cấu trúc chồng cũng được đề xuất trên Fig.6A. Thêm vào đó, theo một phương án, điện cực dưới 602 được bố trí trên đường kim loại hoặc đường dẫn 620. Đường kim loại này hoặc đường dẫn 620 có thể có dấu hiệu lõm như lớp M2 hoặc lớp M3 hoặc đường dẫn. Theo một phương án như vậy, điện cực dưới 602 được tạo thành trên đường bit hoặc đường từ.

Dựa vào Fig.6B, lớp bộ nhớ CORAM 608 (ví dụ lớp oxit kim loại dẫn điện) được tạo thành phía trên cấu trúc theo Fig.6A. Theo một phương án như vậy, lớp bộ nhớ CORAM 608 này là vô định hình và được tạo ra tương ứng với thành bên dốc hoặc nón 607 của khe hở 606. Theo một phương án, việc áp dụng độ dốc lớn thì tránh tạo điểm nhọn cho lớp bộ nhớ CORAM 608 trong khe hở 606. Theo đó, thiết bị CORAM có thể được sản xuất trong phần tiếp xúc bằng cách lắng đọng màng oxit vô định hình mà có địa hình. Như được minh họa trên các hình vẽ từ Fig.6C đến Fig.6E, cấu trúc thu được bao gồm lớp bộ nhớ được làm lõm và được sản xuất mà không cần ăn mòn ở thành bên.

Dựa vào Fig.6C, vật liệu của điện cực trên 610 được tạo thành bằng cách lắng đọng trên lớp bộ nhớ CORAM 608. Vật liệu của điện cực trên 610 và lớp bộ nhớ CORAM 608 sau đó được làm phẳng, ví dụ bằng quy trình làm phẳng cơ hoá hoặc làm nhẵn. Sự làm phẳng này hạn hẹp lớp bộ nhớ CORAM 608 và điện cực trên 610 tới khe hở trong lớp cách điện được tạo mẫu 604, được minh họa trên Fig.6D. Dựa vào Fig.6E, theo một phương án, đường dẫn điện trên 630, như một đường từ hoặc một đường bit được tạo thành trên điện cực trên 610. Theo một phương án như vậy,

đường kim loại hoặc đường dẫn 620, điện cực dưới 602, lớp bộ nhớ CORAM 608, điện cực trên 610 và đường dẫn điện 630 được sử dụng để tạo ra giao điểm trong mảng bộ nhớ giao điểm.

Quay lại Fig.6A, theo một phương án, lớp cách điện 604 được tạo thành bởi lớp cách điện oxit hoặc nitrat hóa. Theo một phương án như vậy, khe hở 606 được tạo thành bằng quy trình ăn mòn có chọn lọc vật liệu điện cực dưới 602. Theo một phương án cụ thể, khe hở 606 được tạo thành sử dụng quy trình ăn mòn dựa vào C_xF_y hoặc $C_xH_yF_z/Ar/O_2$ có chọn lọc cho điện cực dưới 602. Lưu ý rằng trong khi O_2 có thể chọn lọc kim loại, thì O_2 có thể tạo ra lớp cản để ăn mòn và do đó, quy trình ăn mòn có thể được thực hiện không có oxy hoặc với lượng O_2 rất nhỏ. Trái với quy trình ăn mòn được mô tả ở trên, lớp cách điện 604, như được mô tả ở trên, lớp bộ nhớ CORAM và vật liệu điện cực trên được làm nhẵn (ví dụ, bằng cách sử dụng quy trình làm phẳng cơ hóa (chemical mechanical planarization, CMP)) và không được ăn mòn.

Nói chung, quay lại các hình vẽ từ Fig.6A đến Fig.6E, việc sản xuất điện cực trên và điện cực dưới của cấu trúc CORAM liên quan đến sự cách điện giữa các lớp tạo thành bởi lớp điện môi cách điện dày (ví dụ khoảng 50 nanomet). Quy trình được mô tả ở trên có thể hạn chế việc làm ngắn lại. Ngoài ra, theo một phương án, phần tử bộ nhớ bao gồm lớp oxit dẫn điện được sản xuất bởi dòng quy trình bao gồm dòng tụ mà CORAM và điện cực trên được lắng đọng tại chỗ để loại bỏ các hiệu ứng liên quan đến tạp chất. Hoạt động bộ nhớ của cấu trúc CORAM tổng hợp có thể được thực hiện ở các điện áp bằng hoặc dưới 1V của dòng điện 1 chiều (DC). Theo một phương án, thiết bị được sản xuất này không yêu cầu việc áp dụng của điện áp dòng một chiều quét cao ban đầu, ví dụ, được biết đến như lần khởi động đầu tiên cho các thiết bị thông thường.

Theo khía cạnh khác, cấu trúc CORAM có thể được chứa trong mạch tích hợp trong các vùng thường được đề cập đến như lớp phía sau hoặc lớp đi dây phía sau (BEOL) của mạch tích hợp. Theo các ví dụ, Fig.7 minh họa sơ đồ của một vài tùy chọn cho vị trí của cấu trúc CORAM trong mạch tích hợp, theo một phương án của sáng chế.

Dựa vào Fig.7, năm ví dụ (A)-(E) của ô nhớ CORAM nằm trên lớp logic kim loại thứ hai (M2) hoặc vị trí cao hơn được đề xuất. Trong mỗi trường hợp, vùng bộ

nhớ 700 và vùng logic 702 của mạch tích hợp được mô tả bằng sơ đồ. Mỗi vùng bộ nhớ 700 và vùng logic 702 được kết hợp với tranzito tương ứng (hoặc nhóm tranzito) 704 hoặc 706 tương ứng. Các chồng của các lớp mạ kim loại (được biểu thị mà không bao gồm các lớp điện môi) bao gồm các đường kim loại 708 và các đường dẫn 710 thường được xếp xen kẽ nhau. Do đó, tất cả các sắp xếp được minh họa bao gồm cấu trúc CORAM được bố trí trên đường kim loại thứ hai (M2) trong chồng. Cấu trúc CORAM thường bao gồm lớp bộ nhớ oxit dẫn điện ở giữa điện cực dưới và điện cực trên và có thể được tạo thành trong một khe hở của lớp cách điện, các ví dụ về cấu trúc CORAM được mô tả trên. Các sắp xếp được mô tả có thể cho phép tích hợp của cả logic và bộ nhớ trên cùng một khuôn so với bộ nhớ độc lập.

Quay lại Fig.7, trong ví dụ đầu tiên (A), cấu trúc CORAM được sản xuất trên đỉnh của đường dẫn duy nhất 750 dành cho các thiết bị bộ nhớ. Theo ví dụ thứ hai (B), cấu trúc CORAM được sản xuất trước và đường dẫn duy nhất bên trên 760 tiếp xúc với cấu trúc CORAM ở trên. Theo ví dụ thứ ba (C), cấu trúc CORAM có điện cực trên với chiều dày tăng dần để cấu trúc CORAM chiếm trọn độ sâu đường dẫn, giữa các đường kim loại. Trong ví dụ thứ tư (D), cấu trúc CORAM có điện cực trên với chiều dày tăng dần để cấu trúc CORAM chiếm trọn chiều cao đường kim loại. Trong ví dụ thứ năm (E), cấu trúc CORAM có điện cực trên với chiều dày tăng dần để cấu trúc CORAM chiếm trọn mức kết nối (qua đường kim loại bổ sung).

Một trong những sự khác nhau của một hay nhiều phương án được mô tả ở đây với thiết bị điện trở thuộc giải pháp kỹ thuật đã biết là tất cả các lớp trong chồng của phần tử bộ nhớ được cấu tạo từ các màng mỏng dẫn điện. Do đó, cấu trúc của phần tử bộ nhớ điện trở khác với trạng thái của các thiết bị trong lĩnh vực kỹ thuật đã biết trong đó ít nhất một trong số các màng này là màng cách điện và/hoặc điện môi. Với các màng như vậy trong các thiết bị thông thường ở điều kiện sản xuất, điện trở có độ lớn có bậc cao hơn khi chúng ở trong hộp kim và không thể đo được ở điện trường thấp cho đến khi thiết bị này được tạo thành. Tuy nhiên, theo các phương án được mô tả ở đây, vì tất cả các lớp trong phần tử bộ nhớ là các chất dẫn điện, nên sự bố trí này cho phép thực hiện một hoặc nhiều: (1) hoạt động điện áp thấp, ví dụ, nhỏ hơn 1V; (2) loại bỏ sự cần thiết của điện áp cao một lần, thường được gọi là điện áp khởi tạo, cần cho trạng thái của RRAM và (3) các điện trở thấp (ví dụ, khi tất cả các thành phần đều là

các chất dẫn điện), mà có thể cung cấp cho chế độ đọc nhanh trong hoạt động của thiết bị bộ nhớ có cấu trúc MCOM.

Đề cập thêm về mô tả liên quan đến các hình vẽ từ Fig.1 đến Fig.7 nêu trên, chồng các lớp dẫn điện bao gồm lớp oxit kim loại dẫn điện có thể được dùng để sản xuất ô bit nhớ. Ví dụ, Fig.8 minh họa sơ đồ của ô bit bộ nhớ 800, mà bao gồm phần tử bộ nhớ kim loại- oxit dẫn điện- kim loại (MCOM) 810, theo một phương án của sáng chế.

Dựa vào Fig.8, phần tử bộ nhớ CORAM 810 có thể bao gồm điện cực dẫn điện thứ nhất 812 với lớp oxit kim loại dẫn điện 814 liền kề với điện cực dẫn điện thứ nhất 812. Điện cực dẫn điện thứ hai 816 liền kề với lớp oxit kim loại dẫn điện 814. Điện cực dẫn điện thứ hai 816 có thể được nối điện với đường bit 832. Điện cực dẫn điện thứ nhất 812 có thể được kết nối với tranzito 834. Tranzito 834 này có thể kết nối với đường từ 836 và đường nguồn 838 theo cách mà những người có trình độ hiểu biết trung bình về lĩnh vực kỹ thuật liên quan này có thể hiểu được. Ô bit nhớ 800 còn có thể bao gồm thêm chế độ đọc và chế độ ghi hệ mạch (không được hiển thị), bộ khuếch đại cảm ứng (không được hiển thị), quy chiếu đường bit (không được hiển thị) và tương tự mà người có trình độ hiểu biết trung bình về lĩnh vực kỹ thuật liên quan có thể hiểu được, với hoạt động của ô bit nhớ 800. Cần hiểu rằng nhiều ô bit nhớ 800 được nối hoạt động với ô bit nhớ khác để tạo thành mảng bộ nhớ (không được hiển thị), trong đó mảng bộ nhớ này có thể được đưa vào thiết bị bộ nhớ không khả biến. Cần hiểu rằng tranzito 834 có thể được nối với điện cực dẫn điện thứ hai 816 hoặc điện cực dẫn điện thứ nhất 812, cho dù chỉ có phương án thứ hai được mô tả.

Fig.9 minh họa sơ đồ khối của hệ thống điện tử 900, theo một phương án của sáng chế. Hệ thống điện tử 900 có thể tương ứng với, ví dụ, hệ thống di động, hệ thống máy tính, hệ thống điều khiển quy trình, hoặc một số hệ thống khác mà sử dụng bộ xử lý và bộ nhớ liên quan. Hệ thống điện tử 900 có thể bao gồm bộ vi xử lý 902 (gồm bộ xử lý 904 và đơn vị điều khiển 906), thiết bị bộ nhớ 908 và thiết bị đầu vào/đầu ra 910 (được hiểu là hệ thống điện tử 900 có thể có nhiều bộ xử lý, đơn vị điều khiển, các đơn vị thiết bị bộ nhớ và/hoặc các thiết bị đầu vào/đầu ra theo các phương án khác nhau). Theo một phương án, hệ thống điện tử 900 có tập các hướng dẫn xác định các hoạt động được thực hiện trên dữ liệu bằng bộ xử lý 904 cũng như các giao dịch khác giữa bộ xử lý 904, thiết bị bộ nhớ 908 và thiết bị đầu vào/đầu ra 910. Đơn vị điều khiển 906

điều phối các hoạt động của bộ xử lý 904, thiết bị bộ nhớ 908 và thiết bị đầu vào/đầu ra 910 bằng cách lắp lại tập hợp các hoạt động mà khiến các lệnh được truy xuất từ thiết bị bộ nhớ 908 được thực thi. Thiết bị bộ nhớ 908 có thể bao gồm phần tử bộ nhớ có lớp oxit dẫn điện và chồng điện cực như đã được mô tả trong bản mô tả. Theo một phương án, thiết bị bộ nhớ 908 được nhúng trong bộ vi xử lý 902 được minh họa trên Fig.9.

Fig.10 minh họa thiết bị điện toán 1000 theo phương án thực hiện của sáng chế. Thiết bị điện toán 1000 chứa bảng mạch 1002. Bảng mạch 1002 này có thể bao gồm nhiều thành phần, bao gồm nhưng không bị giới hạn bởi, bộ xử lý 1004 và ít nhất một chip truyền thông 1006 và một số bộ phận khác. Bộ xử lý 1004 này được ghép nối điện và vật lý với bảng mạch 1002. Trong một số phương án thực hiện, chip truyền thông 1006 cũng được ghép nối điện và vật lý với bảng mạch 1002. Trong một số phương án thực hiện khác, chip truyền thông 1006 là một phần của bộ xử lý 1004.

Tùy thuộc vào các ứng dụng, thiết bị điện toán 1000 có thể bao gồm các bộ phận khác mà có thể hoặc không thể được ghép nối điện và vật lý với bảng mạch 1002. Các bộ phận này bao gồm bộ nhớ khả biến (ví dụ DRAM), bộ nhớ không khả biến (ví dụ ROM), bộ nhớ chớp, bộ xử lý đồ họa, bộ xử lý tín hiệu số, bộ xử lý crypto, bộ chip, ăng-ten, màn hình, màn hình cảm ứng, bộ điều khiển cảm ứng, pin, mã âm thanh, mã ảnh động, bộ khuếch đại công suất, thiết bị hệ thống định vị toàn cầu (global positioning system, GPS), là bàn, gia tốc kế, con quay hồi chuyển, loa, máy ảnh, và thiết bị nhớ khối (như ổ cứng, đĩa nén (compact disc, CD), đĩa đa năng số (digital versatile disk, DVD) và v.v.).

Chip truyền thông 1006 cho phép truyền thông không dây để truyền dữ liệu tới và từ thiết bị điện toán 1000. Thuật ngữ "không dây" và các thuật ngữ liên quan có thể được dùng để mô tả các mạch điện, các thiết bị, hệ thống, phương pháp, kỹ thuật, các kênh truyền thông, v.v. có thể truyền thông dữ liệu thông qua việc sử dụng sóng điện từ trong môi trường không ở thể rắn. Thuật ngữ này không có hàm ý là các thiết bị liên quan không có dây, mặc dù trong một số phương án chúng có thể không như thế. Chip truyền thông 1006 có thể thực hiện một số chuẩn hoặc giao thức không dây bao gồm Wi-Fi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, diễn tiến dài hạn (long term evolution, LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, giao thức liên quan, cũng như một số giao

thức không dây khác được thiết kế dưới dạng như 3G, 4G, 5G, và v.v.. Thiết bị điện toán 1000 có thể gồm nhiều chip truyền thông 1006. Ví dụ, chip truyền thông thứ nhất 1006 có thể được cung cấp vùng truyền thông không dây ngắn hơn như Wi-Fi và Bluetooth và chip truyền thông thứ hai 1006 có thể được cung cấp các truyền thông không dây dài hơn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và các giao thức khác.

Bộ xử lý 1004 của thiết bị điện toán 1000 bao gồm một mạch tích hợp được đóng gói trong bộ xử lý 1004. Trong một số phương án thực hiện của sáng chế, mạch tích hợp của bộ xử lý bao gồm hoặc tiếp xúc điện với, một hoặc nhiều thiết bị bộ nhớ nhúng điện áp thấp có các lớp oxit dẫn điện và các dây điện cực theo phương án thực hiện của sáng chế. Thuật ngữ "bộ xử lý" có thể đề cập đến một số thiết bị hoặc một phần của thiết bị xử lý dữ liệu điện tử từ các thanh ghi và/hoặc bộ nhớ để chuyển đổi dữ liệu điện tử này sang dữ liệu điện tử khác có thể được lưu trữ trong các đăng ký và/hoặc bộ nhớ.

Chip truyền thông 1006 còn bao gồm mạch tích hợp được gói trọn trong chip truyền thông 1006. Theo phương án thực hiện khác của sáng chế, mạch tích hợp của chip truyền thông bao gồm hoặc tiếp xúc điện với một hoặc nhiều thiết bị bộ nhớ nhúng điện áp thấp có các lớp oxit dẫn điện và các chồng điện cực theo phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác, bộ phận khác chứa trong thiết bị điện toán 1000 có thể chứa mạch tích hợp bao gồm hoặc tiếp xúc điện với, một hoặc nhiều thiết bị bộ nhớ nhúng điện áp thấp có các lớp oxit dẫn điện và các dây điện cực theo phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nhau, thiết bị điện toán 1000 có thể là máy tính xách tay, netbook, notebook, ultrabook, điện thoại thông minh, máy tính bảng, thiết bị hỗ trợ số cá nhân (PDA), máy tính cá nhân siêu di động, điện thoại di động, máy tính để bàn, máy chủ, máy in, máy quét, bộ điều chỉnh, hộp đổi tín hiệu, bộ điều khiển giải trí, máy ảnh kỹ thuật số, máy nghe nhạc cầm tay hoặc máy quay video kỹ thuật số. Trong các phương án thực hiện khác, thiết bị điện toán 1000 có thể là bất kỳ thiết bị điện tử khác nào mà xử lý dữ liệu.

Do đó, các cấu trúc và các cách tiếp cận để sử dụng bộ nhớ nhúng điện áp thấp được bộc lộ. Bộ nhớ dựa trên các chồng oxit dẫn điện và các dây điện cực. Các ứng dụng của bộ nhớ như vậy có thể gồm, nhưng không bị giới hạn ở, bộ nhớ phụ, bộ nhớ nhúng, bộ nhớ điện trở, RRAM. Theo một hay nhiều phương án, mô hình cấu trúc của bộ nhớ dựa trên cách bố trí tự do ghép nối, trong đó lớp không dẫn điện không được dùng trong bộ phận chức năng của lớp bộ nhớ.

Theo đó, một hay nhiều phương án của sáng chế thường liên quan đến việc sản xuất bộ nhớ vi điện tử. Bộ nhớ vi điện tử có thể là không khả biến, ở đây bộ nhớ có thể tiếp tục lưu trữ thông tin ngay cả khi không được hỗ trợ. Một hay nhiều phương án của sáng chế liên quan đến việc sản xuất phần tử bộ nhớ có lớp oxit dẫn điện và dây điện cực cho các thiết bị bộ nhớ vi điện tử không khả biến. Cấu trúc này có thể được dùng trong bộ nhớ nhúng không khả biến hay cho tính không không khả biến hoặc thay thế cho bộ nhớ truy cập ngẫu nhiên động nhúng (eDRAM). Ví dụ, cấu trúc như vậy có thể được dùng hoặc thay cho bộ nhớ IT- IX ($X =$ tụ điện hoặc điện trở) với kích thước của ô nhớ có tính cạnh tranh tại nút công nghệ nhất định.

Do đó, các phương án của sáng chế bao gồm các ô nhớ truy cập ngẫu nhiên oxit dẫn điện (CORAM) và các phương pháp sản xuất các ô nhớ CORAM.

Theo một phương án, chồng lớp vật liệu của phần tử bộ nhớ bao gồm điện cực dẫn điện thứ nhất. Lớp cách điện được bố trí trên oxit dẫn điện thứ nhất và có khe hở với các thành bên bộc lộ một phần của điện cực dẫn điện thứ nhất. Lớp oxit dẫn điện được bố trí bên trong khe hở, trên điện cực dẫn điện thứ nhất và dọc theo các thành bên này của khe hở. Điện cực thứ hai được bố trí trong khe hở, trên lớp oxit dẫn điện.

Theo một phương án, mỗi thành bên của khe hở được làm nghiêng đi một góc để làm giảm kích thước của khe hở từ bề mặt trên của lớp cách điện tới bề mặt trên của điện cực dẫn điện thứ nhất.

Theo một phương án, góc này khoảng 50 độ.

Theo một phương án, lớp cách điện là lớp silicon nitrat hoặc lớp silicon oxit.

Theo một phương án, lớp oxit dẫn điện có chiều dày nằm xấp xỉ trong phạm vi từ 2 đến 15 nanomet và là oxit dưới tỉ lượng trống oxy.

Theo một phương án, lớp oxit dẫn điện là lớp oxit điện trở thấp pha tạp lỗ trống oxy có chiều dày xấp xỉ trong phạm vi từ 1 đến 10 nanomet.

Theo một phương án, lớp oxit dẫn điện là vô định hình.

Theo một phương án, điện trở của lớp oxit dẫn điện xấp xỉ trong phạm vi 100 mili ôm cm - 10 kilo ôm cm khi được đo ở điện trường thấp cỡ xấp xỉ 0,1V.

Theo một phương án, hoạt động khởi tạo hay tạo thành không cần cho tính dẫn điện của lớp oxit dẫn điện.

Theo một phương án, thiết bị bộ nhớ không khả biến bao gồm điện cực dẫn điện thứ nhất. Lớp cách điện được bố trí trên oxit dẫn điện thứ nhất và có khe hở với các thành bên bộc lộ một phần của điện cực dẫn điện thứ nhất. Lớp oxit dẫn điện được bố trí trong khe hở, trên điện cực dẫn điện thứ nhất và dọc theo các thành bên của khe hở. Điện cực dẫn điện thứ hai được bố trí trong khe hở trên lớp oxit dẫn điện. Tranzito được nối điện với điện cực thứ nhất hoặc điện cực thứ hai, đường nguồn, đường từ. Đường bit được nối điện với điện cực khác điện cực thứ nhất hoặc điện cực thứ hai.

Theo một phương án, điện cực dẫn điện thứ nhất được bố trí trên the đường từ, và đường bit được bố trí trên điện cực dẫn điện thứ hai.

Theo một phương án, điện cực dẫn điện thứ nhất được bố trí trên đường bit và đường từ được bố trí trên điện cực dẫn điện thứ hai.

Theo một phương án, mỗi thành bên của khe hở được làm nghiêng một góc để làm giảm kích thước của khe hở từ bề mặt trên của lớp cách điện tới bề mặt trên của điện cực dẫn điện thứ nhất.

Theo một phương án, góc này khoảng 50 độ.

Theo một phương án, lớp cách điện lớp silicon nitrat hoặc lớp silicon oxit.

Theo một phương án, lớp oxit dẫn điện có chiều dày xấp xỉ trong phạm vi 2-15 nanomet và là oxit dưới hệ số tỉ lượng oxy.

Theo một phương án, oxit dẫn điện là vô định hình.

Theo một phương án, điện trở của lớp oxit dẫn điện xấp xỉ trong phạm vi 100 mili ôm cm đến 10 kilo Ôm cm khi được đo trong điện trường thấp khoảng 0,1V.

Theo một phương án, mạch tích hợp bao gồm nhiều tranzito được bố trí trên lớp nền có bộ nhớ và các vùng logic. Nhiều đường dẫn thay thế và đường kim loại dẫn điện được bố trí ở trên và được kết nối với nhiều tranzito. Ô nhớ truy cập ngẫu nhiên oxit dẫn điện (CORAM) được bố trí trên đường kim loại thứ hai theo phương thẳng đứng, trong các đường dẫn và các đường kim loại dẫn điện thay thế.

Theo một phương án, ô nhớ CORAM được bố trí trên một phần đường dẫn và đường kim loại dẫn điện được bố trí trên ô nhớ CORAM. Một phần đường dẫn và đường kim loại dẫn điện được bao gồm trong các đường dẫn và các đường kim loại dẫn điện thay thế.

Theo một phương án, ô nhớ CORAM được bố trí trên đường kim loại dẫn điện, và một phần đường dẫn được bố trí trên ô nhớ CORAM. Một phần đường dẫn và đường kim loại dẫn điện chứa trong các đường dẫn và các đường kim loại dẫn điện thay thế.

Theo một phương án, ô nhớ CORAM chiếm trọn theo chiều sâu đường dẫn giữa các đường kim loại dẫn điện.

Theo một phương án, ô nhớ CORAM chiếm trọn theo chiều cao đường kim loại dẫn điện.

Theo một phương án, ô nhớ CORAM chiếm trọn theo chiều cao đường kim loại dẫn điện và cả chiều sâu đường dẫn.

Theo một phương án, ô nhớ CORAM bao gồm mảng các ô nhớ dọc và ngang.

YÊU CẦU BẢO HỘ

1. Chồng lớp vật liệu cho phần tử bộ nhớ, chồng lớp vật liệu này bao gồm:

điện cực dẫn điện thứ nhất có bề mặt trên cùng;

lớp cách điện được bố trí trên bề mặt trên cùng của điện cực dẫn điện thứ nhất và có khe hở với các thành bên ở trong đó, trong đó khe hở này chỉ để lộ một phần điện cực dẫn điện thứ nhất;

lớp oxit dẫn điện được bố trí trong khe hở, lớp oxit dẫn điện này có phần thứ nhất nằm trực tiếp lên và phù hợp với phần được lộ ra của điện cực dẫn điện thứ nhất, và có phần thứ hai nằm trực tiếp lên và phù hợp với các thành bên của khe hở; và

điện cực dẫn điện thứ hai được bố trí trong khe hở và lấp đầy hoàn toàn phần còn lại của khe hở, trong đó điện cực thứ hai được bố trí trực tiếp lên lớp oxit dẫn điện, và trong đó điện cực thứ hai có bề mặt trên cùng đồng phẳng với bề mặt trên cùng của lớp cách điện.

2. Chồng lớp vật liệu theo điểm 1, trong đó mỗi thành bên của khe hở được tạo còn một góc để làm giảm kích thước của khe hở từ bề mặt trên cùng của lớp cách điện tới bề mặt trên cùng của điện cực dẫn điện thứ nhất.

3. Chồng lớp vật liệu theo điểm 2, trong đó độ lớn của góc là xấp xỉ 50 độ.

4. Chồng lớp vật liệu theo điểm 1, trong đó lớp cách điện là lớp silic nitrat hoặc silic oxit.

5. Chồng lớp vật liệu theo điểm 1, trong đó độ dày xấp xỉ trong phạm vi 2-15 nanomet, và trong đó lớp oxit dẫn điện là oxit dưới tỷ lượng thiếu oxy.

6. Chồng lớp vật liệu theo điểm 1, trong đó lớp oxit dẫn điện là vô định hình.

7. Chồng lớp vật liệu theo điểm 1, trong đó điện trở của lớp oxit dẫn điện xấp xỉ trong phạm vi từ 100 mili ôm cm đến 10 kilo ôm cm khi được đo ở điện áp thấp xấp xỉ 0,1V.

8. Chồng lớp vật liệu theo điểm 1, trong đó bước tạo thành không yêu cầu tính dẫn điện của lớp oxit dẫn điện.

9. Thiết bị bộ nhớ không khả biến bao gồm:

điện cực dẫn điện thứ nhất có bề mặt trên cùng;

lớp cách điện được bố trí trên bề mặt trên cùng của điện cực dẫn điện thứ nhất và có khe hở với các thành bên ở trong đó, trong đó khe hở chỉ để lộ một phần điện cực dẫn điện thứ nhất;

lớp oxit dẫn điện được bố trí trong khe hở, lớp oxit dẫn điện này có phần thứ nhất nằm trực tiếp lên và phù hợp với phần được lộ ra của điện cực dẫn điện thứ nhất, và có phần thứ hai nằm trực tiếp lên và phù hợp với các thành bên của khe hở;

điện cực dẫn điện thứ hai được bố trí trong khe hở và lấp đầy hoàn toàn phần còn lại của khe hở, trong đó điện cực thứ hai được bố trí trực tiếp lên lớp oxit dẫn điện, và trong đó điện cực thứ hai có bề mặt trên cùng đồng phẳng với bề mặt trên cùng của lớp cách điện;

tranzito được nối điện với điện cực thứ nhất hoặc điện cực thứ hai, đường nguồn, và đường từ; và

đường bit được nối điện với điện cực khác điện cực thứ nhất hoặc điện cực thứ hai.

10. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó điện cực dẫn điện thứ nhất được bố trí trên đường từ, và trong đó đường bit được bố trí trên điện cực dẫn điện thứ hai.

11. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó điện cực dẫn điện thứ nhất được bố trí trên đường bit, và trong đó đường từ được bố trí trên điện cực dẫn điện thứ hai.

12. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó mỗi thành bên của khe hở được tạo nên một góc để làm giảm kích thước của khe hở từ bề mặt trên cùng của lớp cách điện đến bề mặt đỉnh của điện cực dẫn điện thứ nhất.

13. Thiết bị bộ nhớ không khả biến theo điểm 12, trong đó độ lớn của góc là xấp xỉ 50 độ.

14. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó lớp cách điện là lớp silic nitrat hoặc silic oxit.

15. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó lớp oxit dẫn điện là vô định hình.

16. Thiết bị bộ nhớ không khả biến theo điểm 15, trong đó độ dày xấp xỉ trong phạm vi 2-15 nanomet và trong đó lớp oxit dẫn điện là oxit dưới tỷ lượng thiếu oxy.

17. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó lớp oxit dẫn điện bao gồm vật liệu được lựa chọn từ nhóm bao gồm ITO vô định hình ($\text{In}_2\text{O}_{3-x}\text{SnO}_{2-x}$), $\text{In}_2\text{O}_{3-x}$, dung dịch rắn vô định hình của ytri oxit và ziriconi đioxit ($\text{Y}_2\text{O}_{3-x}\text{ZrO}_{2-x}$), và $\text{La}_{1-x}\text{Sr}_x\text{Ga}_{1-y}\text{Mg}_y\text{O}_{3-x-0,5(x+y)}$.

18. Thiết bị bộ nhớ không khả biến theo điểm 9, trong đó điện trở của lớp oxit dẫn điện xấp xỉ trong phạm vi từ 100 mili ôm cm-10 kilo ôm cm khi được đo ở điện áp thấp xấp xỉ 0,1V.

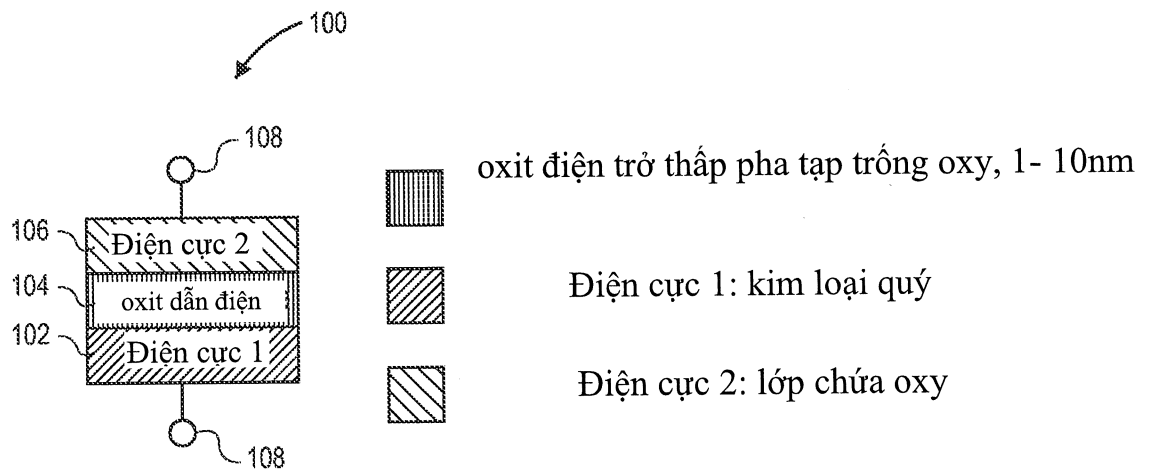


FIG. 1

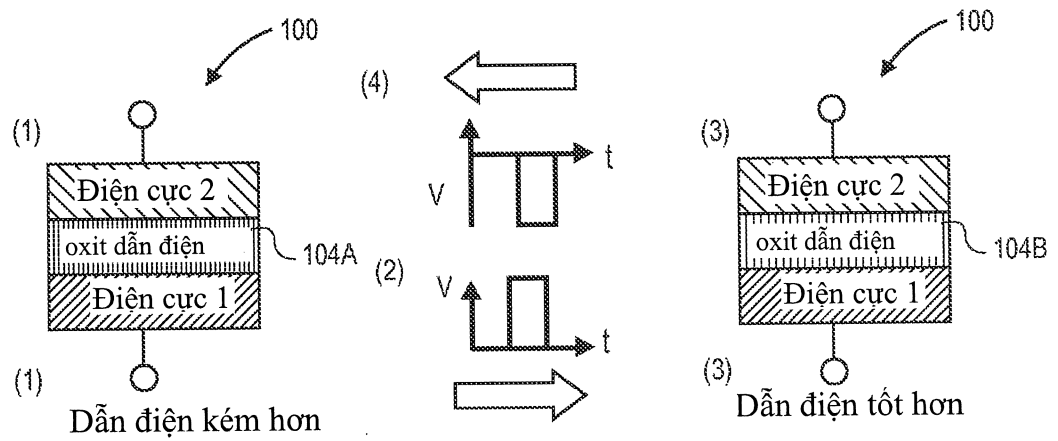


FIG. 2

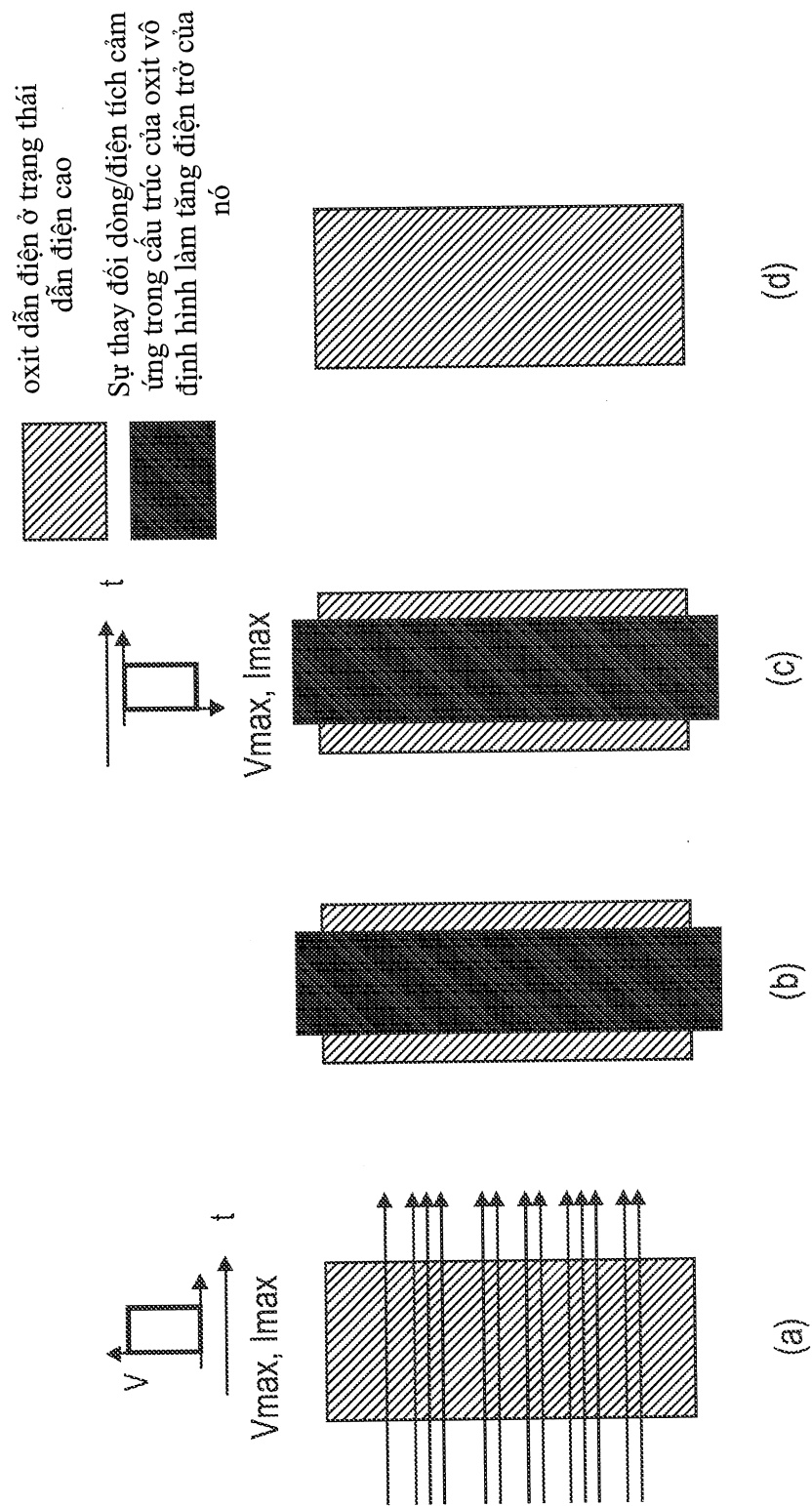
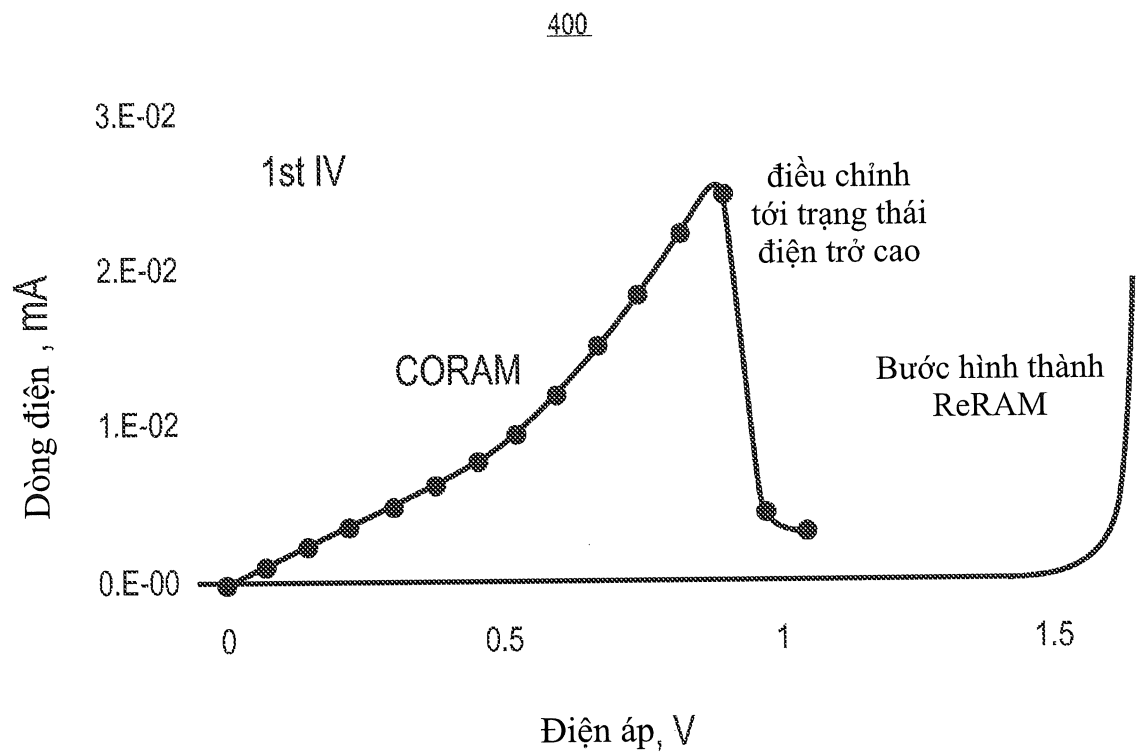


FIG. 3

**FIG. 4**

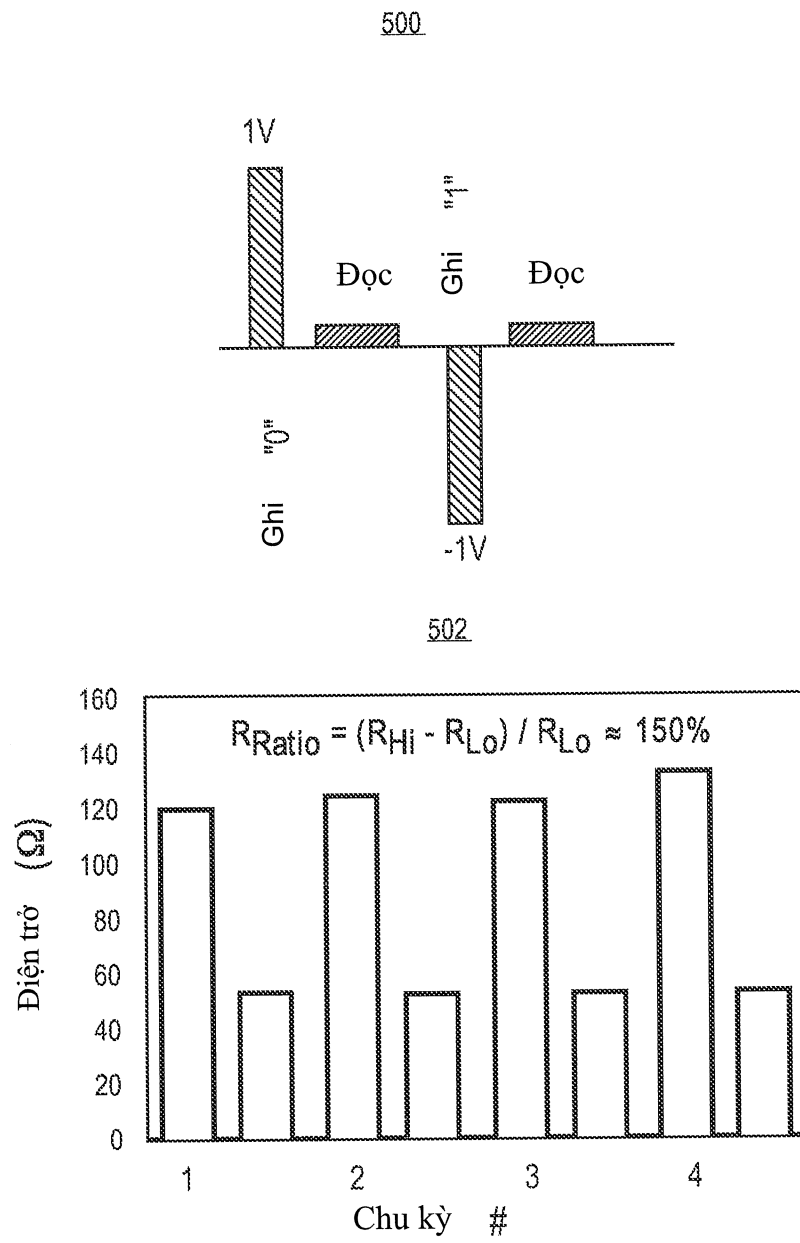
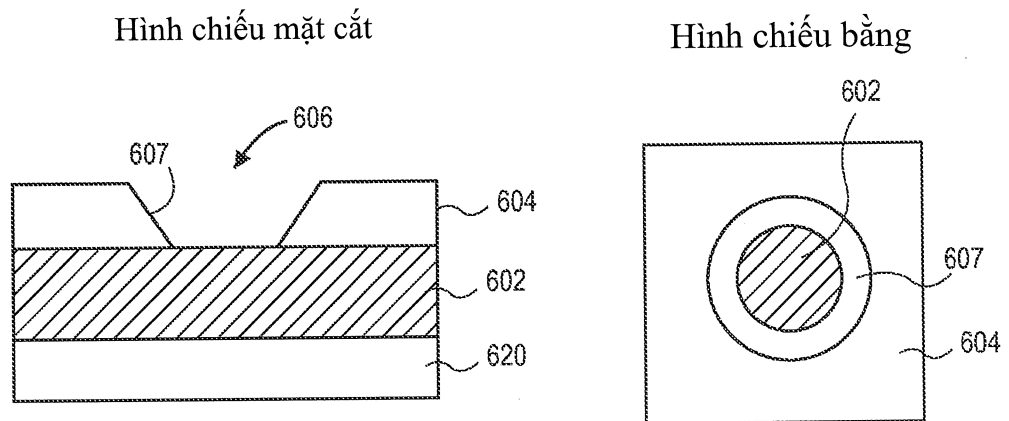
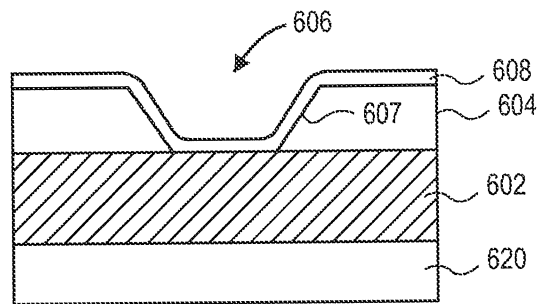
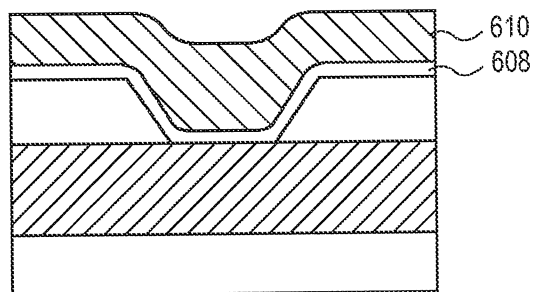
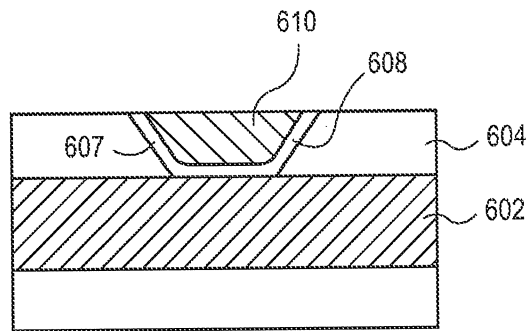
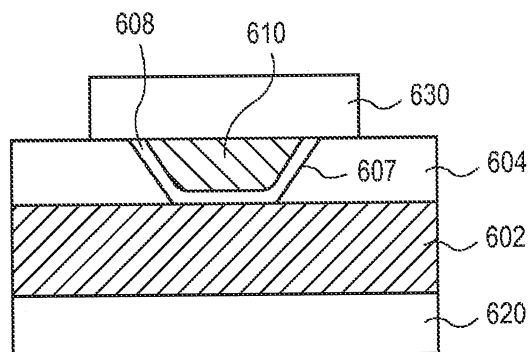


FIG. 5

**FIG. 6A****FIG. 6B****FIG. 6C**

**FIG. 6D****FIG. 6E**

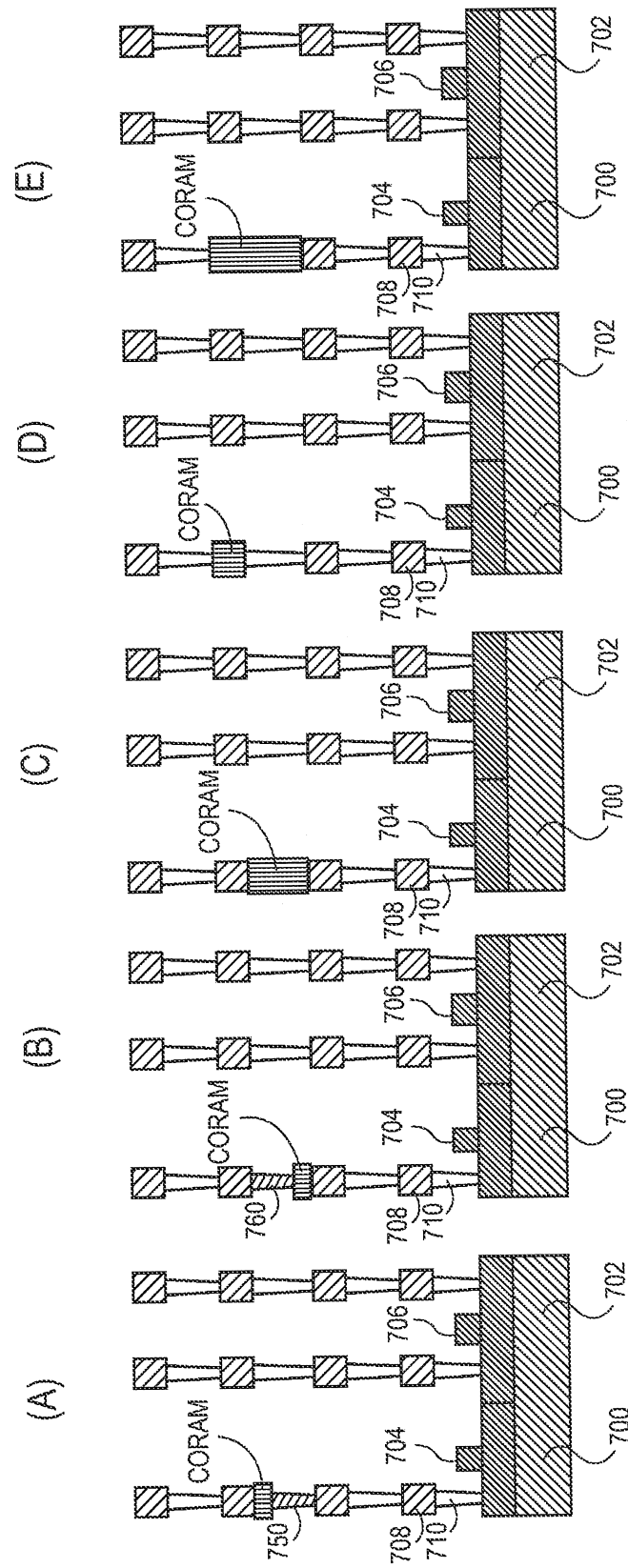


FIG. 7

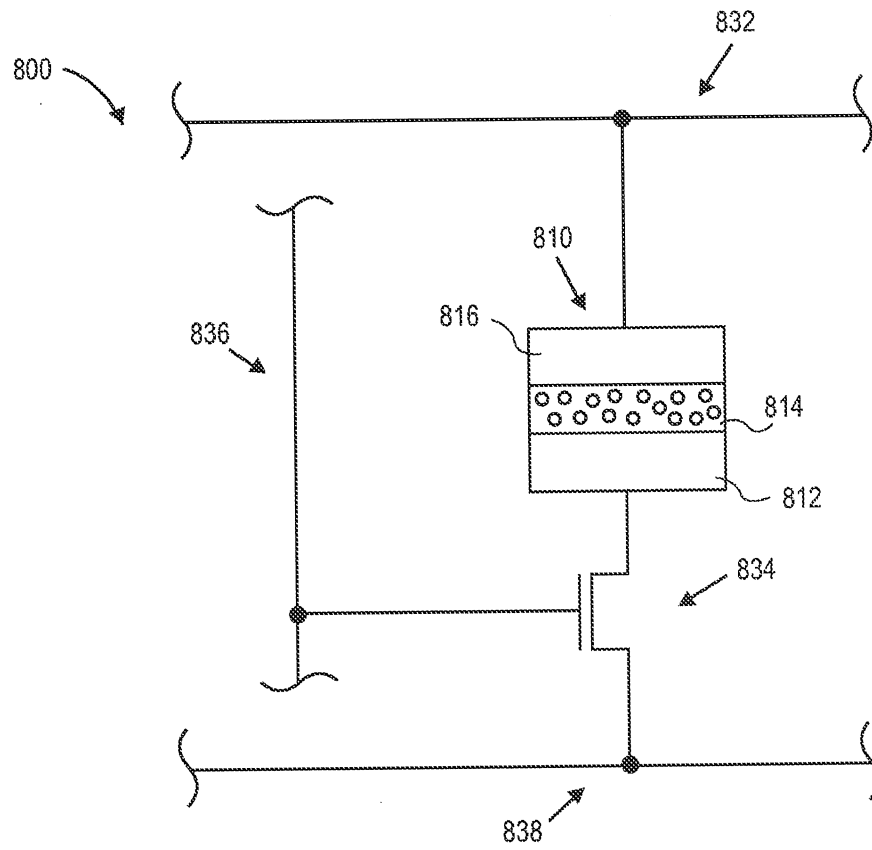


FIG. 8

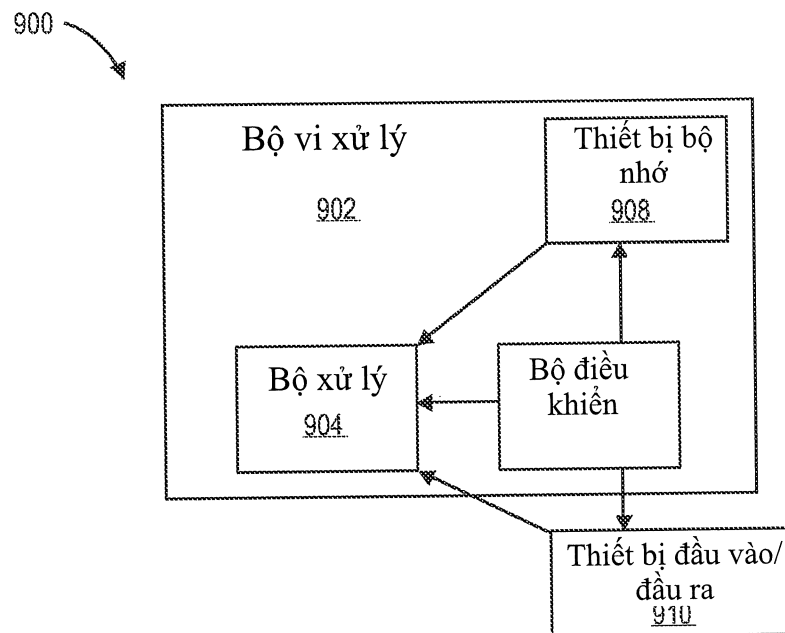
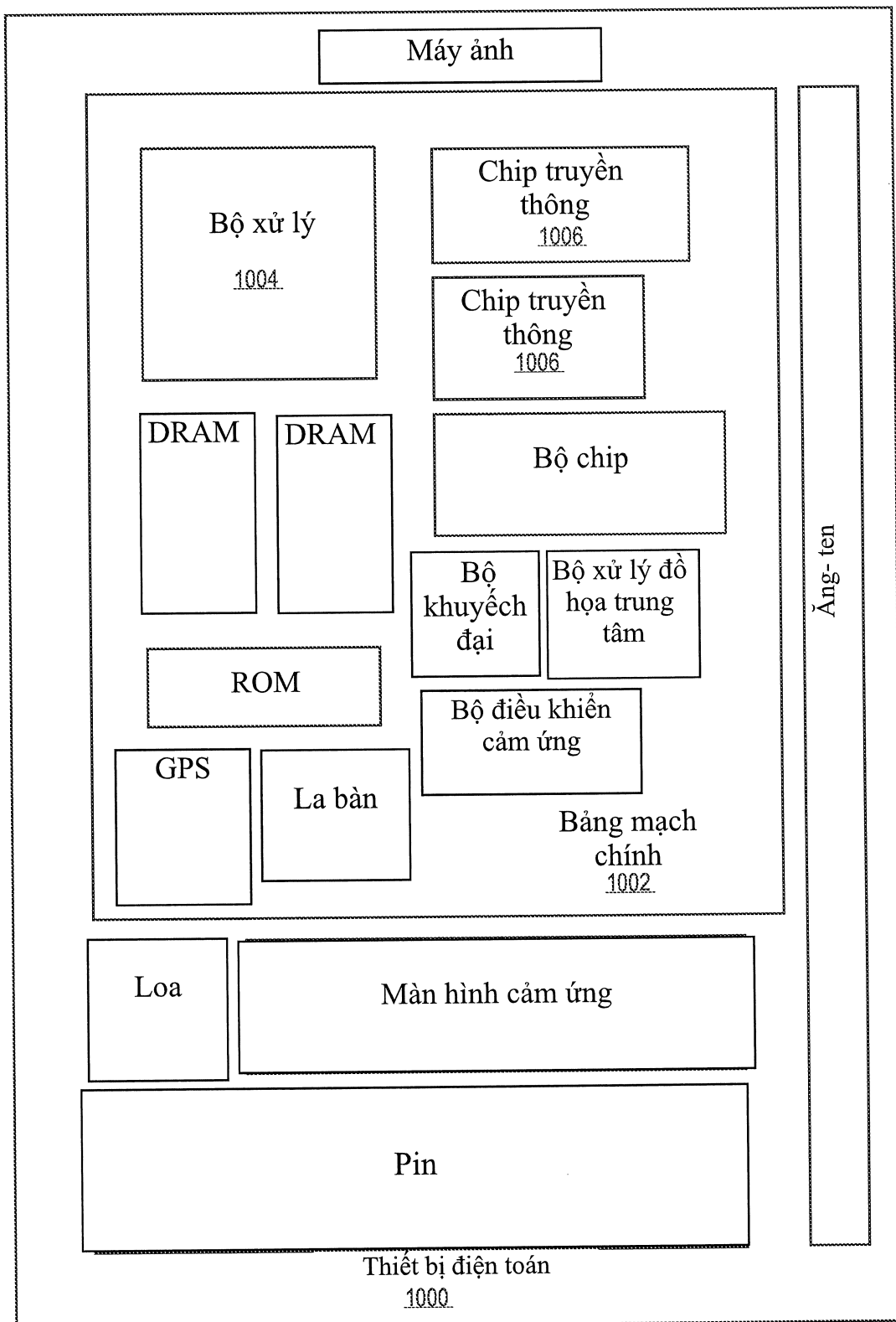


FIG. 9

**FIG. 10**