



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0038381

(51)⁷ H01L 051/00; H01L 051/56

(13) B

(21) 1-2019-03744

(22) 11/07/2019

(30) 10-2018-0080950 12/07/2018 KR

(45) 25/01/2024 430

(43) 30/01/2020 382A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

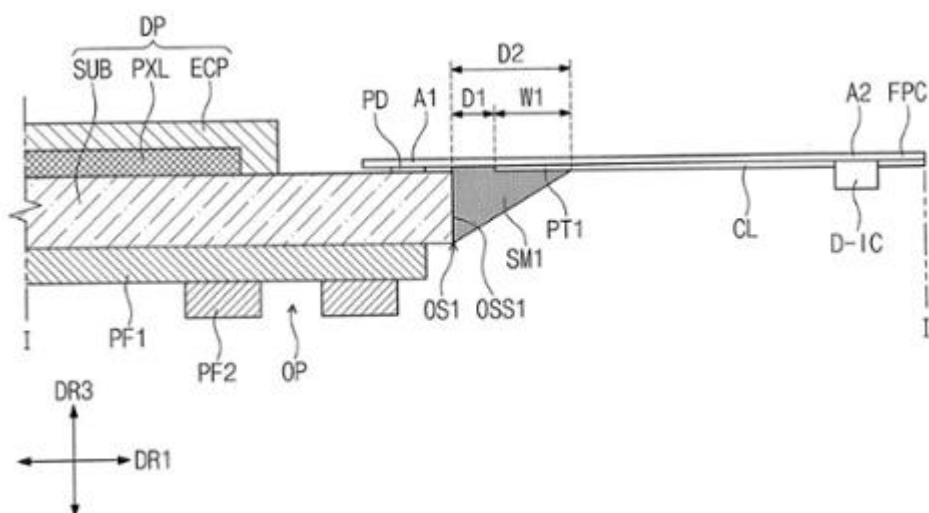
1, Samsung-Ro, Giheung-Gu, Yongin-si, Gyeonggi-Do, Republic of Korea

(72) YEONTAE KIM (KR); CHUNG YI (KR); YOUNGSOO NO (KR); WONGU CHO (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ CÓ LỚP GIA CỐ

(57) Sáng chế đề cập đến thiết bị hiển thị bao gồm lớp nền có cạnh thứ nhất và cạnh thứ hai đối diện với cạnh thứ nhất. Các điểm ảnh được bố trí trên lớp nền. Bảng mạch mềm dẻo được nối với cạnh thứ nhất của lớp nền. Mạch tích hợp điều khiển được bố trí ở phần dưới của bảng mạch mềm dẻo. Lớp phủ được bố trí ở phần dưới của bảng mạch mềm dẻo. Lớp phủ được đặt cách khỏi cạnh thứ nhất của lớp nền và bao quanh ít nhất một phần mạch tích hợp điều khiển. Lớp gia cố được bố trí giữa cạnh thứ nhất của lớp nền và lớp phủ ở phần dưới của bảng mạch mềm dẻo. Lớp gia cố che một cạnh của lớp phủ mà quay về cạnh thứ nhất của lớp nền.



Lĩnh vực kỹ thuật được đề cập

Ở đây, sáng chế đề cập đến thiết bị hiển thị, và cụ thể hơn là đề cập đến thiết bị hiển thị có lớp gia cố.

Tình trạng kỹ thuật của sáng chế

Nói chung, thiết bị hiển thị bao gồm panen hiển thị mà các điểm ảnh được bố trí trên đó và mạch tích hợp điều khiển (IC - Integrated Circuit) được nối với một cạnh của panen hiển thị để điều khiển các điểm ảnh. Mạch tích hợp điều khiển tạo ra các tín hiệu điều khiển và cấp các tín hiệu điều khiển được tạo ra cho các điểm ảnh. Các điểm ảnh được điều khiển để đáp lại các tín hiệu điều khiển để tạo ra hình ảnh định trước.

Mạch tích hợp điều khiển được gắn trên bảng mạch in mềm dẻo (FPCB - Flexible Printed Circuit Board), và một cạnh của bảng mạch in mềm dẻo được nối với một cạnh của panen hiển thị. Mạch tích hợp điều khiển được nối với các điểm ảnh của panen hiển thị thông qua bảng mạch in mềm dẻo. Phương pháp kết nối được mô tả ở trên có thể được gọi là phương pháp chip trên màng (COF - Chip On Film).

Bảng mạch in mềm dẻo được uốn cong để định vị mạch tích hợp điều khiển ở phần dưới của panen hiển thị. Phần được uốn cong của bảng mạch in mềm dẻo có thể được gọi là phần uốn cong. Không có hình ảnh được hiển thị trên phần uốn cong và do đó, phần uốn cong này có thể được coi là không gian không sử dụng.

Để làm giảm không gian không sử dụng, phần uốn cong có thể được rút ngắn lại. Tuy nhiên, khi rút ngắn phần uốn cong, ứng suất lớn hơn có thể tác dụng lên phần uốn cong này và do đó có thể sinh ra các vết nứt trên các đường dẫn được bố trí ở phần uốn cong.

Bản chất kỹ thuật của sáng chế

Thiết bị hiển thị bao gồm lớp nền có cạnh thứ nhất và cạnh thứ hai đối diện với cạnh thứ nhất. Các điểm ảnh được bố trí trên lớp nền. Bảng mạch mềm dẻo được nối

với cạnh thứ nhất của lớp nền. Mạch tích hợp điều khiển được bố trí ở phần dưới của bảng mạch mềm dẻo. Lớp phủ được bố trí ở phần dưới của bảng mạch mềm dẻo. Lớp phủ được đặt cách khỏi cạnh thứ nhất của lớp nền và bao quanh ít nhất một phần mạch tích hợp điều khiển. Lớp gia cố được bố trí giữa cạnh thứ nhất của lớp nền và lớp phủ ở phần dưới của bảng mạch mềm dẻo. Lớp gia cố che một cạnh của lớp phủ, cạnh này quay về cạnh thứ nhất của lớp nền.

Mô tả vắn tắt các hình vẽ

Có thể hiểu một cách đầy đủ hơn về sáng chế và có được các khía cạnh của sáng chế một cách dễ dàng khi khía cạnh này sẽ được hiểu rõ hơn dựa vào phần mô tả chi tiết sau đây khi được xem xét cùng với các hình vẽ kèm theo, trong đó:

FIG.1 là hình vẽ phối cảnh minh họa thiết bị hiển thị theo một phương án làm ví dụ của sáng chế;

FIG.2 là hình vẽ hình chiếu bằng minh họa lớp nền trên FIG.1;

FIG.3 là hình vẽ sơ đồ mạch tương đương minh họa điểm ảnh trên FIG.2;

FIG.4 là hình vẽ sơ đồ giản lược minh họa kết cấu mặt cắt của điểm ảnh trên FIG.3;

FIG.5 là hình vẽ mặt cắt lấy theo đường I-I' trên FIG.1;

FIG.6 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.5.

FIG.7 là hình vẽ sơ đồ giản lược minh họa phương pháp tạo ra lớp gia cố trên FIG.5 theo một phương án làm ví dụ của sáng chế;

FIG.8 là hình vẽ mặt cắt minh họa panen hiển thị bao gồm lớp nền bao và bảng mạch mềm dẻo được nối với panen hiển thị;

FIG.9 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.8; và

FIG.10 đến FIG.22 là các sơ đồ giản lược minh họa các kết cấu của các lớp gia

cổ theo các phương án làm ví dụ khác nhau của sáng chế.

Mô tả chi tiết sáng chế

Khi mô tả các phương án làm ví dụ của sáng chế được minh họa trên các hình vẽ, thuật ngữ cụ thể được sử dụng nhằm mục đích làm rõ. Tuy nhiên, sáng chế không nhằm giới hạn ở các thuật ngữ cụ thể được chọn, và cần hiểu rằng mỗi phần tử cụ thể sẽ bao gồm toàn bộ các phần tử tương đương về mặt kỹ thuật mà hoạt động theo cách tương tự.

Trong bản mô tả này, cần hiểu rằng khi một thành phần (hoặc khu vực, lớp, phần) được gọi là 'trên', 'được nối với' hoặc 'được ghép nối với' thành phần khác, thì nó có thể được bố trí/được nối/được ghép nối trực tiếp trên/với một thành phần, hoặc thành phần thứ ba xen giữa cũng có thể có mặt.

Các số chỉ dẫn giống nhau có thể đề cập đến các phần tử giống nhau trong suốt bản mô tả và các hình vẽ. Ngoài ra, trên các hình vẽ, chiều dày, tỷ lệ, và kích thước của các thành phần có thể được phóng đại để minh họa rõ ràng hơn.

Cần hiểu rằng mặc dù các thuật ngữ chẳng hạn như 'thứ nhất' và 'thứ hai' được sử dụng ở đây để mô tả các phần tử khác nhau, nhưng các phần tử này không nên bị giới hạn bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một thành phần với thành phần khác. Ví dụ, phần tử thứ nhất được gọi là phần tử thứ nhất theo một phương án có thể được gọi là phần tử thứ hai theo phương án khác mà không tách rời khỏi phạm vi của sáng chế. Các thuật ngữ ở dạng số ít có thể bao gồm các dạng số nhiều trừ khi có quy định khác.

Sau đây, các phương án làm ví dụ của sáng chế sẽ được mô tả chi tiết với tham chiếu đến các hình vẽ kèm theo.

FIG.1 là hình vẽ phối cảnh minh họa thiết bị hiển thị theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.1, thiết bị hiển thị DD có thể bao gồm panen hiển thị DP, bảng mạch mềm dẻo FPC (hoặc bảng mạch in mềm dẻo) được nối với panen hiển thị DP, mạch tích hợp điều khiển D-IC được bố trí ở phần dưới của bảng mạch mềm dẻo

FPC, màng bảo vệ thứ nhất PF1 được bố trí ở phần dưới của panen hiển thị DP, và màng bảo vệ thứ hai PF2 được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1.

Panen hiển thị DP có thể có dạng hình chữ nhật có các cạnh dài kéo dài theo hướng thứ nhất DR1 và các cạnh ngắn kéo dài theo hướng thứ hai DR2. Hướng thứ hai DR2 giao với hướng thứ nhất DR1, ví dụ, ở góc vuông. Tuy nhiên, sáng chế không bị giới hạn ở hình dạng của panen hiển thị DP. Sau đây, hướng giao với mặt phẳng được xác định bởi hướng thứ nhất DR1 và hướng thứ hai DR2 theo phương gần như vuông góc là hướng thứ ba DR3.

Panen hiển thị DP có thể là panen hiển thị điốt phát quang hữu cơ (OLED - Organic Light Emitting Diode) bao gồm các phần tử phát quang hữu cơ. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, các panen hiển thị khác nhau chẳng hạn như panen hiển thị tinh thể lỏng, panen hiển thị điện âm, và panen hiển thị điện di có thể được sử dụng làm panen hiển thị DP.

Panen hiển thị DP có thể bao gồm lớp nền SUB và lớp bao ECP được bố trí trên lớp nền SUB. Mỗi trong số lớp nền SUB và lớp bao ECP có thể có dạng hình chữ nhật có các cạnh dài kéo dài theo hướng thứ nhất DR1 và các cạnh ngắn kéo dài theo hướng thứ hai DR2.

Lớp nền SUB có thể là lớp nền trong suốt chứa thủy tinh hoặc vật liệu dẻo. Khi lớp nền SUB chứa vật liệu dẻo, thì panen hiển thị DP có thể là panen hiển thị mềm dẻo. Ví dụ, lớp nền SUB có thể chứa vật liệu dẻo chẳng hạn như polyimide (PI - Polyimide).

Lớp bao ECP có thể bao gồm lớp bao màng mỏng. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, lớp bao ECP có thể bao gồm lớp nền bao. Các ví dụ về lớp bao màng mỏng và lớp nền bao sẽ được mô tả chi tiết dưới đây. Panen hiển thị DP có thể bao gồm các điểm ảnh được bố trí trên lớp nền SUB, và, sau đây, kết cấu của các điểm ảnh sẽ được mô tả chi tiết với tham chiếu đến FIG.2 đến FIG.4. Lớp bao ECP có thể được bố trí trên các điểm ảnh để bảo vệ các điểm ảnh này.

Thiết bị hiển thị DD có thể còn bao gồm panen cảm ứng được bố trí trên lớp bao ECP và cửa sổ được bố trí ở panen cảm ứng. Panen cảm ứng có thể bao gồm các bộ

cảm biến cảm ứng được bố trí trên lớp bao ECP. Các bộ cảm biến cảm ứng có thể được tạo kết cấu để cảm biến chạm bên ngoài, và tạo ra tín hiệu đầu vào để đáp lại thao tác chạm bên ngoài này.

Panen hiển thị DP có thể hiển thị hình ảnh để đáp lại tín hiệu đầu vào. Cửa sổ có thể bảo vệ phần trên của panen cảm ứng khỏi tác động bên ngoài có thể gây trầy xước. Khi thiết bị hiển thị DD không có chức năng cảm ứng, thì panen cảm ứng có thể không được sử dụng ở thiết bị hiển thị DD.

Vùng thứ nhất A1 là phần định trước của bảng mạch mềm dẻo FPC liền kề với một cạnh của bảng mạch mềm dẻo FPC, có thể được nối với panen hiển thị DP. Ví dụ, để hàn PD có thể được bố trí ở phần định trước của lớp nền SUB liền kề với một cạnh của lớp nền SUB. Một cạnh của lớp nền SUB mà để hàn PD được bố trí trên đó có thể là một trong số các cạnh ngắn của lớp nền SUB. Vùng thứ nhất A1 của bảng mạch mềm dẻo FPC có thể được bố trí ở để hàn PD, và vùng thứ nhất A1 có thể được nối điện với để hàn PD.

Cạnh đối diện của một cạnh của bảng mạch mềm dẻo FPC có thể là cạnh còn lại của bảng mạch mềm dẻo FPC. Mạch tích hợp điều khiển D-IC có thể được bố trí ở phần dưới của vùng thứ hai A2, là phần định trước của bảng mạch mềm dẻo FPC liền kề với cạnh còn lại của bảng mạch mềm dẻo FPC.

Để thuận tiện cho việc mô tả, để hàn PD và mạch tích hợp điều khiển D-IC, mà được bố trí ở phần dưới của bảng mạch mềm dẻo FPC và do đó không nhìn thấy được do bảng mạch mềm dẻo FPC, được minh họa bằng nét đứt trên FIG.1.

Các đường được nối với mạch tích hợp điều khiển D-IC có thể được bố trí ở bảng mạch mềm dẻo FPC. Ngoài ra, các điện cực để hàn thứ nhất có thể được bố trí trên vùng thứ nhất A1, và để hàn PD có thể bao gồm các điện cực để hàn thứ hai. Các đường có thể lần lượt kéo dài từ mạch tích hợp điều khiển D-IC và có thể được nối với các điện cực để hàn thứ nhất.

Màng dẫn bất đẳng hướng (ACF - Anisotropic Conductive Film) có thể được bố trí giữa các điện cực để hàn thứ nhất và các điện cực thứ hai. Khi vùng thứ nhất A1 được ép bởi để hàn PD, thì các điện cực để hàn thứ nhất có thể được nối điện với các

điện cực để hàn thứ hai tương ứng bởi ACF.

Màng bảo vệ thứ nhất PF1 có thể được bố trí ở phần dưới của lớp nền SUB. Mặt sau của lớp nền SUB có thể xác định mặt sau của panen hiển thị DP. Màn bảo vệ thứ nhất PF1 có thể bảo vệ mặt sau của panen hiển thị DP. Màn bảo vệ thứ nhất PF1 có thể dễ uốn dẻo. Ví dụ, màn bảo vệ thứ nhất PF1 có thể chứa vật liệu dẻo chẳng hạn như polyetylen terephthalat (PET - Polyethylene Terephthalate).

Lớp nền SUB có thể có chiều dài lớn hơn chiều dài của màn bảo vệ thứ nhất PF1 theo hướng thứ nhất DR1. Chiều dài của lớp nền SUB theo hướng thứ nhất có thể là khoảng cách giữa một cạnh của lớp nền SUB và cạnh còn lại của lớp nền SUB này, là cạnh đối diện với một cạnh này. Chiều dài của màn bảo vệ thứ nhất PF1 theo hướng thứ nhất có thể là khoảng cách giữa một cạnh của màn bảo vệ thứ nhất PF1 và cạnh còn lại của màn bảo vệ thứ nhất PF1 này, là cạnh đối diện với một cạnh này.

Màn bảo vệ thứ hai PF2 có thể có chiều dài nhỏ hơn chiều dài của màn bảo vệ thứ nhất PF1 theo hướng thứ nhất DR1. Chiều dài của màn bảo vệ thứ hai PF2 theo hướng thứ nhất có thể là khoảng cách giữa một cạnh của màn bảo vệ thứ hai PF2 và cạnh còn lại của màn bảo vệ thứ hai PF2, là cạnh đối diện với một cạnh này.

Một cạnh của lớp nền SUB, một cạnh của màn bảo vệ thứ nhất PF1, và một cạnh của màn bảo vệ thứ hai PF2 có thể gần hơn với bảng mạch mềm dẻo FPC so với cạnh còn lại của lớp nền SUB, cạnh còn lại của màn bảo vệ thứ nhất PF1, và cạnh còn lại của màn bảo vệ thứ hai PF2 tương ứng. Một cạnh của lớp nền SUB, một cạnh của màn bảo vệ thứ nhất PF1, và một cạnh của màn bảo vệ thứ hai PF2 có thể không chồng lấp nhau. Cạnh còn lại của lớp nền SUB, cạnh còn lại của màn bảo vệ thứ nhất PF1, và cạnh còn lại của màn bảo vệ thứ hai PF2 có thể chồng lấp nhau.

Một cạnh của màn bảo vệ thứ nhất PF1 có thể được đặt cách khỏi một cạnh của lớp nền SUB. Ví dụ, một cạnh của màn bảo vệ thứ nhất PF1 có thể được bố trí ở phần định trước của lớp nền SUB liền kề với một cạnh của lớp nền SUB.

Một cạnh của màn bảo vệ thứ hai PF2 có thể được đặt cách khỏi một cạnh của màn bảo vệ thứ nhất PF1. Ví dụ, một cạnh của màn bảo vệ thứ hai PF2 có thể được bố trí ở phần dưới của phần định trước của màn bảo vệ thứ nhất PF1 liền kề với một

cạnh của màng bảo vệ thứ nhất PF1.

Thành phần kết dính có thể được bố trí giữa lớp nền SUB và màng bảo vệ thứ nhất PF1. Màng bảo vệ thứ nhất PF1 có thể được gắn vào mặt đáy của lớp nền SUB nhờ thành phần kết dính.

Ví dụ, màng bảo vệ thứ hai PF2 có thể được bố trí ở phần dưới của phần định trước của màng bảo vệ thứ nhất PF1 liền kề với một cạnh của màng bảo vệ thứ nhất PF1. Màng bảo vệ thứ hai PF2 có thể là chi tiết đệm có độ đàn hồi định trước và có thể bao gồm băng dính hai mặt. Ví dụ, chất kết dính có thể được phủ lên mỗi trong số các mặt trên và mặt đáy của màng bảo vệ thứ hai PF2. Mặt trên của màng bảo vệ thứ hai PF2 có thể được gắn vào mặt đáy của màng bảo vệ thứ nhất PF1.

Lớp phủ CL và lớp gia cố SM1 có thể được bố trí ở phần dưới của bảng mạch mềm dẻo FPC. Các kết cấu chi tiết của lớp phủ CL và lớp gia cố SM1 sẽ được mô tả chi tiết dưới đây tham chiếu đến FIG.5 và FIG.6.

FIG.2 là hình vẽ hình chiếu bằng minh họa lớp nền trên FIG.1.

Tham chiếu đến FIG.2, thiết bị hiển thị DD có thể bao gồm các điểm ảnh PX được bố trí trên lớp nền SUB, các đường quét SL1 đến SLm, các đường dữ liệu DL1 đến DLn, các đường phát xạ EL1 đến ELn, bộ điều khiển quét SD, và bộ điều khiển phát xạ ED. Ở đây, m và n là các số tự nhiên. Mạch tích hợp điều khiển D-IC trên FIG.1 có thể là bộ điều khiển dữ liệu.

Lớp nền SUB có thể bao gồm vùng hiển thị DA và vùng không hiển thị NDA bao quanh vùng hiển thị DA. Vùng hiển thị DA có thể hiển thị hình ảnh, và vùng không hiển thị NDA có thể không hiển thị hình ảnh.

Các điểm ảnh PX có thể được bố trí trên vùng hiển thị DA và có thể được nối với các đường quét SL1 đến SLm, các đường dữ liệu DL1 đến DLn, và các đường phát xạ EL1 đến ELm. Để thuận tiện cho việc mô tả, mặc dù một điểm ảnh PX được minh họa trên FIG.2, nhưng về cơ bản các điểm ảnh PX có thể được bố trí trên lớp nền SUB. Các điểm ảnh PX có thể được sắp xếp theo các dạng khác nhau. Ví dụ, mặc dù các điểm ảnh PX có thể được sắp xếp theo dạng ma trận có các hàng và cột đều nhau, nhưng sáng chế không bị giới hạn ở đó và các điểm ảnh PX có thể được sắp xếp theo

dạng so le hoặc theo cách khác.

Bộ điều khiển quét SD và bộ điều khiển phát xạ có thể được bố trí trên vùng không hiển thị NDA. Bộ điều khiển quét SD có thể quay về bộ điều khiển phát xạ ED với vùng hiển thị DA được bố trí giữa chúng. Bộ điều khiển quét SD có thể được bố trí trên vùng không hiển thị NDA liền kề với một trong số các cạnh dài của lớp nền SUB. Bộ điều khiển phát xạ ED có thể được bố trí trên vùng không hiển thị NDA liền kề với cạnh còn lại trong số các cạnh dài của lớp nền SUB.

Các đường dữ liệu DL1 đến DLn có thể kéo dài theo hướng thứ nhất DR1 và có thể được nối điện với các điện cực để hàn của đế hàn PD tương ứng. Như được mô tả ở trên, do mạch tích hợp điều khiển D-IC được nối với đế hàn PD, nên mạch tích hợp điều khiển D-IC có thể được nối với các đường dữ liệu DL1 đến DLn thông qua đế hàn PD.

Các đường quét SL1 đến SLm có thể kéo dài theo hướng thứ hai DR2 và có thể được nối với bộ điều khiển quét SD. Các đường phát xạ EL1 đến ELn có thể kéo dài theo hướng thứ hai DR2 và có thể được nối với bộ điều khiển phát xạ ED.

Bộ điều khiển quét SD có thể tạo ra các tín hiệu quét, và các tín hiệu quét này có thể được áp dụng cho các điểm ảnh PX thông qua các đường quét SL1 đến SLm. Các tín hiệu quét có thể được áp dụng lần lượt cho các điểm ảnh PX.

Mạch tích hợp điều khiển D-IC có thể tạo ra các điện áp dữ liệu, và các điện áp dữ liệu này có thể được áp dụng cho các điểm ảnh PX thông qua các đường dữ liệu DL1 đến DLn. Bộ điều khiển phát xạ ED có thể tạo ra các tín hiệu phát xạ, và các tín hiệu phát xạ có thể được áp dụng cho các điểm ảnh PX thông qua các đường phát xạ EL1 đến ELn.

Các điểm ảnh PX có thể nhận các điện áp dữ liệu để đáp lại các tín hiệu quét. Các điểm ảnh PX có thể hiển thị hình ảnh bằng cách phát quang có độ chói tương ứng với các điện áp dữ liệu để đáp lại các tín hiệu phát xạ. Các điểm ảnh PX có thể có thời gian phát xạ được điều khiển bởi các tín hiệu phát xạ.

FIG.3 là hình vẽ sơ đồ mạch tương đương minh họa điểm ảnh trên FIG.2. Các điểm ảnh PX được bố trí trên lớp nền SUB có thể có kết cấu giống như điểm ảnh trên

FIG.3.

Tham chiếu đến FIG.3, điểm ảnh PX có thể được nối với đường quét tương ứng SL_i trong số các đường quét SL1 đến SL_m, đường dữ liệu tương ứng DL_j trong số các đường dữ liệu DL1 đến DL_n, và đường phát xạ tương ứng EL_i trong số các đường phát xạ EL1 đến EL_m. Ở đây, i là số nguyên dương bằng hoặc nhỏ hơn m , và j là số nguyên dương bằng hoặc nhỏ hơn n .

Điểm ảnh PX bao gồm phần tử phát quang OLED, tranzito điều khiển T1, phần tử điện dung Cst, tranzito chuyển mạch T2, và tranzito điều khiển phát quang T3. Phần tử phát quang OLED có thể là điốt phát quang hữu cơ.

Tranzito điều khiển T1 có thể bao gồm điện cực nguồn nhận điện áp thứ nhất ELVDD và điện cực máng được nối với điện cực nguồn của tranzito điều khiển phát quang T3. Tranzito điều khiển T1 có thể bao gồm cực cổng được nối với điện cực máng của tranzito chuyển mạch T2.

Tranzito chuyển mạch T2 có thể bao gồm cực cổng được nối với đường quét SL_i và điện cực nguồn được nối với đường dữ liệu DL_j. Phần tử điện dung Cst có thể bao gồm điện cực thứ nhất được nối với điện cực nguồn của tranzito điều khiển T1 và điện cực thứ hai được nối với cực cổng của tranzito điều khiển T1.

Tranzito điều khiển phát quang T3 có thể bao gồm cực cổng được nối với đường phát xạ EL_i và điện cực máng được nối với điện cực a-nốt của phần tử phát quang OLED. Điện cực ca-tốt của phần tử phát quang OLED có thể nhận điện áp thứ hai ELVSS, và điện áp thứ hai ELVSS có thể có giá trị nhỏ hơn so với giá trị của điện áp thứ nhất ELVDD.

Tranzito chuyển mạch T2 có thể được bật để đáp lại tín hiệu quét SCAN nhận được qua đường quét SL_i. Tranzito chuyển mạch được bật T2 có thể cấp điện áp dữ liệu DATA nhận được qua đường dữ liệu DL_j cho cực cổng của tranzito điều khiển T1.

Phần tử điện dung Cst có thể nạp điện áp dữ liệu DATA được áp dụng cho cực cổng của tranzito điều khiển T1 và duy trì điện áp dữ liệu DATA ngay cả sau khi tranzito chuyển mạch T2 được tắt.

Cực cổng của tranzito điều khiển phát quang T3 có thể được bật để đáp lại tín hiệu phát xạ EM nhận được qua đường phát xạ ELi. Tranzito điều khiển phát quang được bật T3 có thể cấp dòng điện Ioled đi qua tranzito điều khiển T1 cho phần tử phát quang OLED. Điểm ảnh PX có thể phát quang trong thời gian áp dụng tín hiệu phát xạ EM. Phần tử phát quang OLED có thể phát quang trong khi thay đổi cường độ của ánh sáng theo cường độ của dòng điện nhận được Ioled.

Ví dụ, mặc dù các tranzito T1 đến T3 của điểm ảnh PX là các tranzito PMOS, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, các tranzito T1 đến T3 của điểm ảnh PX có thể là các tranzito NMOS.

FIG.4 là hình vẽ sơ đồ giản lược minh họa kết cấu mặt cắt của điểm ảnh trên FIG.3.

Tham chiếu đến FIG.4, điểm ảnh PX bao gồm phần tử phát quang OLED và tranzito TR được nối với phần tử phát quang OLED. Điểm ảnh PX có thể được chia thành vùng điểm ảnh PA và vùng không điểm ảnh NPA mà bao quanh ít nhất một phần vùng điểm ảnh PA. Phần tử phát quang OLED có thể được bố trí trên vùng điểm ảnh PA, và tranzito TR có thể được bố trí trên vùng không điểm ảnh NPA.

Vùng điểm ảnh PA, trên đó phần tử phát quang OLED được bố trí, có thể là vùng phát xạ. Vùng không điểm ảnh NPA, trên đó tranzito TR được bố trí, có thể là vùng mạch mà là vùng không phát xạ.

Tranzito TR có thể là tranzito điều khiển phát quang T3. Tranzito TR và phần tử phát quang OLED có thể được bố trí trên lớp nền SUB. Lớp đệm BFL có thể được bố trí trên lớp nền SUB, và lớp đệm BFL có thể chứa vật liệu vô cơ.

Lớp bán dẫn SM của tranzito TR có thể được bố trí trên lớp đệm BFL. Lớp bán dẫn SM có thể bao gồm chất bán dẫn vật liệu vô cơ chẳng hạn như silic vô định hình hoặc silic đa tinh thể hoặc chất bán dẫn hữu cơ. Theo cách khác, lớp bán dẫn SM có thể bao gồm chất bán dẫn oxit. Lớp bán dẫn SM có thể bao gồm khu vực nguồn, khu vực máng, và khu vực kênh được bố trí giữa khu vực nguồn và khu vực máng.

Lớp cách điện thứ nhất INS1 có thể được bố trí trên lớp đệm BFL và có thể che lớp bán dẫn SM. Lớp cách điện thứ nhất INS1 có thể chứa vật liệu vô cơ. Cực cổng

GE của tranzito TR, mà chồng lợp với lớp bán dẫn SM, có thể được bố trí trên lớp cách điện thứ nhất INS1. Cực cổng GE có thể chồng lợp với khu vực kênh của lớp bán dẫn SM.

Màng cách điện thứ hai INS2 có thể được bố trí ở màng cách điện thứ nhất INS1 để che cực cổng GE. Lớp cách điện thứ hai INS2 có thể là lớp cách điện lớp xen giữa. Lớp cách điện thứ hai INS2 có thể chứa vật liệu hữu cơ và/hoặc vật liệu vô cơ.

Điện cực nguồn SE và điện cực máng DE của tranzito TR có thể được đặt cách khỏi nhau trên lớp cách điện thứ hai INS2. Điện cực nguồn SE có thể được nối với khu vực nguồn của lớp bán dẫn SM qua lỗ trống tiếp xúc thứ nhất CH1 đi qua lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2. Điện cực máng DE có thể được nối với khu vực máng của lớp bán dẫn SM qua lỗ trống tiếp xúc thứ hai CH2 đi qua lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2.

Lớp cách điện thứ ba INS3 có thể được bố trí trên lớp cách điện thứ hai INS2 và có thể che điện cực nguồn SE và điện cực máng DE của tranzito TR. Lớp cách điện thứ ba INS3 có thể là lớp làm phẳng tạo ra mặt trên phẳng chứa vật liệu hữu cơ.

Điện cực thứ nhất E1 của phần tử phát quang OLED có thể được bố trí trên lớp cách điện thứ ba INS3. Điện cực thứ nhất E1 có thể được nối với điện cực máng DE của tranzito TR qua lỗ trống tiếp xúc thứ ba H3 đi qua lớp cách điện thứ ba INS3. Điện cực thứ nhất E1 có thể được xác định là điện cực điểm ảnh hoặc điện cực a-nốt. Điện cực thứ nhất E1 có thể bao gồm điện cực trong suốt hoặc điện cực phản xạ.

Lớp xác định điểm ảnh PDL làm lộ ra vùng định trước của điện cực thứ nhất E1 có thể được bố trí ở điện cực thứ nhất E1 và lớp cách điện thứ ba INS3. Phần hở PX_OP làm lộ ra phần định trước của điện cực thứ nhất E1 có thể được xác định trong lớp xác định điểm ảnh PDL.

Lớp phát quang hữu cơ OEL có thể được bố trí ở điện cực thứ nhất E1 trong phần hở PX_OP. Lớp phát quang hữu cơ OEL có thể tạo ra ánh sáng đỏ, lục, và/hoặc lam. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, lớp phát quang hữu cơ OEL có thể tạo ra ánh sáng trắng bằng cách kết hợp các vật liệu hữu cơ tạo ra ánh sáng đỏ, lục, và lam.

Điện cực thứ hai E2 có thể được bố trí trên lớp xác định điểm ảnh PDL và lớp phát quang hữu cơ OEL. Điện cực thứ hai E2 có thể là cực chung hoặc điện cực ca-tốt. Điện cực thứ hai E2 có thể bao gồm điện cực trong suốt hoặc điện cực phản xạ.

Khi panen hiển thị DP là panen hiển thị phát quang hữu cơ loại phát quang phía trước, thì điện cực thứ nhất E1 có thể được trang bị điện cực phản xạ và điện cực thứ hai E2 có thể được trang bị điện cực trong suốt. Khi panen hiển thị DP là thiết bị phát quang hữu cơ loại phát quang phía sau, thì điện cực thứ nhất E1 có thể được trang bị điện cực trong suốt, và điện cực thứ hai E2 có thể được trang bị điện cực phản xạ.

Phần tử phát quang hữu cơ OLED được bố trí trên vùng điểm ảnh PA có thể bao gồm điện cực thứ nhất E1, lớp phát quang hữu cơ OEL, và điện cực thứ hai E2. Điện cực thứ nhất E1 có thể là điện cực dương mà là điện cực phun lỗ trống, và điện cực thứ hai E2 có thể là điện cực âm mà là điện cực phun electron.

Lớp bao ECP có thể được bố trí ở phần tử phát quang OLED và có thể che điểm ảnh PX. Ví dụ, lớp bao ECP trên FIG.4 có thể là lớp bao màng mỏng bao gồm các lớp vật liệu hữu cơ và vô cơ.

Lớp bao ECP có thể bao gồm lớp bao thứ nhất EN1 được bố trí ở phần tử phát quang OLED, lớp bao thứ hai EN2 được bố trí trên lớp bao thứ nhất EN1, và lớp bao thứ ba EN3 được bố trí trên lớp bao thứ hai EN2. Mỗi trong số lớp bao thứ nhất EN1 và thứ ba EN3 có thể chứa vật liệu vô cơ, và lớp bao thứ hai EN2 có thể chứa vật liệu hữu cơ. Lớp bao thứ hai EN2 có thể có độ dày lớn hơn so với độ dày của mỗi trong số lớp bao thứ nhất EN1 và thứ ba EN3.

Lớp giữa lớp nền SUB và lớp bao ECP có thể là lớp điểm ảnh PXL bao gồm điểm ảnh PX.

Điện áp thứ nhất ELVDD có thể được đặt vào điện cực thứ nhất E1, và điện áp thứ hai ELVSS có thể được đặt vào điện cực thứ hai E2 bởi tranzito TR sao cho lớp phát quang hữu cơ OEL phát quang. Trong trường hợp này, các lỗ trống và electron mà được phun vào lớp phát quang hữu cơ OEL được tái hợp để tạo exciton, và trong khi exciton này hồi phục về trạng thái cơ bản, phần tử phát quang OLED có thể phát quang. Khi phần tử phát quang OLED phát quang đỏ, lục, hoặc lam theo dòng điện, thì

hình ảnh định trước có thể được hiển thị.

FIG.5 là hình vẽ mặt cắt lấy theo đường I-I' trên FIG.1. FIG.6 là hình vẽ sơ đồ minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.5.

Tham chiếu đến FIG.5, lớp điểm ảnh PXL có thể được bố trí trên lớp nền SUB, và lớp bao ECP có thể được bố trí trên lớp nền SUB để che lớp điểm ảnh PXL. Lớp bao ECP có thể được bố trí trên lớp nền SUB trong khi được đặt cách khỏi một cạnh OS1 của lớp nền SUB. Lớp bao ECP có thể là lớp bao màng mỏng bao gồm lớp bao thứ nhất EN1, thứ hai EN2, và thứ ba EN3 trên FIG.4. Để thuận tiện cho việc mô tả, lớp bao ECP được minh họa là một lớp duy nhất mà không được chia thành các lớp bao thứ nhất EN1, thứ hai EN2, và thứ ba EN3 trên FIG.5.

Màng bảo vệ thứ nhất PF1 có thể được bố trí ở phần dưới của lớp nền SUB, và màng bảo vệ thứ hai PF2 có thể được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1. Phần hở OP có thể được xác định ở màng bảo vệ thứ hai PF2 bằng cách loại bỏ phần định trước của màng bảo vệ thứ hai PF2.

Lớp nền SUB có thể có độ dày lớn hơn so với độ dày của mỗi trong số màng bảo vệ thứ nhất PF1 và thứ hai PF2. Ví dụ, lớp nền SUB có thể có độ dày bằng khoảng 200 μm , và mỗi trong số màng bảo vệ thứ nhất PF1 và thứ hai PF2 có thể có độ dày theo hàng vài chục μm .

Độ dày của lớp nền SUB có thể là khoảng cách giữa mặt đáy và mặt trên của lớp nền SUB. Độ dày của mỗi trong số màng bảo vệ thứ nhất PF1 và thứ hai PF2 có thể là khoảng cách giữa mặt đáy và mặt trên của mỗi trong số màng bảo vệ thứ nhất PF1 và thứ hai PF2. Mỗi trong số mặt trên và mặt đáy của lớp nền SUB có thể là mặt phẳng được xác định bởi hướng thứ nhất DR1 và thứ hai DR2.

Như được mô tả ở trên, một cạnh của màng bảo vệ thứ nhất PF1 có thể được đặt cách khỏi một cạnh OS1 của lớp nền SUB trong khi được bố trí ở phần dưới của phần định trước của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này. Ngoài ra, một cạnh của màng bảo vệ thứ hai PF2 có thể được đặt cách khỏi một cạnh của màng bảo vệ thứ nhất PF1 trong khi được bố trí ở phần dưới của phần định trước của màng bảo vệ thứ nhất PF1 liền kề với một cạnh của màng bảo vệ thứ nhất PF1. Bảng mạch

mềm dẻo FPC có thể có vùng thứ nhất A1 được nối với đế hàn PD và vùng thứ hai A2 mà mạch tích hợp điều khiển D-IC được bố trí bên dưới nó.

Lớp phủ CL có thể được bố trí ở phần dưới của bảng mạch mềm dẻo FPC. Lớp phủ CL có thể bao quanh mạch tích hợp điều khiển D-IC. Lớp phủ CL có thể là lớp cách điện chứa vật liệu cách điện và có thể là vật liệu chịu hàn. Lớp phủ CL có thể che các đường được bố trí ở bảng mạch mềm dẻo FPC để bảo vệ các đường này. Ví dụ, lớp phủ CL có thể có mô đun đàn hồi bằng khoảng 900MPa.

Do lớp phủ CL là lớp cách điện, nên khi lớp phủ CL được bố trí ở phần dưới của vùng thứ nhất A1, thì vùng thứ nhất A1 có thể không được nối điện với đế hàn PD. Theo đó, lớp phủ CL không được bố trí ở phần dưới của vùng thứ nhất A1. Ví dụ, lớp phủ CL có thể được đặt cách khỏi một cạnh OS1 của lớp nền SUB một khoảng cách định trước để được đặt cách khỏi đế hàn PD.

Trong quy trình sản xuất, lớp phủ CL có thể khó được sắp xếp một cách chính xác với một cạnh OS1 của lớp nền SUB. Theo đó, lớp phủ CL có thể được đặt cách khỏi một cạnh OS1 của lớp nền SUB một khoảng cách định trước để có dung sai định trước (ví dụ không vượt quá mức lỗi định trước trong quá trình sản xuất).

Một cạnh của lớp phủ CL có thể là cạnh quay về một cạnh OS1 của lớp nền SUB. Phần định trước của lớp phủ CL liền kề với một cạnh của lớp phủ CL, có thể là phần thứ nhất PT1. Để thuận tiện cho việc mô tả, biên của phần thứ nhất PT1 được minh họa ở lớp phủ CL trên FIG.5 và FIG.6.

Lớp gia cố SM1 được bố trí ở phần dưới của bảng mạch mềm dẻo FPC. Lớp gia cố SM1 có thể được bố trí giữa một cạnh OS1 của lớp nền và lớp phủ CL và có thể che một cạnh của lớp phủ CL. Ví dụ, lớp gia cố SM1 được bố trí giữa một cạnh OS1 của lớp nền và lớp phủ CL có thể kéo dài cho đến phần thứ nhất PT1 và có thể được bố trí ở phần dưới của phần thứ nhất PT1 và có thể che một cạnh của lớp phủ CL. Ví dụ, lớp phủ CL có thể được bố trí ở mặt đáy của phần thứ nhất PT1.

Lớp gia cố SM1 có thể được bố trí ở một cạnh OS1 của lớp nền SUB trong khi được đặt cách khỏi đế hàn PD. Ví dụ, do đế hàn PD được bố trí giữa lớp nền SUB và vùng thứ nhất A1, không gian định trước có thể được xác định giữa lớp nền SUB và

bảng mạch mềm dẻo FPC bởi đế hàn PD. Lớp gia cố SM1 có thể được bố trí giữa một cạnh OS1 của lớp nền SUB và bảng mạch mềm dẻo FPC sao cho biên của lớp gia cố SM1 chồng lấp với một cạnh OS1 của lớp nền SUB.

Mặt bên của lớp nền SUB, mà xác định một cạnh OS1 của lớp nền SUB, có thể là một mặt bên OSS1 của lớp nền SUB. Một cạnh OS1 có thể biểu diễn một đầu của lớp nền SUB, là mép của lớp nền SUB, và một mặt bên OSS1 có thể biểu diễn mặt bên hai chiều của lớp nền SUB, được tạo ra ở một cạnh OS1.

Lớp gia cố SM1 có thể được bố trí ở một mặt bên OSS1 của lớp nền SUB. Theo một phương án làm ví dụ của sáng chế, như được minh họa trên FIG.5, trong khi lớp gia cố SM1 có thể được bố trí ở toàn bộ một mặt bên OSS1 của lớp nền SUB, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, lớp gia cố SM1 có thể được bố trí ở phần định trước của một mặt bên OSS1 của lớp nền SUB. Ví dụ, lớp gia cố SM1 có thể được bố trí ở một mặt bên OSS1 của lớp nền SUB trong khi được đặt cách khỏi đầu dưới của một mặt bên OSS1 của lớp nền SUB một khoảng cách định trước lên phía trên.

Phần thứ nhất PT1 có thể có một cạnh là một cạnh của lớp phủ CL và cạnh còn lại là cạnh đối diện của một cạnh của phần thứ nhất PT1. Theo hướng thứ ba DR3, lớp gia cố SM1 có thể có độ dày giảm dần từ một cạnh OS1 của lớp nền SUB tới cạnh còn lại của phần thứ nhất PT1. Khi bảng mạch mềm dẻo FPC trong trạng thái phẳng không được uốn cong, thì mặt đáy của lớp gia cố SM1 có thể là mặt nghiêng bắt đầu từ đầu dưới của một mặt bên OSS1 của lớp nền SUB tới cạnh còn lại của phần thứ nhất PT1.

Sau đây, khoảng cách giữa một cạnh OS1 của lớp nền SUB và một cạnh của phần thứ nhất PT1 là khoảng cách thứ nhất D1, và khoảng cách giữa một cạnh OS1 của lớp nền SUB và cạnh còn lại của phần thứ nhất PT1 là khoảng cách thứ hai D2. Ngoài ra, chiều rộng của phần thứ nhất, là khoảng cách giữa một cạnh của phần thứ nhất PT1 và cạnh còn lại của phần thứ nhất PT1, là chiều rộng thứ nhất W1. Chiều rộng thứ nhất W1 có thể thu được bằng cách trừ khoảng cách thứ nhất D1 khỏi khoảng cách thứ hai D2.

Chiều rộng thứ nhất W1 có thể lớn hơn khoảng cách thứ nhất D1. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, chiều rộng thứ nhất W1 có thể bằng hoặc nhỏ hơn khoảng cách thứ nhất D1. Khoảng cách thứ nhất D1 có thể trong khoảng từ

100 μ m đến 200 μ m. Ngoài ra, khoảng cách thứ hai D2 có thể trong khoảng từ 0,5mm đến 1,5mm.

Lớp gia cố SM1 có thể chứa vật liệu cách điện. Lớp gia cố SM1 có thể chứa nhựa lưu hóa bằng UV. Ví dụ, lớp gia cố SM1 có thể chứa nhựa acrylic. Nhựa để tạo ra lớp gia cố SM1 có thể được phủ lên phần dưới của bảng mạch mềm dẻo FPC, và nhựa được phủ này có thể được lưu hóa bằng tia tử ngoại, nhờ đó tạo ra lớp gia cố SM1. Sau khi lớp gia cố SM1 được tạo ra, thì bảng mạch mềm dẻo FPC có thể được uốn cong.

Lớp gia cố SM1 có thể có mô đun đàn hồi nhỏ hơn mô đun đàn hồi của lớp phủ CL. Ví dụ, lớp gia cố SM1 có thể có mô đun đàn hồi trong khoảng từ 50MPa đến 500MPa.

Tham chiếu đến FIG.6, bảng mạch mềm dẻo FPC có thể được uốn cong về phía phần dưới của lớp nền SUB. Vùng thứ hai A2 của bảng mạch mềm dẻo FPC có thể được bố trí ở phần dưới của màng bảo vệ thứ hai PF2. Phần bảng mạch mềm dẻo FPC, mà được uốn cong về phía phần dưới của lớp nền SUB, có thể được gắn vào mặt đáy của màng bảo vệ thứ hai PF2 là băng dính hai mặt. Mạch tích hợp điều khiển D-IC có thể được chèn vào phần hở OP được xác định ở màng bảo vệ thứ hai PF2. Theo đó, mạch tích hợp điều khiển D-IC có thể được bố trí ở phần dưới của lớp nền SUB theo cách ổn định hơn.

Phần được uốn cong của bảng mạch mềm dẻo FPC có thể là khu vực uốn cong BA. Khu vực uốn cong BA có thể là không gian không sử dụng trong đó không có hình ảnh được hiển thị. Theo hướng thứ nhất DR1, khu vực uốn cong BA có thể có chiều rộng trong khoảng từ 0,3mm đến 0,6mm.

Ví dụ, trong trạng thái bảng mạch mềm dẻo FPC được uốn cong, mặt đáy của lớp gia cố SM1 được minh họa là mặt nằm ngang song song với hướng thứ nhất DR1 trên FIG.6. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, trong trạng thái bảng mạch mềm dẻo FPC được uốn cong, mặt đáy của lớp gia cố SM1 có thể có mặt nghiêng dọc theo chiều rộng thứ nhất W1 của phần thứ nhất PT1 mà lớp gia cố SM1 được bố trí trên đó.

Khi bảng mạch mềm dẻo FPC được uốn cong trong khi lớp gia cố SM1 không được bố trí ở bảng mạch mềm dẻo FPC, thì bảng mạch mềm dẻo FPC có thể được uốn cong nhiều hơn ở phần tạo bậc HD được tạo ra ở một cạnh của lớp phủ CL. Do có phần mà lớp phủ CL được bố trí trên đó, nên phần tạo bậc HD có thể được tạo ra ở một cạnh của lớp phủ CL. Phần tạo bậc HD có thể là chênh lệch độ cao giữa phần chỉ có bảng mạch mềm dẻo FPC được bố trí trên đó và phần mà bảng mạch mềm dẻo FPC và lớp phủ CL cùng được bố trí trên đó.

Trong trường hợp này, do bảng mạch mềm dẻo FPC có thể được uốn cong nhiều hơn ở phần tạo bậc HD, nên vết nứt có thể sinh ra trên các đường được bố trí ở bảng mạch mềm dẻo FPC. Để giải quyết hạn chế nêu trên, thì phần uốn cong có thể được tạo ra dọc theo đường nét chấm được uốn cong trên FIG.6. Tuy nhiên, đường nét chấm được uốn cong nêu trên còn được đặt cách khỏi một cạnh OS1 của lớp nền SUB, nên không gian không sử dụng có thể tăng lên.

Ngoài ra, do có phần mà lớp phủ CL không được bố trí do dung sai của quy trình, nên các đường được bố trí ở bảng mạch mềm dẻo FPC trên phần trong đó lớp phủ CL không được bố trí có thể không được bảo vệ. Do khu vực uốn cong BA tương ứng với phần trong đó lớp phủ CL không được bố trí có độ dày nhỏ hơn độ dày của phần còn lại khu vực uốn cong BA, nên khu vực uốn cong BA của phần trong đó lớp phủ CL không được bố trí có thể dễ bị tác động từ bên ngoài.

Theo một phương án làm ví dụ của sáng chế, khi lớp gia cố SM1 được bố trí giữa một cạnh OS1 của lớp nền SUB và lớp phủ CL, thì khu vực uốn cong BA của phần trong đó lớp phủ CL không được bố trí có thể được đỡ. Theo đó, hiện tượng trong đó bảng mạch mềm dẻo FPC được uốn cong nhiều hơn ở phần tạo bậc HD có thể được ngăn chặn, và do đó vết nứt có thể không sinh ra trên các đường trên phần tạo bậc HD. Không giống như đường nét chấm được uốn cong trên FIG.6, khu vực uốn cong BA của bảng mạch mềm dẻo FPC có thể được tạo ra gần hơn với một cạnh OS1 của lớp nền SUB, và do đó không gian không sử dụng có thể giảm đi.

Do lớp gia cố SM1 được bố trí ở bảng mạch mềm dẻo FPC trên phần trong đó lớp phủ CL không được bố trí, nên các đường được bố trí ở bảng mạch mềm dẻo FPC có thể được bảo vệ bởi lớp gia cố SM1. Ngoài ra, lớp gia cố SM1 có thể có lực đàn hồi

định trước và có thể được tạo kết cấu để hấp thụ tác động bên ngoài để bảo vệ khu vực uốn cong BA.

Do lực phục hồi của vật liệu tăng lên khi môđun đàn hồi của vật liệu tăng lên, nên khi lớp gia cố SM1 có môđun đàn hồi lớn hơn môđun đàn hồi của lớp phủ CL, thì phần bảng mạch mềm dẻo FPC, mà lớp gia cố SM1 được bố trí trên đó, có thể khó bị uốn cong. Ngoài ra, theo một phương án làm ví dụ của sáng chế, đối với hướng thứ ba DR3, lớp gia cố SM1 có thể có độ dày lớn hơn so với độ dày của lớp phủ CL. Theo đó, khi lớp gia cố SM1 có cùng môđun đàn hồi với lớp phủ CL, thì phần bảng mạch mềm dẻo FPC, mà lớp gia cố SM1 được bố trí trên đó, có thể khó bị uốn cong.

Như được mô tả ở trên, theo một phương án làm ví dụ của sáng chế, do lớp gia cố SM1 có môđun đàn hồi nhỏ hơn môđun đàn hồi của lớp phủ CL, nên phần bảng mạch mềm dẻo FPC, mà lớp gia cố SM1 được bố trí trên đó, có thể dễ dàng được uốn cong.

FIG.7 là hình vẽ sơ đồ giản lược minh họa phương pháp tạo ra lớp gia cố trên FIG.5 theo các phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.7, lớp nền SUB trên FIG.5 có thể được lật ngược, và lớp phủ CL có thể quay lên phía trên. Theo đó, bảng mạch mềm dẻo FPC giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL có thể quay lên phía trên.

Nhựa chảy được RS có thể được xả qua đầu phun NOZ, và nhựa RS này có thể được cấp giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL. Nhựa RS có thể được phủ lên bảng mạch mềm dẻo FPC và di chuyển tới một mặt bên OSS1 của lớp nền SUB nhờ sức căng bề mặt tác động lên một mặt bên của lớp nền SUB, nhờ đó được bố trí ở một mặt bên OSS1 của lớp nền SUB. Ngoài ra, nhựa RS có thể chảy về phía phần thứ nhất PT1 và sau đó có thể tới để được bố trí ở phần thứ nhất PT1.

Như được mô tả ở trên, nhựa RS có thể là nhựa lưu hóa được bằng UV. Nhựa RS có thể được lưu hóa bằng tia cực tím để tạo ra lớp gia cố SM1. Môđun đàn hồi được mô tả ở trên của lớp gia cố SM1 có thể là môđun đàn hồi của nhựa được lưu hóa RS.

FIG.8 là hình vẽ mặt cắt minh họa panen hiển thị bao gồm lớp nền bao và bảng

mạch mềm dẻo được nối với panen hiển thị. FIG.9 là hình vẽ sơ đồ minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.8.

Để thuận tiện cho việc mô tả, FIG.8 và FIG.9 là các hình vẽ mặt cắt lần lượt tương ứng với FIG.5 và FIG.6. Ngoại trừ lớp nền bao EG được sử dụng như lớp bao ECP, thì các thành phần còn lại có thể giống như các thành phần của thiết bị hiển thị DD trên FIG.1 đến FIG.6. Do đó, sau đây, kết cấu của lớp nền bao EG sẽ được mô tả chủ yếu, và các thành phần giống nhau sẽ lần lượt được chỉ ra bởi các số chỉ dẫn giống nhau. Trong phạm vi mà các phần tử trên các hình vẽ này không được mô tả ở đây, có thể giả định rằng các phần tử này ít nhất giống như các phần tử tương ứng mà đã được mô tả.

Tham chiếu đến FIG.8 và FIG.9, lớp bao ECP của panen hiển thị DP' có thể bao gồm lớp nền bao EG được bố trí trên lớp nền SUB và lớp bịt kín SL ghép nối lớp nền SUB với lớp nền bao EG. Lớp điểm ảnh PXL có thể được bố trí giữa lớp nền SUB và lớp nền bao EG.

Lớp bịt kín SL có thể được bố trí xung quanh lớp điểm ảnh PXL. Ví dụ, lớp bịt kín SL có thể được bố trí trên vùng không hiển thị NDA của lớp nền SUB để bao quanh các điểm ảnh PX của lớp điểm ảnh PXL. Lớp nền bao EG có thể không chồng lắp với đế hàn PD. Panen hiển thị DP' trên FIG.8 có thể là panen hiển thị loại cứng.

Lớp nền bao EG có thể bao gồm lớp nền nhựa tổng hợp hoặc lớp nền thủy tinh. Lớp bịt kín SL có thể bao gồm thành phần kết dính vô cơ chẳng hạn như thủy tinh frit. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, lớp bịt kín SL có thể bao gồm thành phần kết dính hữu cơ. Theo một phương án làm ví dụ của sáng chế, do lớp điểm ảnh PXL có thể được bịt kín với bên ngoài bởi lớp nền bao EG và lớp bịt kín SL, nên phần tử phát quang OLED có thể được ngăn không bị hư hỏng do độ ẩm.

Do lớp gia cố SM1 được bố trí ở phần dưới của bảng mạch mềm dẻo FPC, và bảng mạch mềm dẻo FPC có cấu trúc uốn cong giống như cấu trúc trên FIG.5 và FIG.6, nên sự mô tả thừa sẽ được lược bỏ.

FIG.10 đến FIG.22 là các hình vẽ minh họa các kết cấu của các lớp gia cố theo các phương án làm ví dụ khác nhau của sáng chế.

Lớp bao ECP trên FIG.10 đến FIG.22 có thể là lớp bao màng mỏng bao gồm các lớp bao thứ nhất EN1, thứ hai EN2, và thứ ba EN3. Để thuận tiện cho việc mô tả, FIG.10 và FIG.22 là các hình vẽ mặt cắt tương ứng với FIG.5 và FIG.6.

Ngoại trừ các kết cấu của các lớp gia cố SM2 đến SM8, thì các kết cấu trên FIG.10 đến FIG.22 có thể giống như kết cấu của các lớp gia cố trên FIG.5 và FIG.6. Theo đó, sau đây, các kết cấu của các lớp gia cố SM2 đến SM8, mà khác với kết cấu của lớp gia cố SM1 trên FIG.5 và FIG.6, sẽ được mô tả chủ yếu tham chiếu đến FIG.10 đến FIG.22, và các thành phần giống nhau sẽ được ký hiệu bằng các số chỉ dẫn giống nhau. Trong phạm vi mà các phần tử trên các hình vẽ này không được mô tả ở đây, có thể giả định rằng các phần tử này ít nhất giống như các phần tử tương ứng mà đã được mô tả.

FIG.10 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế. FIG.11 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.10.

Tham chiếu đến FIG.10 và FIG.11, giống như lớp gia cố SM1 trên FIG.5, lớp gia cố SM2 có thể được bố trí giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL, ở phần dưới của phần thứ nhất PT1, hoặc ở một mặt bên OSS1 của lớp nền SUB. Ngoài ra, lớp gia cố SM2 có thể còn được bố trí ở phần dưới của lớp nền SUB liền kề với một cạnh của màng bảo vệ thứ nhất PF1, và có thể che đầu dưới của một mặt bên OSS1 của lớp nền SUB.

Để tạo ra lớp gia cố SM2, thì nhựa RS để tạo ra lớp gia cố SM1 trên FIG.5 có thể được trang bị, và sau đó lượng nhựa định trước có thể được trang bị bổ sung ở phần dưới của lớp nền SUB liền kề với một cạnh của màng bảo vệ thứ nhất PF1.

Lớp gia cố SM2 được bố trí ở phần dưới của lớp nền SUB có thể có hình dạng nhô ra mà nhô về phía dưới. Do lớp gia cố SM2 lớn hơn lớp gia cố SM1 trên FIG.5, nên khu vực uốn cong BA có thể còn được đỡ.

FIG.12 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế. FIG.13 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.12.

Tham chiếu đến FIG.12 và FIG.13, giống như lớp gia cố SM1 trên FIG.5, lớp gia cố SM3 có thể được bố trí giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL, ở phần dưới của phần thứ nhất PT1, hoặc ở một mặt bên OSS1 của lớp nền SUB. Ngoài ra, giống như lớp gia cố SM2 trên FIG.10, lớp gia cố SM3 có thể được bố trí ở phần dưới của lớp nền SUB liền kề với một cạnh của màng bảo vệ thứ nhất PF1, và có thể che đầu dưới của một mặt bên OSS1 của lớp nền SUB.

Ngoài ra, lớp gia cố SM3 có thể còn được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1 liền kề với một cạnh của màng bảo vệ thứ hai PF2, và một mặt bên OSS1_1 của màng bảo vệ thứ nhất PF1 và có thể che đầu dưới của một mặt bên OSS1_1 của màng bảo vệ thứ nhất PF1, xác định một cạnh của màng bảo vệ thứ nhất PF1.

Để tạo ra lớp gia cố SM3, thì nhựa để tạo ra các lớp gia cố SM1 và SM2 trên FIG.5 và FIG.10 có thể được trang bị, và sau đó lượng nhựa định trước có thể được trang bị bổ sung ở phần dưới của màng bảo vệ thứ nhất PF1 liền kề với một cạnh của màng bảo vệ thứ hai PF2, và một mặt bên OSS1_1 của màng bảo vệ thứ nhất PF1.

Lớp gia cố SM3 được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1 có thể có hình dạng nhô ra mà nhô về phía dưới. Do lớp gia cố SM3 lớn hơn lớp gia cố SM1 trên FIG.5, nên khu vực uốn cong BA có thể còn được đỡ.

Theo hướng thứ ba DR3, độ dày thứ nhất TH1 của lớp gia cố SM3 được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1 có thể nhỏ hơn độ dày thứ hai TH2 của màng bảo vệ thứ hai PF2. Khi bảng mạch mềm dẻo FPC được uốn cong, thì một phần của bảng mạch mềm dẻo FPC, được uốn cong tới phần dưới của màng bảo vệ thứ hai PF2, có thể được gắn vào mặt đáy của màng bảo vệ thứ hai PF2.

Khi độ dày thứ nhất TH1 lớn hơn độ dày thứ hai TH2, thì lớp gia cố SM3 được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1 có thể có cấu trúc của lớp gia cố SM3' mà nhô về phía dưới hơn so với màng bảo vệ thứ hai PF2 như được minh họa bằng đường nét chấm trên FIG.13. Trong trường hợp này, một phần của bảng mạch mềm dẻo FPC, mà được uốn cong đến phần dưới của màng bảo vệ thứ hai PF2, có thể không dễ dàng được gắn vào mặt đáy của màng bảo vệ thứ hai PF2 do lớp gia cố nhô về phía dưới SM3'.

Để gắn bảng mạch mềm dẻo FPC vào mặt đáy của màng bảo vệ thứ hai PF2, thì áp suất định trước PS có thể được tác dụng về phía bảng mạch mềm dẻo FPC được uốn cong tới phần dưới của màng bảo vệ thứ hai PF2. Áp suất PS có thể được tác dụng mạnh hơn lên lớp gia cố nhô về phía dưới SM3' so với màng bảo vệ thứ hai PF2. Trong trường hợp này, áp suất PS có thể được truyền tới lớp nền SUB ở trên lớp gia cố SM3' bởi lớp gia cố SM3', và lớp nền SUB có thể bị hư hại do áp suất PS.

Theo một phương án làm ví dụ của sáng chế, do lớp gia cố SM3 được bố trí ở phần dưới của màng bảo vệ thứ nhất PF1 có độ dày nhỏ hơn độ dày của màng bảo vệ thứ hai PF2, nên không có hạn chế như được mô tả ở trên.

FIG.14 là hình vẽ sơ đồ giản lược minh họa các kết cấu của các lớp gia cố theo một phương án làm ví dụ của sáng chế.

Các lớp gia cố SM4_1, SM4_2, và SM4_3 là các kết cấu được phân biệt với nhau, và mỗi trong số các lớp gia cố SM4_2 và SM4_3 được thể hiện bởi đường nét chấm để được phân biệt với lớp gia cố SM4_1.

Tham chiếu đến FIG.14, không giống như các kết cấu trên FIG.5, một cạnh OS1 của lớp nền SUB, một cạnh của màng bảo vệ thứ nhất PF1, và một cạnh của màng bảo vệ thứ hai PF2 có thể chồng lặp ít nhất một phần với nhau. Lớp gia cố SM4_1 có thể là giống như lớp gia cố SM1 trên FIG.5.

Ngoài ra, lớp gia cố SM4_2 có thể được bố trí ở một mặt bên OSS1 của lớp nền SUB và một mặt bên OSS1_1 của màng bảo vệ thứ nhất PF1. Ngoài ra, lớp gia cố SM4_3 có thể được bố trí ở một mặt bên OSS1 của lớp nền SUB, một mặt bên OSS1_1 của màng bảo vệ thứ nhất PF1, và một mặt bên OSS1_2 của màng bảo vệ thứ hai PF2, mà xác định một cạnh của màng bảo vệ thứ hai PF2.

FIG.15 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế. FIG.16 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.15.

Tham chiếu đến FIG.15 và FIG.16, lớp gia cố SM5 có thể được bố trí từ phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này, tới phần thứ nhất PT1 của lớp phủ CL để được thêm vào giữa một cạnh OS1 của lớp nền SUB và

lớp phủ CL. Phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này, có thể là phần dưới của lớp nền SUB liền kề với một cạnh của màng bảo vệ thứ nhất PF1.

Lớp gia cố SM5 có thể bao gồm phần nhô ra thứ nhất SM5_1 chồng lặp ít nhất một phần với phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB, và vùng giữa một cạnh OS1 của lớp nền SUB và lớp phủ CL trong khi nhô về phía dưới và phần nhô ra thứ hai SM5_2 chồng lặp ít nhất một phần với phần thứ nhất PT1 khi nhô về phía dưới. Mỗi trong số các phần nhô ra thứ nhất SM5_1 và thứ hai SM5_2 có hình dạng nhô ra mà nhô về phía dưới.

Như được minh họa trên FIG.16, do lớp gia cố SM5 có lực đàn hồi định trước, nên khi bảng mạch mềm dẻo FPC được uốn cong, thì các phần nhô ra thứ nhất SM5_1 và thứ hai SM5_2 có thể được biến dạng để liền kề với nhau.

FIG.17 là hình vẽ sơ đồ giản lược minh họa phương pháp tạo ra lớp gia cố trên FIG.15.

Tham chiếu đến FIG.17, bảng mạch mềm dẻo FPC giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL có thể quay lên phía trên. Nhựa chảy được thứ nhất RS1 có thể xả qua đầu phun NOZ. Nhựa thứ nhất RS1 có thể được trang bị ở một mặt bên OSS1 của lớp nền SUB và một phần của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này, và giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL.

Nhựa chảy được thứ hai RS2 có thể xả qua đầu phun NOZ. Nhựa thứ hai RS2 có thể được trang bị trên phần thứ nhất PT1. Ví dụ, nhựa này có thể được trang bị hai lần để tạo ra lớp gia cố SM5. Các nhựa RS1 và RS2 có thể được làm cứng bằng tia cực tím để tạo ra lớp gia cố SM5.

FIG.18 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế. FIG.19 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của bảng mạch mềm dẻo trên FIG.18.

Tham chiếu đến FIG.18 và FIG.19, lớp gia cố SM6 có thể được bố trí từ phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này, tới phần thứ

nhất PT1 của lớp phủ CL để được thêm vào giữa một cạnh OS1 của lớp nền SUB và lớp phủ CL. Như được minh họa trên FIG.19, phần thứ nhất PT1_1 có thể là một phần của lớp phủ CL, mà chồng lợp với khu vực uốn cong BA.

Phần thứ nhất PT1_1 có thể có chiều rộng thứ nhất W1_1 lớn hơn chiều rộng thứ nhất W1 của phần thứ nhất PT1 trên FIG.5. Do chiều rộng thứ nhất W1_1 lớn hơn chiều rộng thứ nhất W1, nên khoảng cách thứ hai D2_1 có thể lớn hơn khoảng cách thứ hai D2 trên FIG.5.

Lớp gia cố SM6 có thể bao gồm phần nhô ra thứ nhất SM6_1 chồng lợp ít nhất một phần với phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB, và vùng giữa một cạnh OS1 của lớp nền SUB và lớp phủ CL khi nhô về phía dưới và phần phẳng SM6_2, mà chồng lợp với phần thứ nhất PT1 và phẳng. Phần phẳng SM6_2 được bố trí ở phần thứ nhất PT1 có thể chồng lợp với khu vực uốn cong BA. Trong khi lớp gia cố SM1 trên FIG.5 chồng lợp với một phần với khu vực uốn cong BA, nhưng lớp gia cố SM6 có thể chồng lợp toàn bộ với khu vực uốn cong BA.

Nhựa có khả năng chảy cao có thể được sử dụng để tạo ra phần phẳng SM6_2. Do nhựa có khả năng chảy cao có thể được trang bị trên phần thứ nhất PT1, và nhựa có khả năng chảy cao có thể được trải ra sau khi trôi qua thời gian định trước, nên phần phẳng SM6_2 có thể có cấu trúc phẳng.

FIG.20 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế. FIG.21 là hình vẽ sơ đồ giản lược minh họa trạng thái uốn cong của băng mạch mềm dẻo trên FIG.20.

Tham chiếu đến FIG.20 và FIG.21, lớp gia cố SM7 có thể được bố trí từ phần dưới của lớp nền SUB liền kề với một cạnh OS1 của lớp nền SUB này, đến phần thứ nhất PT1_1 của lớp phủ CL để được thêm vào giữa một cạnh OS1 của lớp nền SUB và lớp phủ CL. Phần thứ nhất PT1_1 có thể giống như phần thứ nhất PT1_1 trên FIG.18.

Lớp gia cố SM7 có thể có hình dạng nhô ra mà nhô về phía dưới. Lớp gia cố SM7 có thể chồng lợp toàn bộ với khu vực uốn cong BA giống như lớp gia cố SM6 trên FIG.18 và FIG.19. Lớp gia cố SM7 có thể được tạo ra bằng cách sử dụng lượng nhựa lớn hơn lượng nhựa được sử dụng để tạo ra lớp gia cố SM2 trên FIG.10.

FIG.22 là hình vẽ sơ đồ giản lược minh họa các kết cấu của lớp gia cố theo một phương án làm ví dụ của sáng chế.

Tham chiếu đến FIG.22, lớp gia cố SM8 có thể được bố trí giữa một cạnh OS1 của lớp nền SUB và một cạnh của lớp phủ CL. Không giống như lớp gia cố SM1 trên FIG.5, lớp gia cố SM8 có thể không được bố trí ở phần dưới của lớp phủ CL.

Lớp gia cố SM8 có thể được bố trí ở phần đỉnh trước của một mặt bên OSS1 của lớp nền SUB. Ví dụ, lớp gia cố SM8 có thể được bố trí ở phần đỉnh trước của một mặt bên OSS1 liền kề với đầu trên của một mặt bên OSS1 của lớp nền SUB.

Mặc dù lớp bao màng mỏng bao gồm lớp bao thứ nhất EN1, thứ hai EN2, và thứ ba EN3 được minh họa như lớp bao ECP trên FIG.10 đến FIG.22, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, lớp gia cố SM2 đến SM8 trên FIG.10 đến FIG.22 có thể được áp dụng cho panen hiển thị DP' bao gồm lớp nền bao EP và lớp bịt kín SL trên FIG.8 và FIG.9.

Trong thiết bị hiển thị, theo một phương án của sáng chế, khi lớp gia cố được bố trí ở phần dưới của bảng mạch mềm dẻo giữa một cạnh của lớp nền và lớp phủ, thì phần uốn cong của bảng mạch mềm dẻo có thể được đỡ.

Sẽ là rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật rằng các thay đổi và biến thể khác nhau có thể thực được thực hiện trong phạm vi của sáng chế. Do đó, cần hiểu rằng sáng chế bao gồm tất cả các thay đổi và biến thể của các phương án làm ví dụ của sáng chế đã được mô tả ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

lớp nền có cạnh thứ nhất và cạnh thứ hai đối diện với cạnh thứ nhất;

các điểm ảnh được bố trí trên lớp nền;

bảng mạch mềm dẻo được nối với cạnh thứ nhất của lớp nền;

mạch tích hợp điều khiển được bố trí ở phần dưới của bảng mạch mềm dẻo;

lớp phủ được bố trí ở phần dưới của bảng mạch mềm dẻo, lớp phủ này được đặt cách khỏi cạnh thứ nhất của lớp nền và bao quanh ít nhất một phần mạch tích hợp điều khiển; và

lớp gia cố kéo dài từ cạnh thứ nhất của lớp nền đến lớp phủ ở phần dưới của bảng mạch mềm dẻo và chồng lấp với một phần của lớp phủ sao cho một phần của lớp phủ mà được chồng lấp bởi lớp gia cố này được bố trí giữa lớp gia cố và bảng mạch mềm dẻo, lớp gia cố này che một cạnh của lớp phủ mà quay về cạnh thứ nhất của lớp nền,

trong đó lớp gia cố tiếp xúc với cạnh thứ nhất của lớp nền.

2. Thiết bị hiển thị theo điểm 1, trong đó lớp gia cố kéo dài lên đến phần thứ nhất của lớp phủ, mà liền kề với cạnh của lớp phủ mà quay về cạnh thứ nhất của lớp nền, để được bố trí ở phần dưới của phần thứ nhất.

3. Thiết bị hiển thị theo điểm 2, trong đó cạnh thứ nhất của phần thứ nhất là cạnh của lớp phủ mà quay về cạnh thứ nhất của lớp nền, và, theo hướng vuông góc với mặt trên của lớp nền, lớp gia cố có độ dày giảm dần từ cạnh thứ nhất của lớp nền đến cạnh thứ hai của phần thứ nhất, cạnh thứ nhất và cạnh thứ hai của phần thứ nhất là các cạnh đối diện của lớp nền.

4. Thiết bị hiển thị theo điểm 3, trong đó chiều rộng thứ nhất của phần thứ nhất, là khoảng cách giữa cạnh thứ nhất của phần thứ nhất và cạnh thứ hai của phần thứ nhất, lớn hơn khoảng cách thứ nhất, là khoảng cách giữa cạnh thứ nhất của lớp nền và cạnh của lớp phủ mà quay về cạnh thứ nhất của lớp nền.

5. Thiết bị hiển thị theo điểm 4, trong đó khoảng cách thứ nhất nằm trong khoảng từ 100 μ m đến khoảng 200 μ m.

6. Thiết bị hiển thị theo điểm 3, trong đó khoảng cách thứ hai giữa cạnh thứ nhất của lớp nền và cạnh thứ hai của phần thứ nhất nằm trong khoảng từ 0,5mm đến khoảng 1,5mm.
7. Thiết bị hiển thị theo điểm 1, trong đó lớp gia cố có môđun đàn hồi nhỏ hơn môđun đàn hồi của lớp phủ.
8. Thiết bị hiển thị theo điểm 7, trong đó lớp gia cố có môđun đàn hồi nằm trong khoảng từ 50MPa đến khoảng 500MPa, và lớp phủ có môđun đàn hồi bằng khoảng 900MPa.
9. Thiết bị hiển thị theo điểm 1, trong đó lớp gia cố bao gồm nhựa lưu hóa bằng UV.
10. Thiết bị hiển thị theo điểm 1, trong đó thiết bị này còn bao gồm đế hàn được bố trí ở phần định trước của lớp nền, mà liền kề với cạnh thứ nhất của lớp nền, và đế hàn được nối với bảng mạch mềm dẻo, trong đó lớp gia cố được bố trí giữa cạnh thứ nhất của lớp nền và bảng mạch mềm dẻo sao cho biên của lớp gia cố chồng lấp ít nhất một phần với cạnh thứ nhất của lớp nền.
11. Thiết bị hiển thị theo điểm 1, trong đó thiết bị này còn bao gồm:
 - màng bảo vệ thứ nhất được bố trí ở phần dưới của lớp nền; và
 - màng bảo vệ thứ hai được bố trí ở phần dưới của màng bảo vệ thứ nhất.
12. Thiết bị hiển thị theo điểm 11, trong đó bảng mạch mềm dẻo được uốn cong về phía phần dưới của lớp nền, và mạch tích hợp điều khiển được chèn vào phần hở được xác định ở màng bảo vệ thứ hai.
13. Thiết bị hiển thị theo điểm 12, trong đó lớp nền có dạng hình chữ nhật có cặp cạnh dài kéo dài chủ yếu theo hướng thứ nhất và cặp cạnh ngắn kéo dài chủ yếu theo hướng thứ hai, trong đó cạnh thứ nhất của lớp nền là một trong số cặp cạnh ngắn.
14. Thiết bị hiển thị theo điểm 13, trong đó khu vực uốn cong, là phần trong đó bảng mạch mềm dẻo được uốn cong, có chiều rộng nằm trong khoảng từ 0,3mm đến khoảng 0,6mm theo hướng thứ nhất.
15. Thiết bị hiển thị theo điểm 11, trong đó cạnh thứ nhất của màng bảo vệ thứ nhất được bố trí ở phần dưới của phần định trước của lớp nền, mà liền kề với cạnh thứ nhất của lớp nền, trong khi được đặt cách khỏi cạnh thứ nhất của lớp nền, và màng bảo vệ thứ hai được bố trí ở phần dưới của phần định trước của màng bảo vệ thứ nhất, mà liền kề với màng bảo vệ thứ nhất, trong khi được đặt cách khỏi màng bảo vệ thứ nhất.

16. Thiết bị hiển thị theo điểm 15, trong đó lớp gia cố còn được bố trí ở phần dưới của lớp nền, mà liền kề với màng bảo vệ thứ nhất, để che ít nhất một phần đầu phía dưới của lớp nền.

17. Thiết bị hiển thị theo điểm 16, trong đó lớp gia cố được bố trí ở phần dưới của lớp nền có hình dạng nhô về phía dưới.

18. Thiết bị hiển thị theo điểm 16, trong đó lớp gia cố còn được bố trí ở phần dưới của màng bảo vệ thứ nhất, mà liền kề với màng bảo vệ thứ hai, để che đầu phía dưới của màng bảo vệ thứ nhất.

19. Thiết bị hiển thị theo điểm 18, trong đó lớp gia cố được bố trí ở phần dưới của màng bảo vệ thứ nhất có hình dạng nhô về phía dưới.

20. Thiết bị hiển thị theo điểm 18, trong đó, theo hướng vuông góc với mặt trên của lớp nền, lớp gia cố được bố trí ở phần dưới của màng bảo vệ thứ nhất có độ dày nhỏ hơn độ dày của màng bảo vệ thứ hai.

21. Thiết bị hiển thị theo điểm 11, trong đó cạnh thứ nhất của lớp nền, màng bảo vệ thứ nhất, và màng bảo vệ thứ hai chồng lặp ít nhất một phần với nhau.

22. Thiết bị hiển thị theo điểm 21, trong đó lớp gia cố được bố trí ở một mặt bên của lớp nền, là cạnh thứ nhất của lớp nền, và một mặt bên của màng bảo vệ thứ nhất.

23. Thiết bị hiển thị theo điểm 21, trong đó lớp gia cố được bố trí ở một mặt bên của lớp nền, là cạnh thứ nhất của lớp nền, một mặt bên của màng bảo vệ thứ nhất, và một mặt bên của màng bảo vệ thứ hai.

24. Thiết bị hiển thị theo điểm 1, trong đó thiết bị này còn bao gồm:

lớp nền bao được bố trí trên lớp nền; và

lớp bịt kín được bố trí trên lớp nền và bao quanh ít nhất một phần các điểm ảnh và ghép nối lớp nền và lớp nền bao với nhau.

25. Thiết bị hiển thị theo điểm 1, trong đó thiết bị này còn bao gồm lớp bao màng mỏng được bố trí trên lớp nền và che các điểm ảnh.

26. Thiết bị hiển thị bao gồm:

lớp nền;

các điểm ảnh được bố trí trên lớp nền;

bảng mạch mềm dẻo được nối với lớp nền;

mạch tích hợp điều khiển được bố trí ở bảng mạch mềm dẻo;

lớp phủ được bố trí ở bảng mạch mềm dẻo và được đặt cách khỏi lớp nền và bao quanh ít nhất một phần mạch tích hợp điều khiển; và

lớp gia cố được bố trí ở bảng mạch mềm dẻo, trong đó lớp gia cố kéo dài từ lớp nền đến một phần của lớp phủ và chồng lấp với một phần của lớp phủ sao cho một phần của lớp phủ mà được chồng lấp bởi lớp gia cố được bố trí giữa lớp gia cố và bảng mạch mềm dẻo,

trong đó lớp gia cố tiếp xúc với cạnh thứ nhất của lớp nền.

27. Thiết bị hiển thị theo điểm 26, trong đó lớp gia cố bao gồm:

phần nhô ra thứ nhất chồng lấp ít nhất một phần với lớp nền, và vùng giữa lớp nền và lớp phủ trong khi nhô về phía dưới; và

phần nhô ra thứ hai chồng lấp ít nhất một phần với lớp phủ trong khi nhô về phía dưới.

28. Thiết bị hiển thị theo điểm 26, trong đó lớp gia cố bao gồm:

phần nhô ra thứ nhất chồng lấp ít nhất một phần với lớp nền, và vùng giữa lớp nền và lớp phủ trong khi nhô về phía dưới; và

phần phẳng chồng lấp ít nhất một phần với lớp phủ.

29. Thiết bị hiển thị theo điểm 26, trong đó, khi bảng mạch mềm dẻo được uốn cong, thì mạch tích hợp điều khiển được bố trí trên lớp nền, và lớp phủ chồng lấp ít nhất một phần với với khu vực uốn cong của bảng mạch mềm dẻo.

30. Thiết bị hiển thị theo điểm 26, trong đó lớp gia cố có hình dạng nhô về phía dưới.

31. Thiết bị hiển thị bao gồm:

lớp nền;

các điểm ảnh được bố trí trên lớp nền;

bảng mạch mềm dẻo được nối với lớp nền;

mạch tích hợp điều khiển được bố trí ở bảng mạch mềm dẻo;

lớp phủ được bố trí ở bảng mạch mềm dẻo trong khi được đặt cách khỏi lớp nền và bao quanh ít nhất một phần mạch tích hợp điều khiển; và

lớp gia cố được bố trí ở bảng mạch mềm dẻo giữa lớp nền và lớp phủ,

trong đó lớp gia cố được bố trí ở phần định trước của lớp nền, mà liền kề với đầu phía trên của lớp nền, và không được bố trí ở phần dưới của lớp phủ, và

trong đó lớp gia cố tiếp xúc với cạnh thứ nhất của lớp nền và cạnh thứ nhất của lớp phủ quay về phía cạnh thứ nhất của lớp nền và không chồng lợp với lớp phủ khi được nhìn trên mặt phẳng.

FIG. 1

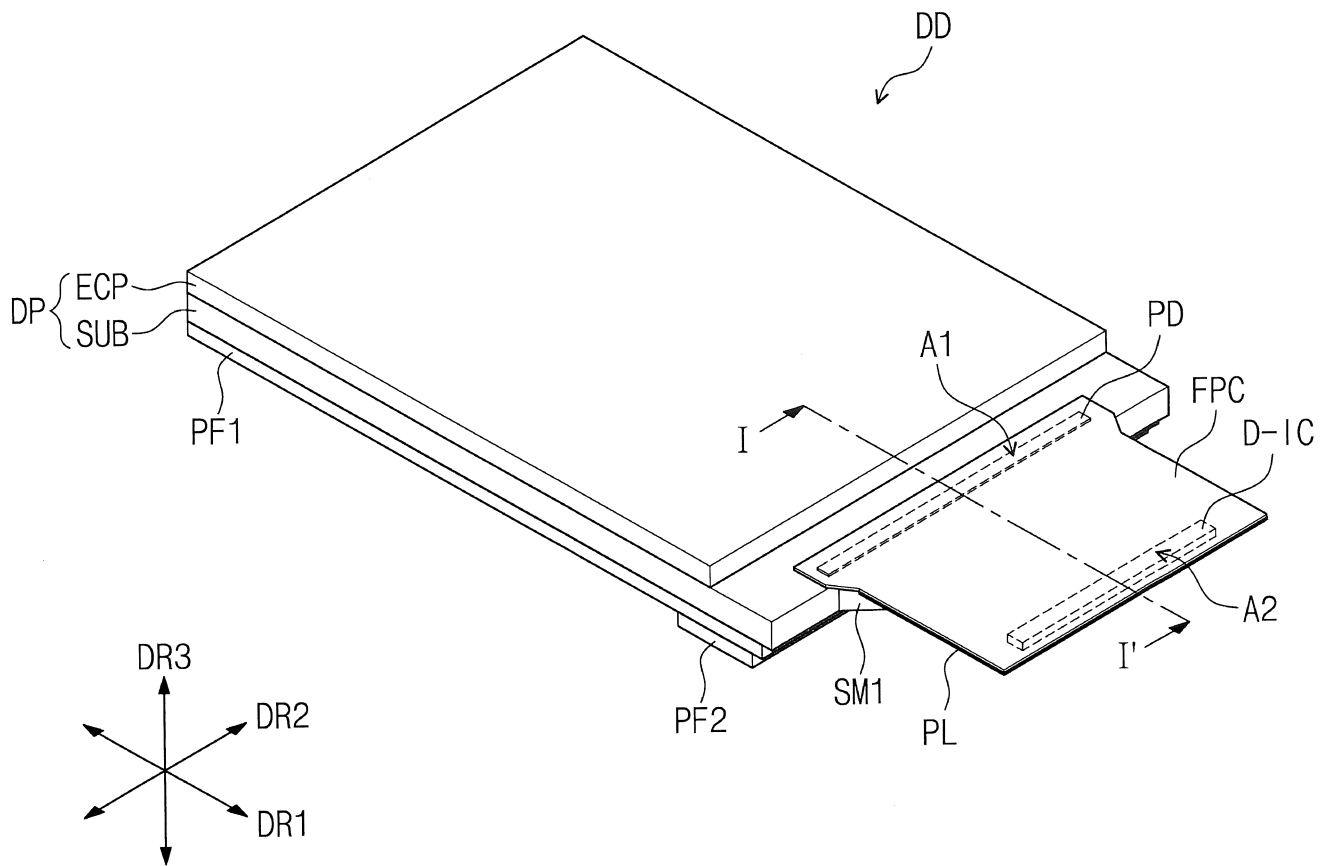


FIG. 2

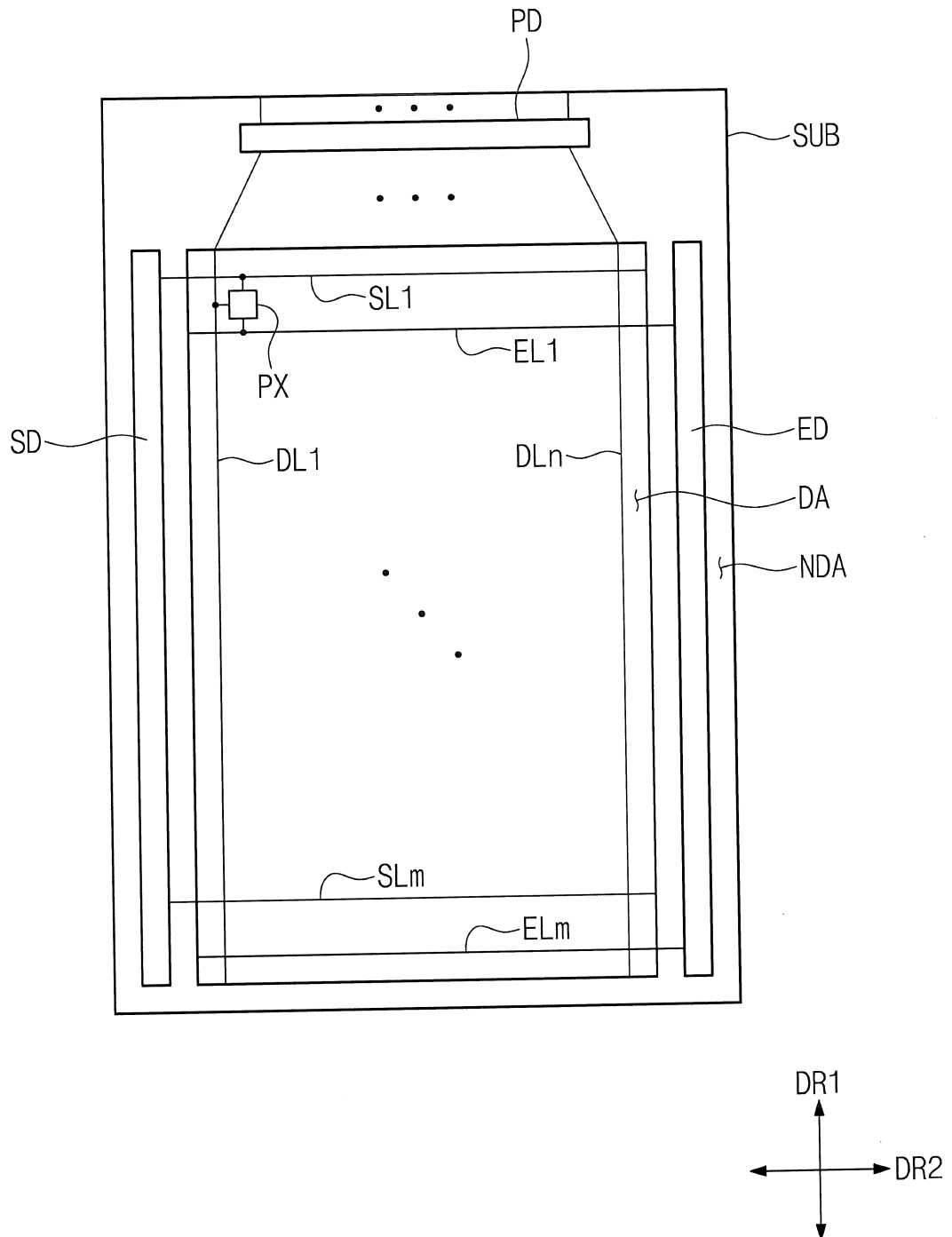


FIG. 3

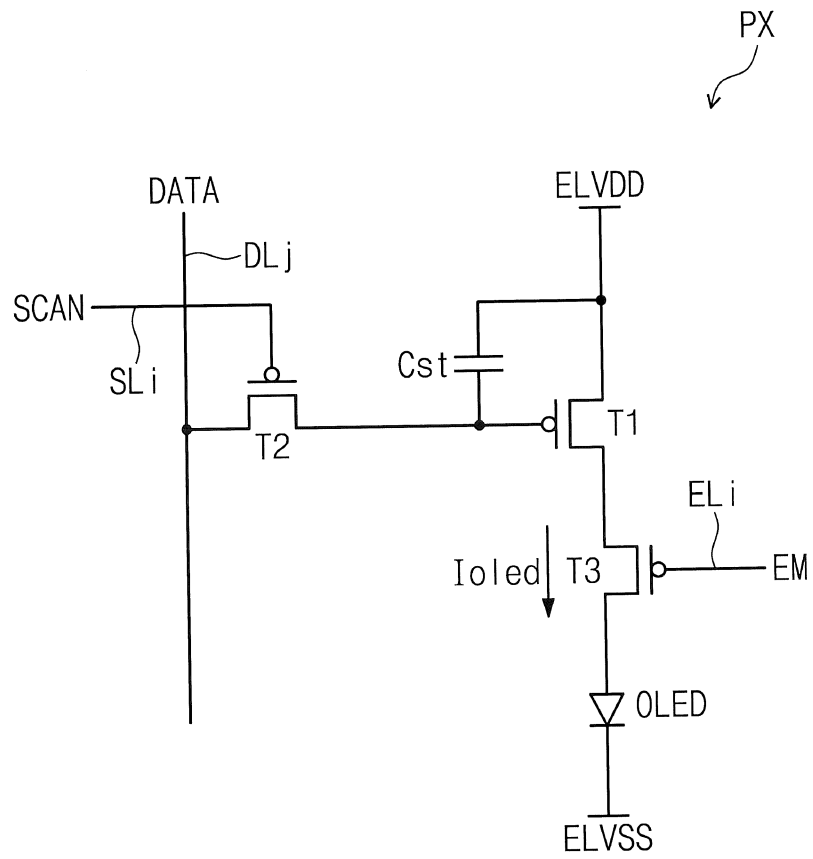


FIG. 4

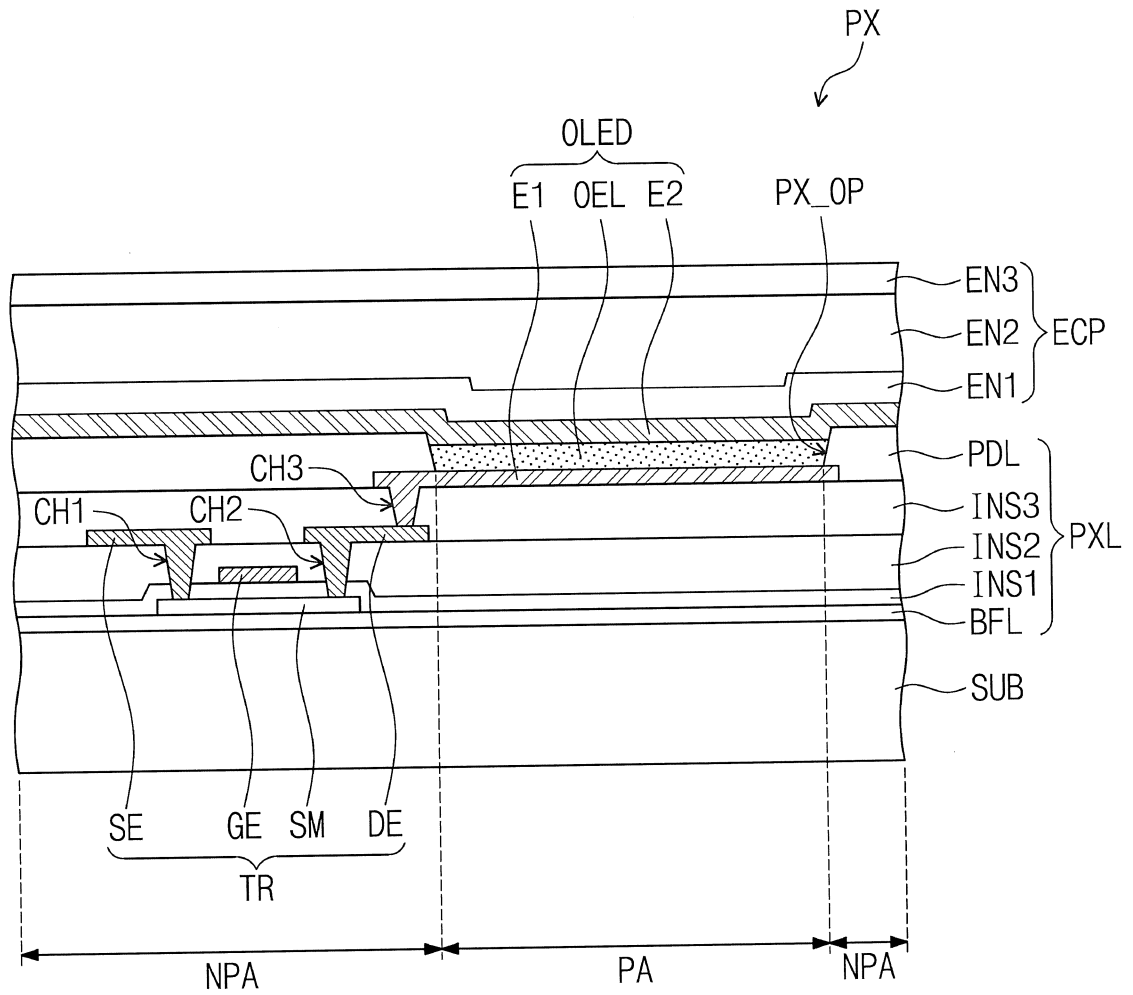


FIG. 5

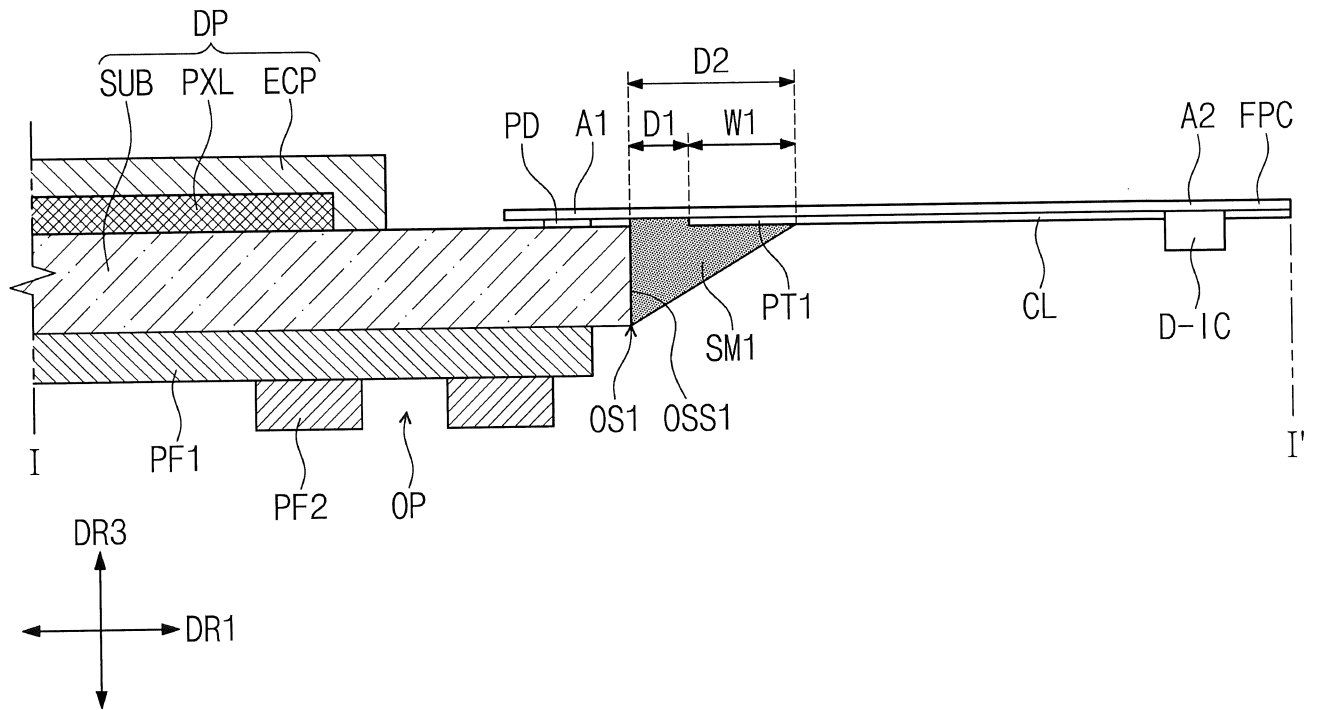


FIG. 6

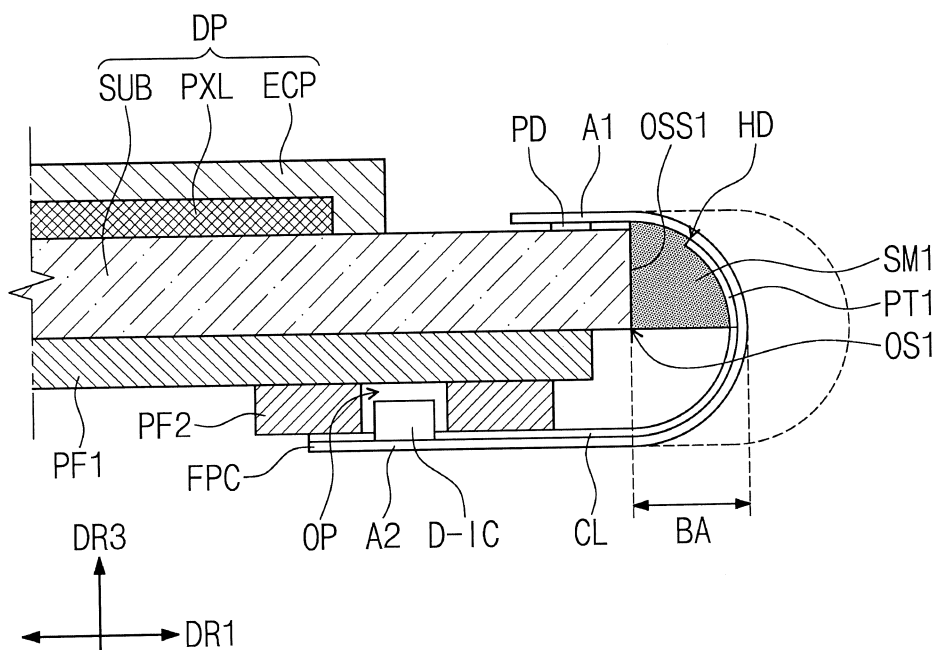


FIG. 7

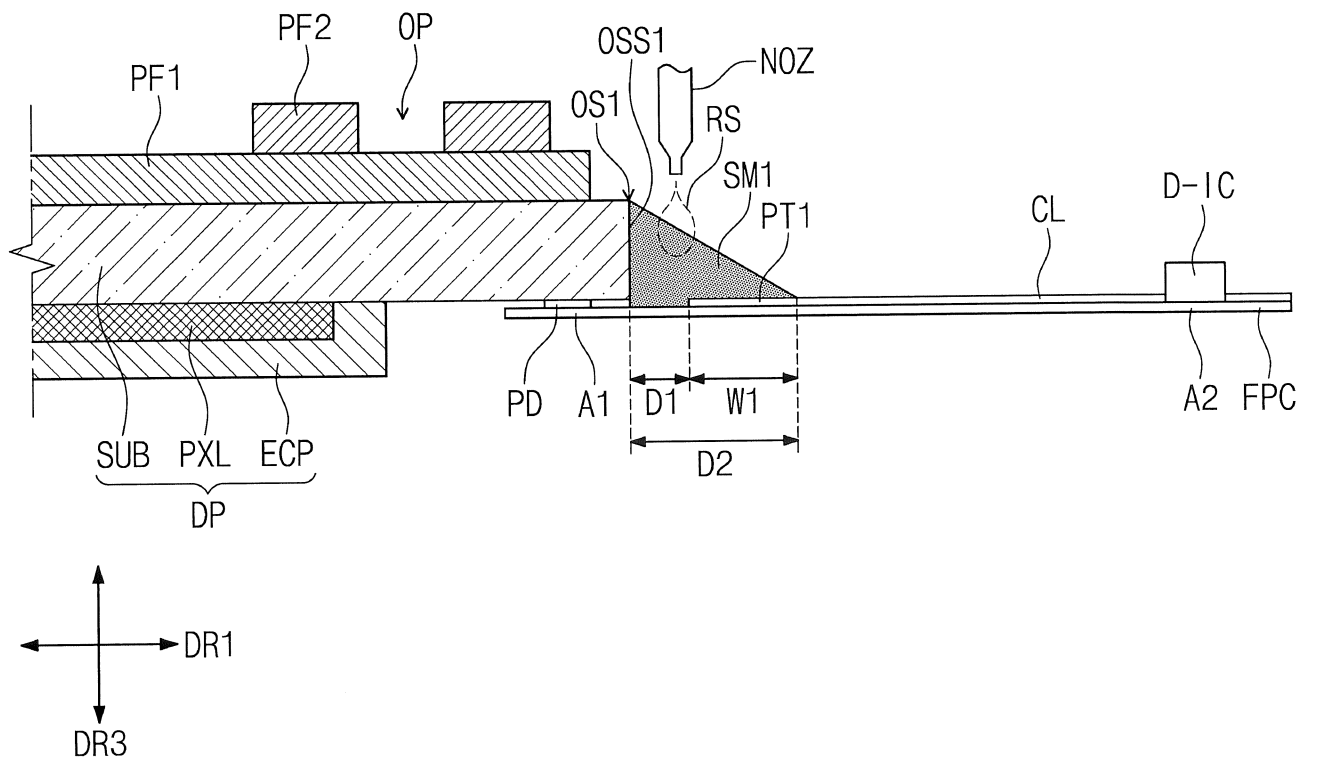


FIG. 8

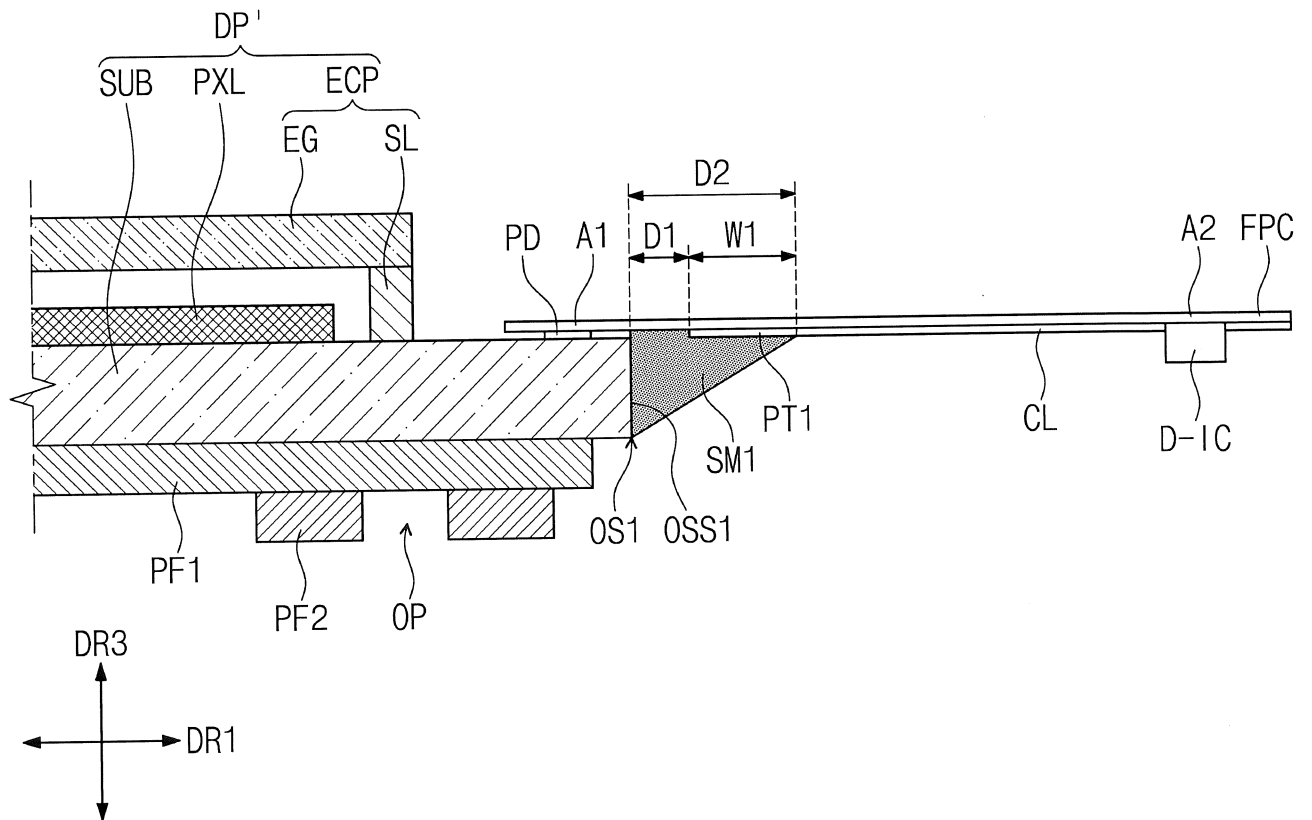


FIG. 9

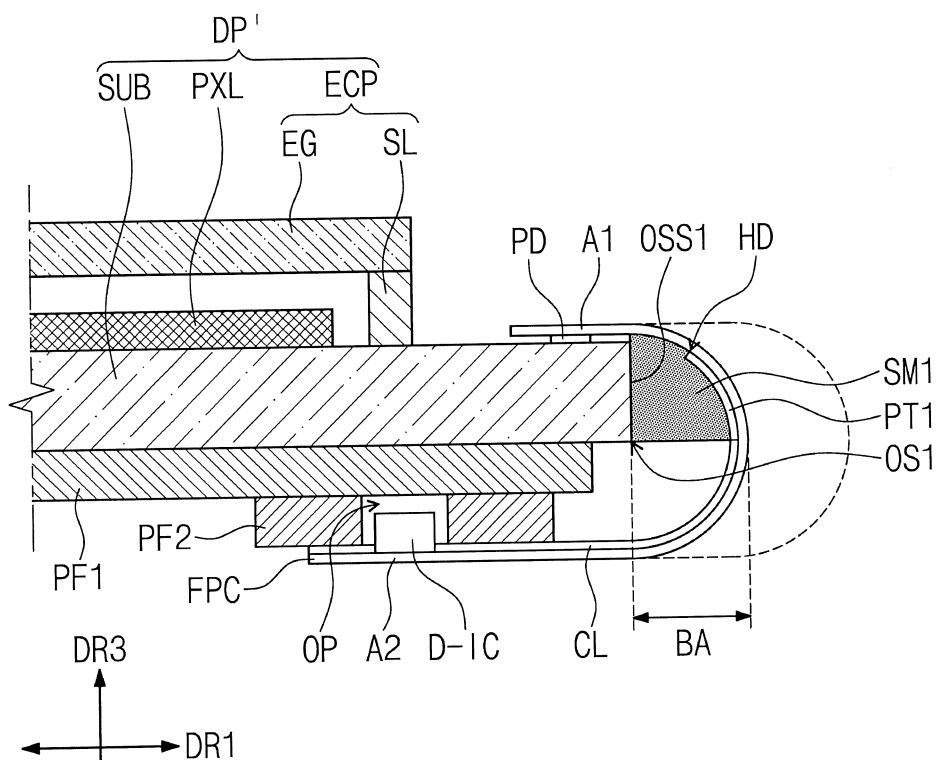


FIG. 10

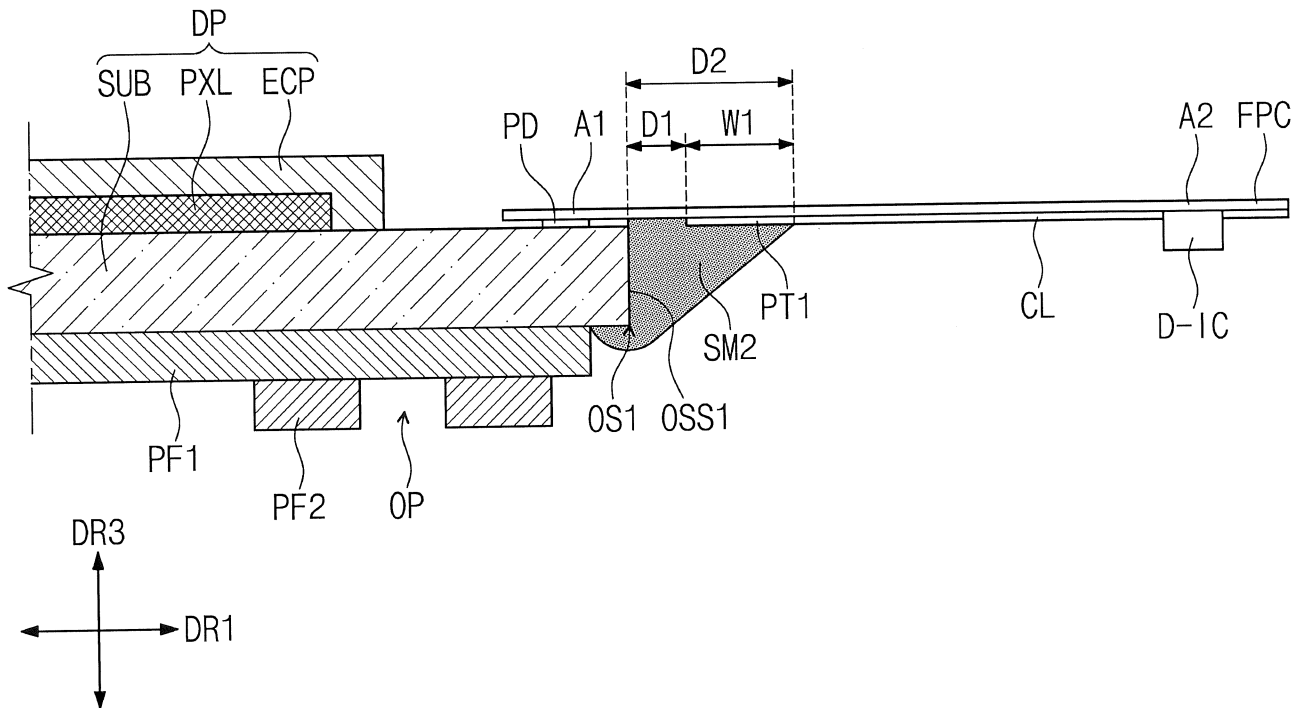


FIG. 11

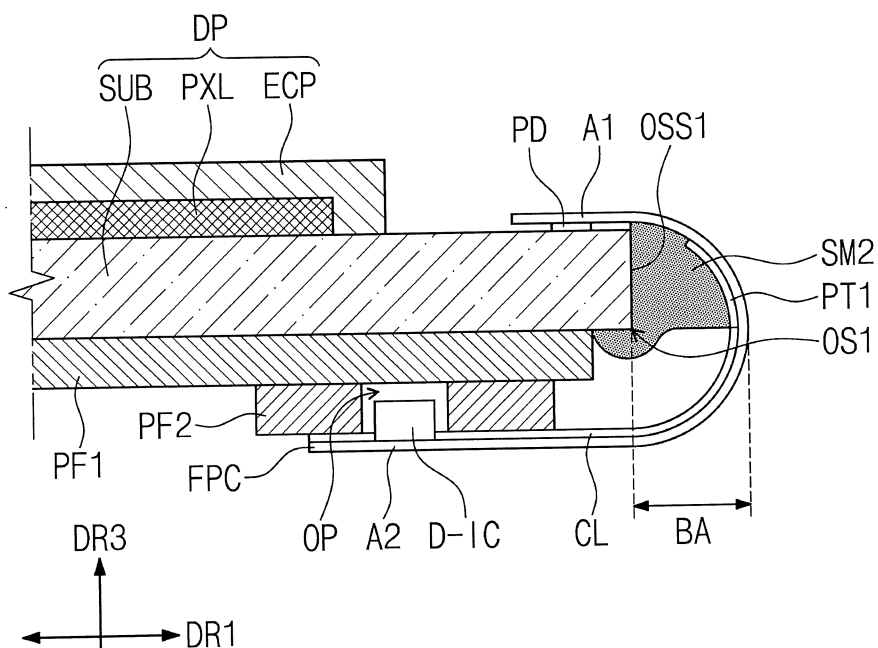


FIG. 12

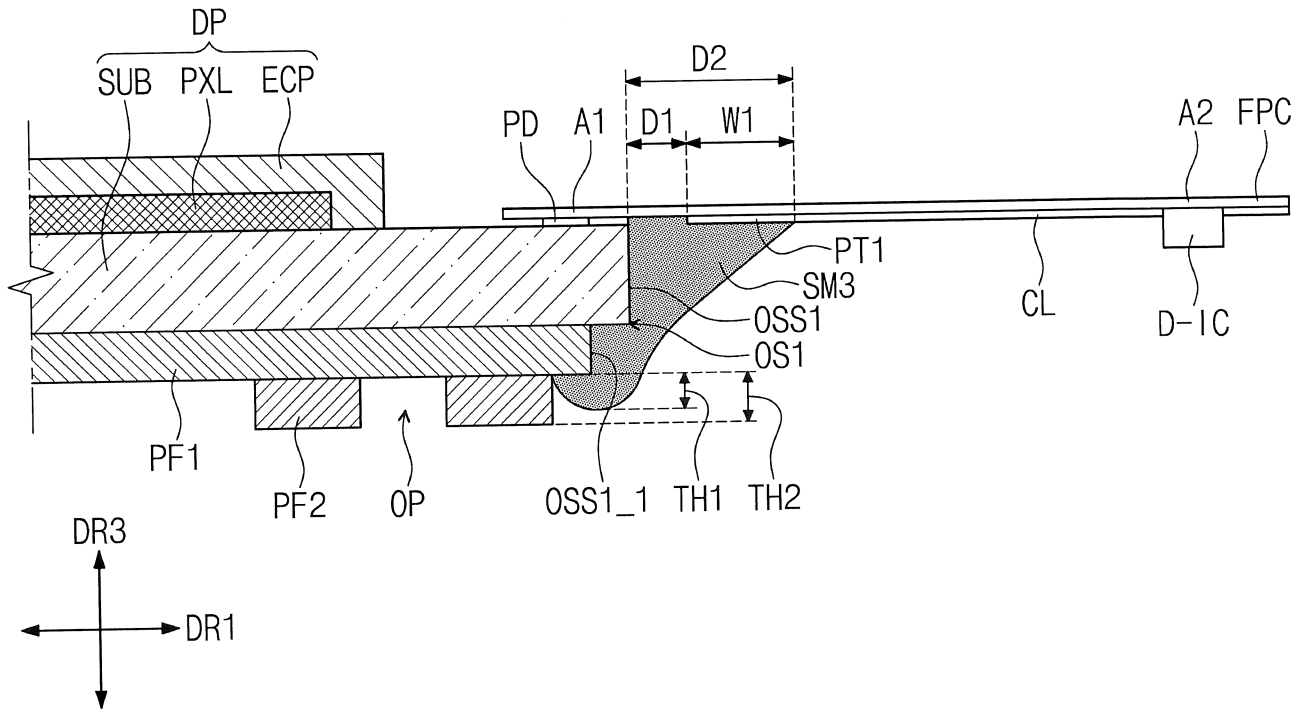


FIG. 13

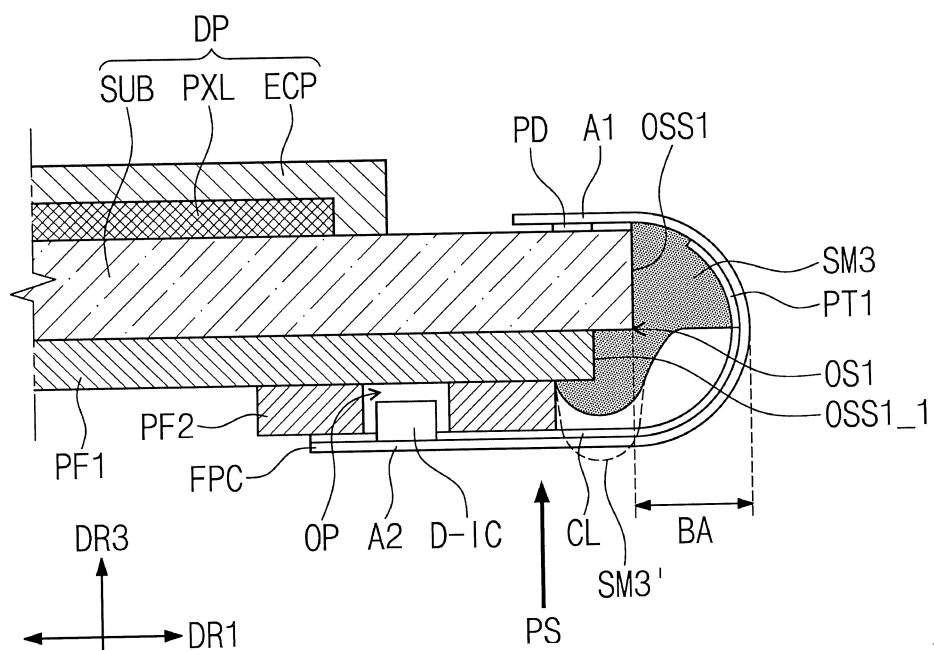


FIG. 14

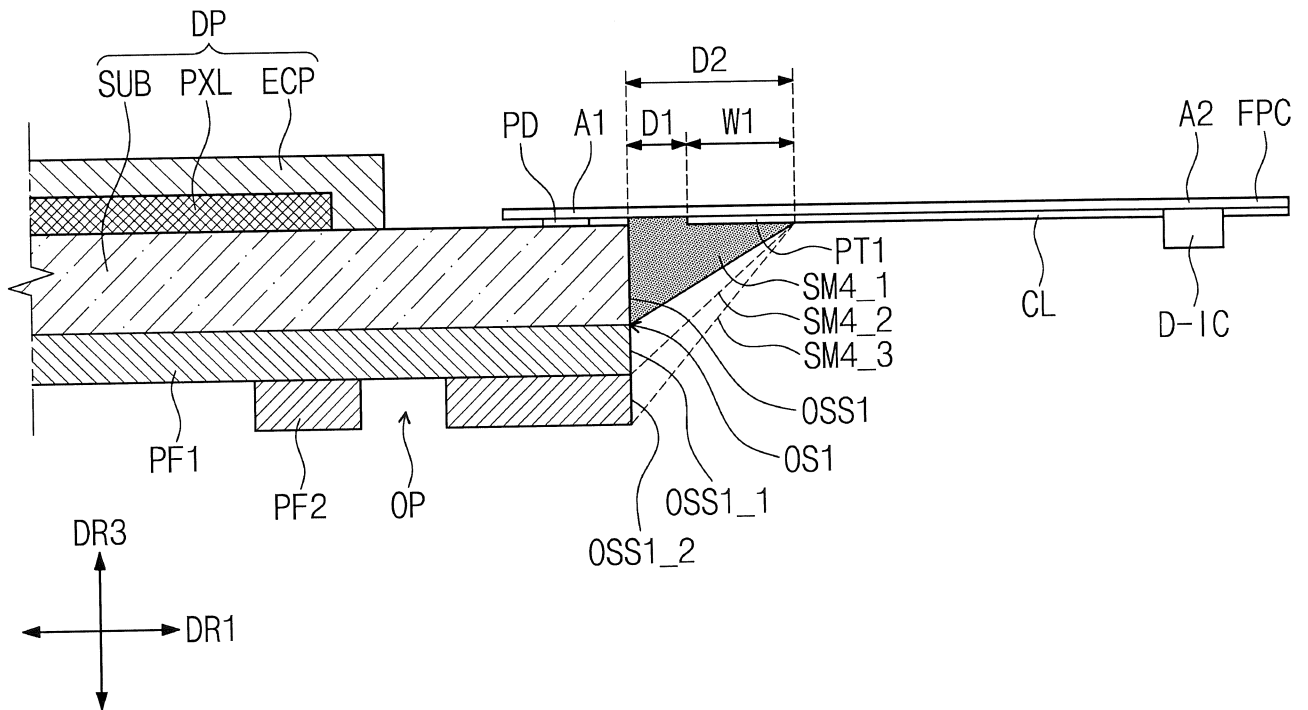


FIG. 15

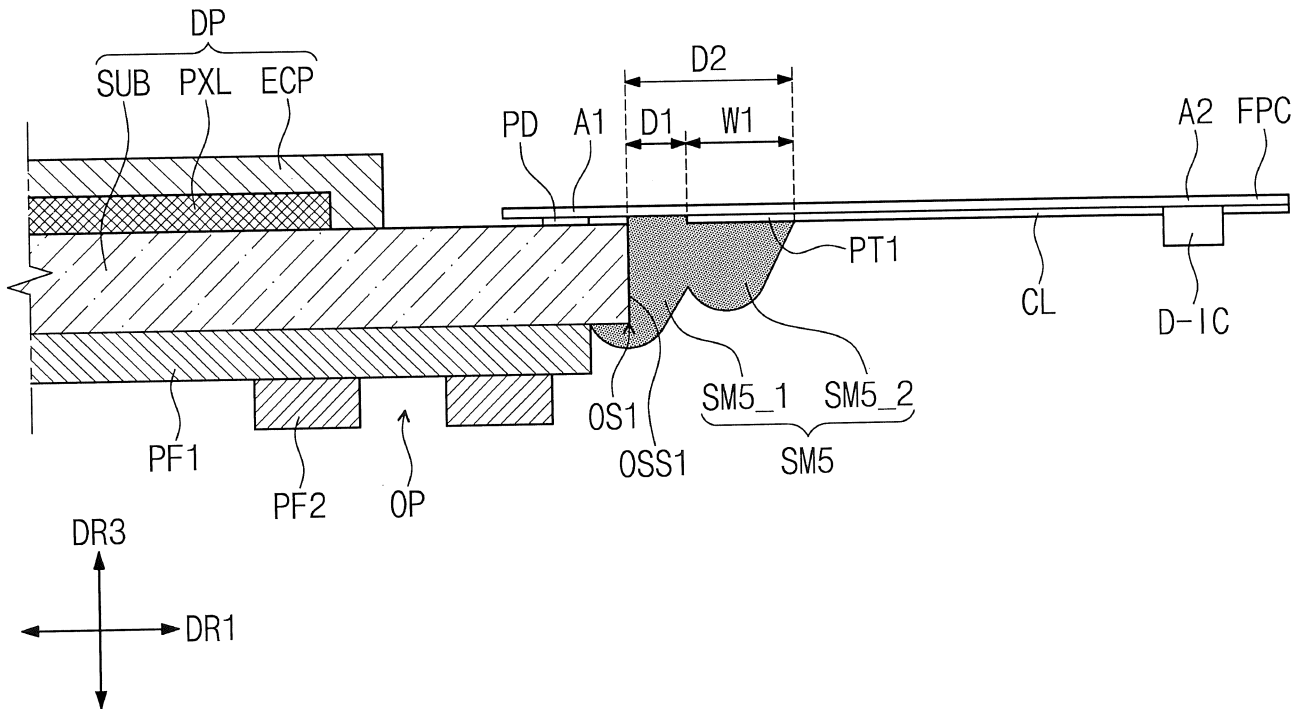


FIG. 16

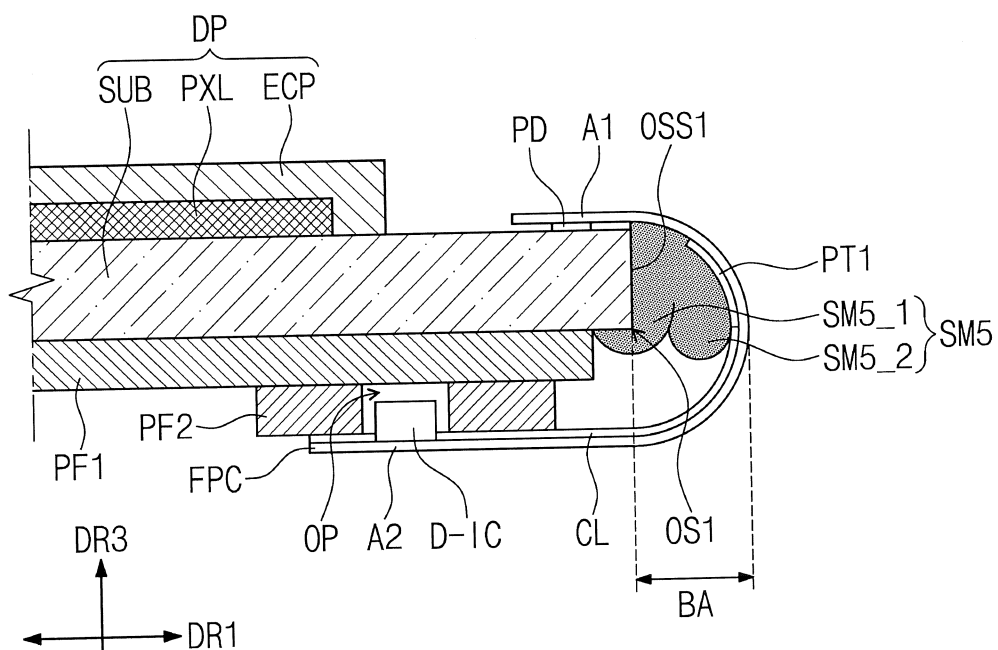


FIG. 17

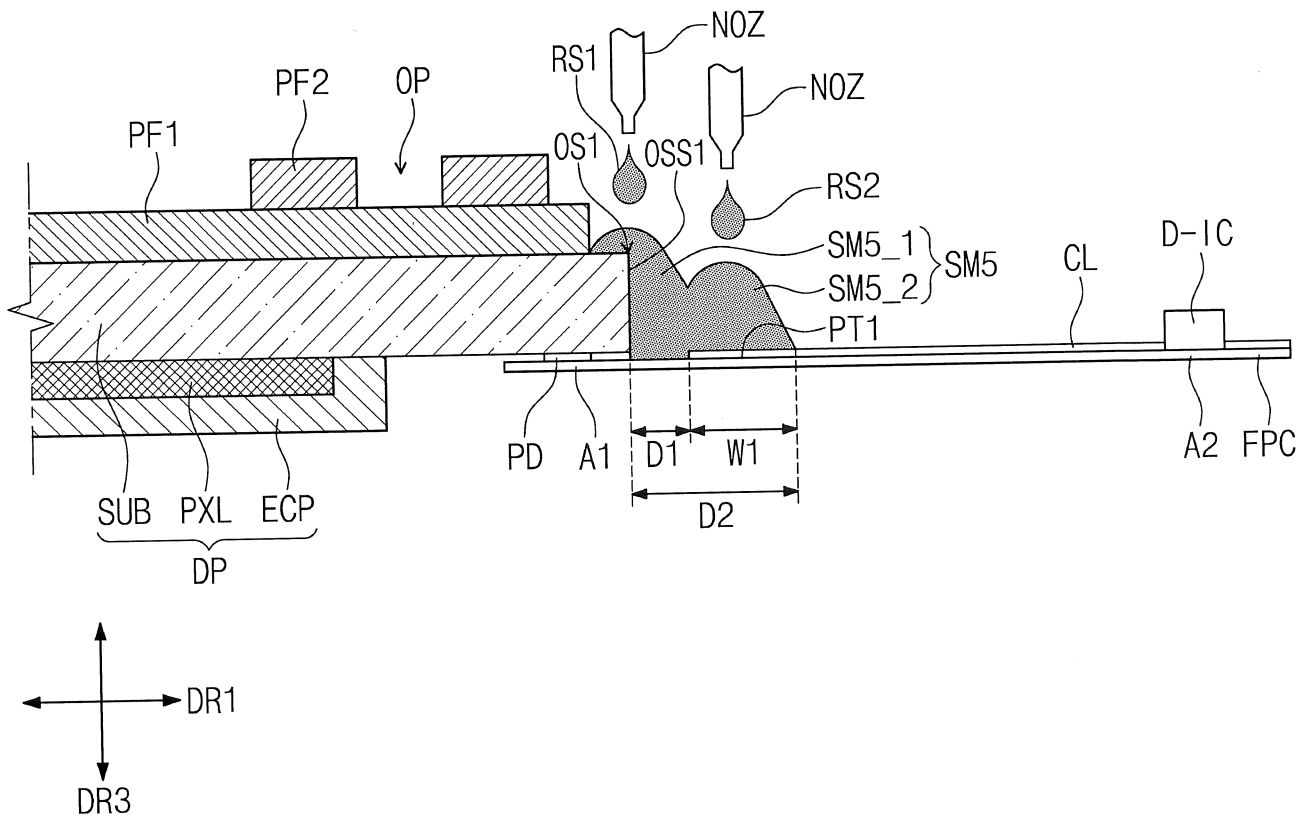


FIG. 18

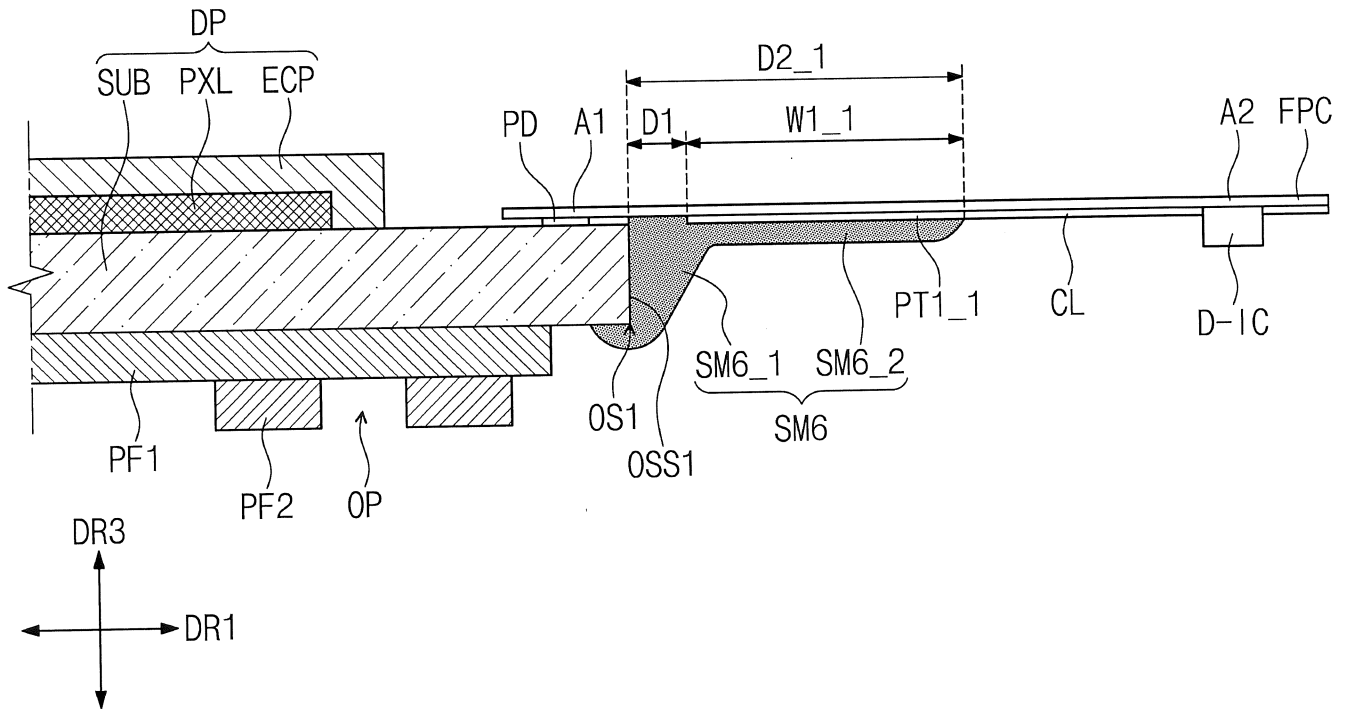


FIG. 19

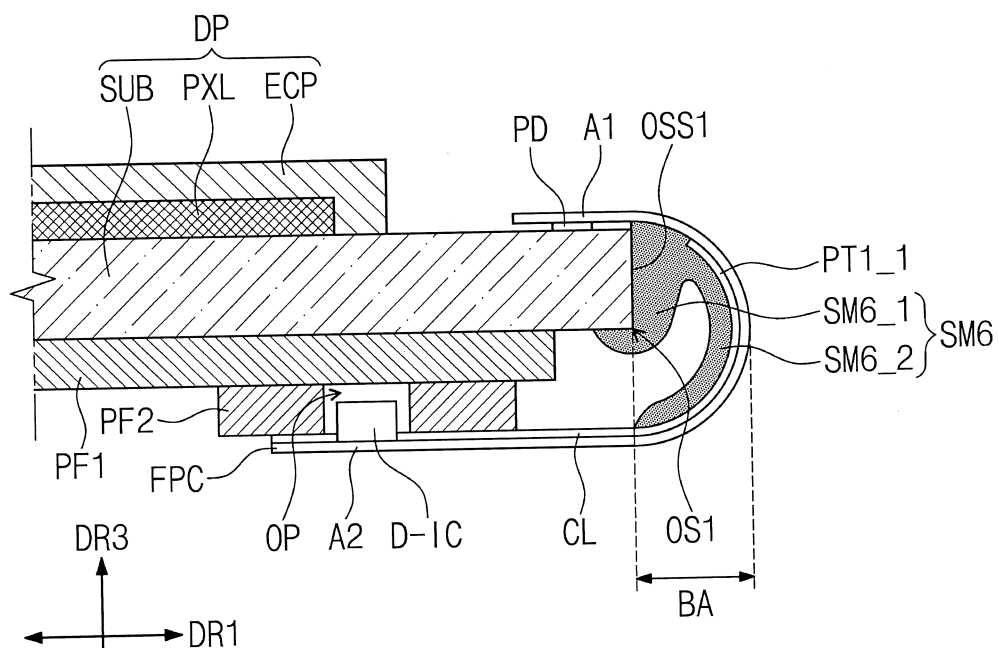


FIG. 20

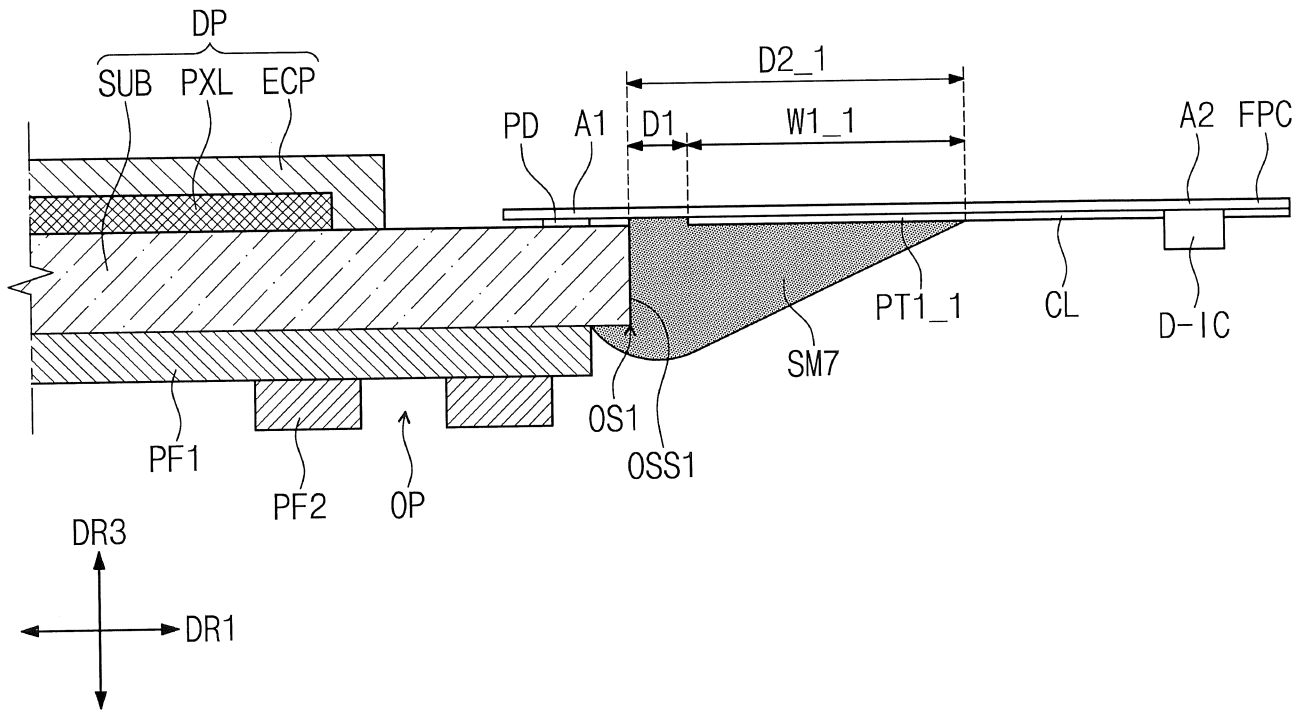


FIG. 21

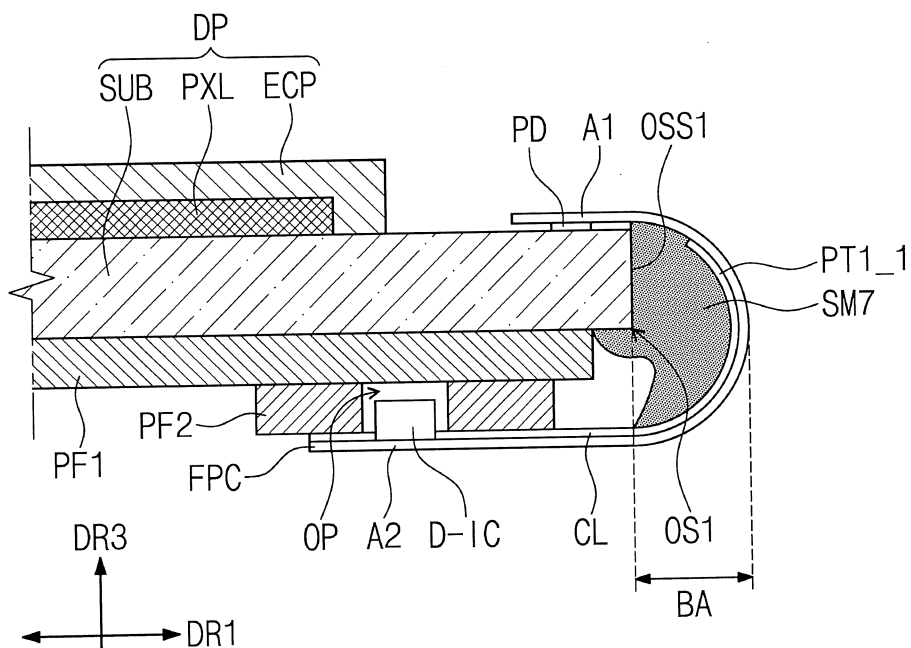


FIG. 22

