

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến TFT (thin film transistor - tranzito màng mỏng) và thiết bị hiển thị bao gồm TFT.

Tình trạng kỹ thuật của sáng chế

Với sự tiến bộ của xã hội định hướng thông tin, ngày càng có nhiều yêu cầu khác nhau đối với các thiết bị hiển thị để hiển thị hình ảnh. Gần đây, các thiết bị hiển thị tấm nền phẳng khác nhau như các thiết bị LCD (liquid crystal display - hiển thị tinh thể lỏng), các thiết bị PDP (plasma display panel - tấm nền hiển thị plasma), và các thiết bị hiển thị phát sáng hữu cơ đang được sử dụng trên thực tế.

Các thiết bị hiển thị tấm nền phẳng, như các thiết bị LCD và các thiết bị hiển thị phát sáng hữu cơ, mỗi thiết bị bao gồm tấm nền hiển thị, mạch điều khiển cổng, mạch điều khiển dữ liệu, và bộ điều chỉnh định thời. Tấm nền hiển thị bao gồm nhiều đường dữ liệu, nhiều đường cổng, và nhiều điểm ảnh mà được bố trí lần lượt trong nhiều vùng điểm ảnh được xác định bởi các chỗ giao nhau của các đường dữ liệu và các đường cổng và được cấp các điện áp dữ liệu của các đường dữ liệu khi các tín hiệu cổng được cấp cho các đường cổng. Các điểm ảnh phát các ánh sáng có độ sáng nhất định với các điện áp dữ liệu.

Hơn nữa, các thiết bị hiển thị tấm nền phẳng điều khiển các điểm ảnh và mạch điều khiển cổng nhờ sử dụng các TFT như các phần tử chuyển mạch. Các điểm ảnh và/hoặc mạch điều khiển cổng của mỗi trong số các thiết bị hiển thị tấm nền phẳng có thể bao gồm TFT loại N có đặc trưng bán dẫn loại N và TFT loại P có đặc trưng bán dẫn loại P. Mỗi trong số TFT loại N và TFT loại P có thể là MOSFET (metal oxide semiconductor field effect transistor - tranzito hiệu ứng trường bán dẫn oxit kim loại) mà điều chỉnh lưu lượng của dòng với điện trường.

Nếu mỗi trong số các thiết bị hiển thị tấm nền phẳng bao gồm tranzito bán dẫn oxit loại N và tranzito bán dẫn oxit loại P, thì quy trình sản xuất bị làm phức tạp. Ví dụ, trong trường hợp trong đó lớp bán dẫn loại N được tạo thành và tiếp đó lớp bán

dẫn loại P được tạo thành, lớp bán dẫn loại N có thể được ăn mòn khi tạo mẫu lớp bán dẫn loại P. Để giải quyết vấn đề như vậy, lớp thụ động hóa để bảo vệ lớp bán dẫn loại N được tạo thành, và sau đó lớp bán dẫn loại P được tạo mẫu, lớp thụ động hóa được loại bỏ. Nghĩa là, trong trường hợp trong đó mỗi trong số các thiết bị hiển thị tấm nền phẳng bao gồm cả tranzito bán dẫn oxit loại N và tranzito bán dẫn oxit loại P, ngoài quy trình tạo thành lớp bán dẫn loại N hoặc lớp bán dẫn loại P, thì có thể thực hiện bổ sung quy trình tạo thành và loại bỏ lớp thụ động hóa khi so sánh với trường hợp trong đó mỗi trong số các thiết bị hiển thị tấm nền phẳng bao gồm một trong số tranzito bán dẫn oxit loại N và tranzito bán dẫn oxit loại P.

Bản chất kỹ thuật của sáng chế

Do đó, sáng chế nhằm đề xuất TFT và thiết bị hiển thị bao gồm TFT mà về cơ bản tránh được một hoặc nhiều vấn đề do các hạn chế và nhược điểm của giải pháp kỹ thuật liên quan.

Một khía cạnh của sáng chế nhằm đề xuất TFT bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, phương pháp sản xuất TFT này, và thiết bị hiển thị bao gồm TFT, trong đó độ phức tạp của quy trình sản xuất được giảm.

Các ưu điểm và các dấu hiệu bổ sung của sáng chế sẽ được trình bày một phần trong phần mô tả sau đây và một phần sẽ trở nên rõ ràng với những người có hiểu biết trung bình trong lĩnh vực dựa vào việc xem xét phần sau hoặc có thể được nhận biết từ việc thực hành sáng chế. Các mục đích và các ưu điểm khác của sáng chế có thể được thực hiện và đạt được nhờ kết cấu được chỉ ra một cách cụ thể trong phần mô tả và các điểm yêu cầu bảo hộ của sáng chế cũng như các hình vẽ kèm theo.

Để đạt được các ưu điểm này và các ưu điểm khác và theo mục đích của sáng chế, như được biểu hiện và được mô tả theo nghĩa rộng trong bản mô tả này, sáng chế đề xuất TFT bao gồm: điện cực cổng đáy trên đế; lớp bán dẫn chồng với điện cực cổng đáy, trong đó lớp bán dẫn bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, và lớp bán dẫn loại N được chồng một phần với lớp bán dẫn loại P; điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn loại P; điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại

N mà không được chồng với lớp bán dẫn loại P; và điện cực cổng đỉnh bên trên lớp bán dẫn.

Theo một khía cạnh khác của sáng chế, sáng chế đề xuất thiết bị hiển thị bao gồm tranzito màng mỏng, trong đó thiết bị hiển thị bao gồm: tấm nền hiển thị; mạch điều khiển dữ liệu; và mạch điều khiển cổng, trong đó tấm nền hiển thị hoặc mạch điều khiển cổng bao gồm tranzito màng mỏng và tranzito màng mỏng này bao gồm: điện cực cổng đáy trên đế; lớp bán dẫn chồng với điện cực cổng đáy, trong đó lớp bán dẫn bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, và lớp bán dẫn loại N được chồng một phần với lớp bán dẫn loại P; điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn loại P; điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P; và điện cực cổng đỉnh bên trên lớp bán dẫn.

Theo một khía cạnh khác của sáng chế, sáng chế đề xuất TFT bao gồm điện cực cổng đáy thứ nhất và điện cực cổng đáy thứ hai trên đế; lớp bán dẫn thứ nhất chồng với điện cực cổng đáy thứ nhất và lớp bán dẫn thứ hai chồng với điện cực cổng đáy thứ hai, trong đó lớp bán dẫn thứ hai bao gồm lớp bán dẫn loại N thứ hai và lớp bán dẫn loại P thứ hai, và lớp bán dẫn loại N thứ hai được chồng một phần với lớp bán dẫn loại P thứ hai; điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn thứ nhất; điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai; và điện cực cổng đỉnh thứ nhất trên lớp bán dẫn thứ nhất.

Theo một khía cạnh khác của sáng chế, sáng chế đề xuất thiết bị hiển thị bao gồm tranzito màng mỏng, trong đó thiết bị hiển thị này bao gồm: tấm nền hiển thị; mạch điều khiển dữ liệu; và mạch điều khiển cổng, trong đó tấm nền hiển thị hoặc mạch điều khiển cổng bao gồm tranzito màng mỏng và tranzito màng mỏng này bao gồm: điện cực cổng đáy thứ nhất và điện cực cổng đáy thứ hai trên đế; lớp bán dẫn thứ nhất chồng với điện cực cổng đáy thứ nhất và lớp bán dẫn thứ hai chồng với điện cực cổng đáy thứ hai, trong đó lớp bán dẫn thứ hai bao gồm lớp bán dẫn loại N thứ hai và lớp bán dẫn loại P thứ hai, và lớp bán dẫn loại N thứ hai được chồng một phần với lớp bán dẫn loại P thứ hai; điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt

được nối với lớp bán dẫn thứ nhất; điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai; và điện cực cổng đỉnh thứ nhất trên lớp bán dẫn thứ nhất.

Cần hiểu là cả phần mô tả tổng quát trên đây và phần mô tả chi tiết sau đây của sáng chế đều nhằm làm ví dụ và giải thích và được dự tính cung cấp giải thích thêm nữa về sáng chế như được yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, được bao gồm để giúp hiểu thêm nữa về sáng chế và được kết hợp vào và cấu thành một phần của đơn sáng chế này, minh họa các phương án của sáng chế và cùng với phần mô tả đóng vai trò giải thích nguyên lý của sáng chế. Trên các hình vẽ:

Fig.1 là hình phối cảnh minh họa thiết bị hiển thị theo một phương án của sáng chế;

Fig.2 là hình chiếu bằng minh họa để thứ nhất, bộ điều khiển cổng, IC (integrated circuit - mạch tích hợp) điều khiển nguồn, màng dẻo, bảng mạch, và bộ điều chỉnh định thời được minh họa trên Fig.1;

Fig.3 là sơ đồ mạch minh họa mạch CMOS (complementary metal oxide semiconductor - bán dẫn oxit kim loại bù);

Fig.4 là hình chiếu bằng minh họa TFT theo một phương án của sáng chế;

Fig.5 là hình vẽ mặt cắt được lấy dọc theo đường I-I' trên Fig.4;

Fig.6 là đồ thị thể hiện đặc trưng bán dẫn loại N và đặc trưng bán dẫn loại P của TFT theo một phương án của sáng chế;

Fig.7A và Fig.7B là các sơ đồ làm ví dụ thể hiện nồng độ lỗ khi đặc trưng bán dẫn loại N của TFT theo một phương án của sáng chế được thực hiện và nồng độ electron khi đặc trưng bán dẫn loại P của TFT được thực hiện;

Fig.8 là đồ thị thể hiện các thuộc tính bán dẫn loại P theo chiều dày của lớp bán dẫn loại P;

Fig.9 là lưu đồ minh họa phương pháp sản xuất TFT theo một phương án của sáng chế;

Fig.10A đến Fig.10F là các hình vẽ mặt cắt để mô tả phương pháp sản xuất TFT theo một phương án của sáng chế;

Fig.11 là hình chiếu bằng minh họa TFT theo một phương án khác của sáng chế;

Fig.12 là hình vẽ mặt cắt được lấy dọc theo đường II-II' trên Fig.10;

Fig.13 là lưu đồ minh họa phương pháp sản xuất TFT theo một phương án khác của sáng chế; và

Fig.14A đến Fig.14F là các hình vẽ mặt cắt để mô tả phương pháp sản xuất TFT theo một phương án khác của sáng chế.

Mô tả chi tiết sáng chế

Sau đây sẽ thực hiện tham chiếu chi tiết đến các phương án làm ví dụ của sáng chế, các ví dụ của chúng được minh họa trên các hình vẽ kèm theo. Bất kỳ đâu có thể, các số tham chiếu giống nhau sẽ được sử dụng trên toàn bộ các hình vẽ để chỉ các phần giống nhau hoặc tương tự.

Trong bản mô tả này, cần lưu ý là các số tham chiếu giống nhau mà đã được sử dụng để biểu thị các phần tử giống nhau trên các hình vẽ khác, được sử dụng cho các phần tử bất cứ khi nào có thể. Trong phần mô tả sau đây, khi những người có hiểu biết trung bình trong lĩnh vực biết là chức năng và kết cấu không liên quan đến kết cấu thiết yếu của sáng chế, thì phần mô tả chi tiết của chúng sẽ được bỏ qua. Các thuật ngữ được mô tả trong bản mô tả cần được hiểu như sau.

Các ưu điểm và các dấu hiệu của sáng chế này, và các phương pháp thực hiện của nó sẽ được làm sáng tỏ qua các phương án sau được mô tả với tham chiếu đến các hình vẽ kèm theo. Tuy nhiên, sáng chế có thể được biểu hiện dưới các dạng khác nhau và không được hiểu là bị giới hạn vào các phương án được trình bày trong bản mô tả này. Đúng hơn là, các phương án này được đưa ra sao cho sáng chế sẽ thấu đáo và đầy đủ, và sẽ chuyển tải đầy đủ phạm vi bảo hộ của sáng chế cho những người có hiểu biết

trung bình trong lĩnh vực. Ngoài ra, sáng chế chỉ được xác định bởi phạm vi bảo hộ của các điểm yêu cầu bảo hộ.

Hình dạng, kích thước, tỷ lệ, góc, và số lượng được bộc lộ trên các hình vẽ để mô tả các phương án của sáng chế chỉ là ví dụ, và theo đó, sáng chế không bị giới hạn vào phần mô tả chi tiết được minh họa. Các số tham chiếu giống nhau chỉ các phần tử giống nhau trong toàn bộ bản mô tả. Trong phần mô tả sau, khi sự mô tả chi tiết về chức năng hoặc kết cấu đã biết có liên quan được xác định là làm rối theo cách không cần thiết trọng điểm của sáng chế, thì sự mô tả chi tiết sẽ được bỏ qua.

Trong trường hợp trong đó sử dụng ‘bao gồm’, ‘có’, và ‘gồm có’ được mô tả trong bản mô tả này, thì một phần khác có thể được thêm vào, trừ khi sử dụng ‘chỉ’. Các thuật ngữ có dạng đơn có thể bao gồm các dạng số nhiều trừ khi được đề cập ngược lại.

Khi phân tích phần tử, phần tử được hiểu là bao gồm dải lỗi mặc dù không có mô tả rõ ràng.

Khi mô tả mối quan hệ vị trí, ví dụ, khi mối quan hệ vị trí giữa hai phần được mô tả là ‘trên~’, ‘phía trên~’, ‘dưới~’, và ‘cạnh~’, thì một hoặc nhiều phần khác có thể được bố trí giữa hai phần, trừ khi sử dụng ‘ngay’ hoặc ‘trực tiếp’.

Khi mô tả mối quan hệ thời gian, ví dụ, khi thứ tự thời gian được mô tả là ‘sau khi~’, ‘tiếp theo~’, ‘tiếp đó~’, và ‘trước khi~’, thì có thể bao gồm trường hợp không liên tục, trừ khi sử dụng ‘ngay’ hoặc ‘trực tiếp’.

Cần hiểu là, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, v.v. có thể được sử dụng ở đây để mô tả các phần tử khác nhau, nhưng các phần tử này sẽ không bị giới hạn bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một phần tử với một phần tử khác. Ví dụ, phần tử thứ nhất có thể được gọi là phần tử thứ hai, và, tương tự, phần tử thứ hai có thể được gọi là phần tử thứ nhất, mà không lệch khỏi phạm vi bảo hộ của sáng chế.

Chiều trục X, chiều trục Y, và chiều trục Z không chỉ được hiểu là mối quan hệ hình học trong đó mối quan hệ giữa chúng là thẳng đứng, mà có thể biểu thị là có sự

định hướng rộng hơn trong phạm vi mà trong đó các phần tử theo sáng chế hoạt động đúng chức năng.

Thuật ngữ “ít nhất một” sẽ được hiểu là bao gồm kết hợp bất kỳ và tất cả các kết hợp của một hoặc nhiều mục liệt kê được kết hợp. Ví dụ, ý nghĩa của “ít nhất một trong số mục thứ nhất, mục thứ hai, và mục thứ ba” biểu thị sự kết hợp của tất cả các mục được đề xuất từ hai hoặc nhiều hơn hai trong số mục thứ nhất, mục thứ hai, và mục thứ ba cũng như mục thứ nhất, mục thứ hai, hoặc mục thứ ba.

Các dấu hiệu của các phương án khác nhau theo sáng chế có thể được ghép một phần hoặc tổng thể hoặc được kết hợp với nhau, và có thể được phối hợp hoạt động với nhau theo cách khác nhau và được điều khiển theo cách kỹ thuật như những người có hiểu biết trung bình trong lĩnh vực có thể đủ hiểu. Các phương án của sáng chế có thể được thực hiện theo cách độc lập với nhau, hoặc có thể được thực hiện cùng nhau trong mỗi quan hệ đồng phụ thuộc.

Sau đây, các phương án làm ví dụ của sáng chế sẽ được mô tả chi tiết với tham chiếu đến các hình vẽ kèm theo.

Fig.1 là hình vẽ thể hiện hình phối cảnh của thiết bị hiển thị theo một phương án của sáng chế. Fig.2 là hình chiếu bằng minh họa để thứ nhất, bộ điều khiển công, IC (integrated circuit - mạch tích hợp) điều khiển nguồn, màn dẻo, bảng mạch, và bộ điều chỉnh định thời được minh họa trên Fig.1;

Tham chiếu Fig.1 và Fig.2, thiết bị hiển thị phát sáng hữu cơ 1000 theo một phương án của sáng chế có thể bao gồm tám nền hiển thị 1100, bộ điều khiển công (mạch điều khiển công) 1200, IC điều khiển nguồn (mạch điều khiển dữ liệu) 1300, màn dẻo 1400, bảng mạch 1500, và bộ điều chỉnh định thời 1600. Thiết bị hiển thị theo một phương án của sáng chế có thể được thực hiện với một trong số thiết bị LCD, thiết bị hiển thị phát sáng hữu cơ, thiết bị hiển thị phát xạ trường, và thiết bị hiển thị điện di.

Tám nền hiển thị 1100 có thể bao gồm để thứ nhất 1110 và để thứ hai 1120. Để thứ hai 1120 có thể là để bao. Mỗi trong số để thứ nhất 1110 và để thứ hai 1120 có thể là màn chất dẻo hoặc thủy tinh.

Nhiều đường công, nhiều đường dữ liệu, và nhiều điểm ảnh P có thể được bố trí trên một bề mặt của đế thứ nhất 1110 hướng về đế thứ hai 1120. Các điểm ảnh P có thể được bố trí lần lượt trong nhiều vùng được xác định bởi kết cấu giao nhau của các đường công và các đường dữ liệu. Mỗi trong số các điểm ảnh P có thể bao gồm tranzito mà được bật bởi tín hiệu công của đường công tương ứng và cấp điện áp dữ liệu của đường dữ liệu tương ứng cho phân tử của điểm ảnh P tương ứng. Tranzito có thể là TFT (thin film transistor - tranzito màng mỏng).

Tấm nền hiển thị 1100, như trên Fig.2, có thể được chia thành DA (display area - vùng hiển thị) tại đó các điểm ảnh P được bố trí để hiển thị hình ảnh và NDA (non-display area - vùng không hiển thị) mà không hiển thị hình ảnh. Các đường công, các đường dữ liệu, và các điểm ảnh P có thể được bố trí trong vùng hiển thị DA. Bộ điều khiển công 1200, nhiều đệm, và nhiều đường liên kết nối các đường dữ liệu với các đệm có thể được bố trí trong vùng không hiển thị NDA.

Bộ điều khiển công 1200 có thể cấp các tín hiệu công cho các đường công theo tín hiệu điều chỉnh công được đưa vào từ bộ điều chỉnh định thời 1600. Bộ điều khiển công 1200 có thể được bố trí như kiểu GIP (gate driver in panel - bộ điều khiển công trên tấm nền) trong vùng không hiển thị NDA bên ngoài một phía hoặc cả hai phía của vùng hiển thị DA của tấm nền hiển thị 1100. Bộ điều khiển công 1200 có thể bao gồm (các) tranzito theo kiểu (GIP) tấm nền.

IC điều khiển nguồn 1300 có thể nhận dữ liệu video số và tín hiệu điều chỉnh nguồn từ bộ điều chỉnh định thời 1600. IC điều khiển nguồn 1300 có thể chuyển đổi dữ liệu video số thành các điện áp dữ liệu tương tự theo tín hiệu điều chỉnh nguồn và có thể cấp các điện áp dữ liệu tương tự cho các đường dữ liệu. Trong trường hợp trong đó IC điều khiển nguồn 1300 được thực hiện như chip điều khiển, IC điều khiển nguồn 1300 có thể được lắp trên màng dẻo 1400 theo kiểu COF (chip on film - chip trên màng) hoặc kiểu COP (chip on plastic - chip trên chất dẻo).

Các đệm như các đệm dữ liệu có thể được bố trí trong vùng không hiển thị NDA của tấm nền hiển thị 1100. Nhiều đường nối các đệm với IC điều khiển nguồn 1300 và nhiều đường nối các đệm với các đường của bảng mạch 1500 có thể được bố trí trên màng dẻo 1400. Màng dẻo 1400 có thể được gắn lên các đệm nhờ sử dụng

màng dẫn không đẳng hướng, và theo đó, các đệm có thể được nối với các đường của màng dẻo 1400.

Màng dẻo 1400 có thể được bố trí với số nhiều, và bảng mạch 1500 có thể được gắn lên các màng dẻo 1400. Nhiều mạch được thực hiện lần lượt như các chip điều khiển có thể được lắp trên bảng mạch 1500. Ví dụ, bộ điều chỉnh định thời 1600 có thể được lắp trên bảng mạch 1500. Bảng mạch 1500 có thể là PCB (printed circuit board - bảng mạch in) hoặc FPCB (flexible PCB - PCB dẻo).

Bộ điều chỉnh định thời 1600 có thể nhận dữ liệu video số và tín hiệu định thời từ bảng hệ thống bên ngoài qua dây cáp của bảng mạch 1500. Bộ điều chỉnh định thời 1600 có thể tạo ra tín hiệu điều chỉnh cổng để điều chỉnh sự định thời hoạt động của bộ điều khiển cổng 1200 và tín hiệu điều chỉnh nguồn để điều chỉnh IC điều khiển nguồn 1300 mà được bố trí với số nhiều, dựa trên tín hiệu định thời. Bộ điều chỉnh định thời 1600 có thể cấp tín hiệu điều chỉnh cổng cho bộ điều khiển cổng 1200 và có thể cấp tín hiệu điều chỉnh nguồn cho các IC điều khiển nguồn 1300.

Thiết bị hiển thị có thể sử dụng cả TFT loại P có đặc trưng bán dẫn loại P và TFT loại N có đặc trưng bán dẫn loại N, để điều khiển.

Ví dụ, trong trường hợp trong đó thiết bị hiển thị được thực hiện với thiết bị hiển thị phát sáng hữu cơ, mỗi trong số các điểm ảnh P có thể bao gồm nhiều tranzito như tranzito chuyển mạch và tranzito điều khiển. Trong trường hợp này, tranzito chuyển mạch có thể được bố trí như TFT loại N, và tranzito điều khiển có thể được bố trí như TFT loại P. Theo cách khác, tranzito chuyển mạch có thể được bố trí như TFT loại P, và tranzito điều khiển có thể được bố trí như TFT loại N.

Hơn nữa, thiết bị hiển thị có thể bao gồm mạch CMOS (complementary metal oxide semiconductor - bán dẫn oxit kim loại bù), để đưa ra các tín hiệu cổng. Theo cách khác, thiết bị hiển thị có thể bao gồm mạch CMOS, để đưa ra một tín hiệu khác.

Mạch CMOS, như trên Fig.3, có thể bao gồm tranzito thứ nhất T1 có đặc trưng bán dẫn loại P và tranzito thứ hai T2 có đặc trưng bán dẫn loại N. Điện cực cổng của tranzito thứ nhất T1 và điện cực cổng của tranzito thứ hai T2 có thể được nối với thiết bị đầu cuối đầu vào IT. Điện cực nguồn của tranzito thứ nhất T1 có thể được nối với

đường điện áp điều khiển VDD mà qua đó điện áp điều khiển được cấp, và điện cực máng có thể được nối với thiết bị đầu cuối đầu ra OT. Điện cực nguồn của tranzito thứ hai T2 có thể được nối với phần nối đất GND, và điện cực máng có thể được nối với thiết bị đầu cuối đầu ra OT.

Khi điện áp mức logic thứ nhất được áp qua thiết bị đầu cuối đầu vào IT, tranzito thứ nhất T1 có thể được bật, và tranzito thứ hai T2 có thể được tắt. Do đó, điện áp điều khiển của đường điện áp điều khiển VDD có thể được đưa ra đến thiết bị đầu cuối đầu ra OT qua tranzito thứ nhất T1. Khi điện áp mức logic thứ hai có mức cao hơn so với mức của điện áp mức logic thứ nhất được áp qua thiết bị đầu cuối đầu vào IT, tranzito thứ hai T2 có thể được bật, và tranzito thứ nhất T1 có thể được tắt. Do đó, thiết bị đầu cuối đầu ra OT có thể được nối với phần nối đất GND qua tranzito thứ hai T2, và theo đó, thiết bị đầu cuối đầu ra OT có thể được xả đến điện áp nối đất.

Nghĩa là, tranzito thứ nhất T1 có thể có đặc trưng bán dẫn loại P, tranzito thứ hai T2 có thể có đặc trưng bán dẫn loại N, và điện cực cổng của tranzito thứ nhất T1 và điện cực cổng của tranzito thứ hai T2 có thể được nối với cùng thiết bị đầu cuối đầu vào, nhờ đó tranzito thứ nhất T1 và tranzito thứ hai T2 có thể được bật và được tắt theo cách bù trong mạch CMOS.

Như được mô tả trên đây, thiết bị hiển thị có thể bao gồm cả TFT loại P và TFT loại N để điều khiển, nhưng trong trường hợp này, quy trình sản xuất bị làm phức tạp. Tuy nhiên, theo một phương án của sáng chế, mạch CMOS có thể được thực hiện với một tranzito bao gồm lớp bán dẫn loại P và lớp bán dẫn loại N, hoặc tranzito loại P hoặc tranzito loại N có thể được thực hiện theo cách có chọn lựa, nhờ đó ngăn quy trình sản xuất khỏi bị làm phức tạp.

Sau đây, TFT được thực hiện như mạch CMOS theo một phương án của sáng chế sẽ được mô tả chi tiết với tham chiếu đến Fig.4 đến Fig.10, và TFT được thực hiện theo cách có chọn lựa như một trong số tranzito loại P và tranzito loại N theo một phương án khác của sáng chế sẽ được mô tả chi tiết với tham chiếu đến Fig.11 và Fig.12.

Fig.4 là hình chiếu bằng minh họa TFT 10 theo một phương án của sáng chế. Fig.5 là hình vẽ mặt cắt được lấy dọc theo đường I-I' trên Fig.4.

Trên Fig.5, TFT 10 theo một phương án của sáng chế được minh họa là được bố trí trong kết cấu đồng phẳng. Kết cấu đồng phẳng có thể có kết cấu cổng đỉnh trong đó điện cực cổng được bố trí trên lớp chủ động.

Tham chiếu Fig.4 và Fig.5, TFT 10 theo một phương án của sáng chế có thể bao gồm điện cực cổng đáy 110, lớp bán dẫn 130, điện cực nguồn thứ nhất 141, điện cực máng thứ nhất 142, điện cực nguồn thứ hai 143, điện cực máng thứ hai 144, và điện cực cổng đỉnh 160. Lớp bán dẫn 130 có thể bao gồm lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132.

Điện cực cổng đỉnh 160, lớp bán dẫn loại P 132, điện cực nguồn thứ nhất 141, và điện cực máng thứ nhất 142 có thể hoạt động như tranzito thứ nhất T1 được minh họa trên Fig.3, và điện cực cổng đáy 110, lớp bán dẫn loại N 131, điện cực nguồn thứ hai 143, và điện cực máng thứ hai 144 có thể hoạt động như tranzito thứ hai T2 được minh họa trên Fig.3. Nghĩa là, TFT 10 theo một phương án của sáng chế có thể bao gồm lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132, và theo đó, có thể có cả đặc trưng bán dẫn loại N và đặc trưng bán dẫn loại P.

TFT 10 có thể được tạo thành trên đế 100. Đế 100 có thể được tạo thành từ chất dẻo, thủy tinh, và/hoặc dạng tương tự.

Lớp đệm có thể được tạo thành trên đế 100, để bảo vệ TFT 10 khỏi thấm nước qua đế 100. Lớp đệm có thể bao gồm nhiều lớp vô cơ được xếp chồng đan xen. Ví dụ, lớp đệm có thể có được tạo thành từ nhiều lớp trong đó một hoặc nhiều lớp vô cơ từ silic oxit (SiOx), silic nitrat (SiNx), và SiON được xếp chồng đan xen.

Điện cực cổng đáy 110 của TFT 10 có thể được tạo thành trên đế 100 hoặc lớp đệm. Điện cực cổng đáy 110 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số molypden (Mo), nhôm (Al), crom (Cr), vàng (Au), titan (Ti), niken (Ni), neodim (Nd), và đồng (Cu), hoặc hợp kim của chúng.

Lớp cách ly cổng thứ nhất 120 có thể được tạo thành trên điện cực cổng đáy 110. Lớp cách ly cổng thứ nhất 120 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiOx, SiNx, hoặc nhiều lớp từ chúng.

Điện cực cổng đáy 110 có thể chắn ánh sáng mà tới trên lớp bán dẫn loại N 131 từ đế 100. Nghĩa là, lớp bán dẫn loại N 131 có thể được bảo vệ bởi điện cực cổng đáy 110 khỏi ánh sáng.

Lớp bán dẫn 130 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120. Lớp bán dẫn 130 có thể bao gồm lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132. Lớp bán dẫn loại N 131 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120, và lớp bán dẫn loại P 132 có thể được tạo thành trên lớp bán dẫn loại N 131. Lớp bán dẫn 130 có thể chôn mỗi điện cực trong số điện cực cổng đáy 110 và điện cực cổng đỉnh 160.

Lớp bán dẫn loại N 131 có thể được tạo thành như lớp bán dẫn oxit loại N, và lớp bán dẫn loại P 132 có thể được tạo thành như lớp bán dẫn oxit loại P. Nếu lớp bán dẫn loại N 131 là lớp bán dẫn oxit loại N, thì lớp bán dẫn loại N 131 có thể được tạo thành từ Indi Gali Kẽm Oxit (IGZO), Indi Kẽm Oxit (IZO), Indi Gali Oxit (IGO), Indi Thiếc Kẽm Oxit (ITZO), Gali Thiếc Oxit (GTO), Kẽm Thiếc Oxit (ZTO), Indi Nhôm Kẽm Oxit (IAZO), Nhôm Kẽm Oxit (AZO), Indi Thiếc Oxit (ITO), Antimon Thiếc Oxit (ATO), Gali Kẽm Oxit (GZO), và/hoặc tương tự. Nếu lớp bán dẫn loại P 132 là lớp bán dẫn oxit loại P, thì lớp bán dẫn loại P 132 có thể được tạo thành từ Cu_2O , SnO , NiO , CuMO_2 (đelafosit, $\text{M}=\text{Al}$, Ga , In , Sr , Y , Sc , và Cr), ZnM_2O_4 (spinel, $\text{M}=\text{Co}$, Rh , Ir), LnCuOCh (oxychalcogenua, $\text{Ln}=\text{lantanoit (La~Lu)}$, $\text{Ch}=\text{Se}$, S , và Te), hoặc dây nano-Cu.

Chiều dài L_1 của lớp bán dẫn loại N 131 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với chiều dài L_2 của lớp bán dẫn loại P 132 theo hướng thứ nhất (hướng trục-X). Do đó, phần chia của lớp bán dẫn loại N 131 có thể không được che phủ bởi lớp bán dẫn loại P 132. Do đó, điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144 có thể được nối với phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132.

Trên Fig.4, ví dụ trong đó chiều dài của lớp bán dẫn loại N 131 theo hướng thứ hai (hướng trục-Y) được đặt về cơ bản là bằng chiều dài của lớp bán dẫn loại P 132 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của lớp bán dẫn loại N 131 theo

hướng thứ hai (hướng trục-Y) có thể được đặt dài hơn so với chiều dài của lớp bán dẫn loại P 132 theo hướng thứ hai (hướng trục-Y).

Lớp cách ly công thứ hai 151 và lớp cách ly công thứ ba 152 có thể được tạo thành trên lớp bán dẫn loại P 132. Mỗi trong số lớp cách ly công thứ hai 151 và lớp cách ly công thứ ba 152 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiOx, SiNx, hoặc nhiều lớp từ chúng. Lớp cách ly công thứ ba 152 có thể được bỏ qua.

Điện cực cổng đỉnh 160 có thể được tạo thành trên lớp cách ly công thứ ba 152. Điện cực cổng đỉnh 160 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng.

Trên Fig.4, ví dụ trong đó chiều dài của điện cực cổng đỉnh 160 theo hướng thứ hai (hướng trục-Y) được đặt dài hơn so với chiều dài của lớp bán dẫn loại P 132 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của điện cực cổng đỉnh 160 theo hướng thứ hai (hướng trục-Y) có thể được đặt về cơ bản là bằng hoặc ngắn hơn so với chiều dài của lớp bán dẫn loại P 132 theo hướng thứ hai (hướng trục-Y). Khi chiều dài của điện cực cổng đỉnh 160 theo hướng thứ hai (hướng trục-Y) tăng, miền kênh của lớp bán dẫn loại P 132 có thể được bố trí rộng, và theo đó, dựa trên điều này, chiều dài của điện cực cổng đỉnh 160 theo hướng thứ hai (hướng trục-Y) có thể được thiết kế.

Lớp cách ly giữa các lớp 170 có thể được tạo thành trên lớp cách ly công thứ nhất 120, lớp bán dẫn loại N 131, lớp bán dẫn loại P 132, và điện cực cổng đỉnh 160. Lớp cách ly giữa các lớp 170 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiOx, SiNx, hoặc nhiều lớp từ chúng.

Lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2, các lỗ này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại P 132, có thể được tạo thành trong lớp cách ly giữa các lớp 170, và lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4, các lỗ này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại N 131, có thể được tạo thành trong lớp cách ly giữa các lớp 170. Một cách chi tiết, phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132 có thể được lộ ra bởi lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4.

Điện cực nguồn thứ nhất 141, điện cực máng thứ nhất 142, điện cực nguồn thứ hai 143, và điện cực máng thứ hai 144 có thể được tạo thành trên lớp cách ly giữa các lớp 170. Điện cực nguồn thứ nhất 141 có thể được nối với lớp bán dẫn loại P 132 qua lỗ tiếp xúc thứ nhất C1. Điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P 132 qua lỗ tiếp xúc thứ hai C2. Điện cực nguồn thứ hai 143 có thể được nối với, qua lỗ tiếp xúc thứ ba C3, phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132. Điện cực máng thứ hai 144 có thể được nối với, qua lỗ tiếp xúc thứ tư C4, phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132. Lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2 có thể được bố trí giữa lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4.

Điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P 132 có chiều dài ngắn hơn so với chiều dài của lớp bán dẫn loại N 131 theo hướng thứ nhất (hướng trục-X), và theo đó, khoảng cách giữa điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể ngắn hơn so với khoảng cách giữa điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144.

Điện cực máng thứ nhất 142 có thể được nối với điện cực máng thứ hai 144, và trong trường hợp này, TFT 10 có thể có chức năng như CMOS.

Fig.6 là đồ thị thể hiện đặc trưng bán dẫn loại N và đặc trưng bán dẫn loại P của TFT theo một phương án của sáng chế. Fig.7A và Fig.7B là các sơ đồ làm ví dụ thể hiện nồng độ lỗ khi đặc trưng bán dẫn loại N của TFT theo một phương án của sáng chế được thực hiện và nồng độ electron khi đặc trưng bán dẫn loại P của TFT được thực hiện.

Trên Fig.6, Fig.7A, và Fig.7B, ví dụ trong đó lớp bán dẫn loại N 131 được tạo thành từ IGZO và lớp bán dẫn loại P 132 được tạo thành từ Cu_2O sẽ được mô tả sau đây.

Trên Fig.6, dòng NIds mà chạy trong lớp bán dẫn loại N 131 với điện áp được áp vào điện cực cổng đáy 110 và dòng PIds mà chạy trong lớp bán dẫn loại P 132 với điện áp được áp vào điện cực cổng đỉnh 160 được thể hiện. Trên Fig.6, trục X biểu diễn điện áp cổng V_g , và trục Y biểu diễn trị số của dòng (sau đây được gọi là trị số dòng) A.

Fig.7A thể hiện nồng độ lỗ khi điện áp cổng V_g là -10 V trên Fig.6 (nghĩa là, dòng PIds đang chạy trong lớp bán dẫn loại P 132 được làm bão hòa). Fig.7B thể hiện nồng độ electron khi điện áp cổng V_g là +10 V trên Fig.6 (nghĩa là, dòng NIds đang chạy trong lớp bán dẫn loại N 131 được làm bão hòa).

Tham chiếu Fig.6, nếu điện áp cổng V_g được áp vào điện cực cổng đáy 110 là điện áp âm, thì dòng khó chạy trong lớp bán dẫn loại N 131. Ngoài ra, nếu điện áp cổng V_g được áp vào điện cực cổng đáy 110 là điện áp dương, thì dòng NIds đang chạy trong lớp bán dẫn loại N 131 tăng theo tỷ lệ với điện áp cổng V_g . Ngoài ra, nếu dòng NIds đang chạy trong lớp bán dẫn loại N 131 được làm bão hòa như trên Fig.7B, thì nồng độ electron là cao nhất trong phần chia dưới của lớp bán dẫn loại N 131 gần với điện cực cổng đáy 110. Do đó, có thể xem là lớp bán dẫn loại N 131 có đặc trưng bán dẫn loại N.

Nếu điện áp cổng V_g được áp vào điện cực cổng đỉnh 160 là điện áp dương, thì dòng khó chạy trong lớp bán dẫn loại P 132. Ngoài ra, nếu điện áp cổng V_g được áp vào điện cực cổng đỉnh 160 là điện áp âm, thì dòng PIds đang chạy trong lớp bán dẫn loại P 132 tăng khi điện áp cổng V_g được hạ xuống. Ngoài ra, nếu dòng PIds đang chạy trong lớp bán dẫn loại P 132 được làm bão hòa như trên Fig.7A, thì nồng độ lỗ là cao nhất trong lớp bán dẫn loại P 132. Do đó, có thể xem là lớp bán dẫn loại P 132 có đặc trưng bán dẫn loại P.

Nếu lớp bán dẫn loại P 132 được tạo thành trên lớp bán dẫn loại N 131, thì có thể xuất hiện sự suy yếu trong vùng chủ động của mỗi trong số lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132, và theo đó, sự điều chỉnh của nồng độ vật mang là quan trọng để thực hiện đặc trưng thiết bị. Nhằm mục đích này, chiều dày của lớp bán dẫn loại P 132 có thể được đặt mỏng hơn so với chiều dày của lớp bán dẫn loại N 131. Trong trường hợp này, nồng độ vật mang của lớp bán dẫn loại N 131 có thể được điều chỉnh thành khoảng $5 \times 10^{17}/\text{cm}^3$, và nồng độ vật mang của lớp bán dẫn loại P 132 có thể được điều chỉnh thành khoảng $1 \times 10^{18}/\text{cm}^3$.

Fig.8 là đồ thị thể hiện các thuộc tính bán dẫn loại P theo chiều dày của lớp bán dẫn loại P. Fig.8 thể hiện trị số dòng (I_{ds}) của vùng kênh loại p theo điện áp cổng-nguồn (V_{gs}), với giả định là điện áp máng-nguồn là -20V, khi chiều dày của lớp bán

dẫn loại P 132 là 10 nm, 20 nm, hoặc 30 nm và chiều dày của lớp bán dẫn loại N 131 là 30 nm. Trên Fig.8, trục-X biểu thị điện áp cổng-nguồn (V_{gs}), và trục-Y biểu thị trị số dòng (I_{ds}) của vùng kênh loại p.

Tham chiếu Fig.8, khi chiều dày của lớp bán dẫn loại P 132 là 20 nm hoặc 30 nm, dòng chảy liên tục mặc dù có sự thay đổi về điện áp cổng-nguồn (V_{gs}), dẫn đến khó khăn để thực hiện các thuộc tính bán dẫn loại P. Nghĩa là, khi chiều dày của lớp bán dẫn loại P 132 là 20 nm hoặc 30 nm, lớp bán dẫn loại P 132 không có các thuộc tính bán dẫn loại P.

Trong khi đó, nếu chiều dày của lớp bán dẫn loại P 132 là 10 nm, thì các thuộc tính dòng ngắt được thể hiện khi điện áp cổng-nguồn (V_{gs}) gần 0V. Nghĩa là, nếu chiều dày của lớp bán dẫn loại P 132 là 10 nm, thì có thể thực hiện các thuộc tính bán dẫn loại P.

Do đó, tranzito màng mỏng 10 theo một phương án của sáng chế có thể thực hiện các thuộc tính bán dẫn loại P khi chiều dày của lớp bán dẫn loại P 132 có thể nhỏ hơn so với chiều dày của lớp bán dẫn loại N 131.

Như được mô tả trên đây, theo một phương án của sáng chế, lớp bán dẫn loại N 131 có thể được tạo thành trên điện cực cổng đáy 110, lớp bán dẫn loại P 132 có thể được tạo thành trên lớp bán dẫn loại N 131, điện cực cổng đỉnh 160 có thể được tạo thành trên lớp bán dẫn loại P 132, và chiều dài L1 của lớp bán dẫn loại N 131 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với chiều dài L2 của lớp bán dẫn loại P 132 theo hướng thứ nhất (hướng trục-X). Do đó, điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P 132, và điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144 có thể được nối với phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132. Kết quả là, theo một phương án của sáng chế, khi điện áp dương được áp vào điện cực cổng đáy 110, lớp bán dẫn loại N 131 có thể được tạo kết cấu để có đặc trưng bán dẫn

loại N, và khi điện áp âm được áp vào điện cực cổng đỉnh 160, lớp bán dẫn loại P 132 có thể được tạo kết cấu để có đặc trưng bán dẫn loại P.

Fig.9 là lưu đồ minh họa phương pháp sản xuất TFT theo một phương án của sáng chế. Fig.10A đến Fig.10F là các hình vẽ mặt cắt để mô tả phương pháp sản xuất TFT theo một phương án của sáng chế.

Các hình vẽ mặt cắt được minh họa trên Fig.10A đến Fig.10F liên quan đến phương pháp sản xuất TFT được minh họa trên Fig.4, và theo đó, các số tham chiếu giống nhau chỉ các phần tử giống nhau. Sau đây, phương pháp sản xuất TFT theo một phương án của sáng chế sẽ được mô tả chi tiết với tham chiếu đến Fig.9 và Fig.10A đến Fig.10F.

Phương pháp sản xuất tranzito màng mỏng theo một phương án của sáng chế bao gồm các bước: tạo thành điện cực cổng đáy trên đế; tạo thành lớp bán dẫn chồng với điện cực cổng đáy, trong đó lớp bán dẫn bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, và lớp bán dẫn loại N được chồng một phần với lớp bán dẫn loại P; tạo thành điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn loại P; tạo thành điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P; và tạo thành điện cực cổng đỉnh bên trên lớp bán dẫn.

Thứ nhất, như trên Fig.10A, điện cực cổng đáy 110 có thể được tạo thành trên đế 100. Một cách chi tiết, lớp kim loại thứ nhất có thể được tạo thành trên toàn bộ bề mặt trên của đế 100 qua quy trình phún xạ. Sau đó, mẫu cản quang có thể được tạo thành trên lớp kim loại thứ nhất, và tiếp theo, nhờ tạo mẫu lớp kim loại thứ nhất qua quy trình làm mặt nạ để ăn mòn lớp kim loại thứ nhất, điện cực cổng đáy 110 có thể được tạo thành. Điện cực cổng đáy 110 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng.

Lớp đệm có thể được tạo thành trên đế 100, để bảo vệ TFT 10 khỏi thấm nước qua đế 100. Điện cực cổng đáy 110 có thể được tạo thành trên lớp đệm. Lớp đệm có thể bao gồm nhiều lớp vô cơ được xếp chồng đan xen. Ví dụ, lớp đệm có thể được tạo thành từ nhiều lớp trong đó một hoặc nhiều lớp vô cơ từ SiOx, SiNx, và SiON được

xếp chồng đan xen. Lớp đệm có thể được tạo thành qua quy trình PECVD (plasma enhanced chemical vapor deposition - kết tủa từ pha hơi hóa học tăng cường plasma). (S101 trên Fig.9)

Thứ hai, như trên Fig.10B, lớp cách ly cổng thứ nhất 120 có thể được tạo thành trên điện cực cổng đáy 110. Lớp cách ly cổng thứ nhất 120 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiO_x , SiN_x , hoặc nhiều lớp từ chúng. Lớp cách ly cổng thứ nhất 120 có thể được tạo thành qua quy trình PECVD.

Sau đó, lớp bán dẫn 130 bao gồm lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120.

Nhờ sử dụng quy trình phún xạ hoặc quy trình MOCVD (metal organic chemical vapor deposition - kết tủa từ pha hơi hóa học hữu cơ kim loại), lớp bán dẫn thứ nhất có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly cổng thứ nhất 120, và tiếp theo, lớp bán dẫn thứ hai có thể được tạo thành trên toàn bộ bề mặt trên của lớp bán dẫn thứ nhất. Sau đó, lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành nhờ đồng thời tạo mẫu các lớp bán dẫn thứ nhất và thứ hai qua quy trình làm mặt nạ sử dụng mẫu cản quang. Lớp bán dẫn loại N 131 có thể chồng điện cực cổng đáy 110.

Mỗi trong số lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành như lớp bán dẫn oxit. Trong trường hợp này, lớp bán dẫn loại N 131 có thể được tạo thành từ IGZO, IZO, IGO, ITZO, GTO, ZTO, IAZO, AZO, ITO, ATO, GZO, và/hoặc dạng tương tự, và lớp bán dẫn loại P 132 có thể được tạo thành từ Cu_2O , SnO , NiO , CuMO_2 (đelafoxit, $\text{M}=\text{Al}$, Ga , In , Sr , Y , Sc , và Cr), ZnM_2O_4 (spinel, $\text{M}=\text{Co}$, Rh , Ir), LnCuOCh (oxychalcogenua, $\text{Ln}=\text{lantanoit (La~Lu)}$, $\text{Ch}=\text{Se}$, S , và Te), hoặc dây nano-Cu. Sau đây, ví dụ trong đó lớp bán dẫn loại P 132 được tạo thành từ Cu_2O sẽ được mô tả.

Nếu lớp bán dẫn loại P 132 được tạo thành từ Cu_2O , thì lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 sẽ được tạo thành dưới điều kiện trong đó trạng thái chân không được duy trì, để cho TFT 10 có cả đặc trưng bán dẫn loại N và đặc trưng bán dẫn loại P. Nghĩa là, lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được làm kết tủa liên tục trong một buồng trong khi trạng thái chân không đang được duy trì. Ví

dụ, chân không nằm trong khoảng từ 5 mTorr đến 10 mTorr có thể được duy trì khi tạo thành lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132.

Nếu trạng thái chân không không được duy trì khi tạo thành lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132, thì lớp bán dẫn loại N 131 có thể được oxy hóa bởi oxy trong khí quyển. Trong trường hợp này, mặt phân giới giữa lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể không ổn định. Ngoài ra, nếu trạng thái chân không không được duy trì khi tạo thành lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132, thì lớp bán dẫn loại P 132 có thể được tạo thành từ CuO thay vì Cu₂O, do oxy trong khí quyển.

Trong trường hợp tạo thành lớp bán dẫn loại P 132 nhờ sử dụng Cu₂O như đích, áp suất oxy có thể được điều chỉnh thành 3% hoặc nhỏ hơn. Trong trường hợp này, nếu áp suất oxy vượt quá 3%, lớp bán dẫn loại P 132 có thể được tạo thành từ CuO thay vì Cu₂O. Ngoài ra, trong trường hợp trong đó lớp bán dẫn loại P 132 được tạo thành qua phản ứng O₂ nhờ sử dụng Cu làm đích, áp suất oxy có thể được điều chỉnh thành 40% hoặc lớn hơn.

Trong trường hợp trong đó lớp bán dẫn loại P 132 được tạo thành từ CuO, khả năng di động của electron được giảm nhiều hơn so với trường hợp trong đó lớp bán dẫn loại P 132 được tạo thành từ Cu₂O. Nghĩa là, trong trường hợp trong đó lớp bán dẫn loại P 132 được tạo thành từ CuO, khả năng di động của electron của lớp bán dẫn loại P 132 có thể là 1 cm²/Vs hoặc nhỏ hơn và có thể rất thấp. Vì nguyên nhân này, TFT 10 khó thực hiện đặc trưng bán dẫn loại P.

Để thay thế lớp bán dẫn loại P 132 bao gồm CuO với Cu₂O, có thể thực hiện sự xử lý nhiệt ở nhiệt độ cao. Ví dụ, sự xử lý nhiệt có thể được thực hiện trên lớp bán dẫn loại P 132 bao gồm CuO trong 30 phút hoặc nhiều hơn ở nhiệt độ cao là 300 độ C hoặc lớn hơn trong trạng thái chân không. Tuy nhiên, nếu sự xử lý nhiệt được thực hiện ở nhiệt độ cao trong trạng thái chân không, thì oxy được giải hấp khỏi lớp bán dẫn loại N 131, và theo đó, khả năng dẫn của lớp bán dẫn loại N 131 tăng. Do đó, ngay cả khi điện áp cổng V_g được áp vào điện cực cổng đáy 110 là điện áp âm, thì dòng NIDs có thể chạy trong lớp bán dẫn loại N 131. Nghĩa là, có thể xuất hiện vấn đề trong đó dòng ngắt tăng lên.

Lớp bán dẫn loại N 131 có thể được tạo thành trong trạng thái trong đó nhiều oxy. Ví dụ, khi tạo thành lớp bán dẫn loại N 131, áp suất oxy có thể được điều chỉnh thành nằm trong khoảng từ 3% đến 10%. Tuy nhiên, dựa trên vật liệu của lớp bán dẫn loại N 131, nếu có yêu cầu tăng cường khả năng di động của electron, thì áp suất oxy cần thiết để tạo thành lớp bán dẫn loại N 131 có thể được điều chỉnh thành nằm trong khoảng từ 0% đến 3%.

Lớp bán dẫn loại N 131 có thể có chiều dày là 30 nm hoặc nhỏ hơn, để tăng cường khả năng di động của electron. Ngoài ra, trong trường hợp trong đó chiều dày của lớp bán dẫn loại P 132 được điều chỉnh thành 10 nm hoặc nhỏ hơn, sự tắt của miền kênh loại p được điều chỉnh như được thể hiện trên Fig.8, và hơn nữa, lớp bán dẫn loại P 132 được tạo thành theo cách dễ dàng từ Cu_2O . Do đó, chiều dày của lớp bán dẫn loại P 132 có thể được điều chỉnh thành 10 nm hoặc nhỏ hơn. (S102 trên Fig.9)

Thứ ba, như trên Fig.10C, lớp cách ly cổng thứ hai 151 có thể được tạo thành để che phủ phần chia của lớp bán dẫn loại P 132, và phần chia của lớp bán dẫn loại P 132 mà không được che phủ bởi lớp cách ly cổng thứ hai 151 có thể được ăn mòn nhờ sử dụng lớp cách ly cổng thứ hai 151 như lớp thụ động hóa. Do đó, chiều dài L1 của lớp bán dẫn loại N 131 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với chiều dài L2 của lớp bán dẫn loại P 132 theo hướng thứ nhất (hướng trục-X). (S103 trên Fig.9)

Thứ tư, như trên Fig.10D, lớp cách ly cổng thứ ba 152 có thể được tạo thành trên lớp cách ly cổng thứ hai 151, và điện cực cổng đỉnh 160 có thể được tạo thành trên lớp cách ly cổng thứ ba 152.

Một cách chi tiết, lớp cách ly cổng thứ ba 152 có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly cổng thứ hai 151 qua quy trình PECVD. Sau đó, lớp kim loại thứ hai có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly cổng thứ ba 152 qua quy trình phún xạ hoặc quy trình MOCVD. Sau đó, lớp cách ly cổng thứ hai 151, lớp cách ly cổng thứ ba 152, và điện cực cổng đỉnh 160 có thể được hoàn thành nhờ đồng thời tạo mẫu lớp cách ly cổng thứ hai 151, lớp cách ly cổng thứ ba 152, và lớp kim loại thứ hai qua quy trình làm mặt nạ sử dụng mẫu cản quang. Điện

cực cổng đỉnh 160 có thể chồng lớp bán dẫn loại P 132. Lớp cách ly cổng thứ ba 152 có thể được bỏ qua. (S104 trên Fig.9)

Thứ năm, như trên Fig.10E, lớp cách ly giữa các lớp 170 có thể được tạo thành trên lớp bán dẫn loại N 131, lớp bán dẫn loại P 132, và điện cực cổng đỉnh 160. Lớp cách ly giữa các lớp 170 có thể được tạo thành qua quy trình PECVD.

Sau đó, lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2, các lỗ này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại P 132, có thể được tạo thành, và lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4, các lỗ này lộ ra phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132, có thể được tạo thành. (S105 trên Fig.9)

Thứ sáu, như trên Fig.10F, các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành trên lớp cách ly giữa các lớp 170.

Một cách chi tiết, lớp kim loại thứ ba có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly giữa các lớp 170 qua quy trình phún xạ hoặc quy trình MOCVD. Sau đó, các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành nhờ tạo mẫu lớp kim loại thứ ba qua quy trình làm mặt nạ sử dụng mẫu cản quang.

Điện cực nguồn thứ nhất 141 có thể được nối với lớp bán dẫn loại P 132 qua lỗ tiếp xúc thứ nhất C1. Điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P 132 qua lỗ tiếp xúc thứ hai C2. Điện cực nguồn thứ hai 143 có thể được nối với, qua lỗ tiếp xúc thứ ba C3, phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132. Điện cực máng thứ hai 144 có thể được nối với, qua lỗ tiếp xúc thứ tư C4, phần chia của lớp bán dẫn loại N 131 mà không được che phủ bởi lớp bán dẫn loại P 132.

Điện cực máng thứ nhất 142 có thể được nối với điện cực máng thứ hai 144, và trong trường hợp này, TFT 10 có thể có chức năng như CMOS.

Mỗi trong số các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành từ một lớp hoặc nhiều lớp mà

bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng. Ngoài ra, điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P 132, và theo đó, dựa trên điều này, mỗi trong số điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số paladi (Pd) có hàm công nằm trong khoảng từ 5,22 eV đến 5,6 eV, platin (Pt) có hàm công nằm trong khoảng từ 5,12 eV đến 5,93 eV, vàng (Au) có hàm công nằm trong khoảng từ 5,1 eV đến 5,47 eV, và niken (Ni) có hàm công nằm trong khoảng từ 5,04 eV đến 5,35 eV, mà có hàm công cao hơn 5,0 eV, hoặc hợp kim của chúng. (S106 trên Fig.9)

Như được mô tả trên đây, theo một phương án của sáng chế, lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành qua quy trình kết tủa liên tục trong một buồng trong khi duy trì trạng thái chân không. Kết quả là, theo một phương án của sáng chế, mặt phân giới giữa lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành ổn định, và hơn nữa, mỗi trong số lớp bán dẫn loại N 131 và lớp bán dẫn loại P 132 có thể được tạo thành từ Cu_2O thay vì CuO . Nghĩa là, theo một phương án của sáng chế, có thể sản xuất TFT mà bao gồm lớp bán dẫn loại N 131 có đặc trưng bán dẫn loại N và lớp bán dẫn loại P 132 có đặc trưng bán dẫn loại P.

Fig.11 là hình chiếu bằng minh họa TFT 10 theo một phương án khác của sáng chế. Fig.12 là hình vẽ mặt cắt được lấy dọc theo đường II-II' trên Fig.11.

Trên Fig.11, TFT 10 theo một phương án khác của sáng chế được minh họa là được bố trí trong kết cấu đồng phẳng. Kết cấu đồng phẳng có thể có kết cấu cổng đỉnh trong đó điện cực cổng được bố trí trên lớp chủ động.

Tham chiếu Fig.11 và Fig.12, TFT 10 theo một phương án khác của sáng chế có thể bao gồm PT TFT loại P có đặc trưng bán dẫn loại P và NT TFT loại N có đặc trưng bán dẫn loại N.

PT TFT loại P có thể bao gồm điện cực cổng đáy thứ nhất 111, lớp bán dẫn thứ nhất 230, điện cực nguồn thứ nhất 141, điện cực máng thứ nhất 142, và điện cực cổng đỉnh thứ nhất 161. Lớp bán dẫn thứ nhất 230 có thể bao gồm lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại P thứ nhất 134. Khi điện áp được áp vào điện cực cổng đỉnh thứ nhất 161, TFT 10 được thực hiện theo cách có chọn lựa như TFT loại P.

Trong PT TFT loại P, điện áp có thể không được áp vào điện cực cổng đáy thứ nhất 111, và theo đó, điện cực cổng đáy thứ nhất 111 có thể hoạt động như lớp chắn sáng mà chắn ánh sáng tới trên lớp bán dẫn loại N thứ nhất 133 qua đế 100.

NT TFT loại N có thể bao gồm điện cực cổng đáy thứ hai 112, lớp bán dẫn thứ hai 240, điện cực nguồn thứ hai 143, điện cực máng thứ hai 144, và điện cực cổng đỉnh thứ hai 162. Lớp bán dẫn thứ hai 240 có thể bao gồm lớp bán dẫn loại N thứ hai 135 và lớp bán dẫn loại P thứ hai 136. Khi điện áp được áp vào điện cực cổng đáy thứ hai 112, TFT 10 được thực hiện theo cách có chọn lựa như TFT loại N. Trong NT TFT loại N, điện áp có thể không được áp vào điện cực cổng đỉnh thứ hai 162, và theo đó, điện cực cổng đỉnh thứ hai 162 có thể được bỏ qua.

TFT 10 có thể được tạo thành trên đế 100. Đế 100 có thể được tạo thành từ chất dẻo, thủy tinh, và/hoặc dạng tương tự.

Lớp đệm có thể được tạo thành trên đế 100, để bảo vệ TFT 10 khỏi thấm nước qua đế 100. Lớp đệm có thể bao gồm nhiều lớp vô cơ được xếp chồng đan xen. Ví dụ, lớp đệm có thể được tạo thành từ nhiều lớp trong đó một hoặc nhiều lớp vô cơ từ SiOx, SiNx, và SiON được xếp chồng đan xen.

Điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112 có thể được tạo thành trên đế 100 hoặc lớp đệm. Mỗi trong số điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng.

Lớp cách ly cổng thứ nhất 120 có thể được tạo thành trên điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112. Lớp cách ly cổng thứ nhất 120 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiOx, SiNx, hoặc nhiều lớp từ chúng.

Điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112 có thể chắn ánh sáng mà tới trên lớp bán dẫn loại N thứ nhất 133 và thứ hai 135 từ đế 100. Nghĩa là, lớp bán dẫn loại N thứ nhất 133 và thứ hai 135 có thể được bảo vệ bởi điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112 khỏi ánh sáng.

Lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120. Lớp bán dẫn loại P thứ nhất 134 có thể được tạo thành trên lớp bán dẫn loại N thứ nhất 133, và lớp bán dẫn loại P thứ hai 136 có thể được tạo thành trên lớp bán dẫn loại N thứ hai 135. Lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại P thứ nhất 134 có thể chồng điện cực cổng đáy thứ nhất 111 và điện cực cổng đỉnh thứ nhất 161. Lớp bán dẫn loại N thứ hai 135 và lớp bán dẫn loại P thứ hai 136 có thể chồng điện cực cổng đáy thứ hai 112.

Mỗi trong số lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 có thể được tạo thành như lớp bán dẫn oxit loại N, và mỗi trong số lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 có thể được tạo thành như lớp bán dẫn oxit loại P. Nếu mỗi trong số lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 là lớp bán dẫn oxit loại N, thì lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 có thể được tạo thành từ IGZO, IZO, IGO, ITZO, GTO, ZTO, IAZO, AZO, ITO, ATO, GZO, và/hoặc dạng tương tự. Nếu mỗi trong số lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 là lớp bán dẫn oxit loại P, thì lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 có thể được tạo thành từ Cu_2O , SnO , NiO , CuMO_2 (đelafozit, $\text{M}=\text{Al}$, Ga , In , Sr , Y , Sc , và Cr), ZnM_2O_4 (spinel, $\text{M}=\text{Co}$, Rh , Ir), LnCuOCh (oxychalcogenua, $\text{Ln}=\text{lantanoit (La}\sim\text{Lu)}$, $\text{Ch}=\text{Se}$, S , và Te), hoặc dây nano-Cu.

Nếu mỗi trong số lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 được tạo thành như lớp bán dẫn oxit loại N và mỗi trong số lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 là lớp bán dẫn oxit loại P, thì chiều dày của mỗi trong số lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 có thể được đặt mỏng hơn so với chiều dày của mỗi trong số lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135. Đặc biệt, để thực hiện theo cách thông thường đặc trưng bán dẫn loại P, chiều dày của mỗi trong số lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136 có thể được điều chỉnh thành 10 nm hoặc nhỏ hơn.

Chiều dài L_3 của lớp bán dẫn loại N thứ hai 135 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với chiều dài L_4 của lớp bán dẫn loại P thứ hai 136 theo hướng thứ nhất (hướng trục-X). Do đó, phần chia của lớp bán dẫn loại N thứ hai

135 có thể không được che phủ bởi lớp bán dẫn loại P thứ hai 136. Do đó, điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144 có thể được nối với phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136.

Trên Fig.11, ví dụ trong đó chiều dài của lớp bán dẫn loại N thứ nhất 133 theo hướng thứ nhất (hướng trục-X) được đặt về cơ bản là bằng chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ nhất (hướng trục-X) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của lớp bán dẫn loại N thứ nhất 133 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ nhất (hướng trục-X).

Hơn nữa, trên Fig.11, ví dụ trong đó chiều dài của lớp bán dẫn loại N thứ nhất 133 theo hướng thứ hai (hướng trục-Y) được đặt về cơ bản là bằng chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của lớp bán dẫn loại N thứ nhất 133 theo hướng thứ hai (hướng trục-Y) có thể được đặt dài hơn so với chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ hai (hướng trục-Y). Ngoài ra, ví dụ trong đó chiều dài của lớp bán dẫn loại N thứ hai 135 theo hướng thứ hai (hướng trục-Y) được đặt về cơ bản là bằng chiều dài của lớp bán dẫn loại P thứ hai 136 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của lớp bán dẫn loại N thứ hai 135 theo hướng thứ hai (hướng trục-Y) có thể được đặt dài hơn so với chiều dài của lớp bán dẫn loại P thứ hai 136 theo hướng thứ hai (hướng trục-Y).

Lớp cách ly cổng thứ hai 151 và lớp cách ly cổng thứ ba 152 có thể được tạo thành trên lớp bán dẫn loại P thứ nhất 134 và lớp bán dẫn loại P thứ hai 136. Mỗi trong số lớp cách ly cổng thứ hai 151 và lớp cách ly cổng thứ ba 152 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiOx, SiNx, hoặc nhiều lớp từ chúng. Lớp cách ly cổng thứ ba 152 có thể được bỏ qua.

Điện cực cổng đỉnh thứ nhất 161 và điện cực cổng đỉnh thứ hai 162 có thể được tạo thành trên lớp cách ly cổng thứ ba 152. Mỗi trong số điện cực cổng đỉnh thứ nhất

161 và điện cực cổng đỉnh thứ hai 162 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng.

Trên Fig.11, ví dụ trong đó chiều dài của điện cực cổng đỉnh thứ nhất 161 theo hướng thứ hai (hướng trục-Y) được đặt dài hơn so với chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của điện cực cổng đỉnh thứ nhất 161 theo hướng thứ hai (hướng trục-Y) có thể được đặt về cơ bản là bằng hoặc ngắn hơn so với chiều dài của lớp bán dẫn loại P thứ nhất 134 theo hướng thứ hai (hướng trục-Y). Khi chiều dài của điện cực cổng đỉnh thứ nhất 161 theo hướng thứ hai (hướng trục-Y) tăng, miền kênh của lớp bán dẫn loại P thứ nhất 134 có thể được bố trí rộng, và theo đó, dựa trên điều này, chiều dài của điện cực cổng đỉnh thứ nhất 161 theo hướng thứ hai (hướng trục-Y) có thể được thiết kế.

Hơn nữa, trên Fig.11, ví dụ trong đó chiều dài của điện cực cổng đỉnh thứ hai 162 theo hướng thứ hai (hướng trục-Y) được đặt dài hơn so với chiều dài của lớp bán dẫn loại P thứ hai 136 theo hướng thứ hai (hướng trục-Y) được minh họa, nhưng phương án này không bị giới hạn vào đó. Theo các phương án khác, chiều dài của điện cực cổng đỉnh thứ hai 162 theo hướng thứ hai (hướng trục-Y) có thể được đặt về cơ bản là bằng hoặc ngắn hơn so với chiều dài của lớp bán dẫn loại P thứ hai 136 theo hướng thứ hai (hướng trục-Y). Khi chiều dài của điện cực cổng đỉnh thứ hai 162 theo hướng thứ hai (hướng trục-Y) tăng, miền kênh của lớp bán dẫn loại P thứ hai 136 có thể được bố trí rộng, và theo đó, dựa trên điều này, chiều dài của điện cực cổng đỉnh thứ hai 162 theo hướng thứ hai (hướng trục-Y) có thể được thiết kế.

Lớp cách ly giữa các lớp 170 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120, lớp bán dẫn loại N thứ nhất 133, lớp bán dẫn loại P thứ nhất 134, lớp bán dẫn loại N thứ hai 135, lớp bán dẫn loại P thứ hai 136, và điện cực cổng đỉnh thứ nhất 161. Lớp cách ly giữa các lớp 170 có thể được tạo thành từ lớp vô cơ, và ví dụ, có thể được tạo thành từ SiO_x, SiN_x, hoặc nhiều lớp từ chúng.

Lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2, các lỗ này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại P thứ nhất 134, có thể được tạo thành trong lớp cách ly giữa các lớp 170, và lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4, các lỗ

này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại N thứ hai 135, có thể được tạo thành trong lớp cách ly giữa các lớp 170. Một cách chi tiết, phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136 có thể được lộ ra bởi lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4.

Điện cực nguồn thứ nhất 141, điện cực máng thứ nhất 142, điện cực nguồn thứ hai 143, và điện cực máng thứ hai 144 có thể được tạo thành trên lớp cách ly giữa các lớp 170. Điện cực nguồn thứ nhất 141 có thể được nối với lớp bán dẫn loại P thứ nhất 134 qua lỗ tiếp xúc thứ nhất C1. Điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P thứ nhất 134 qua lỗ tiếp xúc thứ hai C2. Điện cực nguồn thứ hai 143 có thể được nối với, qua lỗ tiếp xúc thứ ba C3, phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136. Điện cực máng thứ hai 144 có thể được nối với, qua lỗ tiếp xúc thứ tư C4, phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136. Lỗ tiếp xúc thứ hai C2 và lỗ tiếp xúc thứ tư C4 được bố trí giữa lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ ba C3.

Điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P thứ nhất 134, và điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144 có thể được nối với lớp bán dẫn loại N thứ hai 135. Do đó, khoảng cách giữa điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể ngắn hơn so với khoảng cách giữa điện cực nguồn thứ hai 143 và điện cực máng thứ hai 144. Nghĩa là, khoảng cách giữa lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2 ngắn hơn so với khoảng cách giữa lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4.

Điện cực máng thứ nhất 142 có thể được nối với điện cực máng thứ hai 144, và trong trường hợp này, TFT 10 có thể có chức năng như CMOS.

Fig.13 là lưu đồ minh họa phương pháp sản xuất TFT theo một phương án khác của sáng chế. Fig.14A đến Fig.14F là các hình vẽ mặt cắt để mô tả phương pháp sản xuất TFT theo một phương án khác của sáng chế.

Các hình vẽ mặt cắt được minh họa trên Fig.14A đến Fig.14F liên quan đến phương pháp sản xuất TFT được minh họa trên Fig.13, và theo đó, các số tham chiếu giống nhau chỉ các phần tử giống nhau. Sau đây, phương pháp sản xuất TFT theo một

phương án khác của sáng chế sẽ được mô tả chi tiết với tham chiếu đến Fig.13 và Fig.14A đến Fig.14F.

Phương pháp sản xuất tranzito màng mỏng theo một phương án khác của sáng chế bao gồm các bước: tạo thành điện cực cổng đáy thứ nhất và điện cực cổng đáy thứ hai trên đế; tạo thành lớp bán dẫn thứ nhất chồng với điện cực cổng đáy thứ nhất và lớp bán dẫn thứ hai chồng với điện cực cổng đáy thứ hai, trong đó lớp bán dẫn thứ hai bao gồm lớp bán dẫn loại N thứ hai và lớp bán dẫn loại P thứ hai, và lớp bán dẫn loại N thứ hai được chồng một phần với lớp bán dẫn loại P thứ hai; tạo thành điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn thứ nhất; tạo thành điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai; và tạo thành điện cực cổng đỉnh thứ nhất trên lớp bán dẫn thứ nhất.

Thứ nhất, như trên Fig.14A, điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112 có thể được tạo thành trên đế 100. Bước S201 trên Fig.13 về cơ bản giống với bước S101 trên Fig.9, và theo đó, mô tả chi tiết của nó được bỏ qua. (S201 trên Fig.13)

Thứ hai, như trên Fig.14B, lớp cách ly cổng thứ nhất 120 có thể được tạo thành trên điện cực cổng đáy thứ nhất 111 và điện cực cổng đáy thứ hai 112, lớp bán dẫn loại N thứ nhất 133 và lớp bán dẫn loại N thứ hai 135 có thể được tạo thành trên lớp cách ly cổng thứ nhất 120, lớp bán dẫn loại P thứ nhất 134 có thể được tạo thành trên lớp bán dẫn loại N thứ nhất 133, và lớp bán dẫn loại P thứ hai 136 có thể được tạo thành trên lớp bán dẫn loại N thứ hai 135. Bước S202 trên Fig.13 về cơ bản giống với bước S102 trên Fig.9, và theo đó, mô tả chi tiết của nó được bỏ qua. (S202 trên Fig.13)

Thứ ba, như trên Fig.14C, lớp cách ly cổng thứ hai 151 có thể được tạo thành để che phủ toàn bộ phần chia của lớp bán dẫn loại P thứ nhất 134 và phần chia của lớp bán dẫn loại P thứ hai 136, và phần chia của lớp bán dẫn loại P thứ hai 136 mà không được che phủ bởi lớp cách ly cổng thứ hai 151 có thể được ăn mòn nhờ sử dụng lớp cách ly cổng thứ hai 151 như lớp thụ động hóa. Do đó, chiều dài L3 của lớp bán dẫn loại N thứ hai 135 theo hướng thứ nhất (hướng trục-X) có thể được đặt dài hơn so với

chiều dài L4 của lớp bán dẫn loại P thứ hai 136 theo hướng thứ nhất (hướng trục-X). (S203 trên Fig.13)

Thứ tư, như trên Fig.14D, lớp cách ly công thứ ba 152 có thể được tạo thành trên lớp cách ly công thứ hai 151, và điện cực cổng đỉnh 160 có thể được tạo thành trên lớp cách ly công thứ ba 152.

Một cách chi tiết, lớp cách ly công thứ ba 152 có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly công thứ hai 151 qua quy trình PECVD. Sau đó, lớp kim loại thứ hai có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly công thứ ba 152 qua quy trình phún xạ hoặc quy trình MOCVD. Sau đó, lớp cách ly công thứ hai 151, lớp cách ly công thứ ba 152, điện cực cổng đỉnh thứ nhất 161, và điện cực cổng đỉnh thứ hai 162 có thể được hoàn thành nhờ đồng thời tạo mẫu lớp cách ly công thứ hai 151, lớp cách ly công thứ ba 152, và lớp kim loại thứ hai qua quy trình làm mặt nạ sử dụng mẫu cản quang. Điện cực cổng đỉnh thứ nhất 161 có thể chồng lớp bán dẫn loại P thứ nhất 134, và điện cực cổng đỉnh thứ hai 162 có thể chồng lớp bán dẫn loại P thứ hai 136. Điện cực cổng đỉnh thứ hai 162 và lớp cách ly công thứ ba 152 có thể được bỏ qua. (S204 trên Fig.13)

Thứ năm, như trên Fig.14E, lớp cách ly giữa các lớp 170 có thể được tạo thành trên lớp bán dẫn loại N thứ nhất 131, lớp bán dẫn loại P thứ nhất 134, lớp bán dẫn loại N thứ hai 135, lớp bán dẫn loại P thứ hai 136, điện cực cổng đỉnh thứ nhất 161, và điện cực cổng đỉnh thứ hai 162. Lớp cách ly giữa các lớp 170 có thể được tạo thành qua quy trình PECVD.

Sau đó, lỗ tiếp xúc thứ nhất C1 và lỗ tiếp xúc thứ hai C2, các lỗ này đi qua lớp cách ly giữa các lớp 170 để lộ ra lớp bán dẫn loại P thứ nhất 134, có thể được tạo thành, và lỗ tiếp xúc thứ ba C3 và lỗ tiếp xúc thứ tư C4, các lỗ này lộ ra phần chia của lớp bán dẫn loại N thứ nhất 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136, có thể được tạo thành. (S205 trên Fig.13)

Thứ sáu, như trên Fig.14F, các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành trên lớp cách ly giữa các lớp 170.

Một cách chi tiết, lớp kim loại thứ ba có thể được tạo thành trên toàn bộ bề mặt trên của lớp cách ly giữa các lớp 170 qua quy trình phún xạ hoặc quy trình MOCVD. Sau đó, các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành nhờ tạo mẫu lớp kim loại thứ ba qua quy trình làm mặt nạ sử dụng mẫu cản quang.

Điện cực nguồn thứ nhất 141 có thể được nối với lớp bán dẫn loại P thứ nhất 134 qua lỗ tiếp xúc thứ nhất C1. Điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P thứ nhất 134 qua lỗ tiếp xúc thứ hai C2. Điện cực nguồn thứ hai 143 có thể được nối với, qua lỗ tiếp xúc thứ ba C3, phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136. Điện cực máng thứ hai 144 có thể được nối với, qua lỗ tiếp xúc thứ tư C4, phần chia của lớp bán dẫn loại N thứ hai 135 mà không được che phủ bởi lớp bán dẫn loại P thứ hai 136.

Điện cực máng thứ nhất 142 có thể được nối với điện cực máng thứ hai 144, và trong trường hợp này, TFT 10 có thể có chức năng như CMOS.

Mỗi trong số các điện cực nguồn thứ nhất 141 và thứ hai 143 và các điện cực máng thứ nhất 142 và thứ hai 144 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Mo, Al, Cr, Au, Ti, Ni, Nd, và Cu, hoặc hợp kim của chúng. Ngoài ra, điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được nối với lớp bán dẫn loại P thứ nhất 134, và theo đó, dựa trên điều này, mỗi trong số điện cực nguồn thứ nhất 141 và điện cực máng thứ nhất 142 có thể được tạo thành từ một lớp hoặc nhiều lớp mà bao gồm một trong số Pd có hàm công nằm trong khoảng từ 5,22 eV đến 5,6 eV, Pt có hàm công nằm trong khoảng từ 5,12 eV đến 5,93 eV, Au có hàm công nằm trong khoảng từ 5,1 eV đến 5,47 eV, và Ni có hàm công nằm trong khoảng từ 5,04 eV đến 5,35 eV, mà có hàm công cao hơn 5,0 eV, hoặc hợp kim của chúng. (S206 trên Fig.13)

Như được mô tả trên đây, theo các phương án của sáng chế, mạch CMOS có thể được thực hiện với một tranzito bao gồm lớp bán dẫn loại P và lớp bán dẫn loại N, hoặc tranzito loại P hoặc tranzito loại N có thể được thực hiện theo cách có chọn lựa. Do đó, quy trình sản xuất không bị làm phức tạp.

Những người có hiểu biết trung bình trong lĩnh vực sẽ hiểu rõ là các biến đổi và biến thể khác nhau có thể được thực hiện trong sáng chế mà không lệch khỏi ý đồ hoặc phạm vi bảo hộ của sáng chế. Do đó, dự tính là sáng chế bao hàm các biến đổi và biến thể của sáng chế miễn là chúng nằm trong phạm vi bảo hộ của các điểm yêu cầu bảo hộ kèm theo và các tương đương của chúng.

YÊU CẦU BẢO HỘ

1. Tranzito màng mỏng bao gồm:

điện cực cổng đáy trên đế;

lớp bán dẫn chồng với điện cực cổng đáy, trong đó lớp bán dẫn bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, và lớp bán dẫn loại N được chồng một phần với lớp bán dẫn loại P;

điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn loại P;

điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P; và

điện cực cổng đỉnh bên trên lớp bán dẫn.

2. Tranzito màng mỏng theo điểm 1, tranzito này còn bao gồm lớp cách ly giữa các lớp mà che phủ lớp bán dẫn và điện cực cổng đỉnh.

3. Tranzito màng mỏng theo điểm 2, tranzito này còn bao gồm:

lỗ tiếp xúc thứ nhất và lỗ tiếp xúc thứ hai mà lần lượt đi qua lớp cách ly giữa các lớp để lộ ra một phần của lớp bán dẫn loại P; và

lỗ tiếp xúc thứ ba và lỗ tiếp xúc thứ tư mà lần lượt đi qua lớp cách ly giữa các lớp để lộ ra một phần của phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P.

4. Tranzito màng mỏng theo điểm 3, trong đó

điện cực nguồn thứ nhất được nối với lớp bán dẫn loại P qua lỗ tiếp xúc thứ nhất và điện cực máng thứ nhất được nối với lớp bán dẫn loại P qua lỗ tiếp xúc thứ hai, và

điện cực nguồn thứ hai được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P qua lỗ tiếp xúc thứ ba và điện cực máng thứ hai được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P qua lỗ tiếp xúc thứ tư.

5. Tranzito màng mỏng theo điểm 3, trong đó lỗ tiếp xúc thứ nhất và lỗ tiếp xúc thứ hai được bố trí giữa lỗ tiếp xúc thứ ba và lỗ tiếp xúc thứ tư.
6. Tranzito màng mỏng theo điểm 1, trong đó điện cực máng thứ nhất được nối với điện cực máng thứ hai.
7. Tranzito màng mỏng theo điểm 1, trong đó chiều dày của lớp bán dẫn loại P mỏng hơn so với chiều dày của lớp bán dẫn loại N.
8. Tranzito màng mỏng theo điểm 7, trong đó chiều dày của lớp bán dẫn loại P là 10 nm hoặc nhỏ hơn.
9. Tranzito màng mỏng theo điểm 1, trong đó lớp bán dẫn loại P được tạo thành từ Cu_2O .
10. Tranzito màng mỏng theo điểm 1, trong đó khi điện áp dương được áp vào điện cực cổng đáy, lớp bán dẫn loại N được tạo kết cấu để có đặc trưng bán dẫn loại N, và khi điện áp âm được áp vào điện cực cổng đỉnh, lớp bán dẫn loại P được tạo kết cấu để có đặc trưng bán dẫn loại P.
11. Thiết bị hiển thị bao gồm tranzito màng mỏng, trong đó thiết bị hiển thị này bao gồm:

tấm nền hiển thị;

mạch điều khiển dữ liệu; và

mạch điều khiển cổng,

trong đó tấm nền hiển thị hoặc mạch điều khiển cổng bao gồm tranzito màng mỏng và tranzito màng mỏng này bao gồm:

điện cực cổng đáy trên đế;

lớp bán dẫn chồng với điện cực cổng đáy, trong đó lớp bán dẫn bao gồm lớp bán dẫn loại N và lớp bán dẫn loại P, và lớp bán dẫn loại N được chồng một phần với lớp bán dẫn loại P;

điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn loại P;

điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N mà không được chồng với lớp bán dẫn loại P; và

điện cực cổng đỉnh bên trên lớp bán dẫn.

12. Tranzito màng mỏng bao gồm:

điện cực cổng đáy thứ nhất và điện cực cổng đáy thứ hai trên đế;

lớp bán dẫn thứ nhất chồng với điện cực cổng đáy thứ nhất và lớp bán dẫn thứ hai chồng với điện cực cổng đáy thứ hai, trong đó lớp bán dẫn thứ hai bao gồm lớp bán dẫn loại N thứ hai và lớp bán dẫn loại P thứ hai, và lớp bán dẫn loại N thứ hai được chồng một phần với lớp bán dẫn loại P thứ hai;

điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn thứ nhất;

điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai; và

điện cực cổng đỉnh thứ nhất trên lớp bán dẫn thứ nhất.

13. Tranzito màng mỏng theo điểm 12, tranzito này còn bao gồm lớp cách ly giữa các lớp mà che phủ lớp bán dẫn thứ nhất, lớp bán dẫn thứ hai và điện cực cổng đỉnh thứ nhất.

14. Tranzito màng mỏng theo điểm 13, tranzito này còn bao gồm:

lỗ tiếp xúc thứ nhất và lỗ tiếp xúc thứ hai mà lần lượt đi qua lớp cách ly giữa các lớp để lộ ra một phần của lớp bán dẫn thứ nhất; và

lỗ tiếp xúc thứ ba và lỗ tiếp xúc thứ tư mà lần lượt đi qua lớp cách ly giữa các lớp để lộ ra một phần của phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai.

15. Tranzito màng mỏng theo điểm 14, trong đó

điện cực nguồn thứ nhất được nối với lớp bán dẫn thứ nhất qua lỗ tiếp xúc thứ nhất và điện cực máng thứ nhất được nối với lớp bán dẫn thứ nhất qua lỗ tiếp xúc thứ hai, và

điện cực nguồn thứ hai được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai qua lỗ tiếp xúc thứ ba và điện cực máng thứ hai được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai qua lỗ tiếp xúc thứ tư.

16. Tranzito màng mỏng theo điểm 14, trong đó lỗ tiếp xúc thứ hai và lỗ tiếp xúc thứ tư được bố trí giữa lỗ tiếp xúc thứ nhất và lỗ tiếp xúc thứ ba.

17. Tranzito màng mỏng theo điểm 16, trong đó khoảng cách giữa lỗ tiếp xúc thứ nhất và lỗ tiếp xúc thứ hai ngắn hơn so với khoảng cách giữa lỗ tiếp xúc thứ ba và lỗ tiếp xúc thứ tư.

18. Tranzito màng mỏng theo điểm 12, trong đó điện cực máng thứ nhất được nối với điện cực máng thứ hai.

19. Tranzito màng mỏng theo điểm 12, trong đó lớp bán dẫn thứ nhất bao gồm lớp bán dẫn loại N thứ nhất và lớp bán dẫn loại P thứ nhất, và chiều dày của lớp bán dẫn loại P thứ nhất mỏng hơn so với chiều dày của lớp bán dẫn loại N thứ nhất và chiều dày của lớp bán dẫn loại P thứ hai mỏng hơn so với chiều dày của lớp bán dẫn loại N thứ hai.

20. Tranzito màng mỏng theo điểm 12, trong đó lớp bán dẫn thứ nhất bao gồm lớp bán dẫn loại N thứ nhất và lớp bán dẫn loại P thứ nhất, và lớp bán dẫn loại N thứ nhất được chồng hoàn toàn với lớp bán dẫn loại P thứ nhất.

21. Tranzito màng mỏng theo điểm 12, trong đó lớp bán dẫn thứ nhất bao gồm lớp bán dẫn loại N thứ nhất và lớp bán dẫn loại P thứ nhất, và lớp bán dẫn loại N thứ nhất được chồng một phần với lớp bán dẫn loại P thứ nhất.

22. Tranzito màng mỏng theo điểm 12, trong đó lớp bán dẫn thứ nhất bao gồm lớp bán dẫn loại N thứ nhất và lớp bán dẫn loại P thứ nhất, và mỗi trong số lớp bán dẫn loại P thứ nhất và lớp bán dẫn loại P thứ hai được tạo thành từ Cu_2O .

23. Thiết bị hiển thị bao gồm tranzito màng mỏng, trong đó thiết bị hiển thị này bao gồm:

tấm nền hiển thị;

mạch điều khiển dữ liệu; và

mạch điều khiển cổng,

trong đó tấm nền hiển thị hoặc mạch điều khiển cổng bao gồm tranzito màng mỏng và tranzito màng mỏng này bao gồm:

điện cực cổng đáy thứ nhất và điện cực cổng đáy thứ hai trên đế;

lớp bán dẫn thứ nhất chồng với điện cực cổng đáy thứ nhất và lớp bán dẫn thứ hai chồng với điện cực cổng đáy thứ hai, trong đó lớp bán dẫn thứ hai bao gồm lớp bán dẫn loại N thứ hai và lớp bán dẫn loại P thứ hai, và lớp bán dẫn loại N thứ hai được chồng một phần với lớp bán dẫn loại P thứ hai;

điện cực nguồn thứ nhất và điện cực máng thứ nhất lần lượt được nối với lớp bán dẫn thứ nhất;

điện cực nguồn thứ hai và điện cực máng thứ hai lần lượt được nối với phần chia của lớp bán dẫn loại N thứ hai mà không được chồng với lớp bán dẫn loại P thứ hai; và

điện cực cổng đỉnh thứ nhất trên lớp bán dẫn thứ nhất.

FIG. 1

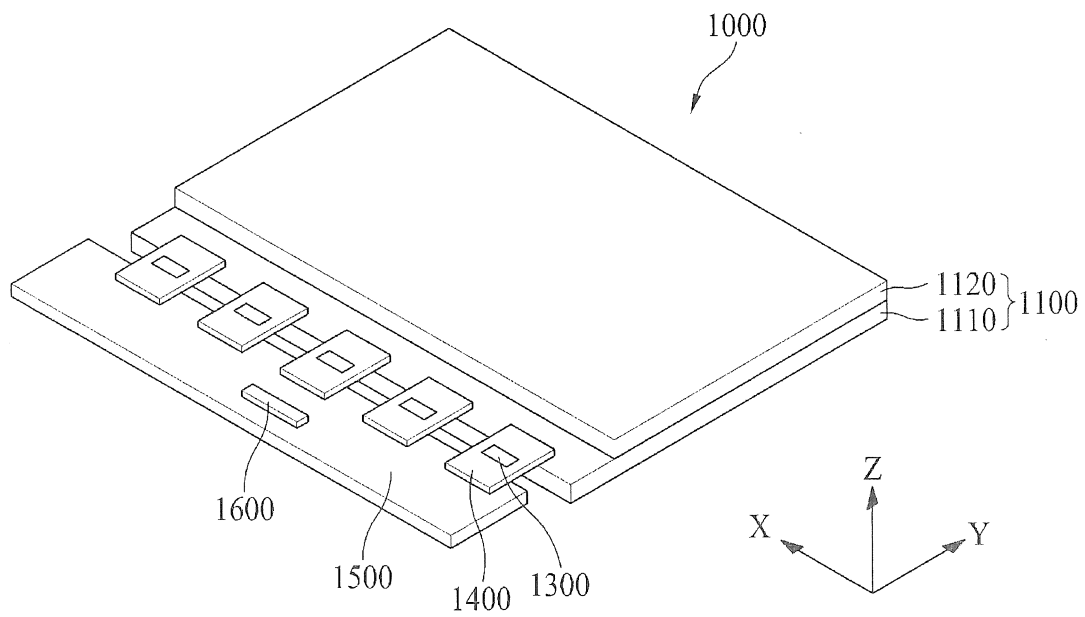


FIG. 2

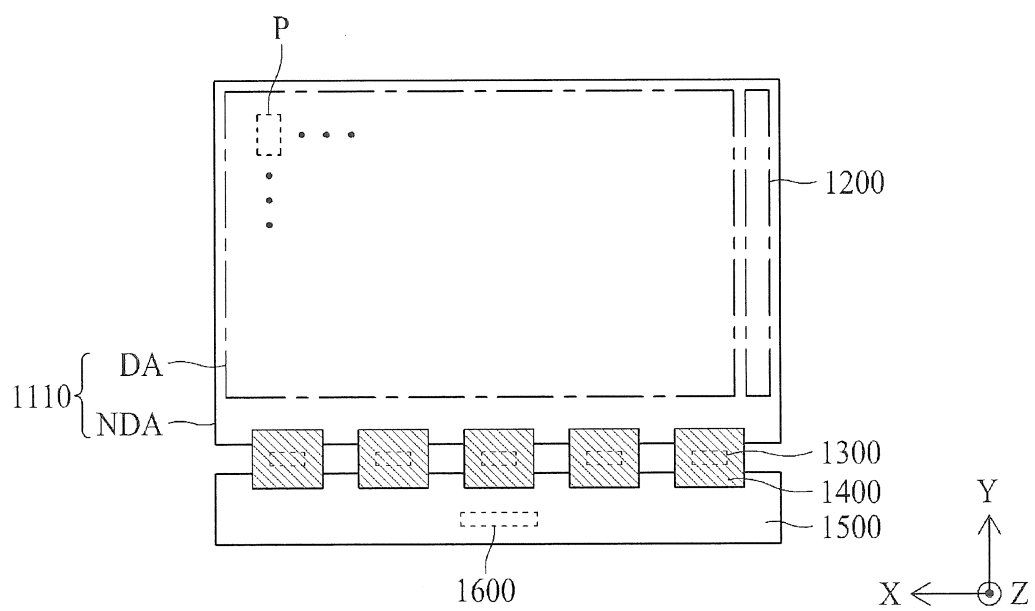


FIG. 3

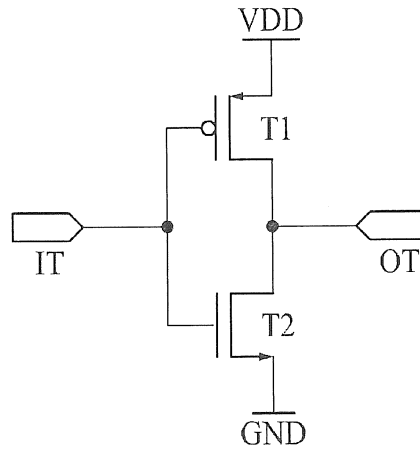


FIG. 4

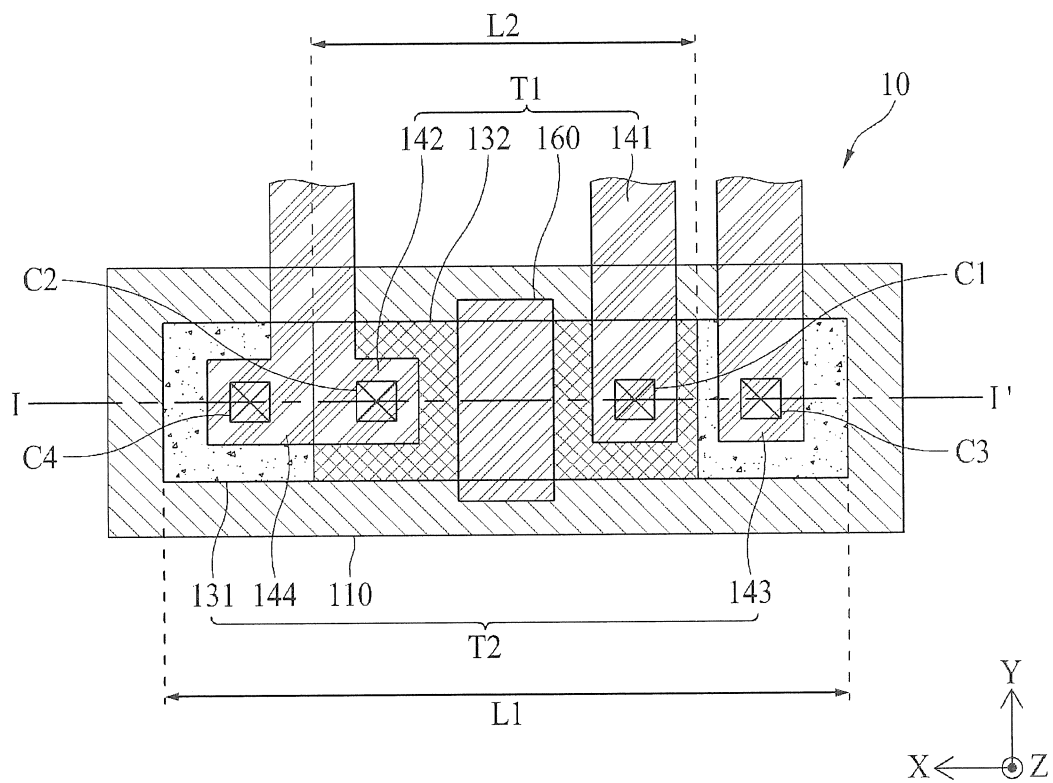


FIG. 5

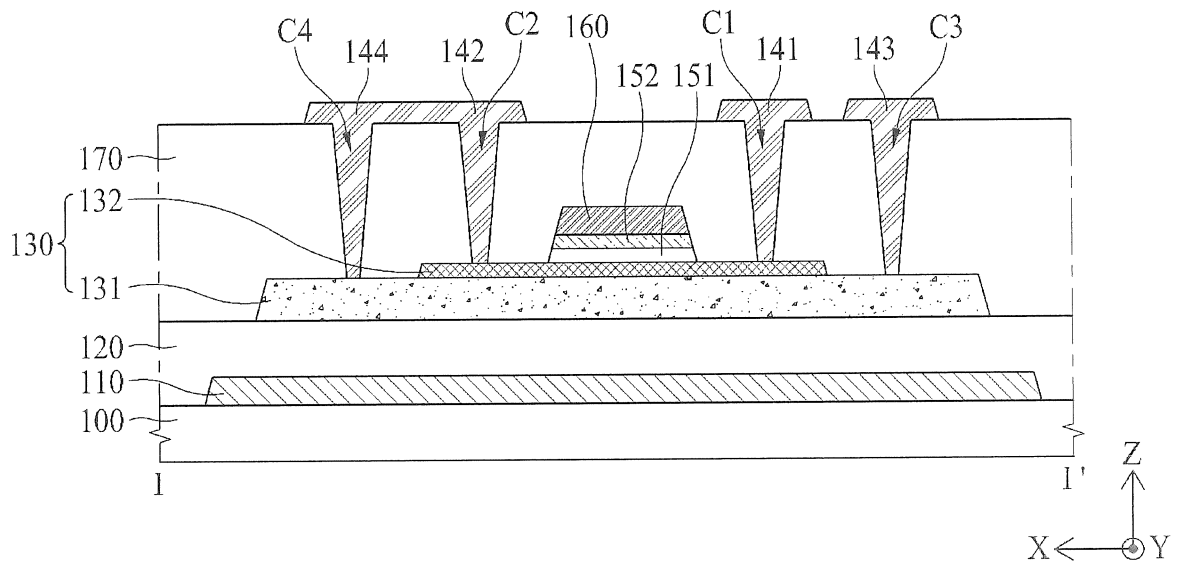


FIG. 6

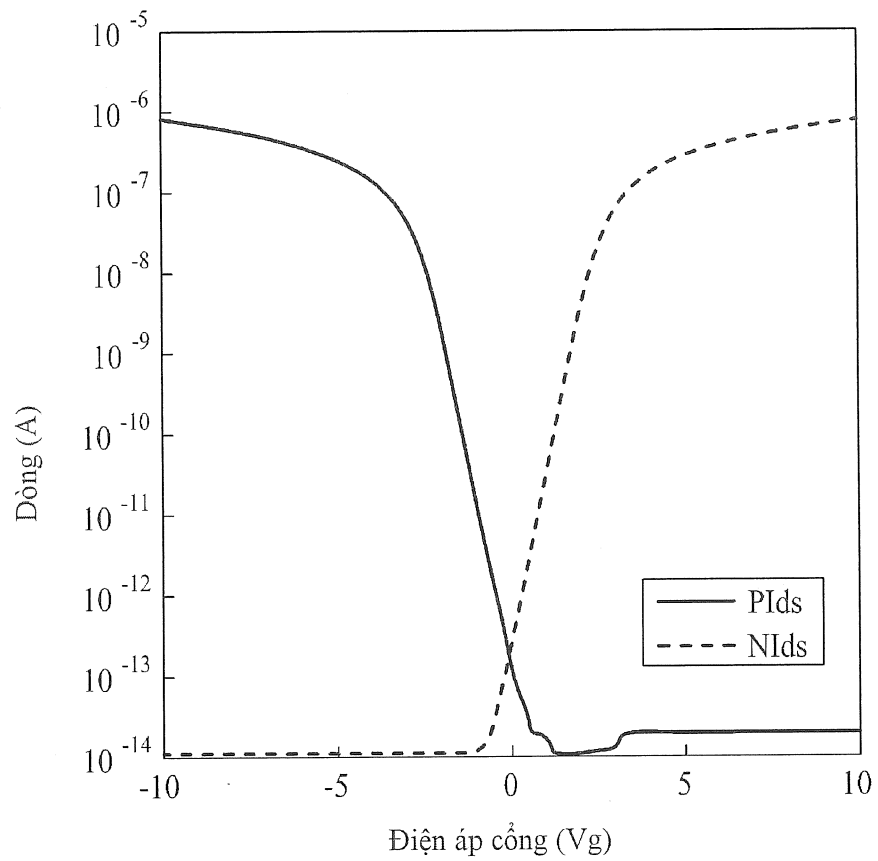


FIG. 7A

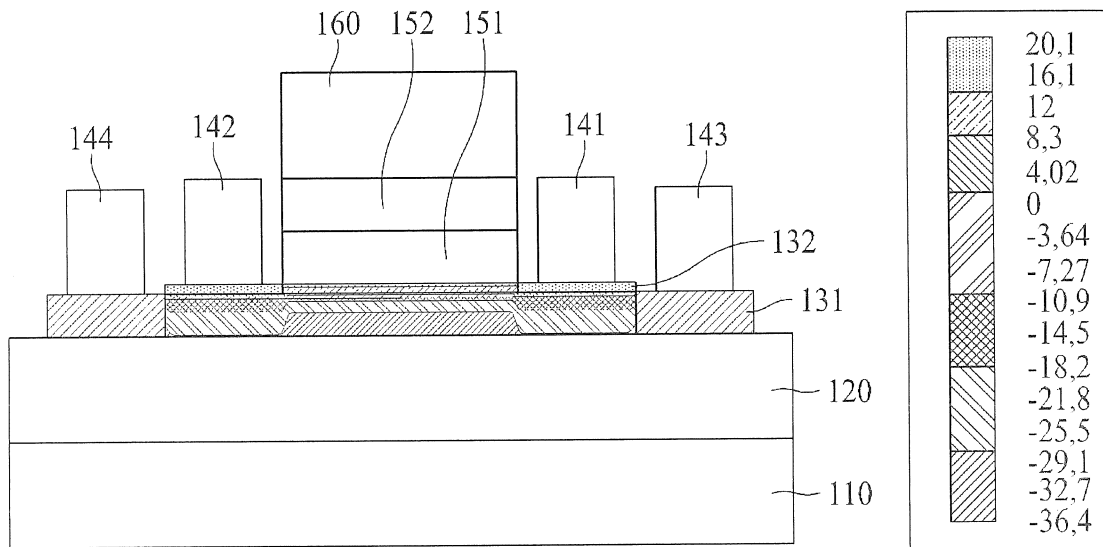


FIG. 7B

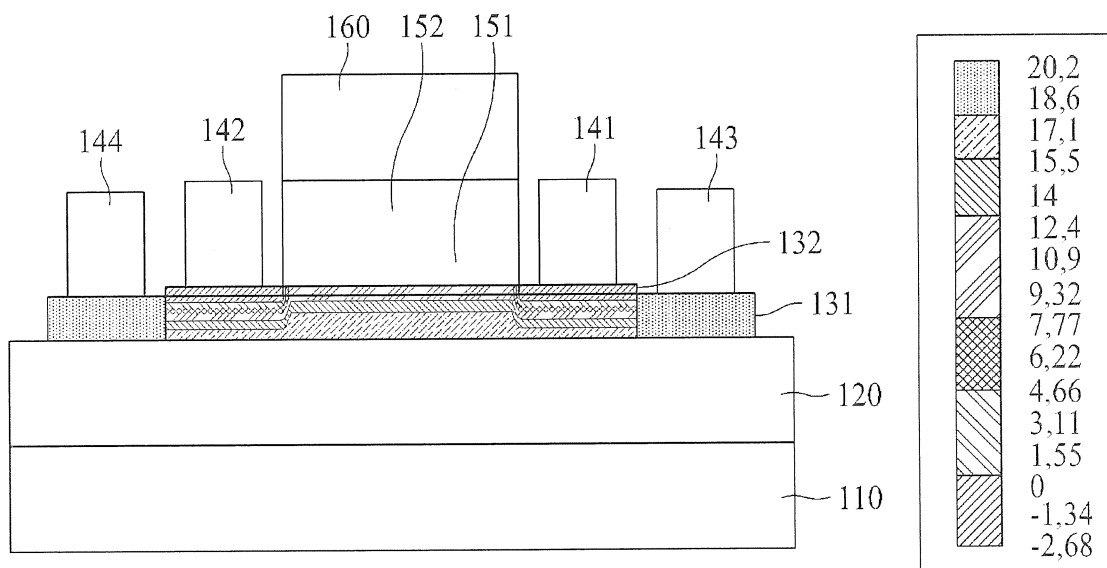


FIG. 8

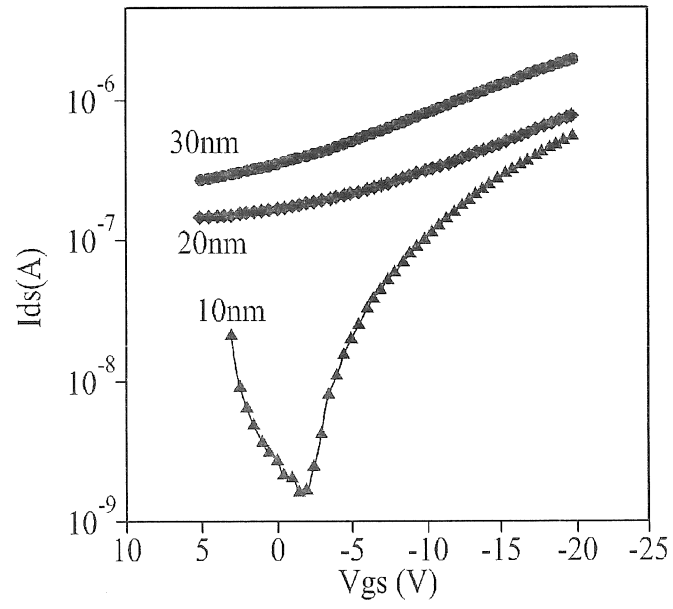


FIG. 9

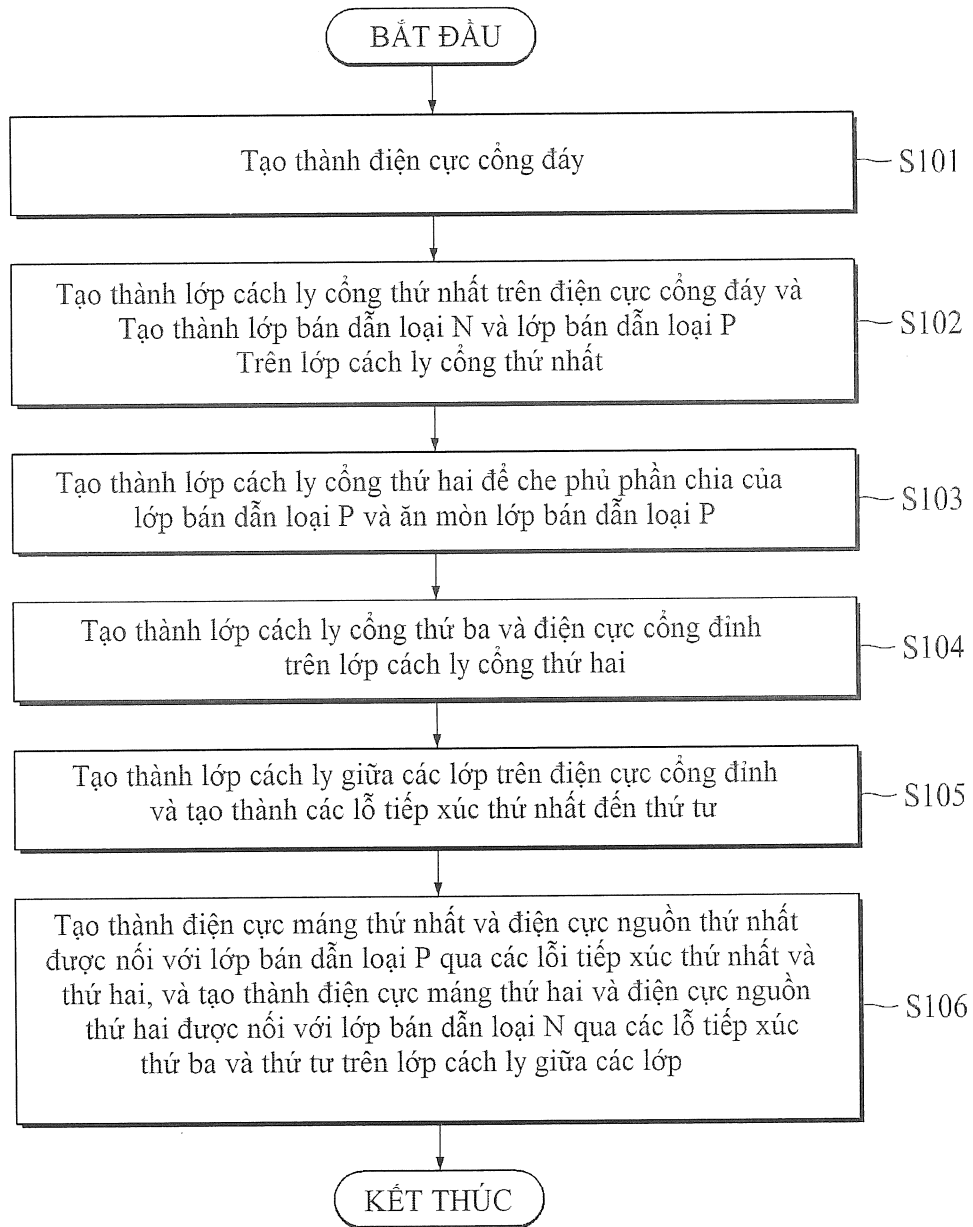


FIG. 10A

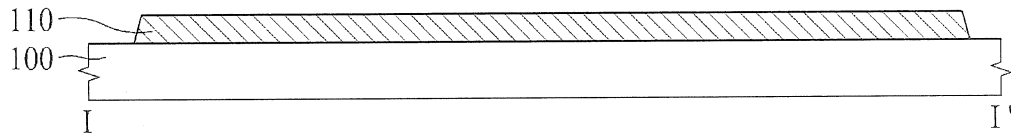


FIG. 10B

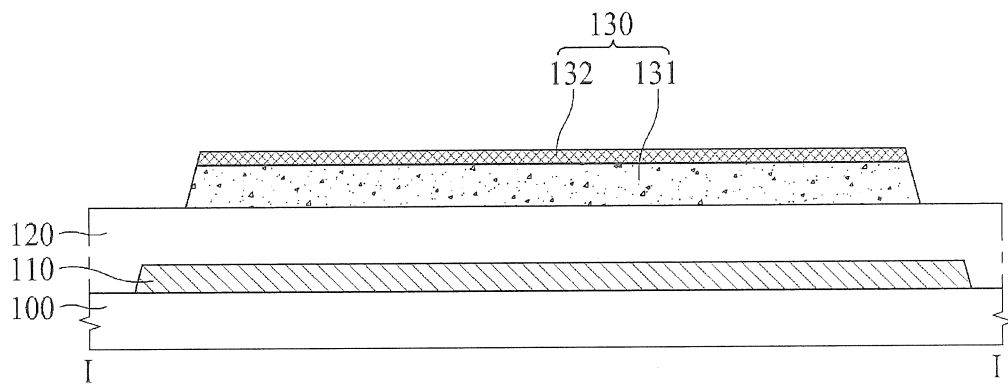


FIG. 10C

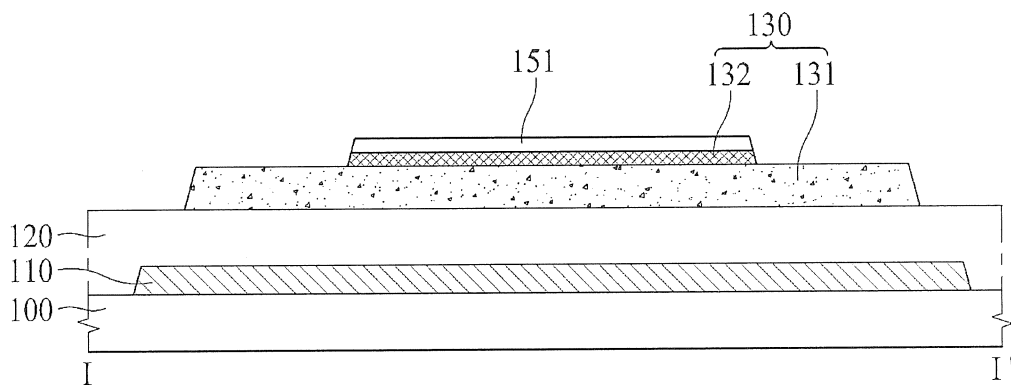


FIG. 10D

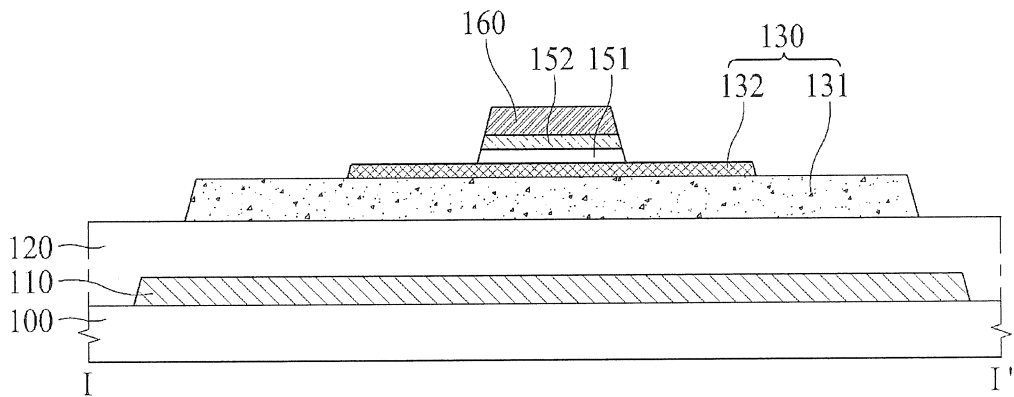


FIG. 10E

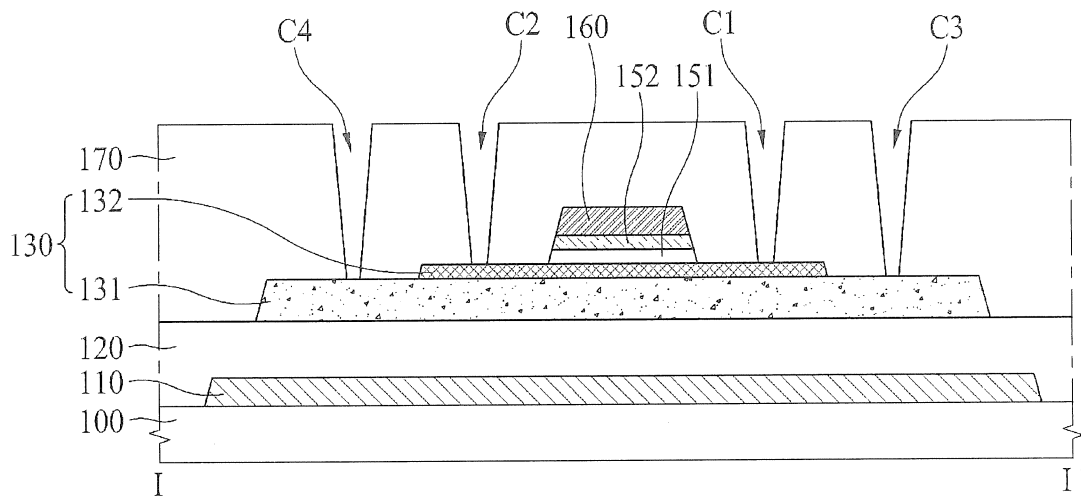


FIG. 10F

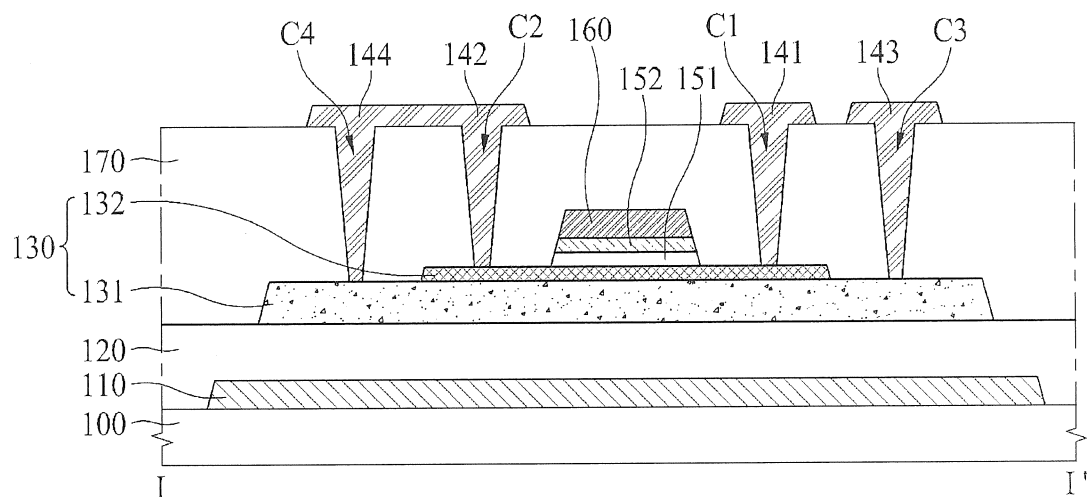


FIG. 11

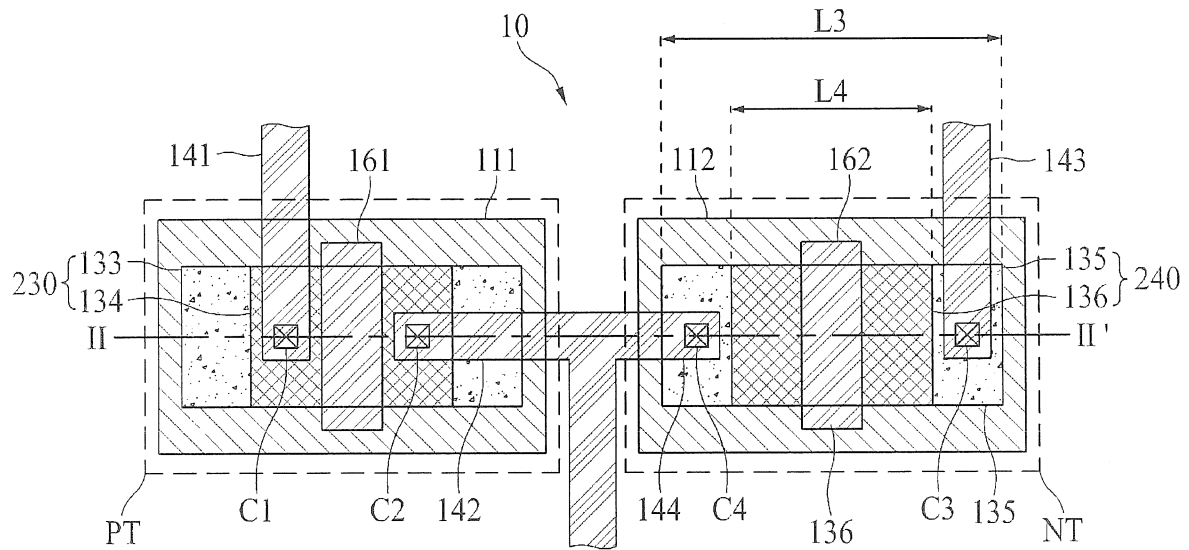


FIG. 12

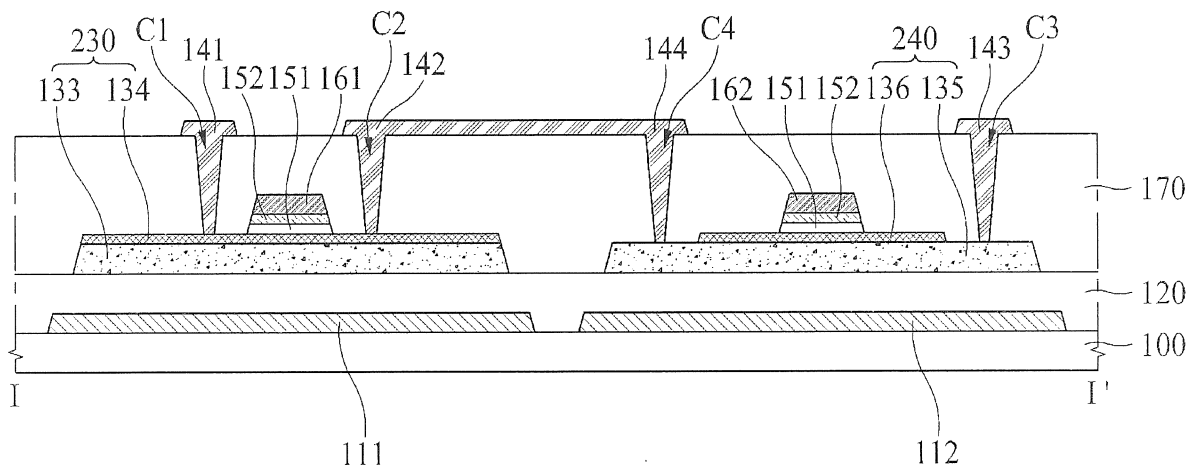


FIG. 13

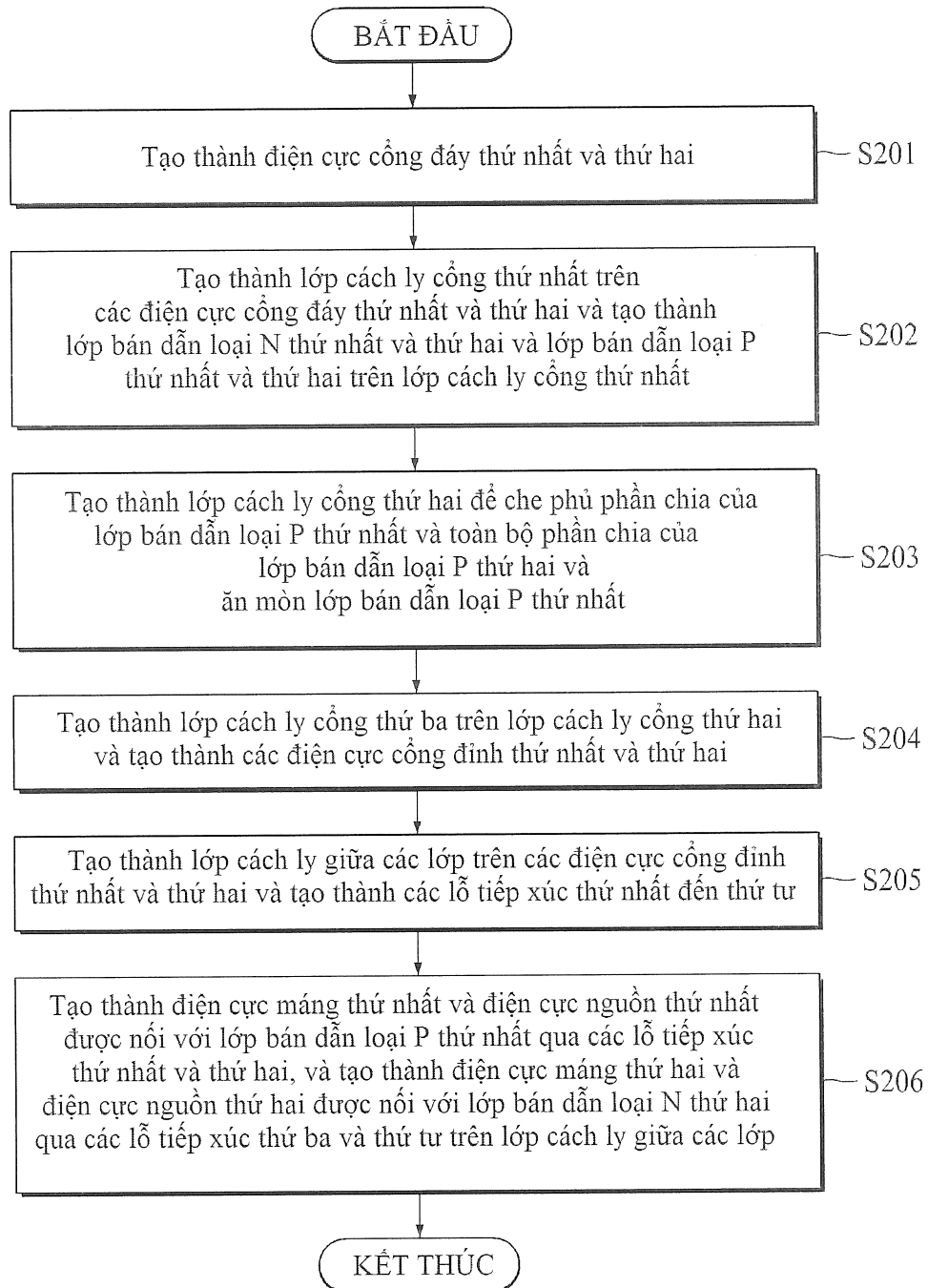


FIG. 14A

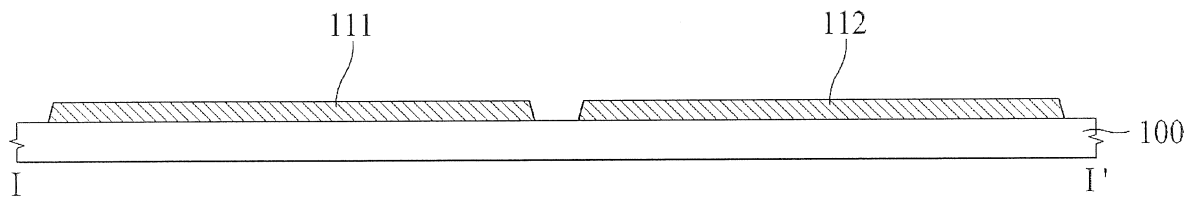


FIG. 14B

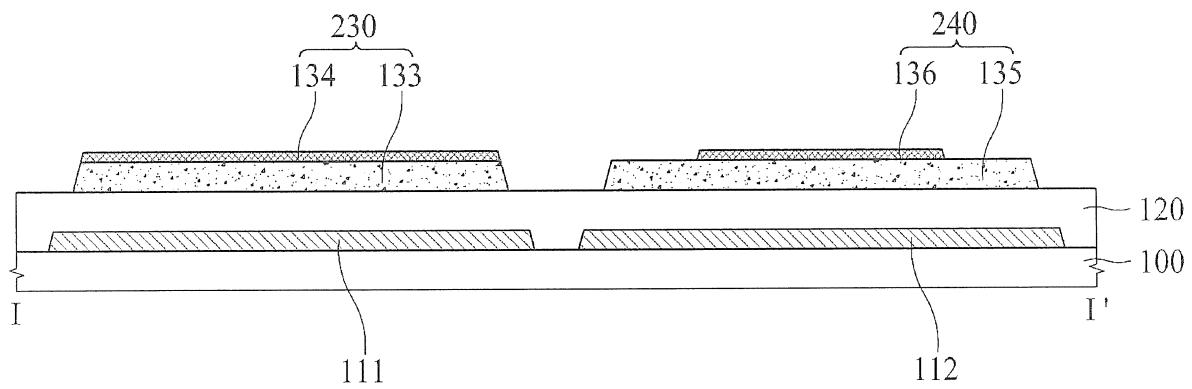


FIG. 14C

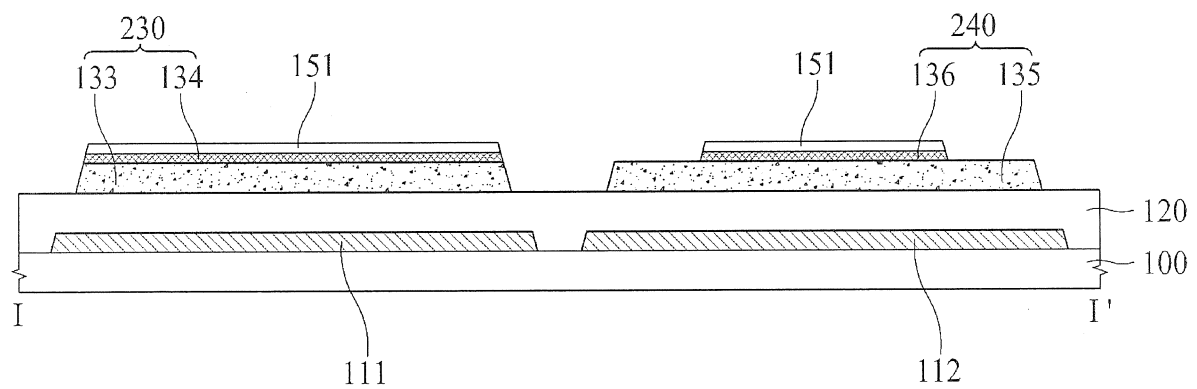


FIG. 14D

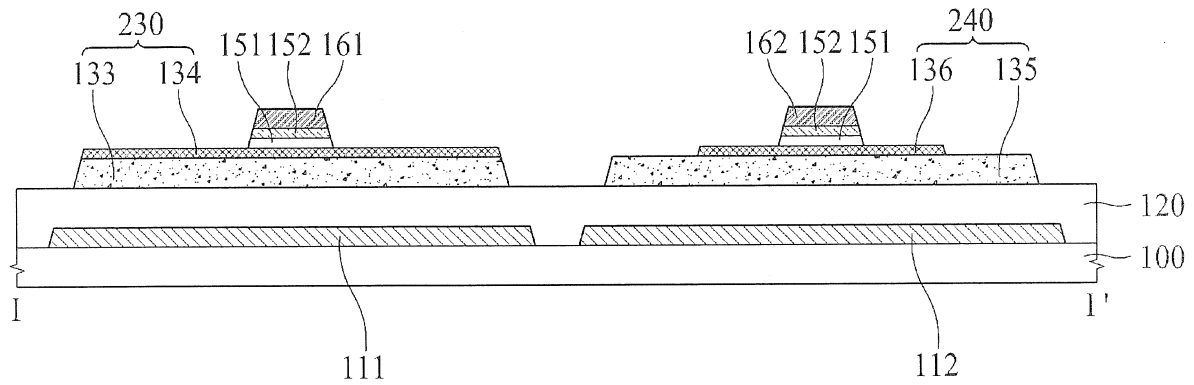


FIG. 14E

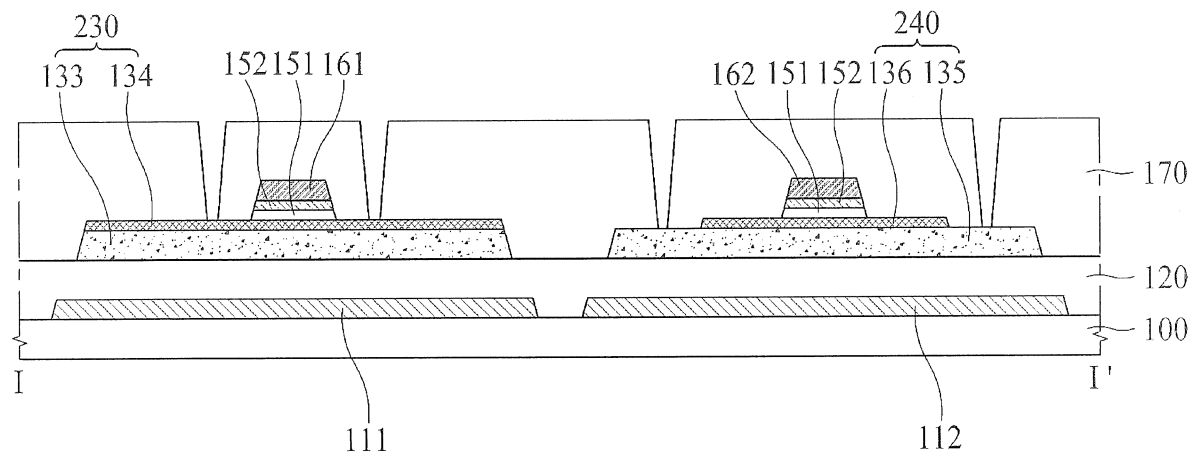


FIG. 14F

