



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0038188

(51)^{2020.01} G06F 12/02

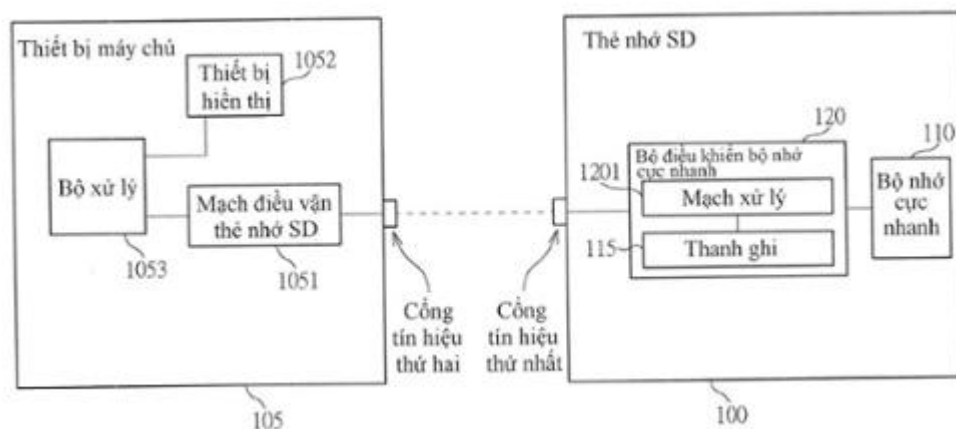
(13) B

- (21) 1-2020-03862 (22) 28/12/2018
(86) PCT/CN2018/124809 28/12/2018 (87) WO2019/129194 04/07/2019
(30) 62/610,937 28/12/2017 US; 62/619,930 22/01/2018 US
(45) 25/01/2024 430 (43) 26/10/2020 391A1
(73) SILICON MOTION INC. (CN)
8F-1, No.36, Taiyuan St., Jhubei City, Hsinchu County, Taiwan 30265, China
(72) HSIEH, Chao-Kuei (TW).
(74) Công ty Luật TNHH T&G (TGVN)

(54) BỘ ĐIỀU KHIỂN BỘ NHỚ CỰC NHANH, THẺ NHỚ KỸ THUẬT SỐ AN TOÀN
BAO GỒM BỘ ĐIỀU KHIỂN BỘ NHỚ CỰC NHANH, PHƯƠNG PHÁP TRUYỀN
THÔNG, VÀ THIẾT BỊ MÁY CHỦ

(57)

Sáng chế đề cập đến bộ điều khiển bộ nhớ cực nhanh gồm có mạch xử lý mà được sắp đặt để nhận lệnh thứ nhất và tham số địa chỉ phần thứ nhất, nhận lệnh thứ hai và tham số địa chỉ phần thứ hai, thu được tham số địa chỉ đầy đủ nhờ kết hợp tham số địa chỉ phần thứ nhất với tham số địa chỉ phần thứ hai, và thực hiện hoạt động tương ứng trên bộ nhớ cực nhanh theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai. Sáng chế cũng đề cập đến thẻ nhớ kỹ thuật số an toàn bao gồm bộ điều khiển bộ nhớ cực nhanh, phương pháp truyền thông được sử dụng trong bộ điều khiển bộ nhớ cực nhanh, và thiết bị máy chủ để truy nhập thẻ nhớ kỹ thuật số an toàn.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến sơ đồ truyền thông thẻ nhớ, và nói riêng hơn là đề cập đến bộ điều khiển bộ nhớ cực nhanh, thẻ nhớ, phương pháp được sử dụng trong bộ điều khiển bộ nhớ cực nhanh, và thiết bị máy chủ được kết nối với thẻ nhớ.

Tình trạng kỹ thuật của sáng chế

Nói chung, sơ đồ truyền thông được phát triển hiện thời giữa bộ nhớ cực nhanh và thiết bị máy chủ chỉ hỗ trợ sự đánh địa chỉ của nhiều nhất không gian địa chỉ logic độ dài 32 bit. Thiết bị máy chủ gửi lệnh và truyền tham số địa chỉ mà chỉ chỉ báo nhiều nhất địa chỉ logic độ dài 32 bit. Điều này khiến dung lượng cực đại của bộ nhớ cực nhanh được giới hạn ở 2TB (Trillion byte, nghìn tỷ byte), và thẻ nhớ kỹ thuật số an toàn (secure digital, SD) thông thường thường được sắp đặt để báo cáo dung lượng cực đại của 2TB đối với thiết bị máy chủ.

Tuy nhiên, với sự phát triển và tiến bộ của công nghệ và các ứng dụng, ví dụ, yêu cầu của chất lượng hình ảnh của chức năng ghi lại video của điện thoại di động trở nên ngày càng cao hơn, và có xác suất lớn là không đủ cho các ứng dụng trong tương lai để giới hạn dung lượng cực đại của bộ nhớ cực nhanh ở 2TB. Theo đó, cho bộ nhớ cực nhanh có dung lượng cực đại lớn hơn so với 2TB, cần cung cấp sơ đồ truyền thông mới để làm cho thẻ nhớ SD có năng lực để báo cáo dung lượng cực đại lớn hơn so với 2TB đối với thiết bị máy chủ cũng như có năng lực để hỗ trợ khả năng đánh địa chỉ của lớn hơn so với không gian địa chỉ logic độ dài 32 bit.

Bản chất kỹ thuật của sáng chế

Bởi vậy một trong các mục đích của sáng chế là để cung cấp bộ điều khiển bộ nhớ cực nhanh (flash memory controller), thiết bị thẻ nhớ (memory card device), phương pháp được dùng trong bộ điều khiển bộ nhớ cực nhanh, và thiết bị máy chủ (host device) được kết nối với thiết bị thẻ nhớ mà có thể hỗ trợ sơ đồ truyền thông mới để làm cho thiết bị thẻ nhớ báo cáo dung lượng lớn hơn so với 2TB đối với thiết bị

máy chủ cũng như có thể hỗ trợ khả năng để đánh địa chỉ (addressing) của lớn hơn so với không gian địa chỉ logic độ dài 32 bit. Giải pháp cung cấp có thể tương thích với sơ đồ truyền thông bộ nhớ cực nhanh được phát triển hiện thời. Nghĩa là, giải pháp cung cấp có thể làm cho thiết bị thẻ nhớ báo cáo dung lượng nhỏ hơn so với 2TB đối với thiết bị máy chủ cũng như có thể hỗ trợ khả năng để đánh địa chỉ của không gian địa chỉ logic độ dài 32 bit.

Theo các phương án của sáng chế, bộ điều khiển bộ nhớ cực nhanh được sử dụng trong thẻ nhớ kỹ thuật số an toàn (secure digital, SD) được bộc lộ. Bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để ghép với bộ nhớ cực nhanh trong thẻ nhớ SD qua buýt trong (internal bus) của thẻ nhớ SD. Bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để kết nối với mạch điều vận thẻ nhớ SD (SD memory card driving circuit) của thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD và ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ. Bộ điều khiển bộ nhớ cực nhanh bao gồm mạch xử lý mà được sử dụng để: nhận lệnh thứ nhất và tham số địa chỉ một phần thứ nhất (first partial address parameter) được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD (CMD pin) của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự; nhận lệnh thứ hai và tham số địa chỉ một phần thứ hai (second partial address parameter) được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự; kết hợp để thu được tham số địa chỉ đầy đủ (complete address parameter) theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai; và, thực hiện hoạt động xử lý trên bộ nhớ cực nhanh của thẻ nhớ SD qua buýt trong theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh. Lệnh thứ nhất là một trong các lệnh CMD22, CMD31, CMD39, CMD41, và CMD51. Loại lệnh của lệnh thứ hai bao gồm sự đọc đơn vị dữ liệu đơn (single data unit read) của CMD 17, sự ghi đơn vị dữ liệu đơn (single data unit write) của CMD24, sự đọc nhiều đơn vị dữ liệu (multiple data unit read) của CMD18, sự ghi nhiều đơn vị dữ liệu (multiple data unit write) của CMD25, sự giao

nhệm vụ hàng đợi lệnh (command queue task assignment) của CMD44 hoặc CMD45, và sự xóa khối (block erase) của CMD32, CMD33, hoặc CMD38. Tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ. Khi nhận bit bắt đầu '0' và bit truyền '1' ở chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất, mạch xử lý được sắp đặt để xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng (specific command) từ mạch điều vận thẻ nhớ SD đến thẻ nhớ SD và được sử dụng để nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền '1'.

Theo các phương án, thẻ nhớ SD được bộc lộ. Thẻ nhớ SD bao gồm bộ nhớ cực nhanh và bộ điều khiển bộ nhớ cực nhanh được đề cập ở trên.

Theo các phương án, phương pháp được sử dụng trong bộ điều khiển bộ nhớ cực nhanh của thẻ nhớ SD được bộc lộ. Bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để ghép với bộ nhớ cực nhanh trong thẻ nhớ SD qua buýt trong của thẻ nhớ SD, và bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để kết nối với mạch điều vận thẻ nhớ SD của thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD và ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ. Phương pháp bao gồm các bước: nhận lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự; nhận lệnh thứ hai và tham số địa chỉ một phần thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự; kết hợp để thu được tham số địa chỉ đầy đủ theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai; và, thực hiện hoạt động xử lý trên bộ nhớ cực nhanh của thẻ nhớ SD qua buýt trong theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh. Lệnh thứ nhất là một trong các lệnh CMD22, CMD31, CMD39, CMD41, và CMD51. Loại lệnh của lệnh thứ hai bao gồm

sự đọc đơn vị dữ liệu đơn của CMD 17, sự ghi đơn vị dữ liệu đơn của CMD24, sự đọc nhiều đơn vị dữ liệu của CMD18, sự ghi nhiều đơn vị dữ liệu của CMD25, sự giao nhiệm vụ hàng đợi lệnh của CMD44 hoặc CMD45, và sự xóa khối của CMD32, CMD33, hoặc CMD38. Tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ. Phương pháp còn bao gồm các bước: xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng từ mạch điều vận thẻ nhớ SD đến thẻ nhớ SD khi nhận bit bắt đầu '0' và bit truyền '1' ở chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất; và, nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền '1'.

Theo các phương án, thiết bị máy chủ để truy nhập thẻ nhớ SD và được tạo cấu hình để ghép với bộ nhớ cực nhanh và bộ điều khiển bộ nhớ cực nhanh trong thẻ nhớ SD qua mạch điều vận thẻ nhớ SD của thiết bị máy chủ, ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ, ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD, và buýt trong của thẻ nhớ SD được bộc lộ. Thiết bị máy chủ bao gồm mạch điều vận thẻ nhớ SD và bộ xử lý. Bộ xử lý được ghép với mạch điều vận thẻ nhớ SD, và được tạo cấu hình để: điều khiển mạch điều vận thẻ nhớ SD để gửi lệnh thứ nhất và tham số địa chỉ một phần thứ nhất đến thẻ nhớ SD trong đó lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền đến bộ điều khiển bộ nhớ cực nhanh theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD; điều khiển mạch điều vận thẻ nhớ SD để gửi lệnh thứ hai và tham số địa chỉ một phần thứ hai đến thẻ nhớ SD trong đó lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền đến bộ điều khiển bộ nhớ cực nhanh theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD; và, điều khiển mạch điều vận thẻ nhớ SD để gửi tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai, để làm cho bộ điều khiển bộ nhớ cực nhanh kết hợp và thu được tham số địa chỉ đầy đủ theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai và để làm cho bộ điều khiển bộ nhớ cực nhanh thực hiện hoạt động xử lý trên bộ nhớ cực nhanh qua buýt trong theo tham số địa chỉ đầy đủ và loại

lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh. Lệnh thứ nhất là một trong các lệnh CMD22, CMD31, CMD39, CMD41, và CMD51. Loại lệnh của lệnh thứ hai ít nhất bao gồm sự đọc đơn vị dữ liệu đơn của CMD17, sự ghi đơn vị dữ liệu đơn của CMD24, sự đọc nhiều đơn vị dữ liệu của CMD18, sự ghi nhiều đơn vị dữ liệu của CMD25, sự giao nhiệm vụ hàng đợi lệnh của CMD44 hoặc CMD45, và sự xóa đơn vị dữ liệu (data unit erase) của CMD32, CMD33, hoặc CMD38. Tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ. Mạch điều vận thẻ nhớ SD được sắp đặt để gửi theo cách tuần tự bit bắt đầu '0' và bit truyền '1' đến thẻ nhớ SD qua chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất, để làm cho bộ điều khiển bộ nhớ cực nhanh nhận bit bắt đầu '0' và bit truyền '1' qua chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất để xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng từ mạch điều vận thẻ nhớ SD đến thẻ nhớ SD và để làm cho bộ điều khiển bộ nhớ cực nhanh nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền '1'.

Các mục đích này và các mục đích khác của sáng chế sẽ không nghi ngờ gì trở nên rõ ràng đối với những người có hiểu biết trung bình trong lĩnh vực sau khi đọc sự mô tả chi tiết sau đây của phương pháp ưu tiên mà được minh họa trên các hình và hình vẽ khác nhau.

Mô tả vắn tắt các hình vẽ

FIG.1 là sơ đồ khối thể hiện thiết bị thẻ nhớ và thiết bị điện tử như thiết bị máy chủ theo các phương án của sáng chế.

FIG.2 là sơ đồ của ví dụ của sự truyền thông dữ liệu qua giao diện truyền thông riêng giữa thiết bị máy chủ và thẻ nhớ SD cho sự truyền thông dung lượng cực đại theo các phương án của sáng chế.

FIG.3 là sơ đồ của ví dụ của bộ xử lý của thiết bị máy chủ hiển thị kết quả tính toán của dung lượng cực đại của bộ nhớ cực nhanh trên thiết bị hiển thị theo các phương án của sáng chế.

FIG.4 là sơ đồ của thiết bị máy chủ gửi các lệnh khác nhau đến thẻ nhớ SD để ghi các đơn vị dữ liệu với các địa chỉ logic độ dài bit khác nhau.

FIG.5 là sơ đồ thể hiện thiết bị máy chủ gửi các lệnh khác nhau đến thẻ nhớ SD để thực hiện các hoạt động đọc đơn vị dữ liệu dựa trên các địa chỉ logic có các độ dài bit khác nhau theo một phương án của sáng chế.

FIG.6 là sơ đồ thể hiện thiết bị máy chủ gửi các lệnh khác nhau đến thẻ nhớ SD 100 để thực hiện các hoạt động đọc và ghi dựa trên các độ dài đọc và ghi dữ liệu chỉ định theo các phương án của sáng chế.

FIG.7 là sơ đồ thể hiện thiết bị máy chủ gửi các lệnh khác nhau đến thẻ nhớ SD để thực hiện hoạt động xóa khối và hoạt động chuyển khối của sự giao nhiệm vụ hàng đợi lệnh theo các phương án của sáng chế.

FIG.8 là sơ đồ của ví dụ của định dạng truyền lệnh của thẻ nhớ SD theo các phương án của sáng chế.

FIG.9 là sơ đồ thể hiện ví dụ của định dạng truyền lệnh của thiết bị máy chủ gửi lệnh CMD22 và lệnh ghi CMD24 để ghi dữ liệu đối với thẻ nhớ SD theo các phương án của sáng chế.

FIG.10 là sơ đồ trạng thái của các hoạt động của thẻ nhớ SD theo các phương án của sáng chế.

Mô tả chi tiết sáng chế

Tham chiếu đến FIG.1, mà là sơ đồ khối thể hiện thiết bị thẻ nhớ 100 và thiết bị điện tử 105 như thiết bị máy chủ theo các phương án của sáng chế. Thiết bị thẻ nhớ 100 ví dụ được kết nối với ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ 105 qua ít nhất một cổng tín hiệu ngoài thứ nhất của giao diện truyền thông của nó như giao diện USB (nhưng không được giới hạn) để được kết nối với mạch điều vận thẻ nhớ 1051 của thiết bị máy chủ 105. Thiết bị thẻ nhớ 100 bao gồm bộ nhớ cực nhanh 110 (bao gồm một hoặc nhiều chip bộ nhớ cực nhanh) và bộ điều khiển bộ nhớ cực nhanh 120. Bộ điều khiển bộ nhớ cực nhanh 120 được kết nối với ít nhất một cổng tín hiệu ngoài thứ nhất, và sự truyền/truyền thông dữ liệu giữa bộ điều khiển bộ nhớ cực nhanh 120 và bộ nhớ cực nhanh 110 được chuyển qua buýt trong. Thiết bị máy chủ

105 bao gồm mạch điều vận thẻ nhớ 1051, thiết bị hiển thị 1052, và bộ xử lý 1053. Bộ điều khiển 120 ít nhất bao gồm mạch xử lý 1201 và thanh ghi (register) 115. Thiết bị thẻ nhớ 100 ví dụ là thẻ nhớ SD như thẻ SDHC, thẻ SDXC, thẻ SDUC, thẻ SD PCIe, hoặc thẻ SD NVMe. Mạch điều vận thẻ nhớ 1051 ví dụ là mạch điều vận thẻ nhớ SD. Cần lưu ý là thiết bị thẻ nhớ 100 không được giới hạn vào thẻ nhớ SD. Trong các phương án khác, thiết bị thẻ nhớ 100 có thể là các loại khác nhau khác của các thẻ nhớ. Bộ xử lý 1053 của thiết bị máy chủ 105 truyền thông với mạch xử lý 1201 của bộ điều khiển 120, ví dụ, sự truyền và sự nhận của lệnh điều khiển, qua mạch điều vận thẻ nhớ SD 1051, ít nhất một cổng tín hiệu ngoài thứ hai, ít nhất một cổng tín hiệu ngoài thứ nhất. Ngoài ra, bộ điều khiển thẻ nhớ 120 thực hiện hoạt động xử lý trên bộ nhớ cực nhanh 110 qua buýt trong.

Khi thiết bị thẻ nhớ 100 được cấp năng lượng, bộ điều khiển 120 được sắp đặt để đọc thông tin các đặc trưng cơ bản từ bộ nhớ cực nhanh 110 qua buýt trong và sau đó lưu trữ thông tin trong thanh ghi 115. Thông tin các đặc trưng cơ bản ví dụ là dữ liệu riêng cho thẻ (card specific data, CSD). Mạch xử lý 1201 của bộ điều khiển 120 có thể phát hiện và kiểm tra các đặc trưng của bộ nhớ cực nhanh 110 và ghi thông tin các đặc trưng cơ bản vào thanh ghi 115.

Khi thiết bị máy chủ 105 truyền thông với thẻ nhớ SD 100 trong khi khởi tạo, bộ xử lý 1053 được sắp đặt để ghi lệnh đối với thanh ghi (không được thể hiện trên FIG.1) của thiết bị máy chủ 105, và sau đó mạch điều vận thẻ nhớ SD 1051 đọc lệnh như vậy từ thanh ghi để gửi lệnh yêu cầu đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất, để đòi hỏi thẻ nhớ SD 100 để báo cáo thông tin trở lại thiết bị máy chủ 105. Ví dụ, thiết bị máy chủ 105 gửi lệnh yêu cầu CMD9 đến thẻ nhớ SD 100 để đòi hỏi thẻ 100 báo cáo CSD. Sau khi nhận lệnh yêu cầu CMD9, bộ điều khiển 120 của thẻ nhớ SD 100 đưa ra và báo cáo CSD được lưu trữ trong thanh ghi 115 đối với thiết bị máy chủ 105. Bộ điều khiển 120 thu được CSD từ thanh ghi 115 và sau đó truyền CSD đến bộ xử lý 1053 của thiết bị máy chủ 105 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ nhất, ít nhất một cổng tín hiệu ngoài thứ hai, và mạch điều vận thẻ nhớ SD 1051. Bộ xử lý 1053 có thể tính toán và/hoặc thu được thông tin của bộ nhớ cực nhanh 110 dựa trên CSD. Cần lưu ý là trên thực tiễn mạch điều vận thẻ

nhớ SD 1051 là hoạt động với phần mềm bộ điều vận (driver software) tương ứng để thi hành các chức năng của sự truyền lệnh và sự truyền thông tin.

Thông tin CSD được tạo ra bởi nhà sản xuất thẻ nhớ để sử dụng thiết bị khởi tạo thẻ để tải chương trình khởi tạo thẻ riêng để tạo ra CSD khi nhà sản xuất tạo ra thiết bị thẻ nhớ SD. Chương trình khởi tạo thẻ ví dụ được cung cấp bởi nhà sản xuất bộ điều khiển bộ nhớ SD. Chẳng hạn, sau khi nhà sản xuất thẻ nhớ quyết định loại của bộ nhớ cực nhanh và lựa chọn bộ điều khiển tương ứng, nhà sản xuất thẻ nhớ khởi tạo bộ nhớ cực nhanh nhờ sử dụng chương trình khởi tạo thẻ riêng được cung cấp bởi nhà sản xuất bộ điều khiển bộ nhớ SD. Nhà sản xuất thẻ nhớ xác định dung lượng cực đại của thẻ SD và được sắp đặt để ghi thông tin CSD tương ứng với dung lượng cực đại vào bộ nhớ cực nhanh theo cách vĩnh cửu như ghi chép (burning) dữ liệu cho bộ nhớ cực nhanh.

Bộ nhớ cực nhanh ví dụ có năng lực để hỗ trợ dung lượng cực đại của 300TB. Nếu nhà sản xuất thẻ nhớ muốn tạo ra thẻ nhớ SD có dung lượng cực đại của chỉ 2TB, thì nhà sản xuất thẻ nhớ có thể được sắp đặt để đánh dấu thông tin tương ứng ở trường xác định trước của thông tin CSD để được ghi theo cách vĩnh cửu vào bộ nhớ cực nhanh. Như một sự lựa chọn, nếu nhà sản xuất thẻ nhớ muốn tạo ra thẻ nhớ SD có dung lượng cực đại của chỉ 300TB, thì nhà sản xuất thẻ nhớ có thể được sắp đặt để còn đánh dấu thông tin dung lượng bổ sung ở (các) trường được dành riêng (reserved)/nhàn rỗi (idle) khác của thông tin CSD để được ghi theo cách vĩnh cửu vào bộ nhớ cực nhanh thêm vào đánh dấu thông tin tương ứng ở trường xác định trước. Theo đó, nhờ tham chiếu đến thông tin được đề cập ở trên được ghi theo cách vĩnh cửu, thiết bị máy chủ để được kết nối với thẻ nhớ SD như vậy có thể thu được là thẻ nhớ SD như vậy hỗ trợ dung lượng cực đại của 300TB.

Trong phương án thứ nhất, khi tạo ra thẻ nhớ SD 100 cho sự sản xuất hàng loạt, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đánh dấu tham số bộ nhân (multiplier parameter) trong CSD của thẻ nhớ SD 100 trong đó tham số bộ nhân được sử dụng để tính toán dung lượng cực đại của bộ nhớ cực nhanh 110. Sau khi bộ điều khiển 120 báo cáo CSD được lưu trữ trong thanh ghi 115 đối với thiết bị máy chủ 105, bộ xử lý 1053 của thiết bị máy chủ 105 có năng lực để thu được thông

tin tương ứng của dung lượng cơ bản và thông tin dung lượng bổ sung, được đánh dấu bởi nhà sản xuất thẻ nhớ, từ CSD, và theo đó có thể tính toán và thu được dung lượng cực đại của thẻ nhớ SD 100 (nghĩa là dung lượng cực đại của bộ nhớ cực nhanh 110). Điều này làm cho giới hạn trên của dung lượng cực đại của bộ nhớ cực nhanh 110 được báo cáo đối với thiết bị máy chủ 105 có thể được mở rộng xa nhất có thể và không được giới hạn vào dung lượng cực đại 2TB của bộ nhớ cực nhanh thông thường.

Lấy ví dụ của CSD, CSD có thể bao gồm kết cấu dữ liệu 128 bit [127:0]. Hai bit như [127:126] có thể được sử dụng để ghi lại thông tin phiên bản của bộ nhớ cực nhanh này. 22 bit như trường C_size [69:48] được sử dụng để ghi lại dung lượng của bộ nhớ cực nhanh. Trong phương án, trường C_size được sử dụng như dung lượng cơ bản và trị số cực đại của dung lượng cơ bản tương ứng với giới hạn trên của không gian địa chỉ logic độ dài 32 bit.

Tuy nhiên, 22 bit (nghĩa là trường C_size [69:48]) nhiều nhất chỉ báo dung lượng của 2TB, và không thể chỉ báo dung lượng của lớn hơn so với 2TB. Do đó, nó không thích hợp.

Để giải quyết vấn đề được đề cập ở trên, phương pháp được cung cấp của sáng chế là để dùng N bit khác trong CSD để chỉ báo tham số bộ nhân cho dung lượng cực đại của bộ nhớ cực nhanh. Ví dụ, tham số bộ nhân bằng hai mũ N, nghĩa là, 2^N , và N ví dụ bằng 5. N bit có thể được thi hành nhờ sử dụng năm bit mà ban đầu được sử dụng như các bit được dành riêng/nhàn rỗi của CSD, ví dụ [75:70], để chỉ báo tham số bộ nhân cho dung lượng cực đại của bộ nhớ cực nhanh. Năm bit trong các sự mô tả sau đây được định nghĩa như các bit chỉ báo/phần tử chỉ báo/đánh dấu dung lượng hoặc các bit đầu tiên. Năm bit có thể được sử dụng để chỉ báo trị số nằm trong khoảng từ 0 đến 31. Theo đó, tham số bộ nhân nằm trong khoảng từ trị số của hai mũ không đến trị số của hai mũ 31, nghĩa là $2^0 - 2^{31}$. Năm bit ví dụ có thể từ '00000' đến '11111' để chỉ báo trị số nằm trong khoảng từ không đến 32. Khi năm bit được sử dụng để chỉ báo trị số của 32, năm bit có thể được sử dụng với trường C_size (mà có thể chỉ báo dung lượng cơ bản của nhiều nhất 2Tb) để chỉ báo dung lượng cực đại hỗ trợ sự đánh địa chỉ của không gian địa chỉ độ dài 64 bit. Ngoài ra, trong các phương án khác, sáu bit nhân

rồi trong CSD, ví dụ [75:70], có thể được dùng như các bit chỉ báo dung lượng. Sáu bit ví dụ có thể từ '000000' đến '100000' để chỉ báo trị số nằm trong khoảng từ không đến 32. Khi sáu bit được sử dụng để chỉ báo trị số của 32, sáu bit có thể cũng được sử dụng với trường C_size (mà có thể chỉ báo dung lượng cơ bản của nhiều nhất 2Tb) để chỉ báo dung lượng cực đại hỗ trợ sự đánh địa chỉ của không gian địa chỉ độ dài 64 bit. Cần lưu ý là trị số của N không có ý nghĩa là sự giới hạn. Hơn nữa, tham số bộ nhân không được giới hạn như 2^N . Trong các phương án khác, tham số bộ nhân có thể được tạo cấu hình như số nguyên khác nhau khác mũ N như bốn mũ N.

Tham chiếu đến FIG.2, mà là sơ đồ của ví dụ của sự truyền thông dữ liệu qua giao diện truyền thông riêng giữa thiết bị máy chủ 105 và thẻ nhớ SD 100 cho sự truyền thông dung lượng cực đại theo các phương án của sáng chế. Như được thể hiện trên FIG.2, thiết bị máy chủ 105 gửi lệnh yêu cầu CMD9 đến thẻ nhớ SD 100, và thẻ nhớ SD 100 báo cáo CSD trở lại thiết bị máy chủ 105 trong đó hai bit được sử dụng để chỉ báo phiên bản của CSD và năm bit chỉ báo dung lượng được đề cập ở trên có thể là năm bit được tạo cấu hình trước trường C_size. Tuy nhiên, điều này không được dự tính là sự giới hạn.

Thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể đặt phiên bản của CSD theo liệu dung lượng cực đại của bộ nhớ cực nhanh 110 vượt trên dung lượng riêng như dung lượng cực đại của 2TB tương ứng với sự đánh địa chỉ của không gian địa chỉ độ dài 32 bit. Ví dụ, nếu dung lượng cực đại của bộ nhớ cực nhanh 110 không lớn hơn so với 2TB, thì nhà sản xuất thẻ nhớ được sắp đặt để đặt phiên bản của CSD như vậy như phiên bản cũ để chỉ báo là bộ nhớ cực nhanh này hỗ trợ dung lượng của nhiều nhất 2TB, để làm cho thẻ nhớ SD 100 tương thích với thiết bị máy chủ thông thường hiện có. Theo đó, dù là thẻ nhớ SD với các chức năng của phiên bản mới có thể được tạo cấu hình như phiên bản cũ để tương thích với thiết bị máy chủ với chỉ các phiên bản cũ của phần mềm bộ điều vận. Ngoài ra, các phiên bản cũ của phần mềm bộ điều vận được cài đặt trong thiết bị máy chủ có thể được cập nhật thành phiên bản mới hơn. Nếu dung lượng cực đại của bộ nhớ cực nhanh 110 vượt trên 2TB, thì thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ được sắp đặt để tạo cấu hình phiên bản của CSD như phiên bản mới để chỉ báo là bộ nhớ cực nhanh này có thể hỗ trợ dung lượng lớn hơn so với 2TB.

Theo đó, khi nhận CSD được báo cáo bởi bộ điều khiển 120, bộ xử lý 1053 của thiết bị máy chủ 105 có thể xác định theo cách sơ bộ liệu dung lượng cực đại của bộ nhớ cực nhanh 110 này vượt trên dung lượng cực đại 2TB của không gian địa chỉ độ dài 32 bit, nhờ kiểm tra phiên bản của CSD. Nếu phiên bản là phiên bản cũ, thì bộ xử lý 1053 được sắp đặt để xác định dung lượng cực đại của bộ nhớ cực nhanh 110 này theo trị số được chỉ báo bởi 22 bit của trường C_size. Nếu phiên bản là phiên bản mới, thì bộ xử lý 1053 được sắp đặt để tính toán dung lượng cực đại dựa trên tham số bộ nhân được chỉ ra bởi năm bit chỉ báo dung lượng được đề cập ở trên thêm vào tham chiếu đến 22 bit của trường C_size.

Như được đề cập ở trên, khi thiết bị máy chủ 105 nhận CSD, bộ xử lý 1053 có thể tham chiếu đến trị số được biểu diễn bởi 22 bit của trường C_size và trị số được biểu diễn bởi năm bit chỉ báo dung lượng được đề cập ở trên để tính toán dung lượng cực đại của bộ nhớ cực nhanh 110. Nói cách khác, thay cho báo theo cách trực tiếp thiết bị máy chủ 105 về dung lượng cực đại, thẻ nhớ SD 100 được sắp đặt để đánh dấu bộ nhân của dung lượng của bộ nhớ cực nhanh trong kết cấu dữ liệu của CSD để làm cho bộ xử lý 1053 tính toán dung lượng cực đại của bộ nhớ cực nhanh 110 bởi chính nó. Ví dụ, tham chiếu đến bảng sau đây. Bảng sau đây thể hiện nhiều ví dụ của thông tin trong CSD:

Dung lượng được chỉ báo bởi trường C_size (22 bit)	Trị số M được biểu diễn bởi N bit chỉ báo dung lượng	Tham số bộ nhân (2^M)	Dung lượng cực đại
1,5TB	0	2^0	1,5TB
1,5TB	1	2^1	3TB
2TB	0	2^0	2TB
1TB	1	2^1	2TB
2TB	1	2^1	4TB
2TB	23	2^{23}	16EB
1,25TB	1	2^1	2,5TB

(27FFFF)			
1,5TB (2FFFFF)	1	2^1	3TB
1,875TB (3BFFFF)	4	2^4	30TB
1,171875TB (257FFF)	8	2^8	300TB
1,46484375TB (2EDFFF)	11	2^{11}	3000TB

Như được đề cập ở trên, trường C_size được sắp đặt để chỉ báo thông tin của dung lượng cơ bản của bộ nhớ cực nhanh. Ví dụ, trị số của trường C_size có thể được sử dụng để chỉ báo dung lượng của nhiều nhất 2TB. Trong một phương án, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 1,5TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,5TB, và để đặt trị số được biểu diễn bởi N bit như không; nghĩa là tham số bộ nhân được tạo cấu hình như $2^0=1$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 1,5TB.

Trong phương án khác, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 3TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,5TB, và để đặt trị số được biểu diễn bởi N bit như một; nghĩa là tham số bộ nhân được tạo cấu hình như $2^1=2$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 3TB.

Trong phương án khác, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 2TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 2TB, và để đặt trị số được biểu diễn bởi N bit như không; nghĩa là tham số bộ nhân được tạo cấu hình như

$2^0=1$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 2TB.

Thêm nữa, trong các phương án khác, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể cũng được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1TB, và để đặt trị số được biểu diễn bởi N bit như một; nghĩa là tham số bộ nhân được tạo cấu hình như $2^1=2$. Do đó, sau khi nhận CSD, bộ xử lý 1053 có thể tính toán là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 2TB. Nghĩa là, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để sử dụng sự đa dạng của các sự đặt và các sự đánh dấu để chỉ báo cùng kích thước dung lượng.

Trong một phương án, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 4TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 2TB, và để đặt trị số được biểu diễn bởi N bit như một; nghĩa là tham số bộ nhân được tạo cấu hình như $2^1=2$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 4TB.

Trong một phương án, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 16EB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 2TB, và để đặt trị số được biểu diễn bởi N bit như 23; nghĩa là tham số bộ nhân được tạo cấu hình như hai mũ 23, 2^{23} . Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 16EB.

Thêm nữa, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 2,5TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,25TB, và để đặt trị số được biểu diễn bởi N bit như một; nghĩa là tham số bộ nhân được tạo cấu hình như $2^1=2$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 2,5TB.

Trong các ví dụ khác, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 3TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,5TB, và để đặt trị số

được biểu diễn bởi N bit như một; nghĩa là tham số bộ nhân được tạo cấu hình như $2^1=2$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 3TB.

Thêm nữa, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 30TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,875TB, và để đặt trị số được biểu diễn bởi N bit như bốn; nghĩa là tham số bộ nhân được tạo cấu hình như $2^4=16$. Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 30TB.

Thêm nữa, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 300TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,171875TB, và để đặt trị số được biểu diễn bởi N bit như tám; nghĩa là tham số bộ nhân được tạo cấu hình như 2^8 . Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 300TB.

Thêm nữa, để chỉ báo là bộ nhớ cực nhanh có dung lượng cực đại của 3000TB, thiết bị khởi tạo thẻ của nhà sản xuất thẻ nhớ có thể được sắp đặt để đặt trị số được biểu diễn bởi các bit của trường C_size để tương ứng với 1,46484375TB, và để đặt trị số được biểu diễn bởi N bit như mười một; nghĩa là tham số bộ nhân được tạo cấu hình như 2^{11} . Do đó, sau khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 3000TB.

Phương pháp được cung cấp của sáng chế được sắp đặt để dùng trường của N bit chỉ báo dung lượng trong CSD để chỉ báo trị số của tham số bộ nhân (2^N) cho dung lượng, để mở rộng đáng kể sự chỉ báo của giới hạn trên của dung lượng cực đại của bộ nhớ cực nhanh. Được so sánh với phương pháp thông thường chấp nhận chỉ trường C_size để chỉ báo là dung lượng cực đại của bộ nhớ cực nhanh có nhiều nhất 2TB, phương pháp được cung cấp có thể mở rộng sự chỉ báo của giới hạn trên của dung lượng cực đại của bộ nhớ cực nhanh cũng như tránh sử dụng quá nhiều bit cho sự thi hành nhờ sử dụng tham số bộ nhân bằng số nguyên mũ N. Ví dụ, nhờ dùng năm bit chỉ báo dung lượng để chỉ báo tham số bộ nhân và sử dụng 22 bit của trường C_size, nó

có thể chỉ báo là bộ nhớ cực nhanh có thể có dung lượng của nhiều nhất 16EB, nghĩa là giới hạn trên của dung lượng cực đại.

Thêm nữa, khi nhận CSD, bộ xử lý 1053 của thiết bị máy chủ 105 có thể tính toán và thu được dung lượng cực đại của bộ nhớ cực nhanh 110 và sau đó hiển thị kết quả tính toán trên thiết bị hiển thị 1052 để làm cho người sử dụng biết dung lượng cực đại của bộ nhớ cực nhanh 110. Tham chiếu đến FIG.3. FIG.3 là sơ đồ của ví dụ của bộ xử lý 1053 của thiết bị máy chủ 105 hiển thị kết quả tính toán của dung lượng cực đại của bộ nhớ cực nhanh 110 trên thiết bị hiển thị 1052 theo các phương án của sáng chế. Thiết bị hiển thị 1052 có khả năng hiển thị là dung lượng cực đại của bộ nhớ cực nhanh 110 bằng 465TB (nghĩa là vượt trên 2TB), không gian dung lượng được sử dụng bằng 103TB, và không gian dung lượng khả dụng bằng 362TB. Cần lưu ý là các trị số và các nội dung hiển thị ở trên chỉ được sử dụng nhằm các mục đích minh họa và không có ý nghĩa là các sự giới hạn của sáng chế.

Thêm nữa, trong các phương án khác, khi thiết bị máy chủ 105 tính toán để thu được dung lượng cực đại của bộ nhớ cực nhanh 110, bộ xử lý 1053 được sắp đặt để điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi các địa chỉ logic độ dài bit khác nhau đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất theo dung lượng cực đại, để làm cho bộ điều khiển 120 của thẻ nhớ SD 100 chuyển đổi các địa chỉ logic thành các địa chỉ vật lý và sau đó thực hiện hoạt động xử lý tương ứng trên bộ nhớ cực nhanh 110 qua buýt trong theo các địa chỉ vật lý. Ví dụ, trong phương án này, nếu dung lượng cực đại không lớn hơn so với 2TB, thì thiết bị máy chủ 105 được sắp đặt để điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi địa chỉ logic độ dài 32 bit đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất trong đó địa chỉ logic độ dài 32 bit hỗ trợ sự đánh địa chỉ của kích thước không gian dung lượng logic của 2TB. Thay cho đó, nếu dung lượng cực đại lớn hơn so với 2TB, thì thiết bị máy chủ 105 được sắp đặt để điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi địa chỉ logic độ dài bit dài hơn đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất trong đó địa chỉ logic độ dài bit dài hơn có độ dài bit dài hơn so với độ dài 32 bit và có thể hỗ

trợ sự đánh địa chỉ của kích thước không gian dung lượng logic của lớn hơn so với 2TB. Độ dài bit dài hơn ví dụ là độ dài 38 bit hoặc độ dài 64 bit và phụ thuộc vào dung lượng cực đại của bộ nhớ cực nhanh 110.

Cho tính tương thích đánh địa chỉ của không gian địa chỉ logic độ dài 32 bit và không gian địa chỉ logic độ dài bit dài hơn như không gian địa chỉ logic độ dài 38 bit hoặc độ dài 64 bit, nó không cần thiết và được yêu cầu cho phương pháp được cung cấp của sáng chế để còn thi hành (các) chân hoặc (các) cổng kết nối khác. Phương pháp được cung cấp được sắp đặt để dùng cùng chân hoặc cổng kết nối được áp dụng cho không gian địa chỉ logic độ dài 32 bit để thi hành sự đánh địa chỉ của không gian địa chỉ logic độ dài bit dài hơn. Thiết bị máy chủ 105 có thể được sắp đặt để gửi sự đa dạng của các lệnh khác nhau mang thông tin của địa chỉ logic độ dài bit dài hơn đến thẻ nhớ SD 100 qua cùng chân hoặc cổng kết nối được áp dụng cho không gian địa chỉ logic độ dài 32 bit, nghĩa là ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất.

Trong các phương án sau đây, mạch điều vận 1051 của thiết bị máy chủ 105 được sắp đặt để gửi lệnh thứ nhất và truyền tham số địa chỉ một phần thứ nhất có khả năng mang nhiều nhất tham số địa chỉ độ dài 32 bit, và sau đó để gửi lệnh thứ hai và truyền tham số địa chỉ một phần thứ hai có khả năng mang nhiều nhất tham số địa chỉ độ dài 32 bit khác, sao cho để làm cho bộ điều khiển 120 của thẻ nhớ SD 100 có năng lực để kết hợp và thu được tham số địa chỉ độ dài bit dài hơn (mà là địa chỉ dài hơn so với địa chỉ độ dài 32 bit) sau khi nhận tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai. Ví dụ, bộ điều khiển 120 có thể kết hợp và thu được tham số địa chỉ độ dài 64 bit đầy đủ từ hai địa chỉ độ dài 32 bit và sau đó thực hiện hoạt động của sự giao nhiệm vụ hàng đợi lệnh, sự đọc/ghi đơn vị dữ liệu, hoặc sự xóa đơn vị dữ liệu theo loại lệnh của lệnh thứ hai. Cần lưu ý là lệnh thứ nhất ví dụ có thể được thi hành nhờ sử dụng lệnh mà là lệnh được dành riêng được chỉ rõ trong sự đặc tả thẻ nhớ SD, ví dụ một trong các lệnh CMD22, CMD31, CMD39, CMD41, CMD51, và vân vân. Ngoài ra, tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai không được giới hạn vào các địa chỉ độ dài 32 bit. Bộ xử lý 1053 của thiết bị máy chủ 105 có thể xác định tổng độ dài bit được tạo thành bởi tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai theo dung lượng cực đại thực tế của bộ nhớ

cực nhanh 110. Ví dụ, nếu dung lượng cực đại bằng 128TB, thì tổng độ dài bit có thể được xác định như độ dài 38 bit trong đó tham số địa chỉ một phần thứ nhất ví dụ chỉ báo độ dài 6 bit và tham số địa chỉ một phần thứ hai chỉ báo độ dài 32 bit. Tuy nhiên, điều này không được dự tính là sự giới hạn. Tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai có thể biến đổi được. Ngoài ra, đơn vị dữ liệu được đề cập ở trên có nghĩa là lượng dữ liệu của trang lưu trữ hoặc lượng dữ liệu của khối lưu trữ; điều này không có ý nghĩa là sự giới hạn.

Tham chiếu đến FIG.4, mà là sơ đồ của thiết bị máy chủ 105 gửi các lệnh khác nhau đến thẻ nhớ SD 100 để ghi các đơn vị dữ liệu với các địa chỉ logic độ dài bit khác nhau. Như được thể hiện trên FIG.4, để gửi lệnh ghi mang địa chỉ logic độ dài 32 bit đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi lệnh CMD24 và truyền tham số địa chỉ độ dài 32 bit như địa chỉ logic của đơn vị dữ liệu đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất, và sau đó để gửi đơn vị dữ liệu đến bộ điều khiển 120 của thẻ nhớ SD 100 qua cùng đường ở trên, sao cho bộ điều khiển 120 ghi đơn vị dữ liệu tương ứng với địa chỉ logic độ dài 32 bit vào bộ nhớ cực nhanh 110 qua buýt trong sau khi nhận lệnh ghi và đơn vị dữ liệu.

Để gửi lệnh ghi và địa chỉ độ dài bit dài hơn như địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi lệnh riêng, ví dụ lệnh thứ nhất CMD22 (nhưng không được giới hạn), và truyền tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit (mà có thể được xem như địa chỉ logic độ dài 32 bit thứ nhất) đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất. Mạch điều vận thẻ nhớ SD 1051 sau đó gửi lệnh CMD24 và truyền tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit (mà có thể được xem như địa chỉ logic độ dài 32 bit thứ hai) đến bộ điều khiển 120 của thẻ nhớ SD 100 theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và ít nhất một cổng tín hiệu ngoài thứ nhất. Sau đó mạch điều vận 1051 gửi đơn vị dữ liệu đến bộ điều khiển 120 qua đường giống hệt ở trên sao cho bộ điều khiển 120 có thể ghi đơn vị dữ liệu tương ứng với địa chỉ logic độ dài 64 bit

vào bộ nhớ cực nhanh 110 qua buýt trong sau khi nhận hai lệnh ở trên và đơn vị dữ liệu như vậy.

Thêm nữa, trong phương án khác, thiết bị máy chủ 105 có thể được sắp đặt để gửi lệnh CMD20 đến thẻ nhớ SD 100 qua cùng đường tín hiệu trước khi gửi lệnh CMD22, để chỉ báo việc ghi dữ liệu lớp tốc độ video.

Cần lưu ý là trong các phương án sau đây hoạt động để gửi lệnh từ thiết bị máy chủ 105 đến bộ điều khiển 120 của thẻ nhớ SD 100 sử dụng đường tín hiệu mà giống hệt với đường tín hiệu ở trên. Thay cho đó, cho hoạt động để gửi dữ liệu từ bộ điều khiển 120 đến thiết bị máy chủ 105, dữ liệu được truyền qua ít nhất một cổng tín hiệu ngoài thứ nhất và ít nhất một cổng tín hiệu ngoài thứ hai theo cách tuần tự. Sự mô tả không được trình bày chi tiết cho ngắn gọn.

Để ghi nhiều đơn vị dữ liệu, khi gửi lệnh ghi nhiều đơn vị dữ liệu mang địa chỉ logic độ dài 32 bit đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi lệnh CMD25 và truyền tham số địa chỉ độ dài 32 bit như địa chỉ logic đến thẻ nhớ SD 100, và sau đó để gửi nhiều đơn vị dữ liệu đến thẻ nhớ SD 100 để ghi nhiều đơn vị dữ liệu được liên kết với địa chỉ logic độ dài 32 bit trong đó địa chỉ logic độ dài 32 bit có thể là địa chỉ logic bắt đầu ghi cho nhiều đơn vị dữ liệu.

Thêm nữa, khi gửi địa chỉ logic độ dài 64 bit và lệnh ghi nhiều đơn vị dữ liệu đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ điều khiển mạch điều vận thẻ nhớ SD 1051 để gửi lệnh riêng như lệnh thứ nhất CMD22 mang tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, sau đó để gửi lệnh CMD25 mang tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó để gửi nhiều đơn vị dữ liệu đến thẻ nhớ SD 100, sao cho để ghi nhiều đơn vị dữ liệu được liên kết với địa chỉ logic độ dài 64 bit mà là tham số địa chỉ độ dài 64 bit mà có thể được tạo thành nhờ kết hợp tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai và có thể là địa chỉ logic bắt đầu ghi cho nhiều đơn vị dữ liệu được đề cập ở trên.

Theo đó, mạch xử lý 1201 có thể thu được tham số địa chỉ một phần thứ nhất khi nhận lệnh riêng như lệnh CMD22, sau đó thu được tham số địa chỉ một phần thứ

hai khi nhận lệnh CMD24 hoặc CMD 25, và sau đó có thể kết hợp tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai để thu được tham số địa chỉ độ dài 64 bit, và sau đó có thể xác định là hoạt động tiếp theo là hoạt động ghi đơn vị dữ liệu đơn hoặc hoạt động ghi nhiều đơn vị dữ liệu theo loại lệnh của lệnh CMD24 hoặc CMD25 và theo đó thực hiện hoạt động ghi đơn vị dữ liệu đơn hoặc hoạt động ghi nhiều đơn vị dữ liệu dựa trên địa chỉ logic độ dài 64 bit. Thay cho đó, nếu mạch xử lý 1201 của bộ điều khiển 120 chỉ nhận tham số địa chỉ một phần thứ hai được truyền từ lệnh CMD24 hoặc CMD 25 trong khi lệnh riêng CMD22 và tham số địa chỉ một phần thứ nhất tương ứng không được nhận, thì mạch xử lý 1201 của bộ điều khiển 120 được sắp đặt để xác định là tham số địa chỉ một phần thứ nhất bằng không và thiết bị máy chủ 105 được sắp đặt để ghi một hoặc nhiều đơn vị dữ liệu có các địa chỉ logic độ dài 32 bit.

Tham chiếu đến FIG.5, mà là sơ đồ thể hiện thiết bị máy chủ 105 gửi các lệnh khác nhau đến thẻ nhớ SD 100 để thực hiện các hoạt động đọc đơn vị dữ liệu dựa trên các địa chỉ logic có các độ dài bit khác nhau theo một phương án của sáng chế. Như được thể hiện bởi FIG.5, để gửi địa chỉ logic độ dài 32 bit được liên kết với lệnh đọc đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ gửi lệnh CMD17 và tham số địa chỉ độ dài 32 bit như địa chỉ logic của đơn vị dữ liệu đơn đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, và sau đó đọc trở lại đơn vị dữ liệu đơn từ thẻ nhớ SD 100. Để gửi địa chỉ logic độ dài 64 bit được liên kết với lệnh đọc đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ gửi lệnh riêng như lệnh thứ nhất CMD22 và tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, và sau đó gửi lệnh CMD17 và tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó đọc trở lại đơn vị dữ liệu đơn tương ứng với địa chỉ logic độ dài 64 bit từ thẻ nhớ SD 100.

Cho hoạt động đọc của nhiều đơn vị dữ liệu, khi gửi địa chỉ logic độ dài 32 bit được liên kết với lệnh đọc (để đọc nhiều đơn vị dữ liệu) đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ gửi lệnh CMD18 và tham số địa chỉ độ dài 32 bit như địa chỉ logic của đơn vị dữ liệu đơn đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, và sau đó đọc trở lại nhiều đơn vị dữ liệu từ thẻ nhớ SD 100 trong đó tham số

địa chỉ độ dài 32 bit có thể là địa chỉ logic bắt đầu đọc của nhiều đơn vị dữ liệu.

Ngoài ra, khi gửi địa chỉ logic độ dài 64 bit được liên kết với lệnh đọc (để đọc nhiều đơn vị dữ liệu) đến thẻ nhớ SD 100, thiết bị máy chủ 105 ví dụ gửi lệnh riêng như lệnh thứ nhất CMD22 và tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh CMD18 và tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó đọc trở lại nhiều đơn vị dữ liệu từ thẻ nhớ SD 100 trong đó tham số địa chỉ độ dài 64 bit được tạo thành bởi tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai có thể là địa chỉ logic bắt đầu đọc của nhiều đơn vị dữ liệu.

Theo đó, mạch xử lý 1201 của bộ điều khiển 120 có thể thu được tham số địa chỉ một phần thứ nhất khi nhận lệnh riêng như CMD22, và sau đó có thể thu được tham số địa chỉ một phần thứ hai khi nhận lệnh CMD17 hoặc CMD18. Mạch xử lý 1201 có thể thu được tham số địa chỉ độ dài 64 bit nhờ kết hợp tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai, và sau đó có thể biết lệnh đọc được liên kết với một đơn vị dữ liệu đơn hoặc nhiều đơn vị dữ liệu theo loại lệnh của lệnh CMD17 hoặc CMD18. Theo đó, mạch xử lý 1201 có thể thực hiện theo cách đúng hoạt động đọc được liên kết với một hoặc nhiều đơn vị dữ liệu dựa trên địa chỉ logic độ dài 64 bit.

Thay cho đó, nếu mạch xử lý 1201 của bộ điều khiển 120 chỉ nhận lệnh CMD17 hoặc CMD18 và tham số địa chỉ một phần thứ hai tương ứng trong khi lệnh riêng CMD22 và tham số địa chỉ một phần thứ nhất tương ứng không được nhận, thì mạch xử lý 1201 của bộ điều khiển 120 được sắp đặt để xác định là tham số địa chỉ một phần thứ nhất bằng không và quyết định là thiết bị máy chủ 105 được sắp đặt để đọc một hoặc nhiều đơn vị dữ liệu dựa trên (các) địa chỉ logic độ dài 32 bit.

Ngoài ra, thiết bị máy chủ 105 có thể được sắp đặt để gửi lệnh CMD23 để chỉ báo độ dài ghi/đọc dữ liệu trước khi gửi lệnh thứ nhất CMD22. Tham chiếu đến FIG.6, mà là sơ đồ thể hiện thiết bị máy chủ 105 gửi các lệnh khác nhau đến thẻ nhớ SD 100 để thực hiện các hoạt động đọc và ghi dựa trên các độ dài đọc và ghi dữ liệu chỉ định theo các phương án của sáng chế. Như được thể hiện trên FIG.6, thiết bị máy chủ 105

ví dụ gửi lệnh CMD23 và truyền tham số độ dài dữ liệu chỉ định đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh CMD25 và tham số địa chỉ độ dài 32 bit như địa chỉ logic của một đơn vị dữ liệu đơn đến thẻ nhớ SD 100, và sau đó gửi nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu chỉ định đến thẻ nhớ SD 100, để ghi nhiều đơn vị dữ liệu của tham số độ dài dữ liệu chỉ định tương ứng với địa chỉ logic độ dài 32 bit. Địa chỉ logic độ dài 32 bit là địa chỉ bắt đầu của nhiều đơn vị dữ liệu của tham số độ dài dữ liệu chỉ định.

Ngoài ra, thiết bị máy chủ 100 ví dụ gửi lệnh CMD23 và tham số độ dài dữ liệu chỉ định đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh riêng như lệnh thứ nhất CMD22 (nhưng không được giới hạn) và tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit, sau đó gửi lệnh CMD25 và tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó gửi nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu chỉ định đến thẻ nhớ SD 100, để ghi nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu chỉ định tương ứng với địa chỉ logic độ dài 64 bit. Địa chỉ logic độ dài 64 bit là địa chỉ bắt đầu của nhiều đơn vị dữ liệu của tham số độ dài dữ liệu chỉ định, và có thể được thu được nhờ kết hợp tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai.

Ngoài ra, để đọc dữ liệu, thiết bị máy chủ 105 ví dụ lệnh chỉ báo CMD23 và tham số độ dài dữ liệu đọc chỉ định đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh CMD18 và tham số địa chỉ độ dài 32 bit như địa chỉ logic của một đơn vị dữ liệu đơn đến thẻ nhớ SD 100, và sau đó đọc trở lại nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu đọc chỉ định từ thẻ nhớ SD 100. Tham số địa chỉ độ dài 32 bit là địa chỉ bắt đầu của nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu đọc chỉ định.

Ngoài ra, thiết bị máy chủ 105 ví dụ gửi lệnh CMD23 và truyền tham số độ dài dữ liệu đọc chỉ định đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh riêng như lệnh thứ nhất CMD22 (nhưng không được giới hạn) và truyền tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit, sau đó gửi lệnh CMD25 và tham số địa chỉ một phần thứ hai như 32 bit

ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó đọc trở lại nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu đọc chỉ định từ thẻ nhớ SD 100. Tham số địa chỉ độ dài 64 bit là địa chỉ bắt đầu của nhiều đơn vị dữ liệu tương ứng với tham số độ dài dữ liệu đọc chỉ định, và có thể được thu được nhờ kết hợp tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai.

Thêm nữa, các hoạt động được đề cập ở trên có thể được áp dụng trong các phương án của sự xóa khối và sự chuyển khối của sự giao nhiệm vụ hàng đợi lệnh. Tham chiếu đến FIG.7, mà là sơ đồ thể hiện thiết bị máy chủ 105 gửi các lệnh khác nhau đến thẻ nhớ SD 100 để thực hiện hoạt động xóa khối và hoạt động chuyển khối của sự giao nhiệm vụ hàng đợi lệnh theo các phương án của sáng chế. Như được thể hiện trên FIG.7, thiết bị máy chủ 105 ví dụ gửi lệnh CMD32 và truyền tham số địa chỉ bắt đầu xóa chỉ định độ dài 32 bit đến thẻ nhớ SD 100 nhờ sử dụng mạch điều vận thẻ nhớ SD 1051, sau đó gửi lệnh CMD33 và truyền tham số địa chỉ kết thúc xóa chỉ định độ dài 32 bit đến thẻ nhớ SD 100, và sau đó gửi lệnh CMD38 đến thẻ nhớ SD 100, để thực hiện hoạt động xóa khối. Theo đó, khi mạch xử lý 1201 của bộ điều khiển 120 nhận theo cách tuần tự lệnh CMD32, tham số địa chỉ bắt đầu xóa chỉ định độ dài 32 bit, lệnh CMD33, tham số địa chỉ kết thúc xóa chỉ định độ dài 32 bit, và lệnh CMD38, mạch xử lý 1201 của bộ điều khiển 120 có thể thực hiện theo cách tương ứng hoạt động xóa khối trên nội dung khối của phân đoạn địa chỉ được chỉ định để được xóa.

Ngoài ra, thiết bị máy chủ 105 ví dụ sử dụng mạch điều vận thẻ nhớ SD 1051 để gửi lệnh riêng như lệnh thứ nhất CMD22 (nhưng không được giới hạn) và truyền tham số địa chỉ một phần thứ nhất như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100, và sau đó để gửi lệnh CMD32 và truyền tham số địa chỉ một phần thứ hai như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100. Tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai được đề cập ở trên có thể được kết hợp để thu được tham số địa chỉ bắt đầu xóa chỉ định độ dài 64 bit. Thiết bị máy chủ 105 sau đó sử dụng mạch điều vận thẻ nhớ SD 1051 để gửi lệnh riêng CMD22 và truyền tham số địa chỉ một phần thứ nhất khác như 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit, và sau đó để gửi lệnh CMD33 và truyền tham số địa chỉ một phần thứ hai khác như 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit đến thẻ nhớ SD 100. Tham số địa chỉ một phần thứ nhất khác và tham số địa

chỉ một phần thứ hai khác ở trên có thể được kết hợp để thu được tham số địa chỉ kết thúc xóa chỉ định độ dài 64 bit. Thiết bị máy chủ 105 sau cùng gửi lệnh CMD38 đến thẻ nhớ SD 100 để thực hiện hoạt động xóa khối. Theo đó, khi nhận theo cách tuần tự các lệnh và các tham số tương ứng được đề cập ở trên, mạch xử lý 2101 của bộ điều khiển 120 có thể kết hợp các tham số địa chỉ một phần để thu được tham số địa chỉ bắt đầu xóa chỉ định độ dài 64 bit và tham số kết thúc xóa chỉ định độ dài 64 bit, và theo đó thực hiện hoạt động xóa khối trên nội dung dữ liệu của phân đoạn địa chỉ độ dài 64 bit được chỉ báo bởi các tham số xóa chỉ định.

Thêm nữa, cho sự chuyển đơn vị dữ liệu của sự giao nhiệm vụ hàng đợi lệnh, thiết bị máy chủ 105 ví dụ sử dụng mạch điều vận thẻ nhớ SD 1051 để gửi lệnh chuyển thứ nhất CMD44 và truyền thông tin tham số chuyển của sự đọc/ghi dữ liệu, sự ưu tiên, ID nhiệm vụ, và tổng số lượng của các đơn vị dữ liệu đến thẻ nhớ SD 100, và sau đó để gửi lệnh chuyển thứ hai CMD45 và truyền tham số địa chỉ bắt đầu đơn vị dữ liệu chỉ định độ dài 32 bit tương ứng với ID nhiệm vụ đến thẻ nhớ SD 100. Theo đó, khi nhận theo cách tuần tự các lệnh và các tham số tương ứng được đề cập ở trên, mạch xử lý 1201 của bộ điều khiển 120 có thể thực hiện hoạt động chuyển đơn vị dữ liệu dựa trên địa chỉ bắt đầu độ dài 32 bit.

Ngoài ra, cho sự chuyển đơn vị dữ liệu của địa chỉ độ dài 64 bit, thiết bị máy chủ 105 ví dụ sử dụng mạch điều vận thẻ nhớ SD 1051 để gửi lệnh CMD44 và truyền các tham số của sự đọc/ghi dữ liệu, sự ưu tiên, ID nhiệm vụ, và tổng số lượng của các đơn vị dữ liệu đến thẻ nhớ SD 100, sau đó để gửi lệnh riêng như lệnh thứ nhất CMD22 (nhưng không được giới hạn) và truyền tham số địa chỉ một phần thứ nhất tương ứng với ID nhiệm vụ, ví dụ 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit, đến thẻ nhớ SD 100, và sau đó để lệnh chuyển thứ hai CMD45 và truyền tham số địa chỉ một phần thứ hai tương ứng với ID nhiệm vụ, ví dụ 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit, đến thẻ nhớ SD 100. Theo đó, khi nhận theo cách tuần tự các lệnh và các tham số tương ứng được đề cập ở trên, mạch xử lý 1201 của bộ điều khiển 120 có thể kết hợp và thu được địa chỉ bắt đầu độ dài 64 bit và sau đó thực hiện hoạt động chuyển đơn vị dữ liệu dựa trên địa chỉ bắt đầu độ dài 64 bit.

Theo các phương án của sáng chế, mạch xử lý 1201 của bộ điều khiển 120 được

sắp đặt để kết hợp và thu được tham số địa chỉ độ dài bit dài hơn sau khi nhận tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai. Ví dụ, mạch xử lý 1201 có thể kết hợp hai tham số địa chỉ một phần độ dài 32 bit để thu được tham số địa chỉ độ dài 64 bit đầy đủ, và sau đó thực hiện hoạt động tương ứng như sự giao nhiệm vụ của hàng đợi lệnh, sự đọc/ghi đơn vị dữ liệu, và sự xóa theo loại lệnh tương ứng. Nói cách khác, phương pháp được cung cấp của sáng chế là để gửi lệnh thứ nhất và truyền tham số địa chỉ một phần thứ nhất đến thẻ nhớ SD và sau đó để gửi lệnh thứ hai và truyền tham số địa chỉ một phần thứ hai đến thẻ nhớ SD, để làm cho mạch xử lý 1201 của bộ điều khiển 120 của thẻ nhớ SD có năng lực để tham chiếu đến các tham số địa chỉ một phần thứ nhất và thứ hai để thu được và thu được tham số địa chỉ độ dài bit dài hơn như tham số địa chỉ độ dài 64 bit và sau đó thực hiện các hoạt động của sự giao nhiệm vụ của hàng đợi lệnh, sự đọc/ghi đơn vị dữ liệu, hoặc sự xóa. Thêm nữa, tham số địa chỉ một phần thứ nhất có thể là tham số địa chỉ bit bậc cao (high-order bit address parameter), và tham số địa chỉ một phần thứ hai có thể là tham số địa chỉ bit bậc thấp (low-order bit address parameter). Ngoài ra, tham số địa chỉ một phần thứ nhất có thể là tham số địa chỉ bit bậc thấp, và tham số địa chỉ một phần thứ hai là tham số địa chỉ bit bậc cao. Tất cả các sự sửa đổi này nằm trong phạm vi của sáng chế. Thêm nữa, lệnh riêng được đề cập ở trên có thể là lệnh thứ nhất như lệnh được dành riêng được chỉ rõ trong sự đặc tả thẻ nhớ SD, và không được giới hạn như lệnh CMD22; lệnh thứ nhất có thể là một trong các lệnh khác CMD31, CMD39, CMD41, và CMD51.

Ngoài ra, nó không cần thiết cho phương pháp được cung cấp của sáng chế để còn thi hành (các) chân hoặc (các) cổng bổ sung. Để thi hành sự đánh địa chỉ của không gian địa chỉ độ dài bit dài hơn, chỉ các chân hoặc các cổng ban đầu tương thích với sự đánh địa chỉ của không gian địa chỉ độ dài 32 bit được cần. Bảng sau đây thể hiện ví dụ của các số chân, các tên, các loại, và các sự mô tả tương ứng của chế độ SD của thẻ nhớ SD riêng trong các phương án của sáng chế:

Chế độ SD			
Số chân	Tên	Loại	Mô tả
1	CD/DAT3	I/O/PP	Phát hiện thẻ/Đường dữ liệu

			3[Bit 3] (Card detection/Data line 3[Bit 3])
2	CMD	I/O/PP	Lệnh/Đáp ứng (Command/Response)
3	VSS1	S	Nối đất (Ground)
4	VDD	S	Sự cấp năng lượng (Power supply)
5	CLK	I	Đồng hồ (Clock)
6	VSS2	S	Nối đất (Ground)
7	DAT0	I/O/PP	Đường dữ liệu 0[Bit 0]
8	DAT1	I/O/PP	Đường dữ liệu 1[Bit 1]
9	DAT2	I/O/PP	Đường dữ liệu 2[Bit 2]

‘S’ có nghĩa là sự cấp năng lượng, ‘I’ có nghĩa là đầu vào, ‘O’ có nghĩa là đầu ra điều vận đẩy-kéo (push-pull), và ‘PP’ có nghĩa là đầu vào và đầu ra điều vận đẩy-kéo. Các lệnh được đề cập ở trên được truyền qua chân CMD, và dữ liệu được truyền qua các chân của DAT0, DAT1, DAT2, và CD/DAT3.

Tham chiếu đến FIG.8. FIG.8 là sơ đồ của ví dụ của định dạng truyền lệnh của thẻ nhớ SD theo các phương án của sáng chế. Như được thể hiện trên FIG.8, mỗi trong các lệnh được đề cập ở trên ví dụ được truyền qua chân CMD dựa trên định dạng truyền lệnh như vậy. Ví dụ, mỗi lệnh của lệnh thứ nhất, các lệnh đọc, và các lệnh ghi khi được truyền từ mạch điều vận 1051 của thiết bị máy chủ 105 đến thẻ nhớ SD 100 qua cổng tín hiệu thứ hai và cổng tín hiệu thứ nhất ví dụ gồm có bit bắt đầu ‘0’, bit truyền ‘1’, nội dung lệnh, mã kiểm tra tính chẵn lẻ CRC, và bit kết thúc ‘1’ mà được truyền theo cách tuần tự trong đó nội dung lệnh gồm có loại lệnh (ví dụ thứ nhất, đọc, hoặc ghi) được tạo thành bởi nhiều bit và thông tin hoặc tham số địa chỉ như tham số địa chỉ một phần độ dài 32 bit được đề cập ở trên mà được truyền theo cách tuần tự. Mã kiểm tra tính chẵn lẻ CRC ví dụ là tổng kiểm tra được tạo thành bởi bảy bit. Định dạng truyền lệnh ví dụ có tổng độ dài bit của 48 bit. Do đó, khi nhận theo cách tuần tự

bit bắt đầu ‘0’ và bit truyền ‘1’ ở chân CMD của cổng tín hiệu thứ nhất qua buýt trong, bộ điều khiển 120 có thể phát hiện là thiết bị máy chủ 105 đang truyền lệnh đến thẻ nhớ SD 100. Bộ điều khiển 120 có thể nhận và thu được theo cách tuần tự thông tin của loại lệnh và thông tin của tham số địa chỉ theo định dạng truyền lệnh và có thể kiểm tra liệu lỗi xuất hiện trong thông tin bit của lệnh được truyền nhờ sử dụng mã kiểm tra tính chẵn lẻ CRC. Sau cùng, khi phát hiện bit kết thúc ‘1’, bộ điều khiển 120 có thể biết vị trí kết thúc của lệnh được truyền.

Tham chiếu đến FIG.9. FIG.9 là sơ đồ thể hiện ví dụ của định dạng truyền lệnh của thiết bị máy chủ 105 gửi lệnh CMD22 và lệnh ghi CMD24 để ghi dữ liệu đối với thẻ nhớ SD 100 theo các phương án của sáng chế. Ví dụ, như được thể hiện bởi FIG.9, thiết bị máy chủ 105 được sắp đặt để ghi dữ liệu với địa chỉ độ dài 64 bit như 0x0505_0505_0A0A_0A0A (nhưng không được giới hạn). Khi gửi lệnh CMD22, thiết bị máy chủ 105 gửi theo cách tuần tự bit bắt đầu ‘0’, bit truyền ‘1’, nội dung lệnh của lệnh CMD22, mã kiểm tra tính chẵn lẻ CRC của lệnh CMD22, và bit kết thúc ‘1’ tương ứng. Sau đó thiết bị máy chủ 105 gửi bit bắt đầu ‘0’ khác, bit truyền ‘1’ khác, nội dung lệnh của lệnh CMD24, mã kiểm tra tính chẵn lẻ CRC của lệnh CMD24, và bit kết thúc ‘1’ tương ứng, và sau đó truyền dữ liệu để được ghi. Nội dung lệnh của lệnh CMD22 mang thông tin của loại lệnh của CMD 22, ví dụ 0x16, và 32 bit có ý nghĩa nhất của địa chỉ độ dài 64 bit, ví dụ 0x0505_0505. Nội dung lệnh của lệnh CMD24 mang thông tin của loại lệnh của CMD24, ví dụ 0x18, và 32 bit ít ý nghĩa nhất của địa chỉ độ dài 64 bit, ví dụ 0x0A0A_0A0A. Sau khi nhận thông tin của các loại lệnh của hai lệnh và thông tin/các tham số địa chỉ tương ứng, mạch xử lý 1201 của bộ điều khiển 120 có thể kết hợp và thu được địa chỉ độ dài 64 bit và có thể quyết định là hoạt động để được thực hiện được yêu cầu bởi thiết bị máy chủ 105 là hoạt động lệnh ghi. Cần lưu ý là các lệnh CMD22 và CMD24 chỉ được sử dụng như các ví dụ để giải thích thông tin của loại lệnh và thông tin địa chỉ tương ứng. Các ví dụ này không có ý nghĩa là các sự giới hạn của sáng chế.

Ngoài ra, dựa trên các hướng dẫn của sáng chế, người có hiểu biết trung bình trong lĩnh vực sẽ có năng lực để hiểu rõ là trong phương án khác nội dung lệnh của lệnh CMD22 mang thông tin địa chỉ (ví dụ 0x0505_0505) biểu diễn 32 bit ít ý nghĩa nhất của địa chỉ độ dài 64 bit như 0x0A0A_0A0A 0505_0505 (nhưng không được giới

hạn) và nội dung lệnh của lệnh ghi CMD24 mang thông tin địa chỉ (ví dụ 0x0A0A_0A0A) biểu diễn 32 bit có ý nghĩa nhất của địa chỉ độ dài 64 bit như 0x0A0A_0A0A 0505_0505 (nhưng không được giới hạn) khi thiết bị máy chủ 105 thực hiện sự ghi dữ liệu dựa trên địa chỉ độ dài 64 bit như vậy. Nói cách khác, dưới điều kiện là thiết bị máy chủ 105 gửi các lệnh CMD22 và CMD24 theo cách tuần tự, lệnh CMD22 và lệnh CMD24 có thể được sử dụng theo cách tương ứng để truyền phần và phần khác của địa chỉ độ dài 64 bit. Ngoài ra, khi bộ điều khiển bộ nhớ cực nhanh 120 nhận phần và phần khác của địa chỉ độ dài 64 bit, bộ điều khiển 120 có thể cũng kết hợp và thu được theo cách đúng địa chỉ độ dài 64 bit đầy đủ theo giao thức truyền thông lệnh giữa thiết bị máy chủ 105 và bộ điều khiển 120. Tất cả sự sửa đổi này nằm trong phạm vi của sáng chế.

FIG.10 là sơ đồ trạng thái của các hoạt động của thẻ nhớ SD 100 theo các phương án của sáng chế. Như được thể hiện trên FIG.10, cho là sơ đồ trạng thái bắt đầu ở trạng thái 1200. Trạng thái 1200 là trạng thái chuyển dữ liệu. Trong trạng thái này, thẻ nhớ SD 100 chưa nhận một lệnh truy nhập bất kỳ. Nghĩa là, thẻ nhớ SD 100 chưa nhận 32 bit có ý nghĩa nhất và 32 bit ít ý nghĩa nhất của một địa chỉ logic độ dài 64 bit bất kỳ. Nếu thẻ nhớ SD 100 trong trạng thái 1200 nhận lệnh CMD17, CMD18, CMD24, hoặc CMD25, thì điều này chỉ báo là thẻ nhớ SD 100 chỉ nhận tham số địa chỉ độ dài 32 bit. Thẻ nhớ SD 100 nhận 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD17, CMD18, CMD24, hoặc CMD25. Thẻ nhớ SD 100 sau đó đi vào trạng thái 1204. Trạng thái 1204 là trạng thái để thu được tham số địa chỉ bit bậc thấp. Thẻ nhớ SD 100 sau đó đi vào trạng thái 1250 từ trạng thái 1204. Trạng thái 1250 là trạng thái thực thi hoặc loại bỏ. Ví dụ, nếu thẻ nhớ SD 100 trong trạng thái 1250 chỉ nhận 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD17, CMD18, CMD24, hoặc CMD25, thì 32 bit ít ý nghĩa nhất được xem như địa chỉ độ dài 32 bit cho hoạt động thực thi tương ứng. Trong tình huống này, bộ điều khiển 120 của thẻ nhớ SD 100 được sắp đặt để thực hiện hoạt động đọc/ghi trên bộ nhớ cực nhanh 110 dựa trên địa chỉ độ dài 32 bit. Nếu lệnh không thể được thực thi (ví dụ địa chỉ của lệnh ở ngoài phạm vi hoặc lệnh là lệnh ghi nhưng địa chỉ được xác định được liên kết với vùng chỉ đọc và theo đó không thể được ghi), thì thẻ nhớ SD 100 loại bỏ hoạt động thực thi. Sau đó, thẻ nhớ SD 100 chuyển đổi từ trạng thái 1250 thành

trạng thái 1200.

Nếu lệnh CMD 22 được nhận trong trạng thái 1200, thì điều này chỉ báo là thẻ nhớ SD 100 nhận 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD22. Thẻ nhớ SD 100 sau đó đi vào trạng thái 1202 mà là trạng thái để thu được tham số địa chỉ bit bậc cao. Trong trạng thái 1202, nếu lệnh CMD22 được nhận lần nữa, thì thẻ nhớ SD 100 được sắp đặt để cập nhật 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit theo lệnh CMD22 được nhận cuối cùng. Nếu trong trạng thái 1202 thẻ nhớ SD 100 nhận lệnh CMD17, CMD18, CMD24, hoặc CMD25, thì thẻ nhớ SD 100 đi vào trạng thái 1204. Điều này chỉ báo là thẻ nhớ SD 100 nhận 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD17, CMD18, CMD24, hoặc CMD25. Trong tình huống này, khi đi vào trạng thái 1250, bộ điều khiển 120 của thẻ nhớ SD 100 được sắp đặt để thực hiện hoạt động đọc/ghi dữ liệu trên bộ nhớ cục bộ nhanh 110 dựa trên địa chỉ logic độ dài 64 bit. Nếu lệnh CMD32 được nhận trong trạng thái 1202, thì thẻ nhớ SD 100 đi vào trạng thái 1212.

Nếu các lệnh khác khác với các lệnh CMD22, CMD17, CMD18, CMD24, CMD25, và CMD32 được nhận trong trạng thái 1202, thì thẻ nhớ SD 100 đi vào trạng thái 1260. Khi đi vào trạng thái 1260, thẻ nhớ SD 100 được sắp đặt trở lại trạng thái chuyển dữ liệu 1200.

Nếu lệnh CMD 23 được nhận trong trạng thái 1200, thì điều này chỉ báo là thẻ nhớ SD 100 nhận lệnh của độ dài dữ liệu đọc/ghi chỉ định. Thẻ nhớ SD 100 đi vào trạng thái 1222 mà là trạng thái của tham số địa chỉ bit bậc cao là không. Nghĩa là, 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit không được nhận. Nếu trong trạng thái 1222 lệnh CMD23 được nhận theo cách lặp lại, thì thẻ nhớ SD 100 giữ trong trạng thái 1222. Nếu trong trạng thái 1222 lệnh CMD22 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận hiện thời 32 bit có ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD22. Sau đó thẻ nhớ SD 100 đi vào trạng thái 1223.

Trạng thái 1223 là trạng thái để thu được tham số địa chỉ bit bậc cao. Nếu trong trạng thái 1223 lệnh CMD23 được nhận lần nữa, thì điều này chỉ báo là lệnh CMD22 được nhận trước thất bại. Thẻ nhớ SD 100 chuyển đổi từ trạng thái 1223 vào trạng thái 1222. Nếu trong trạng thái 1223 các lệnh khác được nhận, thì thẻ nhớ SD 100 đi vào

trạng thái 1260. Khi đi vào trạng thái 1260, thẻ nhớ SD 100 được sắp đặt để trở lại trạng thái chuyển dữ liệu 1200. Nếu trong trạng thái 1223 lệnh CMD18/25 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận hiện thời 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit được mang bởi lệnh CMD18/25. Trong tình huống này, thẻ nhớ SD 100 chuyển đổi thành trạng thái 1224 mà là trạng thái để thu được tham số địa chỉ bit bậc thấp. Sau đó thẻ nhớ SD 100 đi vào trạng thái 1250 từ trạng thái 1224. Nếu thẻ nhớ SD 100 nhận 32 bit có ý nghĩa nhất và 32 bit ít ý nghĩa nhất của địa chỉ logic độ dài 64 bit, thì bộ điều khiển 120 trong trạng thái 1250 được sắp đặt để thực hiện hoạt động đọc/ghi độ dài dữ liệu chỉ định trên bộ nhớ cực nhanh 110 dựa trên địa chỉ logic độ dài 64 bit.

Nếu thẻ nhớ SD 100 trong trạng thái 1222 nhận lệnh CMD18/25, thì điều này chỉ báo là thẻ nhớ SD 100 chỉ nhận địa chỉ độ dài 32 bit và sau đó đi vào trạng thái 1224. Sau đó thẻ nhớ SD 100 chuyển đổi từ trạng thái 1224 vào trạng thái 1250. Trong trạng thái 1250 bộ điều khiển 120 được sắp đặt để thực hiện hoạt động đọc/ghi độ dài dữ liệu chỉ định trên bộ nhớ cực nhanh 110 dựa trên địa chỉ logic độ dài 32 bit.

Nếu trong trạng thái 1200 lệnh CMD32 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận tham số địa chỉ 32 bit được mang bởi lệnh CMD32 (tham số địa chỉ 32 bit có thể có nghĩa địa chỉ bắt đầu logic độ dài 32 bit hoặc 32 bit ít ý nghĩa nhất của địa chỉ bắt đầu logic độ dài 64 bit). Thẻ nhớ SD 100 trong tình huống này đi vào trạng thái 1212 mà là trạng thái để thu được 32 bit của địa chỉ bắt đầu logic. Sau đó thẻ nhớ SD 100 đi vào trạng thái 1214 mà là trạng thái để đợi thông tin địa chỉ.

Nếu trong trạng thái 1214 lệnh CMD33 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận tham số địa chỉ 32 bit được mang bởi lệnh CMD33 (tham số địa chỉ 32 bit có thể có nghĩa địa chỉ kết thúc logic độ dài 32 bit hoặc 32 bit ít ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit). Thẻ nhớ SD 100 trong tình huống này đi vào trạng thái 1216 mà là trạng thái để thu được 32 bit của địa chỉ kết thúc logic. Nếu lệnh CMD38 được nhận tiếp theo, thì thẻ nhớ SD 100 đi vào trạng thái 1218 mà là trạng thái để lấy hoạt động thực thi. Theo đó, nếu thẻ nhớ SD 100 đi theo cách tuần tự qua các trạng thái 1212, 1214, 1216, và 1218, thì bộ điều khiển 120 được sắp đặt để thực hiện hoạt động xóa trên bộ nhớ cực nhanh 110 dựa trên địa chỉ bắt đầu logic độ dài 32

bit và địa chỉ kết thúc logic độ dài 32 bit.

Nếu trong trạng thái 1214 lệnh CMD22 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận tham số địa chỉ độ dài 32 bit được mang bởi lệnh CMD22. Do thẻ nhớ SD 100 đã chuyển đổi từ trạng thái 1212 vào trạng thái 1214, nên bộ điều khiển 120 có thể xác định là lệnh CMD22 được nhận trong trạng thái 1214 mang 32 bit có ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit và sau đó đi vào trạng thái 1215 mà là trạng thái để thu được 32 bit có ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit. Nếu trong trạng thái 1215 lệnh CMD22 được nhận lần nữa, thì điều này chỉ báo là thiết bị máy chủ 105 muốn cập nhật 32 bit có ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit. Thẻ nhớ SD 100 được sắp đặt để cập nhật 32 bit có ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit sau khi nhận lệnh CMD22 mới.

Nếu trong trạng thái 1215 lệnh CMD33 được nhận, thì điều này chỉ báo là thẻ nhớ SD 100 nhận tham số địa chỉ độ dài 32 bit được mang bởi lệnh CMD33 (tham số địa chỉ độ dài 32 bit là 32 bit ít ý nghĩa nhất của địa chỉ kết thúc logic độ dài 64 bit) và sau đó trong tình huống này đi vào trạng thái 1216 mà là trạng thái để thu được 32 bit của địa chỉ kết thúc logic. Nếu lệnh CMD38 được nhận tiếp theo, thì thẻ nhớ SD 100 đi vào trạng thái 1218 mà là trạng thái để thu được hoạt động thực thi. Theo đó, nếu thẻ nhớ SD 100 đi theo cách tuần tự qua các trạng thái 1202, 1212, 1214, 1215, 1216, và 1218, thì bộ điều khiển 120 được sắp đặt để thực hiện hoạt động xóa dữ liệu trên bộ nhớ cục bộ 110 theo địa chỉ bắt đầu logic độ dài 64 bit và địa chỉ kết thúc logic độ dài 64 bit.

Cần lưu ý là, nếu trong trạng thái bất kỳ trong các trạng thái 1202, 1222, 1223, 1214, 1215, và 1216 lệnh không chờ đợi (các lệnh khác khác với các lệnh được đề cập ở trên) được nhận, thì thẻ nhớ SD 100 được sắp đặt để chuyển đổi vào trạng thái 1260 và sau đó trở lại trạng thái chuyển dữ liệu 1200.

Những người có hiểu biết trung bình trong lĩnh vực sẽ dễ dàng quan sát được là nhiều sự sửa đổi và sự thay đổi của thiết bị và phương pháp có thể được thực hiện trong khi giữ lại các hướng dẫn của sáng chế. Do đó, sáng chế sẽ được hiểu là được giới hạn chỉ bởi các biên và giới hạn của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Bộ điều khiển bộ nhớ cực nhanh được sử dụng trong thẻ nhớ kỹ thuật số an toàn (secure digital, SD), bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để ghép với bộ nhớ cực nhanh trong thẻ nhớ SD qua buýt trong của thẻ nhớ SD, bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để kết nối với mạch điều vận thẻ nhớ SD của thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD và ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ, và bộ điều khiển bộ nhớ cực nhanh này bao gồm:

mạch xử lý, được sử dụng để:

nhận lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

nhận lệnh thứ hai và tham số địa chỉ một phần thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

kết hợp để thu được tham số địa chỉ đầy đủ theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai; và

thực hiện hoạt động xử lý trên bộ nhớ cực nhanh của thẻ nhớ SD qua buýt trong theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh;

trong đó lệnh thứ nhất là một trong các lệnh CMD22, CMD31, CMD39, CMD41, và CMD51; loại lệnh của lệnh thứ hai bao gồm sự đọc đơn vị dữ liệu đơn của CMD 17, sự ghi đơn vị dữ liệu đơn của CMD24, sự đọc nhiều đơn vị dữ liệu của CMD18, sự ghi nhiều đơn vị dữ liệu của CMD25, sự giao nhiệm vụ hàng đợi lệnh của CMD44 hoặc CMD45, và sự xóa khối của CMD32, CMD33,

hoặc CMD38; tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ; khi nhận bit bắt đầu '0' và bit truyền '1' ở chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất, mạch xử lý được sắp đặt để xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng từ mạch điều vận thẻ nhớ SD đến thẻ nhớ SD và được sử dụng để nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền '1'.

2. Bộ điều khiển bộ nhớ cực nhanh theo điểm 1, trong đó mạch xử lý được sử dụng để:

nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

nhận lệnh ghi CMD24 hoặc CMD25 và địa chỉ logic độ dài 32 bit thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh ghi CMD24 hoặc CMD25 và địa chỉ logic độ dài 32 bit thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

nhận ít nhất một đơn vị dữ liệu tương ứng với địa chỉ logic độ dài 64 bit được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, ít nhất một đơn vị dữ liệu được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và nhiều chân đường dữ liệu của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

kết hợp để thu được địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

ghi ít nhất một đơn vị dữ liệu vào bộ nhớ cực nhanh qua buýt trong theo địa chỉ logic độ dài 64 bit và lệnh ghi.

3. Bộ điều khiển bộ nhớ cực nhanh theo điểm 2, trong đó trước khi nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD, mạch xử lý được sắp đặt để nhận lệnh chỉ báo và tham số độ dài dữ liệu ghi chỉ định mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chỉ báo và tham số độ dài dữ liệu ghi chỉ định được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự.

4. Bộ điều khiển bộ nhớ cực nhanh theo điểm 1, trong đó mạch xử lý được sử dụng để:

nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

nhận lệnh đọc CMD17 hoặc CMD18 và địa chỉ logic độ dài 32 bit thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh đọc và địa chỉ logic độ dài 32 bit thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự; và

kết hợp để thu được địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai;

trong đó mạch xử lý được sắp đặt để thu được ít nhất một đơn vị dữ liệu được truyền từ bộ nhớ cực nhanh qua buýt trong theo địa chỉ logic độ dài 64 bit và lệnh đọc CMD17 hoặc CMD18, và sau đó để truyền ít nhất một đơn vị dữ liệu đến thiết bị máy chủ, ít nhất một đơn vị dữ liệu được truyền đến mạch điều vận thẻ nhớ SD qua nhiều chân đường dữ liệu của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất và ít nhất một cổng tín hiệu ngoài thứ hai theo cách tuần tự.

5. Bộ điều khiển bộ nhớ cực nhanh theo điểm 4, trong đó trước khi nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự, mạch xử lý được sắp đặt để nhận lệnh chỉ báo và tham số độ dài dữ liệu đọc chỉ định mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chỉ báo và tham số độ dài dữ liệu đọc chỉ định được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự.

6. Bộ điều khiển bộ nhớ cực nhanh theo điểm 1, trong đó mạch xử lý được sử dụng để:

nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

nhận lệnh xóa CMD32 hoặc CMD33 và địa chỉ logic độ dài 32 bit thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh xóa CMD32 hoặc CMD33 và địa chỉ logic độ dài 32 bit thứ hai được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất;

nhận lệnh xóa CMD38 được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ;

kết hợp để thu được tham số địa chỉ bắt đầu xóa chỉ định của địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

thực hiện hoạt động xóa trên ít nhất một khối tương ứng với phân đoạn xóa chỉ định được chỉ báo bởi địa chỉ logic độ dài 64 bit trong bộ nhớ cực nhanh qua buýt trong theo địa chỉ logic độ dài 64 bit và lệnh xóa CMD32, CMD33, hoặc CMD38.

7. Bộ điều khiển bộ nhớ cực nhanh theo điểm 1, trong đó mạch xử lý được sử dụng để:

nhận lệnh chuyển thứ nhất CMD44 và ít nhất một tham số chuyển được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chuyển thứ nhất CMD44 và ít nhất một tham số chuyển được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

nhận lệnh chuyển thứ hai CMD45 và địa chỉ logic độ dài 32 bit thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chuyển thứ hai CMD45 và địa chỉ logic độ dài 32 bit thứ hai được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

kết hợp để thu được tham số địa chỉ bắt đầu chuyển chỉ định của địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

chuyển dữ liệu tương ứng của bộ nhớ cực nhanh từ địa chỉ được chỉ báo bởi tham số địa chỉ bắt đầu chuyển chỉ định qua buýt trong theo địa chỉ logic độ dài 64 bit và ít nhất một tham số chuyển.

8. Thẻ nhớ SD, bao gồm:

bộ nhớ cực nhanh; và

bộ điều khiển bộ nhớ cực nhanh theo điểm 1.

9. Phương pháp truyền thông được sử dụng trong bộ điều khiển bộ nhớ cực nhanh của thẻ nhớ SD, bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để ghép với bộ nhớ cực nhanh trong thẻ nhớ SD qua buýt trong của thẻ nhớ SD, bộ điều khiển bộ nhớ cực nhanh được tạo cấu hình để kết nối với mạch điều vận thẻ nhớ SD của thiết bị máy chủ

qua ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD và ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ, và phương pháp này bao gồm các bước:

nhận lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

nhận lệnh thứ hai và tham số địa chỉ một phần thứ hai được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ trong đó lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự;

kết hợp để thu được tham số địa chỉ đầy đủ theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai; và

thực hiện hoạt động xử lý trên bộ nhớ cực nhanh của thẻ nhớ SD qua buýt trong theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh;

trong đó lệnh thứ nhất là một trong các lệnh CMD22, CMD31, CMD39, CMD41, và CMD51; loại lệnh của lệnh thứ hai bao gồm sự đọc đơn vị dữ liệu đơn của CMD 17, sự ghi đơn vị dữ liệu đơn của CMD24, sự đọc nhiều đơn vị dữ liệu của CMD18, sự ghi nhiều đơn vị dữ liệu của CMD25, sự giao nhiệm vụ hàng đợi lệnh của CMD44 hoặc CMD45, và sự xóa khối của CMD32, CMD33, hoặc CMD38; tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ; và phương pháp này còn bao gồm các bước:

xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng từ mạch điều vận thẻ nhớ SD đến thẻ nhớ SD khi nhận bit bắt đầu '0' và bit

truyền ‘1’ ở chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất; và

nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền ‘1’.

10. Phương pháp theo điểm 9, trong đó tham số địa chỉ một phần thứ nhất là địa chỉ logic độ dài 32 bit thứ nhất, lệnh thứ hai là lệnh ghi CMD24 hoặc CMD25; tham số địa chỉ một phần thứ hai là địa chỉ logic độ dài 32 bit thứ hai; và phương pháp này còn bao gồm các bước:

nhận ít nhất một đơn vị dữ liệu tương ứng với địa chỉ logic độ dài 64 bit được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, ít nhất một đơn vị dữ liệu được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và nhiều chân đường dữ liệu của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

kết hợp để thu được địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

ghi ít nhất một đơn vị dữ liệu vào bộ nhớ cực nhanh qua buýt trong theo địa chỉ logic độ dài 64 bit và lệnh ghi.

11. Phương pháp theo điểm 10, phương pháp này còn bao gồm bước:

trước khi nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD, nhận lệnh chỉ báo và tham số độ dài dữ liệu ghi chỉ định mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chỉ báo và tham số độ dài dữ liệu ghi chỉ định được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự.

12. Phương pháp theo điểm 9, trong đó tham số địa chỉ một phần thứ nhất là địa chỉ logic độ dài 32 bit thứ nhất, và lệnh thứ hai là lệnh đọc CMD17 hoặc CMD18; tham số

địa chỉ một phần thứ hai là địa chỉ logic độ dài 32 bit thứ hai; và phương pháp này còn bao gồm các bước:

kết hợp để thu được địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai;

thu được ít nhất một đơn vị dữ liệu được truyền từ bộ nhớ cực nhanh qua buýt trong theo địa chỉ logic độ dài 64 bit và lệnh đọc CMD17 hoặc CMD18; và

truyền ít nhất một đơn vị dữ liệu đến thiết bị máy chủ, ít nhất một đơn vị dữ liệu được truyền đến mạch điều vận thẻ nhớ SD qua nhiều chân đường dữ liệu của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất và ít nhất một cổng tín hiệu ngoài thứ hai theo cách tuần tự.

13. Phương pháp theo điểm 12, phương pháp này còn bao gồm bước:

trước khi nhận lệnh thứ nhất và địa chỉ logic độ dài 32 bit thứ nhất được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự, nhận lệnh chỉ báo và tham số độ dài dữ liệu đọc chỉ định mà được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chỉ báo và tham số độ dài dữ liệu đọc chỉ định được truyền qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD theo cách tuần tự.

14. Phương pháp theo điểm 9, trong đó tham số địa chỉ một phần thứ nhất là địa chỉ logic độ dài 32 bit thứ nhất; lệnh thứ hai là lệnh xóa CMD32, CMD33, hoặc CMD38, và tham số địa chỉ một phần thứ hai là địa chỉ logic độ dài 32 bit thứ hai; và phương pháp này còn bao gồm các bước:

kết hợp để thu được tham số địa chỉ bắt đầu xóa chỉ định của địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

thực hiện hoạt động xóa trên ít nhất một khối tương ứng với phân đoạn xóa chỉ định được chỉ báo bởi địa chỉ logic độ dài 64 bit trong bộ nhớ cực nhanh qua

buýt trong theo địa chỉ logic độ dài 64 bit và lệnh xóa CMD32, CMD33, hoặc CMD38.

15. Phương pháp theo điểm 9, trong đó tham số địa chỉ một phần thứ nhất là địa chỉ logic độ dài 32 bit thứ nhất; lệnh thứ hai là lệnh chuyển thứ hai CMD45, và tham số địa chỉ một phần thứ hai là địa chỉ logic độ dài 32 bit thứ hai; và phương pháp này còn bao gồm các bước:

nhận lệnh chuyển thứ nhất CMD44 và ít nhất một tham số chuyển được gửi từ mạch điều vận thẻ nhớ SD bởi thiết bị máy chủ, lệnh chuyển thứ nhất CMD44 và ít nhất một tham số chuyển được truyền theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

kết hợp để thu được tham số địa chỉ bắt đầu chuyển chỉ định của địa chỉ logic độ dài 64 bit theo địa chỉ logic độ dài 32 bit thứ nhất và địa chỉ logic độ dài 32 bit thứ hai; và

chuyển dữ liệu tương ứng của bộ nhớ cực nhanh từ địa chỉ được chỉ báo bởi tham số địa chỉ bắt đầu chuyển chỉ định qua buýt trong theo địa chỉ logic độ dài 64 bit và ít nhất một tham số chuyển.

16. Thiết bị máy chủ để truy nhập thẻ nhớ SD, thiết bị máy chủ được tạo cấu hình để ghép với bộ nhớ cực nhanh và bộ điều khiển bộ nhớ cực nhanh trong thẻ nhớ SD qua mạch điều vận thẻ nhớ SD của thiết bị máy chủ, ít nhất một cổng tín hiệu ngoài thứ hai của thiết bị máy chủ, ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD, và buýt trong của thẻ nhớ SD; và, thiết bị máy chủ này bao gồm:

mạch điều vận thẻ nhớ SD; và

bộ xử lý, được ghép với mạch điều vận thẻ nhớ SD, được tạo cấu hình để:

điều khiển mạch điều vận thẻ nhớ SD để gửi lệnh thứ nhất và tham số địa chỉ một phần thứ nhất đến thẻ nhớ SD, lệnh thứ nhất và tham số địa chỉ một phần thứ nhất được truyền đến bộ điều khiển bộ nhớ cực nhanh theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD

của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD;

điều khiển mạch điều vận thẻ nhớ SD để gửi lệnh thứ hai và tham số địa chỉ một phần thứ hai đến thẻ nhớ SD, lệnh thứ hai và tham số địa chỉ một phần thứ hai được truyền đến bộ điều khiển bộ nhớ cực nhanh theo cách tuần tự qua ít nhất một cổng tín hiệu ngoài thứ hai và chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất của thẻ nhớ SD; và

điều khiển mạch điều vận thẻ nhớ SD để gửi tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai, để làm cho bộ điều khiển bộ nhớ cực nhanh kết hợp và thu được tham số địa chỉ đầy đủ theo tham số địa chỉ một phần thứ nhất và tham số địa chỉ một phần thứ hai và để làm cho bộ điều khiển bộ nhớ cực nhanh thực hiện hoạt động xử lý trên bộ nhớ cực nhanh qua buýt trong theo tham số địa chỉ đầy đủ và loại lệnh của lệnh thứ hai, hoạt động xử lý tương ứng với loại lệnh;

trong đó lệnh thứ nhất là một trong các lệnh CMD 22, CMD31, CMD39, CMD41, và CMD51; loại lệnh của lệnh thứ hai ít nhất bao gồm sự đọc đơn vị dữ liệu đơn của CMD17, sự ghi đơn vị dữ liệu đơn của CMD24, sự đọc nhiều đơn vị dữ liệu của CMD18, sự ghi nhiều đơn vị dữ liệu của CMD25, sự giao nhiệm vụ hàng đợi lệnh của CMD44 hoặc CMD45, và sự xóa đơn vị dữ liệu của CMD32, CMD33, hoặc CMD38; tham số địa chỉ một phần thứ nhất là phần của các bit có ý nghĩa nhất của tham số địa chỉ đầy đủ, và tham số địa chỉ một phần thứ hai là phần của các bit ít ý nghĩa nhất của tham số địa chỉ đầy đủ; mạch điều vận thẻ nhớ SD được sắp đặt để gửi theo cách tuần tự bit bắt đầu '0' và bit truyền '1' đến thẻ nhớ SD qua chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất, để làm cho bộ điều khiển bộ nhớ cực nhanh nhận bit bắt đầu '0' và bit truyền '1' qua chân CMD của chế độ SD của ít nhất một cổng tín hiệu ngoài thứ nhất để xác định liệu thiết bị máy chủ đang gửi nội dung lệnh của lệnh riêng từ mạch điều vận thẻ nhớ SD đến

thẻ nhớ SD và để làm cho bộ điều khiển bộ nhớ cực nhanh nhận thông tin của loại lệnh và tham số địa chỉ được tạo thành bởi nhiều bit của nội dung lệnh của lệnh riêng sau khi nhận bit truyền ‘1’.

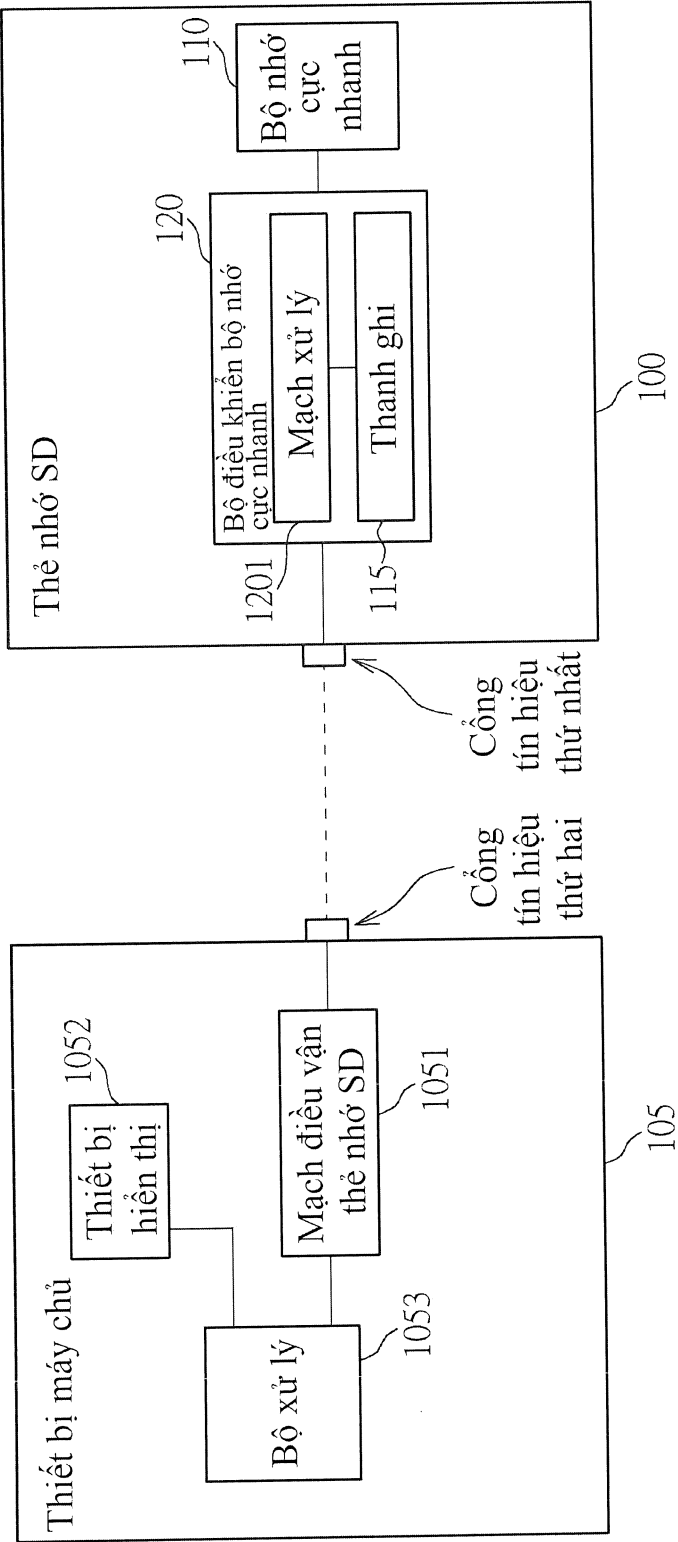


FIG. 1

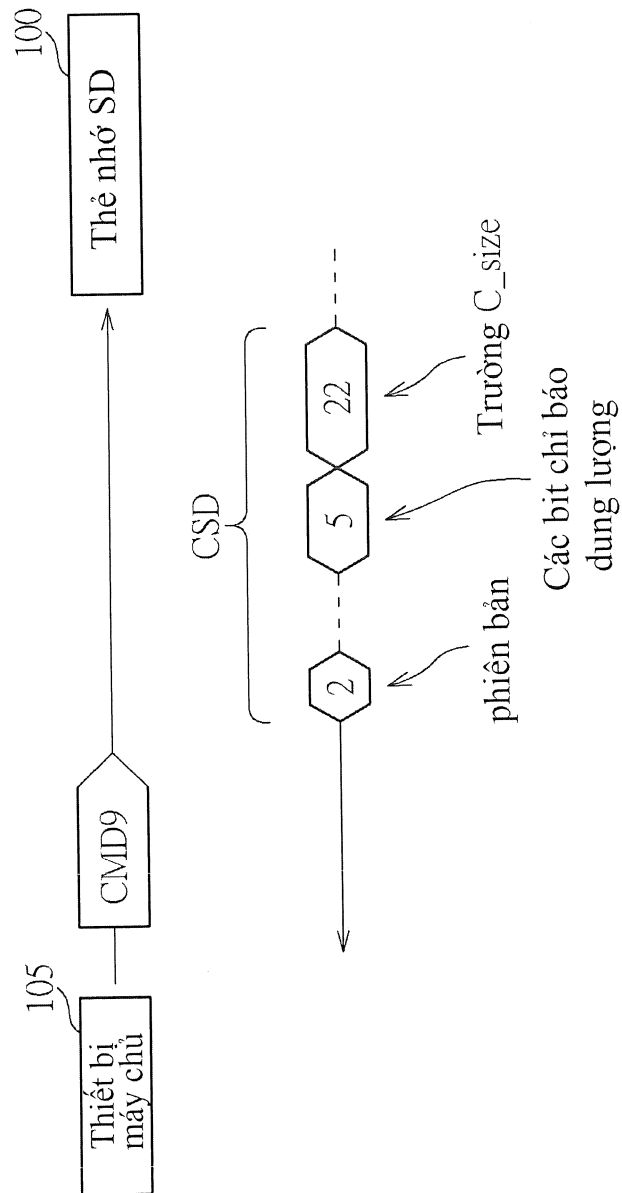


FIG. 2

Các thuộc tính Thẻ SD (E:)

An toàn

ReadyBoost

Hạn ngạch

Tùy biến

Chung

Các công cụ

Phần cứng

Chia sẻ

Thẻ SD

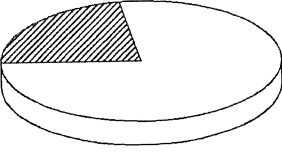
Loại: Đĩa tháo lắp được

Hệ thống tệp: NTFS

Không gian được sử dụng: 103 TB

Không gian trống: 362 TB

Dung lượng: 465 TB



Ổ E:

☐ Nén ổ này để tiết kiệm không gian đĩa

☒ Cho phép các tệp trên ổ này có các nội dung được đánh chỉ số thêm vào các thuộc tính tệp

Đồng ý

Hủy

Áp dụng

FIG. 3

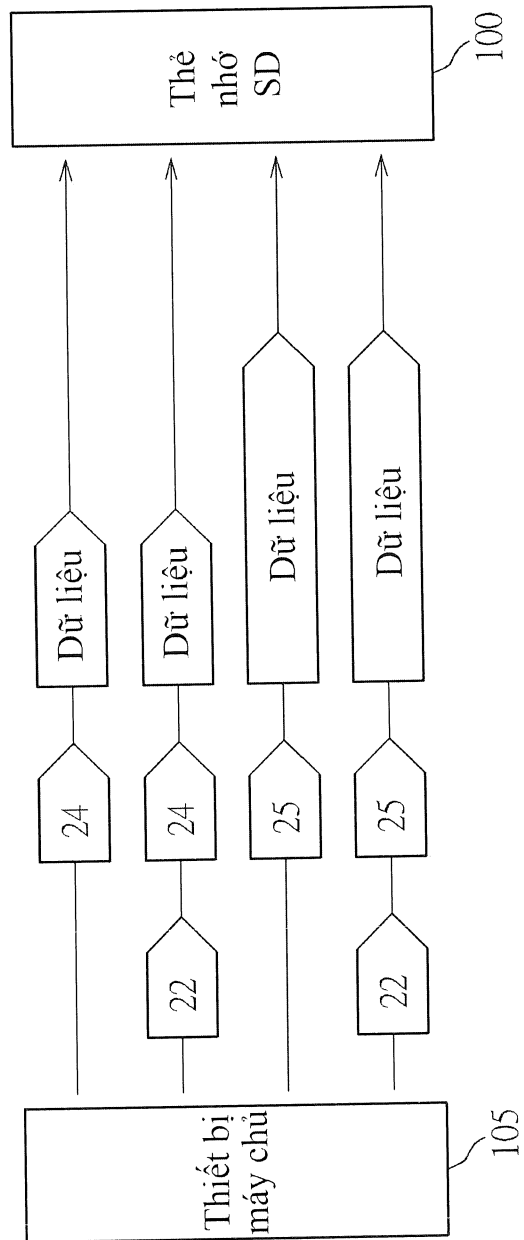


FIG. 4

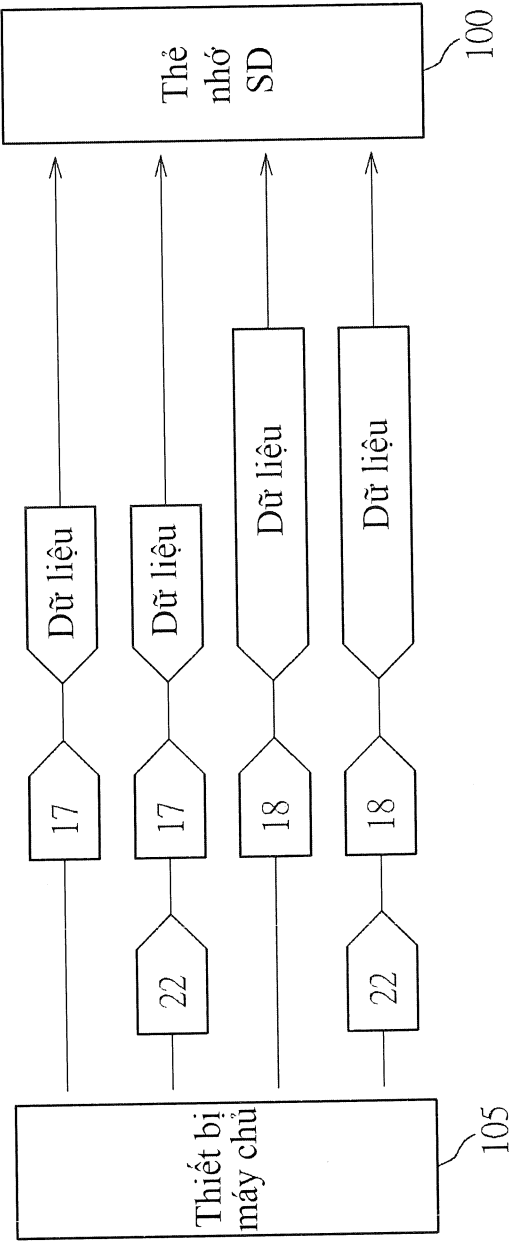


FIG. 5

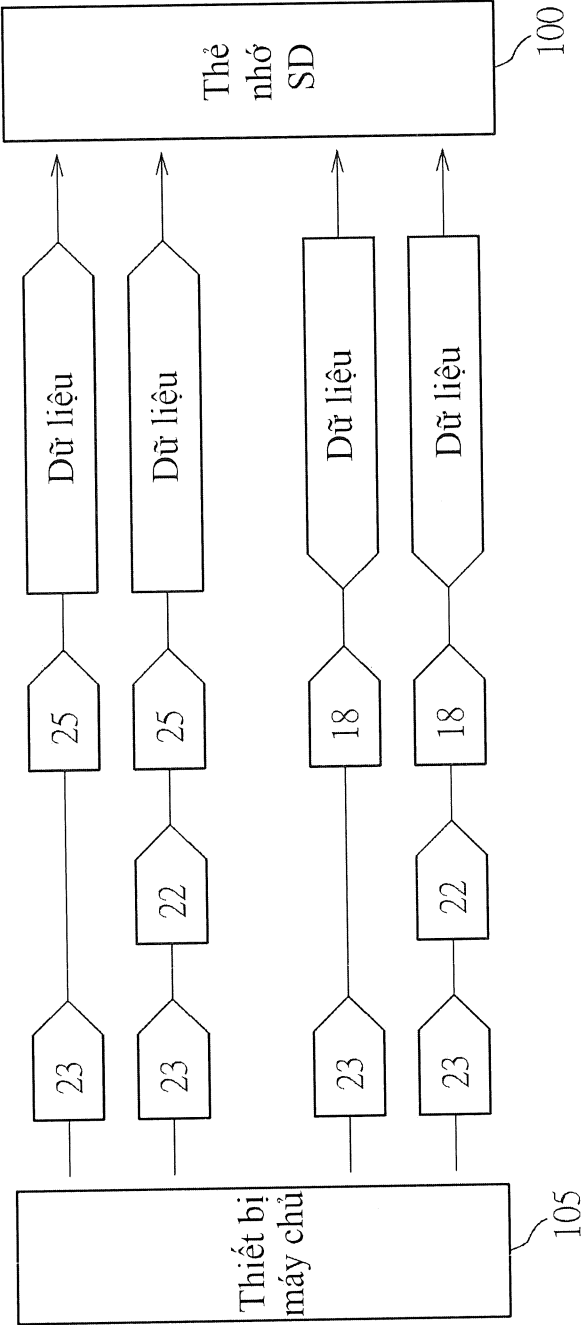


FIG. 6

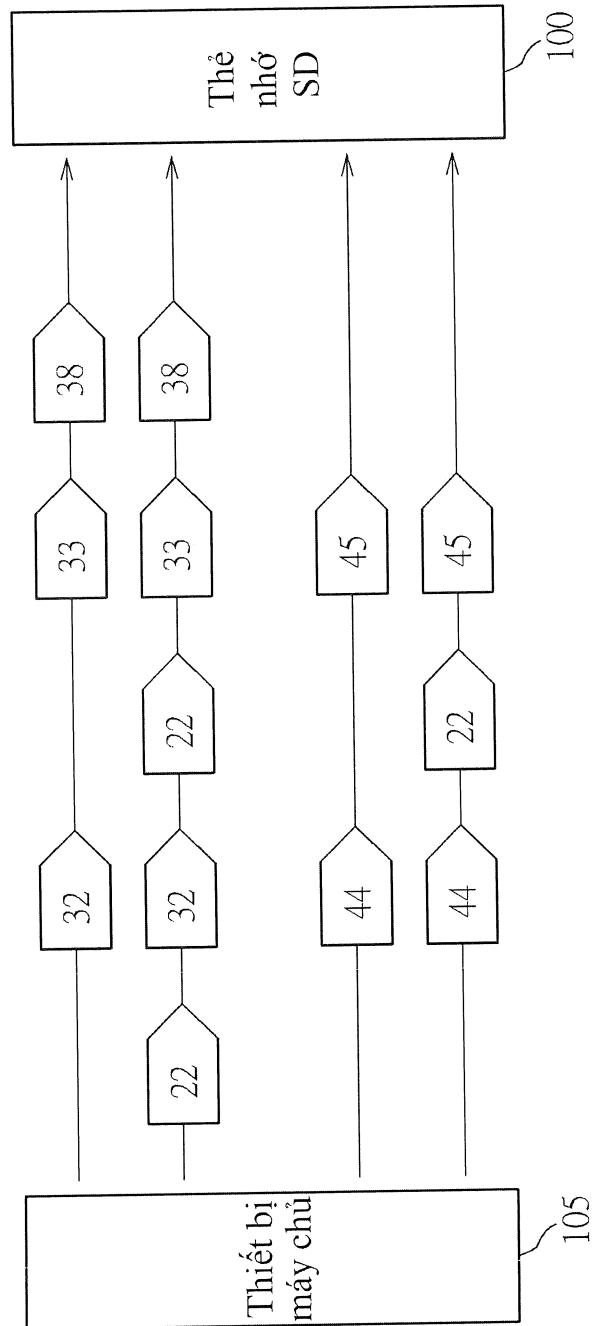


FIG. 7

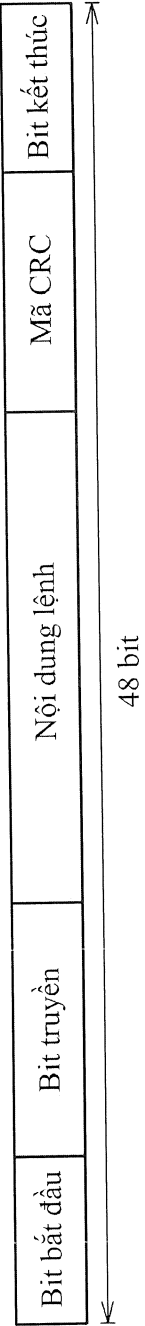


FIG. 8

Địa chỉ 64 bit 0x0505_0505_0A0A_0A0A

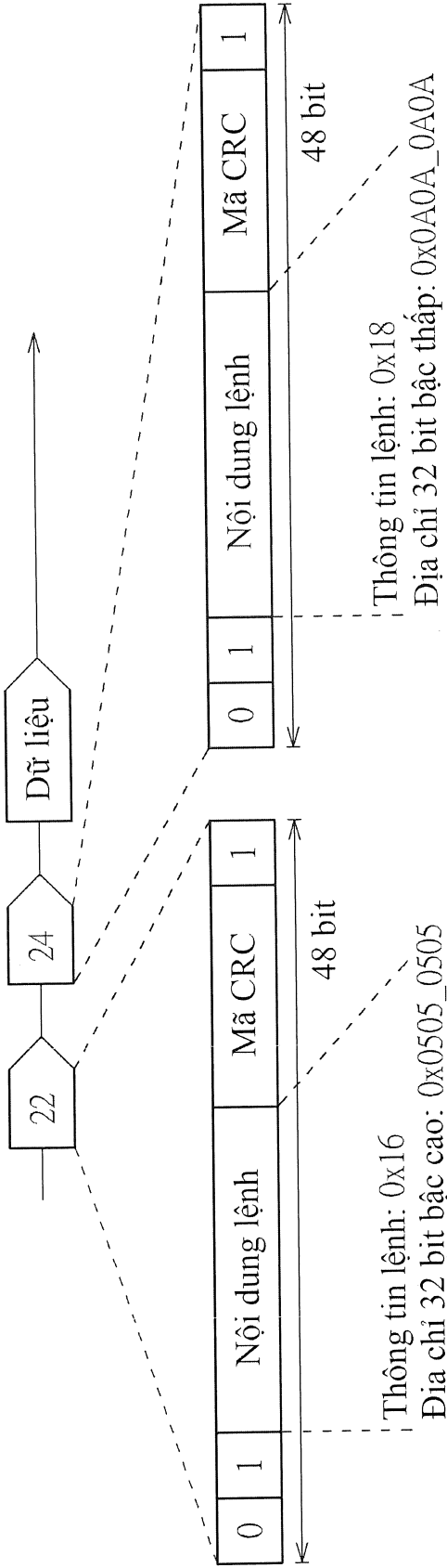


FIG. 9

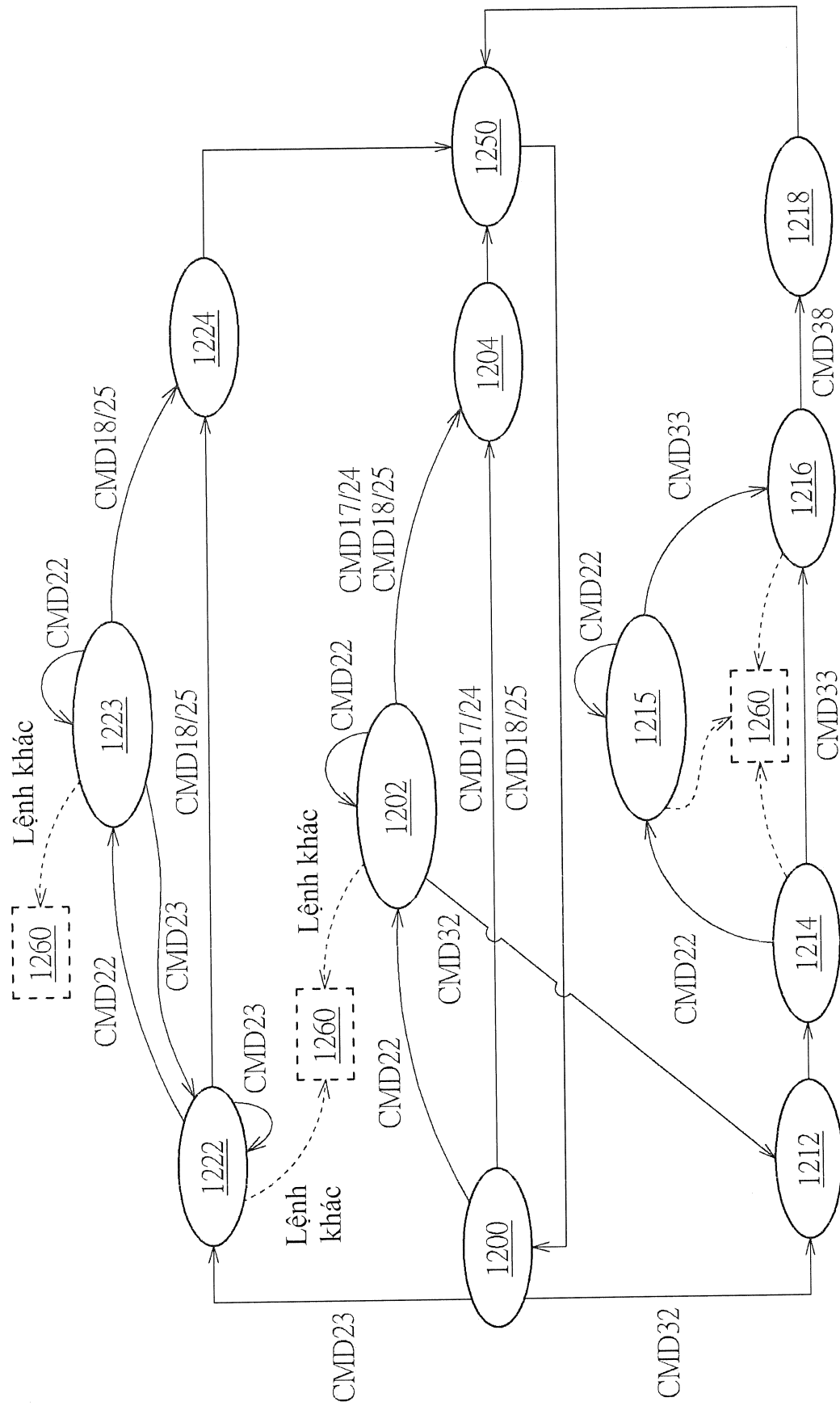


FIG. 10