

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị và phương pháp chế tạo thiết bị hiển thị này. Cụ thể hơn, sáng chế đề cập thiết bị hiển thị có khả năng làm giảm các khuyết tật do độ ẩm gây ra và phương pháp chế tạo thiết bị hiển thị.

Tình trạng kỹ thuật của sáng chế

Các thiết bị hiển thị khác nhau, được áp dụng cho thiết bị đa phương tiện, như máy thu hình, điện thoại di động, máy tính bảng, thiết bị điều hướng, thiết bị trò chơi, v.v., ngày càng phát triển. Bàn phím hoặc chuột được sử dụng rộng rãi dưới dạng bộ nhập liệu của các thiết bị hiển thị. Ngoài ra, gần đây, panen cảm ứng được sử dụng làm bộ nhập liệu trong các thiết bị hiển thị này.

Bản chất kỹ thuật của sáng chế

Các phương án làm ví dụ của sáng chế đề xuất thiết bị hiển thị có thể làm giảm khuyết tật do độ ẩm gây ra.

Các phương án làm ví dụ của sáng chế đề xuất phương pháp chế tạo thiết bị hiển thị chứa bộ cảm biến đầu vào được bố trí trên panen hiển thị.

Các phương án làm ví dụ của sáng chế đề xuất thiết bị hiển thị chứa panen hiển thị bao gồm vùng hiển thị và vùng không hiển thị và bộ cảm biến đầu vào được bố trí trên panen hiển thị. Panen hiển thị này bao gồm lớp đế, đường tín hiệu thứ nhất được xếp chồng lên vùng hiển thị và vùng không hiển thị và được nối với tranzito được bố trí trong vùng hiển thị, phần tử phát sáng, lớp vô cơ bao kín thứ nhất được bố trí trên phần tử phát sáng và được xếp chồng lên vùng hiển thị và vùng không hiển thị, và đệm tín hiệu được nối điện với đường tín hiệu thứ nhất và được bố trí trong vùng không hiển thị. Phần tử phát sáng bao gồm điện cực thứ nhất, điện cực thứ hai được bố trí ở trên điện cực thứ nhất, và lớp phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai. Đệm tín hiệu được nối với đường tín hiệu thứ nhất thông qua lỗ tiếp xúc thứ nhất

được tạo thành qua lớp vô cơ bao kín thứ nhất.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào được bố trí trực tiếp trên panen hiển thị. Bộ cảm biến đầu vào bao gồm điện cực cảm biến, đường tín hiệu thứ hai được nối với điện cực cảm biến, và ít nhất một lớp cách điện được xếp chồng lên vùng hiển thị và vùng không hiển thị.

Theo một phương án làm ví dụ, panen hiển thị còn bao gồm đệm giả được bố trí trong vùng không hiển thị. Đường tín hiệu thứ hai bao gồm phần đường dẫn được xếp chồng lên vùng hiển thị và vùng không hiển thị và phần đệm được nối với phần đường dẫn và được xếp chồng lên đệm giả. Ít nhất một lớp cách điện được bố trí giữa đệm giả và phần đệm của đường tín hiệu thứ hai.

Theo một phương án làm ví dụ, phần đệm của đường tín hiệu thứ hai được nối với đệm giả thông qua lỗ tiếp xúc thứ hai được tạo thành qua lớp vô cơ bao kín thứ nhất và ít nhất một lớp cách điện.

Theo một phương án làm ví dụ, đệm giả được bố trí trong cùng lớp với đường tín hiệu thứ nhất.

Theo một phương án làm ví dụ, ít nhất một lớp cách điện được bố trí giữa đệm tín hiệu và đường tín hiệu thứ nhất, và lỗ tiếp xúc thứ nhất cũng xuyên qua ít nhất một lớp cách điện.

Theo một phương án làm ví dụ, đệm tín hiệu được bố trí trong cùng lớp với đường tín hiệu thứ hai.

Theo một phương án làm ví dụ, điện cực cảm biến bao gồm điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai cắt ngang điện cực cảm biến thứ nhất.

Theo một phương án làm ví dụ, mỗi trong số điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai bao gồm các phần cảm biến và các phần nối mỗi trong số nối phần cảm biến liền kề nhau.

Theo một phương án làm ví dụ, các phần nối của điện cực cảm biến thứ nhất

được nối với các phần cảm biến liên kề của điện cực cảm biến thứ nhất thông qua các lỗ tiếp xúc thứ hai được tạo thành qua ít nhất một lớp cách điện.

Theo một phương án làm ví dụ, panen hiển thị còn bao gồm đệm giả được bố trí trong vùng không hiển thị. Đường tín hiệu thứ hai bao gồm phần đường dẫn được xếp chồng lên vùng hiển thị và vùng không hiển thị và phần đệm được nối với phần đường dẫn và được xếp chồng lên đệm giả. Phần đệm của đường tín hiệu thứ hai được nối với đệm giả thông qua lỗ tiếp xúc thứ hai được tạo thành qua lớp vô cơ bao kín thứ nhất, và ít nhất một lớp cách điện không được xếp chồng lên phần đệm của đường tín hiệu thứ hai.

Theo một phương án làm ví dụ, điện cực cảm biến có dạng lưới.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm bộ chống phản xạ để giảm độ phản xạ của ánh sáng bên ngoài. Bộ chống phản xạ này được bố trí trên lớp vô cơ bao kín thứ nhất.

Theo một phương án làm ví dụ, điện cực cảm biến bao gồm điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai cắt ngang điện cực cảm biến thứ nhất, và ít nhất một lớp cách điện được bố trí giữa điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào còn bao gồm điện cực giả được xếp chồng lên điện cực cảm biến.

Theo một phương án làm ví dụ, điện cực cảm biến bao gồm các điện cực cảm biến thứ nhất và các điện cực cảm biến thứ hai lần lượt tương ứng với các điện cực cảm biến thứ nhất, mỗi trong số các điện cực cảm biến thứ hai bao gồm các phần cảm biến được bố trí trong cùng lớp với điện cực cảm biến thứ nhất và được bố trí cách xa nhau.

Theo một phương án làm ví dụ, đường tín hiệu thứ hai bao gồm các phần đường dẫn thứ nhất được bố trí trong cùng lớp với điện cực cảm biến thứ nhất và được nối với điện cực cảm biến thứ nhất và các phần cảm biến và các phần đường dẫn thứ hai được

bố trí trên lớp khác với các điện cực cảm biến thứ nhất và được nối với một số phần đường dẫn thứ nhất được nối với các phần cảm biến trong số các phần đường dẫn thứ nhất thông qua các lỗ tiếp xúc thứ hai được tạo thành qua ít nhất một lớp cách điện.

Theo một phương án làm ví dụ, điện cực cảm biến được bố trí trong cùng lớp với đường tín hiệu thứ hai, và ít nhất một lớp cách điện che trực tiếp lên điện cực cảm biến và đường tín hiệu thứ hai.

Theo một phương án làm ví dụ, lớp vô cơ bao kín thứ nhất được bố trí hoàn toàn trên lớp đế.

Theo một phương án làm ví dụ, panen hiển thị còn bao gồm lớp vô cơ bao kín thứ hai được bố trí trên lớp vô cơ bao kín thứ nhất và lớp hữu cơ bao kín được xếp chồng lên vùng hiển thị và được bố trí giữa lớp vô cơ bao kín thứ nhất và lớp vô cơ bao kín thứ hai.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào bao gồm điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai. Điện cực cảm biến thứ nhất bao gồm các phần cảm biến thứ nhất và các phần nối thứ nhất nối các phần cảm biến thứ nhất. Điện cực cảm biến thứ nhất được bố trí trên bề mặt để được tạo thành trên panen hiển thị. Điện cực cảm biến thứ hai bao gồm các phần cảm biến thứ hai và các phần nối thứ hai nối phần cảm biến thứ hai. Điện cực cảm biến thứ hai được bố trí trên bề mặt để được xác định trên panen hiển thị. Các phần cảm biến thứ nhất được bố trí trong cùng lớp với phần cảm biến thứ hai, một trong số các phần nối thứ nhất và các phần nối thứ hai được bố trí trong cùng lớp với các phần cảm biến thứ nhất, và các phần nối thứ nhất cắt ngang các phần nối thứ hai sao cho lớp cách điện được bố trí giữa các phần nối thứ nhất và các phần nối thứ hai.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào được bố trí trực tiếp trên panen hiển thị. Bộ cảm biến đầu vào bao gồm điện cực cảm biến có dạng lưới và đường tín hiệu thứ hai được nối với điện cực cảm biến. Đường tín hiệu thứ hai bao gồm một lớp có cùng vật liệu với điện cực cảm biến.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào bao gồm ít nhất một lớp cách điện, các điện cực cảm biến thứ nhất, và các điện cực cảm biến thứ hai được cách điện với các điện cực cảm biến thứ nhất trong khi cắt ngang các điện cực cảm biến thứ nhất. Ít nhất một lớp cách điện để cách điện các điện cực cảm biến thứ nhất với các điện cực cảm biến thứ hai. Ít nhất một lớp cách điện chứa polyme.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm màng phân cực được bố trí trên panen hiển thị. Bộ cảm biến đầu vào bao gồm màng đế và các điện cực cảm biến được bố trí trên ít nhất một bề mặt của màng đế. Màng phân cực được bố trí giữa panen hiển thị và bộ cảm biến đầu vào.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm màng phân cực được bố trí trên panen hiển thị. Bộ cảm biến đầu vào bao gồm màng đế và các điện cực cảm biến được bố trí trên ít nhất một bề mặt của màng đế. Bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm màng phân cực được bố trí trên panen hiển thị. Bộ cảm biến đầu vào bao gồm màng đế và các điện cực cảm biến được bố trí trên bề mặt dưới của màng đế. Màng phân cực được bố trí giữa panen hiển thị và bộ cảm biến đầu vào.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm màng phân cực được bố trí trên panen hiển thị. Bộ cảm biến đầu vào bao gồm màng đế, lớp cách điện của đế được bố trí trên màng đế, và các điện cực cảm biến được bố trí trên lớp cách điện của đế. Bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực.

Theo một phương án làm ví dụ, thiết bị hiển thị còn bao gồm màng phân cực được bố trí trên panen hiển thị. Bộ cảm biến đầu vào bao gồm màng đế, các điện cực cảm biến được bố trí trên bề mặt dưới của màng đế, và các đường tín hiệu được nối với các điện cực cảm biến. Bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực, và các phần đệm của các đường tín hiệu được nối điện với các đệm đầu vào của panen hiển thị bởi thành phần dẫn điện.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào bao gồm điện cực cảm biến được bố trí trên bề mặt để được tạo thành trên panen hiển thị và lớp cách điện được bố trí trên một mặt trong số mặt bên trên hoặc mặt bên dưới của điện cực cảm biến. Lớp cách điện bao gồm lớp cách điện có chỉ số khúc xạ cao và lớp cách điện có chỉ số khúc xạ thấp, và lớp cách điện có chỉ số khúc xạ thấp được bố trí gần điện cực cảm biến hơn so với lớp cách điện có chỉ số khúc xạ cao.

Các phương án làm ví dụ của sáng chế đề xuất thiết bị hiển thị chứa panen hiển thị bao gồm vùng thứ nhất, vùng thứ hai, và vùng thứ ba được bố trí giữa vùng thứ nhất và vùng thứ hai và có độ cong và bộ cảm biến đầu vào được bố trí trên panen hiển thị. Panen hiển thị bao gồm lớp đế, đường tín hiệu thứ nhất, phần tử phát sáng, lớp vô cơ bao kín, và đệm tín hiệu. Lớp đế chồng lên vùng thứ nhất, vùng thứ hai, và vùng thứ ba. Đường tín hiệu thứ nhất chồng lên vùng thứ nhất, vùng thứ hai, và vùng thứ ba và được nối với tranzito được bố trí trong vùng thứ nhất. Phần tử phát sáng được bố trí trong vùng thứ nhất và bao gồm điện cực thứ nhất, điện cực thứ hai được bố trí trên điện cực thứ nhất, và lớp phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai. Lớp vô cơ bao kín được bố trí trên điện cực thứ hai và được xếp chồng lên vùng thứ nhất và vùng thứ hai. Đệm tín hiệu được nối điện với đường tín hiệu thứ nhất và được bố trí trong vùng thứ hai. Đệm tín hiệu được nối với đường tín hiệu thứ nhất thông qua lỗ tiếp xúc được tạo thành qua lớp vô cơ bao kín.

Theo một phương án làm ví dụ, bộ cảm biến đầu vào bao gồm điện cực cảm biến được bố trí trong vùng thứ nhất, đường tín hiệu thứ hai được nối với điện cực cảm biến và được xếp chồng lên vùng thứ nhất, vùng thứ hai, và vùng thứ ba và ít nhất một lớp cách điện được xếp chồng lên vùng thứ nhất, vùng thứ hai, và vùng thứ ba. Bộ cảm biến đầu vào được bố trí trực tiếp trên panen hiển thị.

Theo một phương án làm ví dụ, panen hiển thị còn bao gồm gờ được bố trí trong vùng thứ ba và bao gồm nhiều mẫu hình cách điện hữu cơ được xếp chồng lên nhau. Gờ này kéo dài theo hướng gần song song với trục uốn cong được xác định trong vùng

thứ ba. Vùng khoảng hở được tạo thành qua lớp vô cơ bao kín để tương ứng với gờ này.

Theo một phương án làm ví dụ, vùng thứ nhất bao gồm vùng hiển thị và vùng không hiển thị được bố trí liền kề với vùng hiển thị. Panen hiển thị còn bao gồm chi tiết ngăn được bố trí trong vùng không hiển thị, và vùng hiển thị được bố trí bên trong chi tiết ngăn.

Theo một phương án làm ví dụ, panen hiển thị còn bao gồm các chi tiết ngăn rạn nứt được bố trí ở ngoài chi tiết ngăn. Các chi tiết ngăn rạn nứt kéo dài theo hướng trong đó đường tín hiệu thứ nhất kéo dài, và vùng khoảng hở được tạo thành qua lớp vô cơ bao kín để chồng lên các chi tiết ngăn rạn nứt.

Các phương án làm ví dụ của sáng chế đề xuất phương pháp chế tạo thiết bị hiển thị bao gồm bước tạo ra mẫu hình dẫn điện thứ nhất trên lớp vô cơ bao kín của panen hiển thị bao gồm lớp vô cơ bao kín được xếp chồng lên vùng hiển thị và vùng không hiển thị, tạo ra lớp cách điện trên lớp vô cơ bao kín để chồng lên vùng hiển thị và vùng không hiển thị và che đi mẫu hình dẫn điện thứ nhất, tạo ra lỗ tiếp xúc thứ nhất để làm lộ mẫu hình dẫn điện thứ nhất, tạo ra lỗ tiếp xúc thứ hai được bố trí trong vùng không hiển thị của panen hiển thị để làm lộ đệm giả được bố trí bên dưới lớp vô cơ bao kín, và tạo ra mẫu hình dẫn điện thứ hai trên lớp cách điện được nối với mẫu hình dẫn điện thứ nhất và đệm giả.

Theo một phương án làm ví dụ, việc tạo ra lỗ tiếp xúc thứ nhất và việc tạo ra lỗ tiếp xúc thứ hai được thực hiện với cùng quy trình.

Theo một phương án làm ví dụ, mẫu hình dẫn điện thứ hai bao gồm đệm tín hiệu được nối với đệm giả thông qua lỗ tiếp xúc thứ hai trong việc tạo ra mẫu hình dẫn điện thứ hai.

Theo một phương án làm ví dụ, việc tạo ra lỗ tiếp xúc thứ nhất bao gồm loại bỏ một phần của lớp cách điện, chồng lên mẫu hình dẫn điện thứ nhất. Việc tạo ra lỗ tiếp xúc thứ hai bao gồm loại bỏ một phần của lớp cách điện, chồng lên đệm giả, và loại bỏ

một phần của lớp vô cơ bao kín, chồng lên đệm giả.

Theo một phương án làm ví dụ, việc loại bỏ một phần của lớp cách điện, chồng lên mẫu hình dẫn điện thứ nhất, và việc loại bỏ một phần của lớp cách điện, chồng lên đệm giả, được thực hiện với cùng quy trình.

Theo một phương án làm ví dụ, mẫu hình dẫn điện thứ nhất bao gồm các phần nối thứ nhất. Mẫu hình dẫn điện thứ hai bao gồm các phần cảm biến thứ nhất mỗi trong số đó được nối với các phần nối thứ nhất tương ứng trong số các phần nối thứ nhất thông qua lỗ tiếp xúc thứ nhất, các phần nối thứ hai giao cắt các phần nối thứ nhất, và các phần cảm biến thứ hai được nối với phần nối thứ hai.

Theo trên, ít nhất một lớp vô cơ bao kín được lắng đọng hoàn toàn trên panen hiển thị. Lớp bao kín được lắng đọng hoàn toàn có độ dày đồng nhất và mật độ màng đặc. Theo đó, lớp vô cơ bao kín có lực tương tác lớn so với lớp hữu cơ được bố trí ở dưới. Do đó, độ ẩm có thể được ngăn ngừa để không thẩm thấu vào giữa lớp vô cơ bao kín và lớp hữu cơ được bố trí dưới lớp vô cơ bao kín, và lớp vô cơ bao kín có thể được ngăn ngừa không bị phân tách.

Theo một phương án làm ví dụ, ít nhất một lớp vô cơ bao kín được lắng đọng hoàn toàn tạo ra bề mặt để được làm phẳng hơn. Bộ cảm biến đầu vào được bố trí trên bề mặt để. Các đường tín hiệu của bộ cảm biến đầu vào được bố trí trong vùng không hiển thị trong đó sự chênh lệch bậc giảm xuống, và do đó bộ cảm biến đầu vào có thể có độ dày đồng nhất. Theo đó, ứng suất được áp dụng cho khu vực được xếp chồng lên chênh lệch bậc của các đường tín hiệu của bộ cảm biến đầu vào có thể giảm xuống. Ngoài ra, lớp vô cơ bao kín được lắng đọng hoàn toàn tạo ra bề mặt để được làm phẳng cho bộ cảm biến đầu vào, và do đó độ nhạy và độ ổn định cơ của bộ cảm biến đầu vào được tạo ra liên tiếp trên hoặc được gắn vào panen hiển thị có thể được cải thiện.

Vì lớp vô cơ bao kín được tạo ra không sử dụng tấm che, giá thành sản xuất có thể giảm xuống, và thời gian sản xuất có thể được rút ngắn.

Mô tả vắn tắt các hình vẽ

Các phương án nêu trên và các phương án làm ví dụ khác, các dấu hiệu và ưu điểm theo sáng chế sẽ trở nên rõ ràng bằng cách tham khảo mô tả chi tiết sau đây khi xét kết hợp với hình vẽ kèm theo, trong đó:

Fig.1 là hình vẽ phối cảnh thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Các hình vẽ từ Fig.2A đến Fig.2F là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.3 là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của panen hiển thị theo sáng chế;

Fig.4A và Fig.4B là các hình chiếu bằng thể hiện phương án làm ví dụ của panen hiển thị theo sáng chế;

Fig.5 là sơ đồ mạch tương đương thể hiện phương án làm ví dụ của điểm ảnh theo sáng chế;

Fig.6 là hình vẽ mặt cắt ngang phóng to thể hiện phương án làm ví dụ của panen hiển thị theo sáng chế;

Các hình vẽ từ Fig.7A đến Fig.7D là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của lớp bao kín màng mỏng theo sáng chế;

Các hình vẽ từ Fig.7E đến Fig.7G là các hình vẽ thể hiện các quy trình tạo ra lớp bao kín màng mỏng theo phương án so sánh;

Fig.7H và Fig.7I là các hình vẽ thể hiện các quy trình tạo ra lớp bao kín màng mỏng theo phương án làm ví dụ của sáng chế;

Fig.8A là hình vẽ mặt cắt ngang phóng to thể hiện phương án làm ví dụ của một phần của panen hiển thị theo sáng chế;

Fig.8B là hình chiếu bằng phóng to thể hiện phương án làm ví dụ của vùng đệm

của panen hiển thị theo sáng chế;

Fig.8C là hình vẽ mặt cắt ngang theo đường III-III' trên Fig.8B;

Fig.8D là hình vẽ mặt cắt ngang phóng to thể hiện phương án làm ví dụ của một phần của panen hiển thị theo sáng chế;

Fig.8E là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của vùng đệm của panen hiển thị theo sáng chế;

Fig.8F là hình vẽ mặt cắt ngang phóng to thể hiện phương án làm ví dụ của một phần của panen hiển thị theo sáng chế;

Fig.8G là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của vùng đệm của panen hiển thị theo sáng chế;

Fig.9 là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.10A và Fig.10B là các hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.11A là hình chiếu bằng thể hiện phương án làm ví dụ của lớp dẫn điện thứ nhất của bộ cảm biến đầu vào theo sáng chế;

Fig.11B là hình chiếu bằng thể hiện phương án làm ví dụ của lớp dẫn điện thứ hai của bộ cảm biến đầu vào theo sáng chế;

Fig.11C là hình vẽ mặt cắt ngang theo đường IV-IV' trên Fig.10A;

Fig.11D và Fig.11E là các hình vẽ mặt cắt ngang theo đường V-V' trên Fig.10A;

Fig.12A là hình chiếu bằng phóng để thể hiện phương án làm ví dụ của một phần của vùng đệm của thiết bị hiển thị theo sáng chế;

Fig.12B và Fig.12C là các hình vẽ mặt cắt ngang theo đường VI-VI' trên Fig.12A;

Fig.12D là hình chiếu bằng phóng to thể hiện phương án làm ví dụ của một

phần của vùng đệm của thiết bị hiển thị theo sáng chế;

Fig.12E là hình vẽ mặt cắt ngang theo đường VI-VI' trên Fig.12D;

Fig.13A là hình chiếu bằng phóng to thể hiện phương án làm ví dụ của phần còn lại của vùng đệm của thiết bị hiển thị theo sáng chế;

Fig.13B và Fig.13C là các hình vẽ mặt cắt ngang theo đường VII-VII' trên Fig.13A;

Các hình vẽ từ Fig.14A đến Fig.14E là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của phương pháp chế tạo thiết bị hiển thị theo sáng chế;

Các hình vẽ từ Fig.15A đến Fig.15F là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của phương pháp chế tạo thiết bị hiển thị theo sáng chế;

Các hình vẽ từ Fig.16A đến Fig.16C là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.17A là hình vẽ phối cảnh thể hiện phương án làm ví dụ của vùng cắt ngang của bộ cảm biến đầu vào theo sáng chế;

Fig.17B là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.17C là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của một phần của vùng đệm của thiết bị hiển thị theo sáng chế;

Fig.17D là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của phần còn lại của vùng đệm của thiết bị hiển thị theo sáng chế;

Fig.18 là hình chiếu bằng thể hiện phương án làm ví dụ về vùng cắt ngang của bộ cảm biến đầu vào được bao gồm trong thiết bị hiển thị theo sáng chế;

Fig.19A là hình chiếu bằng thể hiện phương án làm ví dụ về vùng cắt ngang của bộ cảm biến đầu vào được bao gồm trong thiết bị hiển thị theo sáng chế;

Fig.19B là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển

thị theo sáng chế;

Fig.20A là hình chiếu bằng thể hiện phương án làm ví dụ về vùng cắt ngang của bộ cảm biến đầu vào được bao gồm trong thiết bị hiển thị theo sáng chế;

Fig.20B là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.21 là hình chiếu bằng thể hiện phương án làm ví dụ về vùng cắt ngang của bộ cảm biến đầu vào được bao gồm trong thiết bị hiển thị theo sáng chế;

Fig.22A là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.22B là hình chiếu bằng thể hiện vùng “FF” của bộ cảm biến đầu vào được thể hiện trên Fig.22A;

Fig.22C và Fig.22D là các hình vẽ mặt cắt ngang theo đường VIII-VIII’ trên Fig.22B;

Các hình vẽ từ Fig.23A đến Fig.23F là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.24A là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.24B là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.24C là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.25A và Fig.25B là các hình chiếu bằng thể hiện phương án làm ví dụ của một phần của bộ cảm biến đầu vào theo sáng chế;

Fig.25C là hình vẽ mặt cắt ngang theo đường X-X’ trên Fig.25A và Fig.25B;

Fig.26A là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu

vào theo sáng chế;

Fig.26B là hình chiếu bằng thể hiện phương án làm ví dụ của lớp dẫn điện thứ nhất của bộ cảm biến đầu vào theo sáng chế;

Fig.26C là hình chiếu bằng thể hiện phương án làm ví dụ của lớp dẫn điện thứ hai của bộ cảm biến đầu vào theo sáng chế;

Fig.27A là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.27B là hình chiếu bằng thể hiện phương án làm ví dụ của khối cảm biến theo sáng chế;

Fig.27C là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.28 là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.29 là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.30A là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.30B là hình vẽ mặt cắt ngang theo đường XI-XI' trên Fig.30A;

Fig.30C là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Các hình vẽ từ Fig.30D đến Fig.30F là các hình vẽ mặt cắt ngang theo đường XI-XI' trên Fig.30C;

Fig.31 là hình chiếu bằng thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Fig.32 là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển

thị theo sáng chế;

Fig.33 là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của bộ cảm biến đầu vào theo sáng chế;

Các hình vẽ từ Fig.34A đến Fig.34C là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Các hình vẽ từ Fig.35A đến Fig.35C là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.36A và Fig.36B là các hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.36C là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.36D là hình chiếu bằng thể hiện phương án làm ví dụ của panen hiển thị theo sáng chế;

Fig.36E là hình vẽ mặt cắt ngang thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Các hình vẽ từ Fig.37A đến Fig.37C là các hình vẽ phối cảnh thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.38A và Fig.38B là các hình vẽ phối cảnh thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.39 là hình vẽ phối cảnh thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.40A là hình vẽ phối cảnh thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.40B là hình chiếu bằng thể hiện phương án làm ví dụ của thiết bị hiển thị theo sáng chế;

Fig.41A là hình vẽ mặt cắt ngang theo đường XII-XII' trên Fig.40B;

Fig.41B và Fig.41C là các hình vẽ mặt cắt ngang theo đường XIII-XIII' trên Fig.40B;

Fig.42 là hình chiếu bằng thể hiện phương án làm ví dụ của lớp bao kín màng mỏng được áp dụng cho thiết bị hiển thị theo sáng chế;

Fig.43A là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị tương ứng với Fig.41A;

Fig.43B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị tương ứng với Fig.41B; và

Fig.44 là hình chiếu bằng thể hiện phương án làm ví dụ của lớp bao kín màng mỏng được áp dụng cho thiết bị hiển thị theo sáng chế.

Mô tả chi tiết sáng chế

Các số tham chiếu giống nhau đề cập đến các thành phần giống nhau xuyên suốt bản mô tả. Trên các hình vẽ, độ dày, tỷ lệ, và kích thước của mỗi thành phần được phóng to để làm rõ. Như được sử dụng ở đây, thuật ngữ “và/hoặc” bao gồm bất kỳ và tất cả các kết hợp của một hoặc các mục liên quan được liệt kê.

Việc sử dụng các thuật ngữ thứ nhất, thứ hai, v.v. không biểu thị bất kỳ thứ tự hoặc độ quan trọng, nhưng tốt hơn là các thuật ngữ thứ nhất, thứ hai, v.v. được sử dụng để phân biệt một thành phần với thành phần khác. Do đó, yếu tố, thành phần, vùng, lớp hoặc mặt cắt thứ nhất được thảo luận sau đây có thể được gọi là, yếu tố, thành phần, vùng, lớp hoặc mặt cắt thứ hai mà không vượt ra ngoài phạm vi sáng chế. Cần hiểu rằng các dạng số ít nhằm để chỉ các dạng số nhiều, trừ khi ngữ cảnh được chỉ ra hoàn toàn khác.

Các thuật ngữ liên quan đến không gian, như “bên dưới” hoặc “ở dưới”, “ở dưới thấp” và “trên” hoặc “bên trên” có thể được sử dụng ở đây để mô tả để mô tả mối tương quan giữa một thành phần hoặc dấu hiệu yếu tố với thành phần hoặc dấu hiệu

khác như được minh họa trên các hình vẽ. Cần hiểu rằng các thuật ngữ liên quan đến không gian được dự định bao gồm các định hướng khác nhau của thiết bị trong việc sử dụng hoặc vận hành ngoài hướng được minh họa trên các hình vẽ.

Cũng cần hiểu rằng các thuật ngữ “bao gồm” và/hoặc “gồm”, khi được sử dụng trong bản mô tả này, chỉ ra sự có mặt của các dấu hiệu, số nguyên, các bước, hoạt động, yếu tố, và/hoặc các thành phần được nêu, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, số nguyên, các bước, hoạt động, yếu tố, thành phần khác, và/hoặc nhóm của chúng.

Cần hiểu rằng khi một thành phần được gọi là “ở trên” thành phần khác, nó có thể ở ngay trên thành phần khác hoặc các thành phần xen kẽ có thể có mặt ở giữa. Ngược lại, khi thành phần được gọi là “ở ngay trên” thành phần khác, thì không có các thành phần xen kẽ.

Cần hiểu rằng, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, “thứ ba” v.v có thể được sử dụng ở đây để mô tả các yếu tố, thành phần, vùng, lớp và/hoặc mặt cắt khác nhau, các yếu tố, thành phần, vùng, lớp và/hoặc mặt cắt này không bị giới hạn với thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một yếu tố, thành phần, vùng, lớp hoặc mặt cắt với yếu tố, thành phần, vùng, lớp hoặc mặt cắt khác. Do đó, “yếu tố”, “thành phần”, “vùng”, “lớp” hoặc “mặt cắt” thứ nhất được thảo luận sau đây có thể được gọi là yếu tố, thành phần, vùng, lớp hoặc mặt cắt thứ hai mà không vượt ra ngoài việc hiểu sáng chế.

“Khoảng”, “xấp xỉ” được sử dụng ở đây gồm giá trị được nêu và giá trị trung bình nằm trong miền độ lệch chấp nhận được đối với giá trị cụ thể như được xác định bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, xem xét trong phép đo được đề cập và sai số liên quan đến phép đo của đại lượng cụ thể (nghĩa là, các giới hạn của hệ thống đo). Ví dụ, “khoảng” có thể có nghĩa ở trong khoảng một hoặc nhiều độ lệch chuẩn, hoặc khoảng $\pm 30\%$, 20% , 10% , 5% của giá trị được nêu..

Trừ khi được xác định khác đi, tất cả thuật ngữ (gồm các thuật ngữ kỹ thuật và

khoa học) được sử dụng ở đây có cùng nghĩa như được hiểu thông thường bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật mà sáng chế đề cập đến. Cũng cần hiểu rằng các thuật ngữ, như các thuật ngữ được định nghĩa trong các từ điển thông dụng, cần được giải thích là có nghĩa phù hợp với nghĩa của chúng trong ngữ cảnh của lĩnh vực kỹ thuật liên quan và sáng chế, và sẽ không được giải thích với nghĩa lý tưởng hoặc quá trang trọng, trừ khi được định nghĩa rõ ràng ở đây.

Các phương án làm ví dụ được mô tả ở đây với tham chiếu đến các minh họa mặt cắt ngang là các minh họa dạng sơ đồ của các phương án được lý tưởng hóa. Như vậy, các biến thể từ các hình dạng minh họa làm kết quả, ví dụ, các kỹ thuật sản xuất và/hoặc các dung sai, được mong đợi. Do đó, các phương án được mô tả ở đây không nên được hiểu là bị giới hạn với hình dạng của vùng cụ thể như được minh họa ở đây nhưng bao gồm độ lệch của hình dạng do kết quả, ví dụ, từ công đoạn sản xuất. Theo một phương án làm ví dụ, vùng được minh họa hoặc mô tả là phẳng có thể, thường, có các đặc tính mấp mô và/hoặc không phẳng. Ngoài ra, các góc nhọn được minh họa có thể là dạng tròn. Do đó, các vùng được minh họa trên các hình vẽ là giản lược về bản chất và các hình dạng của chúng không nhằm minh họa hình dạng chính xác của vùng và không nhằm để giới hạn phạm vi của các yêu cầu bảo hộ này.

Fig.1 là hình vẽ phối cảnh thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Như được thể hiện trên Fig.1, thiết bị hiển thị DD có thể hiển thị hình ảnh IM thông qua bề mặt hiển thị DD-IS. Bề mặt hiển thị DD-IS về cơ bản song song với bề mặt được xác định với trục theo hướng thứ nhất DR1 và trục hướng thứ hai DR2. Hướng pháp tuyến của bề mặt hiển thị DD-IS, tức là, hướng độ dày của thiết bị hiển thị DD, chỉ báo trục hướng thứ ba DR3.

Trong mỗi trong số các thành phần hoặc bộ phận, bề mặt trước (hoặc bề mặt trên) được phân biệt với bề mặt sau (hoặc bề mặt dưới) bởi trục hướng thứ ba DR3. Tuy nhiên, các trục hướng thứ nhất đến thứ ba DR1 đến DR3 liên quan đến nhau, và do đó các hướng được chỉ báo với trục hướng thứ nhất đến thứ ba DR1 đến DR3 có thể

được thay đổi cho bất kỳ các hướng nào khác. Sau đây, các hướng thứ nhất đến thứ ba tương ứng với hướng được chỉ báo lần lượt với trục hướng thứ nhất đến thứ ba DR1 đến DR3, và do đó các hướng thứ nhất đến thứ ba được gán với các số tham chiếu giống nhau với trục hướng thứ nhất đến thứ ba DR1 đến DR3.

Theo phương án làm ví dụ của sáng chế, thiết bị hiển thị DD chứa bề mặt hiển thị phẳng, nhưng không bị giới hạn ở đó hoặc bằng cách đó. Thiết bị hiển thị DD có thể có bề mặt hiển thị kiểu cong hoặc bề mặt hiển thị kiểu ba chiều (three-dimensional - 3D). Bề mặt hiển thị kiểu 3D có thể bao gồm nhiều vùng hiển thị chỉ báo các hướng khác nhau. Theo một phương án làm ví dụ, bề mặt hiển thị kiểu 3D có thể là bề mặt hiển thị kiểu cột đa giác.

Theo phương án làm ví dụ được minh họa, thiết bị hiển thị DD có thể là thiết bị hiển thị cứng. Theo các phương án làm ví dụ, thiết bị hiển thị DD có thể là thiết bị hiển thị dẻo. Theo phương án làm ví dụ được minh họa, thiết bị hiển thị DD có thể được áp dụng cho thiết bị đầu cuối điện thoại di động sẽ được mô tả làm ví dụ minh họa. Mặc dù không được thể hiện trong các hình vẽ, các mô đun điện tử, mô đun camera, và mô đun cấp nguồn điện được bố trí (ví dụ, được gắn) trên bảng mạch chính được bố trí trong khung/vỏ cùng với thiết bị hiển thị DD để tạo thành thiết bị đầu cuối điện thoại di động. Thiết bị hiển thị DD theo phương án làm ví dụ được minh họa có thể được áp dụng cho mặt hàng điện tử cỡ lớn, như máy thu hình, màn hình, v.v., và mặt hàng điện tử cỡ nhỏ và vừa, như máy tính bảng, bộ điều hướng ô tô, thiết bị trò chơi, đồng hồ thông minh, v.v., nhưng không bị giới hạn ở đó hoặc bằng cách đó.

Như được thể hiện trên Fig.1, bề mặt hiển thị DD-IS bao gồm vùng hiển thị DD-DA trong đó hình ảnh IM được hiển thị và vùng không hiển thị DD-NDA được bố trí liền kề với vùng hiển thị DD-DA. Hình ảnh IM không được hiển thị trong vùng không hiển thị DD-NDA. Fig.1 thể hiện các hình ảnh biểu tượng làm ví dụ của hình ảnh IM.

Như được thể hiện trên Fig.1, vùng hiển thị DD-DA có thể có dạng tứ giác,

chẳng hạn. Vùng không hiển thị DD-NDA được bố trí để bao quanh vùng hiển thị DD-DA. Tuy nhiên, theo các phương án làm ví dụ khác, hình dạng của vùng hiển thị DD-DA và hình dạng của vùng không hiển thị DD-NDA có thể được thiết kế liên quan đến nhau.

Các hình vẽ từ Fig.2A đến Fig.2F là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Các hình vẽ từ Fig.2A đến Fig.2F thể hiện các mặt cắt ngang được xác định với trục hướng thứ hai DR2 và trục hướng thứ ba DR3. Trên các hình vẽ từ Fig.2A đến Fig.2F, thiết bị hiển thị DD được thể hiện đơn giản để minh họa mối tương quan xếp chồng của panen chức năng và/hoặc các đơn vị chức năng được chứa trong thiết bị hiển thị DD một cách đơn giản.

Thiết bị hiển thị DD theo phương án làm ví dụ của sáng chế có thể bao gồm panen hiển thị, bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ. Ít nhất một hoặc nhiều trong số panen hiển thị, bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ có thể được cung cấp bởi quy trình liên tục hoặc được gắn vào nhau với thành phần kết dính. Các hình vẽ từ Fig.2A đến Fig.2F thể hiện thành phần kết dính trong suốt quang học OCA dưới dạng thành phần kết dính. Thành phần kết dính này được sử dụng sau đây có thể bao gồm chất kết dính thông thường hoặc chất kết dính nhạy áp. Theo phương án làm ví dụ của sáng chế, bộ chống phản xạ và bộ cửa sổ có thể được thay thế với thành phần khác hoặc được lược bỏ.

Trên các hình vẽ từ Fig.2A đến Fig.2F, thiết bị được tạo ra bởi thiết bị khác với quy trình liên tục trong số bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ sẽ được gọi là “lớp”. Trong số bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ, thiết bị được tạo ra bởi thiết bị khác bởi thành phần kết dính sẽ được gọi là “panen”. Panen này chứa lớp để tạo thành bề mặt để, ví dụ, màng nhựa tổng hợp, màng vật liệu composit, đế thủy tinh, v.v., nhưng lớp để có thể bị loại bỏ khỏi thiết bị này được biểu diễn sử dụng thuật ngữ “lớp”. Theo cách khác, các thiết bị được thể hiện sử dụng thuật ngữ là “lớp” được bố trí trên bề mặt để được tạo ra bởi thiết bị khác.

Bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ có thể được gọi lần lượt là panen cảm biến đầu vào ISP, panen chống phản xạ RPP, và panen cửa sổ WP hoặc lớp cảm biến đầu vào ISL, lớp chống phản xạ RPL, và lớp cửa sổ WL.

Tham chiếu đến Fig.2A, thiết bị hiển thị DD có thể chứa panen hiển thị DP, lớp cảm biến đầu vào ISL, panen chống phản xạ RPP, và panen cửa sổ WP. Lớp cảm biến đầu vào ISL được bố trí trực tiếp trên panen hiển thị DP. Theo sáng chế, việc diễn đạt là thành phần B được đặt ngay trên thành phần A nghĩa là không có lớp kết dính/thành phần kết dính xen kẽ hiện diện giữa thành phần A và thành phần B. Thành phần B được bố trí trên bề mặt để được đặt trên thành phần A với quy trình liên tục sau khi thành phần A được bố trí.

Panen hiển thị DP và lớp cảm biến đầu vào ISL được bố trí trực tiếp trên panen hiển thị DP có thể được xác định dưới dạng môđun hiển thị DM. Thành phần kết dính trong suốt quang học OCA được bố trí giữa môđun hiển thị DM và panen chống phản xạ RPP và giữa panen chống phản xạ RPP và panen cửa sổ WP.

Panen hiển thị DP tạo ra hình ảnh và lớp cảm biến đầu vào ISL thu thông tin tọa độ của đầu vào bên ngoài, ví dụ, sự kiện chạm. Mặc dù không được thể hiện trong các hình vẽ, môđun hiển thị DM theo phương án làm ví dụ cũng có thể bao gồm thành phần bảo vệ được bố trí trên bề mặt dưới của panen hiển thị DP. Thành phần bảo vệ và panen hiển thị DP có thể được gắn với nhau bởi thành phần kết dính. Các thiết bị hiển thị DD được thể hiện trên Fig.2B đến Fig.2F cũng có thể bao gồm thành phần bảo vệ.

Panen hiển thị DP theo phương án làm ví dụ của sáng chế có thể là panen hiển thị kiểu phát quang, nhưng không bị giới hạn ở đó hoặc bằng cách đó. Theo một phương án làm ví dụ, panen hiển thị DP có thể là panen hiển thị phát quang hữu cơ hoặc panen hiển thị phát quang chấm lượng tử, chẳng hạn. Lớp phát quang của panen hiển thị phát quang hữu cơ có thể bao gồm vật liệu phát quang hữu cơ. Theo một phương án làm ví dụ, lớp phát quang của panen hiển thị phát quang chấm lượng tử có thể bao gồm chấm lượng tử, thanh lượng tử, và tương tự. Sau đây, panen hiển thị phát

quang hữu cơ sẽ được mô tả là panen hiển thị DP.

Panen chống phản xạ RPP giảm độ phản xạ của ánh sáng bên ngoài đến từ panen cửa sổ WP nêu trên. Panen chống phản xạ RPP theo phương án làm ví dụ của sáng chế có thể bao gồm bản làm trễ và kính phân cực. Theo một phương án làm ví dụ, bản làm trễ có thể được tạo ra trong kiểu màng hoặc phủ tinh thể lỏng và có thể bao gồm bản làm trễ $\lambda/2$ và/hoặc bản làm trễ $\lambda/4$, chẳng hạn. Kính phân cực có thể được tạo ra trong kiểu màng hoặc phủ tinh thể lỏng. Bản làm trễ hoặc kính phân cực kiểu màng có thể bao gồm màng nhựa tổng hợp kiểu giãn, và bản làm trễ hoặc kính phân cực kiểu phủ tinh thể lỏng có thể bao gồm các tinh thể lỏng được bố trí theo hướng định trước. Bản làm trễ và kính phân cực cũng có thể bao gồm màng bảo vệ. Bản làm trễ và kính phân cực hoặc màng bảo vệ có thể được xác định là lớp đế của panen chống phản xạ RPP.

Panen chống phản xạ RPP theo phương án làm ví dụ của sáng chế có thể bao gồm các bộ lọc màu. Các bộ lọc màu này có bố trí định trước. Sự bố trí của các bộ lọc màu có thể được xác định bằng cách xét đến các màu của các điểm ảnh được chứa trong panen hiển thị DP. Panen chống phản xạ RPP cũng có thể bao gồm ma trận đen liền kề với bộ lọc màu.

Panen chống phản xạ RPP theo phương án làm ví dụ của sáng chế có thể bao gồm cấu trúc giao thoa giảm. Theo một phương án làm ví dụ, cấu trúc giao thoa giảm này có thể chứa lớp phản xạ thứ nhất và lớp phản xạ thứ hai, được bố trí trên các lớp khác nhau, chẳng hạn. Ánh sáng phản xạ thứ nhất được phản xạ bởi lớp phản xạ thứ nhất và ánh sáng phản xạ thứ hai được phản xạ bởi lớp phản xạ thứ hai có thể giao thoa giảm với nhau, và do đó độ phản xạ của ánh sáng bên ngoài giảm xuống.

Panen cửa sổ WP theo phương án làm ví dụ của sáng chế bao gồm màng đế WP-BS và mẫu hình chặn sáng WP-BZ. Màng đế WP-BS có thể bao gồm đế thủy tinh và/hoặc màng nhựa tổng hợp. Màng đế WP-BS không bị giới hạn với cấu trúc đơn lớp. Màng đế WP-BS có thể bao gồm hai hoặc nhiều hơn hai màng được gắn với nhau bằng

thành phần kết dính.

Mẫu hình chặn sáng WP-BZ chồng lên một phần màng đế WP-BS. Mẫu hình chặn sáng WP-BZ được bố trí trên bề mặt sau của màng đế WP-BS để định ra vùng vật cạnh của thiết bị hiển thị DD, tức là, vùng không hiển thị DD-NDA của thiết bị hiển thị DD (tham chiếu đến Fig.1).

Mẫu hình chặn sáng WP-BZ có thể là lớp hữu cơ có màu được tạo ra bởi phương pháp phủ. Mặc dù không được thể hiện trong các hình vẽ, panen cửa sổ WP cũng có thể bao gồm lớp phủ chức năng được bố trí trên bề mặt trước của màng đế WP-BS. Lớp phủ chức năng có thể bao gồm các lớp khác nhau, như lớp chống dấu vân tay, lớp chống phản xạ, lớp phủ cứng, v.v. Trên các hình vẽ từ Fig.2B đến Fig.2F, panen cửa sổ WP và lớp cửa sổ WL được thể hiện đơn giản không phân biệt màng đế WP-BS với mẫu hình chặn sáng WP-BZ.

Như được thể hiện trên Fig.2B và Fig.2C, thiết bị hiển thị DD có thể bao gồm panen hiển thị DP, panen cảm biến đầu vào ISP, panen chống phản xạ RPP, và panen cửa sổ WP. Thứ tự xếp chồng của panen cảm biến đầu vào ISP và panen chống phản xạ RPP có thể được thay đổi.

Như được thể hiện trên Fig.2D, thiết bị hiển thị DD có thể chứa panen hiển thị DP, lớp cảm biến đầu vào ISL, lớp chống phản xạ RPL, và lớp cửa sổ WL. Các thành phần kết dính có thể được loại bỏ khỏi thiết bị hiển thị DD, và lớp cảm biến đầu vào ISL, lớp chống phản xạ RPL, và lớp cửa sổ WL có thể được bố trí trên bề mặt để được tạo ra bởi panen hiển thị DP với quy trình liên tục. Thứ tự xếp chồng của lớp cảm biến đầu vào ISL và lớp chống phản xạ RPL có thể được thay đổi.

Như được thể hiện trên Fig.2E và Fig. 2F, thiết bị hiển thị DD có thể không bao gồm bộ chống phản xạ một cách tách biệt.

Như được thể hiện trên Fig.2E, thiết bị hiển thị DD có thể chứa panen hiển thị DP, lớp cảm biến đầu vào ISL-1, và panen cửa sổ WP. Khác với panen cảm biến đầu

vào ISP hoặc lớp cảm biến đầu vào ISL được thể hiện trên các hình vẽ từ Fig.2A đến Fig.2D, lớp cảm biến đầu vào ISL-1 theo phương án làm ví dụ được minh họa cũng có thể có chức năng chống phản xạ.

Như được thể hiện trên Fig.2F, thiết bị hiển thị DD có thể chứa panen hiển thị DP-1, lớp cảm biến đầu vào ISL, và panen cửa sổ WP. Khác với panen hiển thị DP được thể hiện trên các hình vẽ từ Fig.2A đến Fig.2E, panen hiển thị DP-1 theo phương án làm ví dụ khác cũng có thể có chức năng chống phản xạ.

Các mô tả chi tiết về lớp cảm biến đầu vào ISL-1 và panen hiển thị DP-1, mỗi trong số đó có chức năng chống phản xạ, sẽ được mô tả sau đây. Panen cảm biến đầu vào ISP được tạo ra thông qua phương án làm ví dụ của sáng chế có thể có chức năng chống phản xạ đối với cùng lý do với lớp cảm biến đầu vào ISL-1, và các chi tiết của chúng sẽ được mô tả sau đây.

Trên các hình vẽ từ Fig.2A đến Fig.2F, bộ cảm biến đầu vào chồng lên toàn bộ panen hiển thị. Như được thể hiện trên Fig.2A, bộ cảm biến đầu vào có thể chồng lên toàn bộ vùng hiển thị DD-DA.

Tuy nhiên, theo phương án làm ví dụ của sáng chế, bộ cảm biến đầu vào có thể chồng lên một phần của vùng hiển thị DD-DA hoặc với chỉ vùng không hiển thị DD-NDA. Bộ cảm biến đầu vào có thể là, nhưng không bị giới hạn với, panen cảm biến chạm để cảm biến sự kiện chạm bởi người dùng hoặc panen cảm biến dấu vân tay để cảm biến thông tin dấu vân tay của dấu vân tay của người dùng. Các điện cực cảm biến được mô tả sau đây có thể có khoảng bước và độ rộng, được thay đổi phụ thuộc vào việc sử dụng bộ cảm biến đầu vào. Các điện cực cảm biến của panen cảm biến chạm có thể có vài milimet đến hàng chục milimet, và các điện cực cảm biến của panen cảm biến dấu vân tay có thể có hàng chục micromet đến hàng trăm micromet.

Fig.3 là hình vẽ mặt cắt ngang thể hiện panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.4A và Fig.4B là các hình chiếu bằng thể hiện panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.5 là sơ đồ mạch tương đương

thể hiện điểm ảnh PX theo một phương án làm ví dụ của sáng chế. Fig.6 là hình vẽ mặt cắt ngang phóng to thể hiện panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Panen hiển thị DP được mô tả sau đây có thể được áp dụng cho các thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ Fig.2A đến Fig.2F.

Tham chiếu đến Fig.3, panen hiển thị DP bao gồm lớp đế BL, lớp thành phần mạch DP-CL được bố trí trên lớp đế BL, lớp thành phần hiển thị DP-OLED, và lớp bao kín màng mỏng TFE. Mặc dù không được thể hiện riêng biệt, panen hiển thị DP cũng có thể bao gồm các lớp chức năng, như lớp chống phản xạ, lớp điều khiển chỉ số khúc xạ, v.v.

Lớp đế BL có thể bao gồm màng nhựa tổng hợp. Lớp nhựa tổng hợp được bố trí trên nền gia công được sử dụng để sản xuất panen hiển thị DP. Sau đó, lớp dẫn điện và lớp cách điện được bố trí trên lớp nhựa tổng hợp. Khi nền gia công được tháo, lớp nhựa tổng hợp tương ứng với lớp đế BL. Theo một phương án làm ví dụ, lớp nhựa tổng hợp có thể là lớp nhựa gốc polyimit, nhưng không bị giới hạn ở đó hoặc bằng cách đó. Theo một phương án làm ví dụ, lớp đế BL có thể bao gồm nền thủy tinh, nền kim loại, hoặc nền vật liệu composit hữu cơ-vô cơ.

Lớp thành phần mạch DP-CL bao gồm ít nhất một lớp cách điện và thành phần mạch. Sau đây, lớp cách điện được chứa trong lớp thành phần mạch DP-CL sẽ được gọi là lớp cách điện trung gian. Lớp cách điện trung gian bao gồm ít nhất một lớp vô cơ trung gian và ít nhất một lớp hữu cơ trung gian. Thành phần mạch bao gồm đường tín hiệu, mạch điều khiển của điểm ảnh, và tương tự. Theo một phương án làm ví dụ, lớp thành phần mạch DP-CL có thể được tạo ra với quy trình, ví dụ, quy trình phủ, quy trình lắng đọng, v.v., đối với lớp cách điện, lớp bán dẫn, và lớp dẫn điện, và quy trình tạo mẫu lớp cách điện, lớp bán dẫn, và lớp dẫn điện sử dụng quy trình quang khắc.

Lớp thành phần hiển thị DP-OLED chứa phân tử phát sáng. Lớp thành phần hiển thị DP-OLED có thể bao gồm các điôt phát quang hữu cơ. Phân tử phát sáng có thể bao gồm điôt phát quang hữu cơ. Lớp thành phần hiển thị DP-OLED cũng có thể

bao gồm lớp hữu cơ như lớp xác định điểm ảnh.

Lớp bao kín màng mỏng TFE bao kín lớp thành phần hiển thị DP-OLED. Lớp bao kín màng mỏng TFE bao gồm ít nhất một lớp cách điện. Lớp bao kín màng mỏng TFE theo phương án làm ví dụ của sáng chế có thể gồm ít nhất một lớp vô cơ (sau đây, được gọi là “lớp vô cơ bao kín”). Lớp bao kín màng mỏng TFE theo phương án làm ví dụ của sáng chế có thể bao gồm ít nhất một lớp hữu cơ (sau đây, được gọi là “lớp hữu cơ bao kín”) và ít nhất một lớp vô cơ bao kín.

Lớp vô cơ bao kín bảo vệ lớp thành phần hiển thị DP-OLED khỏi độ ẩm và oxy, và lớp hữu cơ bao kín bảo vệ lớp thành phần hiển thị DP-OLED khỏi chất bên ngoài như bụi. Theo một phương án làm ví dụ, lớp vô cơ bao kín có thể bao gồm lớp silic nitrua, lớp silic oxynitrua, lớp silic oxit, lớp titan oxit, hoặc lớp nhôm oxit, ví dụ, nhưng không bị giới hạn ở đó hoặc bằng cách đó. Theo một phương án làm ví dụ, lớp hữu cơ bao kín có thể chứa lớp hữu cơ gốc acryl, nhưng không bị giới hạn ở đó hoặc bằng cách đó.

Tham chiếu đến Fig.4A, panen hiển thị DP bao gồm vùng hiển thị DP-DA và vùng không hiển thị DP-NDA khi được quan sát theo hình chiếu bằng. Theo phương án làm ví dụ được minh họa, vùng không hiển thị DP-NDA có thể được xác định dọc theo mép của vùng hiển thị DP-DA. Vùng hiển thị DP-DA và vùng không hiển thị DP-NDA của panen hiển thị DP lần lượt tương ứng với vùng hiển thị DD-DA và vùng không hiển thị DD-NDA được thể hiện trên Fig.1 và Fig.2A.

Panen hiển thị DP có thể bao gồm mạch điều khiển GDC, các đường tín hiệu SGL (sau đây, được gọi là các đường tín hiệu), các đệm tín hiệu DP-PD (sau đây, được gọi là các đệm tín hiệu), và các điểm ảnh PX (sau đây, được gọi là các điểm ảnh). Các điểm ảnh PX được bố trí trong vùng hiển thị DP-DA. Mỗi trong số các điểm ảnh PX bao gồm điôt phát quang hữu cơ và mạch điều khiển điểm ảnh được nối với điôt phát quang hữu cơ. Mạch điều khiển GDC, các đường tín hiệu SGL, các đệm tín hiệu DP-PD, và mạch điều khiển điểm ảnh có thể được chứa trong lớp thành phần mạch DP-CL

được thể hiện trên Fig.3.

Mạch điều khiển GDC có thể bao gồm mạch điều khiển quét. Mạch điều khiển quét tạo các tín hiệu quét (sau đây, được gọi là các tín hiệu quét) và tác động liên tiếp các tín hiệu quét vào các đường quét GL (sau đây, được gọi là các đường quét) được mô tả sau đây. Mạch điều khiển quét còn có thể tác động tín hiệu điều khiển vào mạch điều khiển của các điểm ảnh PX.

Mạch điều khiển quét có thể chứa các tranzito màng mỏng được tạo ra với cùng quy trình, ví dụ, quy trình tạo silic đa tinh thể nhiệt độ thấp hoặc quy trình tạo oxit đa tinh thể nhiệt độ thấp, làm mạch điều khiển.

Các đường tín hiệu SGL bao gồm các đường quét GL, các đường dữ liệu DL, đường điện PL, và đường tín hiệu điều khiển CSL. Mỗi trong số các đường quét GL được nối với điểm ảnh tương ứng trong số các điểm ảnh PX, và mỗi trong số các đường dữ liệu DL được nối với điểm ảnh tương ứng trong số các điểm ảnh PX. Đường điện PL được nối với các điểm ảnh PX. Đường tín hiệu điều khiển CSL có thể tác động các tín hiệu điều khiển vào mạch điều khiển quét.

Các đường tín hiệu SGL chồng lên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA. Các đường tín hiệu SGL có thể bao gồm phần đệm và phần đường dẫn. Phần đường dẫn chồng lên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA. Phần đệm được nối với một đầu của phần đường dẫn. Phần đệm được bố trí trong vùng không hiển thị DP-NDA và chồng lên đệm tín hiệu tương ứng trong số các đệm tín hiệu DP-PD. Các chi tiết của chúng sẽ được mô tả sau đây. Trong vùng không hiển thị DP-NDA, khu vực trong đó các đệm tín hiệu DP-PD được bố trí có thể được gọi là vùng đệm NDA-PD.

Phần đường dẫn được nối với điểm ảnh PX gần như tạo ra hầu hết các đường tín hiệu SGL. Phần đường dẫn được nối với tranzito T1 và T2 (tham chiếu đến Fig.5) của điểm ảnh PX. Phần đường dẫn có thể có cấu trúc đơn lớp hoặc đa lớp, có thể được tạo ra trong một khối, và có thể bao gồm hai hoặc nhiều hơn hai phần. Hai hoặc nhiều hơn

hai phần này có thể được bố trí trên các lớp khác nhau và được nối với nhau thông qua lỗ tiếp xúc được tạo thành qua lớp cách điện được bố trí giữa hai hoặc nhiều hơn hai phần.

Panen hiển thị DP cũng có thể bao gồm các đệm giả IS-DPD được bố trí trong vùng đệm NDA-PD. Vì các đệm giả IS-DPD được tạo thành qua cùng quy trình với đường tín hiệu SGL, các đệm giả IS-DPD có thể được bố trí trong cùng lớp với đường tín hiệu SGL. Các đệm giả IS-DPD có thể được chứa chọn lọc trong thiết bị hiển thị DD chứa lớp cảm biến đầu vào ISL hoặc ISL-1 như được thể hiện trên Fig.2A và Fig.2D đến Fig.2F và được loại bỏ khỏi thiết bị hiển thị DD chứa bộ cảm biến đầu vào ISU (tham chiếu đến Fig.9), ví dụ, panen cảm biến đầu vào ISP, như được thể hiện trên Fig.2B và Fig.2C.

Các đệm giả IS-DPD có thể chồng lên phần đệm của các đường tín hiệu được bố trí trên các lớp cảm biến đầu vào ISL và ISL-1 được thể hiện trên Fig.2A và Fig.2D đến Fig.2F. Các đệm giả IS-DPD có thể là các điện cực nổi. Các đệm giả IS-DPD có thể được cách điện với các đường tín hiệu SGL của panen hiển thị DP. Điều này sẽ được mô tả chi tiết sau đây.

Fig.4A còn thể hiện lớp nền mạch PCB được nối điện với panen hiển thị DP. Lớp nền mạch PCB có thể là lớp nền mạch cứng hoặc lớp nền mạch dẻo. Lớp nền mạch PCB có thể được gắn trực tiếp với panen hiển thị DP hoặc được nối với panen hiển thị DP qua lớp nền mạch khác.

Lớp nền mạch PCB có thể bao gồm mạch điều khiển định thời TC được bố trí trên đó để điều khiển hoạt động của panen hiển thị DP. Ngoài ra, lớp nền mạch PCB có thể bao gồm mạch cảm biến đầu vào IS-C được bố trí trên đó để điều khiển bộ cảm biến đầu vào ISU hoặc lớp cảm biến đầu vào ISL. Mỗi trong số mạch điều khiển định thời TC và mạch cảm biến đầu vào IS-C có thể được gắn trực tiếp trên lớp nền mạch PCB trong dạng chip tích hợp (integrated chip - IC). Theo phương án làm ví dụ của sáng chế, mỗi trong số mạch điều khiển định thời TC và mạch cảm biến đầu vào IS-C

có thể được bố trí (ví dụ, được gắn) trên lớp nền mạch PCB trong một IC. Lớp nền mạch PCB có thể bao gồm các đệm của lớp nền mạch PCB-P được nối điện với panen hiển thị DP. Mặc dù không được thể hiện trong các hình vẽ, lớp nền mạch PCB còn bao gồm các đường tín hiệu để nối điện các đệm của lớp nền mạch PCB-P, mạch điều khiển định thời TC, và/hoặc mạch cảm biến đầu vào IS-C.

Như được thể hiện trên Fig.4B, panen hiển thị DP theo phương án làm ví dụ của sáng chế cũng có thể bao gồm vùng gắn chip NDA-TC được bố trí trong vùng không hiển thị DP-NDA. Mạch điều khiển định thời TC (tham chiếu đến Fig.4A, sau đây, được gọi là “chip mạch điều khiển”) có dạng chip được bố trí trong vùng gắn chip NDA-TC.

Các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 có thể được bố trí trong vùng gắn chip DA-TC. Các đệm chip thứ nhất TC-PD1 được nối với đường dữ liệu DL, và các đệm chip thứ hai TC-PD2 được nối với đệm tín hiệu DP-PD thông qua các đường tín hiệu. Các đầu cuối của chip mạch điều khiển TC có thể được nối với các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2. Do đó, các đường dữ liệu DL có thể được nối điện với đệm tín hiệu DP-PD thông qua chip mạch điều khiển TC.

Theo phương án làm ví dụ của sáng chế, một hoặc nhiều đường tín hiệu điều khiển CSL và đường điện PL có thể được nối với chip mạch điều khiển TC. Mặc dù không được thể hiện trong các hình vẽ, cấu trúc mặt cắt ngang của các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 có thể gần giống với một trong số các đệm tín hiệu được mô tả sau đây với tham chiếu đến Fig.8A đến Fig.8G và Fig.13A đến Fig.13C.

Fig.5 thể hiện một đường quét GL, một đường dữ liệu DL, đường điện PL, và điểm ảnh PX được nối với đường quét GL, đường dữ liệu DL, và đường điện PL. Tuy nhiên, kết cấu của điểm ảnh PX không bị giới hạn với kết cấu được thể hiện trên Fig.5.

Điốt phát quang hữu cơ OLED có thể là kiểu phát quang bề mặt trước hoặc kiểu

phát quang bề mặt sau. Điểm ảnh PX bao gồm tranzito thứ nhất T1 (hoặc tranzito chuyển mạch), tranzito thứ hai T2 (hoặc tranzito điều khiển), và tụ điện Cst dưới dạng mạch điều khiển điểm ảnh để điều khiển điốt phát quang hữu cơ OLED. Điện áp nguồn thứ nhất ELVDD được đặt vào tranzito thứ hai T2, và điện áp nguồn thứ hai ELVSS được đặt vào điốt phát quang hữu cơ OLED. Điện áp nguồn thứ hai ELVSS có thể nhỏ hơn điện áp nguồn thứ nhất ELVDD.

Tranzito thứ nhất T1 kết xuất tín hiệu dữ liệu được tác động vào đường dữ liệu DL phản hồi tín hiệu quét được tác động vào đường quét GL. Tụ điện Cst được nạp với điện áp tương ứng với tín hiệu dữ liệu được cấp từ tranzito thứ nhất T1. Tranzito thứ hai T2 được nối với điốt phát quang hữu cơ OLED. Tranzito thứ hai T2 điều khiển dòng điện kích thích chạy qua điốt phát quang hữu cơ OLED để phản hồi lượng điện tích được trữ trong tụ điện Cst.

Tuy nhiên, cấu hình của điểm ảnh PX không bị giới hạn với sơ đồ mạch tương đương được thể hiện trên Fig.5. Tức là, điểm ảnh PX cũng có thể bao gồm nhiều tranzito và nhiều tụ điện. Theo một phương án làm ví dụ, điốt phát quang hữu cơ OLED có thể được nối với giữa đường điện PL và tranzito thứ hai T2.

Fig.6 là hình vẽ mặt cắt ngang phóng to thể hiện một phần của panen hiển thị DP tương ứng với sơ đồ mạch tương đương được thể hiện trên Fig.5.

Tham chiếu đến Fig.6, lớp thành phần mạch DP-CL, lớp thành phần hiển thị DP-OLED, và lớp bao kín màng mỏng TFE được xếp chồng liên tiếp trên lớp đế BL. Theo phương án làm ví dụ được minh họa, lớp thành phần mạch DP-CL bao gồm lớp đệm BFL của lớp vô cơ, lớp vô cơ trung gian thứ nhất 10, lớp vô cơ trung gian thứ hai 20, và lớp hữu cơ trung gian của lớp hữu cơ. Các lớp vô cơ và hữu cơ không bị giới hạn với vật liệu cụ thể, và lớp đệm BFL của phương án làm ví dụ được minh họa có thể được bố trí hoặc được loại bỏ chọn lọc.

Mẫu hình bán dẫn OSP1 (sau đây, được gọi là “mẫu hình bán dẫn thứ nhất”) của tranzito thứ nhất T1 và mẫu hình bán dẫn OSP2 (sau đây, được gọi là “mẫu hình bán

dẫn thứ hai”) của tranzito thứ hai T2 được bố trí trên lớp đệm BFL. Theo một phương án làm ví dụ, các mẫu hình bán dẫn thứ nhất và thứ hai OSP1 và OSP2 có thể bao gồm ít nhất một trong số silic vô định hình, polysilic, và vật liệu oxit kim loại, chẳng hạn.

Lớp vô cơ trung gian thứ nhất 10 được bố trí trên mẫu hình bán dẫn thứ nhất OSP1 và mẫu hình bán dẫn thứ hai OSP2. Điện cực điều khiển GE1 (sau đây, được gọi là “điện cực điều khiển thứ nhất”) của tranzito thứ nhất T1 và điện cực điều khiển GE2 (sau đây, được gọi là “điện cực điều khiển thứ hai”) của tranzito thứ hai T2 được bố trí trên lớp vô cơ trung gian thứ nhất 10. Điện cực điều khiển thứ nhất GE1 và điện cực điều khiển thứ hai GE2 có thể được sản xuất bởi cùng quy trình quang khắc với đường quét GL (tham chiếu đến Fig.5).

Lớp vô cơ trung gian thứ hai 20 được đặt trên lớp vô cơ trung gian thứ nhất 10 để che điện cực điều khiển thứ nhất GE1 và điện cực điều khiển thứ hai GE2. Điện cực đầu vào DE1 (sau đây, được gọi là “điện cực đầu vào thứ nhất”) và điện cực đầu ra SE1 (sau đây, được gọi là “điện cực đầu ra thứ nhất”) của tranzito thứ nhất T1 và điện cực đầu vào DE2 (sau đây, được gọi là “điện cực đầu vào thứ hai”) và điện cực đầu ra SE2 (sau đây, được gọi là “điện cực đầu ra thứ hai”) của tranzito thứ hai T2 được bố trí trên lớp vô cơ trung gian thứ hai 20.

Điện cực đầu vào thứ nhất DE1 và điện cực đầu ra thứ nhất SE1 được nối với mẫu hình bán dẫn thứ nhất OSP1 lần lượt đi qua lỗ tiếp xúc thứ nhất CH1 và lỗ tiếp xúc thứ hai CH2, được tạo thành qua lớp vô cơ trung gian thứ nhất 10 và lớp vô cơ trung gian thứ hai 20. Điện cực đầu vào thứ hai DE2 và điện cực đầu ra thứ hai SE2 được nối với mẫu hình bán dẫn thứ hai OSP2 lần lượt đi qua lỗ tiếp xúc thứ ba CH3 và lỗ tiếp xúc thứ tư CH4, được tạo thành qua lớp vô cơ trung gian thứ nhất 10 và lớp vô cơ trung gian thứ hai 20. Theo phương án làm ví dụ khác của sáng chế, một phần của tranzito thứ nhất T1 và tranzito thứ hai T2 có thể thay đổi để có cấu trúc cổng đáy.

Lớp hữu cơ trung gian 30 được bố trí trên lớp vô cơ trung gian thứ hai 20 để che điện cực đầu vào thứ nhất DE1, điện cực đầu vào thứ hai DE2, điện cực đầu ra thứ

nhất SE1, và điện cực đầu ra thứ hai SE2. Lớp hữu cơ trung gian 30 có thể tạo ra bề mặt phẳng.

Lớp thành phần hiển thị DP-OLED được bố trí trên lớp hữu cơ trung gian 30. Lớp thành phần hiển thị DP-OLED có thể bao gồm lớp xác định điểm ảnh PDL và diốt phát quang hữu cơ OLED. Lớp xác định điểm ảnh PDL có thể bao gồm vật liệu hữu cơ. Điện cực thứ nhất AE được bố trí trên lớp hữu cơ trung gian 30. Điện cực thứ nhất AE được nối với điện cực đầu ra thứ hai SE2 thông qua lỗ tiếp xúc thứ năm CH5 được tạo thành qua lớp hữu cơ trung gian 30. Khoảng hở OP được tạo thành đi qua lớp xác định điểm ảnh PDL. Ít nhất một phần của điện cực thứ nhất AE được lộ ra thông qua khoảng hở OP của lớp xác định điểm ảnh PDL. Tuy nhiên, sáng chế không bị giới hạn ở đó, và lớp xác định điểm ảnh PDL có thể được loại bỏ qua phương án làm ví dụ khác của sáng chế.

Điểm ảnh PX có thể được bố trí trong vùng hiển thị DP-DA (tham chiếu đến Fig.4B). Vùng hiển thị DP-DA có thể bao gồm vùng phát quang PXA và vùng không phát quang NPXA liền kề với vùng phát quang PXA. Vùng không phát quang NPXA có thể bao quanh vùng phát quang PXA. Theo phương án làm ví dụ được minh họa, vùng phát quang PXA được xác định tương ứng với một phần của điện cực thứ nhất AE, được lộ ra qua khoảng hở OP.

Theo phương án làm ví dụ của sáng chế, vùng phát quang PXA có thể chồng lên ít nhất một trong số các tranzito thứ nhất và thứ hai T1 và T2. Khoảng hở OP có thể mở rộng, và điện cực thứ nhất AE và lớp phát quang EML, được mô tả sau đây, có thể mở rộng.

Lớp điều khiển lỗ trống HCL có thể thường được bố trí trong vùng phát quang PXA và vùng không phát quang NPXA. Mặc dù không được thể hiện riêng biệt, lớp chung như lớp điều khiển lỗ trống HCL có thể thường được định ra trong các điểm ảnh PX (tham chiếu đến Fig.4A).

Lớp phát quang EML được bố trí trên lớp điều khiển lỗ trống HCL. Lớp phát

quang EML có thể được bố trí trong vùng tương ứng với khoảng hở OP. Tức là, lớp phát quang EML có thể được bố trí trong mỗi điểm ảnh PX sau khi được chia thành nhiều phần. Lớp phát quang EML có thể bao gồm vật liệu hữu cơ và/hoặc vật liệu vô cơ. Lớp phát quang EML có thể tạo ra ánh sáng màu định trước.

Theo phương án làm ví dụ được minh họa, lớp phát quang EML được tạo mẫu được thể hiện dưới dạng ví dụ minh họa, nhưng lớp phát quang EML có thể thường được bố trí trong các điểm ảnh PX. Trong trường hợp này, lớp phát quang EML có thể tạo ra ánh sáng trắng, chẳng hạn. Theo một phương án làm ví dụ, lớp phát quang EML có thể có cấu trúc đa lớp được gọi là tiếp đôi, chẳng hạn.

Lớp điều khiển điện tử ECL được bố trí trên lớp phát quang EML. Mặc dù không được thể hiện riêng biệt, lớp điều khiển điện tử ECL có thể thường được bố trí trong các điểm ảnh PX (tham chiếu đến Fig.4A). Điện cực thứ hai CE được bố trí trên lớp điều khiển điện tử ECL. Điện cực thứ hai CE có thể thường được bố trí trong các điểm ảnh PX.

Lớp bao kín màng mỏng TFE được bố trí trên điện cực thứ hai CE. Lớp bao kín màng mỏng TFE thường được bố trí trong các điểm ảnh PX. Theo phương án làm ví dụ được minh họa, lớp bao kín màng mỏng TFE phủ trực tiếp lên điện cực thứ hai CE. Theo một phương án làm ví dụ, lớp lót mặt còn có thể được bố trí giữa lớp bao kín màng mỏng TFE và điện cực thứ hai CE để che đi điện cực thứ hai CE. Trong trường hợp này, lớp bao kín màng mỏng TFE có thể che trực tiếp lên lớp phủ.

Theo phương án làm ví dụ của sáng chế, diot phát quang hữu cơ OLED cũng có thể bao gồm cấu trúc cộng hưởng để điều khiển khoảng cách cộng hưởng của ánh sáng được tạo ra bởi lớp phát quang EML. Cấu trúc cộng hưởng được bố trí giữa điện cực thứ nhất AE và điện cực thứ hai CE và có độ dày, dọc theo hướng thẳng đứng trên Fig.6, được xác định phụ thuộc vào bước sóng của ánh sáng được tạo bởi lớp phát quang EML.

Các hình vẽ từ Fig.7A đến Fig.7D là các hình vẽ mặt cắt ngang thể hiện lớp bao

kín màng mỏng TFE theo một phương án làm ví dụ của sáng chế. Các hình vẽ từ Fig.7E đến Fig.7G là các hình vẽ thể hiện các quy trình tạo ra lớp bao kín màng mỏng TFE theo phương án so sánh. Fig.7H và Fig.7I là các hình vẽ thể hiện các quy trình tạo ra lớp bao kín màng mỏng TFE theo phương án làm ví dụ của sáng chế. Các mô tả về lớp bao kín màng mỏng TFE được mô tả với tham chiếu đến Fig.3 có thể được áp dụng cho các mô tả sau đây.

Tham chiếu đến Fig.7A, lớp bao kín màng mỏng TFE theo phương án làm ví dụ của sáng chế có thể bao gồm n (n là số tự nhiên bằng hoặc lớn hơn 2) lớp vô cơ bao kín IOL1 đến IOL n bao gồm lớp vô cơ bao kín thứ nhất IOL1 tiếp xúc điện cực thứ hai CE (tham chiếu đến Fig.6).

Lớp bao kín màng mỏng TFE có thể bao gồm $n-1$ lớp hữu cơ bao kín OL1, và $n-1$ lớp hữu cơ bao kín OL1 có thể được bố trí xen kẽ với n lớp vô cơ bao kín IOL1 đến IOL n . $n-1$ lớp hữu cơ bao kín OL1 có thể có độ dày trung bình lớn hơn độ dày trung bình của n lớp vô cơ bao kín IOL1 đến IOL n .

Mỗi trong số n lớp vô cơ bao kín IOL1 đến IOL n có thể có cấu trúc đơn lớp của một vật liệu hoặc cấu trúc đa lớp của các vật liệu khác nhau. $N-1$ lớp hữu cơ bao kín OL1 có thể được tạo ra bằng cách lắng đọng các đơn phân hữu cơ. Theo một phương án làm ví dụ, các đơn phân hữu cơ này có thể chứa đơn phân gốc acrylic, ví dụ, nhưng chúng không bị giới hạn ở đó hoặc theo cách đó.

Theo một phương án làm ví dụ, lớp bao kín màng mỏng TFE có thể chứa lớp silic oxynitrua/lớp đơn phân hữu cơ/lớp silic nitrua, ví dụ, được xếp chồng liên tiếp trên điện cực thứ hai CE. Lớp vô cơ khác có thể được bố trí trên lớp silic nitrua, và lớp silic nitrua có thể có cấu trúc đa lớp (ví dụ, cấu trúc hai lớp) được lắng đọng trong các điều kiện khác nhau.

Như được thể hiện trên Fig.7B, lớp bao kín màng mỏng TFE có thể chứa lớp vô cơ bao kín thứ nhất IOL1, lớp hữu cơ bao kín thứ nhất OL1, lớp vô cơ bao kín thứ hai IOL2, lớp hữu cơ bao kín thứ hai OL2, và lớp vô cơ bao kín thứ ba IOL3.

Lớp vô cơ bao kín thứ nhất IOL1 có thể có cấu trúc hai lớp của lớp phụ thứ nhất S1 và lớp phụ thứ hai S2. Theo một phương án làm ví dụ, lớp phụ thứ nhất S1 có thể là lớp lithi florua, và lớp phụ thứ hai S2 có thể là lớp nhôm oxit, chẳng hạn. Theo một phương án làm ví dụ, lớp hữu cơ bao kín thứ nhất OL1 có thể là lớp đơn phân hữu cơ thứ nhất, lớp vô cơ bao kín thứ hai IOL2 có thể là lớp silic nitrua thứ nhất, lớp hữu cơ bao kín thứ hai OL2 có thể là lớp đơn phân hữu cơ thứ hai, và lớp vô cơ bao kín thứ ba IOL3 có thể là lớp silic nitrua thứ hai, chẳng hạn.

Như được thể hiện trên Fig.7C, lớp bao kín màng mỏng TFE có thể bao gồm lớp vô cơ bao kín thứ nhất IOL10, lớp hữu cơ bao kín thứ nhất OL1, và lớp vô cơ bao kín thứ hai IOL20. Mỗi trong số lớp vô cơ bao kín thứ nhất IOL10 và lớp vô cơ bao kín thứ hai IOL20 có thể có cấu trúc hai lớp. Theo một phương án làm ví dụ, lớp phụ thứ nhất S10 có thể là lớp lithi florua, và lớp phụ thứ hai S20 có thể là lớp silic oxit, chẳng hạn. Lớp vô cơ bao kín thứ hai IOL20 có thể bao gồm lớp phụ thứ nhất S100 và lớp phụ thứ hai S200, được lắng đọng trong các điều kiện khác nhau. Lớp phụ thứ nhất S100 có thể được lắng đọng trong điều kiện công suất kém, và lớp phụ thứ hai S200 có thể được lắng đọng trong điều kiện công suất cao. Mỗi trong số lớp phụ thứ nhất S100 và lớp phụ thứ hai S200 có thể là lớp silic nitrua, chẳng hạn.

Như được thể hiện trên Fig.7D, lớp bao kín màng mỏng TFE có thể bao gồm các lớp vô cơ bao kín được xếp chồng liên tiếp lên nhau. Lớp bao kín màng mỏng TFE có thể bao gồm lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp vô cơ bao kín thứ ba IOL3. Trong số các lớp vô cơ bao kín, ít nhất một lớp vô cơ bao kín có thể bao gồm lớp silic nitrua, lớp silic oxynitrua, lớp silic oxit, lớp titan oxit, hoặc lớp nhôm oxit, chẳng hạn. Theo một phương án làm ví dụ, lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ ba IOL3 có thể bao gồm lớp silic nitrua, lớp silic oxynitrua, lớp silic oxit, lớp titan oxit, hoặc lớp nhôm oxit, chẳng hạn.

Trong số các lớp vô cơ bao kín, ít nhất một lớp vô cơ bao kín có thể là lớp hexametyldisiloxan (“HMDSO”). Lớp HMDSO có thể hấp thụ ứng suất. Lớp vô cơ bao

kín thứ hai IOL2 có thể là lớp HMDSO. Lớp vô cơ bao kín thứ hai IOL2 có thể hấp thụ ứng suất của lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ ba IOL3. Theo đó, lớp bao kín màng mỏng TFE có thể trở nên dẻo.

Trong trường hợp mà lớp bao kín màng mỏng TFE chỉ bao gồm các lớp vô cơ bao kín, các quy trình lắng đọng liên tiếp có thể được tiến hành trong một buồng, và do đó các quy trình tạo ra lớp bao kín màng mỏng TFE có thể được làm đơn giản. Đó là vì quy trình truyền lớp nền chính (không được thể hiện) cho lớp bao kín màng mỏng TFE giữa các buồng mong muốn ít nhất một lần trong trường hợp mà lớp bao kín màng mỏng TFE bao gồm lớp hữu cơ bao kín và lớp vô cơ bao kín. Trong trường hợp mà một trong số các lớp vô cơ bao kín là lớp HMDSO, lớp bao kín màng mỏng TFE có thể có tính dẻo.

Sau đây, các quy trình tạo ra các lớp bao kín màng mỏng TFE theo phương án so sánh và theo phương án làm ví dụ của sáng chế sẽ được mô tả với tham chiếu đến các hình vẽ từ Fig.7E đến Fig.7I. Lớp bao kín màng mỏng TFE bao gồm lớp vô cơ bao kín thứ nhất IOL1, lớp hữu cơ bao kín OL1, và lớp vô cơ bao kín thứ hai IOL2 sẽ được mô tả làm ví dụ minh họa.

Như được thể hiện trên Fig.7E và Fig.7H, cùng một quy trình được thực hiện trên các khu vực ô DP-C (sau đây, được gọi là các khu vực ô) được xác định trong lớp nền chính MS để tạo ra panen hiển thị DP (tham chiếu đến các hình vẽ từ Fig.2A đến Fig.2F) hoặc môđun hiển thị DM (tham chiếu đến các hình vẽ từ Fig.2A đến Fig.2F) trong mỗi trong số các khu vực ô DP-C. Sau khi quy trình sản xuất được hoàn thành, lớp nền chính MS được cắt để phân tách các panen hiển thị DP hoặc các môđun hiển thị DM được bố trí các khu vực ô DP-C.

Lớp vô cơ bao kín thứ nhất IOL1, lớp hữu cơ bao kín OL1, và lớp vô cơ bao kín thứ hai IOL2 có thể được tạo ra bởi quy trình lắng đọng. Theo một phương án làm ví dụ, lớp hữu cơ bao kín OL1 có thể được tạo ra bởi phương pháp phun, chẳng hạn. Sau đây, lớp vô cơ bao kín thứ nhất IOL1 được tạo ra bởi quy trình lắng đọng sẽ được mô tả

làm ví dụ minh họa.

Tham chiếu đến Fig.7E và Fig.7F, tấm che MSK thông qua đó các khoảng hở M-OP (sau đây, được gọi là các khoảng hở) được xác định được dóng thẳng với lớp nền chính MS. Mỗi trong số các khoảng hở M-OP có thể tương ứng với vùng hiển thị DP-DA được thể hiện trên Fig.3 và Fig.4A hoặc vùng rộng hơn một chút so với vùng hiển thị DP-DA. Vật liệu vô cơ được lắng đọng trên lớp nền chính MS sau khi lớp nền chính MS mà cùng với nó tấm che MSK được dóng thẳng được nạp tải vào trong buồng lắng đọng.

Panen hiển thị sơ bộ DP-I được thể hiện trên Fig.7F có kết cấu trong đó lớp thành phần hiển thị DP-OLED của panen hiển thị DP được thể hiện trên Fig.3 được bố trí. Vì khe định trước được xác định giữa tấm che MSK và panen hiển thị sơ bộ DP-I, vật liệu vô cơ được lắng đọng trong vùng rộng hơn vùng tương ứng với khoảng hở M-OP. Tức là, vật liệu vô cơ có thể được lắng đọng không những trong vùng hiển thị DP-DA mà còn trong vùng không hiển thị DP-NDA (tham chiếu đến Fig.4B). Theo đó, lớp vô cơ bao kín thứ nhất IOL1 có hình dạng được thể hiện trên Fig.7G được bố trí.

Tham chiếu đến Fig.7G, vì vùng thứ hai IOL1-2 của lớp vô cơ bao kín thứ nhất IOL1 chồng lên tấm che MSK, lượng vật liệu vô cơ được lắng đọng trong vùng thứ hai IOL1-2 tương đối nhỏ hơn trong vùng thứ nhất IOL1-1 của lớp vô cơ bao kín thứ nhất IOL1. Vùng thứ hai IOL1-2 có độ dày thứ hai TH2 nhỏ hơn độ dày thứ nhất TH1 của vùng thứ nhất IOL1-1. Độ dày thứ hai TH2 của vùng thứ hai IOL1-2 trở nên nhỏ hơn khi khoảng cách từ vùng thứ nhất IOL1-1 tăng lên.

Ngoài ra, vùng thứ hai IOL1-2 có mật độ màng nhỏ hơn vùng thứ nhất IOL1-1. Đó là vì khí cười (ví dụ, N_2O), được sử dụng để loại bỏ vật liệu hữu cơ thừa trước khi lớp vô cơ bao kín được lắng đọng, có mặt xung quanh tấm che MSK và làm cản trở việc lắng đọng của vật liệu vô cơ.

Vùng thứ hai IOL1-2 có độ dày về cơ bản mỏng và mật độ màng về cơ bản nhỏ có lực tương tác tương đối yếu so với lớp bên dưới của chúng so với vùng thứ nhất

IOL1-1. Khi độ ẩm thẩm thấu vào giữa lớp vô cơ bao kín thứ nhất IOL1 và lớp bên dưới, lớp vô cơ bao kín thứ nhất IOL1 có thể được phân tách khỏi lớp bên dưới. Trong trường hợp mà lớp bên dưới là lớp hữu cơ, lớp vô cơ bao kín thứ nhất IOL1 có thể được phân tách dễ dàng khỏi lớp bên dưới. Lớp vô cơ bao kín thứ nhất IOL1 có thể được phân tách dễ dàng hơn khỏi lớp bên dưới so với lớp vô cơ bao kín thứ hai IOL2 vì lớp hữu cơ trung gian 30 hoặc lớp xác định điểm ảnh PDL được bố trí dưới lớp vô cơ bao kín thứ nhất IOL1.

Theo phương án làm ví dụ được minh họa, ít nhất một lớp vô cơ bao kín của lớp bao kín màng mỏng TFE được bố trí hoàn toàn trên panen hiển thị DP để ngăn ngừa lớp vô cơ bao kín bị phân tách. Như được thể hiện trên Fig.7H, lớp vô cơ có thể được lắng đọng hoàn toàn trên lớp nền chính MS không sử dụng tấm che. Lớp vô cơ được bố trí không những trong các khu vực ô DP-C mà còn trong vùng biên giữa các khu vực ô DP-C. Do đó, lớp vô cơ bao kín có thể được lắng đọng trong vùng hiển thị DP-DA và vùng không hiển thị DP-NDA ở độ dày đồng nhất, ví dụ, độ dày thứ nhất TH1, của panen hiển thị sơ bộ DP-I. Theo phương án làm ví dụ được minh họa, lớp vô cơ bao kín thứ nhất IOL1 được mô tả làm ví dụ minh họa, nhưng một hoặc nhiều lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 mong muốn được lắng đọng trên toàn bộ bề mặt của panen hiển thị DP. Sau đây, cấu trúc mặt cắt ngang của vùng đệm NDA-PD theo kết cấu được lắng đọng của các lớp vô cơ bao kín IOL1 và IOL2 sẽ được mô tả với tham chiếu đến các hình vẽ từ Fig.8A đến Fig.8G.

Fig.8A là hình vẽ mặt cắt ngang phóng to thể hiện một phần của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.8B là hình chiếu bằng phóng to thể hiện vùng đệm NDA-PD của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.8C là hình vẽ mặt cắt ngang theo đường III-III' trên Fig.8B. Fig.8D là hình vẽ mặt cắt ngang phóng to thể hiện một phần của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.8E là hình vẽ mặt cắt ngang thể hiện vùng đệm NDA-PD của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.8F là hình vẽ

mặt cắt ngang phóng to thể hiện một phần của panen hiển thị DP theo một phương án làm ví dụ của sáng chế. Fig.8G là hình vẽ mặt cắt ngang thể hiện vùng đệm NDA-PD của panen hiển thị DP theo một phương án làm ví dụ của sáng chế.

Các hình vẽ từ Fig.8A đến Fig.8G thể hiện lớp bao kín màng mỏng TFE trong đó “n” là 2 trong lớp bao kín màng mỏng TFE được thể hiện trên Fig.7A. Fig.8B thể hiện hình vẽ phóng to của khu vực AA trên Fig.4A và Fig.4B. Fig.8E và Fig.8G thể hiện mặt cắt ngang tương ứng với Fig.8C. Theo phương án làm ví dụ của sáng chế, một đường tín hiệu và đệm tín hiệu tương ứng với một đường tín hiệu được nối điện với nhau thông qua lỗ tiếp xúc được tạo thành qua ít nhất một lớp vô cơ bao kín được chồng hoàn toàn lên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA.

Như được thể hiện trên các hình vẽ từ Fig.8A đến Fig.8C, lớp vô cơ bao kín thứ nhất IOL1 được bố trí hoàn toàn trên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA. Lớp hữu cơ bao kín OL được bố trí trên lớp vô cơ bao kín thứ nhất IOL1. Lớp hữu cơ bao kín OL xếp chồng lên toàn bộ vùng hiển thị DP-DA và một phần của vùng không hiển thị DP-NDA. Lớp hữu cơ bao kín OL có thể không chồng lên vùng đệm NDA-PD. Lớp vô cơ bao kín thứ hai IOL2 được bố trí trên lớp hữu cơ bao kín OL. Lớp vô cơ bao kín thứ hai IOL2 có thể chồng lên toàn bộ vùng hiển thị DP-DA và vùng không hiển thị DP-NDA.

Mỗi trong số lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 có thể được lắng đọng như được mô tả với tham chiếu đến Fig.7H và Fig.7I. Lớp hữu cơ bao kín OL có thể được lắng đọng sử dụng tấm che MSK được thể hiện trên Fig.7E hoặc được tạo ra phương pháp phun, chẳng hạn. Tuy nhiên, phương pháp chế tạo lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp hữu cơ bao kín OL không bị giới hạn với phương pháp cụ thể.

Fig.8B thể hiện các phần đường dẫn CSL-L và DL-L và các phần đệm CSL-P và DL-P của đường tín hiệu điều khiển CSL và các đường dữ liệu DL một cách tách biệt. Các phần đệm CSL-P và DL-P có thể có diện tích lớn hơn diện tích của các phần

đường dẫn CSL-L và DL-L ở cùng độ dài. Theo một phương án làm ví dụ, các phần đệm CSL-P và DL-P có dạng tứ giác, ví dụ, nhưng hình dạng của các phần đệm CSL-P và DL-P có thể thay đổi trong suốt quy trình sản xuất.

Như được thể hiện trên Fig.8C, phần đệm CSL-P của đường tín hiệu điều khiển CSL (tham chiếu đến Fig.8B) được bố trí trên lớp vô cơ trung gian thứ nhất 10, và các phần đệm DL-P của các đường dữ liệu DL được bố trí trên lớp vô cơ trung gian thứ hai 20. Lớp hữu cơ trung gian 30 che đi các phần đệm DL-P của các đường dữ liệu DL. Trong vùng đệm NDA-PD (tham chiếu đến Fig.4D), lớp vô cơ bao kín thứ nhất IOL1 được bố trí trên lớp hữu cơ trung gian 30. Lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 tiếp xúc nhau trong vùng đệm NDA-PD.

Nhiều đệm tín hiệu DP-PD (sau đây, được gọi là các đệm tín hiệu) được bố trí trên lớp vô cơ bao kín thứ hai IOL2. Mỗi trong số các đệm tín hiệu DP-PD được nối với phần đệm tương ứng trong số các phần đệm CSL-P và DL-P của đường tín hiệu điều khiển CSL và các đường dữ liệu DL. Một đệm tín hiệu DP-PD có thể được nối điện với phần đệm CSL-P của đường tín hiệu điều khiển CSL thông qua lỗ tiếp xúc thứ nhất CNT1 được tạo thành qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, và lớp vô cơ bao kín thứ hai IOL2. Đệm tín hiệu DP-PD khác có thể được nối điện với các phần đệm DL-P của các đường dữ liệu DL thông qua lỗ tiếp xúc thứ hai CNT2 được tạo thành qua lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, và lớp vô cơ bao kín thứ hai IOL2.

Số lượng các lớp cách điện mà qua đó các lỗ tiếp xúc xuyên qua có thể được xác định phụ thuộc vào vị trí phần đệm của đường tín hiệu trong mặt cắt ngang. Mặc dù không được thể hiện riêng biệt, phần đệm của đường quét có thể được bố trí trong cùng lớp với phần đệm CSL-P của đường tín hiệu điều khiển CSL và được nối với đệm tín hiệu tương ứng.

Theo phương án làm ví dụ được minh họa, lớp vô cơ bao kín thứ hai IOL2 được bố trí ở vị trí trên cùng của vùng đệm NDA-PD, nhưng lớp hữu cơ và/hoặc lớp vô cơ

khác còn có thể được bố trí. Trong trường hợp này, các đệm tín hiệu DP-PD được bố trí trên “lớp hữu cơ hoặc lớp vô cơ” được bố trí ở vị trí trên cùng của vùng đệm NDA-PD.

Như được thể hiện trên Fig.8D và Fig.8E, lớp vô cơ bao kín thứ nhất IOL1 không chồng lên vùng đệm NDA-PD, và lớp vô cơ bao kín thứ hai IOL2 chồng hoàn toàn lên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA. Lớp vô cơ bao kín thứ nhất IOL1 có thể được lắng đọng sử dụng tấm che hở MSK được thể hiện trên Fig.7E. Lớp hữu cơ bao kín OL được bố trí trên lớp vô cơ bao kín thứ nhất IOL1. Mép của lớp hữu cơ bao kín OL có thể được đặt bên trong mép của lớp vô cơ bao kín thứ nhất IOL1. Lớp hữu cơ bao kín OL có thể được lắng đọng sử dụng tấm che hở MSK hoặc được tạo ra bằng phương pháp phun, chẳng hạn. Lớp vô cơ bao kín thứ hai IOL2 được bố trí trên lớp hữu cơ bao kín OL. Lớp vô cơ bao kín thứ hai IOL2 có thể tiếp xúc với lớp hữu cơ trung gian 30 trong vùng đệm NDA-PD. Ngoài ra, lớp vô cơ bao kín thứ hai IOL2 có thể tiếp xúc với lớp vô cơ bao kín thứ nhất IOL1 được lộ ra qua lớp hữu cơ bao kín OL. Lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 có thể bao kín lớp hữu cơ bao kín OL.

Theo phương án làm ví dụ của sáng chế, lớp hữu cơ bao kín OL có thể được lắng đọng sử dụng tấm che hở MSK được thể hiện trên Fig.7E. Trong trường hợp này, mép của lớp vô cơ bao kín thứ nhất IOL1 có thể được đóng thẳng với mép của lớp hữu cơ bao kín OL.

Một đệm tín hiệu DP-PD có thể được nối điện với phần đệm CSL-P của đường tín hiệu điều khiển CSL thông qua lỗ tiếp xúc thứ nhất CNT1 được tạo thành qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, và lớp vô cơ bao kín thứ hai IOL2. Đệm tín hiệu DP-PD khác có thể được nối điện với phần đệm DL-P của các đường dữ liệu DL thông qua lỗ tiếp xúc thứ hai CNT2 được tạo thành qua lớp hữu cơ trung gian 30 và lớp vô cơ bao kín thứ hai IOL2.

Như được thể hiện trên Fig.8F và Fig.8G, lớp vô cơ bao kín thứ nhất IOL1 chồng lên toàn bộ vùng hiển thị DP-DA và vùng không hiển thị DP-NDA, và lớp vô cơ

bao kín thứ hai IOL2 không chồng lên vùng đệm NDA-PD. Lớp vô cơ bao kín thứ nhất IOL1 có thể được lắng đọng không sử dụng tấm che, và lớp vô cơ bao kín thứ hai IOL2 có thể được lắng đọng sử dụng tấm che hở MSK.

Lớp hữu cơ bao kín OL được bố trí giữa lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2. Lớp hữu cơ bao kín OL có thể không chồng lên vùng đệm NDA-PD. Mép của lớp hữu cơ bao kín OL có thể được đặt bên trong mép của lớp vô cơ bao kín thứ hai IOL2. Lớp vô cơ bao kín thứ hai IOL2 có thể che đi mép của lớp hữu cơ bao kín OL.

Theo phương án làm ví dụ của sáng chế, lớp hữu cơ bao kín OL và lớp vô cơ bao kín thứ hai IOL2 có thể được lắng đọng sử dụng cùng tấm che hở MSK. Trong trường hợp này, mép của lớp vô cơ bao kín thứ hai IOL2 có thể được dóng thẳng với mép của lớp hữu cơ bao kín OL.

Lớp vô cơ bao kín thứ nhất IOL1 có thể tiếp xúc với lớp hữu cơ trung gian 30 trong vùng đệm NDA-PD.

Một đệm tín hiệu DP-PD có thể được nối điện với phần đệm CSL-P của đường tín hiệu điều khiển CSL thông qua lỗ tiếp xúc thứ nhất CNT1 được tạo thành qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, và lớp vô cơ bao kín thứ nhất IOL1. Đệm tín hiệu DP-PD khác có thể được nối điện với các phần đệm DL-P của các đường dữ liệu DL thông qua lỗ tiếp xúc thứ hai CNT2 được tạo thành qua lớp hữu cơ trung gian 30 và lớp vô cơ bao kín thứ nhất IOL1.

Các panen hiển thị DP được mô tả với tham chiếu đến các hình vẽ từ Fig.8A đến Fig.8G thường gồm ít nhất một lớp vô cơ bao kín được bố trí hoàn toàn trên panen hiển thị. Trong mặt cắt ngang của vùng đệm NDA-PD, lớp vô cơ bao kín được xếp chồng hoàn toàn lên panen hiển thị được bố trí giữa các phần đệm CSL-P và DL-P và các đệm tín hiệu DP-PD.

Lớp vô cơ bao kín được bố trí hoàn toàn có độ dày đồng nhất và mật độ màng

đặc. Theo đó, lớp vô cơ bao kín có lực tương tác lớn so với lớp hữu cơ được bố trí ở dưới. Do đó, độ ẩm có thể được ngăn ngừa để không thấm thấu vào giữa lớp vô cơ bao kín và lớp hữu cơ được bố trí bên dưới lớp vô cơ bao kín, và lớp vô cơ bao kín có thể được ngăn ngừa để khỏi bị phân tách.

Trong panen hiển thị DP được thể hiện trên các hình vẽ từ Fig.8A đến Fig.8C, lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 có thể lần lượt được ngăn ngừa để không bị phân tách khỏi lớp hữu cơ trung gian 30 và lớp hữu cơ bao kín OL. Trong panen hiển thị DP được thể hiện trên Fig.8D và Fig.8E, lớp vô cơ bao kín thứ hai IOL2 có thể được ngăn ngừa để không bị phân tách khỏi lớp hữu cơ trung gian 30 và lớp hữu cơ bao kín OL. Trong panen hiển thị DP được thể hiện trên Fig.8F và Fig.8G, lớp vô cơ bao kín thứ nhất IOL1 có thể được ngăn ngừa để không bị phân tách khỏi lớp hữu cơ trung gian 30.

Mặc dù không được thể hiện riêng biệt, mỗi trong số các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 được thể hiện trên Fig.4B có thể có cấu trúc mặt cắt ngang tương ứng với cấu trúc mặt cắt ngang của một trong số các phần đệm CSL-P và DL-P được mô tả với tham chiếu đến các hình vẽ từ Fig.8A đến Fig.8G. Các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 có thể được bố trí trong cùng lớp với các đệm tín hiệu DP-PD và mỗi trong số các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 có thể được nối với phần đệm được xếp chồng theo đó thông qua lỗ tiếp xúc.

Fig.9 là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.10A và Fig.10B là các hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.11A là hình chiếu bằng thể hiện lớp dẫn điện thứ nhất IS-CL1 của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.11B là hình chiếu bằng thể hiện lớp dẫn điện thứ hai IS-CL2 của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.11C là hình vẽ mặt cắt ngang theo đường IV-IV' trên Fig.10A. Fig.11D và

Fig.11E là các hình vẽ mặt cắt ngang theo đường V-V' trên Fig.10A.

Trên Fig.9, panen hiển thị DP được thể hiện một cách đơn giản để minh họa mối tương quan xếp chồng của bộ cảm biến đầu vào ISU. Bộ chống phản xạ và bộ cửa sổ, được bố trí trên bộ cảm biến đầu vào ISU, không được thể hiện.

Theo phương án làm ví dụ được minh họa, bộ cảm biến đầu vào ISU có “dạng lớp” được mô tả với tham chiếu đến Fig.2A sẽ được mô tả làm ví dụ minh họa. Bộ cảm biến đầu vào ISU có “dạng lớp” được bố trí trực tiếp trên bề mặt để được tạo ra bởi panen hiển thị DP, và lớp để được loại bỏ khác với bộ cảm biến đầu vào ISU có “dạng panen”. Theo đó, độ dày của môđun hiển thị DM có thể giảm xuống. Theo phương án làm ví dụ được minh họa, bề mặt để có thể là bề mặt trên của lớp bao kín màng mỏng TFE.

Bộ cảm biến đầu vào ISU có thể có cấu trúc đa lớp không kể đến hình dạng (panen hoặc lớp) của chúng. Bộ cảm biến đầu vào ISU chứa điện cực cảm biến, đường tín hiệu được nối với điện cực cảm biến, và ít nhất một lớp cách điện. Theo một phương án làm ví dụ, bộ cảm biến đầu vào ISU có thể cảm biến đầu vào bên ngoài bằng phương pháp điện dung tĩnh điện, chẳng hạn. Tuy nhiên, hoạt động của bộ cảm biến đầu vào ISU không bị giới hạn với phương pháp cụ thể, và bộ cảm biến đầu vào ISU theo phương án làm ví dụ của sáng chế có thể nhận biết đầu vào bên ngoài bằng phương pháp cảm ứng điện từ hoặc phương pháp nhảy áp.

Như được thể hiện trên Fig.9, bộ cảm biến đầu vào ISU theo phương án làm ví dụ của sáng chế có thể bao gồm lớp dẫn điện thứ nhất IS-CL1, lớp cách điện thứ nhất IS-IL1, lớp dẫn điện thứ hai IS-CL2, và lớp cách điện thứ hai IS-IL2. Mỗi trong số các lớp dẫn điện thứ nhất và thứ hai IS-CL1 và IS-CL2 có thể có cấu trúc đơn lớp hoặc cấu trúc đa lớp của các lớp được xếp chồng theo hướng thứ ba DR3. Lớp dẫn điện có cấu trúc đơn lớp có thể bao gồm lớp kim loại hoặc lớp dẫn điện trong suốt. Theo một phương án làm ví dụ, lớp kim loại có thể bao gồm molybden, bạc, titan, đồng, nhôm, và các hợp kim của chúng, chẳng hạn. Theo một phương án làm ví dụ, lớp dẫn điện

trong suốt có thể chứa vật liệu oxit dẫn điện trong suốt, như indi thiếc oxit (“ITO”), indi kẽm oxit (“IZO”), kẽm oxit (ZnO), indi thiếc kẽm oxit (“ITZO”), v.v., chẳng hạn. Theo một phương án làm ví dụ, lớp dẫn điện trong suốt có thể chứa polyme dẫn điện như PEDOT, dây nano kim loại, graphene, và tương tự, chẳng hạn.

Lớp dẫn điện có cấu trúc đa lớp có thể bao gồm các lớp kim loại đa lớp. Các lớp kim loại đa lớp có thể bao gồm, ví dụ, cấu trúc ba lớp của titan/nhôm/titan. Lớp dẫn điện có cấu trúc đa lớp có thể bao gồm ít nhất một lớp kim loại và ít nhất một lớp dẫn điện trong suốt.

Mỗi trong số lớp dẫn điện thứ nhất IS-CL1 và lớp dẫn điện thứ hai IS-CL2 bao gồm nhiều mẫu hình. Sau đây, lớp dẫn điện thứ nhất IS-CL1 chứa các mẫu hình dẫn điện thứ nhất, và lớp dẫn điện thứ hai IS-CL2 bao gồm các mẫu hình dẫn điện thứ hai. Mỗi trong số các mẫu hình dẫn điện thứ nhất và các mẫu hình dẫn điện thứ hai có thể bao gồm các điện cực cảm biến và các đường tín hiệu.

Kết cấu xếp chồng và vật liệu của các điện cực cảm biến có thể được xác định bằng cách xét đến độ nhạy. Nói chung, việc làm trễ điện trở-điện dung (resistive-capacitive - RC”) ảnh hưởng đến độ nhạy, nhưng giá trị RC giảm xuống trong các điện cực cảm biến bao gồm lớp kim loại vì các điện cực cảm biến bao gồm lớp kim loại có điện trở tương đối nhỏ hơn so với các điện cực cảm biến bao gồm lớp dẫn điện trong suốt. Theo đó, thời gian cần thiết để nạp tụ điện được xác định giữa các điện cực cảm biến được rút ngắn. Các điện cực cảm biến bao gồm lớp dẫn điện trong suốt có thể không được nhận biết bởi người dùng và có thể làm tăng diện tích đầu vào, nhờ đó làm tăng điện dung khi so sánh với các điện cực cảm biến bao gồm lớp kim loại.

Các điện cực cảm biến bao gồm lớp kim loại có thể có dạng lưới được mô tả sau đây để ngăn ngừa các điện cực cảm biến để không bị nhận biết bởi người dùng. Độ dày của lớp bao kín màng mỏng TFE có thể được điều chỉnh sao cho nhiều bị phát sinh bởi các thành phần của lớp thành phần hiển thị DP-OLED không gây ảnh hưởng đến bộ cảm biến đầu vào ISU. Mỗi trong số các lớp cách điện thứ nhất và thứ hai IS-IL1 và IS-

IL2 có thể có cấu trúc đơn lớp hoặc cấu trúc đa lớp. Mỗi trong số các lớp cách điện thứ nhất và thứ hai IS-IL1 và IS-IL2 có thể chứa vật liệu vô cơ, vật liệu hữu cơ, hoặc vật liệu composit.

Ít nhất một trong số lớp cách điện thứ nhất IS-IL1 và lớp cách điện thứ hai IS-IL2 có thể bao gồm lớp vô cơ. Theo một phương án làm ví dụ, lớp vô cơ có thể bao gồm ít nhất một trong số nhôm oxit, titan oxit, silic oxit, silic oxynitrua, zirconi oxit, và hafni oxit, chẳng hạn.

Ít nhất một trong số lớp cách điện thứ nhất IS-IL1 và lớp cách điện thứ hai IS-IL2 có thể bao gồm lớp hữu cơ. Theo một phương án làm ví dụ, lớp hữu cơ có thể bao gồm ít nhất một trong số nhựa gốc acryl, nhựa gốc metacryl, polyisopren, nhựa gốc vinyl, nhựa gốc epoxy, nhựa gốc uretan, nhựa gốc xenluloza, nhựa gốc siloxan, nhựa gốc polyimit, nhựa gốc polyamit, và nhựa gốc perylen, chẳng hạn.

Như được thể hiện trên Fig.10A, bộ cảm biến đầu vào ISU có thể bao gồm các điện cực cảm biến thứ nhất IE1-1 đến IE1-5, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 được nối với các điện cực cảm biến thứ nhất IE1-1 đến IE1-5, các điện cực cảm biến thứ hai IE2-1 đến IE2-4, và các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối với các điện cực cảm biến thứ hai IE2-1 đến IE2-4. Mặc dù không được thể hiện trên các hình vẽ, bộ cảm biến đầu vào ISU cũng có thể bao gồm các điện cực giả quang học được bố trí trong các vùng biên giữa các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4.

Vì lớp bao kín màng mỏng TFE được thể hiện trên Fig.9 bao gồm ít nhất một lớp vô cơ bao kín được mô tả với tham chiếu đến Fig.7H và Fig.7I, bề mặt để có thể trở nên phẳng hơn. Theo đó, mặc dù các thành phần của bộ cảm biến đầu vào ISU được tạo ra bởi quy trình liên tục, tỷ lệ hư hỏng của bộ cảm biến đầu vào ISU có thể giảm xuống. Vì các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 được bố trí trong vùng không hiển thị DD-NDA trong đó sự chênh lệch bậc giảm xuống, lớp bao kín màng mỏng TFE có thể có độ dày đồng nhất. Do đó, ứng suất

được tác dụng vào vùng được xếp chồng lên vùng trong đó sự chênh lệch bậc giữa các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 phát sinh có thể giảm xuống.

Các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 giao nhau. Các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 được bố trí theo hướng thứ nhất DR1, và mỗi trong số các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 có hình dạng kéo dài theo hướng thứ hai DR2. Các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có thể nhận biết đầu vào bên ngoài bằng phương pháp điện dung tương hỗ và/hoặc phương pháp điện dung riêng. Theo cách này, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có thể tính toán tọa độ của đầu vào bên ngoài bằng phương pháp điện dung tương hỗ và tính toán lại tọa độ của đầu vào bên ngoài bằng phương pháp điện dung riêng.

Mỗi trong số các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 bao gồm các phần cảm biến thứ nhất SP1 và các phần nối thứ nhất CP1. Mỗi trong số các điện cực cảm biến thứ hai IE2-1 đến IE2-4 bao gồm các phần cảm biến thứ hai SP2 và các phần nối thứ hai CP2. Trong số các phần cảm biến thứ nhất SP1, hai phần cảm biến thứ nhất được bố trí ở cả hai đầu của điện cực thứ nhất có thể có kích thước (ví dụ, 1/2) nhỏ hơn kích thước của phần cảm biến thứ nhất được bố trí ở phần trung tâm. Trong số các phần cảm biến thứ hai SP2, hai phần cảm biến thứ hai được bố trí ở cả hai đầu của điện cực thứ hai có thể có kích thước (ví dụ, 1/2) nhỏ hơn kích thước phần cảm biến thứ hai được bố trí ở phần trung tâm.

Fig.10A thể hiện các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4, nhưng hình dạng của các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 không bị giới hạn với hình dạng cụ thể. Theo phương án làm ví dụ khác của sáng chế, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4

có thể có hình dạng (ví dụ, dạng thanh) trong đó phần cảm biến và phần nối không được phân biệt với nhau, chẳng hạn. Trên Fig.10A, các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 có dạng hình thoi, nhưng hình dạng của các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 không bị giới hạn với dạng hình thoi. Theo ví dụ khác, các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 có thể có dạng tứ giác ngoại trừ dạng hình thoi, chẳng hạn.

Các phần cảm biến thứ nhất SP1 được bố trí dọc theo hướng thứ hai DR2 trong một điện cực cảm biến thứ nhất, các phần cảm biến thứ hai SP2 được bố trí theo hướng thứ nhất DR1 trong một điện cực cảm biến thứ hai. Mỗi trong số các phần nối thứ nhất CP1 nối các phần cảm biến thứ nhất SP1 liền kề nhau, và mỗi trong số các phần nối thứ hai CP2 nối các phần cảm biến thứ hai SP2 liền kề nhau.

Các đường tín hiệu thứ nhất SL1-1 đến SL1-5 được nối lần lượt với một đầu của các điện cực cảm biến thứ nhất IE1-1 đến IE1-5. Các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối với cả hai đầu của các điện cực cảm biến thứ hai IE2-1 đến IE2-4. Theo phương án làm ví dụ của sáng chế, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 có thể được nối với cả hai đầu của các điện cực cảm biến thứ nhất IE1-1 đến IE1-5. Ngoài ra, các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được nối lần lượt với chỉ một đầu của các điện cực cảm biến thứ hai IE2-1 đến IE2-4.

Theo phương án làm ví dụ được minh họa, độ nhạy có thể được cải thiện so với độ nhạy của bộ cảm biến đầu vào ISU trong đó các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối lần lượt với chỉ một đầu của các điện cực cảm biến thứ hai IE2-1 đến IE2-4. Vì các điện cực cảm biến thứ hai IE2-1 đến IE2-4 dài hơn các điện cực cảm biến thứ nhất IE1-1 đến IE1-5, sự sụt điện áp của tín hiệu cảm biến (hoặc tín hiệu truyền) xảy ra trong các điện cực cảm biến thứ hai IE2-1 đến IE2-4, và do đó độ nhạy có thể giảm xuống. Theo phương án làm ví dụ được minh họa, vì tín hiệu cảm biến (hoặc tín hiệu truyền) được cấp thông qua các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối với cả hai đầu của các điện cực cảm biến thứ hai IE2-1 đến IE2-4, sự sụt điện áp của tín

hiệu cảm biến (hoặc tín hiệu truyền) có thể được ngăn ngừa để không xảy ra, và độ nhạy có thể được ngăn ngừa để không bị giảm xuống.

Các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể bao gồm phần đường dẫn SL-L và phần đệm SL-P. Phần đệm SL-P có thể được đóng thẳng với vùng đệm NDA-PD. Phần đệm SL-P có thể xếp chồng lên các đệm giả IS-DPD được thể hiện trên Fig.4A.

Bộ cảm biến đầu vào ISU có thể bao gồm các đệm tín hiệu DP-PD. Các đệm tín hiệu DP-PD có thể được đóng thẳng với vùng đệm NDA-PD. Các đệm tín hiệu DP-PD có thể xếp chồng lên các phần đệm CSL-P và DL-P được thể hiện trên các hình vẽ từ Fig.8A đến Fig.8G.

Các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 theo phương án làm ví dụ của sáng chế có thể được thay thế với lớp nền mạch được sản xuất riêng biệt.

Như được thể hiện trên Fig.10B, phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được bố trí trong các vùng khác nhau sao cho các đệm tín hiệu DP-PD được bố trí giữa phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4. Vì hai nhóm của các phần đệm SL-P được bố trí là cách xa nhau, phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được nối dễ dàng với lớp nền mạch. Trong trường hợp này, các đệm của lớp nền mạch, mà phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối, được hợp thành hai nhóm được đặt cách nhau, và do đó sự ngắn mạch giữa các đệm của đế mạch giảm xuống.

Theo phương án làm ví dụ của sáng chế, các vị trí của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được thay

đôi tương ứng với nhau. Khác với Fig.10A, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 có thể được bố trí ở phía bên trái của bộ cảm biến đầu vào ISU, và các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được bố trí ở phía bên phải của bộ cảm biến đầu vào ISU.

Tham chiếu đến Fig.11A, lớp dẫn điện thứ nhất IS-CL1 bao gồm các phần nổi thứ nhất CP1. Ngoài ra, lớp dẫn điện thứ nhất IS-CL1 có thể bao gồm các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 (tham chiếu đến Fig.10A và Fig.10B) và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 (tham chiếu đến Fig.10A và Fig.10B).

Các phần nổi thứ nhất CP1, các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được tạo thành qua cùng quy trình. Các phần nổi thứ nhất CP1, các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể có cùng vật liệu và có cùng kết cấu chông. Các phần nổi thứ nhất CP1 có thể được tạo ra thông qua các quy trình khác với các quy trình của các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4. Các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể có cùng kết cấu xếp chông, nhưng các phần nổi thứ nhất CP1 có thể có kết cấu xếp chông khác với các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4.

Theo phương án làm ví dụ của sáng chế, lớp dẫn điện thứ nhất IS-CL1 có thể bao gồm các phần nổi thứ hai CP2 (tham chiếu đến Fig.10A). Trong trường hợp này, các phần nổi thứ nhất CP1 được tạo ra từ lớp dẫn điện thứ hai CL2. Theo đó, mỗi trong số các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 có thể được tạo ra trong một khối.

Mặc dù không được thể hiện trên Fig.11A, lớp cách điện thứ nhất IS-IL1 che đi ít nhất phần nổi thứ nhất CP1. Theo phương án làm ví dụ được minh họa, lớp cách điện thứ nhất IS-IL1 có thể chồng lên toàn bộ vùng hiển thị DD-DA. Lớp cách điện thứ nhất IS-IL1 còn có thể chồng lên ít nhất một phần của vùng không hiển thị DD-NDA. Lớp cách điện thứ nhất IS-IL1 có thể che đi các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 trong vùng không hiển thị DD-NDA.

Theo phương án làm ví dụ được minh họa, lớp cách điện thứ nhất IS-IL1 có thể chồng lên vùng hiển thị DD-DA và vùng đệm NDA-PD. Lớp cách điện thứ nhất IS-IL1 có thể chồng lên toàn bộ vùng hiển thị DD-DA và vùng không hiển thị DD-NDA. Lớp cách điện thứ nhất IS-IL1 có thể được tạo ra qua các quy trình được mô tả với tham chiếu đến Fig.7H và Fig.7I.

Các lỗ tiếp xúc nổi thứ nhất CNT-I làm lộ một phần các phần nổi thứ nhất CP1 và các lỗ tiếp xúc nổi thứ hai CNT-S làm lộ một phần các phần đường dẫn thứ nhất SL1-11 đến SL1-51 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các phần đường dẫn thứ nhất SL2-11 đến SL2-41 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được tạo thành qua lớp cách điện thứ nhất IS-IL1.

Như được thể hiện trên Fig.11B, lớp dẫn điện thứ hai IS-CL2 bao gồm các phần cảm biến thứ nhất SP1, các phần cảm biến thứ hai SP2, và các phần nổi thứ hai CP2. Mỗi trong số các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có thể được tạo ra trong một khối. Các phần cảm biến thứ nhất SP1 được đặt cách xa khỏi điện cực cảm biến thứ hai IE2-1 đến IE2-4.

Lớp dẫn điện thứ hai IS-CL2 có thể bao gồm các phần đường dẫn thứ hai SL1-12 đến SL1-52 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 (tham chiếu đến Fig.10A và Fig.10B), các phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, các phần đường dẫn thứ hai SL2-12 đến SL2-42 của các đường tín hiệu thứ hai SL2-1 đến SL2-4 (tham chiếu đến Fig.10A và Fig.10B), và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4. Lớp dẫn điện thứ hai IS-CL2 có thể bao gồm các đệm tín hiệu DP-PD.

Các phần cảm biến thứ nhất SP1, các phần cảm biến thứ hai SP2, và các phần nối thứ hai CP2 có thể được tạo ra thông qua cùng quy trình. Các phần cảm biến thứ nhất SP1, các phần cảm biến thứ hai SP2, và các phần nối thứ hai CP2 có thể có cùng vật liệu và có cùng kết cấu. Các phần đường dẫn thứ hai SL1-12 đến SL1-52 của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, các phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, các phần đường dẫn thứ hai SL2-12 đến SL2-42 của các đường tín hiệu thứ hai SL2-1 đến SL2-4, các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4, và các đệm tín hiệu DP-PD có thể được tạo ra thông qua cùng quy trình hoặc quy trình khác với các phần cảm biến thứ nhất SP1, các phần cảm biến thứ hai SP2, và các phần nối thứ hai CP2.

Mặc dù không được thể hiện trên Fig.11B, lớp cách điện thứ hai IS-IL2 có thể chồng lên toàn bộ vùng hiển thị DD-DA. Lớp cách điện thứ hai IS-IL2 còn có thể chồng lên ít nhất một phần của vùng không hiển thị DD-NDA. Theo phương án làm ví dụ được minh họa, lớp cách điện thứ hai IS-IL2 có thể làm lộ vùng đệm NDA-PD.

Như được thể hiện trên Fig.11C, các phần cảm biến thứ nhất SP1 được nối điện với phần nối thứ nhất CP1 thông qua các lỗ tiếp xúc nối thứ nhất CNT-I. Phần nối thứ nhất CP1 có thể chứa vật liệu có điện trở thấp hơn điện trở của phần cảm biến thứ nhất SP1.

Phần nối thứ nhất CP1 cắt ngang phần nối thứ hai CP2, và cần giảm thiểu độ rộng, dọc theo hướng nằm ngang trên Fig.11C, của phần nối thứ nhất CP1 khi được

quan sát theo hình chiếu bằng để giảm các hiệu quả của điện dung ký sinh. Phần nổi thứ nhất CP1 có thể chứa vật liệu có điện trở thấp để tăng cường độ nhạy và có thể chứa cùng vật liệu kim loại với các phần đường dẫn thứ nhất SL1-11 đến SL1-51 (tham chiếu đến Fig.11A và Fig.11B) của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 (tham chiếu đến Fig.10A và Fig.10B).

Theo phương án làm ví dụ được minh họa, lớp cách điện thứ nhất IS-IL1 có thể là lớp polyme, ví dụ, lớp polyme acrylic. Theo một phương án làm ví dụ, lớp cách điện thứ hai IS-IL2 có thể là lớp polyme, ví dụ, lớp polyme acrylic. Lớp polyme có thể tăng cường tính dẻo của thiết bị hiển thị DD mặc dù bộ cảm biến đầu vào ISU được bố trí trực tiếp trên panen hiển thị DP như được thể hiện trên các hình vẽ từ Fig.9 đến Fig.11D. Để tăng cường tính dẻo, các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 có thể có dạng lưới và chứa vật liệu kim loại. Theo một phương án làm ví dụ, các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 có thể được gọi là mẫu hình lưới kim loại, chẳng hạn.

Fig.11D thể hiện ba đường tín hiệu thứ nhất SL1-1 đến SL1-3 trong số các đường tín hiệu thứ nhất SL1-1 đến SL1-5 làm ví dụ minh họa. Tham chiếu đến đường tín hiệu thứ nhất SL1-1, phần đường dẫn thứ nhất SL1-11 và phần đường dẫn thứ hai SL1-12 có thể được nối điện với nhau thông qua các lỗ tiếp xúc nổi thứ hai CNT-S. Theo đó, điện trở của đường tín hiệu thứ nhất SL1-1 có thể giảm xuống. Đối với cùng một lý do, các đường tín hiệu thứ hai SL2-1 đến SL2-4 được thể hiện trên Fig.11A và Fig.11B bao gồm các phần đường dẫn thứ nhất và thứ hai.

Theo phương án làm ví dụ khác của sáng chế, một trong số phần đường dẫn thứ nhất SL1-11 và phần đường dẫn thứ hai SL1-12 có thể được loại bỏ. Một trong số phần đường dẫn thứ nhất và phần đường dẫn thứ hai của các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được loại bỏ. Như được thể hiện trên Fig.11E, phần đường dẫn thứ nhất SL1-11 có thể được loại bỏ. Đường tín hiệu thứ nhất SL1-1 chỉ bao gồm phần đường dẫn thứ hai SL1-12 trên Fig.11D. Đường tín hiệu thứ nhất SL1-1 có thể bao gồm

lớp kim loại SL1-12M và lớp dẫn điện trong suốt SL1-12T được bố trí trực tiếp trên lớp kim loại SL1-12M. Trong trường hợp này, các điện cực cảm biến (ví dụ, phần cảm biến thứ nhất SP1 trên Fig.11C) có thể bao gồm lớp kim loại, nhưng không bao gồm lớp dẫn điện trong suốt.

Fig.12A là hình chiếu bằng phóng to thể hiện một phần của vùng đệm NDA-PD của thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.12B và Fig.12C là các hình vẽ mặt cắt ngang theo đường VI-VI' trên Fig.12A. Fig.12D là hình chiếu bằng phóng to thể hiện một phần của vùng đệm NDA-PD của thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.12E là hình vẽ mặt cắt ngang theo đường VI-VI' trên Fig.12D. Fig.13A là hình chiếu bằng phóng to thể hiện phần còn lại của vùng đệm của thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.13B và Fig.13C là các hình vẽ mặt cắt ngang theo đường VII-VII' trên Fig.13A.

Fig.12A và Fig.12D thể hiện hình vẽ phóng to của vùng BB trên Fig.10A. Fig.13A thể hiện hình vẽ phóng to của vùng CC trên Fig.10A. Một đường tín hiệu trong số các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và hai đường tín hiệu trong số các đường tín hiệu thứ hai SL2-1 đến SL2-4 được thể hiện dưới dạng ví dụ minh họa. Một đường tín hiệu điều khiển CSL và hai đường dữ liệu DL được thể hiện dưới dạng ví dụ minh họa.

Tham chiếu đến Fig.12A và Fig.12B, phần đệm SL-P của đường tín hiệu thứ nhất SL1-5 và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 và SL2-2 được bố trí trên lớp cách điện thứ nhất IS-IL1. Phần đệm SL-P của đường tín hiệu thứ nhất SL1-5 và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 và SL2-2 lần lượt chồng lên các đệm giả tương ứng IS-DPD. Sau đây, hai đệm giả IS-DPD được bố trí trên các lớp khác nhau sẽ được thể hiện làm ví dụ minh họa, nhưng các đệm giả IS-DPD có thể được bố trí trong cùng lớp theo các phương án làm ví dụ khác. Sự tương ứng giữa hai đệm giả IS-DPD và các phần đệm SL-P không bị giới hạn với ví dụ cụ thể.

Phần đệm SL-P của đường tín hiệu thứ nhất SL1-5 (tham chiếu đến Fig.10A) có

thể được nối điện với đệm giả tương ứng IS-DPD thông qua lỗ tiếp xúc thứ ba CNT3 được tạo thành qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp cách điện thứ nhất IS-IL1. Mỗi trong số các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 và SL2-2 có thể được nối điện với đệm giả tương ứng IS-DPD thông qua lỗ tiếp xúc thứ tư CNT4 được tạo thành qua lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp cách điện thứ nhất IS-IL1.

Fig.12C thể hiện mặt cắt ngang của vùng đệm NDA-PD theo phương án làm ví dụ khác khác với vùng đệm NDA-PD được thể hiện trên Fig.12B. Khác với lỗ tiếp xúc thứ ba CNT3 và lỗ tiếp xúc thứ tư CNT4 được thể hiện trên Fig.12B và được xác định bởi một quy trình, lỗ tiếp xúc thứ ba CNT30 và lỗ tiếp xúc thứ tư CNT40 được thể hiện trên Fig.12C được xác định bởi nhiều quy trình. Khi được quan sát theo mặt cắt ngang, mặt bên phía trong của lỗ tiếp xúc thứ ba CNT30 có dạng bậc.

Theo một phương án làm ví dụ, lỗ tiếp xúc thứ ba CNT30 có đường kính tăng lên tuyến tính khi nó đi lên từ lớp vô cơ trung gian thứ hai 20 đến lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, và lớp vô cơ bao kín thứ hai IOL2. Đường kính của lỗ tiếp xúc thứ ba CNT30 tăng không tuyến tính giữa lớp vô cơ bao kín thứ hai IOL2 và lớp cách điện thứ nhất IS-IL1. Mặt bên phía trong của lỗ tiếp xúc thứ tư CNT40 có dạng bậc khi được quan sát theo mặt cắt ngang.

Fig.12D và Fig.12E thể hiện vùng đệm NDA-PD theo phương án làm ví dụ khác khác với vùng đệm NDA-PD được thể hiện trên Fig.12A và Fig.12B. Theo phương án làm ví dụ được minh họa, phần đệm SL-P của đường tín hiệu thứ nhất SL1-5 (tham chiếu đến Fig.10A) và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 và SL2-2 lần lượt chồng lên các đệm giả tương ứng IS-DPD, nhưng không được nối điện với đệm giả tương ứng IS-DPD. Tức là, lỗ tiếp xúc thứ ba CNT3 và lỗ tiếp xúc thứ tư CNT4 được loại bỏ.

Trong các thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ

Fig.12A đến Fig.12E, ít nhất một lớp vô cơ bao kín được bố trí hoàn toàn trên panen hiển thị DP. Các hình vẽ từ Fig.12A đến Fig.12E thể hiện thiết bị hiển thị DD với lớp bao kín màng mỏng TFE được mô tả với tham chiếu đến Fig.8A, nhưng thiết bị hiển thị DD theo phương án làm ví dụ của sáng chế có thể bao gồm lớp bao kín màng mỏng TFE được thể hiện trên Fig.8D và Fig.8F. Trong mặt cắt ngang của vùng đệm NDA-PD, lớp vô cơ bao kín được xếp chồng hoàn toàn được bố trí giữa các đệm giả IS-DPD và các phần đệm SL-P. Ngoài ra, lớp cách điện thứ nhất IS-IL1 được bố trí giữa các đệm giả IS-DPD và các phần đệm SL-P.

Như được thể hiện trên Fig.13A và Fig.13B, các đệm tín hiệu DP-PD có thể chồng lên các phần đệm CSL-P và DL-P của đường tín hiệu điều khiển CSL và các đường dữ liệu DL. Khác với các đệm tín hiệu DP-PD được mô tả với tham chiếu đến các hình vẽ từ Fig.8A đến Fig.8G, các đệm tín hiệu DP-PD theo phương án làm ví dụ được minh họa được bố trí trên lớp cách điện thứ nhất IS-IL1. Theo cách khác, các đệm tín hiệu DP-PD có thể được bố trí trong cùng lớp với các đường tín hiệu SL1-1 đến SL1-5 và SL2-1 đến SL2-4 của bộ cảm biến đầu vào ISU. Các đệm tín hiệu DP-PD có thể được nối điện với phần đệm CSL-P và DL-P thông qua lỗ tiếp xúc thứ nhất CNT1 và lỗ tiếp xúc thứ hai CNT2. Lỗ tiếp xúc thứ nhất CNT1 và lỗ tiếp xúc thứ hai CNT2 có thể lần lượt tương ứng với lỗ tiếp xúc thứ ba CNT3 và lỗ tiếp xúc thứ tư CNT4 được thể hiện trên Fig.12B.

Như được thể hiện trên Fig.13C, mặt bên phía trong của mỗi trong số lỗ tiếp xúc thứ nhất CNT10 và lỗ tiếp xúc thứ hai CNT20 có thể có dạng bậc khi được quan sát theo mặt cắt ngang. Lỗ tiếp xúc thứ nhất CNT10 và lỗ tiếp xúc thứ hai CNT20 có thể lần lượt tương ứng với lỗ tiếp xúc thứ ba CNT30 và lỗ tiếp xúc thứ tư CNT40 được thể hiện trên Fig.12C. Theo một phương án làm ví dụ, sự chênh lệch bậc xảy ra giữa lớp cách điện thứ nhất IS-IL1 và lớp vô cơ bao kín thứ hai IOL2, nhưng không bị giới hạn ở đó hoặc bằng cách đó.

Trong các thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ

Fig.13A đến Fig.13C, ít nhất một lớp vô cơ bao kín được bố trí hoàn toàn và lớp cách điện thứ nhất IS-IL1 được bố trí giữa phần đệm DL-P và đệm tín hiệu DP-PD khi được quan sát theo mặt cắt ngang của vùng đệm NDA-PD. Các lỗ tiếp xúc thứ nhất CNT1 và CNT10 và các lỗ tiếp xúc thứ hai CNT2 và CNT20 xuyên qua ít nhất một lớp vô cơ bao kín và lớp cách điện thứ nhất IS-IL1.

Các đệm tín hiệu DP-PD được mô tả với tham chiếu đến các hình vẽ từ Fig.13A đến Fig.13C được bố trí nối điện đường tín hiệu SGL và các đệm lớp nền mạch PCB-P được thể hiện trên Fig.4A. Khác với ở trên, các đệm giả IS-DPD được mô tả với tham chiếu đến các hình vẽ từ Fig.12A đến Fig.12E được bố trí để tăng cường độ bền liên kết giữa các phần đệm SL-P của bộ cảm biến đầu vào ISU và các đệm lớp nền mạch PCB-P. Vùng đệm của bộ cảm biến đầu vào ISU có thể được bố trí có kết cấu chồng giống với vùng đệm của panen hiển thị DP bằng cách sử dụng các đệm giả IS-DPD được chứa trong lớp thành phần mạch DP-CL. Vì vùng đệm NDA-PD của panen hiển thị DP có kết cấu chồng đồng nhất, độ bền liên kết giữa panen hiển thị DP và lớp nền mạch PCB được tăng cường.

Mặc dù không được thể hiện riêng biệt, cấu trúc mặt cắt ngang của mỗi trong số các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 được thể hiện trên Fig.4B có thể giống với cấu trúc mặt cắt ngang của một trong số các đệm tín hiệu DP-PD được mô tả với tham chiếu đến các hình vẽ từ Fig.13A đến Fig.13C. Các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 có thể được bố trí trong cùng lớp với các đệm tín hiệu DP-PD và được nối với các phần đệm, chồng lần lượt lên các đệm chip thứ nhất TC-PD1 và các đệm chip thứ hai TC-PD2 thông qua các lỗ tiếp xúc.

Các hình vẽ từ Fig.14A đến Fig.14E là các hình vẽ mặt cắt ngang thể hiện phương pháp chế tạo thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Các mặt cắt ngang được thể hiện trên các hình vẽ từ Fig.14A đến Fig.14E tương ứng với các mặt cắt ngang trên Fig.11C, 11D, 12B, và 13B, và Fig.14A đến Fig.14E thể hiện các quy trình chế tạo liên quan đến các mặt cắt ngang trên Fig.11C, 11D, 12B, và

13B.

Tham chiếu đến Fig.14A, mẫu hình dẫn điện thứ nhất được bố trí trên bề mặt đế của panen hiển thị DP thông qua quy trình liên tục. Theo phương án làm ví dụ được minh họa, bề mặt đế được tạo ra với lớp vô cơ bao kín thứ hai IOL2.

Phần nổi thứ nhất CP1 và phần đường dẫn thứ nhất SL1-11 được thể hiện trên Fig.14A làm ví dụ của mẫu hình dẫn điện thứ nhất. Sau khi lớp dẫn điện thứ nhất được tạo ra, lớp dẫn điện thứ nhất được tạo mẫu hình bằng quy trình quang khắc để tạo ra mẫu hình dẫn điện thứ nhất.

Tham chiếu đến Fig.14B, lớp cách điện thứ nhất IS-IL1 được bố trí trên bề mặt đế để chồng lên vùng hiển thị DD-DA và vùng không hiển thị DD-NDA và che đi mẫu hình dẫn điện thứ nhất. Theo một phương án làm ví dụ, lớp cách điện thứ nhất IS-IL1 có thể được tạo ra bằng phương pháp lắng đọng, phủ, hoặc in, chẳng hạn. Theo một phương án làm ví dụ, lớp cách điện thứ nhất IS-IL1 có thể được tạo ra bằng phương pháp được mô tả với tham chiếu đến Fig.7H và Fig.7I sử dụng vật liệu vô cơ.

Tham chiếu đến Fig.14C, các lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 có thể được tạo ra. Theo phương án làm ví dụ của sáng chế, các lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 có thể được xác định bằng quy trình lộ sáng và hiện hình. Theo phương án làm ví dụ của sáng chế, các lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 có thể được tạo ra bằng phương pháp khoan laser.

Các lỗ tiếp xúc CNT-I và CNT-S có thể được xác định để làm lộ các mẫu hình dẫn điện thứ nhất. Các lỗ tiếp xúc nổi thứ nhất CNT-I có thể được tạo ra để làm lộ một phần các phần nổi thứ nhất CP1. Ngoài ra, các lỗ tiếp xúc nổi thứ hai CNT-S có thể được bố trí làm lộ một phần các phần đường dẫn thứ nhất SL1-11 đến SL1-31.

Các lỗ tiếp xúc CNT3 và CNT4 có thể được tạo ra để làm lộ các đệm giả IS-DPD. Các lỗ tiếp xúc CNT1 và CNT2 có thể được tạo ra để làm lộ các phần đệm CSL-P và DL-P của các đường tín hiệu SGL. Lỗ tiếp xúc thứ nhất CNT1 và lỗ tiếp xúc thứ

ba CNT3 có thể được tạo ra để xuyên qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp cách điện thứ nhất IS-IL1. Lỗ tiếp xúc thứ hai CNT2 và lỗ tiếp xúc thứ tư CNT4 có thể được tạo ra để xuyên qua lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp cách điện thứ nhất IS-IL1.

Các lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 có thể được xác định gần như đồng thời bởi một quy trình, ví dụ, cùng quy trình quang khắc hoặc cùng quy trình khoan laze. Các lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 có thể được xác định bởi kiểu lỗ tiếp xúc CNT-I, CNT-S, và CNT1 đến CNT4 thông qua nhiều quy trình. Theo một phương án làm ví dụ, lỗ tiếp xúc thứ nhất CNT1 và lỗ tiếp xúc thứ ba CNT3 có thể được xác định gần như đồng thời, lỗ tiếp xúc thứ hai CNT2 và lỗ tiếp xúc thứ tư CNT4 có thể được xác định gần như đồng thời, và các lỗ tiếp xúc nối thứ nhất CNT-I và các lỗ tiếp xúc nối thứ hai CNT-S có thể được xác định gần như đồng thời.

Tham chiếu đến Fig.14D, mẫu hình dẫn điện thứ hai có thể được tạo ra trên lớp cách điện thứ nhất IS-IL1. Sau khi lớp dẫn điện thứ hai được tạo ra, lớp dẫn điện thứ hai được tạo mẫu hình bởi quy trình quang khắc để tạo mẫu hình dẫn điện thứ hai.

Các phần cảm biến thứ nhất SP1 và các phần nối thứ hai CP2 có thể được bố trí trên lớp cách điện thứ nhất IS-IL1. Các phần đường dẫn thứ hai SL1-12 đến SL1-32 được nối với các phần đường dẫn thứ nhất SL1-11 đến SL1-31 có thể được tạo ra thông qua cùng quy trình quang khắc, chẳng hạn.

Các đệm tín hiệu DP-PD được nối với các phần đệm CSL-P và DL-P của các đường tín hiệu SGL thông qua các lỗ tiếp xúc thứ nhất và thứ hai CNT1 và CNT2 có thể được bố trí. Các phần cảm biến thứ nhất SP1, các phần nối thứ hai CP2, các phần đường dẫn thứ hai SL1-12 đến SL1-32, và các đệm tín hiệu DP-PD có thể được tạo thành qua cùng quy trình.

Tham chiếu đến Fig.14E, lớp cách điện thứ hai IS-IL2 có thể được bố trí trên lớp cách điện thứ nhất IS-IL1 để che đi các mẫu hình dẫn điện thứ hai. Lớp cách điện

thứ hai IS-IL2 có thể chồng lên toàn bộ vùng hiển thị DD-DA và có thể chồng lên một phần của vùng không hiển thị DD-NDA. Lớp cách điện thứ hai IS-IL2 có thể làm lộ các đệm tín hiệu DP-PD và các phần đệm SL-P của bộ cảm biến đầu vào ISU.

Theo phương án làm ví dụ khác của sáng chế, lớp cách điện thứ hai IS-IL2 có thể được thay thế với thành phần khác như thành phần kết dính. Theo phương án làm ví dụ nêu trên, quy trình tạo ra lớp cách điện thứ hai IS-IL2 có thể được bỏ qua.

Các hình vẽ từ Fig.15A đến Fig.15F là các hình vẽ mặt cắt ngang thể hiện phương pháp chế tạo thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Trên Fig.15A đến Fig.15F, các dấu hiệu khác từ phương pháp chế tạo thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.14A đến Fig.14E sẽ được mô tả chủ yếu.

Như được thể hiện trên Fig.15A, mẫu hình dẫn điện thứ nhất được bố trí. Mẫu hình dẫn điện thứ nhất có thể được tạo ra thông qua cùng quy trình với quy trình được mô tả với tham chiếu đến Fig.14A. Như được thể hiện trên Fig.15B, lớp cách điện thứ nhất IS-IL1 được tạo ra. Lớp cách điện thứ nhất IS-IL1 có thể được tạo ra thông qua cùng quy trình với quy trình được mô tả với tham chiếu đến Fig.14B.

Như được thể hiện trên Fig.15C, các lỗ tiếp xúc bên trên CNT1-1 đến CNT4-1 được tạo thành qua lớp cách điện thứ nhất IS-IL1. Các lỗ tiếp xúc nối thứ nhất và thứ hai CNT-I và CNT-S có thể được tạo ra thông qua cùng quy trình để làm lộ các mẫu hình dẫn điện thứ nhất. Các lỗ tiếp xúc bên trên CNT1-1 đến CNT4-1 và các lỗ tiếp xúc nối thứ nhất và thứ hai CNT-I và CNT-S có thể được tạo ra thông qua quy trình lộ sáng và hiện hình thứ nhất.

Như được thể hiện trên Fig.15D, các lỗ tiếp xúc bên dưới CNT1-2 đến CNT4-2 được tạo ra tương ứng với các lỗ tiếp xúc bên trên CNT1-1 đến CNT4-1. Các lỗ tiếp xúc bên dưới CNT1-2 đến CNT4-2 có thể được tạo ra bởi quy trình lộ sáng và hiện hình thứ hai. Quy trình tạo ra các lỗ tiếp xúc bên dưới CNT1-2 đến CNT4-2 bao gồm loại bỏ một phần của lớp vô cơ bao kín được xếp chồng lên ít nhất đệm giả IS-DPD.

Trong trường hợp này, các lỗ tiếp xúc nổi thứ nhất và thứ hai CNT-I và CNT-S có thể được bảo vệ khỏi quy trình lộ sáng và hiện hình thứ hai bằng cách sử dụng tấm che. Một số lỗ tiếp xúc trong số các lỗ tiếp xúc bên dưới CNT1-2 đến CNT4-2 xuyên qua lớp vô cơ trung gian thứ hai 20, lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, và lớp vô cơ bao kín thứ hai IOL2, và các lỗ tiếp xúc khác của các lỗ tiếp xúc bên dưới CNT1-2 đến CNT4-2 xuyên qua lớp hữu cơ trung gian 30, lớp vô cơ bao kín thứ nhất IOL1, và lớp vô cơ bao kín thứ hai IOL2.

Lỗ tiếp xúc thứ nhất CNT10 đến các lỗ tiếp xúc thứ nhất CNT40, mỗi trong số đó có dạng bậc khi được quan sát theo mặt cắt ngang, có thể được tạo thành qua các quy trình được mô tả với tham chiếu đến Fig.15C và Fig.15D.

Sau đó, như được thể hiện trên Fig.15E, mẫu hình dẫn điện thứ hai có thể được bố trí trên lớp cách điện thứ nhất IS-IL1. Mẫu hình dẫn điện thứ hai có thể được tạo ra thông qua cùng quy trình với quy trình được mô tả với tham chiếu đến Fig.14D. Sau đó, như được thể hiện trên Fig.15F, lớp cách điện thứ hai IS-IL2 có thể được bố trí. Lớp cách điện thứ hai IS-IL2 có thể được tạo thành qua cùng quy trình với quy trình được mô tả với tham chiếu đến Fig.14E.

Các hình vẽ từ Fig.16A đến Fig.16C là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Trên Fig.16A đến Fig.16C, các mô tả chi tiết về các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.15F sẽ được bỏ qua.

Fig.16A thể hiện mặt cắt ngang tương ứng với Fig.11C. Theo phương án làm ví dụ được minh họa, các phần cảm biến thứ nhất SP1 và phần nổi thứ hai CP2 được bố trí trực tiếp trên lớp bao kín màng mỏng TFE. Lớp cách điện thứ nhất IS-IL1 được bố trí trên lớp bao kín màng mỏng TFE để che các phần cảm biến thứ nhất SP1 và phần nổi thứ hai CP2. Phần nổi thứ nhất CP1 được bố trí trên lớp cách điện thứ nhất IS-IL1 được nối điện với các phần cảm biến thứ nhất SP1 thông qua các lỗ tiếp xúc nổi thứ nhất CNT-I.

Trong bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa, các mẫu hình dẫn điện thứ nhất của lớp dẫn điện thứ nhất IS-CL1 và các mẫu hình dẫn điện thứ hai của lớp dẫn điện thứ hai IS-CL2 được thay đổi tương ứng với nhau khi so với bộ cảm biến đầu vào ISU được mô tả với tham chiếu đến các hình vẽ từ Fig.11A đến Fig.11D. Tuy nhiên, các phần đệm SL-P (tham chiếu đến Fig.10A) của các đường tín hiệu thứ nhất SL1-1 đến SL1-5 (tham chiếu đến Fig.10A) và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4 (tham chiếu đến Fig.10A) có thể được tạo ra bởi lớp dẫn điện thứ nhất IS-CL1 được bố trí ở vị trí phía trên so với lớp dẫn điện thứ hai IS-CL2.

Theo cách khác, lớp dẫn điện thứ nhất IS-CL1 được bố trí trên lớp cách điện thứ nhất IS-IL1 có thể bao gồm các phần đường dẫn thứ nhất SL1-11 đến SL1-51 (tham chiếu đến Fig.11A) của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, các phần đệm SL-P của các đường tín hiệu thứ nhất SL1-1 đến SL1-5, các phần đường dẫn thứ nhất SL2-11 đến SL2-41 (tham chiếu đến Fig.11A) của các đường tín hiệu thứ hai SL2-1 đến SL2-4, và các phần đệm SL-P của các đường tín hiệu thứ hai SL2-1 đến SL2-4. Theo đó, cấu trúc mặt cắt ngang của vùng đệm NDA-PD theo phương án làm ví dụ được minh họa có thể gần giống với cấu trúc mặt cắt ngang của vùng đệm NDA-PD được mô tả với tham chiếu đến các hình vẽ từ Fig.12A đến Fig.13C.

Theo một phương án làm ví dụ, để tăng cường độ dẻo, lớp cách điện thứ nhất IS-IL1 có thể là lớp polyme, ví dụ, lớp polyme acrylic. Theo một phương án làm ví dụ, lớp cách điện thứ hai IS-IL2 có thể là lớp polyme, ví dụ, lớp polyme acrylic.

Như được thể hiện trên Fig.16B, bộ cảm biến đầu vào ISU còn có thể bao gồm lớp đệm IS-BFL được bố trí trực tiếp trên lớp bao kín màng mỏng TFE. Theo một phương án làm ví dụ, lớp đệm IS-BFL có thể bao gồm vật liệu vô cơ, ví dụ, lớp silic nitrua. Lớp vô cơ được bố trí ở vị trí trên cùng của lớp bao kín màng mỏng TFE có thể bao gồm silic nitrua, và lớp silic nitrua của lớp bao kín màng mỏng TFE và lớp đệm IS-BFL có thể được bố trí dưới điều kiện lắng đọng khác. Mặc dù không được thể hiện

riêng biệt, lớp đệm IS-BFL có thể được áp dụng cho các bộ cảm biến đầu vào theo các phương án làm ví dụ khác được mô tả sau đây.

Fig.16C thể hiện mặt cắt ngang tương ứng với Fig.11C và Fig.11D. Như được thể hiện trên Fig.16C, phần đường dẫn thứ hai SL1-12 được thể hiện trên Fig.11D có thể được loại bỏ. Đường tín hiệu thứ nhất SL1-1 chỉ bao gồm phần đường dẫn thứ nhất SL1-11 trên Fig.11D. Đường tín hiệu thứ nhất SL1-1 có thể bao gồm lớp dẫn điện trong suốt SL1-11T và lớp kim loại SL1-11M được bố trí trực tiếp trên lớp dẫn điện trong suốt SL1-11T. Các phần cảm biến thứ nhất SP1, phần nối thứ hai CP2, và các phần cảm biến thứ hai SP2 (không được thể hiện) có thể bao gồm lớp dẫn điện trong suốt SL1-11T, nhưng không chứa lớp kim loại SL1-11M.

Lớp dẫn điện trong suốt SL1-11T và lớp kim loại SL1-11M được tạo ra bằng cách tạo ra liên tiếp lớp dẫn điện trong suốt ban đầu và lớp kim loại ban đầu và tạo mẫu liên tiếp lớp kim loại ban đầu và lớp dẫn điện trong suốt ban đầu. Sau khi lớp cách điện thứ nhất IS-IL1 được tạo ra, các lỗ tiếp xúc nối thứ nhất CNT-I được tạo thành qua lớp cách điện thứ nhất IS-IL1. Sau đó, phần nối thứ nhất CP1 có thể được tạo ra.

Fig.17A là hình vẽ phối cảnh thể hiện vùng cắt ngang của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.17B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.17C là hình vẽ mặt cắt ngang thể hiện một phần của vùng đệm NDA-PD của thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.17D là hình vẽ mặt cắt ngang thể hiện phần còn lại của vùng đệm NDA-PD của thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Vùng cắt ngang của bộ cảm biến đầu vào ISU được mô tả sau đây tương ứng với vùng EE trên Fig.10A. Trên các hình vẽ từ Fig.17A đến Fig.17D, các mô tả chi tiết về các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ Fig.1 đến Fig.16B sẽ được bỏ qua.

Tham chiếu đến các hình vẽ Fig.17A và Fig.17B, bộ cảm biến đầu vào ISU bao gồm mẫu hình cách điện IS-ILP được bố trí ở vùng cắt ngang. Mẫu hình cách điện IS-

ILP có thể được bố trí ở mọi vùng cắt ngang được thể hiện trên Fig.10A. Khác với bộ cảm biến đầu vào ISU chứa lớp cách điện thứ nhất IS-IL1 được chồng hoàn toàn lên vùng hiển thị DD-DA và vùng không hiển thị DD-NDA như được thể hiện trên các hình vẽ từ Fig.9 đến Fig.13C, bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa bao gồm các mẫu hình cách điện IS-ILP được bố trí lần lượt ở các vùng cắt ngang.

Theo một phương án làm ví dụ, các mẫu hình cách điện IS-ILP có thể bao gồm vật liệu bao gồm ít nhất một trong số vật liệu nhạy sáng, silic dioxit, titan dioxit, kẽm oxit, silic nitrua, nhôm nitrua, và tantal oxit. Các mẫu hình cách điện IS-ILP có thể chứa vật liệu hữu cơ hoặc vật liệu vô cơ thêm vào vật liệu này.

Phần nổi thứ nhất CP1 được bố trí trên mẫu hình cách điện IS-ILP để nối phần cảm biến thứ nhất SP1. Mặc dù không được thể hiện riêng biệt, lớp cách điện còn có thể được bố trí trên lớp bao kín màng mỏng TFE để che đi các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 (tham chiếu đến Fig.10A) và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 (tham chiếu đến Fig.10A). Lớp cách điện này tương ứng với lớp cách điện thứ hai IS-IL2 được mô tả với tham chiếu đến các hình vẽ từ Fig.9 đến Fig.13C.

Vì lớp cách điện thứ nhất IS-IL1 của bộ cảm biến đầu vào ISU được mô tả với tham chiếu đến các hình vẽ từ Fig.9 đến Fig.13C được thay thế với các mẫu hình cách điện IS-ILP, cấu trúc mặt cắt ngang của vùng đệm NDA-PD có thể được thay đổi. Fig.17C và Fig.17D thể hiện các mặt cắt ngang tương ứng với Fig.12B và Fig.13B. Khác với thành phần được thể hiện trên Fig.12B và Fig.13B, lớp cách điện thứ nhất IS-IL1 bị loại bỏ (tức là, không được bố trí) giữa các đệm giả IS-DPD và phần đệm SL-P và bị loại bỏ khỏi (tức là, không được bố trí) giữa các phần đệm CSL-P và DL-P và các đệm tín hiệu DP-PD.

Fig.18 là hình chiếu bằng thể hiện vùng cắt ngang của bộ cảm biến đầu vào ISU được bao gồm trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.19A là hình chiếu bằng thể hiện vùng cắt ngang của bộ cảm biến đầu vào ISU được

bao gồm trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.19B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.20A là hình chiếu bằng thể hiện vùng cắt ngang của bộ cảm biến đầu vào ISU được bao gồm trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.20B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.21 là hình chiếu bằng thể hiện vùng cắt ngang của bộ cảm biến đầu vào ISU được bao gồm trong thiết bị hiển thị theo một phương án làm ví dụ của sáng chế.

Các hình vẽ từ Fig.18 đến Fig.21 thể hiện vùng cắt ngang khác với vùng cắt ngang được thể hiện trên Fig.10A. Trên các hình vẽ từ Fig.18 đến Fig.21, các mô tả chi tiết về các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.15F sẽ được bỏ qua.

Như được thể hiện trên Fig.18, bộ cảm biến đầu vào ISU có thể bao gồm các phần nối thứ nhất CP1-1 và CP1-2 được bố trí trong một vùng cắt ngang. Theo phương án làm ví dụ được minh họa, hai phần nối thứ nhất CP1-1 và CP1-2 được thể hiện là ví dụ minh họa. Hai phần nối thứ nhất CP1-1 và CP1-2 không cắt phần nối thứ hai CP2.

Hai phần nối thứ nhất CP1-1 và CP1-2 có thể làm giảm điện trở của các điện cực cảm biến tương ứng. Mặc dù một trong số hai phần nối thứ nhất CP1-1 và CP1-2 bị ngắt kết nối, ví dụ bằng tĩnh điện, điện cực cảm biến tương ứng có thể được ngăn ngừa để không bị ngắt. Vì hai phần nối thứ nhất CP1-1 và CP1-2 không cắt phần nối thứ hai CP2, điện dung ký sinh xảy ra ở giữa có thể giảm xuống.

Fig.18 thể hiện điện cực giả quang học DMP-L không được thể hiện trên Fig.10A. Điện cực giả quang học DMP-L được tạo ra thông qua cùng quy trình với các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2, và do đó điện cực giả quang học DMP-L có thể có cùng vật liệu và cùng kết cấu chồng với phần cảm biến thứ nhất và thứ hai SP1 và SP2. Điện cực giả quang học DMP-L dùng làm điện cực nổi và không được nối điện với các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai

SP2. Do điện cực giả quang học DMP-L, độ nhìn thấy của vùng biên giữa các phần cảm biến thứ nhất SP1 và các phần cảm biến thứ hai SP2 có thể giảm xuống. Mặc dù không được thể hiện riêng biệt, điện cực giả quang học DMP-L có thể được áp dụng cho các bộ cảm biến đầu vào khác theo các phương án làm ví dụ khác được mô tả sau đây.

Như được thể hiện trên Fig.19A và Fig.19B, bộ cảm biến đầu vào ISU bao gồm các phần nối thứ nhất CP1-1 và CP1-2 được bố trí trong một vùng cắt ngang. Một hoặc nhiều phần nối thứ nhất CP1-1 và CP1-2 có thể bao gồm nhiều mẫu hình P1, P2, và P3.

Mẫu hình thứ nhất P1 và mẫu hình thứ hai P2 có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 (tham chiếu đến Fig.9), và mẫu hình thứ ba P3 có thể được tạo ra từ lớp dẫn điện thứ hai IS-CL2 (tham chiếu đến Fig.9). Mỗi trong số các mẫu hình thứ nhất và thứ hai P1 và P2 có thể nối điện mẫu hình thứ ba P3 và phần cảm biến thứ nhất SP1 thông qua các lỗ tiếp xúc nối thứ nhất CNT-I.

Khoảng hở SP2-OP được tạo thành qua phần cảm biến thứ hai SP2. Mẫu hình thứ ba P3 được bố trí trong khoảng hở SP2-OP. Các mẫu hình thứ nhất và thứ hai P1 và P2 có thể bao gồm vật liệu có điện trở nhỏ hơn điện trở của mẫu hình thứ ba P3. Mẫu hình thứ ba P3 và các phần cảm biến thứ nhất và thứ hai SP1 và SP2 có thể được tạo ra thông qua cùng quy trình, và do đó mẫu hình thứ ba P3 và các phần cảm biến thứ nhất và thứ hai SP1 và SP2 có thể có cùng kết cấu chông và có cùng vật liệu. Mẫu hình thứ ba P3 và các phần cảm biến thứ nhất và thứ hai SP1 và SP2 có thể bao gồm vật liệu dẫn điện trong suốt. Mẫu hình thứ nhất P1 và mẫu hình thứ hai P2 có thể bao gồm vật liệu kim loại.

Khác với phần nối thứ nhất CP1 kéo dài theo hướng thứ hai DR2 như được thể hiện trên Fig.10A, mẫu hình thứ nhất P1 và mẫu hình thứ hai P2 kéo dài theo hướng xiên cắt với hướng thứ nhất DR1 và hướng thứ hai DR2. Vì nhận thức của người dùng đối với hướng xiên tương đối thấp hơn so với hướng thứ nhất DR1 và hướng thứ hai DR2 do các đặc tính tầm nhìn của người, các mẫu hình thứ nhất và thứ hai P1 và P2

chứa vật liệu kim loại được nhận biết tương đối ít bởi người dùng.

Theo phương án làm ví dụ được minh họa, khoảng hở SP2-OP được tạo thành qua phần cảm biến thứ hai SP2, nhưng khoảng hở SP2-OP có thể được tạo ra trong phần nối thứ hai CP2 theo các phương án làm ví dụ khác. Trong trường hợp này, mẫu hình thứ ba P3 được bố trí trong khoảng hở được tạo thành qua phần nối thứ hai CP2.

Như được thể hiện trên Fig.20A và Fig.20B, phần nối thứ nhất CP1 có thể được nối điện với mỗi trong số các phần cảm biến thứ nhất SP1 thông qua nhiều lỗ tiếp xúc nối thứ nhất CNT-I (sau đây, được gọi là các lỗ tiếp xúc nối thứ nhất). Như được thể hiện trên Fig.20A và Fig. 20B, đầu bên trái của phần nối thứ nhất CP1 được nối điện với phần cảm biến thứ nhất SP1 được bố trí ở đầu bên trái của nó thông qua hai lỗ tiếp xúc nối thứ nhất CNT-I, và đầu bên phải của phần nối thứ nhất CP1 được nối điện với phần cảm biến thứ nhất SP1 được bố trí ở bên phải của nó thông qua hai lỗ tiếp xúc nối thứ nhất CNT-I.

Như được mô tả ở trên, vì phần nối thứ nhất CP1 được nối điện với phần cảm biến thứ nhất SP1 thông qua các lỗ tiếp xúc nối thứ nhất CNT-I, điện trở tiếp xúc có thể giảm xuống. Mỗi tương quan nối giữa phần nối và phần cảm biến thông qua các lỗ tiếp xúc nối có thể được áp dụng cho các phương án làm ví dụ khác của sáng chế.

Khác với phần nối thứ nhất CP1 kéo dài theo hướng thứ hai DR2 như được thể hiện trên Fig.10A, phần nối thứ nhất CP1 được thể hiện trên Fig.21 kéo dài theo hướng nghiêng cắt hướng thứ nhất DR1 và hướng thứ hai DR2 làm giảm độ nhìn rõ. Bộ cảm biến đầu vào ISU còn có thể bao gồm mẫu hình phóng tĩnh điện ESD-P. Fig.21 thể hiện hai mẫu hình phóng tĩnh điện ESD-P làm ví dụ minh họa. Mẫu hình phóng tĩnh điện ESD-P có thể được nối với phần cảm biến thứ hai SP2 thông qua lỗ tiếp xúc nối thứ nhất CNT-I.

Một đầu của mẫu hình phóng tĩnh điện ESD-P có thể chồng lên phần cảm biến thứ nhất SP1. Đỉnh có thể được tạo ra ở một đầu của mẫu hình phóng tĩnh điện ESD-P được xếp chồng lên phần cảm biến thứ nhất SP1 để dễ phóng tĩnh điện. Theo cách khác,

mẫu hình phóng tĩnh điện ESD-P có thể có dạng mũi nhọn, và phần đỉnh của mẫu hình phóng tĩnh điện ESD-P có thể chồng lên phần cảm biến thứ nhất SP1.

Khi được quan sát theo hình chiếu bằng, mẫu hình phóng tĩnh điện ESD-P được bố trí gần hơn với phần cảm biến thứ nhất SP1 so với phần nổi thứ nhất CP1. Theo cách khác, mẫu hình phóng tĩnh điện ESD-P được bố trí xa hơn từ điểm mà phần nổi thứ nhất CP1 cắt phần nổi thứ hai CP2. Tĩnh điện được cảm biến cho đỉnh, và do đó phần nổi thứ nhất CP1 có thể được ngăn ngừa không bị ngắt.

Theo phương án làm ví dụ của sáng chế, mẫu hình phóng tĩnh điện ESD-P có thể được nối với phần cảm biến thứ nhất SP1 thông qua lỗ tiếp xúc nổi thứ nhất CNT-I. Một đầu của mẫu hình phóng tĩnh điện ESD-P, mà đỉnh được tạo ra, có thể chồng lên phần cảm biến thứ hai SP2.

Fig.22A là hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.22B là hình chiếu bằng thể hiện vùng “FF” của bộ cảm biến đầu vào ISU được thể hiện trên Fig.22A. Fig.22C và 22D là các hình vẽ mặt cắt ngang theo đường VIII-VIII’ trên Fig.22B. Fig.22A tương ứng với Fig.10A. Trên các hình vẽ từ Fig.22A đến Fig.22D, các mô tả chi tiết của các thành phần giống nhau như trên Fig.1 đến Fig.15F sẽ được bỏ qua. Sau đây, lớp thành phần mạch DP-CL sẽ được thể hiện đơn giản. Các phương án làm ví dụ được mô tả với tham chiếu đến các hình vẽ từ Fig.16A đến Fig.21 có thể được áp dụng cho bộ cảm biến đầu vào ISU được mô tả sau đây.

Như được thể hiện trên Fig.22A, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có thể có dạng lưới. Vì các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có dạng lưới, điện dung ký sinh giữa các điện cực cảm biến và các điện cực của panen hiển thị DP (tham chiếu đến Fig.9) có thể giảm xuống. Ngoài ra, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 không chồng lên các vùng phát quang PXA-R, PXA-G, và PXA-B, và do đó các điện

cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 không được nhận biết bởi người dùng.

Theo một phương án làm ví dụ, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có dạng lưới có thể bao gồm vật liệu có thể được áp dụng với quy trình nhiệt độ thấp, như bạc, nhôm, đồng, crom, niken, titan, v.v., nhưng chúng không bị giới hạn ở đó hoặc theo cách đó. Mặc dù bộ cảm biến đầu vào ISU được tạo ra bằng quy trình liên tục, điốt phát quang hữu cơ OLED (tham chiếu đến Fig.6) có thể được ngăn chặn để khỏi bị hư hại.

Như được thể hiện trên Fig.22B và Fig.22C, phần cảm biến thứ nhất SP1 chồng lên vùng không phát quang NPXA và không chồng lên các vùng phát quang PXA-R, PXA-G, và PXA-B. Mỗi trong số các vùng phát quang PXA-R, PXA-G, và PXA-B có thể được xác định giống với vùng phát quang PXA được thể hiện trên Fig.6.

Các đường lưới của phần cảm biến thứ nhất SP1 có thể tạo ra các lỗ lưới IS-OPR, IS-OPG, và IS-OPB (sau đây, được gọi là các lỗ lưới). Các đường lưới có thể có cấu trúc ba lớp của titan/nhôm/titan. Các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể tương ứng với các vùng phát quang PXA-R, PXA-G, và PXA-B trong sự tương ứng một-một.

Các vùng phát quang PXA-R, PXA-G, và PXA-B có thể được nhóm thành nhiều nhóm phụ thuộc vào màu ánh sáng được tạo ra bởi điốt phát quang hữu cơ OLED. Fig.22B thể hiện các vùng phát quang PXA-R, PXA-G, và PXA-B được nhóm thành ba nhóm phụ thuộc vào màu phát quang.

Các vùng phát quang PXA-R, PXA-G, và PXA-B có thể có các vùng khác nhau phụ thuộc vào màu ánh sáng được phát ra từ lớp phát quang EML của điốt phát quang hữu cơ OLED. Các vùng trong số các vùng phát quang PXA-R, PXA-G, và PXA-B có thể được xác định phụ thuộc vào kiểu điốt phát quang hữu cơ.

Các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể được nhóm thành nhiều nhóm

có các vùng khác nhau. Các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể được nhóm thành ba nhóm theo các vùng phát quang PXA-R, PXA-G, và PXA-B tương ứng.

Theo phương án được mô tả ở trên, các lỗ lưới IS-OPR, IS-OPG, và IS-OPB lần lượt tương ứng với các vùng phát quang PXA-R, PXA-G, và PXA-B. Tuy nhiên, theo các phương án làm ví dụ khác, mỗi trong số các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể tương ứng với hai hoặc nhiều hơn hai vùng phát quang trong số các vùng phát quang PXA-R, PXA-G, và PXA-B.

Ngoài ra, các vùng phát quang PXA-R, PXA-G, và PXA-B có các vùng khác nhau như được mô tả ở trên. Tuy nhiên, theo các phương án làm ví dụ khác, các vùng phát quang PXA-R, PXA-G, và PXA-B có thể có cùng kích thước, và các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể có cùng kích thước. Hình dạng của các lỗ lưới IS-OPR, IS-OPG, và IS-OPB khi được quan sát theo hình chiếu bằng không bị giới hạn với Fig.22B. Tức là, các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể có dạng tứ giác khác với dạng hình thoi, chẳng hạn. Hình dạng của các lỗ lưới IS-OPR, IS-OPG, và IS-OPB có thể có dạng tứ giác có góc đầu tròn khi được quan sát theo hình chiếu bằng, chẳng hạn.

Như được thể hiện trên Fig.22D, phần cảm biến thứ nhất SP1 theo phương án làm ví dụ của sáng chế có thể có cấu trúc đa lớp. Phần cảm biến thứ nhất SP1 có thể bao gồm lớp oxit dẫn điện trong suốt SP-T và lớp đường lưới SP-M, được xếp chồng liên tiếp (tiếp xúc với nhau). Lớp oxit dẫn điện trong suốt SP-T có thể chồng lên các vùng phát quang PXA-R, PXA-G, và PXA-B (tham chiếu đến Fig.22B). Thứ tự xếp chồng của lớp oxit dẫn điện trong suốt SP-T và lớp đường lưới SP-M không bị giới hạn ở đó hoặc theo cách đó. Mặc dù không được thể hiện trong các hình vẽ, các mẫu hình dẫn điện khác được tạo ra từ lớp dẫn điện thứ hai IS-CL2, ví dụ, các phần cảm biến thứ hai SP2 (tham chiếu đến Fig.10A và Fig.22A) và các phần nổi thứ hai CP2 (tham chiếu đến Fig.10A và Fig.22A), có thể có cùng kết cấu chồng như phần cảm biến thứ nhất SP1.

Các hình vẽ từ Fig.23A đến Fig.23F là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Trên các hình vẽ từ Fig.23A đến Fig.23F, các mô tả chi tiết của cùng các thành phần như trên các hình vẽ từ Fig.1 đến Fig.15F sẽ được bỏ qua. Các phương án làm ví dụ được mô tả với tham chiếu đến các hình vẽ từ Fig.16A đến Fig.22D có thể được áp dụng cho bộ cảm biến đầu vào ISU được mô tả sau đây.

Các hình vẽ từ Fig.23A đến Fig.23F thể hiện các hình vẽ mặt cắt ngang tương ứng với Fig.22C. Theo phương án làm ví dụ được minh họa, điện cực cảm biến có dạng lưới được thể hiện dưới dạng ví dụ minh họa, nhưng hình dạng của điện cực cảm biến không bị giới hạn với dạng lưới. Các hình vẽ từ Fig.23A đến Fig.23C thể hiện cụ thể bộ chống phản xạ có dạng “lớp” được mô tả với tham chiếu đến các hình vẽ từ Fig.2A đến Fig.2F.

Tham chiếu đến Fig.23A, bộ chống phản xạ RPU bao gồm ma trận đen BM và các bộ lọc màu CF, được bố trí ngay trên lớp cách điện thứ hai IS-IL2. Ma trận đen BM lần lượt chồng lên vùng không phát quang NPXA, và các bộ lọc màu CF chồng lên các vùng phát quang PXA. Các bộ lọc màu CF chứa nhiều nhóm bộ lọc màu. Theo một phương án làm ví dụ, các bộ lọc màu CF có thể bao gồm các bộ lọc màu đỏ, các bộ lọc màu xanh lục, và các bộ lọc màu xanh lam, chẳng hạn. Tuy nhiên, sáng chế không bị giới hạn ở đó, và các bộ lọc màu CF có thể có bộ lọc màu xám, chẳng hạn.

Theo phương án làm ví dụ được minh họa, ma trận đen BM bao gồm vật liệu để chặn sáng. Theo một phương án làm ví dụ, ma trận đen BM có thể bao gồm vật liệu hữu cơ có tỷ lệ hấp thụ ánh sáng cao, chẳng hạn. Ma trận đen BM có thể chứa thuốc nhuộm hoặc chất nhuộm đen. Theo một phương án làm ví dụ, ma trận đen BM chứa vật liệu hữu cơ nhạy sáng, ví dụ, thuốc nhuộm hoặc chất nhuộm có màu. Ma trận đen BM có thể có cấu trúc đơn lớp hoặc cấu trúc đa lớp.

Ma trận đen BM và các bộ lọc màu CF có thể tạo ra sự chênh lệch bậc. Phụ thuộc vào thứ tự tạo ra ma trận đen BM và các bộ lọc màu CF, ma trận đen BM có thể

che đi phần của các bộ lọc màu CF, hoặc các bộ lọc màu CF có thể che đi các phần của ma trận đen BM. Các bộ lọc màu CF có thể chồng lên nhau trong khu vực mà chồng lên ma trận đen BM.

Các bộ lọc màu CF không những truyền sáng được tạo ra bởi các điôt phát quang hữu cơ OLED mà còn giảm độ phản xạ của ánh sáng (sau đây, được gọi là “ánh sáng bên ngoài”) đến đó từ nguồn bên ngoài (không được thể hiện). Lượng ánh sáng bên ngoài giảm xuống đến khoảng 1/3 trong khi truyền qua các bộ lọc màu CF. Một phần của ánh sáng bên ngoài truyền qua các bộ lọc màu CF không còn nữa, và phần còn lại của ánh sáng bên ngoài được phản xạ bởi các thành phần, ví dụ, lớp thành phần hiển thị DP-OLED và lớp bao kín màng mỏng TFE, được bố trí dưới bộ lọc màu CF. Ánh sáng phản xạ lại tới các bộ lọc màu CF. Độ sáng của ánh sáng phản xạ giảm xuống khi ánh sáng phản xạ truyền qua các bộ lọc màu CF. Do đó, chỉ một phần của ánh sáng bên ngoài được phản xạ bởi thiết bị hiển thị. Tức là, độ phản xạ của ánh sáng bên ngoài giảm xuống.

Tham chiếu đến Fig.23B, bộ chống phản xạ RPU có thể bao gồm các lớp chứa kim loại ML1 và ML2 chồng lên vùng hiển thị DD-DA (tham chiếu đến Fig.22A) và vùng không hiển thị DD-NDA (tham chiếu đến Fig.22A) và các lớp điện môi IL1 và IL2 chồng lên vùng hiển thị DD-DA và vùng không hiển thị DD-NDA. Theo một phương án làm ví dụ, bộ chống phản xạ RPU bao gồm hai lớp chứa kim loại ML1 và ML2 và hai lớp điện môi IL1 và IL2. Các lớp chứa kim loại ML1 và ML2 tương ứng với lớp phản xạ, và các lớp điện môi điều khiển điều kiện giao thoa giảm.

Các lớp chứa kim loại ML1 và ML2 có thể được chồng xen kẽ với lớp điện môi IL1 và IL2. Tuy nhiên, thứ tự xếp chồng của các lớp chứa kim loại ML1 và ML2 và các lớp điện môi IL1 và IL2 không nên được giới hạn cụ thể. Lớp chứa kim loại thứ nhất ML1 trong số các lớp chứa kim loại ML1 và ML2 có thể chứa vật liệu kim loại có tỷ lệ hấp thụ khoảng 30% hoặc lớn hơn. Lớp chứa kim loại thứ nhất ML1 có thể là vật liệu có chỉ số khúc xạ (n) nằm trong khoảng từ 1,5 đến 1,7 và hệ số hấp thụ (k) nằm trong

khoảng từ 1,5 đến 7. Lớp chứa kim loại thứ nhất ML1 có thể bao gồm một hoặc nhiều trong số crom (Cr), molybden (Mo), vonfram (W), titan (Ti), niken (Ni), coban (Co), đồng oxit (CuO), titan nitrua (TiN_x), và niken sulfua (NiS). Lớp chứa kim loại thứ nhất ML1 có thể, nhưng không bị giới hạn với, lớp kim loại bao gồm một trong số các vật liệu kim loại nêu trên. Lớp chứa kim loại thứ hai ML2 trong số các lớp chứa kim loại ML1 và ML2 có thể chứa các vật liệu kim loại.

Theo một phương án làm ví dụ, các lớp điện môi thứ nhất và thứ hai IL1 và IL2 trong số các lớp điện môi IL1 và IL2 có thể bao gồm ít nhất một trong số silic oxit (SiO₂), titan oxit (TiO₂), lithi florua (LiF), canxi florua (CaF₂), magiê florua (MgF₂), silic nitrua (SiN_x), tantal oxit (Ta₂O₅), niobi oxit (Nb₂O₅), silic carbon nitrua (SiCN), molybden oxit (MoO_x), sắt oxit (FeO_x), và crom oxit (CrO_x), chẳng hạn.

Một phần của ánh sáng OIL tới từ bên ngoài được phản xạ bởi lớp chứa kim loại thứ nhất ML1 (sau đây, ánh sáng phản xạ bởi lớp chứa kim loại thứ nhất ML1 sẽ được gọi là “ánh sáng phản xạ thứ nhất RL1”), và phần còn lại của ánh sáng OIL tới từ bên ngoài được phản xạ bởi lớp chứa kim loại thứ hai ML2 (sau đây, ánh sáng phản xạ bởi lớp chứa kim loại thứ hai ML2 sẽ được gọi là “ánh sáng phản xạ thứ hai RL2”). Lớp điện môi thứ nhất IL1 điều khiển pha của ánh sáng truyền qua lớp điện môi thứ nhất IL1 sao cho sự lệch pha giữa ánh sáng phản xạ thứ nhất RL1 và ánh sáng phản xạ thứ hai RL2 khoảng 180 độ. Theo đó, ánh sáng phản xạ thứ nhất RL1 và ánh sáng phản xạ thứ hai RL2 giao thoa giảm với nhau.

Độ dày và vật liệu của lớp chứa kim loại thứ nhất ML1, lớp chứa kim loại thứ hai ML2, lớp điện môi thứ nhất IL1, và lớp điện môi thứ hai IL2 có thể được chọn để thỏa mãn điều kiện là ánh sáng phản xạ thứ nhất RL1 và ánh sáng phản xạ thứ hai RL2 giao thoa giảm với nhau.

Tham chiếu đến Fig.23C, bộ chống phản xạ RPU có thể bao gồm các tinh thể lỏng được đóng thẳng theo hướng định trước. Theo một phương án làm ví dụ, bộ chống phản xạ RPU có thể có lớp tinh thể lỏng dạng tấm có góc nghiêng theo một hướng,

chẳng hạn. Bộ chống phản xạ RPU có thể có chức năng của kính phân cực. Bộ chống phản xạ RPU có thể bao gồm các lớp tinh thể lỏng.

Các bộ chống phản xạ RPU nêu trên được bố trí trực tiếp trên bộ cảm biến đầu vào ISU, nhưng thứ tự xếp chồng của các bộ chống phản xạ RPU có thể được thay đổi.

Fig.23D thể hiện cụ thể lớp cảm biến đầu vào ISL-1 có chức năng của bộ chống phản xạ được mô tả với tham chiếu đến Fig.2E. Lớp cách điện thứ hai IS-IL2 có thể bao gồm ma trận đen BM và các bộ lọc màu CF. Theo phương án làm ví dụ của sáng chế, không phải là lớp cách điện thứ hai IS-IL2 mà là lớp cách điện thứ nhất IS-IL1 có thể bao gồm ma trận đen BM và các bộ lọc màu CF. Các mô tả chi tiết về ma trận đen BM và các bộ lọc màu CF như được mô tả với tham chiếu đến Fig.23A.

Fig.23E thể hiện cụ thể panen hiển thị DP-1 có chức năng của bộ chống phản xạ được mô tả với tham chiếu đến Fig.2F. Như được thể hiện trên Fig.23E, lớp hữu cơ bao kín OL được chứa trong lớp bao kín màng mỏng TFE có thể bao gồm ma trận đen BM, các bộ lọc màu CF, và lớp phẳng hóa FL. Sự bố trí giữa ma trận đen BM và các bộ lọc màu CF có thể giống với lớp chống phản xạ RPL được thể hiện trên Fig.23A, và do đó các chi tiết của chúng sẽ được bỏ qua. Lớp phẳng hóa FL làm phẳng bề mặt trên mà sự chên lệch bậc xảy ra bởi ma trận đen BM và các bộ lọc màu CF để tạo ra bề mặt trên được làm phẳng. Lớp phẳng hóa FL có thể là, nhưng không bị giới hạn với, lớp đơn phân hữu cơ.

Trong thiết bị hiển thị kiểu phát quang bề mặt trước, ma trận đen BM và các bộ lọc màu CF có thể thay thế lớp hữu cơ của panen hiển thị, lớp hữu cơ của bộ cảm biến đầu vào, hoặc lớp hữu cơ của bộ cửa sổ như Fig.23E. Lớp hữu cơ của panen hiển thị, lớp hữu cơ của bộ cảm biến đầu vào, và lớp hữu cơ của bộ cửa sổ được bố trí trên lớp thành phần hiển thị DP-OLED. Do đó, panen hiển thị, bộ cảm biến đầu vào, hoặc bộ cửa sổ có chức năng chống phản xạ.

Trong panen hiển thị DP-1 được thể hiện trên Fig.23F, lớp phẳng hóa FL có thể được loại bỏ so với panen hiển thị DP-1 được thể hiện trên Fig.23E. Lớp cách điện thứ

nhất IS-IL1 có thể bao gồm vật liệu hữu cơ và làm phẳng bề mặt trên mà sự chênh lệch bậc xảy ra ma trận đen BM và các bộ lọc màu CF để tạo ra bề mặt trên được làm phẳng.

Fig.24A là hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.24B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.24C là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Trên Fig.24A đến Fig.24C, các mô tả chi tiết về các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.15F sẽ được bỏ qua. Các phương án làm ví dụ được mô tả với tham chiếu đến Fig.22A đến Fig.23F có thể được áp dụng cho thiết bị hiển thị DD được mô tả sau đây.

Fig.24A thể hiện hình chiếu bằng tương ứng với Fig.10A, và Fig.24B thể hiện hình vẽ mặt cắt ngang tương ứng với Fig.14E. Theo phương án làm ví dụ được minh họa, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 (tham chiếu đến Fig.9), và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được tạo ra từ lớp dẫn điện thứ hai IS-CL2 (tham chiếu đến Fig.9). Theo đó, các lỗ tiếp xúc nổi thứ nhất CNT-I được mô tả với tham chiếu đến Fig.11A đến Fig.11C có thể được loại bỏ. Phương pháp điều khiển của bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa không bị giới hạn cụ thể, và đầu vào bên ngoài có thể được nhận biết bằng phương pháp điện dung tương hỗ và/hoặc phương pháp điện dung riêng.

Các đường tín hiệu thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể giống như chúng được mô tả với tham chiếu đến Fig.11A đến Fig.13C. Theo phương án làm ví dụ của sáng chế, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 có thể chỉ có các phần đường dẫn thứ nhất SL1-11 đến SL1-51 được tạo ra bởi lớp dẫn điện thứ nhất IS-CL1, và các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể chỉ gồm các phần đường dẫn thứ hai SL2-12 đến SL2-42 được tạo ra bởi lớp dẫn điện thứ hai IS-CL2.

Theo phương án làm ví dụ của sáng chế, lớp dẫn điện thứ nhất IS-CL1 (tham

chiếu đến Fig.9) và lớp dẫn điện thứ hai IS-CL2 (tham chiếu đến Fig.9) chứa polyme dẫn điện, và lớp cách điện thứ nhất IS-IL1 (tham chiếu đến Fig.9) và lớp cách điện thứ hai IS-IL2 (tham chiếu đến Fig.9) chứa polyme cách điện. Trong trường hợp mà lớp dẫn điện thứ nhất IS-CL1, lớp dẫn điện thứ hai IS-CL2, lớp cách điện thứ nhất IS-IL1, và lớp cách điện thứ hai IS-IL2 có tính dẫn điện khác nhau và chứa polyme, lớp dẫn điện thứ nhất IS-CL1, lớp dẫn điện thứ hai IS-CL2, lớp cách điện thứ nhất IS-IL1, và lớp cách điện thứ hai IS-IL2 có thể được tạo ra bởi quy trình liên tục trong cùng buồng, và do đó thời gian chế tạo có thể được rút ngắn. Ngoài ra, vì polyme này có mô đun đàn hồi nhỏ, polyme có thể được đặt vào thiết bị hiển thị dẻo.

Fig.24C thể hiện hình vẽ mặt cắt ngang theo đường IX-IX' trên Fig.24A. Fig.24C thể hiện lớp cách điện thứ nhất IS-IL1 mà bố trí bề mặt phẳng trên làm ví dụ minh họa, nhưng lớp cách điện thứ nhất IS-IL1 có thể có sự chênh lệch bậc. Theo phương án làm ví dụ được minh họa, sự chênh lệch trong độ phản xạ giữa các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được bố trí trên lớp khác với lớp của điện cực cảm biến thứ nhất IE1-1 đến IE1-5 có thể giảm xuống bằng cách điều khiển chỉ số khúc xạ của lớp cách điện thứ nhất IS-IL1 và chỉ số khúc xạ của lớp cách điện thứ hai IS-IL2.

Lớp cách điện thứ nhất IS-IL1 có thể có chỉ số khúc xạ giống với chỉ số khúc xạ của các điện cực cảm biến thứ nhất IE1-1 đến IE1-5. Lớp cách điện thứ hai IS-IL2 cần thiết có chỉ số khúc xạ nhỏ hơn chỉ số khúc xạ của lớp cách điện thứ nhất IS-IL1. Theo một phương án làm ví dụ, trong trường hợp mà các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 là điện cực ITO, lớp cách điện thứ nhất IS-IL1 có chỉ số khúc xạ nằm trong khoảng từ 1,7 đến 1,8 tương ứng với ánh sáng có bước sóng khoảng 550 nanomet (nm), và lớp cách điện thứ hai IS-IL2 có thể có chỉ số khúc xạ nằm trong khoảng từ chỉ số khúc xạ của không khí và chỉ số khúc xạ của lớp cách điện thứ nhất IS-IL1, ví dụ, nằm trong khoảng từ 1,5 đến 1,65, chẳng hạn.

Như được mô tả ở trên, vì các lớp cách điện thứ nhất và thứ hai IS-IL1 và IS-

IL2 có các chỉ số khúc xạ khác nhau được bố trí trên điện cực cảm biến, độ phản xạ của ánh sáng bên ngoài có thể giảm xuống, và sự chênh lệch trong độ phản xạ giữa các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được bố trí trên lớp khác với lớp của điện cực cảm biến thứ nhất IE1-1 đến IE1-5 có thể giảm xuống.

Fig.25A và Fig.25B là các hình chiếu bằng thể hiện một phần của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.25C là hình vẽ mặt cắt ngang theo đường X-X' trên Fig.25A và Fig.25B. Trên Fig. 25A đến 25C, các mô tả chi tiết về các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.15F sẽ được bỏ qua. Các phương án làm ví dụ được mô tả với tham chiếu đến Fig.22A đến Fig.24C có thể được áp dụng cho thiết bị hiển thị DD được mô tả sau đây.

Trong bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa, giống với bộ cảm biến đầu vào ISU được thể hiện trên Fig.24A và Fig.24B, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 (tham chiếu đến Fig.9), và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được tạo ra từ lớp dẫn điện thứ hai IS-CL2 (tham chiếu đến Fig.9). Khác với bộ cảm biến đầu vào ISU được thể hiện trên Fig.24A và Fig.24B, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có dạng lưới. Theo một phương án làm ví dụ, các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có cấu trúc ba lớp của titan/nhôm/titan, chẳng hạn.

Bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa cũng có thể bao gồm các điện cực giả thứ nhất DMP1 được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 và các điện cực giả thứ hai DMP2 được tạo ra từ lớp dẫn điện thứ hai IS-CL2. Các điện cực giả thứ nhất DMP1 được nối với phần cảm biến thứ hai SP2 của các điện cực cảm biến thứ hai IE2-1 đến IE2-4 thông qua các lỗ tiếp xúc nối thứ ba CNT-D. Các điện cực giả thứ hai DMP2 được nối với các phần cảm biến thứ nhất SP1 của các điện cực cảm

biến thứ nhất IE1-1 đến IE1-5 thông qua các lỗ tiếp xúc nổi thứ ba CNT-D. Các điện cực giả thứ nhất DMP1 và các điện cực giả thứ hai DMP2 có thể làm giảm điện trở của các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các điện cực cảm biến thứ hai IE2-1 đến IE2-4.

Theo phương án làm ví dụ được minh họa, các điện cực giả thứ nhất DMP1 có cùng kết cấu chồng và vật liệu với các điện cực cảm biến thứ nhất IE1-1 đến IE1-5, nhưng các điện cực giả thứ nhất DMP1 có thể có kết cấu và vật liệu khác với điện cực cảm biến thứ nhất IE1-1 đến IE1-5 theo các phương án làm ví dụ. Theo một phương án làm ví dụ, các điện cực giả thứ nhất DMP1 có thể chứa oxit dẫn điện trong suốt và có hình dạng (hình dạng được xếp chồng lên vùng phát quang PXA-R, PXA-G, và PXA-B) giống với hình dạng của phần cảm biến thứ hai của các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được thể hiện trên Fig.24A, chẳng hạn. Mặc dù không được thể hiện riêng biệt, các bộ cảm biến đầu vào ISU được mô tả với tham chiếu đến Fig.10A đến Fig.23F cũng có thể bao gồm các điện cực giả được tạo ra từ lớp dẫn điện thứ nhất IS-CL1. Mỗi trong số các điện cực giả có thể chồng lên phần cảm biến tương ứng giữa các phần cảm biến thứ nhất và các phần cảm biến thứ hai.

Fig.26A là hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.26B là hình chiếu bằng thể hiện lớp dẫn điện thứ nhất IS-CL1 của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.26C là hình chiếu bằng thể hiện lớp dẫn điện thứ hai IS-CL2 của bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Trên Fig.26A đến Fig.26C, các mô tả chi tiết của các thành phần giống với thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.15F sẽ được bỏ qua. Các phương án làm ví dụ được mô tả với tham chiếu đến Fig.22A đến Fig.25C có thể được áp dụng cho thiết bị hiển thị DD được mô tả sau đây.

Như được thể hiện trên Fig.26A, bộ cảm biến đầu vào ISU có thể bao gồm các điện cực cảm biến thứ nhất IE1-1 đến IE1-4, các đường tín hiệu thứ nhất SL1-1 đến

SL1-4 được nối với các điện cực cảm biến thứ nhất IE1-1 đến IE1-4, các điện cực cảm biến thứ hai IE2-1 đến IE2-4, và các đường tín hiệu thứ hai SL2-1 đến SL2-3 được nối với các điện cực cảm biến thứ hai IE2-1 đến IE2-4. Phương pháp điều khiển của bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa không nên bị giới hạn cụ thể, và đầu vào bên ngoài có thể được nhận biết bằng phương pháp điện dung tương hỗ và/hoặc phương pháp điện dung riêng.

Mỗi trong số các điện cực cảm biến thứ nhất IE1-1 đến IE1-4 có hình dạng kéo dài theo hướng thứ hai DR2. Các điện cực cảm biến thứ nhất IE1-1 đến IE1-4 được bố trí theo hướng thứ nhất DR1. Các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được bố trí xen kẽ với các điện cực cảm biến thứ nhất IE1-1 đến IE1-4. Các điện cực cảm biến thứ hai IE2-1 đến IE2-3 gồm các phần cảm biến IE-1 đến IE-3. Trên Fig.26A, các điện cực cảm biến thứ hai IE2-1 đến IE2-4 bao gồm ba phần cảm biến IE-1 đến IE-3 được bố trí theo hướng thứ hai DR2 được thể hiện dưới dạng ví dụ minh họa.

Các đường tín hiệu thứ hai SL2-1 đến SL2-3 nối điện các phần cảm biến tương ứng của các điện cực cảm biến thứ hai IE2-1 đến IE2-4. Các phần cảm biến thứ nhất IE-1 của các điện cực cảm biến thứ hai IE2-1 đến IE2-4 được nối với một đường tín hiệu SL2-1 trong số các đường tín hiệu thứ hai SL2-1 đến SL2-3.

Như được thể hiện trên Fig.26B, các điện cực cảm biến thứ nhất IE1-1 đến IE1-4, các điện cực cảm biến thứ hai IE2-1 đến IE2-4, và các phần đường dẫn thứ nhất SL2-11 đến SL2-31 của các đường tín hiệu thứ hai SL2-1 đến SL2-3 có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1. Mặc dù lớp cách điện thứ nhất IS-IL1 (tham chiếu đến Fig.9) không được thể hiện trên Fig.26B, các lỗ tiếp xúc nối thứ hai CNT-S và các lỗ tiếp xúc nối thứ nhất CNT-IS có thể được tạo thành qua lớp cách điện thứ nhất IS-IL1.

Như được thể hiện trên Fig.26C, các đường tín hiệu thứ nhất SL1-1 đến SL1-4 có thể được tạo ra từ lớp dẫn điện thứ hai IS-CL2, và các phần đường dẫn thứ hai SL2-12 đến SL2-32 của các đường tín hiệu thứ hai SL2-1 đến SL2-3 và các phần đệm SL-P được nối với phần đường dẫn thứ hai SL2-12 đến SL2-32 có thể được bố trí. Các phần

đường dẫn thứ hai SL2-12 đến SL2-32 của các đường tín hiệu thứ hai SL2-1 đến SL2-3 được nối lần lượt với các phần đường dẫn thứ nhất SL2-11 đến SL2-31 của các đường tín hiệu thứ hai SL2-1 đến SL2-3 thông qua các lỗ tiếp xúc nối thứ hai CNT-S. Các đường tín hiệu thứ nhất SL1-1 đến SL1-4 được nối lần lượt với các điện cực cảm biến thứ nhất IE1-1 đến IE1-4 thông qua các lỗ tiếp xúc nối thứ nhất CNT-IS.

Như được mô tả với tham chiếu đến Fig.26A đến Fig.26C, các điện cực cảm biến được bố trí trong cùng lớp, và một số các đường tín hiệu có thể được bố trí trên lớp khác với các điện cực cảm biến. Vùng đệm NDA-PD của bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa có thể có cùng cấu trúc mặt cắt ngang như trên các hình vẽ từ Fig.12A đến Fig.13C.

Fig.27A là hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Fig.27B là hình chiếu bằng thể hiện khối cảm biến theo một phương án làm ví dụ của sáng chế. Fig.27C là hình chiếu bằng thể hiện bộ cảm biến đầu vào theo một phương án làm ví dụ của sáng chế.

Như được thể hiện trên Fig.27A, bộ cảm biến đầu vào ISU bao gồm các điện cực cảm biến thứ nhất IE1, các điện cực cảm biến thứ hai IE2-1 đến IE2-3, và các đường tín hiệu SL1 đến SL4. Bộ cảm biến đầu vào ISU bao gồm các khối cảm biến SB được bố trí trong vùng hiển thị DD-DA. Các khối cảm biến SB có thể tạo ra các cột cảm biến ISC1 đến ISC6 hoặc các hàng cảm biến ISL1 đến ISL3. Mỗi trong số các cột cảm biến ISC1 đến ISC6 có thể bao gồm các khối cảm biến SB được bố trí theo hướng cột, tức là, hướng thứ nhất DR1 trên Fig.27A. Các cột cảm biến ISC1 đến ISC6 được bố trí theo hướng hàng, tức là, hướng thứ hai DR2 trên Fig.27A. Trên Fig.27A, các khối cảm biến SB được bố trí trong dạng ma trận, nhưng việc bố trí các khối cảm biến SB không bị giới hạn với dạng ma trận.

Như được thể hiện trên Fig.27B, mỗi trong số các khối cảm biến SB bao gồm điện cực cảm biến thứ nhất IE1 và i (“ i ” là số tự nhiên bằng hoặc lớn hơn 2) điện cực cảm biến thứ hai IE2-1 đến IE2- i được bố trí liền kề với điện cực cảm biến thứ nhất

IE1 và được bố trí theo hướng định trước. Fig.27B thể hiện i số lượng các điện cực cảm biến thứ hai IE2-1 đến IE2- i . i điện cực cảm biến thứ hai IE2-1 đến IE2- i tạo ra một nhóm cảm biến. Hướng mà các điện cực cảm biến thứ hai IE2-1 đến IE2- i được bố trí có thể gần giống với hướng mà điện cực cảm biến thứ nhất IE1 kéo dài.

Ở đây, số lượng các điện cực cảm biến thứ nhất được chứa trong khối cảm biến SB được xác định bằng số lượng các điện cực cảm biến thứ nhất được cách điện với nhau. Mặc dù khối cảm biến SB bao gồm hai mẫu hình dẫn điện, hai mẫu hình dẫn điện được nối điện với nhau bằng đường tín hiệu được xác định là một điện cực cảm biến thứ nhất. Điều này có thể được áp dụng cho điện cực cảm biến thứ hai. Tức là, i điện cực cảm biến thứ hai IE2-1 đến IE2- i được thể hiện trên Fig.27B được tách điện với nhau.

Sau đây, số thứ tự của các cột cảm biến ISC1 đến ISC6 tăng lên từ trái sang phải, số thứ tự của các hàng cảm biến ISL1 đến ISL3 tăng lên từ đỉnh xuống đáy, và số thứ tự của i điện cực cảm biến thứ hai IE2-1 đến IE2- i tăng lên từ đỉnh xuống đáy. Theo một phương án làm ví dụ, trong số các cột cảm biến ISC1 đến ISC6, cột cảm biến ISC1 được đặt ở vị trí cực trái được gọi là “cột cảm biến thứ nhất ISC1”, và cột cảm biến ISC6 được đặt ở vị trí cực phải được gọi là “cột cảm biến thứ sáu ISC6”, chẳng hạn.

Khi các điện cực cảm biến thứ hai IE2-1 đến IE2- i thu tín hiệu cảm biến (hoặc tín hiệu truyền) được sử dụng để nhận biết đầu vào bên ngoài, điện cực cảm biến thứ nhất IE1 được ghép nối điện dung với điện cực cảm biến thứ hai IE2-1 đến IE2- i . Khi bộ đầu vào được bố trí trên điện cực cảm biến thứ hai riêng biệt giữa các điện cực cảm biến thứ hai IE2-1 đến IE2- i được ghép nối điện dung, điện dung giữa điện cực cảm biến thứ nhất IE1 và điện cực cảm biến thứ hai được thay đổi. Mạch cảm biến đầu vào IS-C (tham chiếu đến Fig.4A) cảm biến điện dung được thay đổi từ điện cực cảm biến thứ hai riêng biệt để tính toán thông tin tọa độ của bộ đầu vào.

Theo phương án làm ví dụ của sáng chế, điện cực cảm biến thứ nhất IE1 có thể thu tín hiệu cảm biến để nhận biết đầu vào bên ngoài, và trong trường hợp này, mạch

cảm biến đầu vào IS-C cảm biến điện dung được thay đổi từ điện cực cảm biến thứ hai riêng biệt để tính toán thông tin tọa độ của bộ đầu vào.

Mối tương quan nối giữa các khối cảm biến SB và các đường tín hiệu SL1 đến SL4 sẽ được mô tả tham chiếu lại Fig.27A. Cột cảm biến thứ nhất ISC1 và cột cảm biến thứ hai ISC2 sẽ được mô tả chủ yếu liên quan đến mối tương quan nối giữa các khối cảm biến SB và các đường tín hiệu SL1 đến SL4.

Các đường tín hiệu SL1 đến SL4 bao gồm các đường tín hiệu thứ nhất SL1, các đường tín hiệu thứ hai SL2, các đường tín hiệu thứ ba SL3, và các đường tín hiệu thứ tư SL4. Các đường tín hiệu thứ nhất SL1 được nối lần lượt với điện cực cảm biến thứ nhất IE1 trong số các khối cảm biến SB của cột cảm biến thứ nhất ISC1. Các đường tín hiệu thứ nhất SL1 có thể bao gồm phần đường dẫn và phần đệm SL-P được nối với một đầu của phần đường dẫn. Phần đường dẫn có thể được tạo ra bởi một phần của mỗi trong số các đường tín hiệu thứ nhất SL1 trừ phần đệm SL-P của mỗi trong số các đường tín hiệu thứ nhất SL1. Các phần đệm SL-P của các đường tín hiệu thứ nhất SL1 có thể được đóng thẳng trong vùng không hiển thị DD-NDA.

Các đường tín hiệu thứ hai SL2 nối điện cực cảm biến thứ hai thứ j (" j " là số tự nhiên bằng hoặc lớn hơn 1 và bằng hoặc nhỏ hơn " i ") trong số i điện cực cảm biến thứ hai được bố trí trong khối cảm biến thứ n của các khối cảm biến SB của cột cảm biến đến điện cực cảm biến thứ hai thứ $(i-j+1)$ trong số i điện cực cảm biến thứ hai được bố trí trong khối cảm biến thứ $(n+1)$ của các khối cảm biến SB của cột cảm biến. Sau đây, ba đường tín hiệu thứ hai SL2-1, SL2-2, và SL2-3 tương ứng với cột cảm biến thứ nhất ISC1 sẽ được mô tả chi tiết.

Một đường tín hiệu thứ hai SL2-1 nối điện cực cảm biến thứ hai thứ nhất IE2-1 của khối cảm biến thứ nhất SB, điện cực cảm biến thứ hai thứ ba IE2-3 của khối cảm biến thứ hai SB, và điện cực cảm biến thứ hai thứ nhất IE2-1 của khối cảm biến thứ ba SB. Đường tín hiệu thứ hai khác SL2-2 nối các điện cực cảm biến thứ hai thứ hai IE2-2 của các khối cảm biến SB thứ nhất đến thứ ba. Đường tín hiệu thứ hai SL2-3 khác nối

điện cực cảm biến thứ hai thứ ba IE2-3 của khối cảm biến thứ nhất SB, điện cực cảm biến thứ hai thứ nhất IE2-1 của khối cảm biến thứ hai SB, và điện cực cảm biến thứ hai thứ ba IE2-3 của khối cảm biến thứ ba SB.

Các đường tín hiệu thứ hai SL2 tương ứng với cột cảm biến thứ nhất ISC1 có thể được nối với các đường tín hiệu thứ hai SL2 tương ứng với cột cảm biến thứ hai ISC2 thông qua các đường tín hiệu thứ ba SL3. Các đường tín hiệu thứ hai SL2 có thể được nối với đường tín hiệu thứ ba tương ứng thông qua các lỗ tiếp xúc nối thứ hai CNT-S.

Các đường tín hiệu thứ ba SL3 có thể được tạo ra cùng số lượng với số lượng của các bộ cảm biến thứ hai được bố trí trong một khối cảm biến. Tức là, i đường tín hiệu thứ ba SL3 có thể được bố trí. Theo phương án làm ví dụ được minh họa, ba đường tín hiệu thứ ba SL3 được thể hiện.

Một đường tín hiệu thứ hai SL2-1 tương ứng với cột cảm biến thứ nhất ISC1 và một đường tín hiệu thứ hai SL2-1 tương ứng với cột cảm biến thứ hai ISC2 được nối với nhau bằng một đường tín hiệu thứ ba SL3 trong số ba đường tín hiệu thứ ba SL3. Đường tín hiệu thứ hai khác SL2-2 tương ứng với cột cảm biến thứ nhất ISC1 và đường tín hiệu thứ hai khác SL2-2 tương ứng với cột cảm biến thứ hai ISC2 được nối với nhau bằng đường tín hiệu thứ ba khác SL3 trong số ba đường tín hiệu thứ ba SL3. Các điện cực cảm biến tương ứng thứ hai IE2-1 đến IE2-3 được bố trí trong các cột cảm biến ISC1 đến ISC6 được nối điện với nhau bởi đường tín hiệu thứ ba SL3.

Các đường tín hiệu thứ tư SL4 có thể được tạo ra với cùng số lượng với số lượng các đường tín hiệu thứ ba SL3. Tức là, i đường tín hiệu thứ tư SL4 được bố trí. i đường tín hiệu thứ tư SL4 có thể được nối với i đường tín hiệu thứ ba SL3 thông qua các lỗ tiếp xúc nối thứ hai CNT-S trong sự tương ứng một-một.

Trong bộ cảm biến đầu vào ISU được thể hiện trên Fig.27C, mỗi tương quan nối giữa các đường tín hiệu SL1 đến SL4 và các điện cực cảm biến thứ nhất và thứ hai IE1 và IE2-1 đến IE2-3 khác với các điện cực cảm biến của bộ cảm biến đầu vào ISU được

thể hiện trên Fig.27A.

Các đường tín hiệu thứ nhất SL1 tương ứng với cột cảm biến thứ nhất ISC1 có thể được nối với đường tín hiệu thứ nhất SL1 tương ứng với cột cảm biến thứ hai ISC2 thông qua các đường tín hiệu thứ ba SL3. Các đường tín hiệu thứ ba SL3 có thể được bố trí cùng số lượng với số lượng các điện cực cảm biến thứ nhất IE1 được bố trí trong một cột cảm biến. Theo phương án làm ví dụ được minh họa, ba đường tín hiệu thứ ba SL3 được thể hiện.

Điện cực cảm biến thứ nhất thứ nhất IE1 của cột cảm biến thứ nhất ISC1 và điện cực cảm biến thứ nhất thứ nhất IE1 của cột cảm biến thứ hai ISC2 được nối với nhau bởi một đường tín hiệu thứ ba SL3 trong số ba đường tín hiệu thứ ba SL3. Điện cực cảm biến thứ hai thứ nhất IE1 của cột cảm biến thứ nhất ISC1 và điện cực cảm biến thứ hai thứ nhất IE1 của cột cảm biến thứ hai ISC2 được nối với nhau bằng đường tín hiệu thứ ba khác SL3 trong số ba đường tín hiệu thứ ba SL3. Điện cực cảm biến thứ ba thứ nhất IE1 của cột cảm biến thứ nhất ISC1 và điện cực cảm biến thứ ba thứ nhất IE1 của cột cảm biến thứ hai ISC2 được nối với nhau bởi đường tín hiệu thứ ba SL3 khác trong số ba đường tín hiệu thứ ba SL3. Các đường tín hiệu thứ tư SL4 có thể được bố trí cùng số lượng với số lượng các đường tín hiệu thứ ba SL3.

Fig.28 là hình chiếu bằng thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Sau đây, các chênh lệch giữa bộ cảm biến đầu vào ISU được thể hiện trên Fig.28 và các bộ cảm biến đầu vào ISU được mô tả với tham chiếu đến Fig.9 đến Fig.13C sẽ được mô tả chủ yếu.

Như được thể hiện trên Fig.28, bộ cảm biến đầu vào ISU bao gồm các điện cực cảm biến thứ nhất IE1-1 đến IE1-5, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 được nối với điện cực cảm biến thứ nhất IE1-1 đến IE1-5, các điện cực cảm biến thứ hai IE2-1 đến IE2-4, và các đường tín hiệu thứ hai SL2-1 đến SL2-4 được nối với điện cực cảm biến thứ hai IE2-1 đến IE2-4.

Các đường tín hiệu thứ hai SL2-1 đến SL2-4 chứa phần đường dẫn SL-L và

phần đệm SL-P. Một đường tín hiệu thứ hai SL2-1 sẽ được mô tả chi tiết. Phần đường dẫn SL-L có thể bao gồm phần đường dẫn thứ nhất SL2-11 và phần đường dẫn thứ hai SL2-12. Phần đường dẫn thứ nhất SL2-11 được nối với cả hai đầu của một điện cực cảm biến thứ hai IE2-1. Phần đường dẫn thứ nhất SL2-11 có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1. Các điện cực cảm biến thứ hai IE2-1 đến IE2-4 có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1.

Phần đường dẫn thứ hai SL2-12 có thể được nối với phần đường dẫn thứ nhất SL2-11 thông qua lỗ tiếp xúc nối thứ hai CNT-S. Phần đệm SL-P được nối với một đầu của phần đường dẫn thứ hai SL2-12. Phần đường dẫn thứ hai SL2-12 có thể được tạo ra từ lớp dẫn điện thứ hai IS-CL2. Phần đường dẫn thứ hai SL2-12 và phần đệm SL-P được tạo thành qua cùng quy trình quang khắc, và do đó phần đường dẫn thứ hai SL2-12 và phần đệm SL-P có thể được tạo ra liền khối với nhau. Các điện cực cảm biến thứ nhất IE1-1 đến IE1-5 và các đường tín hiệu thứ nhất SL1-1 đến SL1-5 có thể được tạo ra từ lớp dẫn điện thứ hai IS-CL2.

Theo phương án làm ví dụ của sáng chế, các đường tín hiệu thứ nhất SL1-1 đến SL1-5 có thể có cấu trúc hai lớp như được mô tả với tham chiếu đến Fig.11D. Các đường tín hiệu thứ hai SL2-1 đến SL2-4 có thể được tạo ra liền khối với phần đường dẫn thứ hai SL2-12 và cũng có thể bao gồm các phần đường dẫn tương ứng với phần đường dẫn thứ nhất SL2-11.

Fig.29 là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.30A là hình chiếu bằng thể hiện bộ cảm biến đầu vào theo một phương án làm ví dụ của sáng chế. Fig.30B là hình vẽ mặt cắt ngang theo đường XI-XI' trên Fig.30A. Fig.30C là hình chiếu bằng thể hiện bộ cảm biến đầu vào theo một phương án làm ví dụ của sáng chế. Fig.30D đến Fig.30F là các hình vẽ mặt cắt ngang theo đường XI-XI' trên Fig.30C. Trên Fig.29 và 30A đến 30F, các mô tả chi tiết về các thành phần giống với các thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.28 sẽ được bỏ qua.

Trên Fig.29, thiết bị hiển thị DD được thể hiện một cách đơn giản để minh họa kết cấu chồng của bộ cảm biến đầu vào ISU. Trên Fig.29, lớp dẫn điện thứ hai IS-CL2 và lớp cách điện thứ hai IS-IL2 được bỏ qua so với thiết bị hiển thị DD được thể hiện trên Fig.9.

Như được thể hiện trên Fig.29, bộ cảm biến đầu vào ISU theo phương án làm ví dụ của sáng chế có thể bao gồm lớp dẫn điện thứ nhất IS-CL1 và lớp cách điện thứ nhất IS-IL1 che đi (hoặc tiếp xúc) trực tiếp với lớp dẫn điện thứ nhất IS-CL1. Lớp dẫn điện thứ nhất IS-CL1 bao gồm các mẫu hình dẫn điện.

Như được thể hiện trên Fig.30A và Fig.30B, bộ cảm biến đầu vào ISU có thể bao gồm các điện cực cảm biến IE (sau đây, được gọi là các điện cực cảm biến) và các đường tín hiệu SL (sau đây, được gọi là các đường tín hiệu). Các điện cực cảm biến IE có thông tin tọa độ của chúng. Theo một phương án làm ví dụ, các điện cực cảm biến IE có thể được bố trí trong dạng ma trận và được nối lần lượt với các đường tín hiệu SL, chẳng hạn. Mỗi trong số các đường tín hiệu SL có thể bao gồm phần đường dẫn SL-L và phần đệm SL-P. Hình dạng và sự bố trí của các điện cực cảm biến IE không nên được giới hạn cụ thể. Một số đường tín hiệu SL được bố trí trong vùng hiển thị DD-DA, và các đường tín hiệu SL còn lại được bố trí trong vùng không hiển thị DD-NDA. Bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa có thể thu thông tin tọa độ bằng phương pháp điện dung riêng.

Theo phương án làm ví dụ được minh họa, các điện cực cảm biến IE có dạng lưới, nhưng hình dạng của các điện cực cảm biến IE không bị giới hạn với dạng lưới. Vùng đệm NDA-PD của bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa có thể có mặt cắt ngang giống với mặt cắt ngang trên Fig.12A đến Fig.13C. Tuy nhiên, khác với Fig.12A đến Fig.13C, lớp cách điện thứ nhất IS-IL1 được loại bỏ giữa các đệm giả IS-DPD và phần đệm SL-P, và lớp cách điện thứ nhất IS-IL1 được loại bỏ giữa các phần đệm CSL-P và DL-P và các đệm tín hiệu DP-PD. Theo phương án làm ví dụ được minh họa, lớp cách điện thứ nhất IS-IL1 chồng lên vùng hiển thị

DD-DA và vùng không hiển thị DD-NDA và làm lộ vùng đệm NDA-PD.

Như được thể hiện trên Fig.30C và 30D, bộ cảm biến đầu vào ISU có thể bao gồm các điện cực cảm biến IE, lớp cách điện thừa IS-IL0 được bố trí dưới các điện cực cảm biến IE, và lớp cách điện thứ nhất IS-IL1 được bố trí trên các điện cực cảm biến IE. Sau đây, lớp cách điện thừa IS-IL0 và lớp cách điện thứ nhất IS-IL1 được gọi lần lượt là “lớp cách điện bên dưới” và “lớp cách điện bên trên”.

Theo phương án làm ví dụ được minh họa, các điện cực cảm biến IE có thể có dạng tứ giác, ví dụ, dạng tứ giác. Theo phương án làm ví dụ được minh họa, mỗi trong số lớp cách điện bên dưới IS-IL0 và lớp cách điện bên trên IS-IL1 có thể bao gồm nhiều lớp cách điện, ví dụ, hai lớp cách điện. Chỉ số khúc xạ của các lớp cách điện trong số lớp cách điện bên dưới IS-IL0 và lớp cách điện bên trên IS-IL1 có thể được điều khiển, và do đó độ phản xạ của điện cực cảm biến IE có thể giảm xuống.

Mỗi trong số lớp cách điện bên dưới IS-IL0 và lớp cách điện bên trên IS-IL1 bao gồm hai lớp cách điện có các chỉ số khúc xạ khác nhau. Lớp cách điện bên dưới IS-IL0 bao gồm lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-H0 và lớp cách điện có chỉ số khúc xạ thấp thứ nhất IS-L0, và lớp cách điện bên trên IS-IL1 bao gồm lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1 và lớp cách điện có chỉ số khúc xạ thấp thứ hai IS-L1.

Lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-H0 có thể có chỉ số khúc xạ lớn hơn của lớp cách điện có chỉ số khúc xạ thấp thứ nhất IS-L0. Lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-H0 có thể có chỉ số khúc xạ bằng với chỉ số khúc xạ của các điện cực cảm biến IE. Theo một phương án làm ví dụ, trong trường hợp mà điện cực cảm biến IE là điện cực ITO, lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-H0 có thể có chỉ số khúc xạ nằm trong khoảng từ 1,7 đến 2,2 tương ứng với ánh sáng có bước sóng khoảng 550 nm, và lớp cách điện có chỉ số khúc xạ thấp thứ nhất IS-L0 có thể có chỉ số khúc xạ, ví dụ, trong khoảng từ 1,4 đến 1,65, nằm trong khoảng chỉ số khúc xạ của không khí và chỉ số khúc xạ của lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-

H0, chẳng hạn. Theo một phương án làm ví dụ, lớp cách điện có chỉ số khúc xạ cao thứ nhất IS-H0 có thể chứa niobi oxit (NbOx), và lớp cách điện thứ nhất có chỉ số khúc xạ thấp IS-L0 có thể bao gồm silic oxit, silic nitrua, hoặc silic oxynitrua, chẳng hạn.

Lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1 có thể có chỉ số khúc xạ lớn hơn chỉ số khúc xạ của lớp cách điện có chỉ số khúc xạ thấp thứ hai IS-L1. Lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1 có thể có chỉ số khúc xạ bằng với chỉ số khúc xạ của các điện cực cảm biến IE. Theo một phương án làm ví dụ, trong trường hợp mà các điện cực cảm biến IE là điện cực ITO, lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1 có thể có chỉ số khúc xạ nằm trong khoảng từ 1,7 đến 2,2 tương ứng với ánh sáng có bước sóng khoảng 550 nm, và lớp cách điện có chỉ số khúc xạ thấp thứ hai IS-L1 có thể có chỉ số khúc xạ, ví dụ, trong khoảng từ 1,4 đến 1,65, giữa chỉ số khúc xạ của không khí và chỉ số khúc xạ của lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1, chẳng hạn. Theo một phương án làm ví dụ, lớp cách điện có chỉ số khúc xạ thấp thứ hai IS-L1 có thể bao gồm silic oxit, silic nitrua, hoặc silic oxynitrua, và lớp cách điện có chỉ số khúc xạ cao thứ hai IS-H1 có thể bao gồm niobi oxit (NbOx), chẳng hạn. Bộ cảm biến đầu vào ISU có thể chỉ gồm lớp cách điện bên trên IS-IL1 như được thể hiện trên Fig.30E, hoặc bộ cảm biến đầu vào ISU có thể chỉ gồm lớp cách điện bên dưới IS-IL0 như được thể hiện trên Fig.30F. Mặc dù không được thể hiện riêng biệt, lớp cách điện thứ hai IS-IL2 được thể hiện trên Fig.11C có thể có cùng kết cấu chồng với lớp cách điện bên trên IS-IL1, và lớp cách điện thứ nhất IS-IL1 có thể có cùng kết cấu chồng với lớp cách điện bên dưới IS-IL0. Lớp cách điện thứ nhất IS-IL1 được thể hiện trên Fig.16A và Fig.16B có thể có cùng kết cấu chồng với lớp cách điện bên trên IS-IL1.

Fig.31 là hình chiếu bằng thể hiện bộ cảm biến đầu vào theo một phương án làm ví dụ của sáng chế. Trên Fig.31, các mô tả chi tiết về các thành phần giống với các thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.1 đến Fig.30F sẽ được bỏ qua.

Như được thể hiện trên Fig.31, bộ cảm biến đầu vào ISU có thể bao gồm các điện cực cảm biến IE có dạng tứ giác, chẳng hạn. Các khoảng cách giữa các điện cực cảm biến IE và vùng đệm NDA-PD có thể được xác định bằng các tọa độ của các điện cực cảm biến IE. Các đường tín hiệu SL có thể có độ dài được xác định bởi các tọa độ của các điện cực cảm biến IE được nối vào. Theo phương án làm ví dụ được minh họa, các đường tín hiệu SL có thể có cùng độ dài với nhau sao cho các đường tín hiệu SL có cùng điện trở với nhau. Phần đường dẫn SL-L có thể bao gồm phần thứ nhất SL-P1 và phần thứ hai SL-P2. Một đầu của phần thứ nhất SL-P1 được nối với điện cực cảm biến tương ứng trong số các điện cực cảm biến IE. Phần thứ hai SL-P2 kéo dài từ phần thứ nhất SL-P1 và được nối với phần đệm SL-P thông qua một đầu của nó.

Phần thứ nhất SL-P1 có thể được uốn cong “n” lần hoặc nhiều hơn và điều khiển điện trở của các đường tín hiệu SL. Theo phương án làm ví dụ được minh họa, “n” là số nguyên bằng hoặc lớn hơn không (0). “n” có thể được xác định bởi các tọa độ của các điện cực cảm biến IE được nối với các đường tín hiệu SL. Khi các điện cực cảm biến IE được đặt xa hơn khỏi vùng đệm NDA-PD, “n” trở nên nhỏ, và khi các điện cực cảm biến IE được đặt gần hơn vùng đệm NDA-PD, “n” trở nên lớn. Khi các đường tín hiệu SL được so sánh với nhau khi được giãn ra, các đường tín hiệu SL có thể có cùng độ dài.

Theo phương án làm ví dụ được minh họa, phần thứ nhất SL-P1 được bố trí trong vùng hiển thị DD-DA, nhưng phần thứ nhất SL-P1 có thể được bố trí trong vùng không hiển thị DD-NDA. Phần thứ nhất SL-P1 có thể được bố trí gần hơn với vùng đệm NDA-PD. Phần thứ nhất SL-P1 có thể giảm tĩnh điện được đặt vào từ bên ngoài. Trong trường hợp này, bộ cảm biến đầu vào ISU cũng có thể bao gồm phần thứ ba nối phần thứ nhất SL-P1 được bố trí trong vùng không hiển thị DD-NDA và các điện cực cảm biến IE.

Theo phương án làm ví dụ của sáng chế, các phần thứ nhất SL-P1 có thể có các kết cấu chồng khác nhau, chứa các vật liệu có các tính dẫn điện khác nhau, hoặc có các

độ rộng đường dẫn khác nhau. Các phần thứ nhất SL-P1 có kết cấu chồng và vật liệu dẫn điện để giảm điện trở của chúng khi các phần thứ nhất SL-P1 được đặt xa hơn khỏi vùng đệm NDA-PD. Khi các phần thứ nhất SL-P1 được đặt gần hơn vùng đệm NDA-PD, các phần thứ nhất SL-P1 có thể có kết cấu chồng giảm lược, vật liệu có tính dẫn điện thấp, và độ rộng đường dẫn hẹp.

Fig.32 là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế, và Fig.33 là hình vẽ mặt cắt ngang thể hiện bộ cảm biến đầu vào ISU theo một phương án làm ví dụ của sáng chế. Trên Fig.32 và Fig.33, các mô tả chi tiết về các thành phần giống với các thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ Fig.1 đến Fig.31 sẽ được bỏ qua.

Bộ cảm biến đầu vào ISU cũng có thể bao gồm lớp điện cực giả IS-CLD và lớp cách điện thừa IS-IL0 được bố trí trên lớp điện cực giả IS-CLD khi so sánh với bộ cảm biến đầu vào ISU được thể hiện trên Fig.29. Mặc dù không được thể hiện riêng biệt, bộ cảm biến đầu vào ISU được thể hiện trên Fig.9 còn có thể bao gồm lớp điện cực giả IS-CLD và lớp cách điện thừa IS-IL0.

Lớp điện cực giả IS-CLD và lớp cách điện thừa IS-IL0 có thể được bố trí giữa lớp bao kín màng mỏng TFE và lớp dẫn điện thứ nhất IS-CL1. Lớp điện cực giả IS-CLD và lớp cách điện thừa IS-IL0 có thể được tạo ra từ panen hiển thị DP bằng quy trình liên tục.

Lớp điện cực giả IS-CLD có thể bao gồm lớp oxit dẫn điện trong suốt, lớp polyme dẫn điện trong suốt, hoặc lớp kim loại có độ dày đủ mỏng để truyền sáng. Lớp cách điện thừa IS-IL0 có thể bao gồm lớp hữu cơ và/hoặc lớp vô cơ.

Lớp điện cực giả IS-CLD có thể chồng lên hoàn toàn vùng hiển thị DD-NDA (tham chiếu đến Fig.30C). Lớp điện cực giả IS-CLD có thể chặn nhiễu gây ra bởi các điện cực (ví dụ, điện cực thứ hai CE như được thể hiện trên Fig.6) của panen hiển thị DP tương ứng với điện cực cảm biến IE. Theo một phương án làm ví dụ, các lớp điện cực giả IS-CLD có thể là điện cực nổi hoặc có thể nhận điện áp tham chiếu định trước,

chẳng hạn. Theo một phương án làm ví dụ, điện áp tham chiếu có thể là, nhưng không bị giới hạn với, điện áp nổi đất, chẳng hạn.

Mặc dù không được thể hiện riêng biệt, lớp cách điện thừa IS-IL0 có thể được thay thế với lớp chống phản xạ được mô tả trước. Mặc dù không được thể hiện riêng biệt, lớp điện cực giả IS-CLD có thể có dạng lưới và gồm nhiều mẫu hình. Các mẫu hình này có thể chồng lên toàn bộ các điện cực cảm biến IE.

Cấu trúc mặt cắt ngang của vùng đệm NDA-PD của bộ cảm biến đầu vào ISU theo phương án làm ví dụ được minh họa có thể giống với cấu trúc này trên các hình vẽ từ Fig.12A đến Fig.13C. Tuy nhiên, khác với nội dung được thể hiện trên các hình vẽ từ Fig.12A đến Fig.13C, lớp cách điện thứ nhất IS-IL1 giữa các đệm giả IS-DPD và phần đệm SL-P có thể được thay thế với lớp cách điện thừa IS-IL0, và lớp cách điện thứ nhất IS-IL1 giữa các phần đệm CSL-P và DL-P và các đệm tín hiệu DP-PD có thể được thay thế với lớp cách điện thừa IS-IL0.

Các hình vẽ từ Fig.34A đến Fig.34C là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Trên các hình vẽ từ Fig.34A đến Fig.34C, các mô tả chi tiết về các thành phần giống với các thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ Fig.1 đến Fig.33 sẽ được bỏ qua.

Như được thể hiện trên Fig.34A, thiết bị hiển thị DD có thể chứa panen hiển thị DP, bộ cảm biến đầu vào ISU, panen chống phản xạ RPP, và panen cửa sổ WP. Một vài trong số panen hiển thị DP, bộ cảm biến đầu vào ISU, panen chống phản xạ RPP, và panen cửa sổ WP có thể được tạo ra thông qua quy trình liên tục, và một vài trong số panen hiển thị DP, bộ cảm biến đầu vào ISU, panen chống phản xạ RPP, và panen cửa sổ WP có thể được gắn bởi chất kết dính trong suốt quang học.

Bộ cảm biến đầu vào ISU bao gồm bộ từng phần thứ nhất IS1 và bộ từng phần thứ hai IS2. Bộ từng phần thứ nhất IS1 có thể bao gồm lớp dẫn điện thứ nhất IS-CL1 và lớp cách điện thứ nhất IS-IL1 được mô tả với tham chiếu đến các hình vẽ từ Fig.10A

đến Fig.13C. Theo phương án làm ví dụ của sáng chế, bộ từng phần thứ nhất IS1 còn có thể chứa lớp điện cực giả IS-CLD và lớp cách điện thừa IS-IL0 được mô tả với tham chiếu đến Fig.32.

Panen chống phản xạ RPP và bộ từng phần thứ hai IS2 có thể được gắn với nhau bằng các chất kết dính trong suốt quang học OCA. Bộ từng phần thứ hai IS2 có thể bao gồm màng đế IS-BL và lớp dẫn điện thứ hai IS-CL2 và lớp cách điện thứ hai IS-IL2 được mô tả với tham chiếu đến các hình vẽ từ Fig.10A đến Fig.13C.

Theo phương án làm ví dụ được minh họa, panen chống phản xạ RPP và các chất kết dính trong suốt quang học OCA có chức năng cách điện lớp dẫn điện thứ nhất IS-CL1 khỏi lớp dẫn điện thứ hai IS-CL2. Theo phương án làm ví dụ được minh họa, vì khó để xác định lỗ tiếp xúc xuyên qua panen chống phản xạ RPP và các chất kết dính trong suốt quang học OCA, lớp dẫn điện thứ nhất IS-CL1 và lớp dẫn điện thứ hai IS-CL2 có kết cấu của điện cực cảm biến được mô tả với tham chiếu đến Fig.24A đến Fig.24C.

Panen chống phản xạ RPP và panen cửa sổ WP có thể thay đổi để có dạng “lớp”. Panen chống phản xạ RPP có thể được bố trí trực tiếp trên bộ từng phần thứ nhất IS1, hoặc panen cửa sổ WP có thể được bố trí trực tiếp trên bộ từng phần thứ hai IS2.

Như được thể hiện trên Fig.34B, màng đế IS-BL của bộ từng phần thứ hai IS2 trên Fig.34A có thể được loại bỏ. Lớp dẫn điện thứ hai IS-CL2 của bộ từng phần thứ hai IS2 có thể được bố trí trực tiếp trên panen chống phản xạ RPP.

Như được thể hiện trên Fig.34C, màng đế IS-BL của bộ từng phần thứ hai IS2 trên Fig.34A có thể được loại bỏ. Lớp dẫn điện thứ hai IS-CL2 của bộ từng phần thứ hai IS2 có thể được bố trí trực tiếp trên bề mặt dưới của màng đế WP-BS. Theo cách khác, bề mặt đế đối với lớp dẫn điện thứ hai IS-CL2 được tạo ra bởi màng đế WP-BS của panen cửa sổ WP. Lớp cách điện thứ hai IS-IL2 có thể được bố trí trực tiếp trên bề mặt dưới của màng đế WP-BS và phủ trực tiếp lên các mẫu hình dẫn điện thứ hai và

mẫu hình chặn sáng WP-BZ của lớp dẫn điện thứ hai IS-CL2.

Các hình vẽ từ Fig.35A đến Fig.35C là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.36A và Fig.36B là các hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.36C là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Fig.36D là hình chiếu bằng thể hiện panen hiển thị theo một phương án làm ví dụ của sáng chế. Fig.36E là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị theo một phương án làm ví dụ của sáng chế. Trên các hình vẽ từ Fig.35A đến Fig.35C và 36A đến 36E, các mô tả chi tiết về các thành phần giống với các thành phần của thiết bị hiển thị DD được mô tả với tham chiếu đến các hình vẽ từ Fig.1 đến Fig.34B sẽ được bỏ qua.

Thiết bị hiển thị được mô tả với tham chiếu đến Fig.9 đến Fig.34B dựa trên thiết bị hiển thị DD được thể hiện trên Fig.2A, và ít nhất một phần của lớp cảm biến đầu vào ISL được bố trí trực tiếp trên panen hiển thị DP. Tuy nhiên, như được mô tả với tham chiếu đến Fig.2B và Fig.2C, các thiết bị hiển thị DD được mô tả sau đây chứa panen cảm biến đầu vào ISP và/hoặc panen chống phản xạ RPP được gắn với panen hiển thị DP bằng thành phần chất kết dính trong suốt quang học (OCA). Panen hiển thị DP được mô tả sau đây có thể có cùng kết cấu và chức năng với panen hiển thị DP được mô tả với tham chiếu đến Fig.4A đến Fig.8G, và do đó các mô tả chi tiết của chúng sẽ được bỏ qua.

Tham chiếu đến Fig.35A, panen hiển thị DP và panen chống phản xạ RPP có thể được gắn với nhau bằng thành phần kết dính trong suốt quang học (OCA), và panen chống phản xạ RPP và panen cảm biến đầu vào ISP có thể được gắn với nhau bởi thành phần kết dính trong suốt quang học (OCA). Panen cảm biến đầu vào ISP và panen cửa sổ WP có thể được gắn với nhau bằng thành phần kết dính trong suốt quang học (OCA). Theo một phương án làm ví dụ, panen chống phản xạ RPP có thể chứa kính phân cực kiểu màng và bản làm trễ kiểu màng, chẳng hạn. Kính phân cực kiểu màng có thể được

gọi là “màng kính phân cực”, và bản làm trề kiểu màng có thể được gọi là “màng bản làm trề”.

Panen cảm biến đầu vào ISP bao gồm màng đế IS-BL và các mẫu hình dẫn điện IS-CP được bố trí trên một bề mặt hoặc cả hai bề mặt của màng đế IS-BL. Fig.35A thể hiện panen cảm biến đầu vào ISP trong đó các mẫu hình dẫn điện IS-CP được bố trí trên bề mặt trên của màng đế IS-BL.

Mặc dù không được thể hiện riêng biệt, panen cảm biến đầu vào ISP có thể bao gồm lớp dẫn điện thứ nhất IS-CL1 và lớp dẫn điện thứ hai IS-CL2 như được thể hiện trên Fig.9. Các mẫu hình dẫn điện IS-CP có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 và lớp dẫn điện thứ hai IS-CL2 như được mô tả với tham chiếu đến các hình vẽ từ Fig.10A đến Fig.28. Ngoài ra, panen cảm biến đầu vào ISP có thể bao gồm lớp dẫn điện thứ nhất IS-CL1 như được thể hiện trên Fig.29. Các mẫu hình dẫn điện IS-CP có thể được tạo ra từ lớp dẫn điện thứ nhất IS-CL1 như được mô tả với tham chiếu đến Fig.30A đến Fig.33. Panen cảm biến đầu vào ISP có thể bao gồm ít nhất một lớp cách điện như được mô tả với tham chiếu đến Fig.9 đến Fig.33.

Khác với thiết bị hiển thị DD được thể hiện trên Fig.35A, các mẫu hình dẫn điện IS-CP có thể được bố trí trên bề mặt dưới của màng đế IS-BL trong thiết bị hiển thị DD được thể hiện trên Fig.35B. Các mẫu hình dẫn điện IS-CP được bố trí trên bề mặt dưới của màng đế IS-BL liền kề với phần trung tâm (ví dụ, phần trung tâm theo hướng thứ ba DR3) của thiết bị hiển thị DD. Thiết bị hiển thị DD được thể hiện trên Fig.35B có thể được áp dụng cho thiết bị hiển thị gập được, và trong trường hợp này, các mẫu hình dẫn điện IS-CP được bố trí ở phần giữa của thiết bị hiển thị DD có thể chịu được ứng suất tương đối thấp.

Đó là vì bề mặt trung hòa xảy ra khi thiết bị hiển thị DD được gập và bề mặt trung hòa bố trí liền kề với các mẫu hình dẫn điện IS-CP. Trong trường hợp mà các mẫu hình dẫn điện IS-CP gồm mẫu hình dẫn điện trong suốt có thể bị tổn hại do ứng suất, thiết bị hiển thị DD theo phương án làm ví dụ được minh họa có thể ngăn ngừa

các mẫu hình dẫn điện IS-CP không bị nứt khi so với thiết bị hiển thị DD được thể hiện trên Fig.35A.

Các điện cực cảm biến thứ nhất và các điện cực cảm biến thứ hai, được tạo ra bằng các mẫu hình dẫn điện IS-CP, có thể được sắp thẳng trong bố trí thích hợp để được điều khiển trong phương pháp điện dung riêng. Sự bố trí của các điện cực cảm biến tương thích được điều khiển trong phương pháp điện dung riêng như được mô tả ở trên, và do đó các chi tiết của chúng sẽ được bỏ qua. Panen cảm biến đầu vào ISP được điều khiển trong phương pháp điện dung riêng có thể duy trì độ nhạy bằng hoặc lớn hơn độ nhạy tham chiếu mặc dù panen cửa sổ WP trở nên mỏng.

Khác với thiết bị hiển thị DD được thể hiện trên Fig.35B, màng đế IS-BL của panen cảm biến đầu vào ISP và một thành phần kết dính trong suốt quang học (OCA) có thể được loại bỏ trong thiết bị hiển thị DD được thể hiện trên Fig.35C. Màng đế IS-BL của panen cảm biến đầu vào ISP có thể được thay thế với màng đế WP-BS (tham chiếu đến Fig.2A) của panen cửa sổ WP. Các mẫu hình dẫn điện IS-CP có thể được bố trí trên bề mặt dưới của panen cửa sổ WP.

Một hoặc nhiều trong số lớp cách điện bên dưới IS-IL0 và lớp cách điện bên trên IS-IL1, được mô tả với tham chiếu đến Fig.30C đến Fig.30F, còn có thể được bố trí trên panen cửa sổ WP. Bề mặt dưới của panen cửa sổ WP có thể tương ứng với bề mặt trên của lớp bao kín màng mỏng TFE được thể hiện trên Fig.30D. Lớp cách điện bên dưới IS-IL0 được mô tả với tham chiếu đến Fig.30C đến Fig.30F có thể được bố trí giữa bề mặt dưới của panen cửa sổ WP và các mẫu hình dẫn điện IS-CP hoặc lớp cách điện bên trên IS-IL1 có thể được bố trí trên bề mặt dưới của panen cửa sổ WP để che đi các mẫu hình dẫn điện IS-CP.

Như được thể hiện trên Fig.36A, các mẫu hình dẫn điện IS-CP có thể được bố trí trên cả hai bề mặt của màng đế IS-BL. Panen hiển thị DP và panen cảm biến đầu vào ISP có thể được gắn với nhau bằng thành phần kết dính trong suốt quang học (OCA). Panen cảm biến đầu vào ISP và panen chống phản xạ RPP, ví dụ, kính phân cực kiểu

màng, có thể được gắn với nhau bằng thành phần kết dính trong suốt quang học (OCA).

Như được thể hiện trên Fig.36B, các mẫu hình dẫn điện IS-CP có thể được bố trí trên bề mặt trên của màng đế IS-BL. Kính phân cực kiểu màng có thể được sử dụng dưới dạng panen chống phản xạ RPP. Mặc dù không được thể hiện riêng biệt, các mẫu hình dẫn điện IS-CP có thể được bố trí trên bề mặt dưới của màng đế IS-BL theo phương án làm ví dụ của sáng chế.

Như được thể hiện trên Fig.36C, panen cảm biến đầu vào ISP có thể bao gồm màng đế IS-BL1 và lớp cách điện của đế IS-BL2. Lớp cách điện của đế được bố trí trên lớp nền thủy tinh sử dụng vật liệu nhựa như polyimit, và các mẫu hình dẫn điện được bố trí trên lớp cách điện của đế thông qua quy trình sau đây. Khi panen cảm biến đầu vào ban đầu ISP được chế tạo, lớp cách điện của đế được phân tách từ lớp nền thủy tinh và được gắn vào màng đế IS-BL1. Theo đó, panen cảm biến đầu vào ISP được thể hiện trên Fig.36C được chế tạo. Theo phương án làm ví dụ được minh họa, kính phân cực kiểu màng có thể được sử dụng làm panen chống phản xạ RPP.

Theo các thiết bị hiển thị DD được thể hiện trên Fig.36A đến Fig.36C, kính phân cực kiểu màng có thể được bố trí trên panen cảm biến đầu vào ISP. Các màng đế IS-BL và IS-BL1 của panen cảm biến đầu vào ISP có thể chứa màng đẳng hướng. Theo một phương án làm ví dụ, màng đẳng hướng có thể là một trong số màng polyolefin tuần hoàn (cyclic polyolefin - COP), màng polycarbonat không giãn, và màng triaxetyl xenluloza ("TAC") và có thể có độ dày nằm trong khoảng từ 0,02 millimet (mm) đến 0,2 mm, chẳng hạn.

Vì màng đẳng hướng có cùng các tính chất vật lý, ví dụ, chỉ số khúc xạ, theo hướng bất kỳ, thành phần được sử dụng để bù cho sự lệch pha là không cần thiết, và do đó độ dày của thiết bị hiển thị có thể giảm xuống. Vì màng PET kiểu giãn có các giá trị lệch pha khác nhau (khoảng 1000 nm hoặc lớn hơn) phụ thuộc vào các hướng, điều kiện phân cực quang học không được thỏa mãn với màng PET kiểu giãn, nhưng điều kiện phân cực quang học có thể được thỏa mãn bởi màng đẳng hướng. Theo đó, sự

giảm chất lượng hình ảnh, ví dụ, các mẫu hình dẫn điện IS-CP nhìn thấy được, có thể được ngăn ngừa.

Panen hiển thị được thể hiện trên Fig.36D còn có thể chứa vùng đệm thứ hai NDA-PD2 so với panen hiển thị DP được thể hiện trên Fig.4A. Vùng đệm thứ nhất NDA-PD1 được thể hiện trên Fig.36D tương ứng với vùng đệm NDA-PD của panen hiển thị DP được thể hiện trên Fig.4A.

Các đệm đầu ra IS-PDO được tạo ra bởi cùng quy trình với các đệm tín hiệu DP-PD còn có thể được bố trí trong vùng đệm thứ nhất NDA-PD1. Các đệm đầu vào IS-PDI được tạo ra bởi cùng quy trình với các đệm tín hiệu DP-PD còn có thể được bố trí trong vùng đệm thứ hai NDA-PD2. Cấu trúc mặt cắt ngang của các đệm đầu ra IS-PDO và các đệm đầu vào IS-PDI có thể có cùng cấu trúc mặt cắt ngang của các đệm tín hiệu DP-PD, và do đó các chi tiết của chúng sẽ được bỏ qua.

Các đệm đầu ra IS-PDO có thể được nối với các đệm đầu vào tương ứng IS-PDI trong số các đệm đầu vào IS-PDI thông qua các đường tín hiệu. Các đệm đầu vào IS-PDI có thể được nối điện với đường tín hiệu của panen cảm biến đầu vào ISP.

Như được thể hiện trên Fig.36E, các mẫu hình dẫn điện IS-CP của panen cảm biến đầu vào ISP có thể được bố trí trên bề mặt dưới của màng đế IS-BL. Panen hiển thị DP và panen cảm biến đầu vào ISP có thể được gắn với nhau bằng thành phần kết dính trong suốt quang học (“OCA”).

Phần đệm của các đường tín hiệu của panen cảm biến đầu vào ISP có thể được nối điện với các đệm đầu vào IS-PDI của vùng đệm thứ hai NDA-PD2 được mô tả với tham chiếu đến Fig.36D thông qua thành phần dẫn điện, ví dụ, màng dẫn điện không đẳng hướng (anisotropic conductive film - ACF”). Theo phương án khác làm ví dụ, ACF có thể được thay thế với các quả cầu dẫn điện, chẳng hạn.

Theo phương án làm ví dụ được minh họa, kết cấu chồng của màng đế không bị giới hạn cụ thể. Như được mô tả với tham chiếu đến Fig.36C, màng đế IS-BL có thể có

cấu trúc hai lớp. Panen cảm biến đầu vào có thể có hình dạng thu được bằng cách đảo panen cảm biến đầu vào ISP được mô tả với tham chiếu đến Fig.36C. Phương pháp chế tạo có thể gần giống với phương pháp chế tạo được mô tả với tham chiếu đến Fig.36C. Mặc dù panen cảm biến đầu vào ISP được bố trí tách biệt khỏi và được gắn vào panen hiển thị DP, phần đệm SL-P (tham chiếu đến Fig.10A) của panen cảm biến đầu vào ISP có thể được nối với các đệm đầu ra IS-PDO của panen hiển thị DP. Theo đó, panen cảm biến đầu vào ISP và panen hiển thị DP có thể được nối điện với thiết bị điện tử ngoài thông qua một bảng mạch PCB. Do đó, giá thành sản xuất của thiết bị hiển thị có thể giảm xuống.

Các hình vẽ từ Fig.37A đến Fig.37C là các hình vẽ phối cảnh thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.38A và Fig.38B là các hình vẽ phối cảnh thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.39 là hình vẽ phối cảnh thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Panen hiển thị DP và bộ cảm biến đầu vào ISU được mô tả với tham chiếu đến Fig.1 đến Fig.34C có thể được áp dụng cho thiết bị hiển thị dẻo DD được mô tả sau đây.

Như được thể hiện trên Fig.37A đến Fig.37C, thiết bị hiển thị DD có thể bao gồm nhiều vùng như được xác định với chế độ hoạt động. Thiết bị hiển thị DD có thể bao gồm vùng thứ nhất NBA1, vùng thứ hai NBA2, và vùng thứ ba BA được bố trí giữa vùng thứ nhất NBA1 và vùng thứ hai NBA2. Vùng thứ ba BA được uốn trên cơ sở của trục uốn cong BX để tạo đường cong. Sau đây, vùng thứ nhất NBA1, vùng thứ hai NBA2, và vùng thứ ba BA có thể được gọi là vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA.

Như được thể hiện trên Fig.37B, thiết bị hiển thị DD có thể được uốn vào trong sao cho bề mặt hiển thị DD-IS của vùng không uốn cong thứ nhất NBA1 đối diện bề mặt hiển thị DD-IS của vùng không uốn cong thứ hai NBA2. Như được thể hiện trên Fig.37C, thiết bị hiển thị DD có thể được uốn cong ra ngoài sao cho bề mặt hiển thị

DD-IS được để lộ ra ngoài.

Theo phương án làm ví dụ của sáng chế, thiết bị hiển thị DD có thể có các vùng uốn cong. Ngoài ra, vùng uốn cong BA có thể được tạo ra tương ứng với hoạt động của người dùng. Theo một phương án làm ví dụ, khác với Fig.37B và Fig.37C, vùng uốn cong BA có thể được xác định gần song song với trục theo hướng thứ nhất DR1 hoặc được bố trí dọc theo hướng chéo, chẳng hạn. Vùng uốn cong BA có thể có vùng được xác định bởi bán kính của đường cong không cố định. Theo phương án làm ví dụ của sáng chế, thiết bị hiển thị DD có thể được lắp đặt để chỉ cho phép chế độ hoạt động được thể hiện trên Fig.37A và Fig.37B được lặp lại hoặc chỉ có chế độ hoạt động được thể hiện trên Fig.37A và Fig.37C được lặp lại.

Như được thể hiện trên Fig.38A và Fig.38B, thiết bị hiển thị DD có thể bao gồm vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA. Vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA có thể được xác định tương ứng với panen hiển thị DP (tham chiếu đến các hình vẽ từ Fig.2A đến Fig.2F). Bộ cảm biến đầu vào, bộ chống phản xạ, và bộ cửa sổ có thể chỉ được bố trí trong vùng không uốn cong thứ nhất NBA1.

Như được thể hiện trên Fig.38A, vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA của panen hiển thị DP có thể có các độ rộng khác nhau theo hướng thứ nhất DR1. Vùng uốn cong BA và vùng không uốn cong thứ hai NBA2 có thể có độ rộng nhỏ hơn độ rộng của vùng không uốn cong thứ nhất NBA1. Khi vùng uốn cong BA có độ rộng tương đối nhỏ, panen hiển thị DP có thể dễ bị uốn cong. Vùng biên trong đó độ rộng giảm dần trên Fig.38A có thể được chứa trong vùng không uốn cong thứ nhất NBA1. Theo phương án làm ví dụ của sáng chế, vùng biên trong đó độ rộng giảm dần có thể được loại bỏ.

Vùng không uốn cong thứ hai NBA2 có thể bao gồm vùng đệm NDA-PD (tham chiếu đến Fig.4A). Như được thể hiện trên Fig.38B, vùng không uốn cong thứ hai

NBA2 đối diện vùng không uốn cong thứ nhất NBA1 và được đặt cách xa khỏi vùng không uốn cong thứ nhất NBA1.

Như được thể hiện trên Fig.39, thiết bị hiển thị DD có thể bao gồm ba vùng uốn cong BA1, BA2, và BA3. Khi so với thiết bị hiển thị DD được thể hiện trên Fig.38B, hai vùng mép đối nhau theo hướng thứ hai DR2 của vùng không uốn cong thứ nhất NBA1 được uốn cong từ vùng trung tâm để xác định các vùng uốn cong thứ hai và thứ ba BA2 và BA3. Vùng uốn cong thứ nhất BA1 có thể tương ứng với vùng uốn cong BA trên Fig.38A và Fig.38B. Bộ cảm biến đầu vào ISU, bộ chống phản xạ RPU, và bộ cửa sổ WU được thể hiện trên các hình vẽ từ Fig.2A đến Fig.2F có thể chồng lên vùng không uốn cong thứ nhất NBA1 và các vùng uốn cong thứ hai và thứ ba BA2 và BA3.

Fig.40A là hình vẽ phối cảnh thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.40B là hình chiếu bằng thể hiện thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.41A là hình vẽ mặt cắt ngang theo đường XII-XII' trên Fig.40B để thể hiện thiết bị hiển thị DD. Fig.41B và Fig.41C là các hình vẽ mặt cắt ngang theo đường XIII-XIII' trên Fig.40B để thể hiện thiết bị hiển thị DD. Sau đây, thiết bị hiển thị DD theo phương án làm ví dụ của sáng chế sẽ được mô tả chi tiết với tham chiếu đến Fig.40A và Fig.40B.

Fig.40A là hình vẽ phối cảnh thể hiện hình vẽ phóng to trên Fig.38B. Thiết bị hiển thị DD chứa panen hiển thị DP và bộ cảm biến đầu vào ISU. Thiết bị hiển thị DD còn bao gồm thành phần bảo vệ PF. Mặc dù không được thể hiện riêng biệt, thiết bị hiển thị DD còn có thể bao gồm bộ chống phản xạ và/hoặc bộ cửa sổ.

Lớp đế BL, lớp thành phần mạch DP-CL, và lớp bao kín màng mỏng TFE của panen hiển thị DP chồng lên vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA. Lớp thành phần hiển thị DP-OLED của panen hiển thị DP chồng lên vùng không uốn cong thứ nhất NBA1. Bộ cảm biến đầu vào ISU chồng lên vùng không uốn cong thứ nhất NBA1, vùng không uốn cong thứ hai NBA2, và vùng uốn cong BA.

Thành phần bảo vệ PF được bố trí trên bề mặt dưới của lớp đế BL và chồng lên vùng không uốn cong thứ nhất NBA1 và vùng không uốn cong thứ hai NBA2. Thành phần bảo vệ PF có thể bao gồm thành phần bảo vệ thứ nhất PF và thành phần bảo vệ thứ hai PF được tách biệt khỏi thành phần bảo vệ thứ nhất PF. Thành phần bảo vệ thứ nhất PF và thành phần bảo vệ thứ hai PF lần lượt chồng lên vùng không uốn cong thứ nhất NBA1 và vùng không uốn cong thứ hai NBA2 và đối nhau trong lúc bị uốn cong.

Fig.40B thể hiện các thành phần bổ sung của panen hiển thị DP khi so với panen hiển thị DP được thể hiện trên Fig.40A và các thành phần của bộ cảm biến đầu vào ISU trong một hình chiếu bằng. Thiết bị hiển thị DD được mô tả sau đây có thể được áp dụng cho thiết bị hiển thị DD kiểu phẳng được thể hiện trên Fig.1 và thiết bị hiển thị DD kiểu gấp được thể hiện trên Fig.37A đến Fig.37C, nhưng thiết bị hiển thị kiểu uốn cong DD được thể hiện trên Fig.38A đến Fig.39 sẽ được mô tả làm ví dụ minh họa. Cụ thể, thiết bị hiển thị kiểu uốn cong DD được thể hiện trên Fig.38A và Fig.38B sẽ được mô tả chủ yếu.

Như được thể hiện trên Fig.40B, thiết bị hiển thị DD có thể bao gồm một hoặc nhiều chi tiết ngăn DPP, chi tiết ngăn rạn nứt DP-CP, và gờ BNP. Chi tiết ngăn DPP có thể kéo dài dọc theo mép của vùng hiển thị DD-DA. Chi tiết ngăn DPP và chi tiết ngăn rạn nứt DP-CP được bố trí trong vùng không uốn cong thứ nhất NBA1, và gờ BNP được bố trí trong vùng uốn cong BA.

Chi tiết ngăn DPP có thể bao quanh vùng hiển thị DD-DA. Một phần của chi tiết ngăn DPP có thể gần song song với vùng đệm NDA-PD. Chi tiết ngăn rạn nứt DP-CP có thể được bố trí dọc theo bên ngoài của chi tiết ngăn DPP và có thể kéo dài theo một hướng (ví dụ, hướng thứ nhất DR1 theo phương án làm ví dụ được minh họa) cắt ngang gờ BNP. Fig.40B thể hiện hai nhóm của các chi tiết ngăn rạn nứt DP-CP được đặt cách nhau theo hướng thứ hai DR2. Mỗi trong số hai nhóm của các chi tiết ngăn rạn nứt DP-CP bao gồm ba chi tiết ngăn rạn nứt DP-CP, chẳng hạn. Gờ BNP có thể kéo dài theo một hướng gần song song với trục uốn cong BX (tham chiếu đến Fig.38B), tức là,

đọc theo hướng thứ hai DR2.

Thiết bị hiển thị DD được thể hiện trên Fig.40B bao gồm panen hiển thị DP được thể hiện trên Fig.4A, nhưng thiết bị hiển thị DD có thể bao gồm panen hiển thị DP được thể hiện trên Fig.4B. Trong trường hợp này, vùng gắn chip NDA-TC (tham chiếu đến Fig.4B) có thể được bố trí trong vùng không uốn cong thứ hai NBA2.

Như được thể hiện trên Fig.41A và Fig.41B, mạch điều khiển GDC (tham chiếu đến Fig.4A) được chứa trong lớp thành phần mạch DP-CL được bố trí trong vùng không hiển thị DD-NDA. Mạch điều khiển GDC bao gồm ít nhất một tranzito GDC-T được tạo ra thông qua cùng quy trình với tranzito thứ hai T2 đóng vai trò làm tranzito của điểm ảnh. Mạch điều khiển GDC có thể bao gồm các đường tín hiệu GDC-SL được bố trí trong cùng lớp với điện cực đầu vào của tranzito thứ hai T2. Mạch điều khiển GDC có thể là mạch điều khiển quét và còn có thể bao gồm đường tín hiệu được bố trí trong cùng lớp với điện cực điều khiển của tranzito thứ hai T2.

Điện cực cấp điện PWE cấp điện áp nguồn thứ hai ELVSS (tham chiếu đến Fig.5) được bố trí bên ngoài mạch điều khiển quét GDC. Điện cực cấp điện PWE có thể nhận điện áp nguồn thứ hai ELVSS từ nguồn bên ngoài. Điện cực nối E-CNT được bố trí trên lớp hữu cơ trung gian 30. Điện cực nối E-CNT nối điện cực cấp điện PWE và điện cực thứ hai CE. Điện cực nối E-CNT được tạo ra thông qua cùng quy trình với điện cực thứ nhất AE (tham chiếu đến Fig.6), và do đó điện cực nối E-CNT có thể có cùng cấu trúc lớp và cùng vật liệu với điện cực thứ nhất AE. Điện cực nối E-CNT và điện cực thứ nhất AE có thể có cùng độ dày.

Fig.41A và Fig.41B thể hiện lớp bao kín màng mỏng TFE có hình dạng được mô tả với tham chiếu đến Fig.8A làm ví dụ minh họa. Lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ bao kín thứ hai IOL2 được bố trí hoàn toàn trên vùng hiển thị DP-DA và vùng không hiển thị DP-NDA. Ngoài ra, Fig.41B thể hiện mặt cắt ngang của vùng đệm được mô tả với tham chiếu đến Fig.13B. Lớp vô cơ bao kín thứ nhất IOL1, lớp vô cơ bao kín thứ hai IOL2, và lớp cách điện thứ nhất IS-IL1 được bố trí giữa phần đệm DL-

P và đệm tín hiệu DP-PD.

Như được thể hiện trên Fig.41A và Fig.41B, chi tiết ngăn DPP có thể có cấu trúc đa lớp. Phần bên dưới DPP1 có thể được bố trí cùng với lớp hữu cơ trung gian 30, và phần bên trên DPP2 có thể được bố trí cùng với lớp xác định điểm ảnh PDL. Chi tiết ngăn DPP ngăn ngừa vật liệu hữu cơ lỏng để không bị lan ra các lớp vô cơ trung gian 10 và 20 khi lớp hữu cơ bao kín OL được bố trí. Lớp hữu cơ bao kín OL có thể được tạo ra bằng cách bố trí vật liệu hữu cơ lỏng trên lớp vô cơ bao kín thứ nhất IOL1 sử dụng phương pháp phun, và trong trường hợp này, chi tiết ngăn DPP xác định biên của vùng trong đó vật liệu hữu cơ lỏng được bố trí.

Chi tiết ngăn rạn nứt DP-CP có thể bao gồm lớp thứ nhất DP-C1 và lớp thứ hai DP-C2. Lớp thứ nhất DP-C1 có cùng độ dày với lớp vô cơ trung gian thứ nhất 10 và có cùng vật liệu với lớp vô cơ trung gian thứ nhất 10. Lớp thứ hai DP-C2 có cùng độ dày với lớp vô cơ trung gian thứ hai 20 và có cùng vật liệu với lớp vô cơ trung gian thứ hai 20.

Khi tác động bên ngoài được tác dụng vào mép của thiết bị hiển thị DD, chi tiết ngăn rạn nứt DP-CP phá vỡ và hấp thụ năng lượng của tác động đó. Theo đó, tác động bên ngoài có thể bị ngăn chặn để không bị truyền đến vùng hiển thị DD-DA.

Gờ BNP có thể có cấu trúc đa lớp. Mẫu hình cách điện thứ nhất BN1 có thể được tạo ra cùng với lớp hữu cơ trung gian 30, và mẫu hình cách điện thứ hai BN2 có thể được tạo ra cùng với lớp xác định điểm ảnh PDL. Mẫu hình cách điện thứ nhất BN1 và mẫu hình cách điện thứ hai BN2 có thể bao gồm vật liệu hữu cơ. Mẫu hình cách điện thứ hai BN2 có dạng bậc và bao gồm phần thứ nhất BN2-1 và phần thứ hai BN2-2 được tạo ra liền khối với phần thứ nhất BN2-1. Gờ BNP có độ cao lớn hơn chi tiết ngăn DPP với độ cao của phần thứ hai BN2-2. Gờ BNP có thể đỡ tấm che được sử dụng để tạo ra các lớp vô cơ bao kín IOL1 và IOL2 (tham chiếu đến Fig.8D và Fig.8F).

Lớp thành phần mạch DP-CL cũng có thể bao gồm lớp hữu cơ bên ngoài 30-O được nối với gờ BNP. Lớp hữu cơ bên ngoài 30-O bao gồm mẫu hình cách điện thứ

nhất được bố trí cùng với lớp hữu cơ trung gian 30. Mặc dù không được thể hiện riêng biệt, lớp hữu cơ bên ngoài 30-O có thể có cấu trúc đa lớp. Lớp hữu cơ bên ngoài 30-O cũng có thể bao gồm mẫu hình cách điện thứ hai được bố trí cùng với lớp xác định điểm ảnh PDL. Trên Fig.41B, vùng uốn cong BA được xác định là dài hơn lớp hữu cơ bên ngoài 30-O, nhưng vùng uốn cong BA có thể được xác định ngắn hơn lớp hữu cơ bên ngoài 30-O. Kích thước của vùng uốn cong BA có thể được xác định bởi bán kính của đường cong.

Lớp hữu cơ trung gian 30 và chi tiết ngăn DPP được đặt cách nhau, và chi tiết ngăn DPP và gờ BNP được đặt cách nhau. Vật liệu hữu cơ không được bố trí giữa lớp hữu cơ trung gian 30, chi tiết ngăn DPP, và gờ BNP. Lớp vô cơ bao kín thứ nhất IOL1 có thể tiếp xúc lớp vô cơ bao kín thứ hai IOL2 trong các vùng giữa lớp hữu cơ trung gian 30, chi tiết ngăn DPP, và gờ BNP. Trên Fig.41B, một phần của đường dữ liệu DL được bố trí giữa lớp vô cơ bao kín thứ nhất IOL1 và lớp vô cơ trung gian thứ hai 20. Lớp vô cơ bao kín thứ nhất IOL1 có thể tiếp xúc lớp vô cơ trung gian thứ hai 20 trong vùng trong đó đường dữ liệu DL không được bố trí khi được quan sát theo hình chiếu bằng.

Theo phương án làm ví dụ được minh họa, đường dữ liệu DL được bố trí trên lớp vô cơ trung gian thứ hai 20, nhưng không bị giới hạn ở đó hoặc bằng cách đó. Như được thể hiện trên Fig.41C, một phần của đường dữ liệu DL được xếp chồng lên vùng uốn cong BA có thể được bố trí trên lớp đệm BFL. Một phần của đường dữ liệu DL được xếp chồng lên vùng uốn cong BA có thể được nối điện với một phần của đường dữ liệu DL không được xếp chồng lên vùng uốn cong BA thông qua các lỗ tiếp xúc CNT. Một phần của đường dữ liệu DL được bố trí trên lớp đệm BFL có thể được tạo ra thông qua cùng quy trình với điện cực điều khiển của tranzito thứ hai T2. Một phần của đường dữ liệu DL được bố trí trên lớp đệm BFL có thể được bố trí liền kề với bề mặt trung hòa xuất hiện trong vùng uốn cong BA khi vùng uốn cong BA được uốn cong.

Ngoài ra, lớp vô cơ trung gian thứ nhất 10 và một phần của lớp vô cơ trung gian

thứ hai 20, ví dụ, một phần được xếp chồng lên vùng uốn cong BA, có thể được loại bỏ. Vật liệu hữu cơ có thể được làm đầy trong vùng mà các lớp nêu trên bị loại bỏ. Vật liệu hữu cơ có thể được tạo ra làm mẫu hình cách điện giả BNO. Theo phương án làm ví dụ của sáng chế, một phần của lớp đệm BFL còn có thể được loại bỏ. Theo đó, vật liệu vô cơ có thể được giảm thiểu trong vùng uốn cong BA, và lớp vô cơ có thể được ngăn ngừa không bị rạn nứt mặc dù ứng suất xuất hiện trong khi uốn cong panen hiển thị DP.

Fig.42 là hình chiếu bằng thể hiện lớp bao kín màng mỏng TFE được áp dụng vào thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Fig.43A là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD tương ứng với Fig.41A. Fig.43B là hình vẽ mặt cắt ngang thể hiện thiết bị hiển thị DD tương ứng với Fig.41B. Trên Fig.42, 43A, và 43B, các dấu hiệu khác từ thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.40A đến Fig.41C sẽ được mô tả chủ yếu.

Trên Fig.42, chi tiết ngăn DPP, chi tiết ngăn rạn nứt DP-CP, và gờ BNP được thể hiện để chồng lên lớp bao kín màng mỏng TFE. Lớp bao kín màng mỏng TFE bao gồm các vùng khoảng hở SLT1, SLT2, và SLT20 được bố trí ở đó. Các vùng khoảng hở SLT1, SLT2, và SLT20 có thể được tạo ra bằng cách loại bỏ ít nhất một lớp vô cơ bao kín trong số lớp bao kín màng mỏng TFE. Các vùng khoảng hở SLT1, SLT2, và SLT20 có thể được tạo ra với các phần ăn mòn của lớp vô cơ bao kín được bố trí hoàn toàn.

Vùng khoảng hở thứ nhất SLT1 có thể chồng lên toàn bộ gờ BNP. Vùng khoảng hở thứ nhất SLT1 có thể giảm ứng suất xuất hiện trong vùng uốn cong BA trong khi uốn vùng uốn cong BA. Theo phương án làm ví dụ của sáng chế, vùng khoảng hở thứ nhất SLT1 có thể gần giống với vùng uốn cong BA.

Vùng khoảng hở thứ hai SLT2 có thể chồng lên toàn bộ chi tiết ngăn rạn nứt DP-CP. Vùng khoảng hở thứ hai SLT2 có thể ngăn ngừa tác động bên ngoài không bị lan đến vùng hiển thị DD-DA thông qua lớp bao kín màng mỏng TFE. Theo phương án làm ví dụ của sáng chế, vùng khoảng hở thứ hai SLT2 có thể mở rộng ra mép của thiết bị hiển thị DD làm vùng khoảng hở thứ ba SLT20.

Fig.43A và Fig.43B thể hiện vùng khoảng hở thứ nhất SLT1 và vùng khoảng hở thứ hai SLT2 được tạo ra trong các lớp vô cơ bao kín thứ nhất và thứ hai IOL1 và IOL2 làm ví dụ minh họa. Mặc dù không được thể hiện trên các hình vẽ, vùng khoảng hở tương ứng với vùng khoảng hở thứ nhất SLT1 có thể được tạo thành qua lớp cách điện chứa vật liệu vô cơ (cụ thể, lớp cách điện thứ nhất IS-IL1) của lớp cách điện thứ nhất IS-IL1 và lớp cách điện thứ hai IS-IL2. Điều này làm giảm ứng suất xuất hiện trong các lớp vô cơ được bố trí trong vùng uốn cong BA trong khi uốn vùng uốn cong BA.

Mặc dù không được thể hiện riêng biệt, các vùng khoảng hở có thể được tạo ra trong lớp bao kín màng mỏng TFE để làm giảm ứng suất xuất hiện trong khi uốn các vùng uốn cong BA2 và BA3 được thể hiện trên Fig.39.

Fig.44 là hình chiếu bằng thể hiện lớp bao kín màng mỏng TFE được áp dụng cho thiết bị hiển thị DD theo một phương án làm ví dụ của sáng chế. Trên Fig.44, các dấu hiệu khác từ thiết bị hiển thị DD được mô tả với tham chiếu đến Fig.40A đến Fig.43B sẽ được mô tả chủ yếu.

Vùng khoảng hở SLT3 có thể được xác định trong lớp bao kín màng mỏng TFE. Vùng khoảng hở SLT3 được tạo thành qua ít nhất một lớp vô cơ bao kín của lớp bao kín màng mỏng TFE và được tạo thành dọc theo mép của ít nhất một lớp vô cơ bao kín. Như được mô tả với tham chiếu đến Fig.7E và Fig.7H, các khu vực ô DP-C được tách biệt nhau bằng cách cắt lớp nền chính MS sau khi quy trình chế tạo được hoàn thành, và vùng khoảng hở SLT3 có thể được tạo ra bằng cách xét đến lè cắt. Do vùng khoảng hở SLT3, có thể ngăn ngừa sự can nhiễu gây ra do chùm laze hoặc dao được sử dụng để cắt lớp nền chính MS.

Vùng khoảng hở SLT3 có thể có độ rộng lớn hơn hàng chục micromet. Theo một phương án làm ví dụ, độ rộng của vùng khoảng hở SLT3 có thể nhỏ hơn 200 micromet (μm), chẳng hạn. Tốt hơn là, độ rộng của vùng khoảng hở SLT3 có thể nằm trong khoảng từ 100 μm đến 150 μm , chẳng hạn.

Mặc dù các phương án làm ví dụ của sáng chế được mô tả, cần hiểu rằng sáng

chế không bị giới hạn với phương án làm ví dụ này nhưng các thay đổi và sửa đổi khác nhau có thể được tạo ra bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này trong nguyên lý và phạm vi bảo hộ của sáng chế như được nêu sau đây.

Do đó, đối tượng được bộc lộ không bị giới hạn với bất kỳ một phương án nào được mô tả ở đây, và phạm vi bảo hộ của sáng chế sẽ được xác định theo các yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

panen hiển thị bao gồm vùng hiển thị và vùng không hiển thị; và

bộ cảm biến đầu vào được bố trí trên panen hiển thị, panen hiển thị này bao gồm:

lớp đế;

đường tín hiệu thứ nhất được xếp chồng lên vùng hiển thị và vùng không hiển thị và được nối với tranzito được bố trí trong vùng hiển thị;

phần tử phát sáng chứa điện cực thứ nhất, điện cực thứ hai được bố trí trên điện cực thứ nhất, và lớp phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai;

lớp vô cơ bao kín thứ nhất được bố trí trên điện cực thứ hai và được xếp chồng lên vùng hiển thị và vùng không hiển thị; và

đệm tín hiệu được nối điện với đường tín hiệu thứ nhất, được bố trí trên lớp vô cơ bao kín thứ nhất và được bố trí trong vùng không hiển thị, trong đó đệm tín hiệu được nối với đường tín hiệu thứ nhất thông qua lỗ tiếp xúc thứ nhất được tạo thành qua lớp vô cơ bao kín thứ nhất.

2. Thiết bị hiển thị theo điểm 1, trong đó bộ cảm biến đầu vào được bố trí trực tiếp trên panen hiển thị và chứa:

điện cực cảm biến;

đường tín hiệu thứ hai được nối với điện cực cảm biến; và

ít nhất một lớp cách điện được xếp chồng lên vùng hiển thị và vùng không hiển thị.

3. Thiết bị hiển thị theo điểm 2, trong đó panen hiển thị này còn bao gồm đệm giả được bố trí trong vùng không hiển thị, đường tín hiệu thứ hai bao gồm phần đường dẫn được xếp chồng lên vùng hiển thị và vùng không hiển thị và phần đệm được nối với phần

đường dẫn và được xếp chồng lên đệm giả, và ít nhất một lớp cách điện được bố trí giữa đệm giả và phần đệm của đường tín hiệu thứ hai.

4. Thiết bị hiển thị theo điểm 3, trong đó phần đệm của đường tín hiệu thứ hai được nối với đệm giả qua lỗ tiếp xúc thứ hai được tạo thành qua lớp vỏ cơ bao kín thứ nhất và ít nhất một lớp cách điện.

5. Thiết bị hiển thị theo điểm 4, trong đó đệm giả được bố trí trong cùng lớp với đường tín hiệu thứ nhất.

6. Thiết bị hiển thị theo điểm 2, trong đó ít nhất một lớp cách điện được bố trí giữa đệm tín hiệu và đường tín hiệu thứ nhất, và lỗ tiếp xúc thứ nhất còn xuyên qua ít nhất một lớp cách điện.

7. Thiết bị hiển thị theo điểm 2, trong đó đệm tín hiệu được bố trí trong cùng lớp với đường tín hiệu thứ hai.

8. Thiết bị hiển thị theo điểm 2, trong đó điện cực cảm biến bao gồm điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai cắt ngang điện cực cảm biến thứ nhất, mỗi trong số điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai bao gồm các phần cảm biến và các phần nối mỗi trong số đó nối phần cảm biến liền kề nhau, và các phần nối của điện cực cảm biến thứ nhất được nối với phần cảm biến liền kề của điện cực cảm biến thứ nhất qua các lỗ tiếp xúc thứ hai được tạo thành qua ít nhất một lớp cách điện.

9. Thiết bị hiển thị theo điểm 2, trong đó panen hiển thị còn chứa đệm giả được bố trí trong vùng không hiển thị, đường tín hiệu thứ hai bao gồm phần đường dẫn được xếp chồng lên vùng hiển thị và vùng không hiển thị và phần đệm được nối với phần đường dẫn và được xếp chồng lên đệm giả, phần đệm của đường tín hiệu thứ hai được nối với đệm giả thông qua lỗ tiếp xúc thứ hai được tạo thành qua lớp vỏ cơ bao kín thứ nhất, và ít nhất một lớp cách điện không được xếp chồng lên phần đệm của đường tín hiệu thứ hai.

10. Thiết bị hiển thị theo điểm 2, trong đó điện cực cảm biến có dạng lưới.

11. Thiết bị hiển thị theo điểm 2, trong đó điện cực cảm biến bao gồm điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai cắt ngang điện cực cảm biến thứ nhất, và ít nhất một lớp cách điện được bố trí giữa điện cực cảm biến thứ nhất và điện cực cảm biến thứ hai.

12. Thiết bị hiển thị theo điểm 2, trong đó bộ cảm biến đầu vào còn bao gồm điện cực giả được xếp chồng lên điện cực cảm biến.

13. Thiết bị hiển thị theo điểm 2, trong đó điện cực cảm biến bao gồm các điện cực cảm biến thứ nhất và các điện cực cảm biến thứ hai lần lượt tương ứng với các điện cực cảm biến thứ nhất, mỗi trong số các điện cực cảm biến thứ hai bao gồm các phần cảm biến được bố trí trong cùng lớp với điện cực cảm biến thứ nhất và được bố trí là cách xa nhau, và

đường tín hiệu thứ hai bao gồm các phần đường dẫn thứ nhất được bố trí trong cùng lớp với các điện cực cảm biến thứ nhất và được nối với các phần cảm biến, và các phần đường dẫn thứ hai được bố trí trên lớp khác với các điện cực cảm biến thứ nhất và được nối với một số phần đường dẫn thứ nhất được nối với các phần cảm biến trong số các phần đường dẫn thứ nhất thông qua các lỗ tiếp xúc thứ hai được tạo thành qua ít nhất một lớp cách điện.

14. Thiết bị hiển thị theo điểm 2, trong đó điện cực cảm biến được bố trí trong cùng lớp với đường tín hiệu thứ hai, và ít nhất một lớp cách điện phủ trực tiếp lên điện cực cảm biến và đường tín hiệu thứ hai.

15. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm bộ chống phản xạ để giảm độ phản xạ của ánh sáng bên ngoài, trong đó bộ chống phản xạ được bố trí trên lớp vô cơ bao kín thứ nhất.

16. Thiết bị hiển thị theo điểm 1, trong đó lớp vô cơ bao kín thứ nhất được bố trí hoàn toàn trên lớp đế.

17. Thiết bị hiển thị theo điểm 1, trong đó panen hiển thị còn bao gồm:

lớp vô cơ bao kín thứ hai được bố trí trên lớp vô cơ bao kín thứ nhất; và

lớp hữu cơ bao kín được xếp chồng lên vùng hiển thị và được bố trí giữa lớp vô cơ bao kín thứ nhất và lớp vô cơ bao kín thứ hai.

18. Thiết bị hiển thị theo điểm 1, trong đó bộ cảm biến đầu vào bao gồm:

điện cực cảm biến thứ nhất bao gồm các phần cảm biến thứ nhất và các phần nối thứ nhất nối các phần cảm biến thứ nhất, điện cực cảm biến thứ nhất được bố trí trên bề mặt để được tạo ra trên panen hiển thị; và

điện cực cảm biến thứ hai bao gồm các phần cảm biến thứ hai và các phần nối thứ hai nối các phần cảm biến thứ hai, điện cực cảm biến thứ hai được bố trí trên bề mặt để được tạo ra trên panen hiển thị,

trong đó các phần cảm biến thứ nhất được bố trí trong cùng lớp với các phần cảm biến thứ hai, một trong số các phần nối thứ nhất và các phần nối thứ hai được bố trí trong cùng lớp với phần cảm biến thứ nhất, và các phần nối thứ nhất cắt ngang các phần nối thứ hai sao cho lớp cách điện được bố trí giữa các phần nối thứ nhất và các phần nối thứ hai.

19. Thiết bị hiển thị theo điểm 1, trong đó bộ cảm biến đầu vào được bố trí trực tiếp trên panen hiển thị và bao gồm:

điện cực cảm biến có dạng lưới; và

đường tín hiệu thứ hai được nối với điện cực cảm biến,

đường tín hiệu thứ hai bao gồm lớp có cùng vật liệu với điện cực cảm biến.

20. Thiết bị hiển thị theo điểm 1, trong đó bộ cảm biến đầu vào bao gồm ít nhất một lớp cách điện chứa polyme, các điện cực cảm biến thứ nhất, và các điện cực cảm biến thứ hai được cách điện với các điện cực cảm biến thứ nhất trong khi cắt ngang các điện cực cảm biến thứ nhất, và

ít nhất một lớp cách điện để cách điện các điện cực cảm biến thứ nhất với các

điện cực cảm biến thứ hai.

21. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm màng phân cực được bố trí trên panen hiển thị, trong đó bộ cảm biến đầu vào chứa màng đế và các điện cực cảm biến được bố trí trên ít nhất một bề mặt của màng đế, và màng phân cực được bố trí giữa panen hiển thị và bộ cảm biến đầu vào.

22. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm màng phân cực được bố trí trên panen hiển thị, trong đó bộ cảm biến đầu vào chứa màng đế và các điện cực cảm biến được bố trí trên ít nhất một bề mặt của màng đế, và bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực.

23. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm màng phân cực được bố trí trên panen hiển thị, trong đó bộ cảm biến đầu vào chứa màng đế và các điện cực cảm biến được bố trí trên bề mặt dưới của màng đế, và màng phân cực được bố trí giữa panen hiển thị và bộ cảm biến đầu vào.

24. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm màng phân cực được bố trí trên panen hiển thị, trong đó bộ cảm biến đầu vào chứa màng đế, lớp cách điện của đế được bố trí trên màng đế, và các điện cực cảm biến được bố trí trên lớp cách điện của đế, và bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực.

25. Thiết bị hiển thị theo điểm 1, thiết bị hiển thị này còn bao gồm màng phân cực được bố trí trên panen hiển thị, trong đó bộ cảm biến đầu vào chứa màng đế, các điện cực cảm biến được bố trí trên bề mặt dưới của màng đế, và các đường tín hiệu được nối với các điện cực cảm biến, bộ cảm biến đầu vào được bố trí giữa panen hiển thị và màng phân cực, và các phần đệm của các đường tín hiệu được nối điện với các đệm đầu vào của panen hiển thị bởi thành phần dẫn điện.

26. Thiết bị hiển thị theo điểm 1, trong đó bộ cảm biến đầu vào chứa điện cực cảm biến được bố trí trên bề mặt đế được tạo ra trên panen hiển thị và lớp cách điện được bố trí

trên một phía trong số phía bên trên hoặc phía bên dưới của điện cực cảm biến, lớp cách điện chứa lớp cách điện có chỉ số khúc xạ cao và lớp cách điện có chỉ số khúc xạ thấp, và lớp cách điện có chỉ số khúc xạ thấp được bố trí gần điện cực cảm biến hơn so với lớp cách điện có chỉ số khúc xạ cao.

FIG. 1

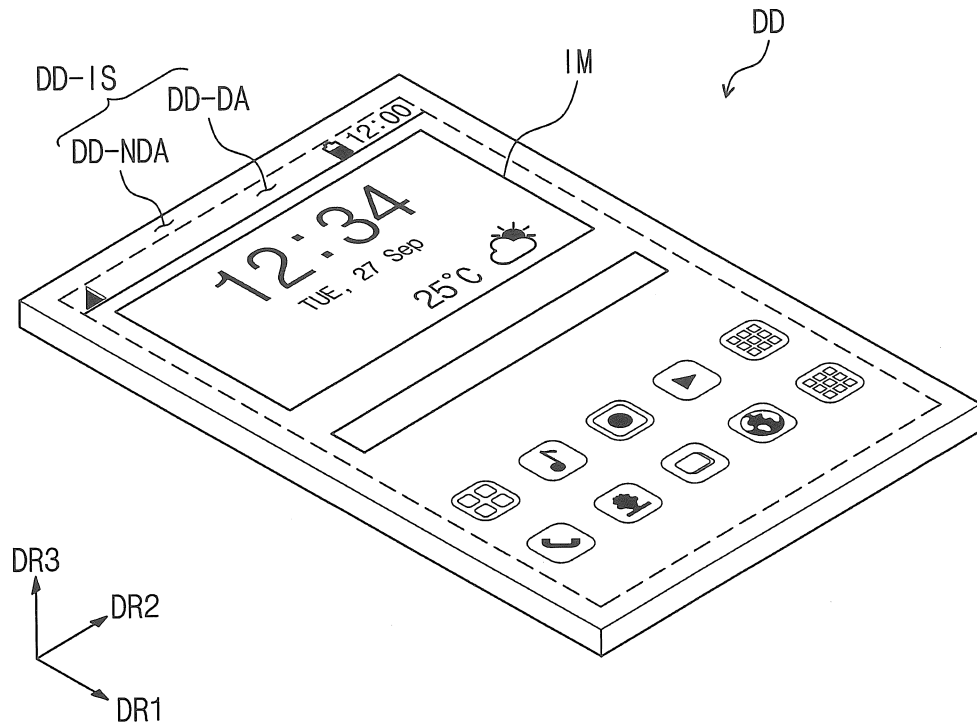


FIG. 2A

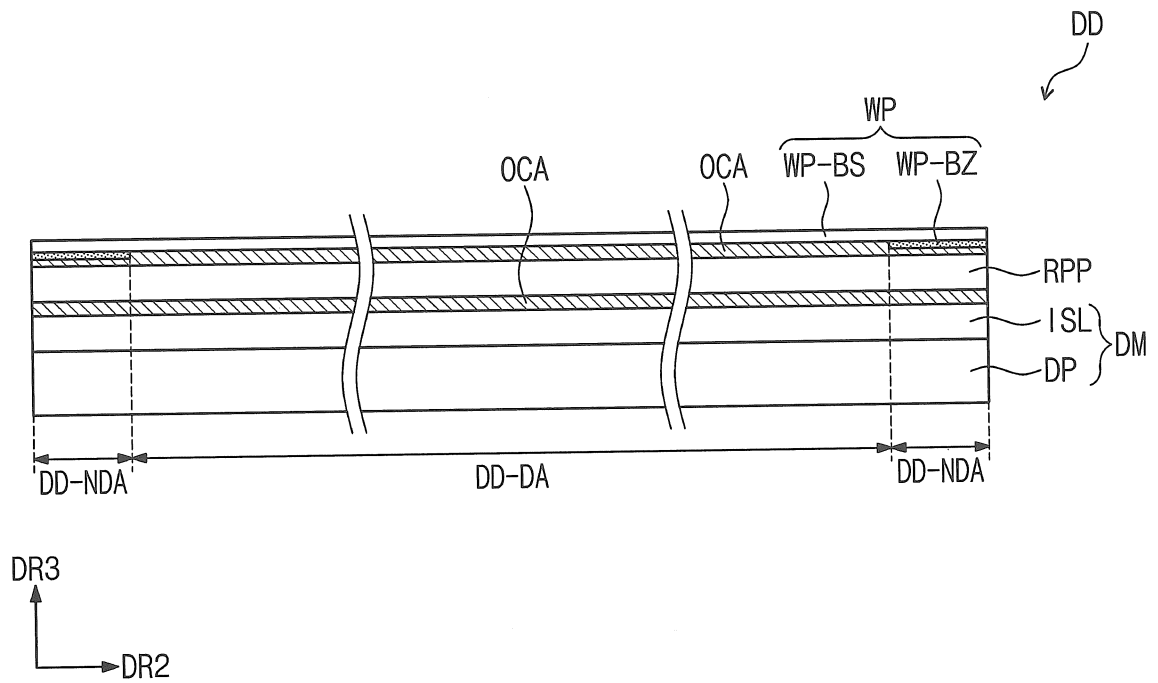


FIG. 2B

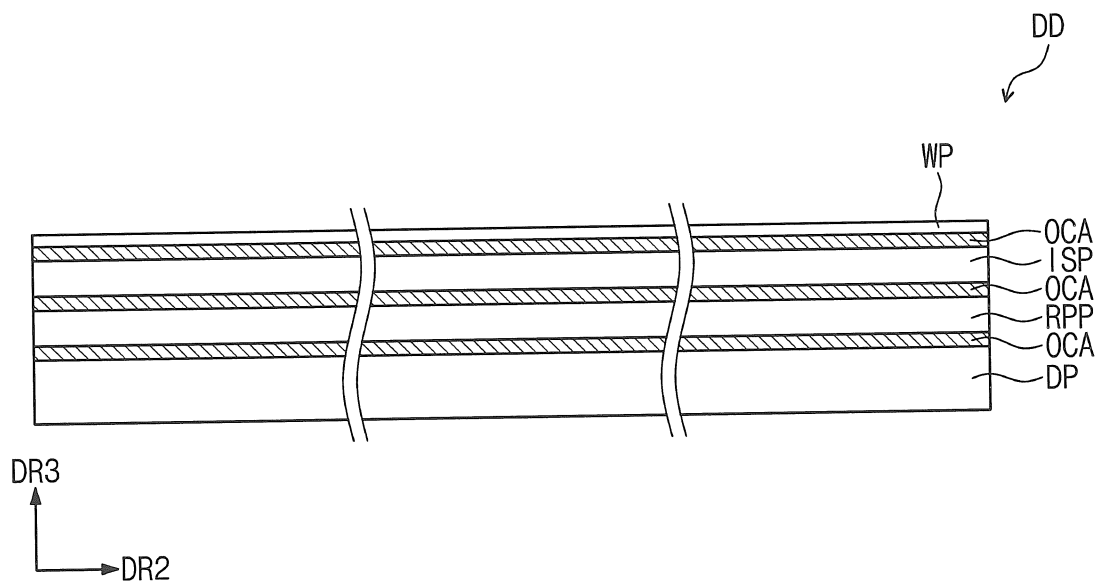


FIG. 2C

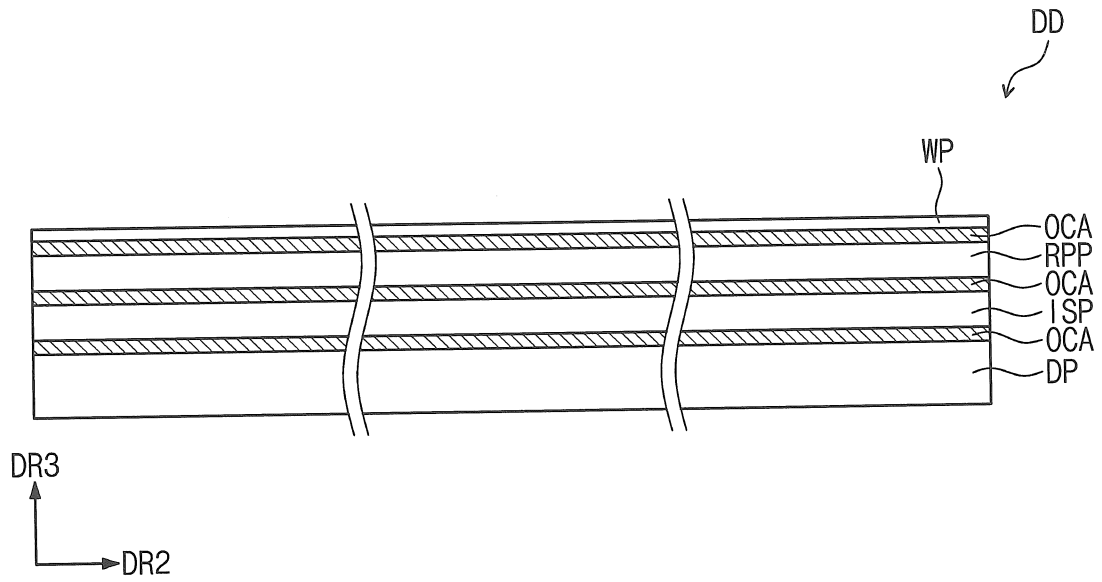


FIG. 2D

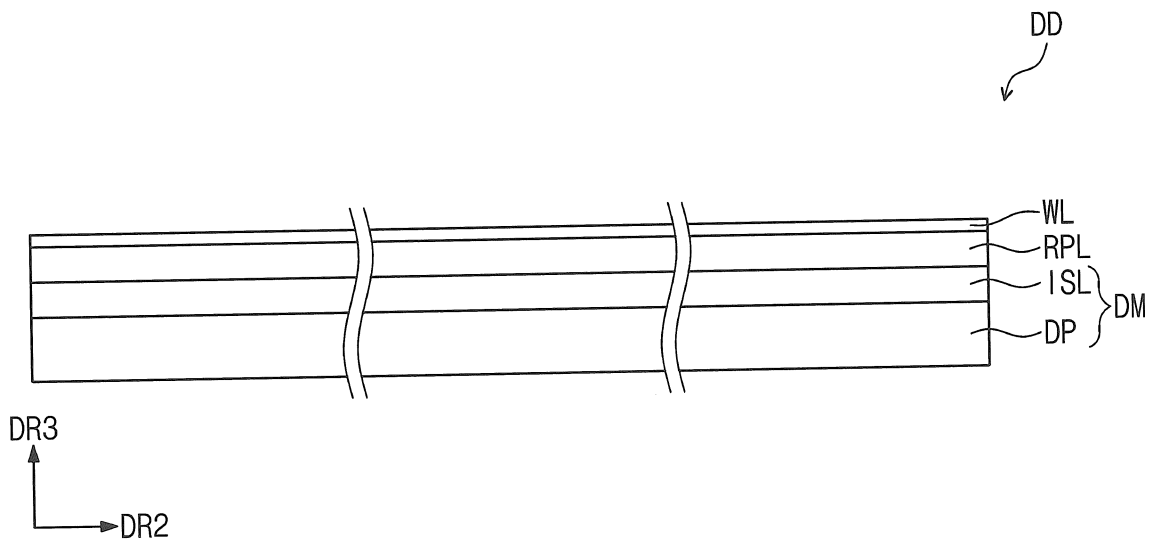


FIG. 2E

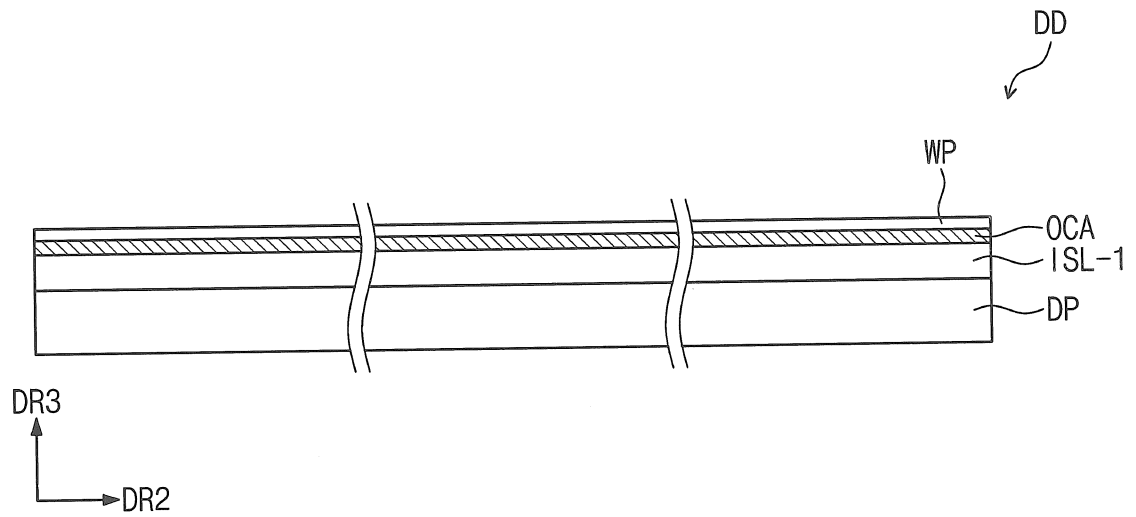


FIG. 2F

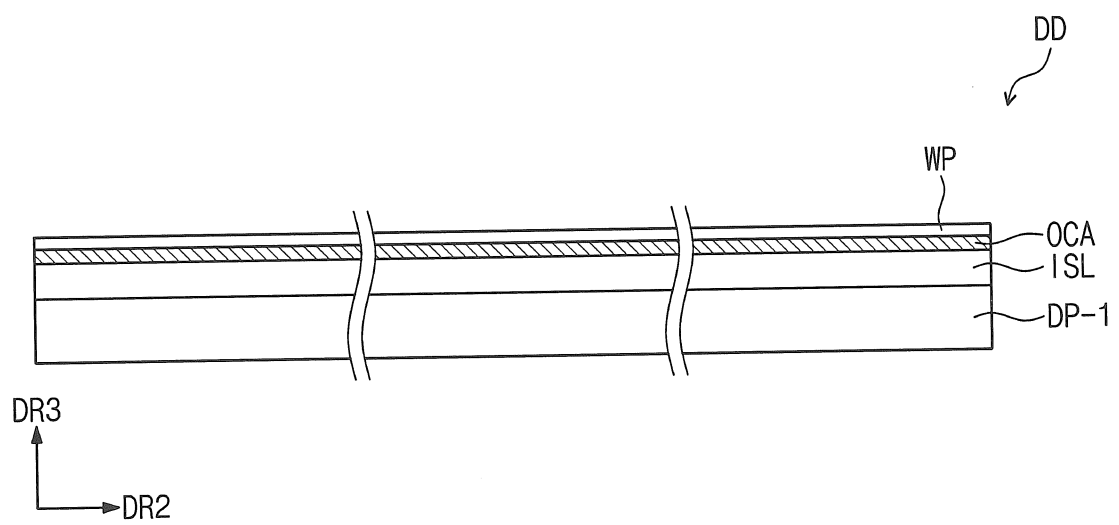


FIG. 3

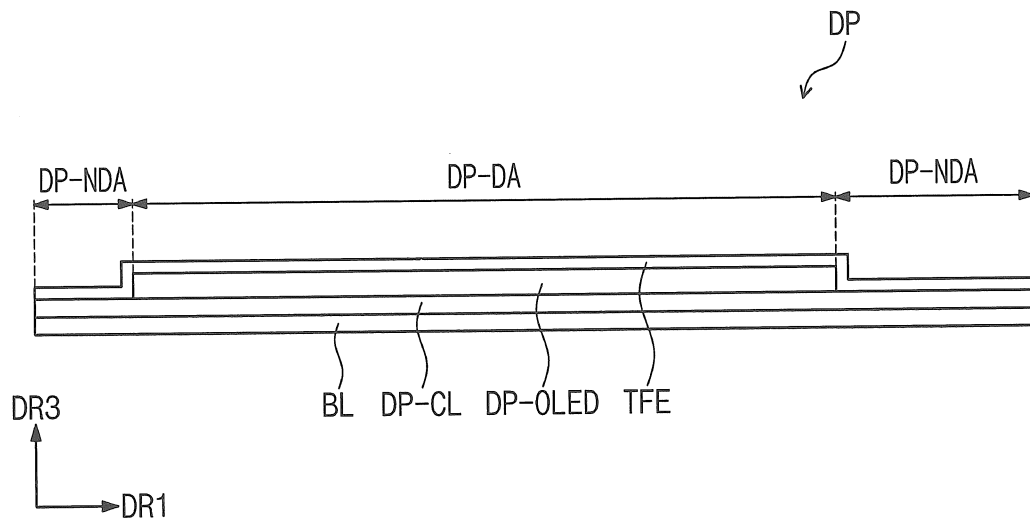


FIG. 4A

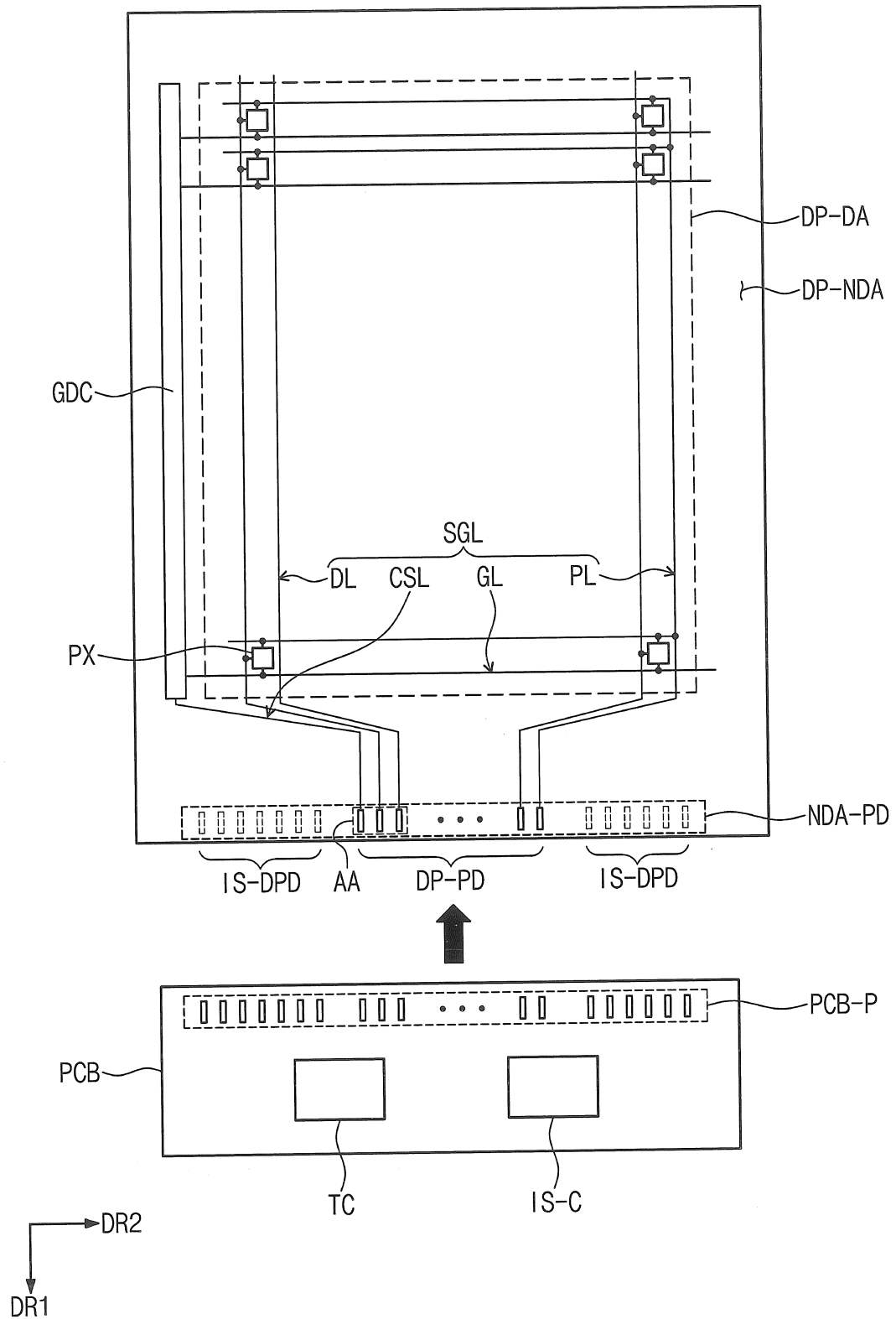


FIG. 4B

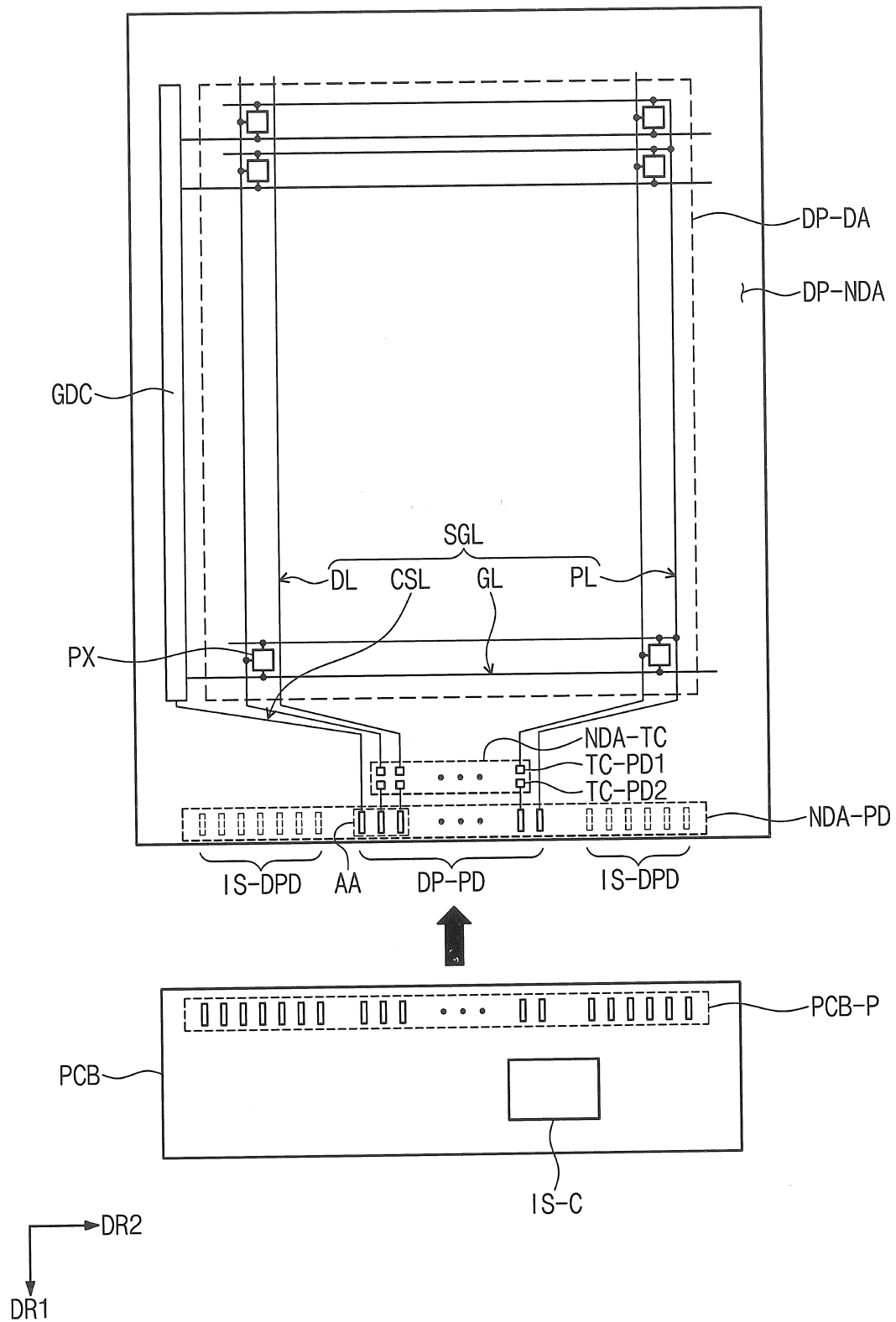


FIG. 5

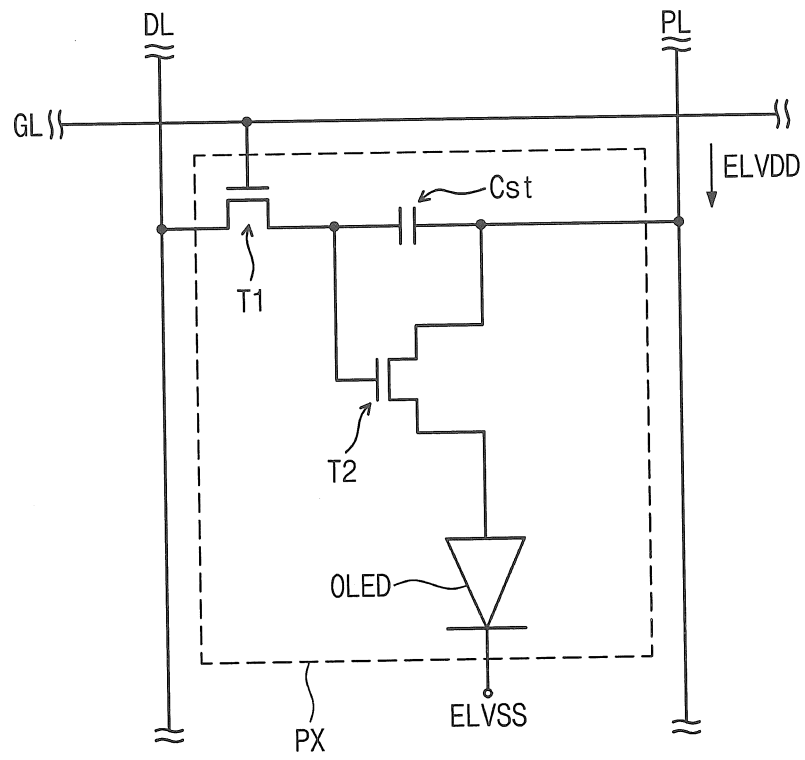


FIG. 6

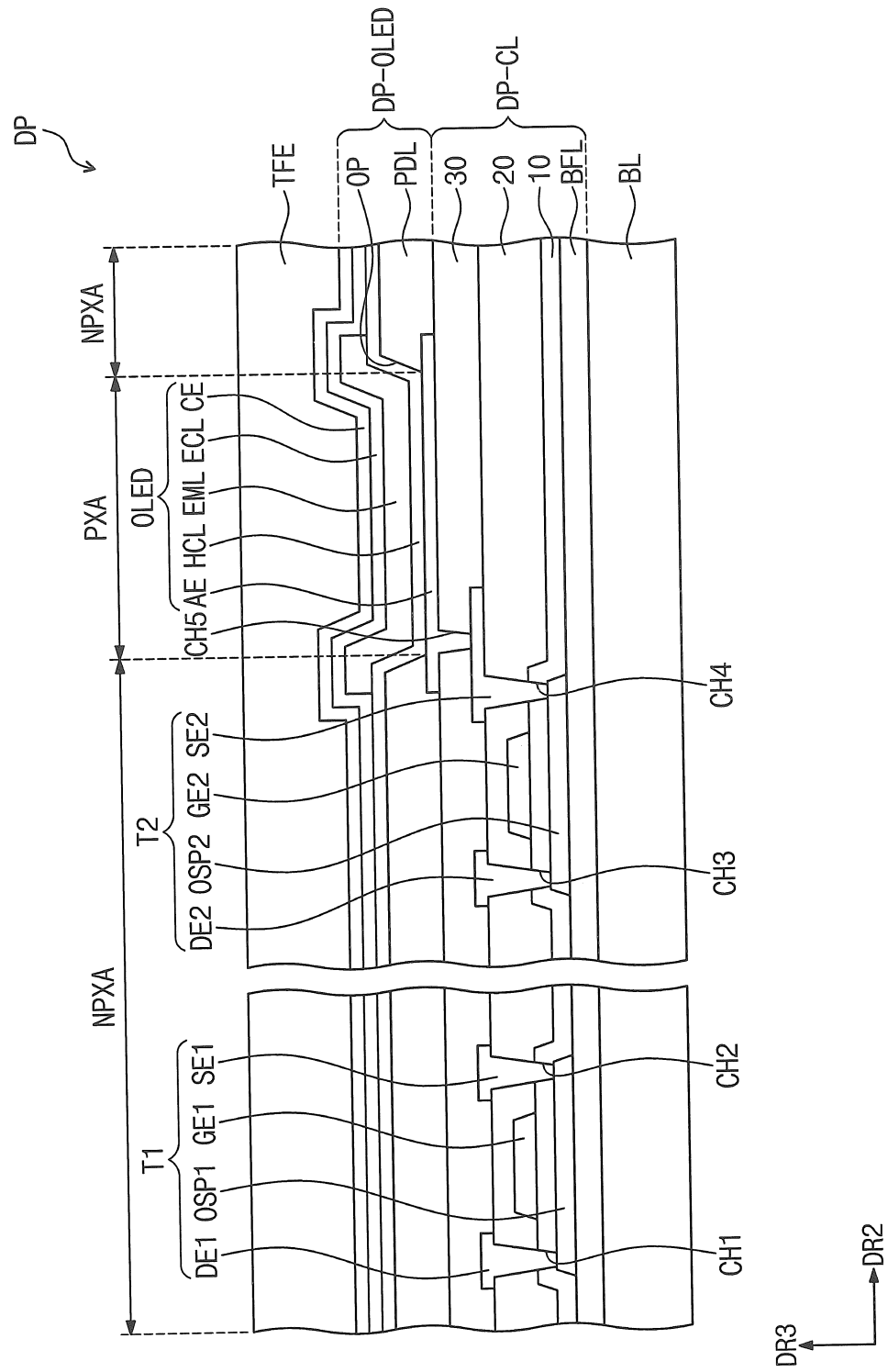


FIG. 7A

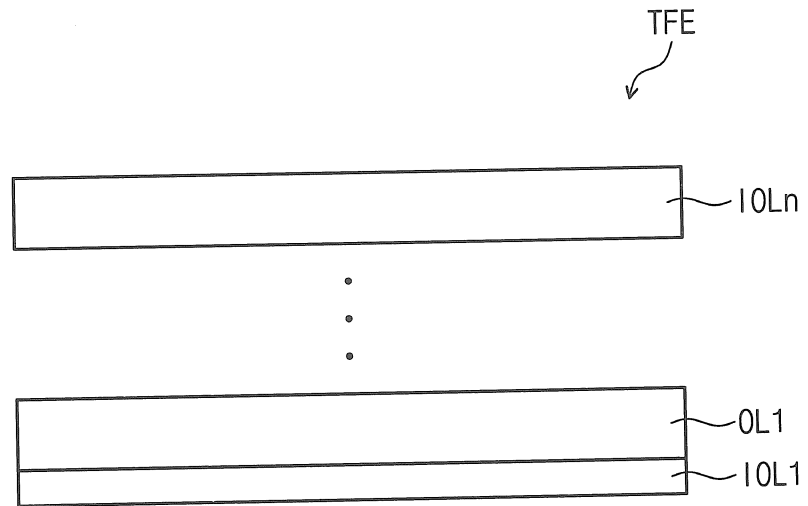


FIG. 7B

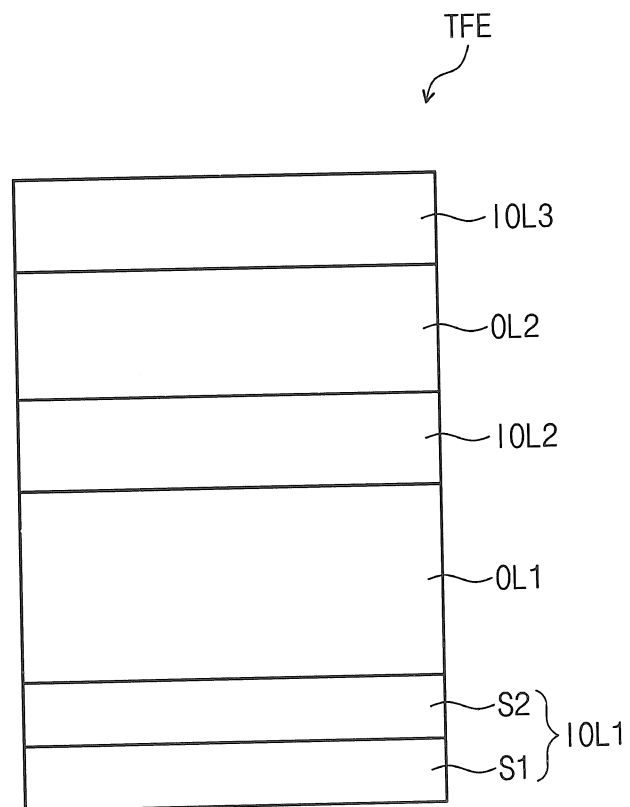


FIG. 7C

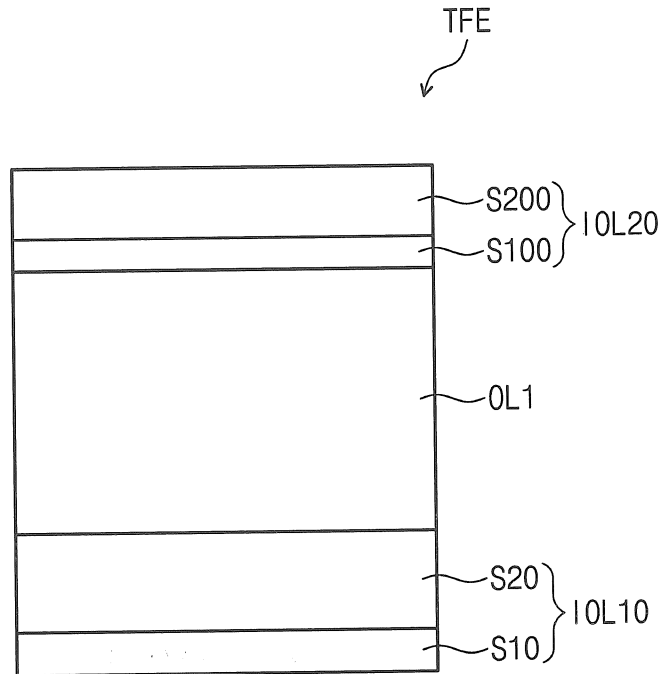


FIG. 7D

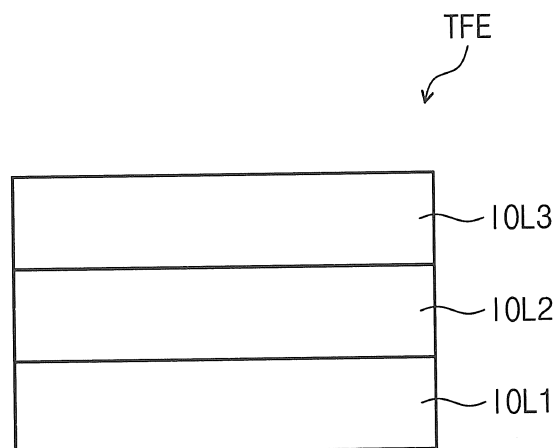


FIG. 7E

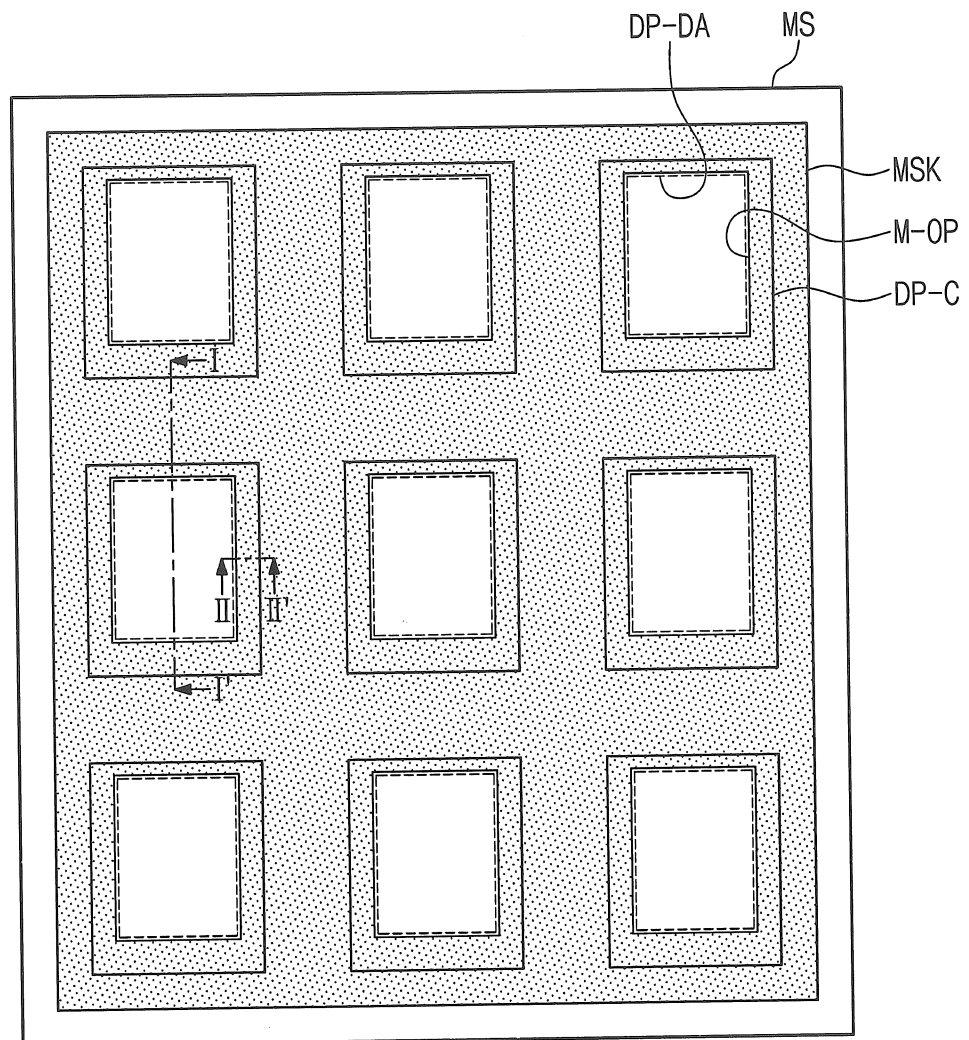


FIG. 7F

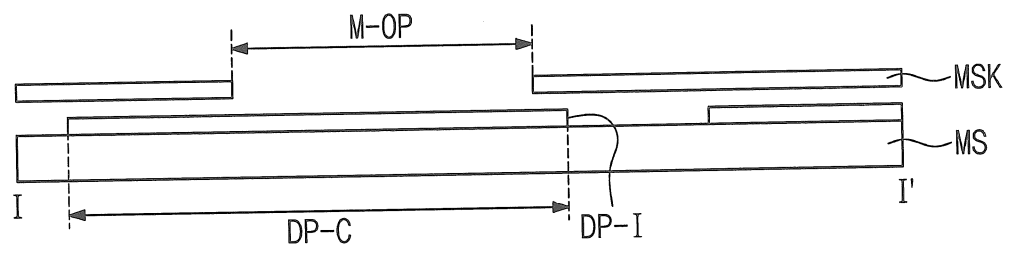


FIG. 7G

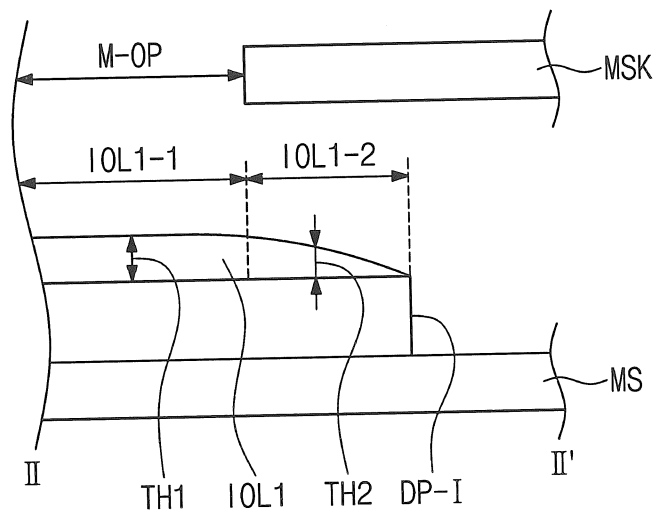


FIG. 7H

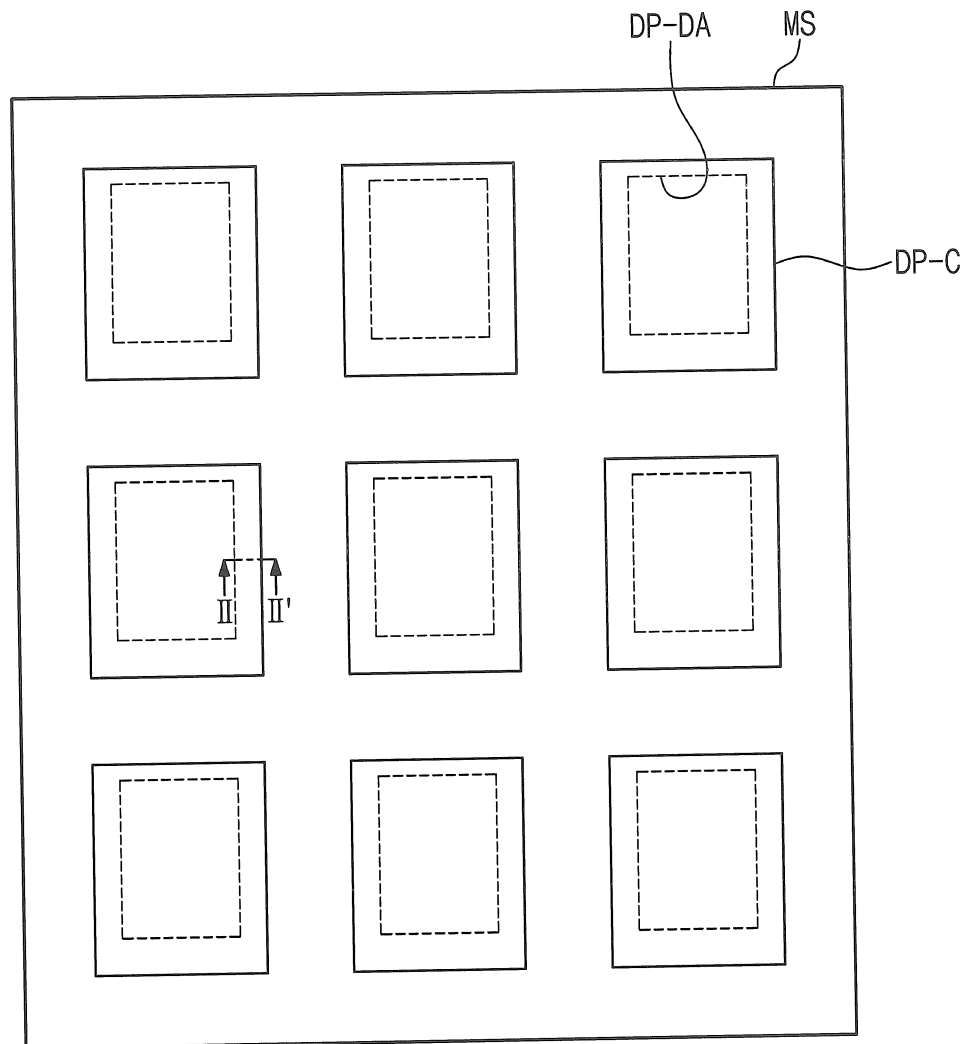


FIG. 7I

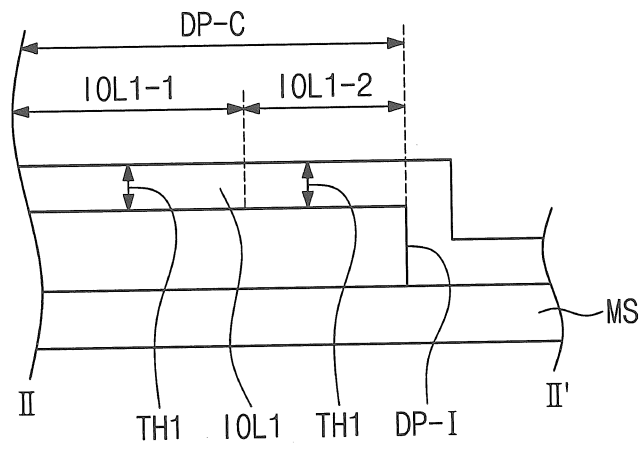


FIG. 8A

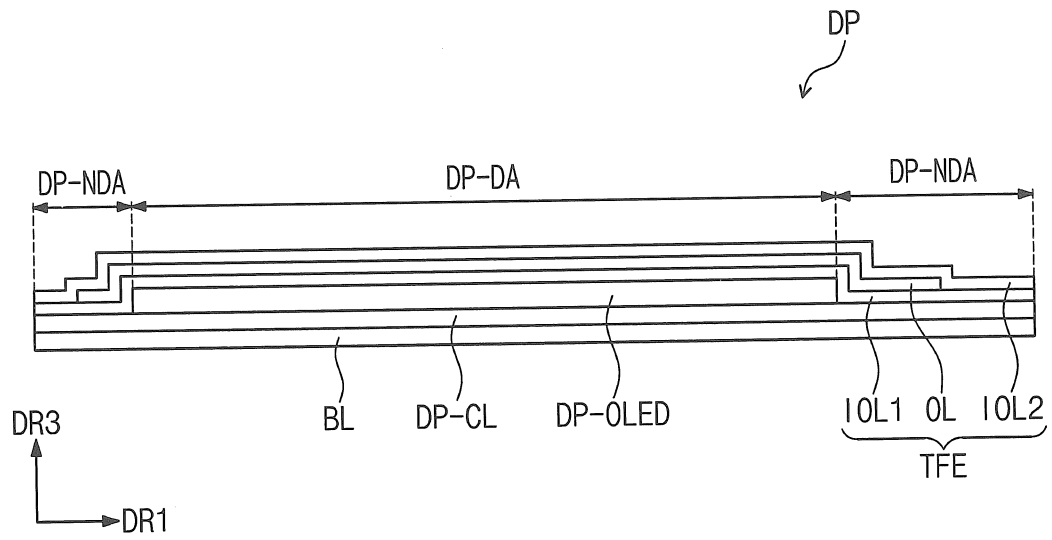


FIG. 8B

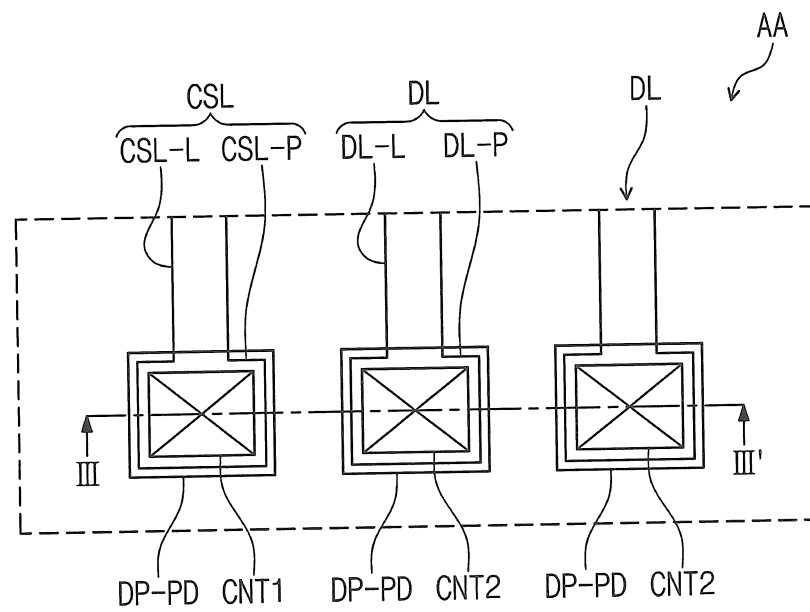


FIG. 8C

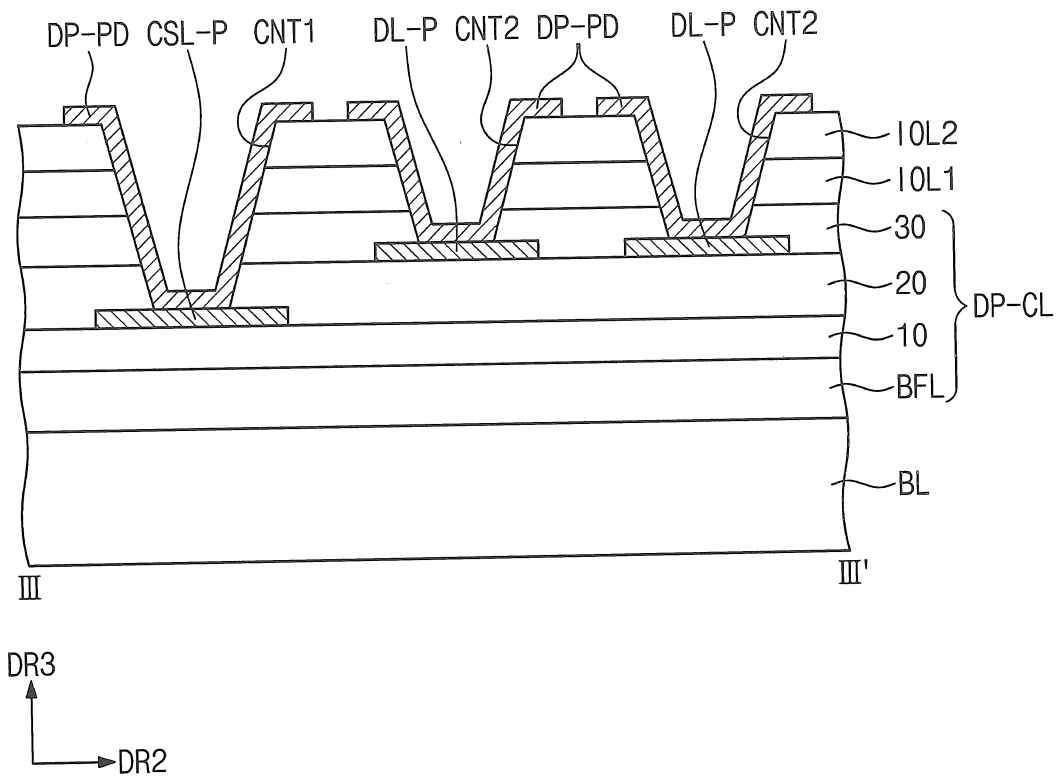


FIG. 8D

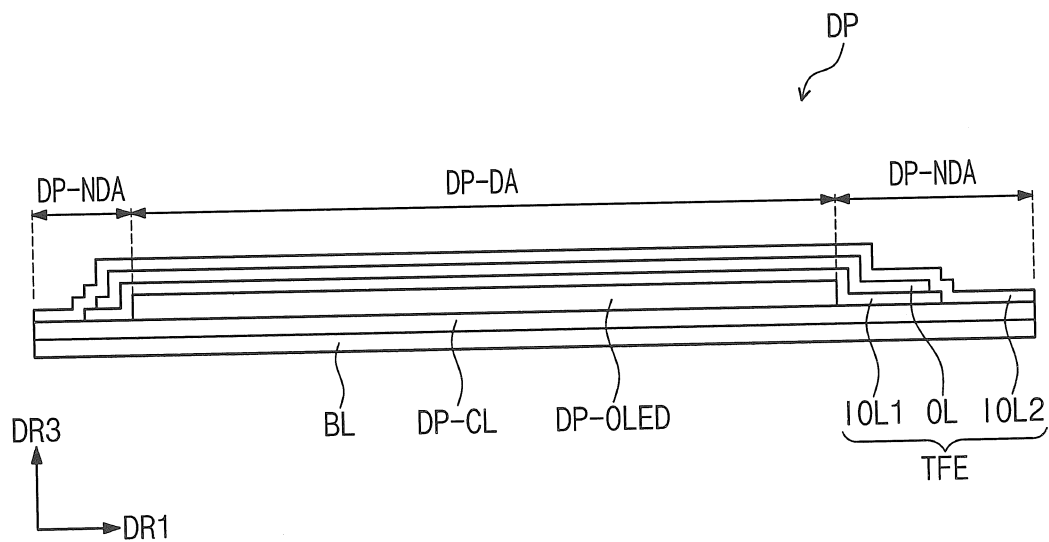


FIG. 8G

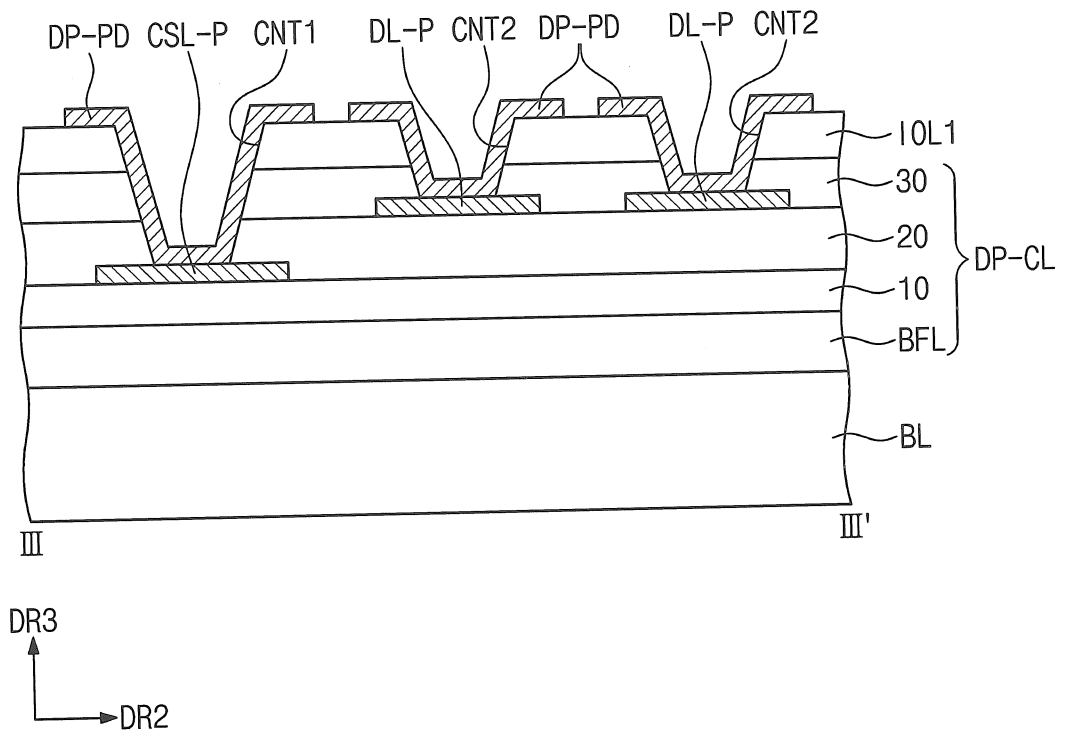


FIG. 9

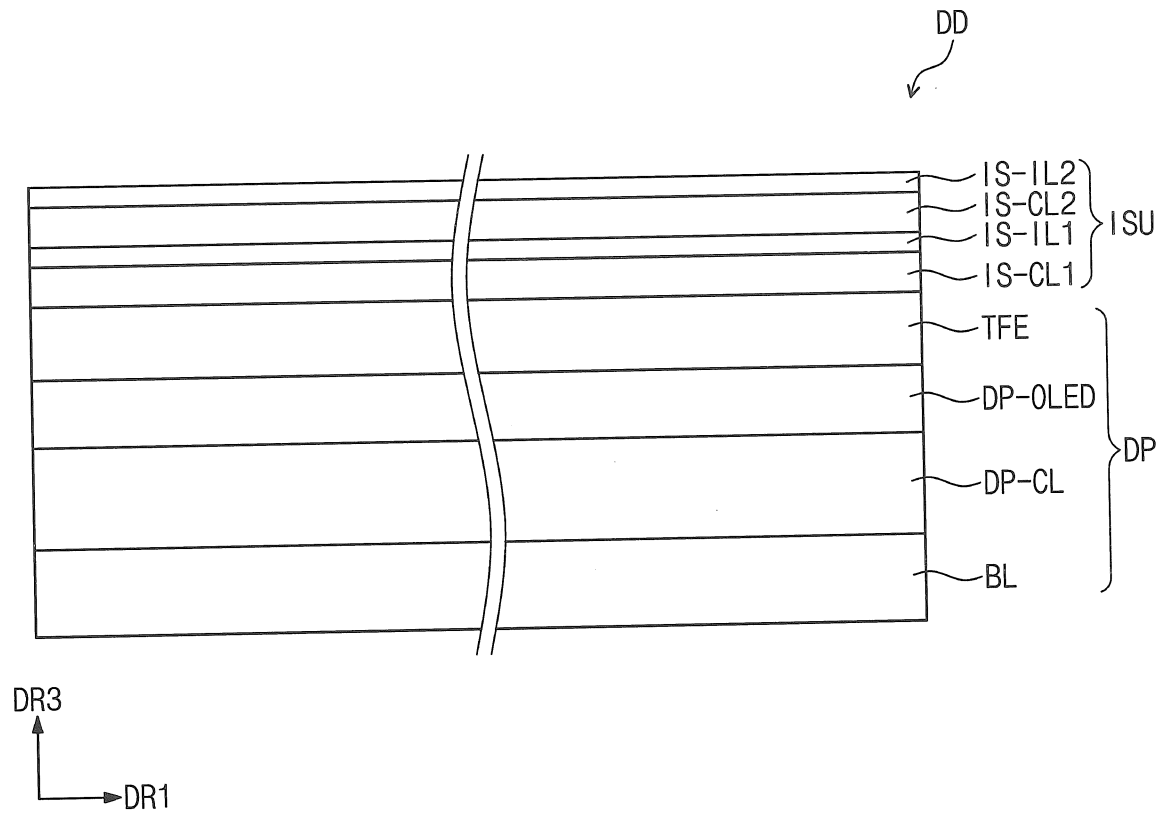


FIG. 10A

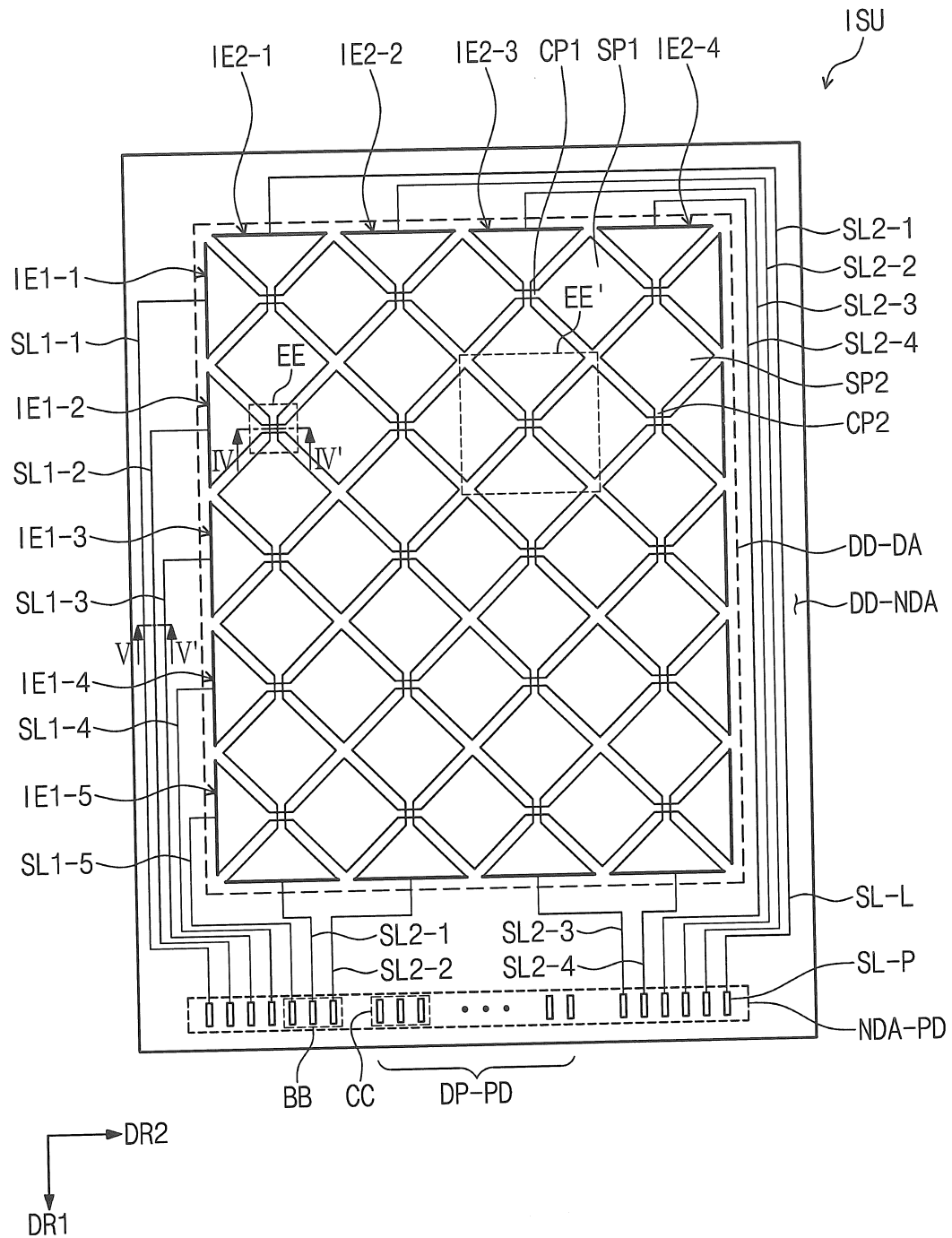


FIG. 10B

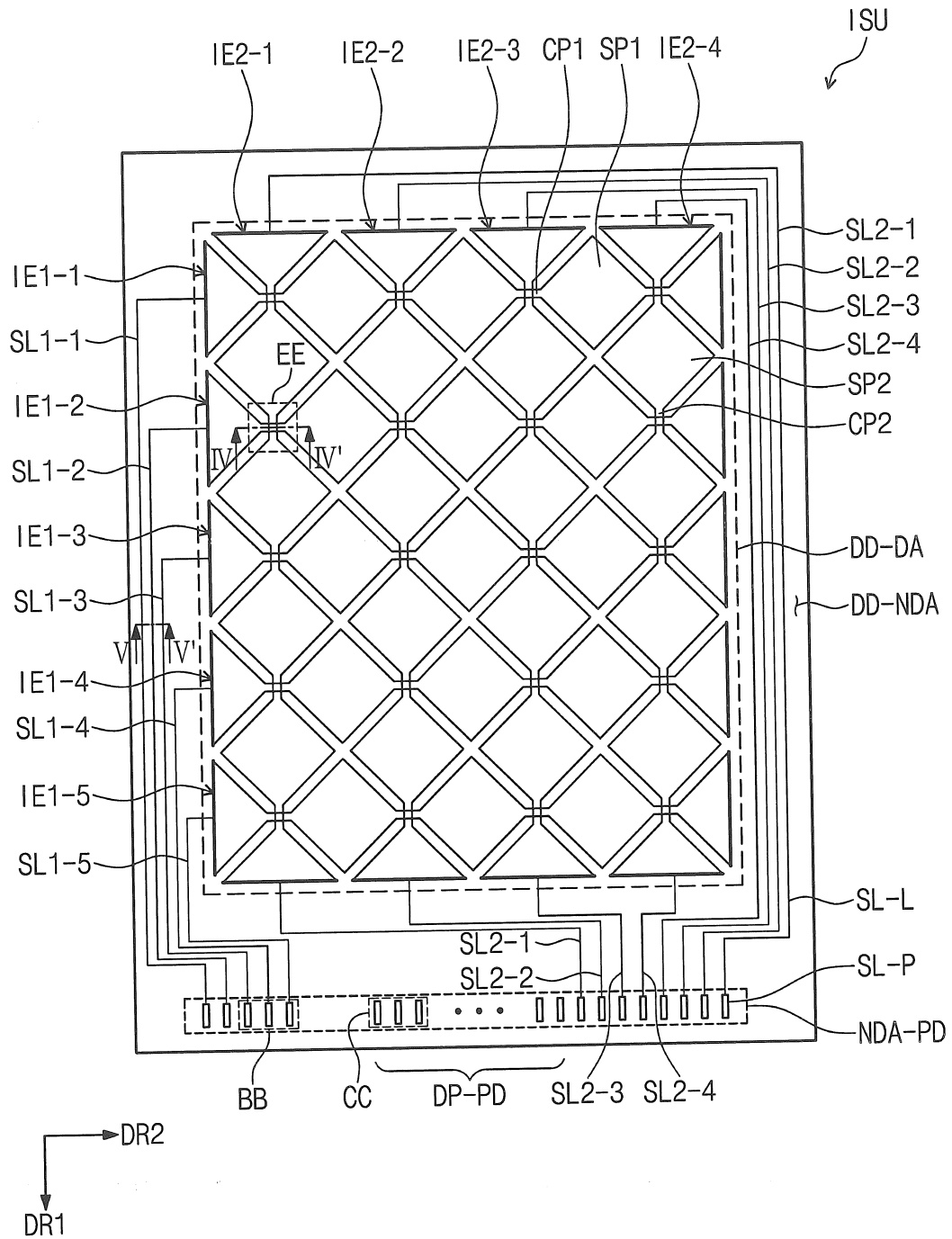


FIG. 11A

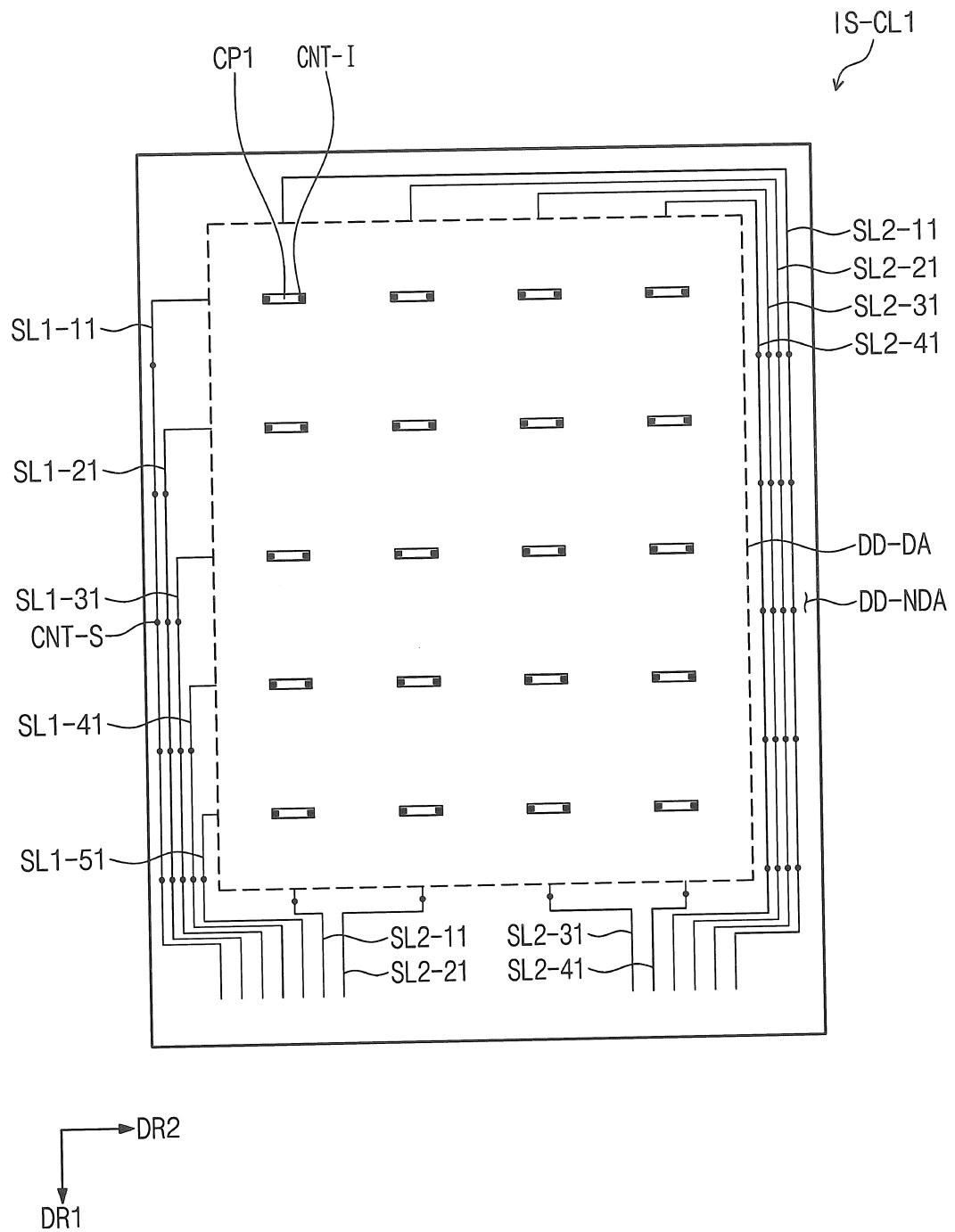


FIG. 11B

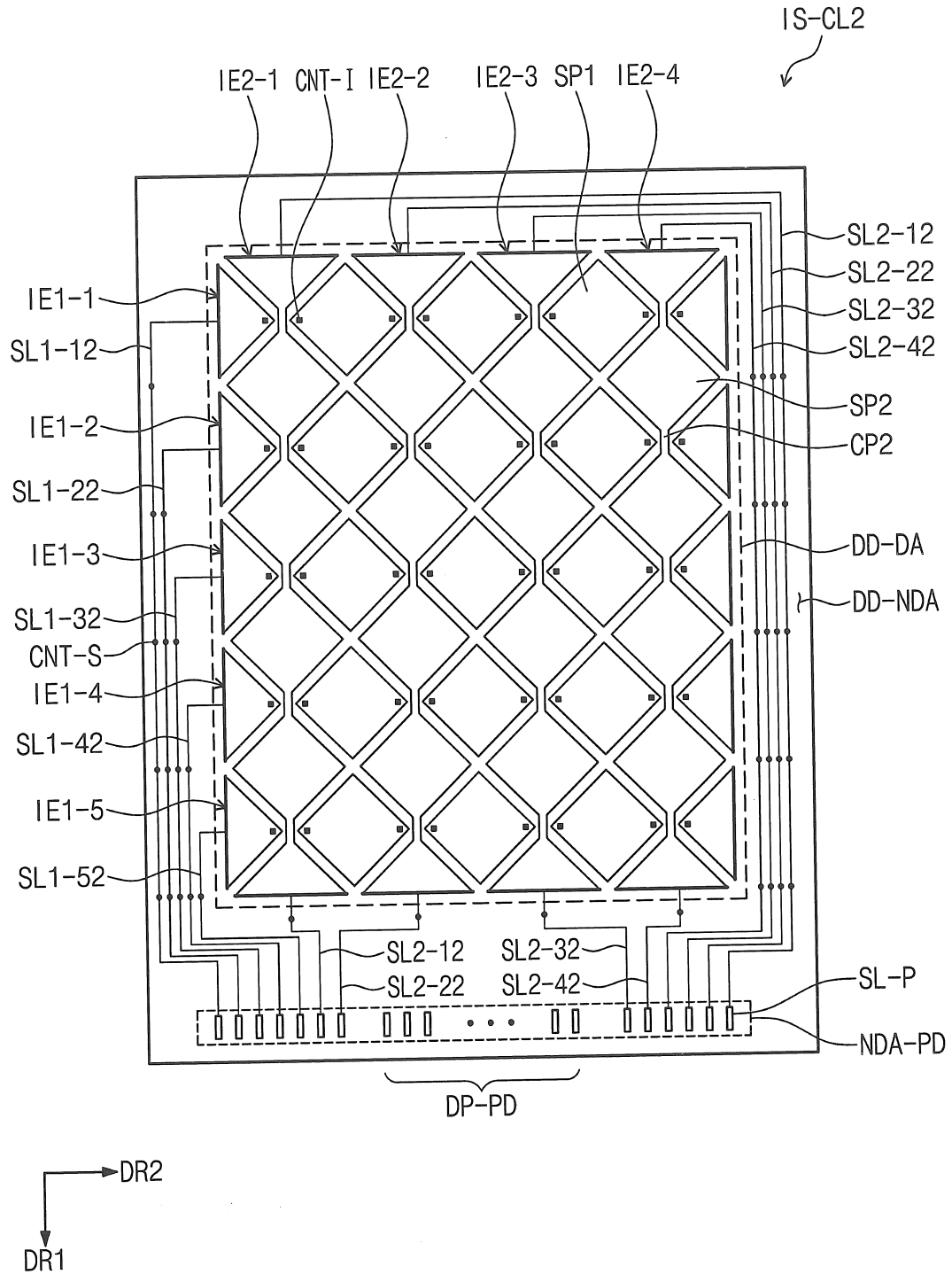


FIG. 11C

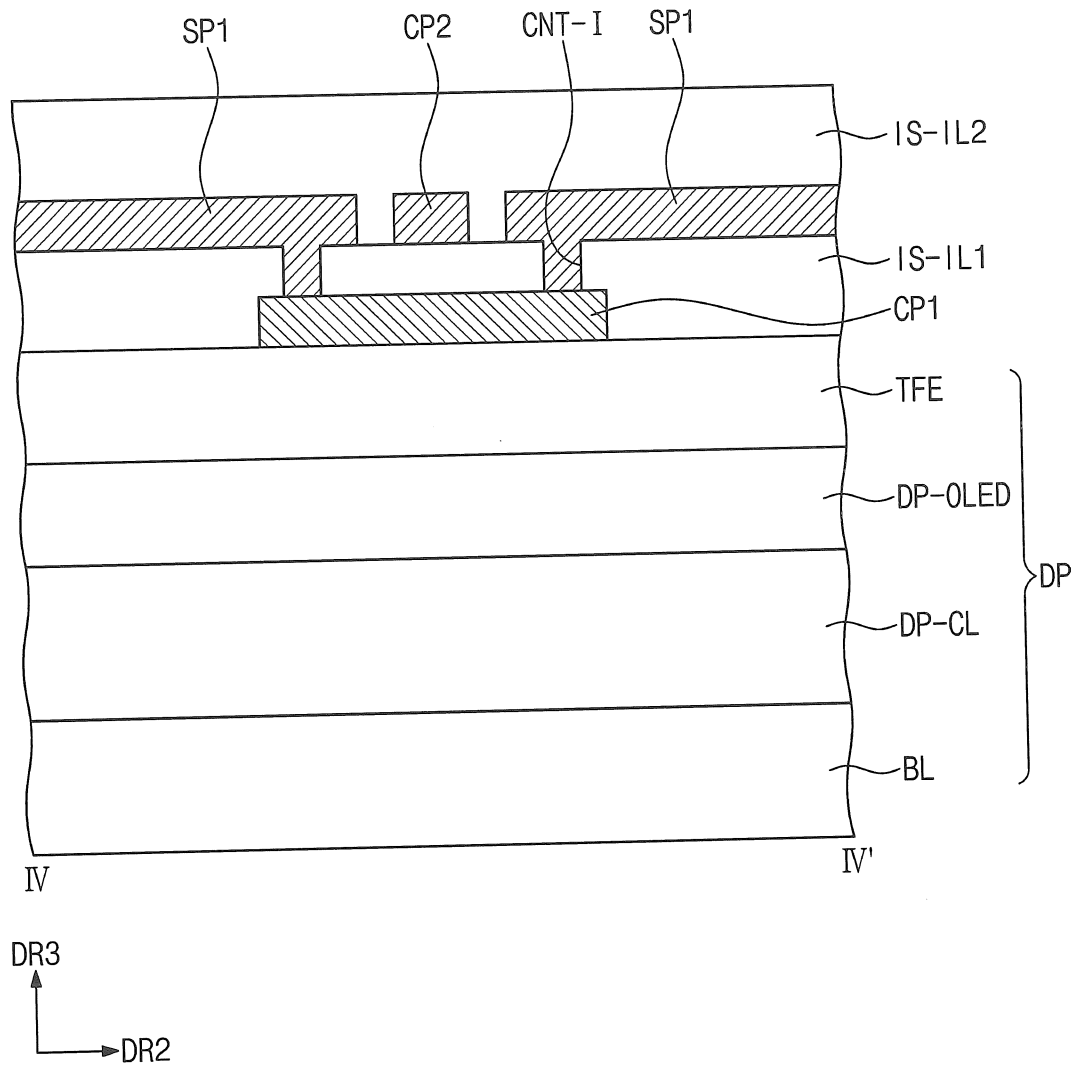


FIG. 11D

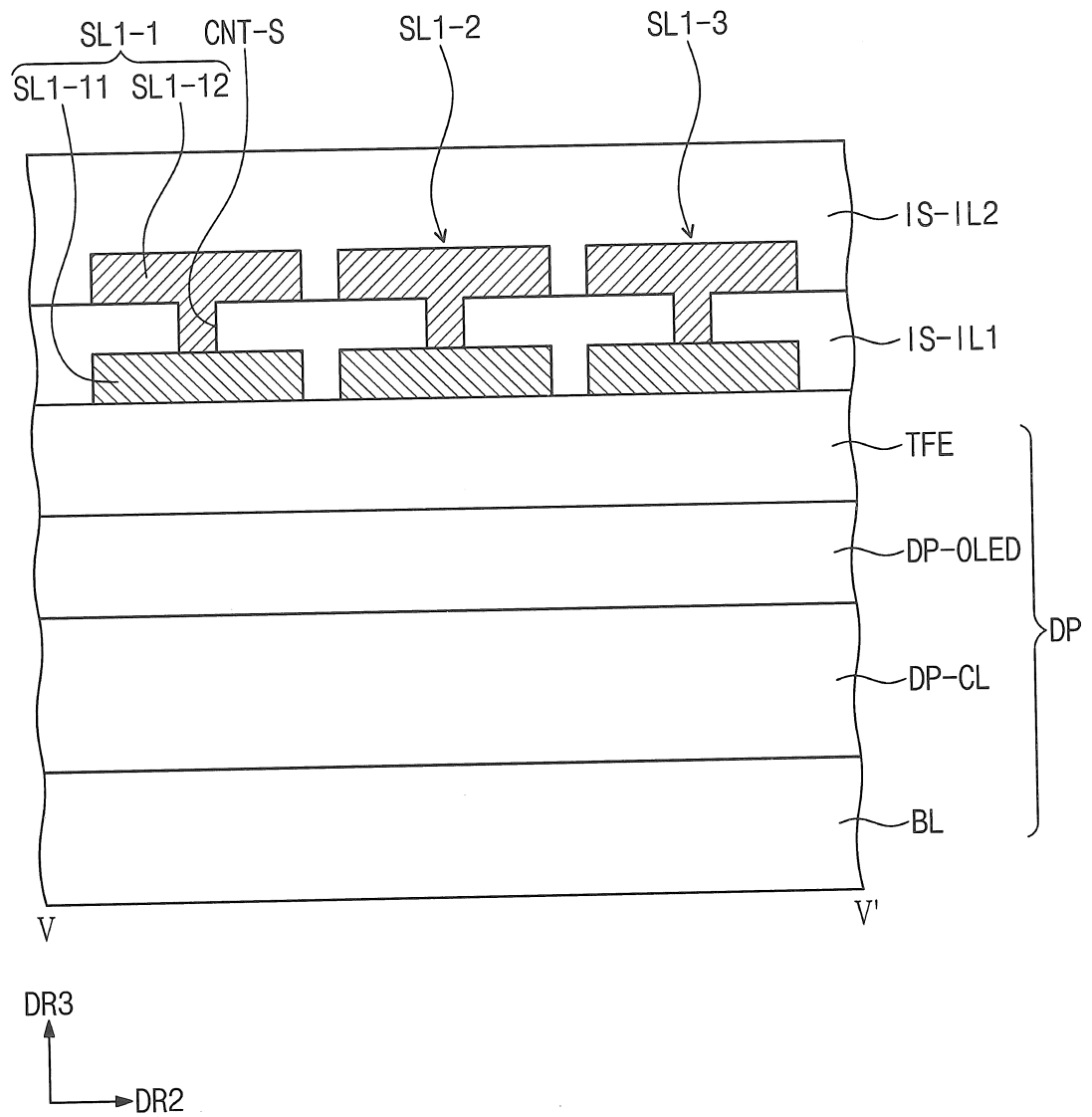


FIG. 11E

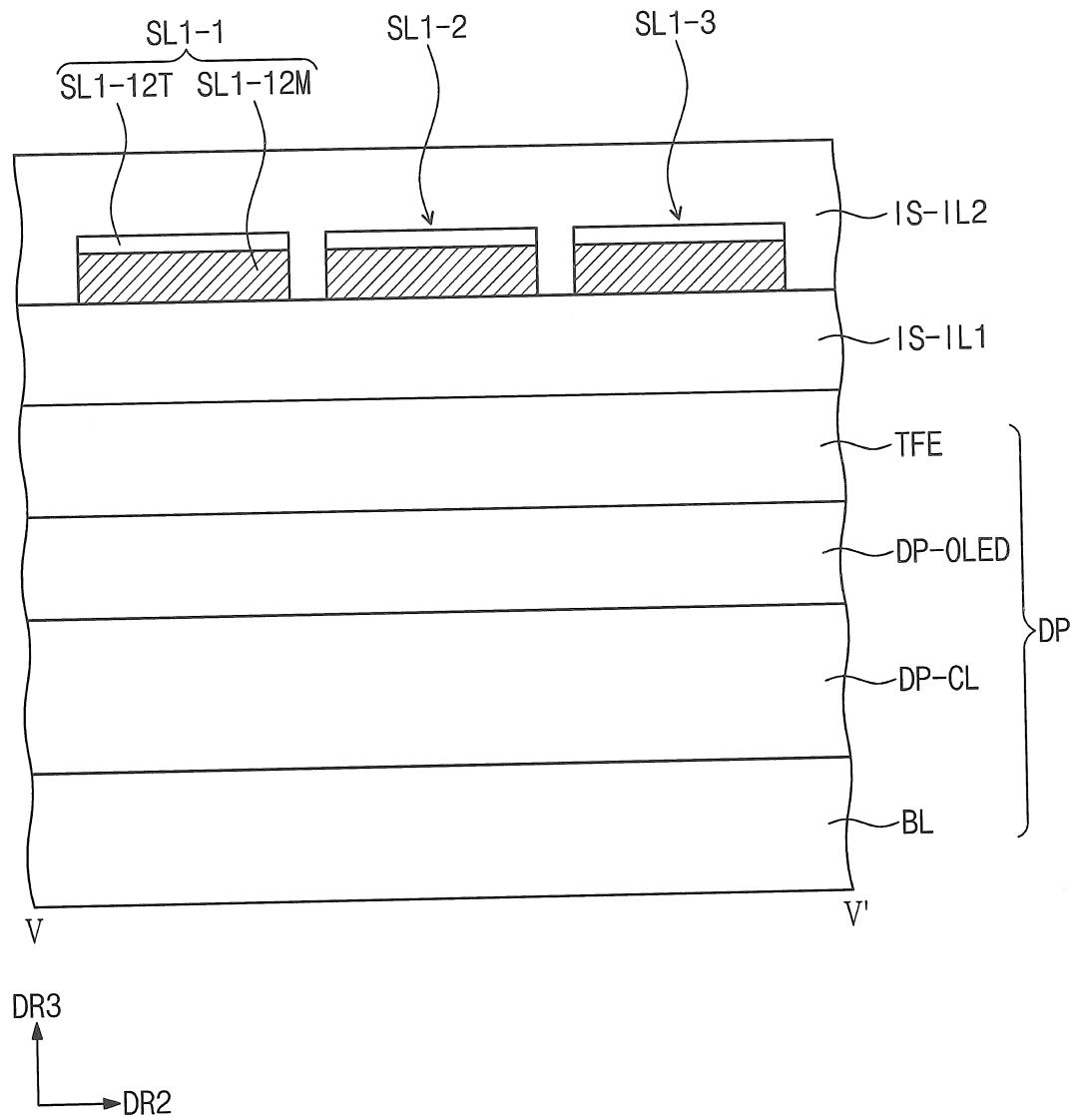


FIG. 12A

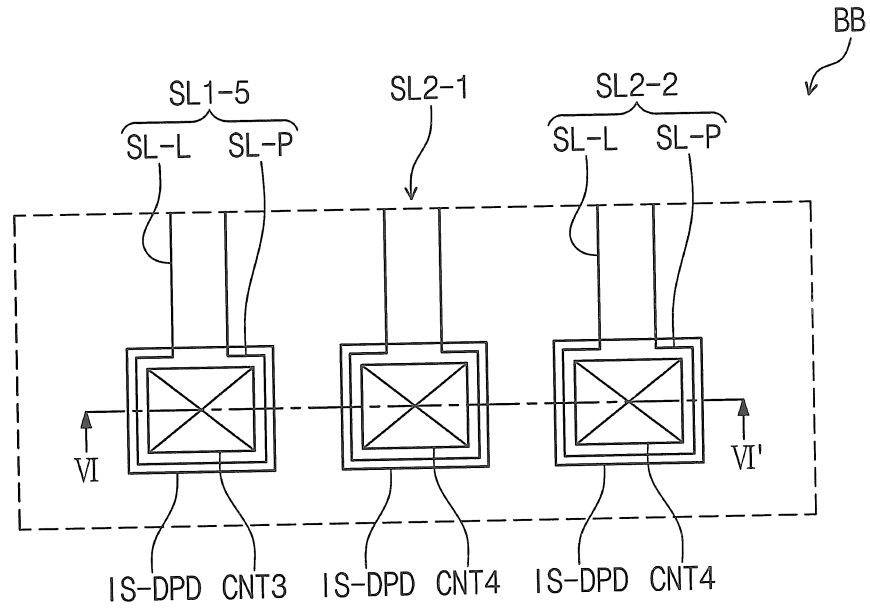


FIG. 12B

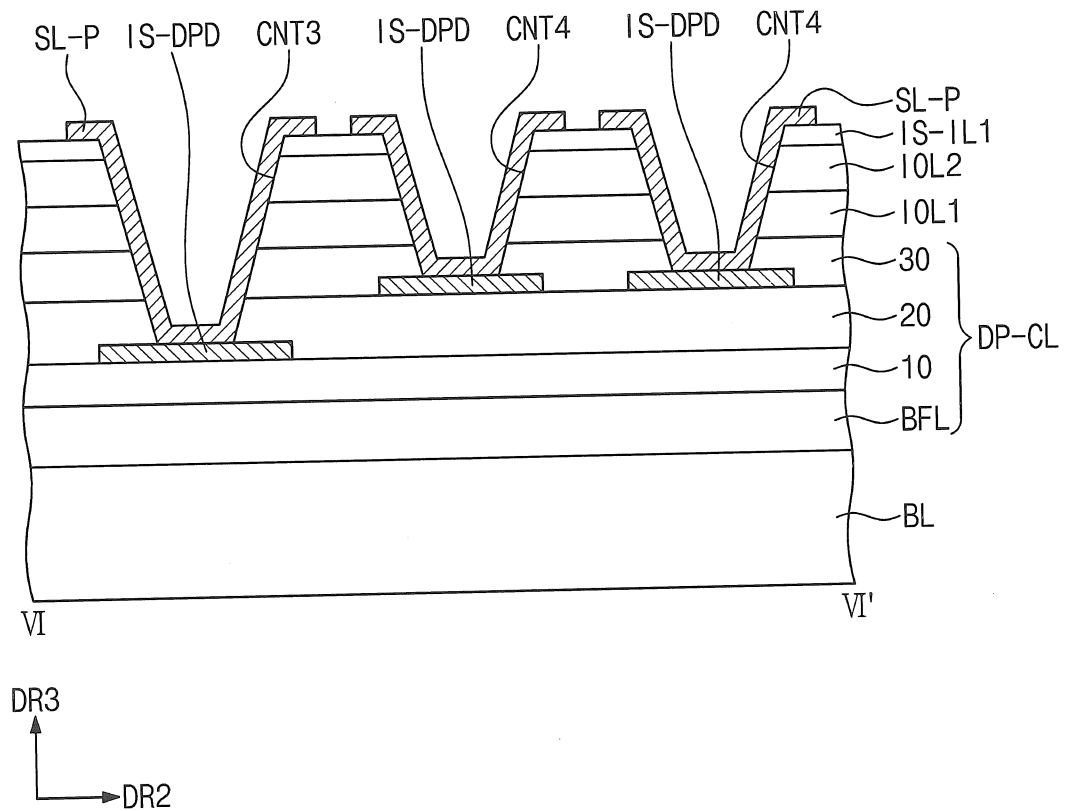


FIG. 12C

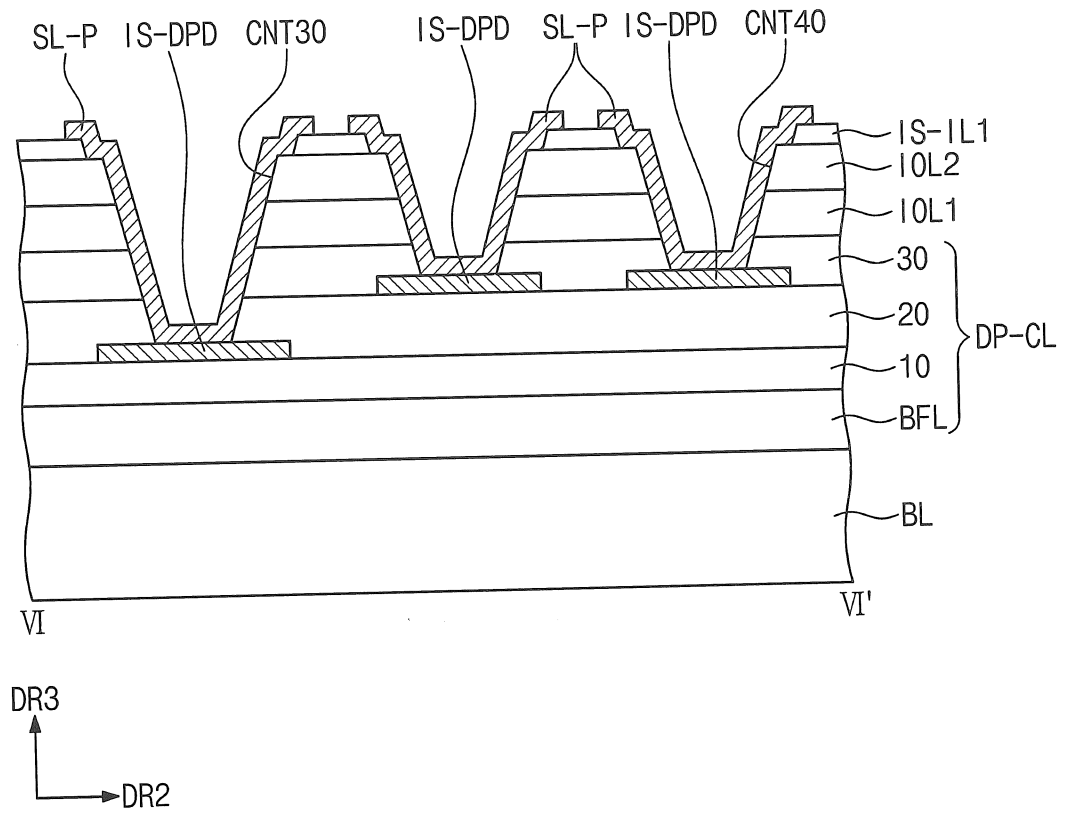


FIG. 12D

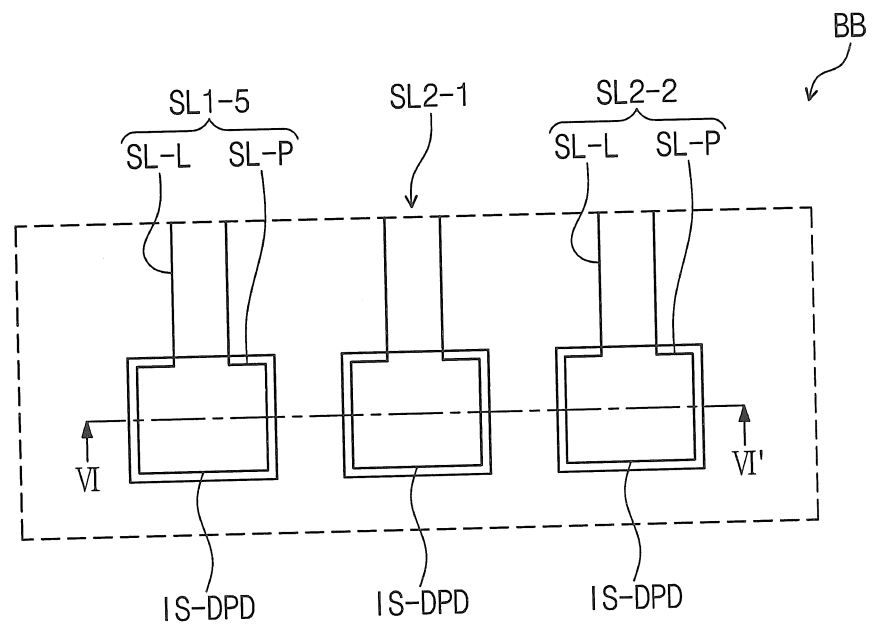


FIG. 12E

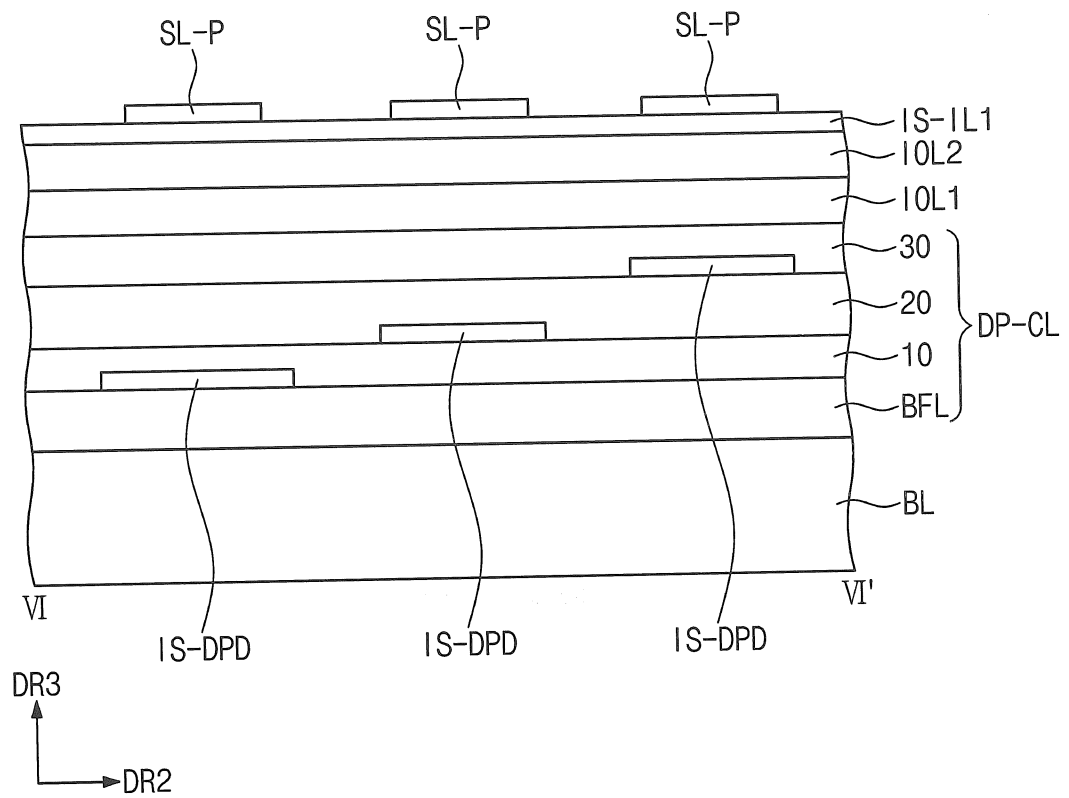


FIG. 13A

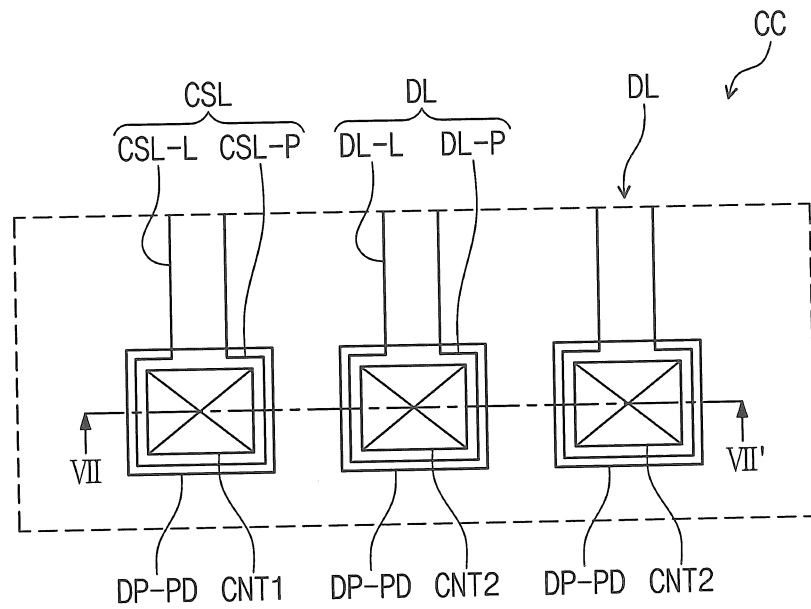


FIG. 13B

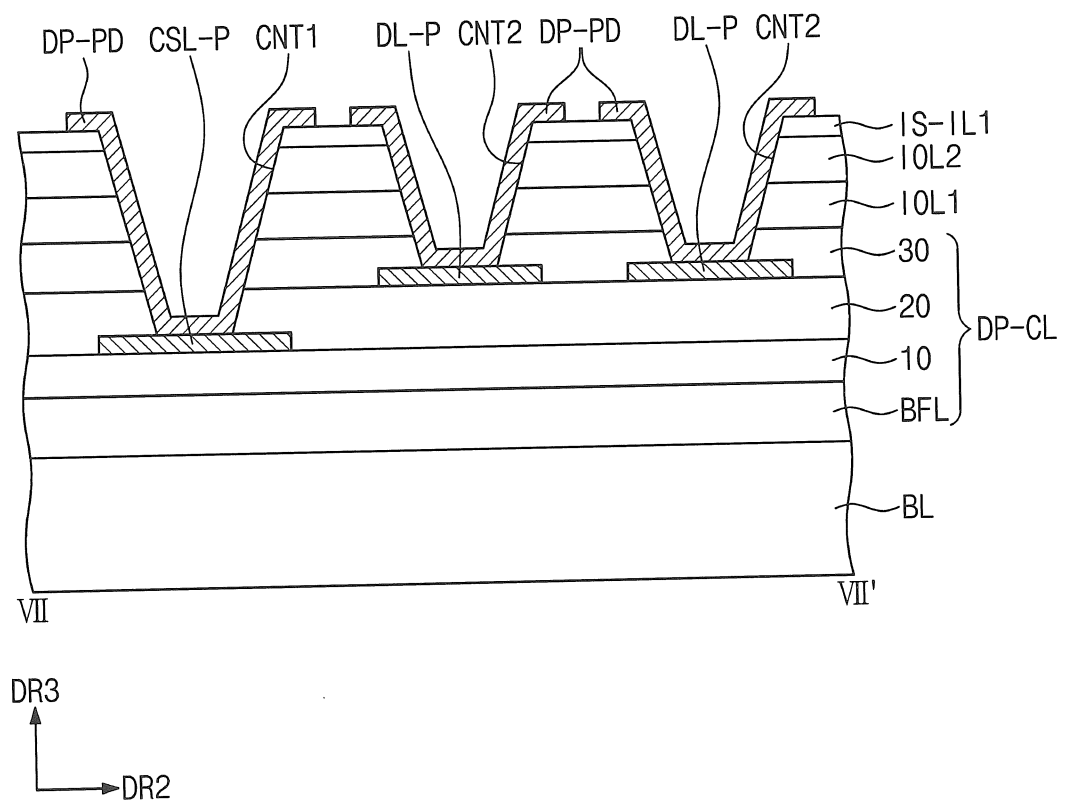


FIG. 13C

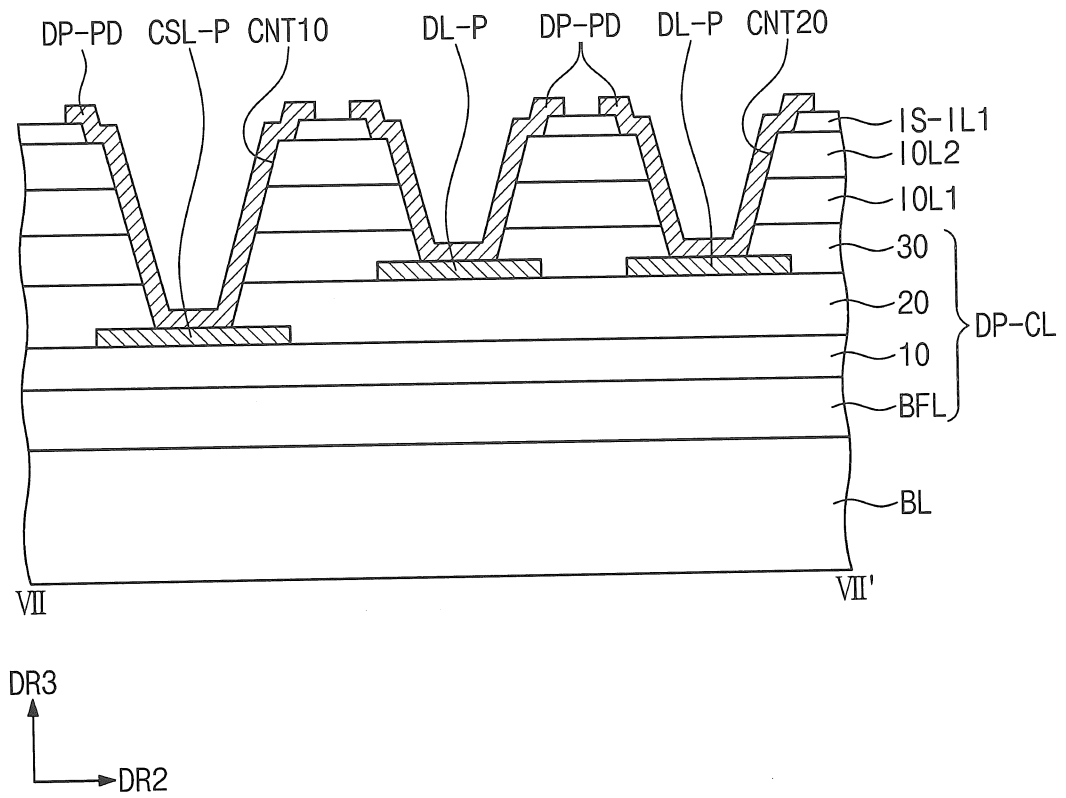


FIG. 14A

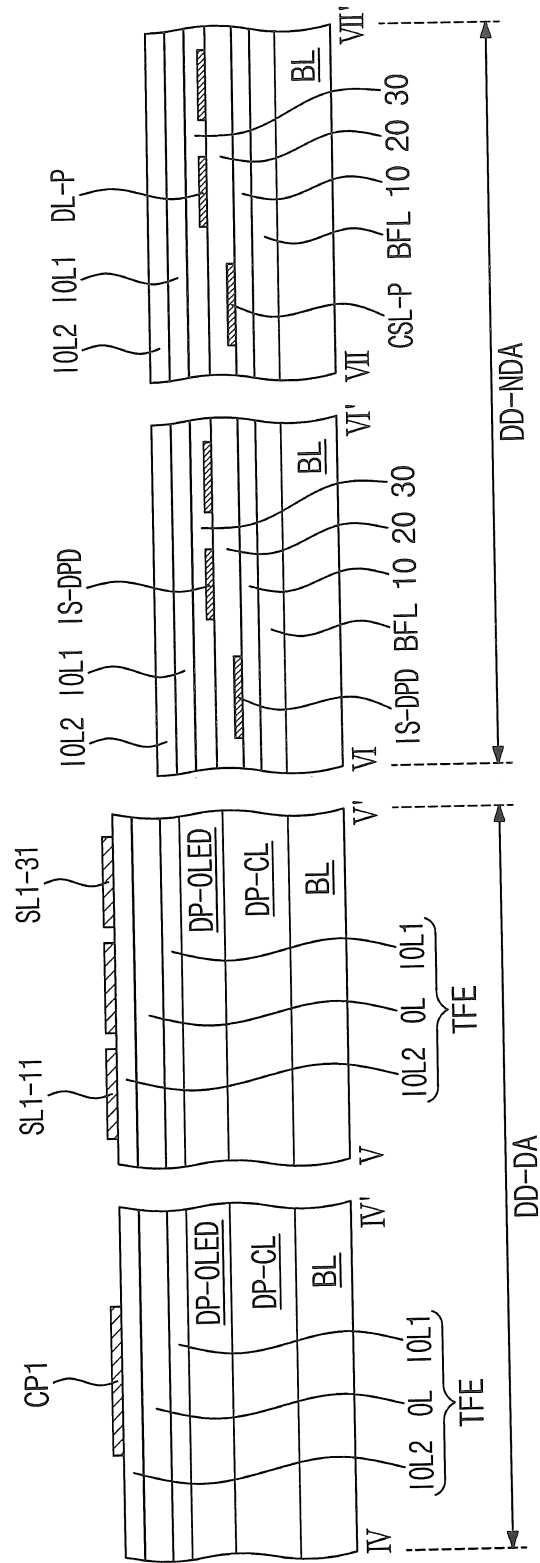


FIG. 14B

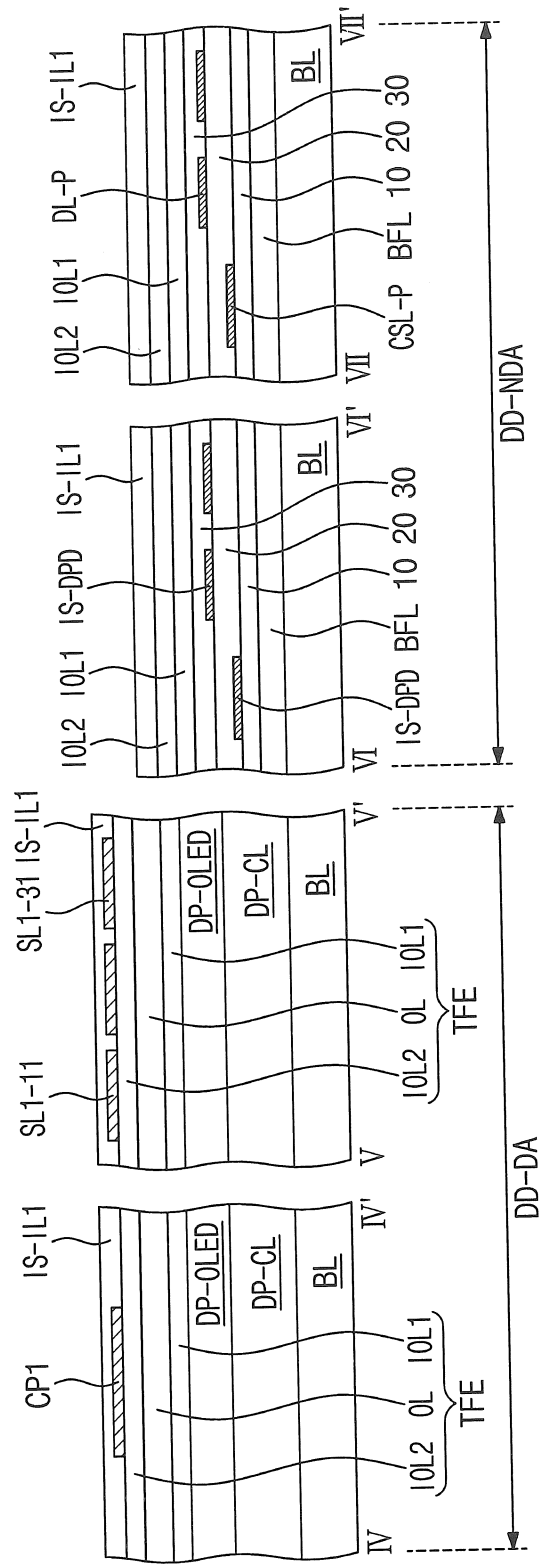


FIG. 14C

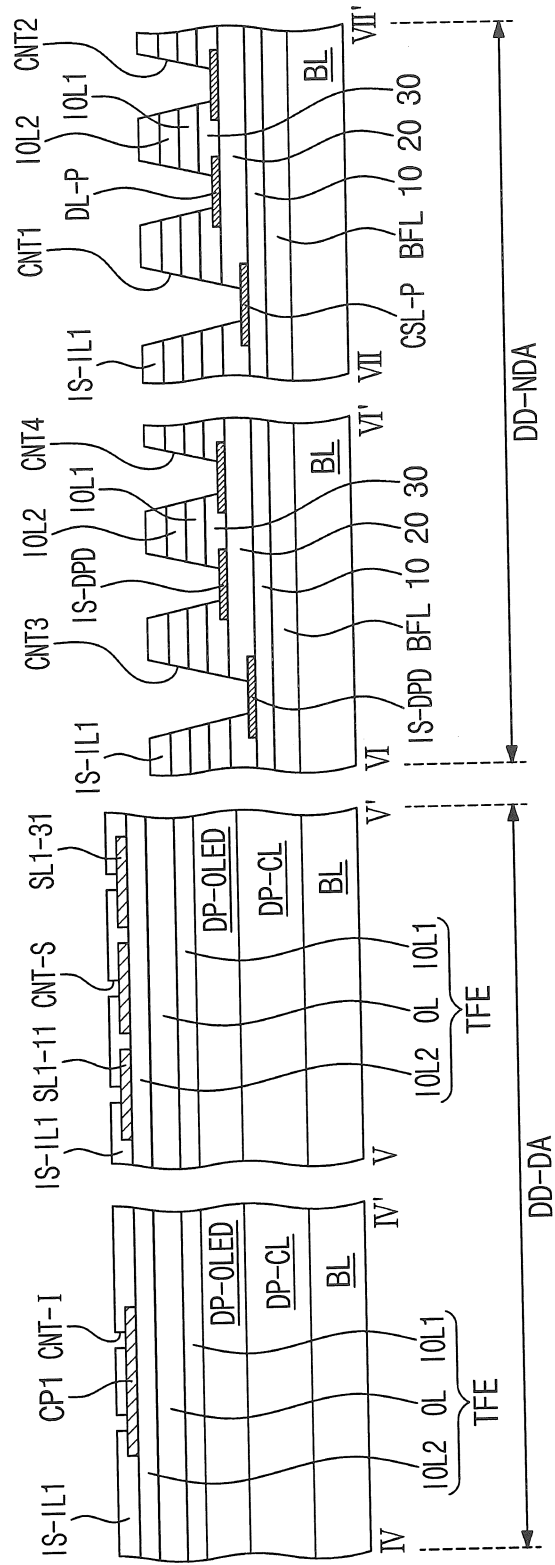


FIG. 14E

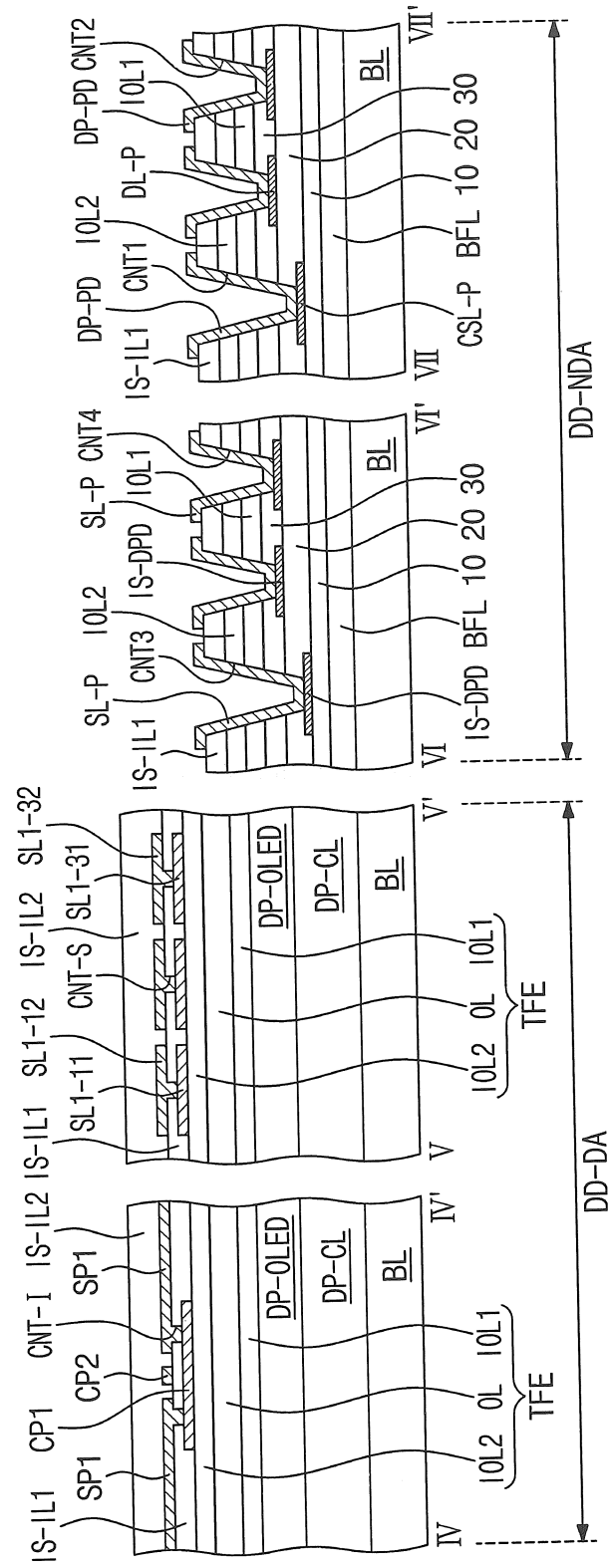


FIG. 15A

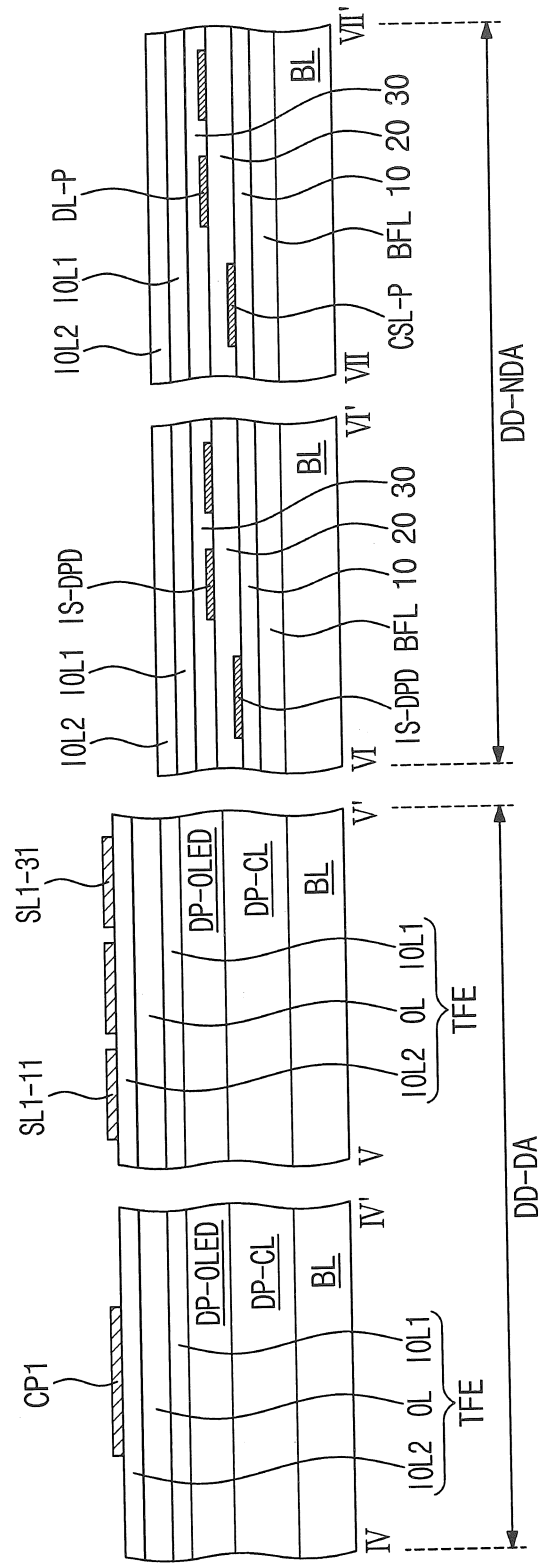


FIG. 15B

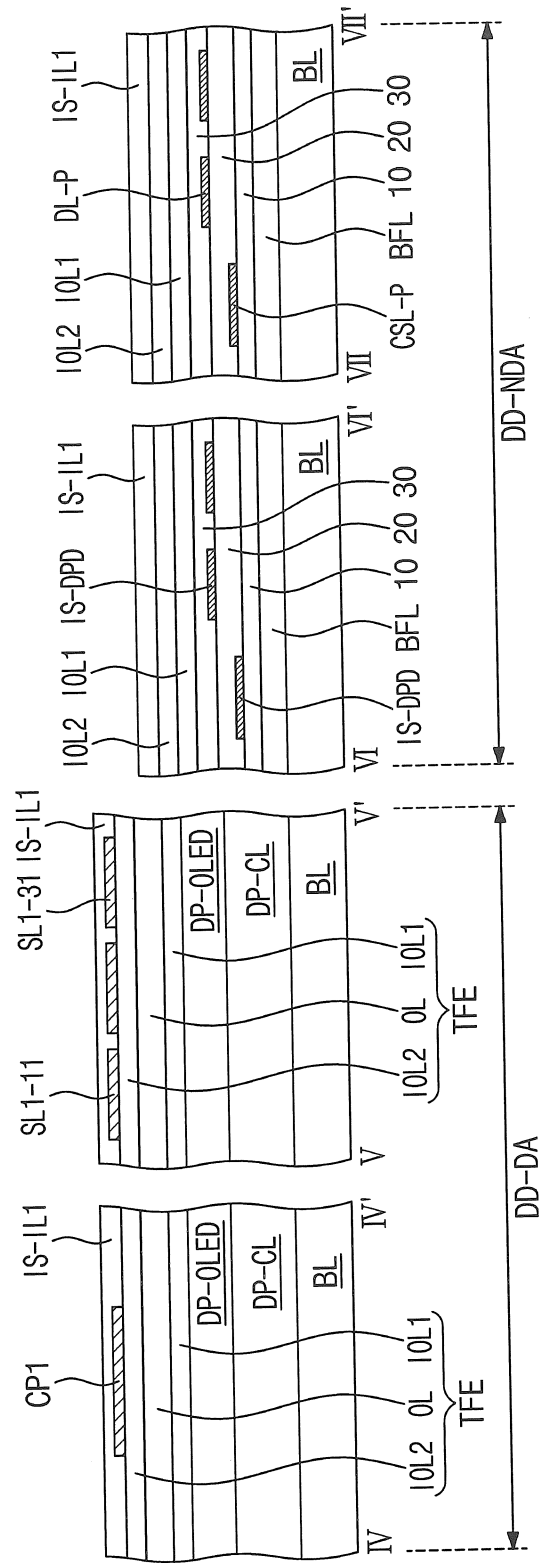


FIG. 15D

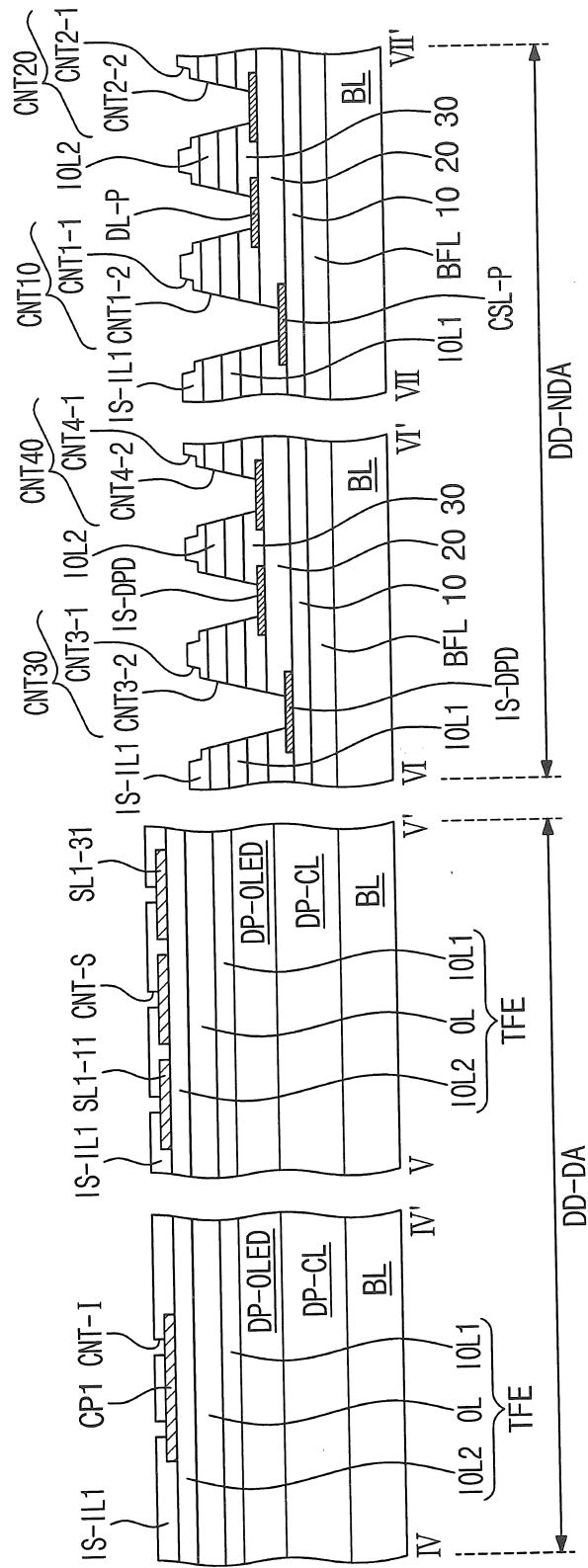


FIG. 15E

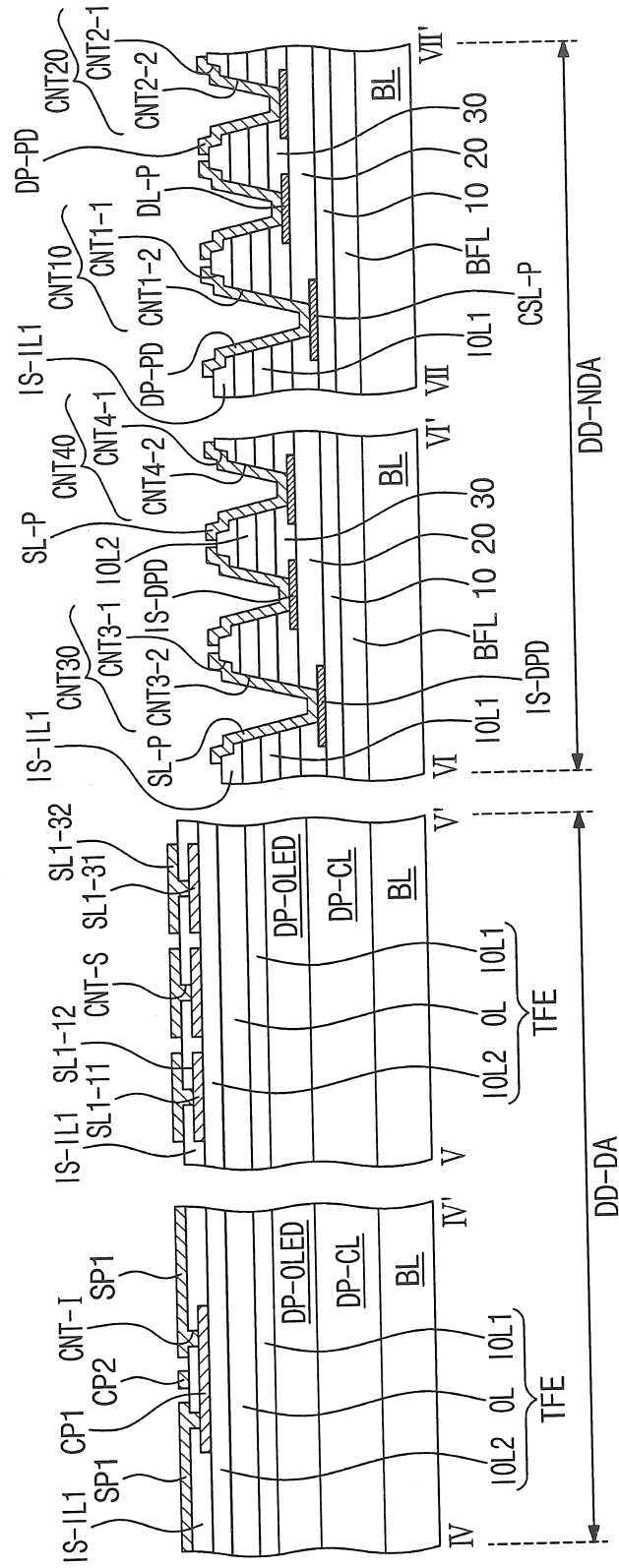


FIG. 16A

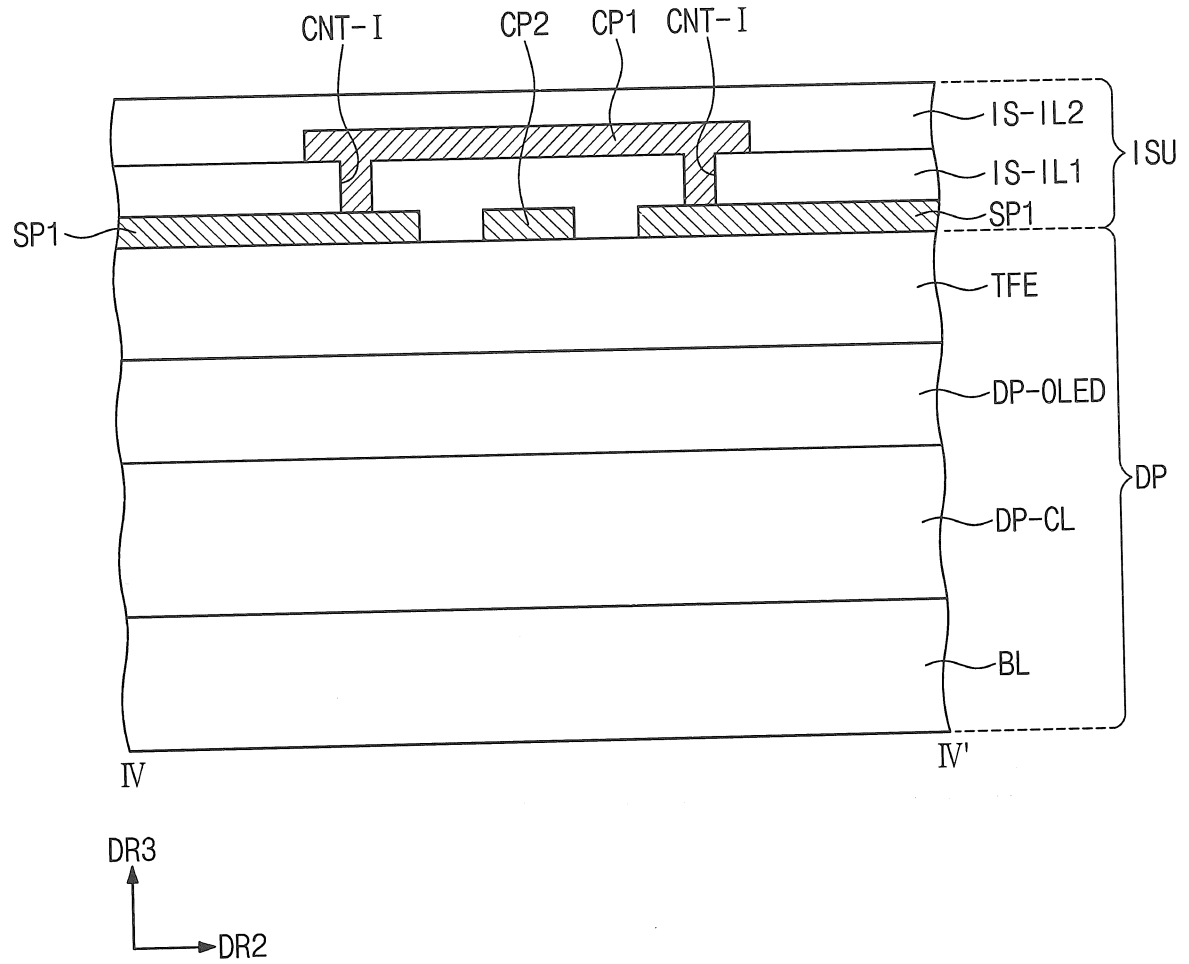


FIG. 16B

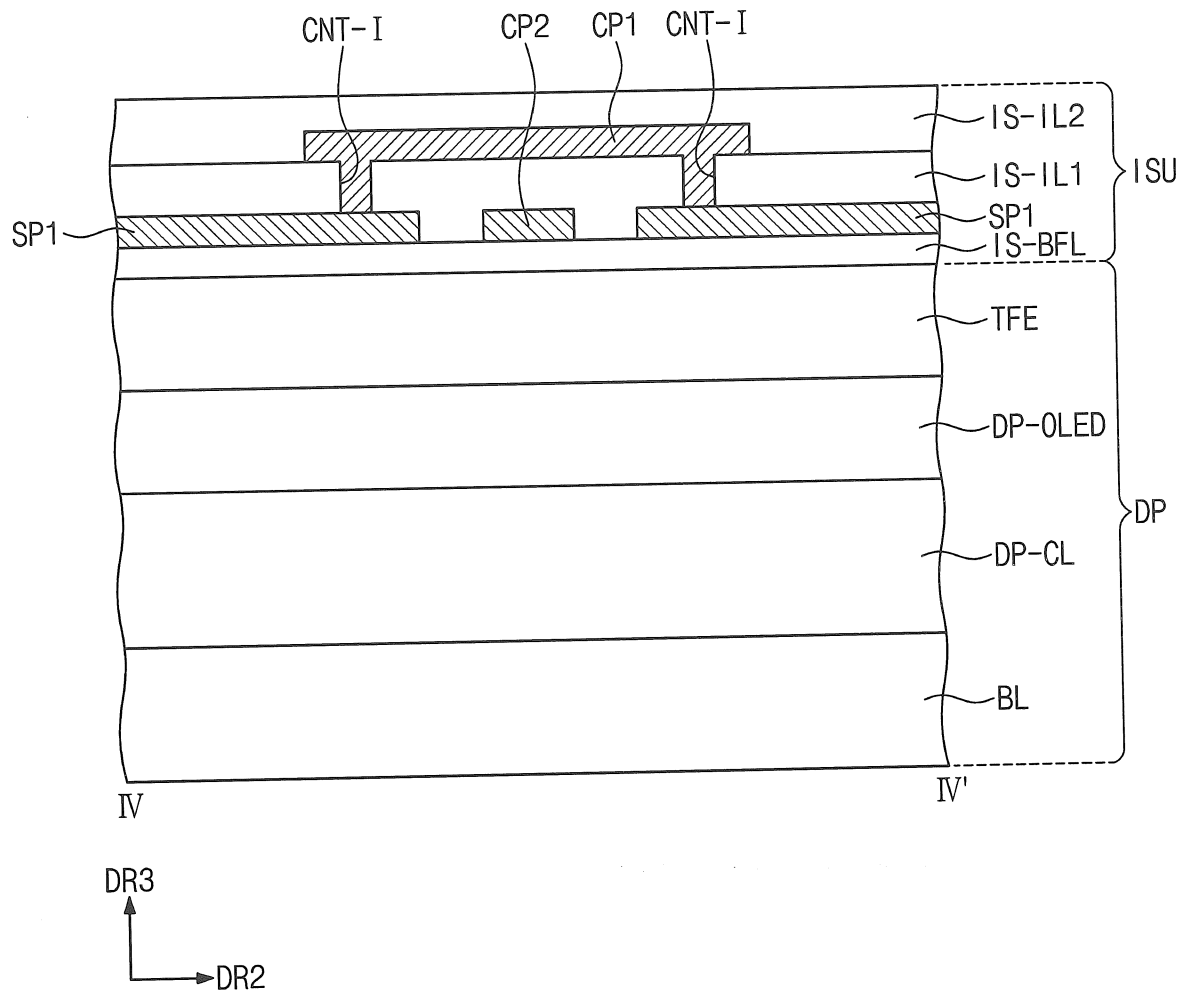


FIG. 16C

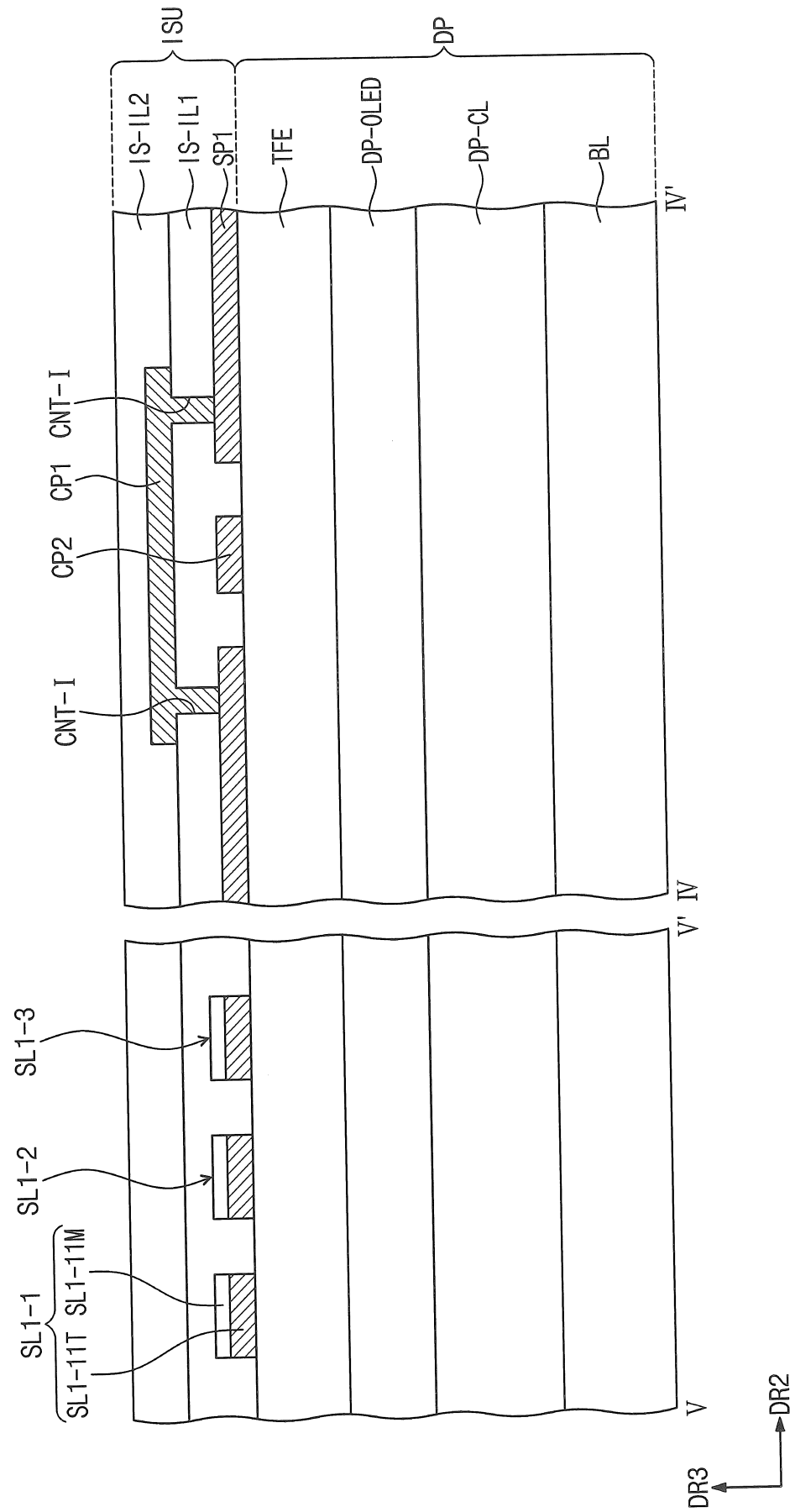


FIG. 17A

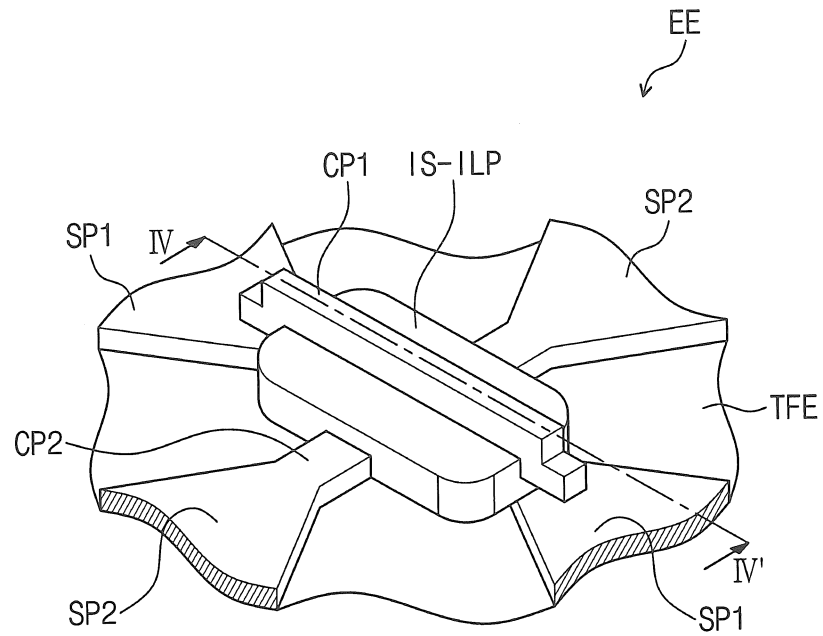


FIG. 17B

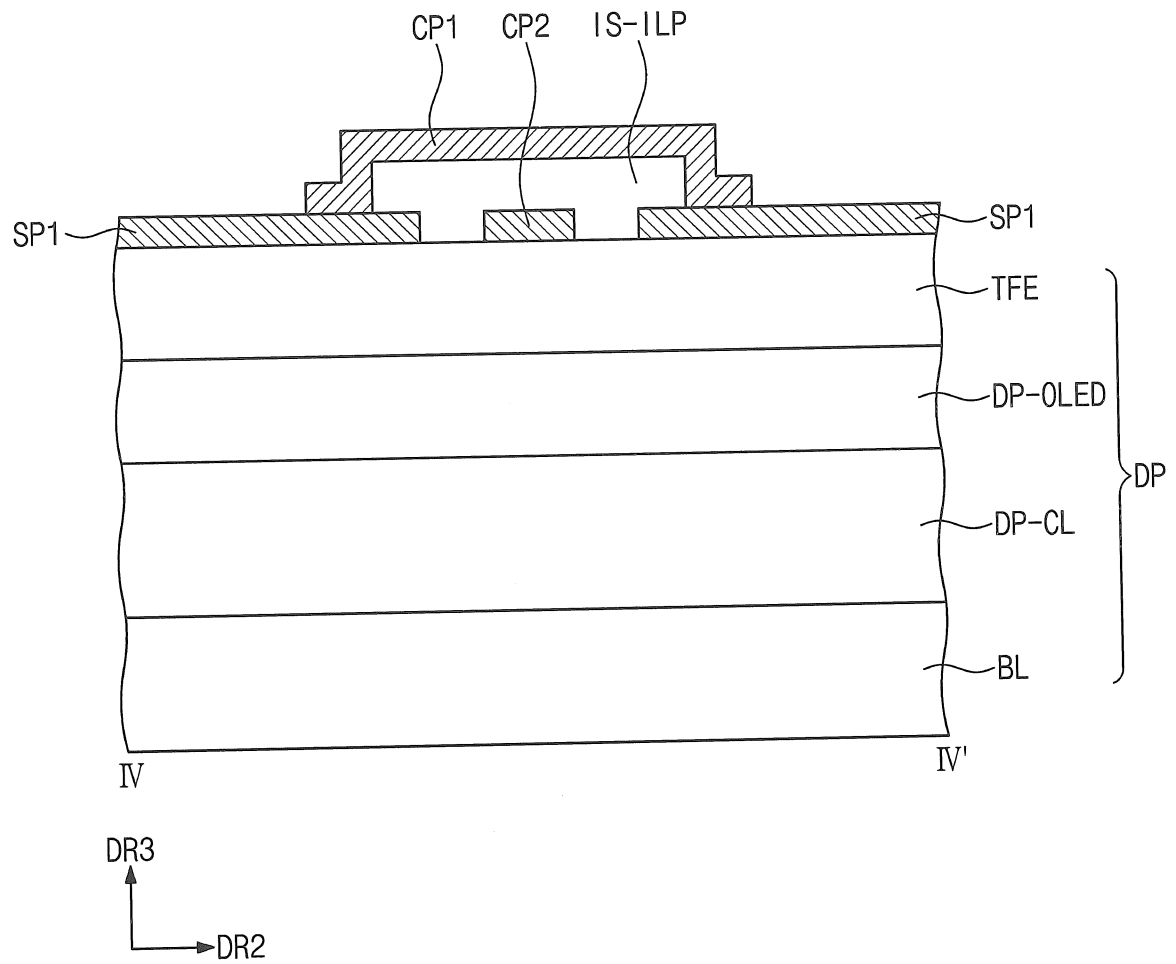


FIG. 17C

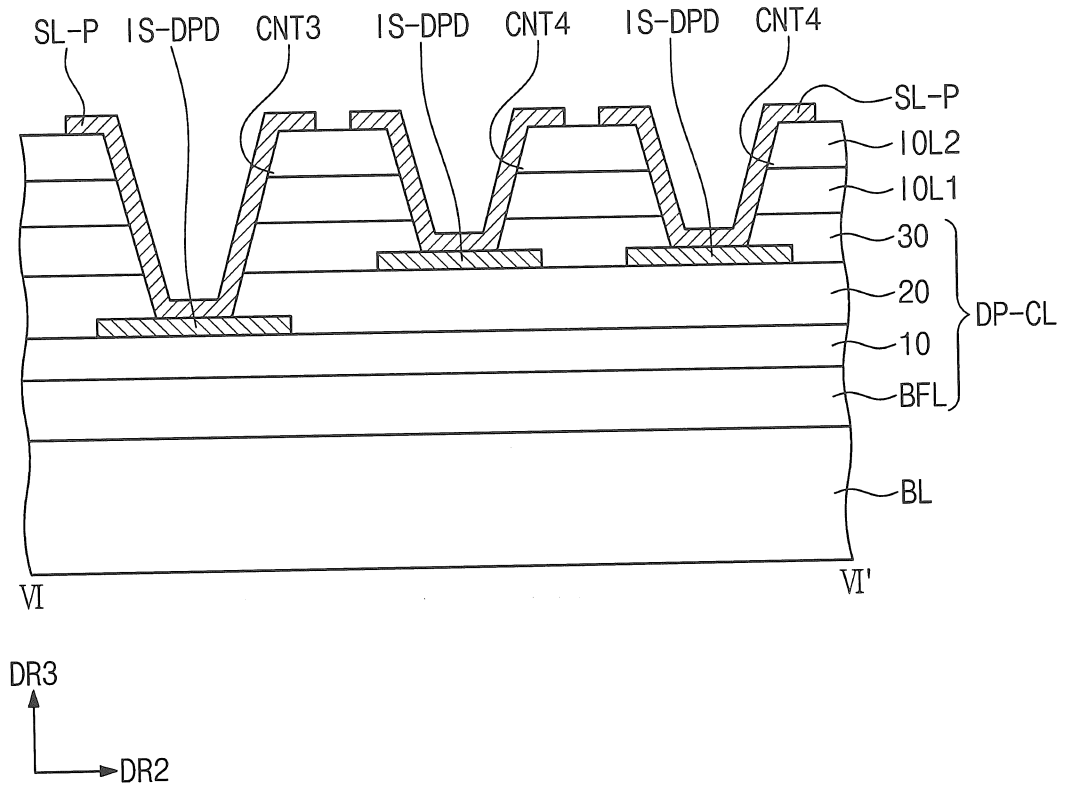


FIG. 17D

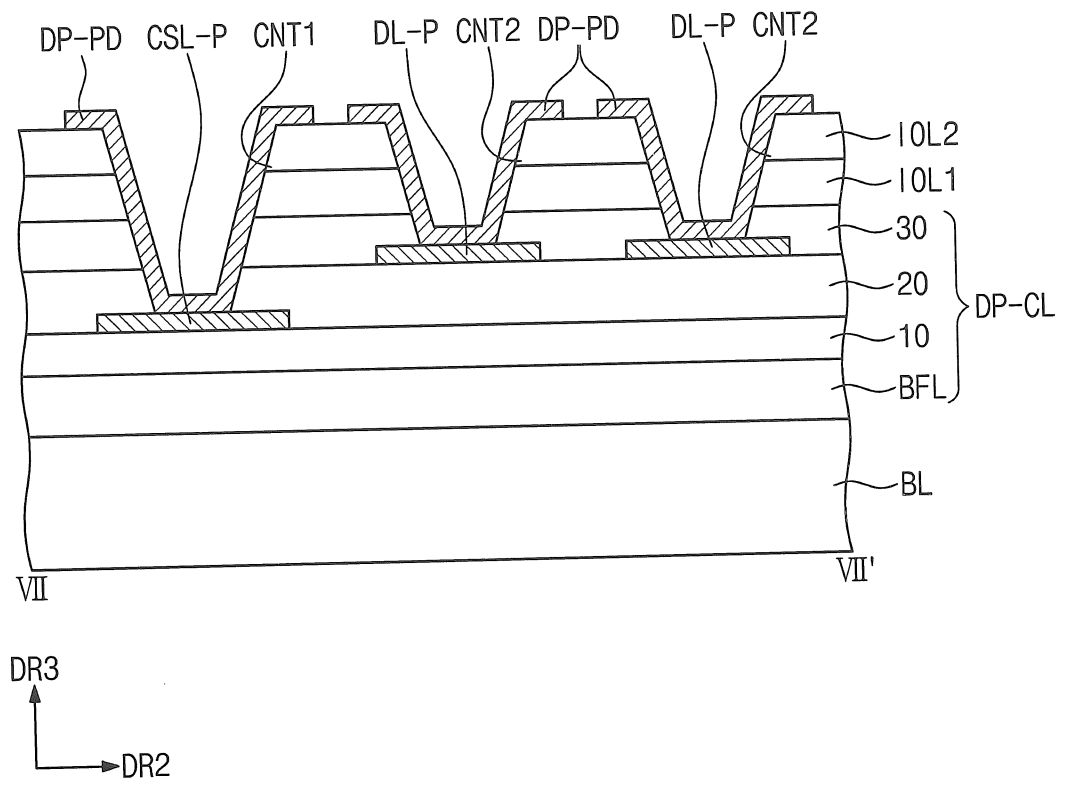


FIG. 18

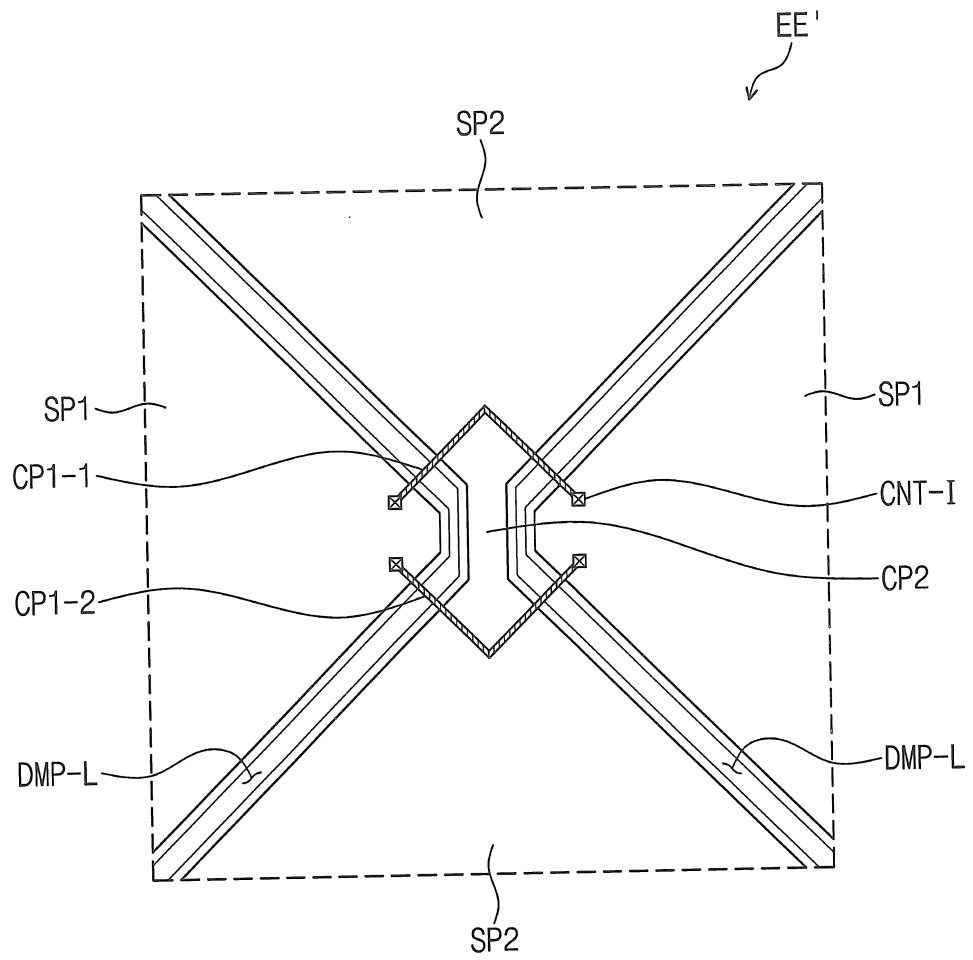


FIG. 19A

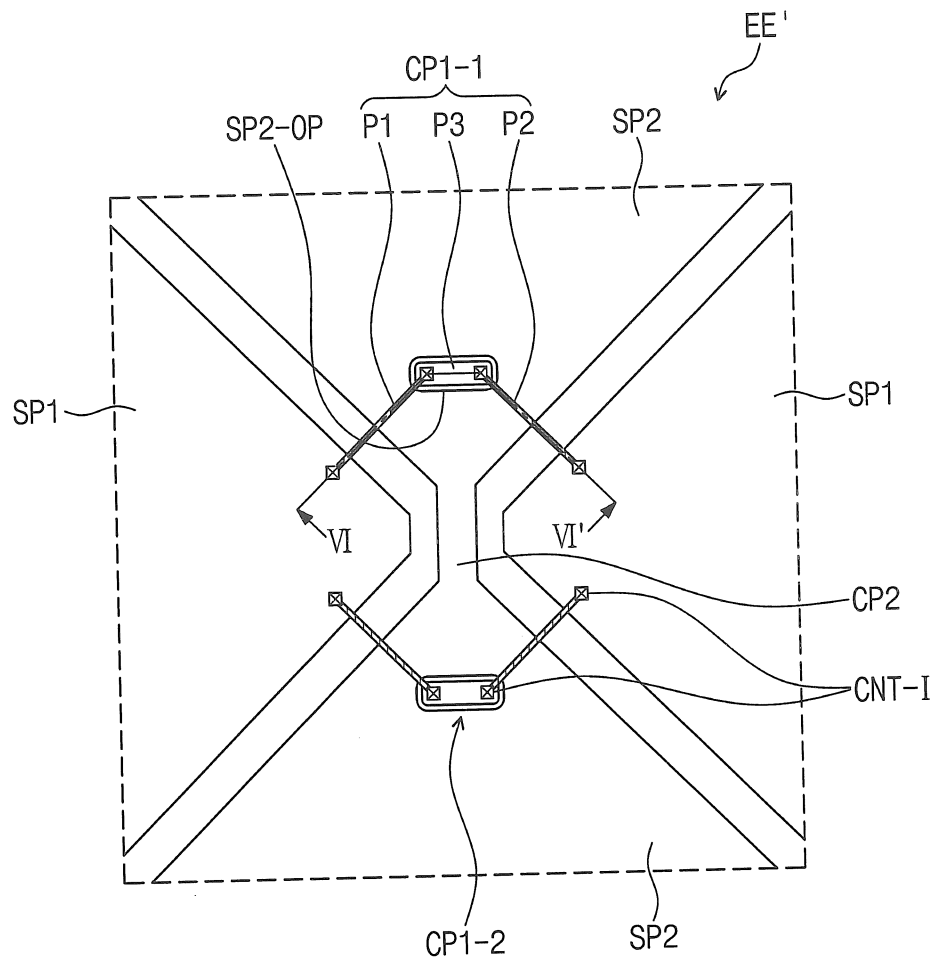


FIG. 19B

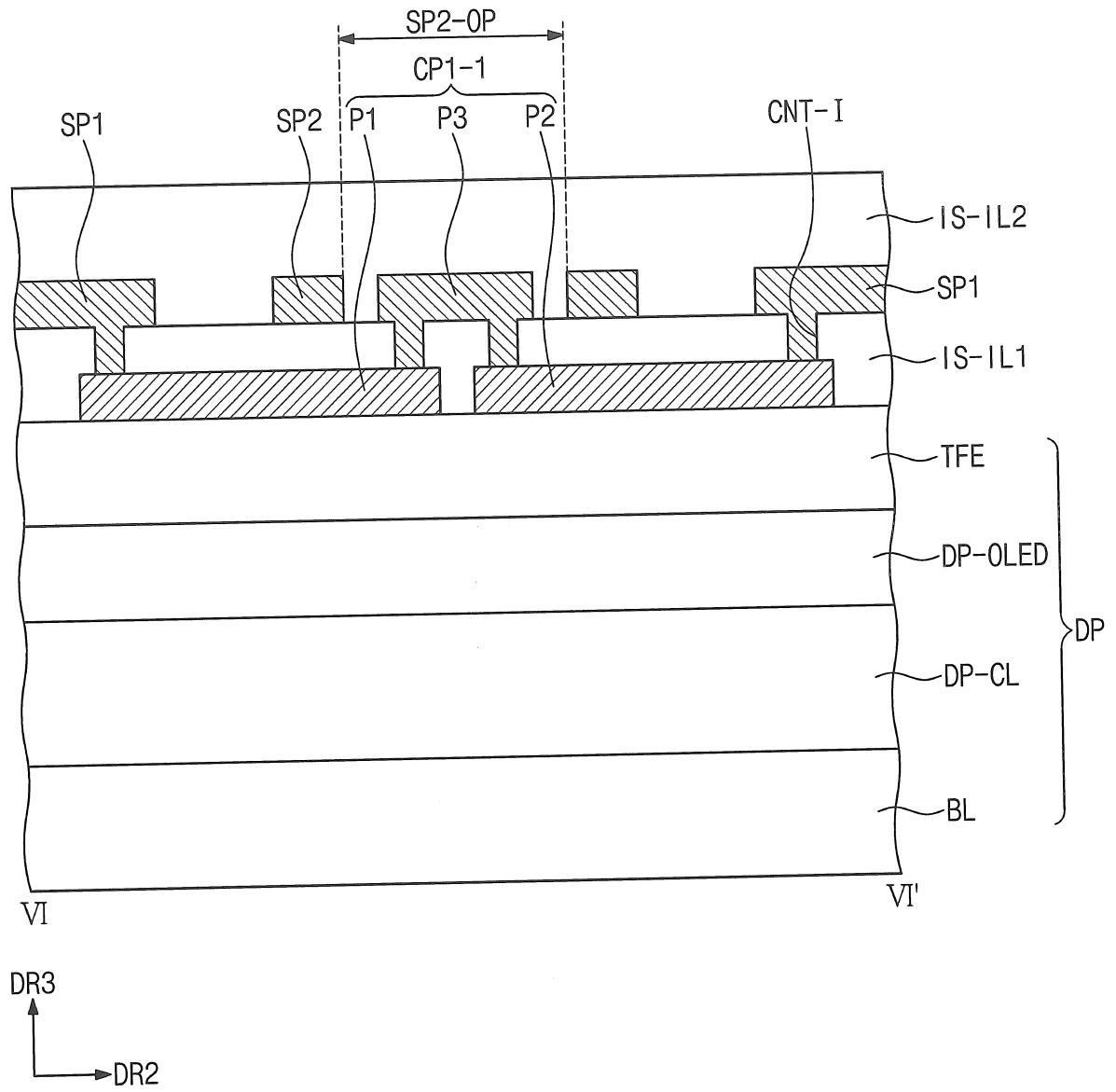


FIG. 20A

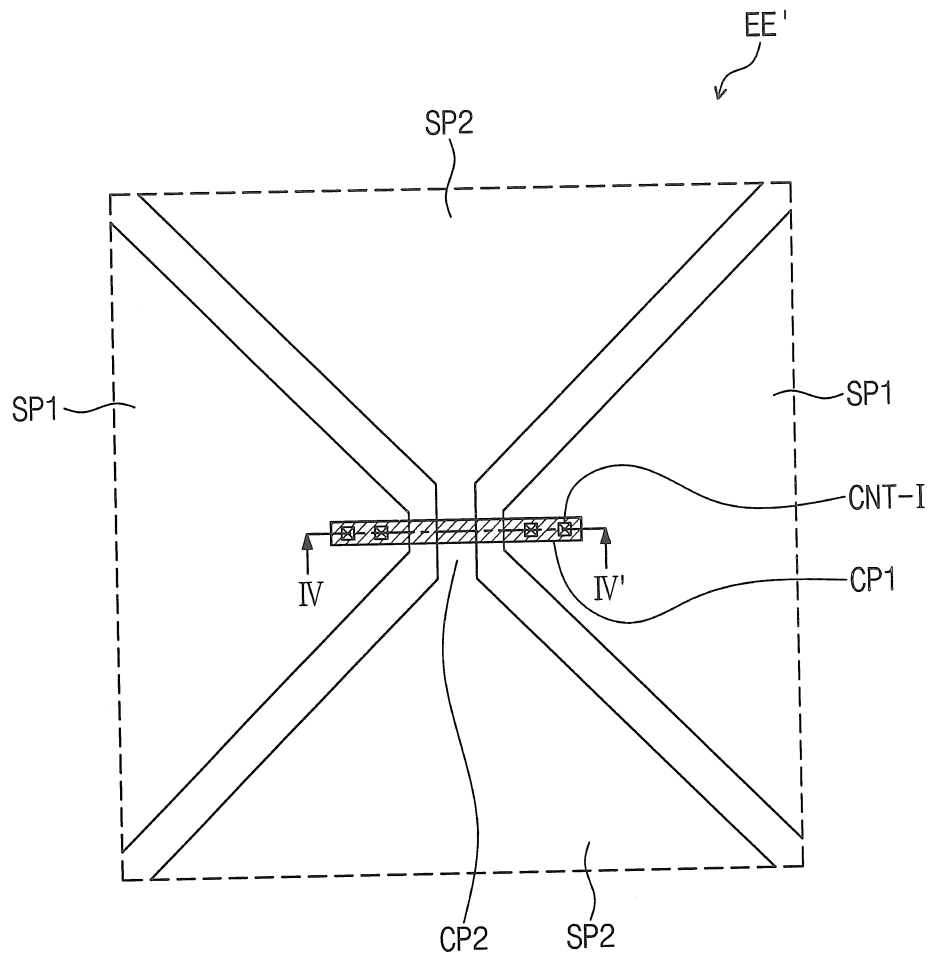


FIG. 20B

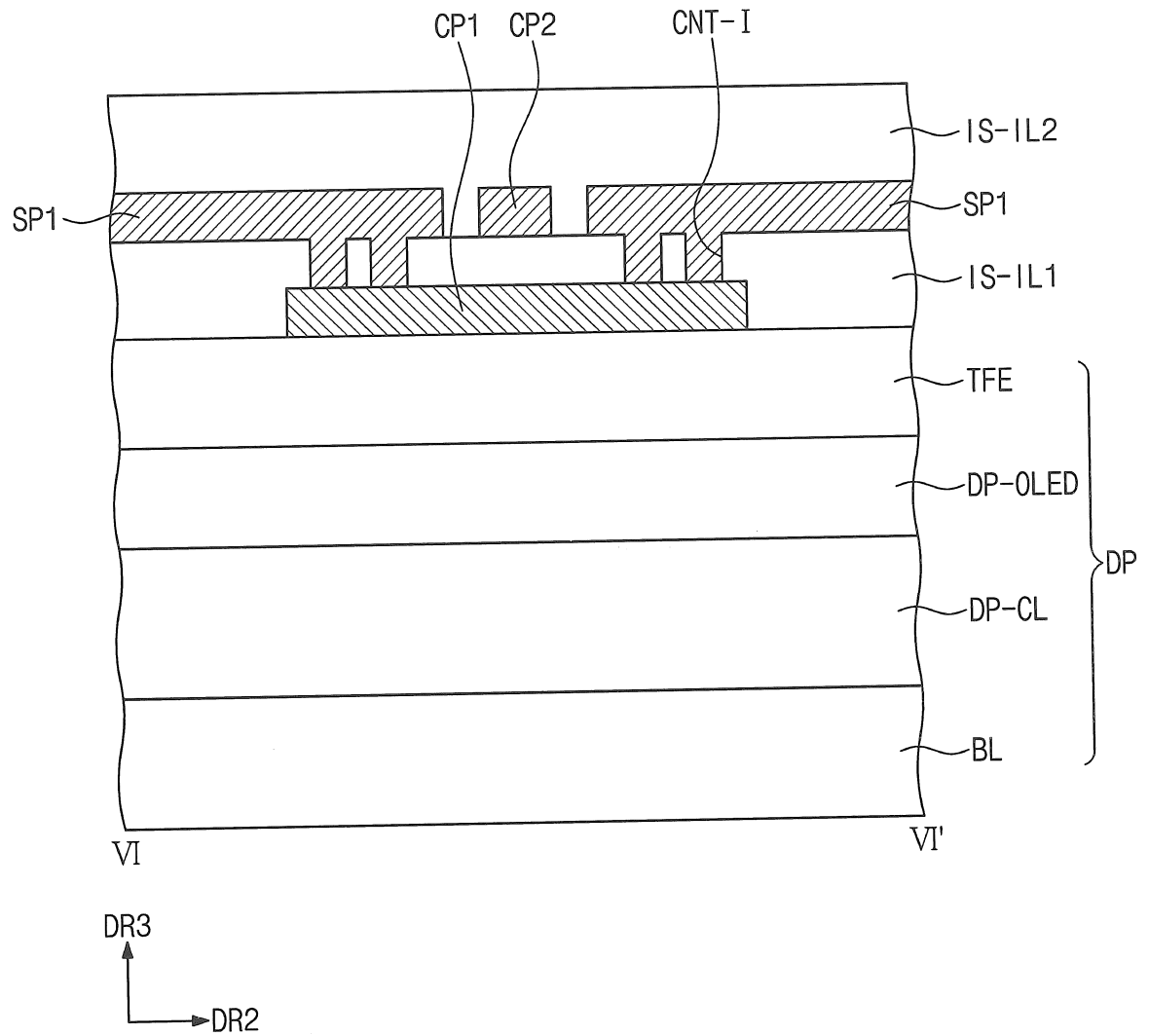


FIG. 21

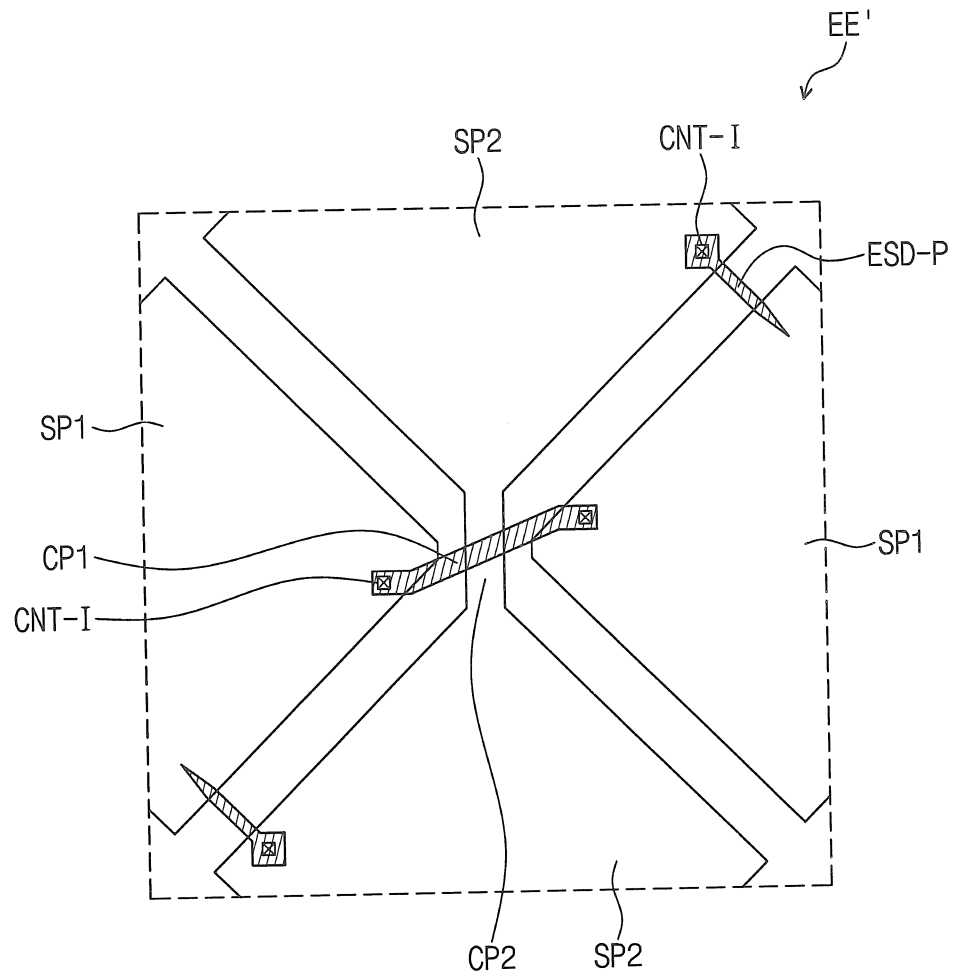


FIG. 22A

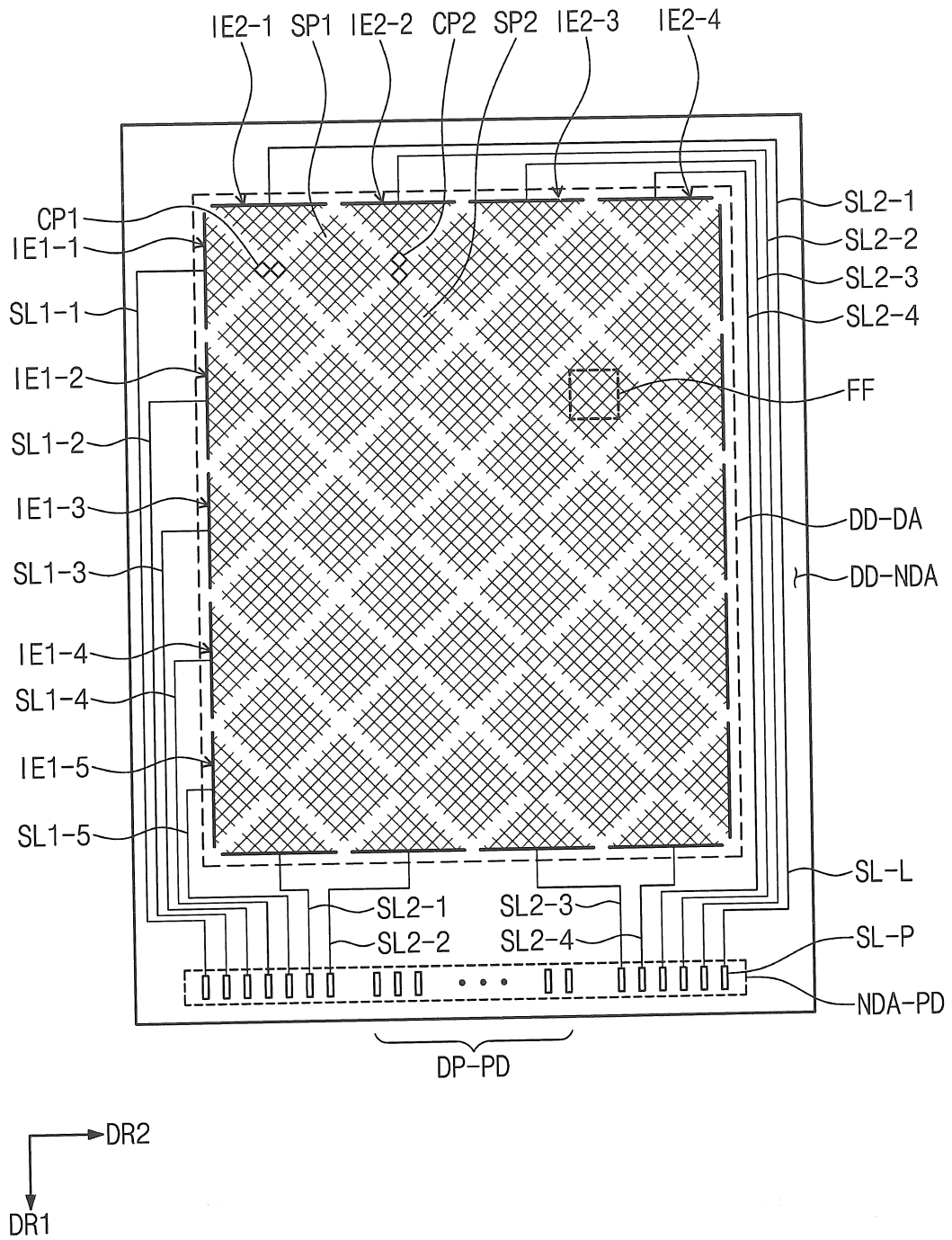


FIG. 22B

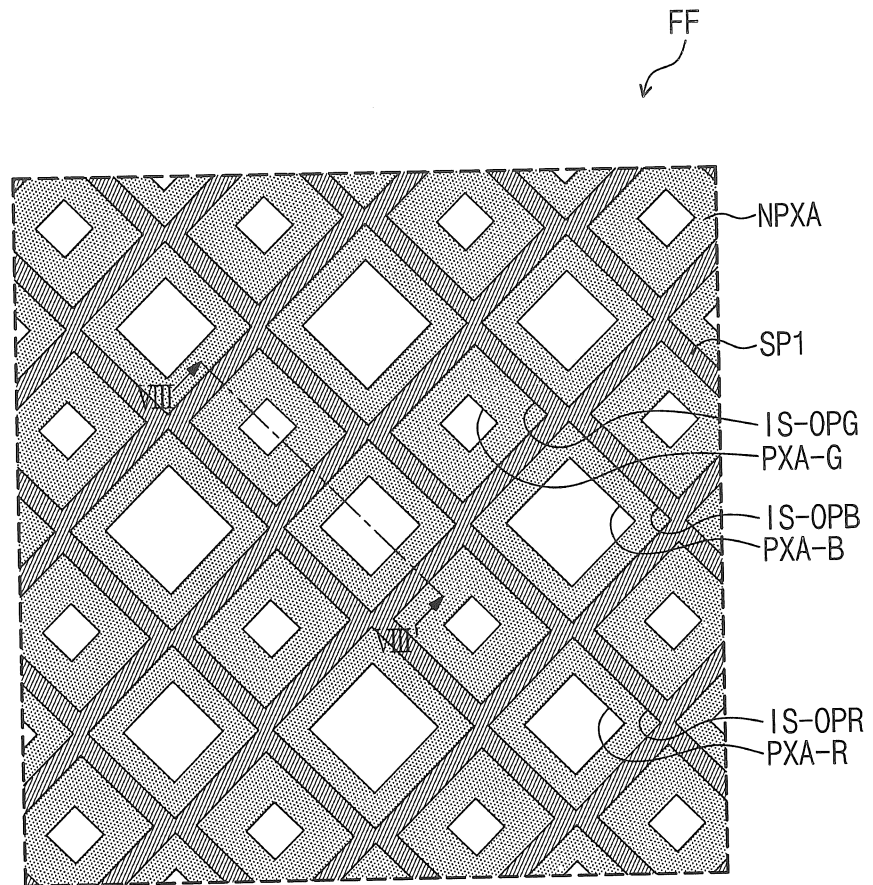


FIG. 22D

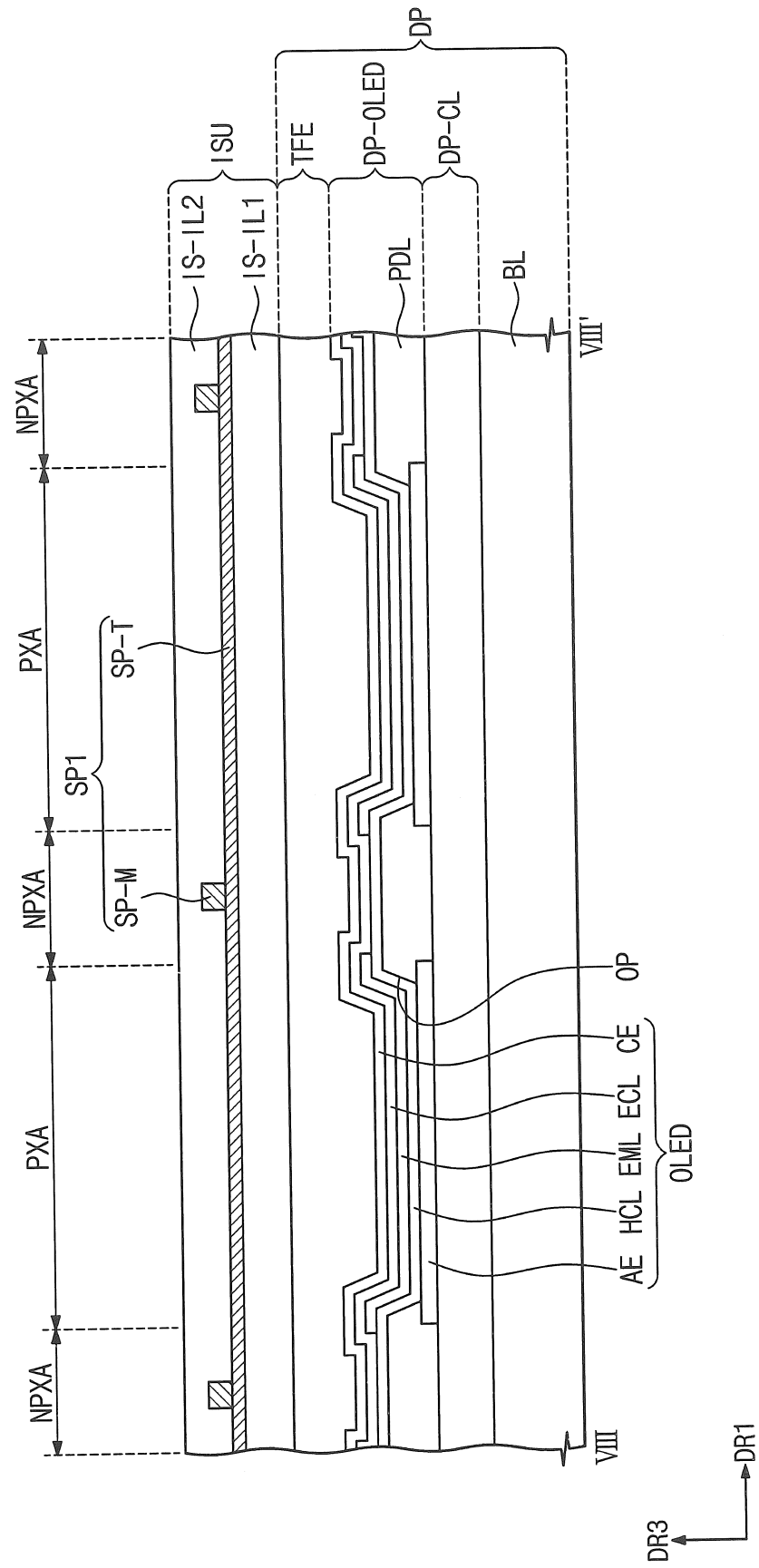


FIG. 23A

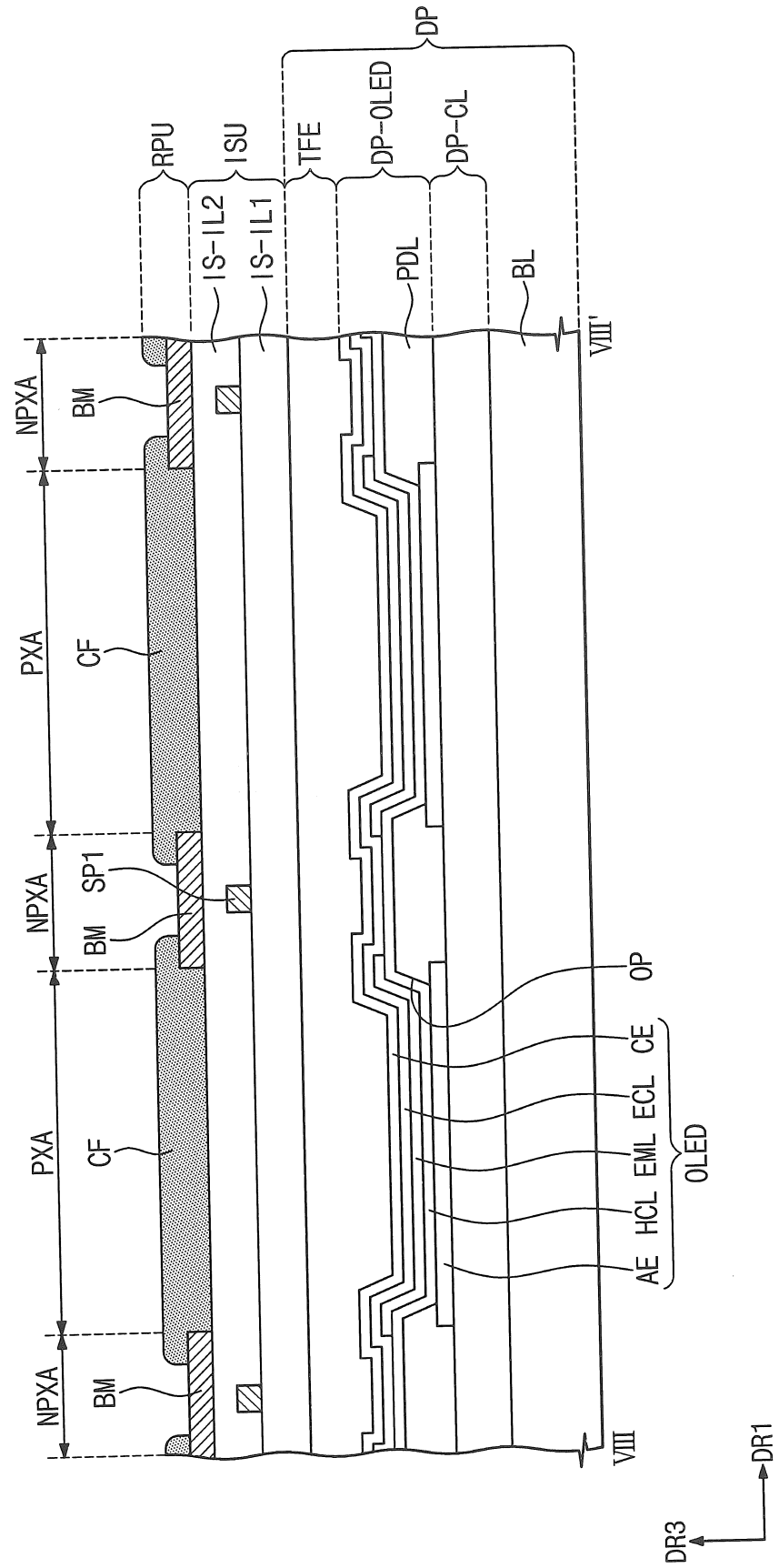


FIG. 23B

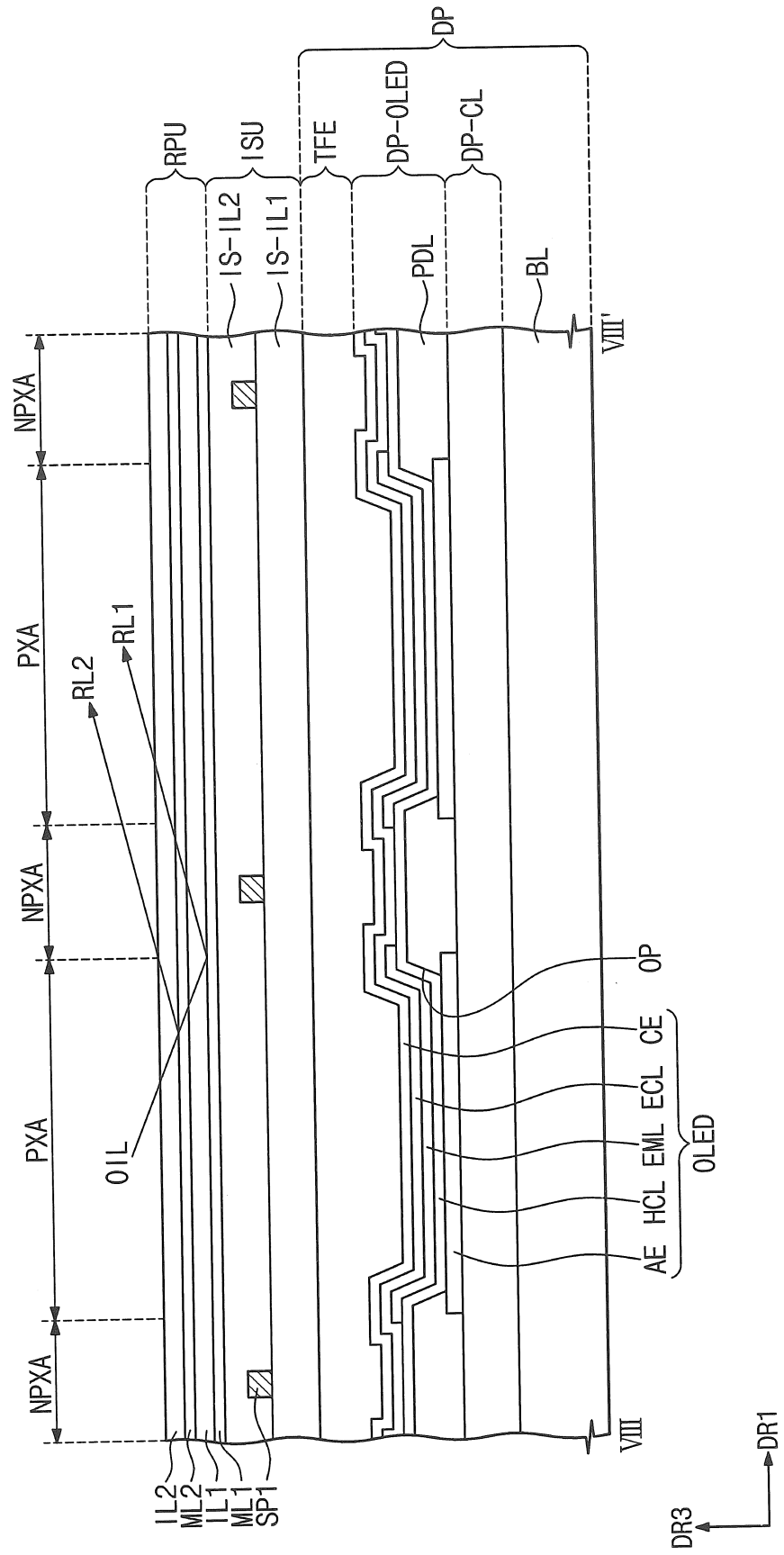


FIG. 23D

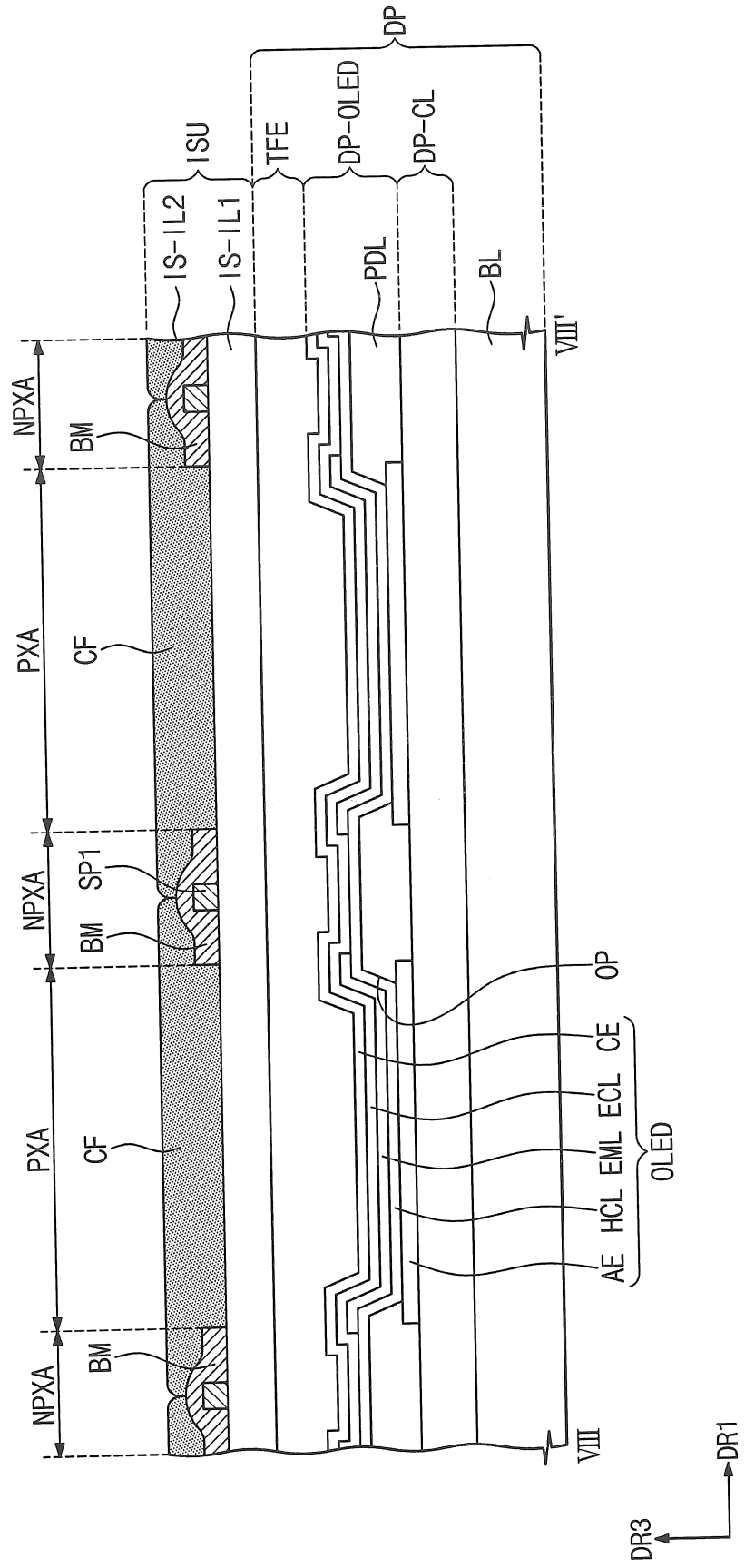


FIG. 23E

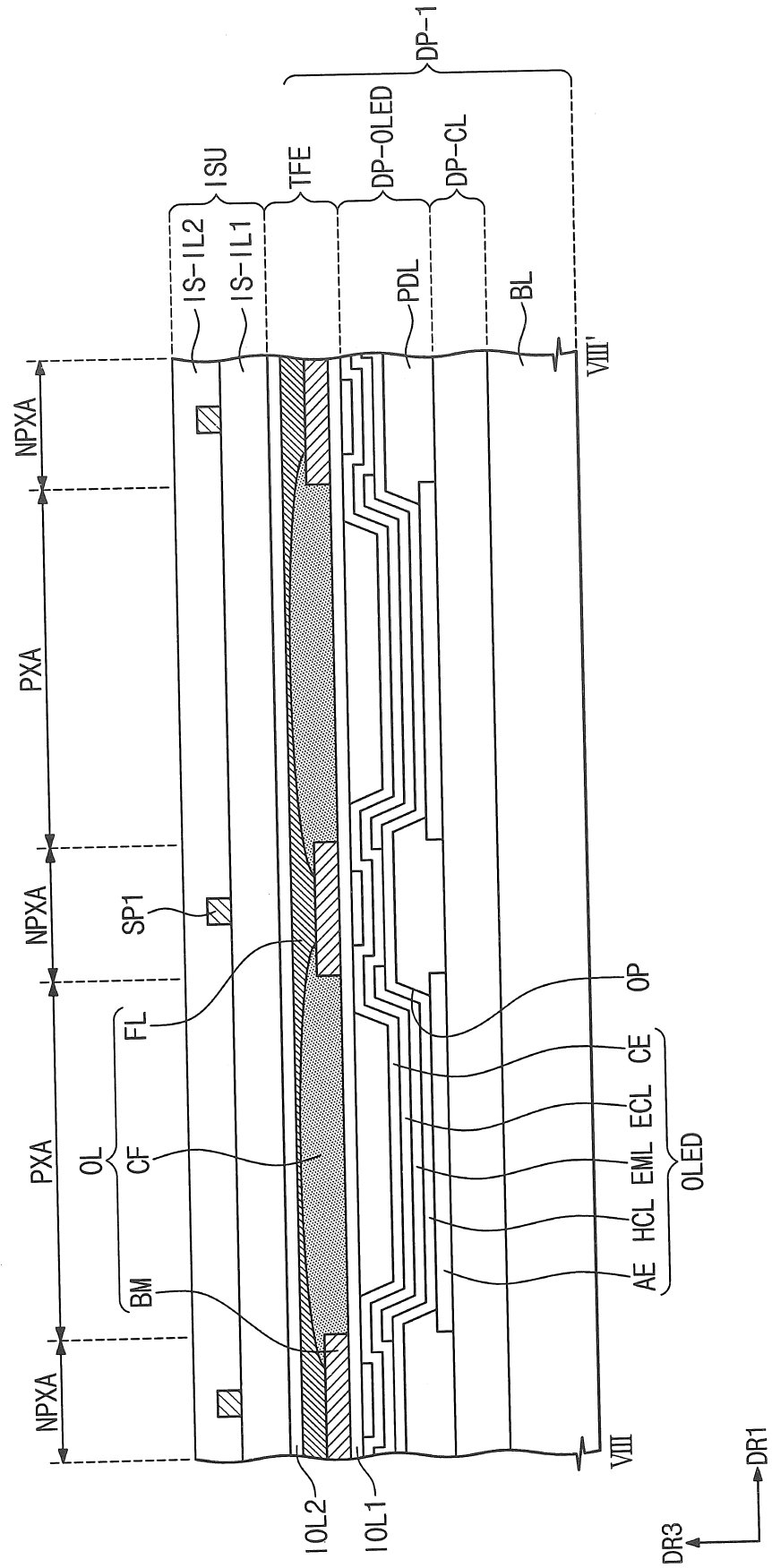


FIG. 24A

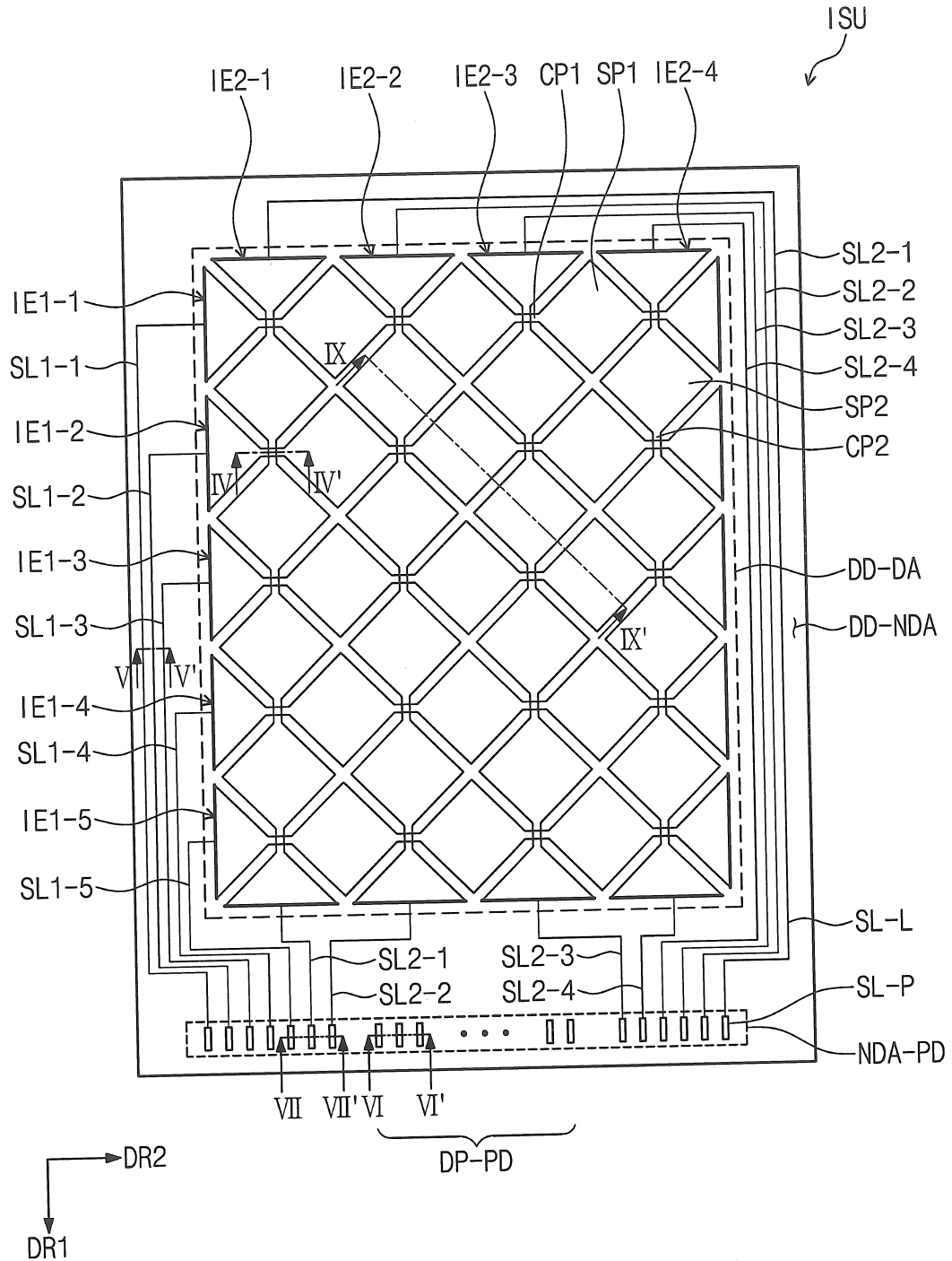


FIG. 24B

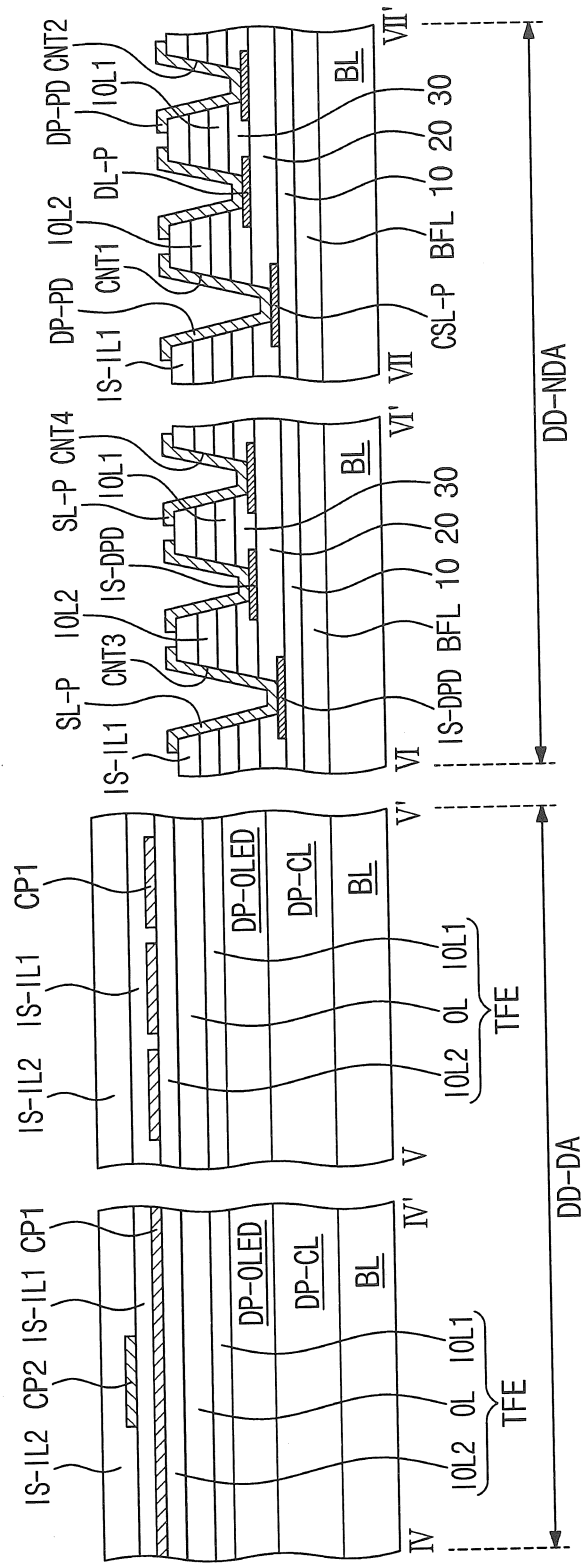


FIG. 24C

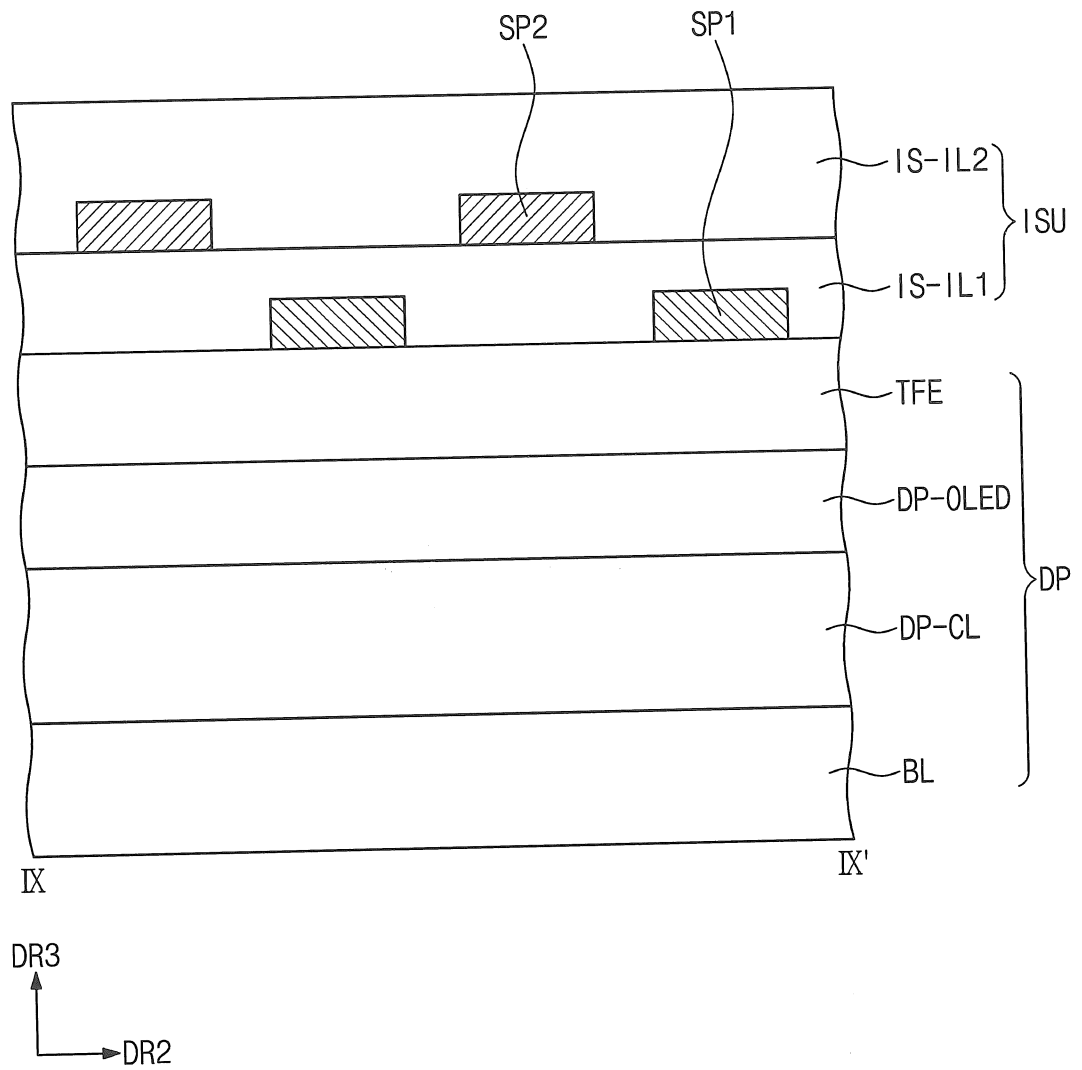


FIG. 25A

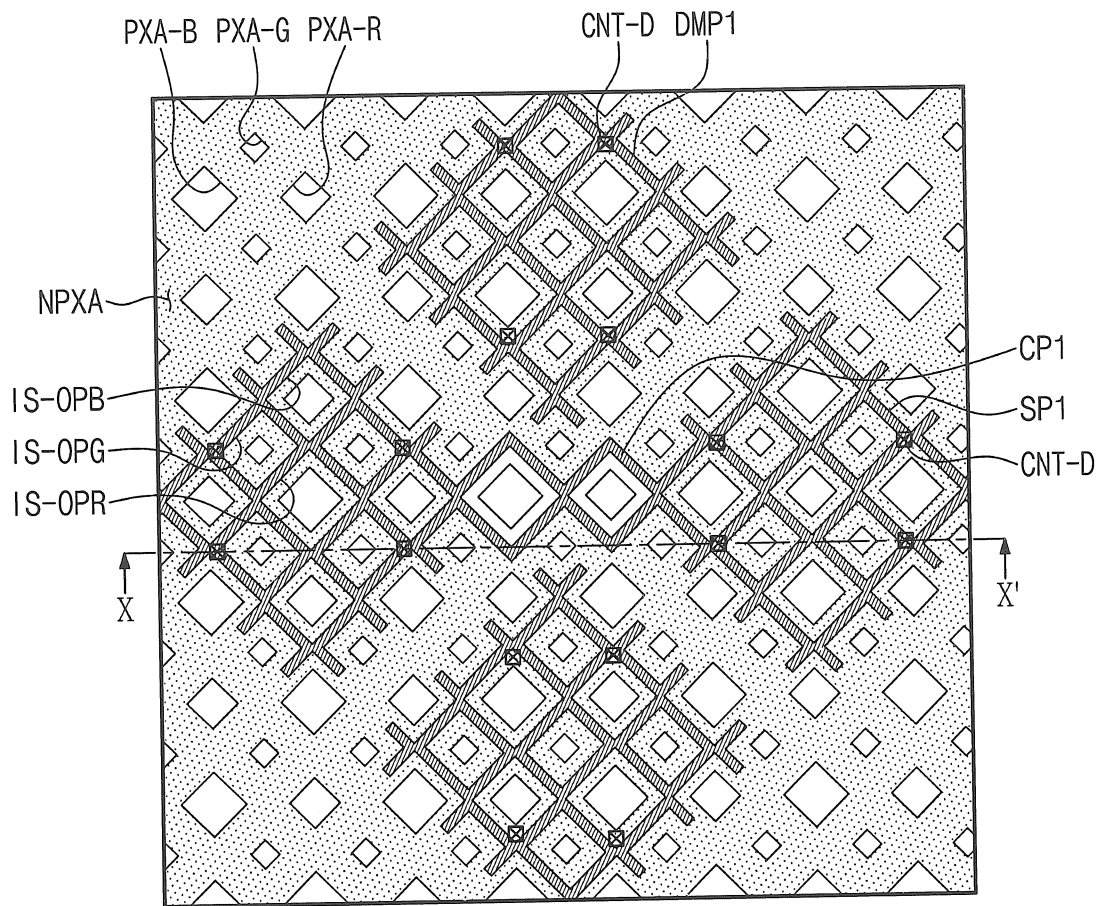


FIG. 25B

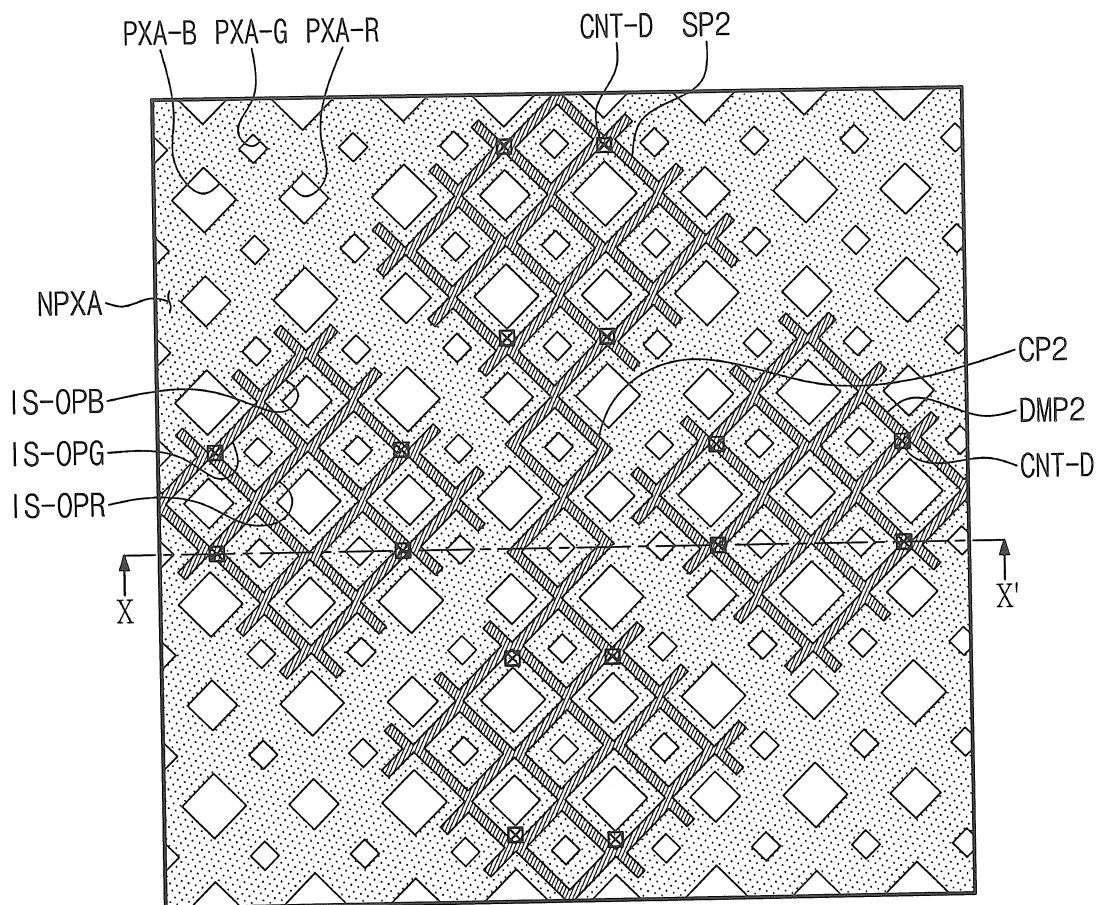


FIG. 25C

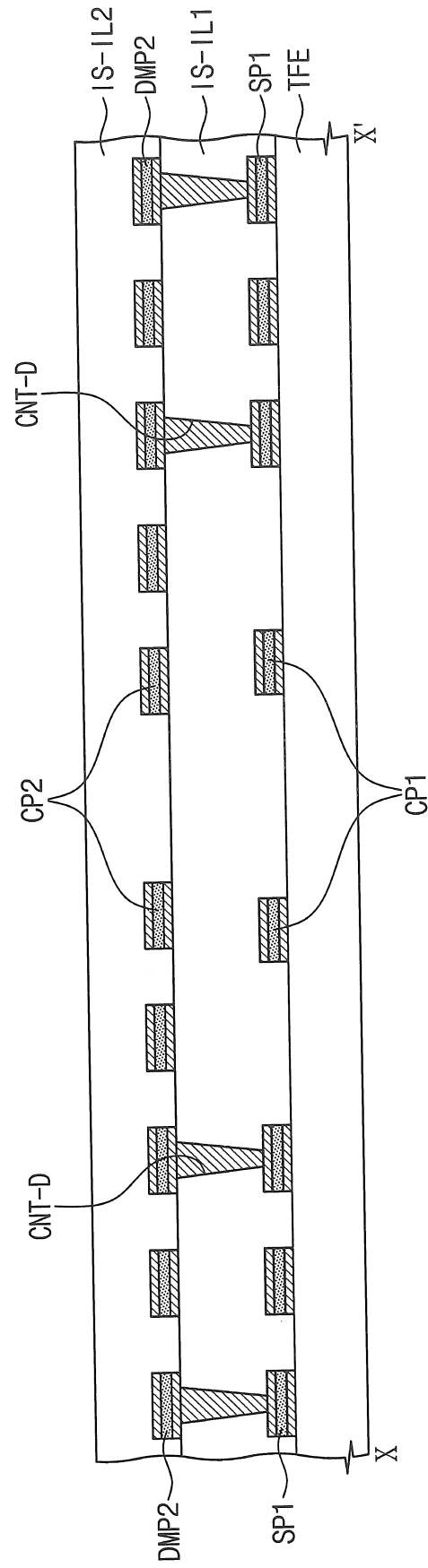


FIG. 26A

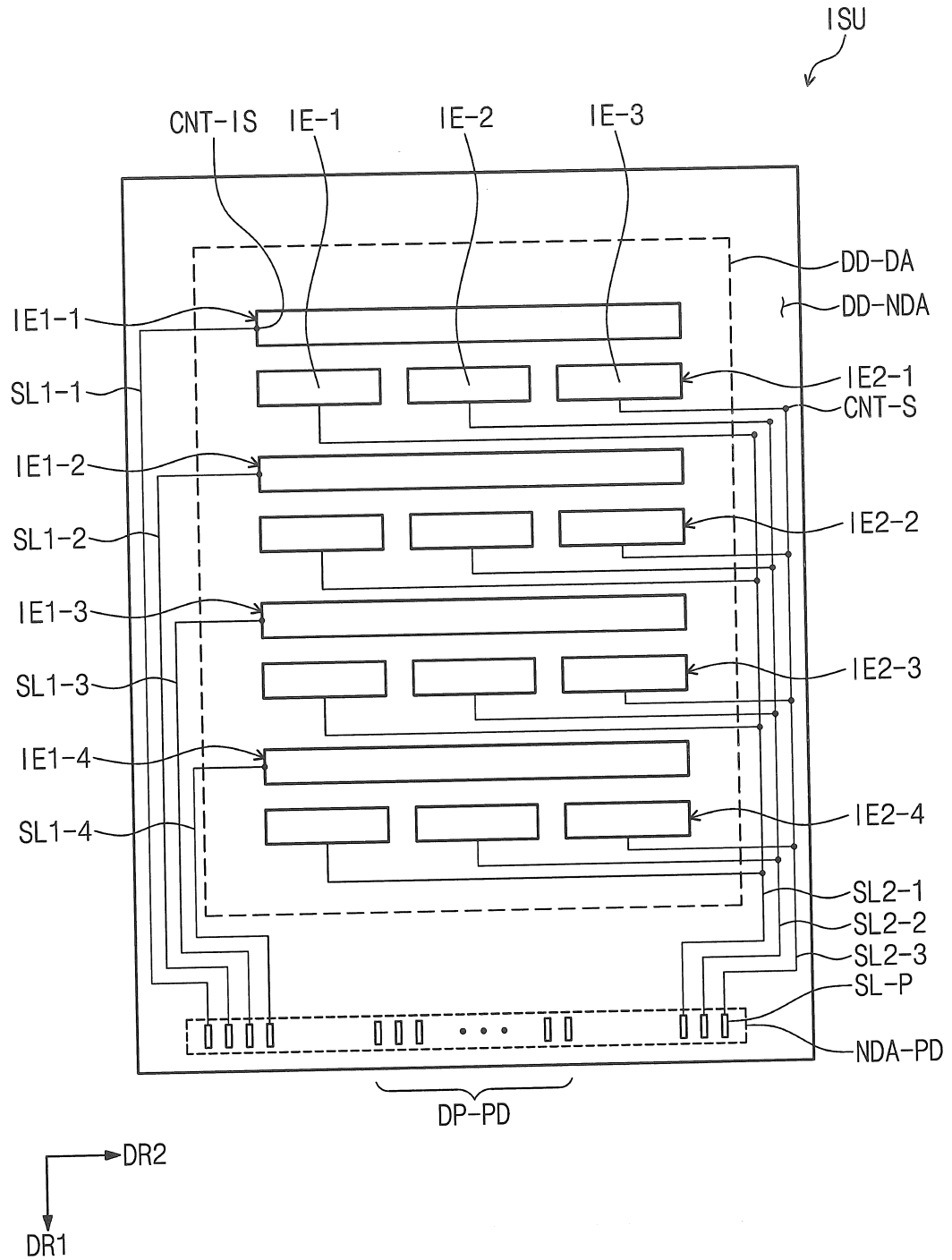


FIG. 26B

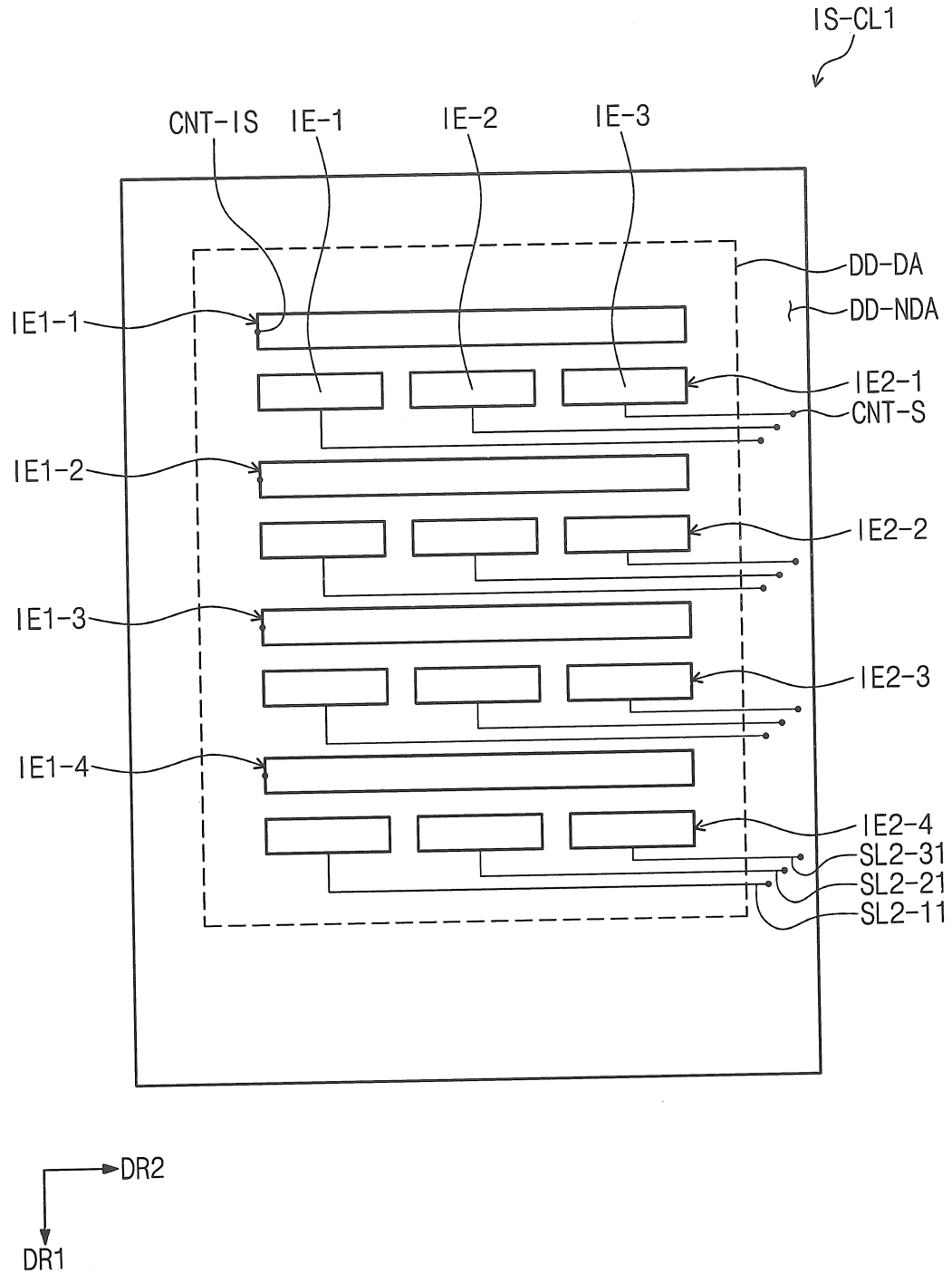


FIG. 26C

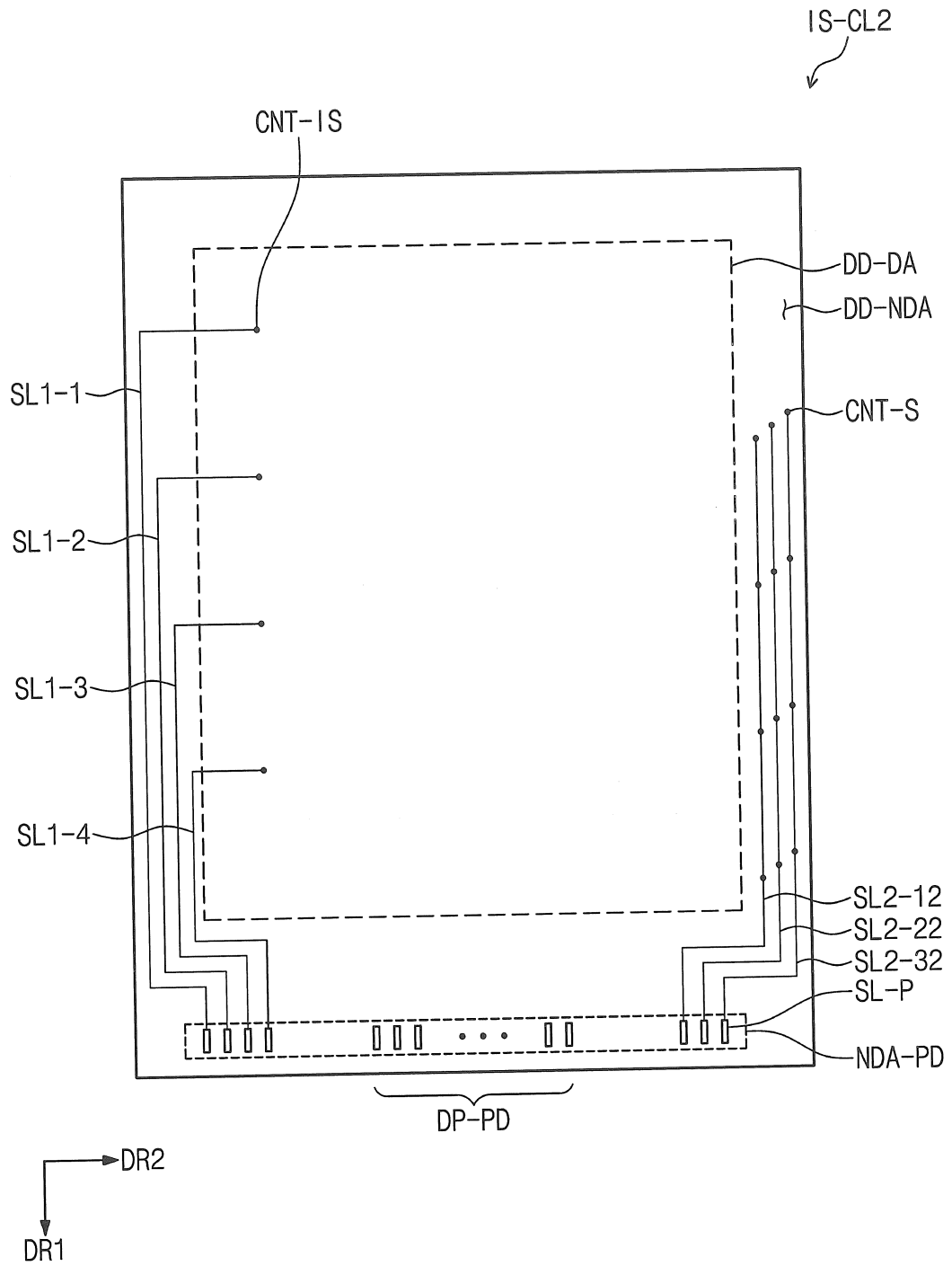


FIG. 27A

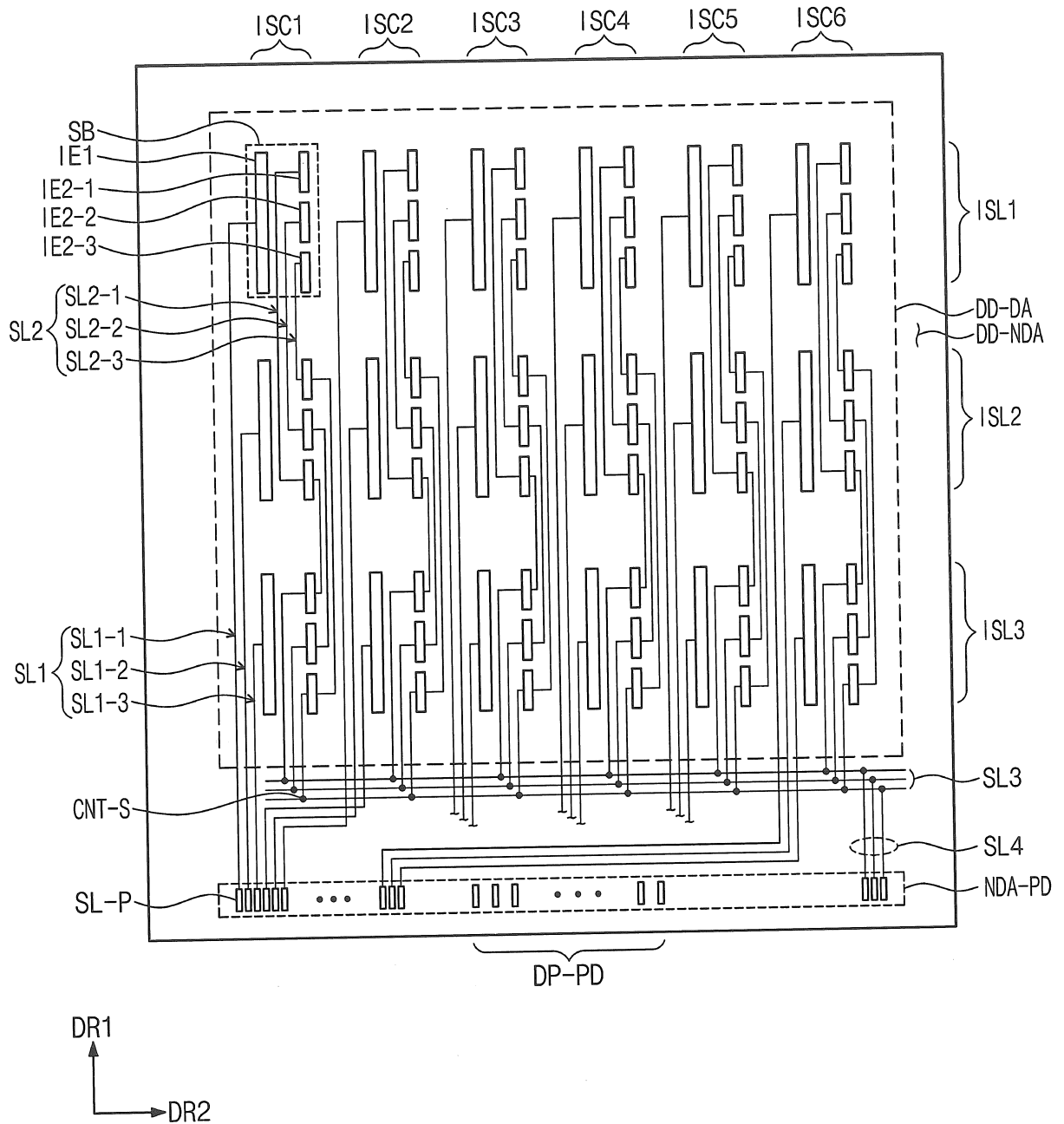


FIG. 27B

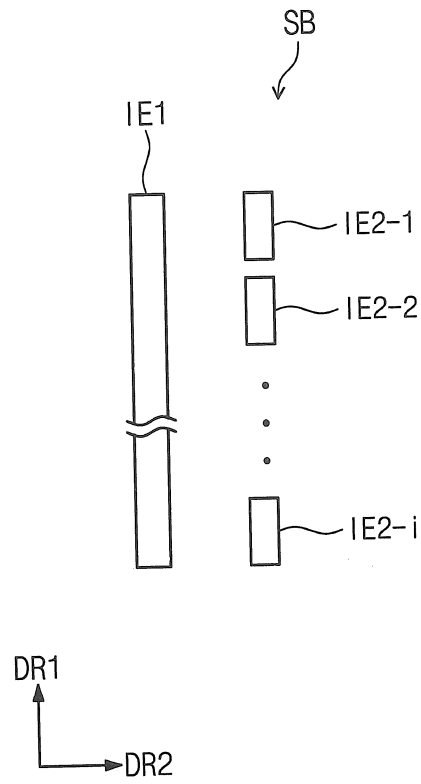


FIG. 27C

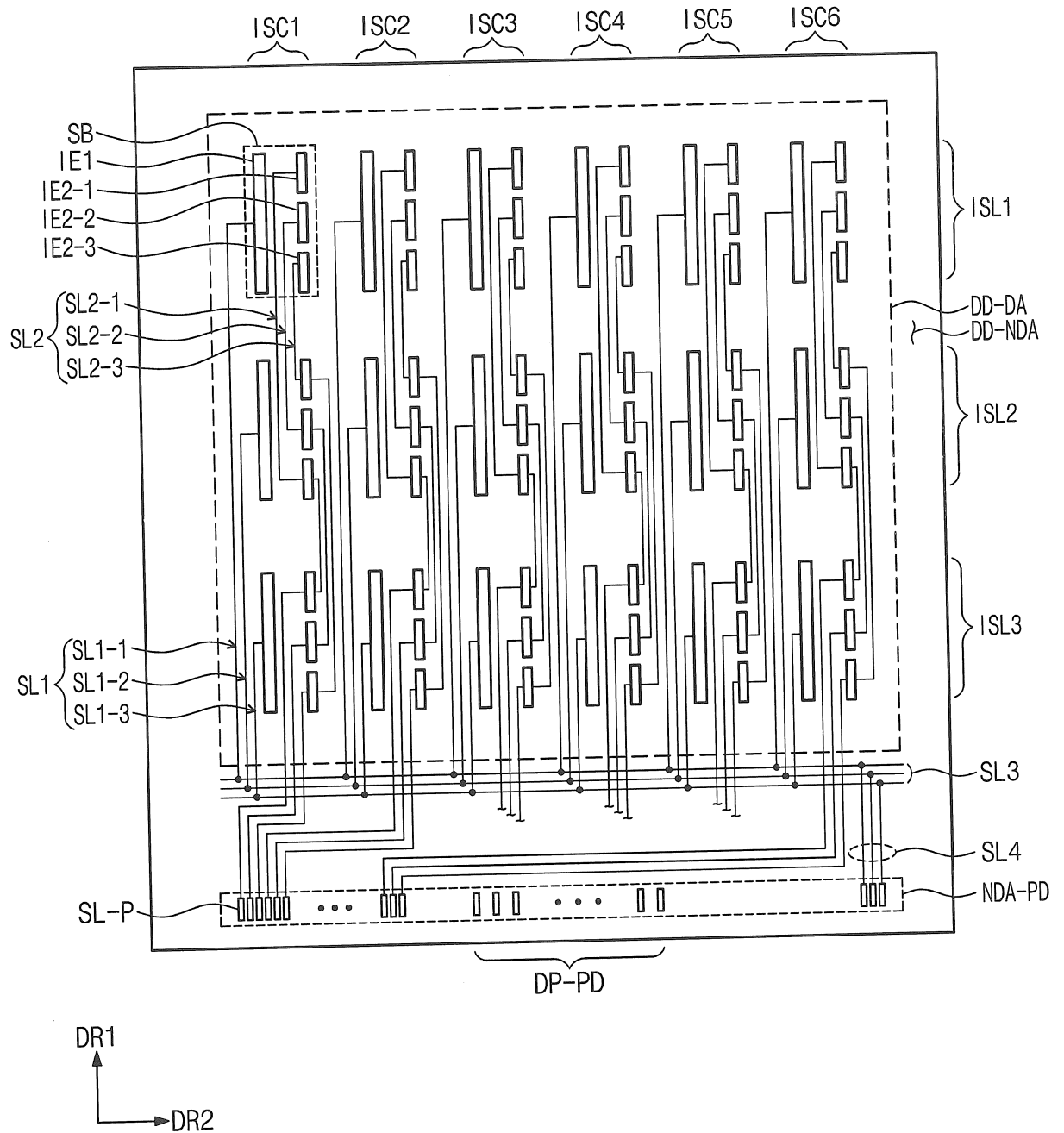


FIG. 28

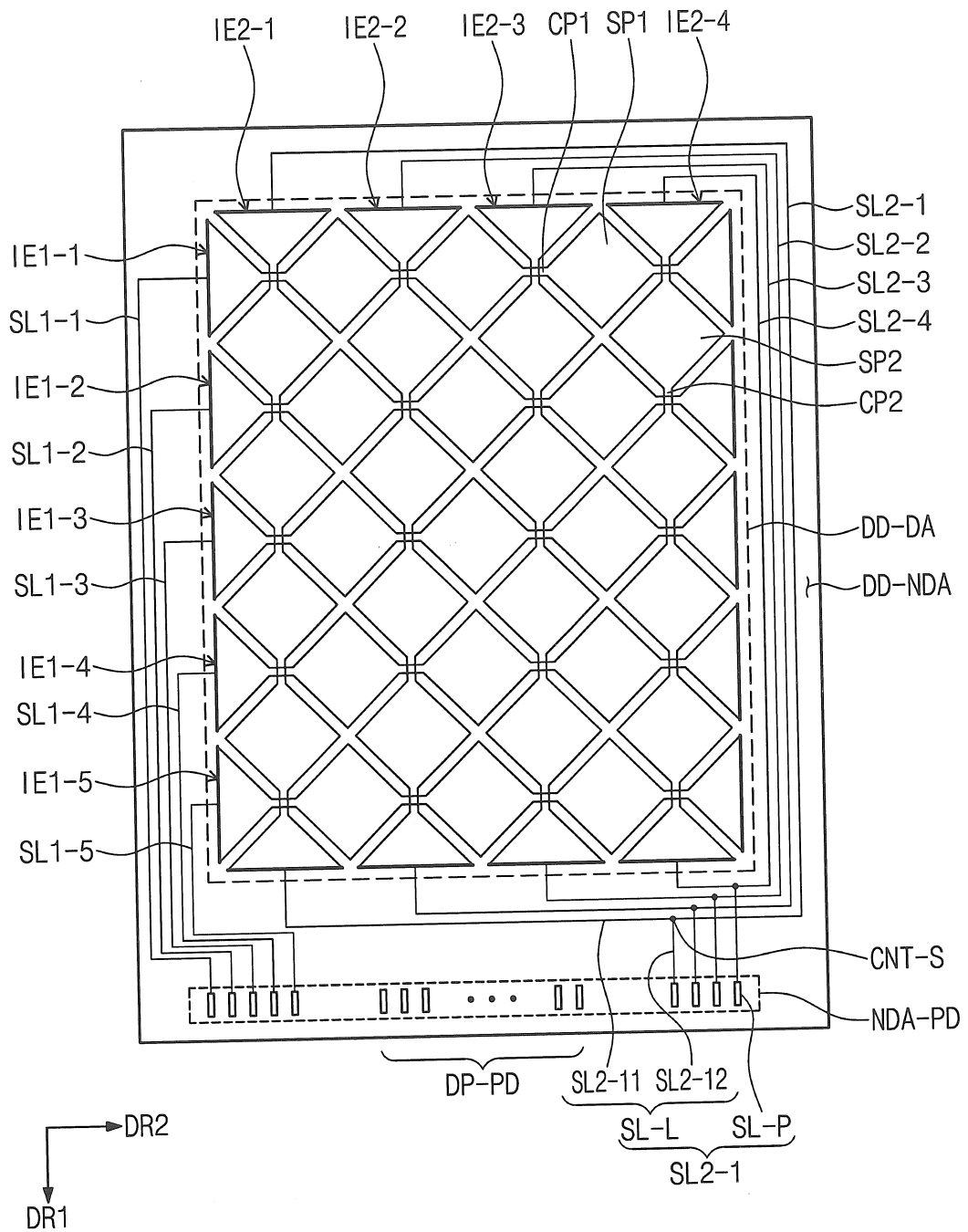


FIG. 29

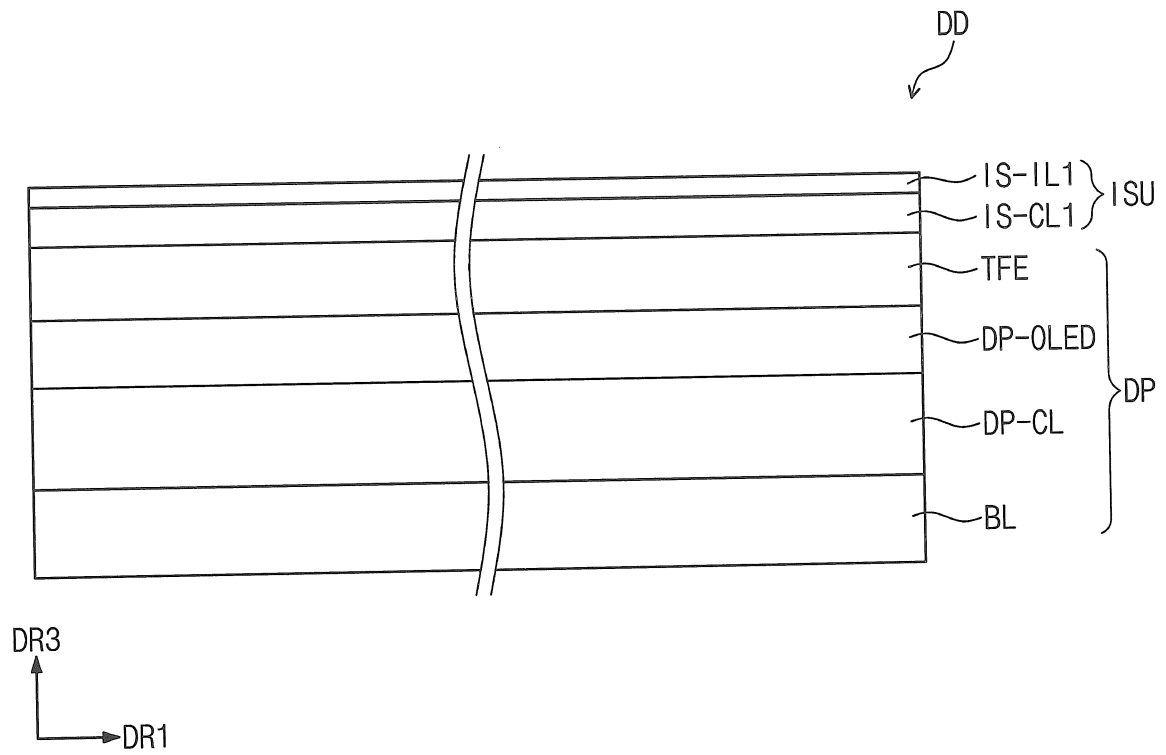


FIG. 30A

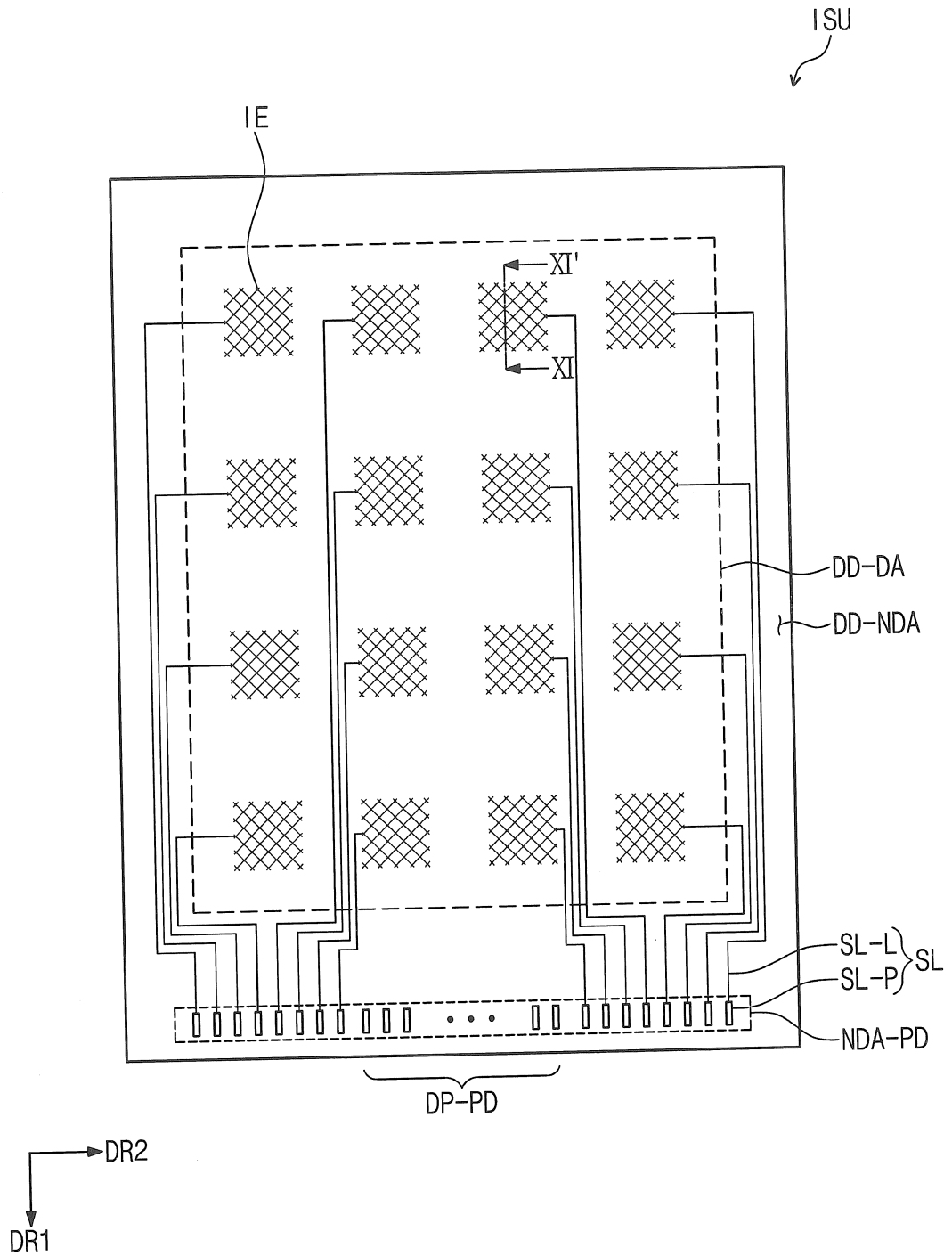


FIG. 30B

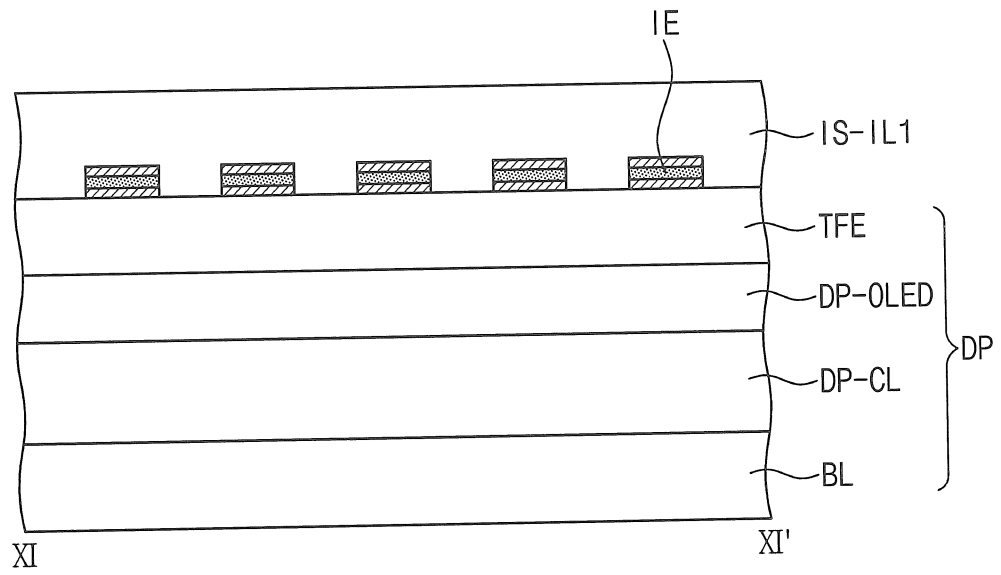


FIG. 30C

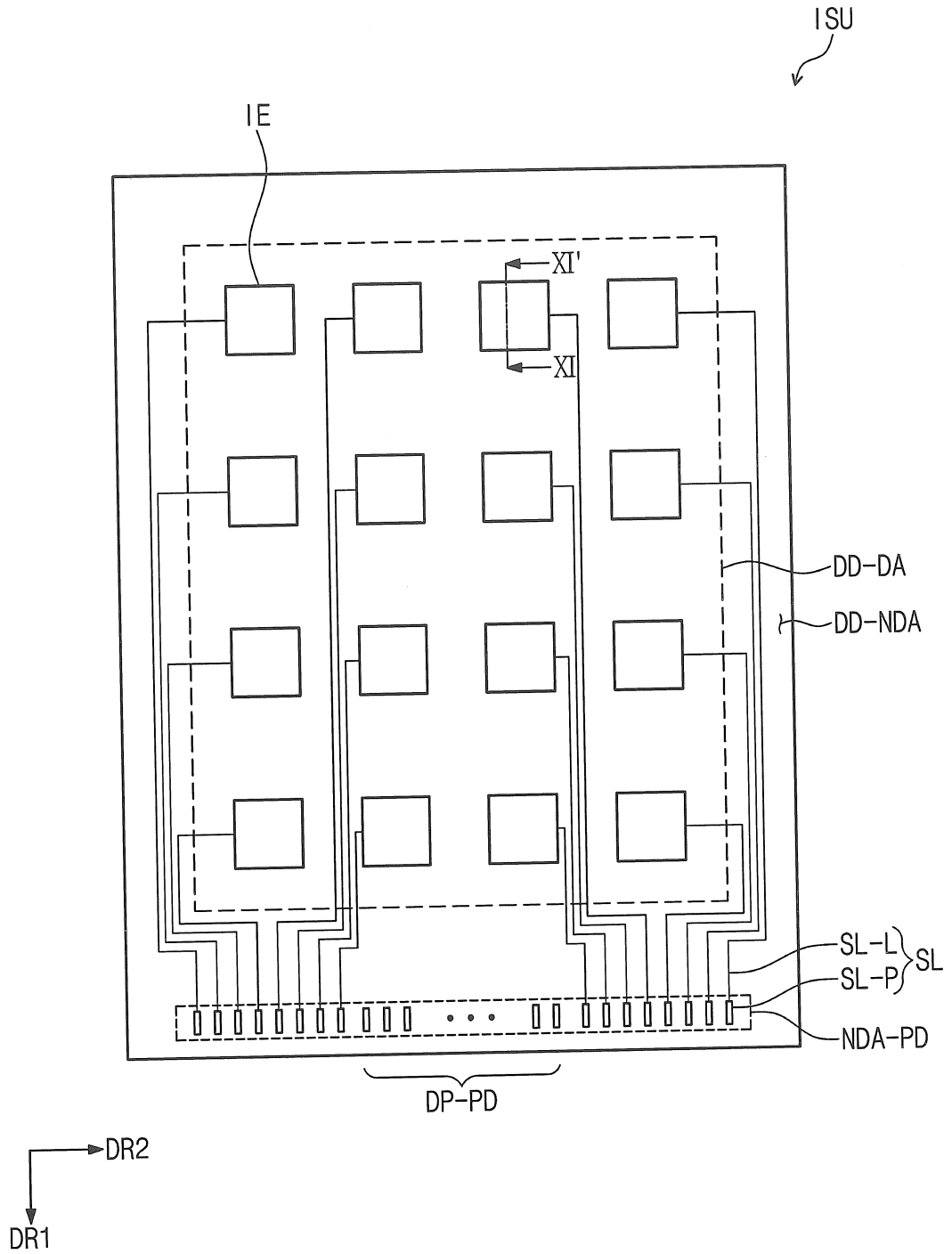


FIG. 30D

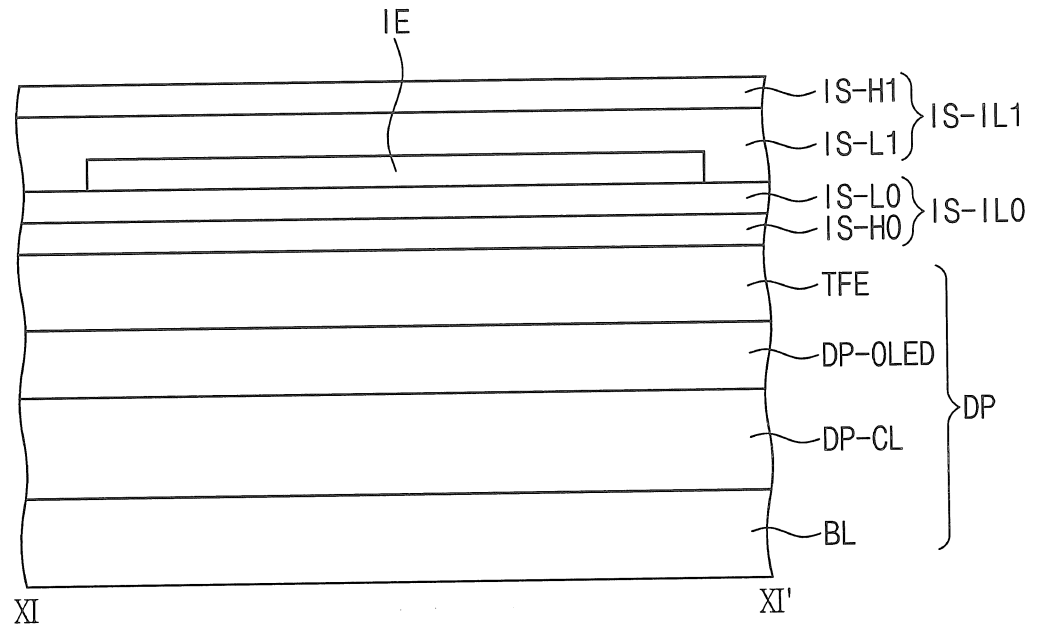


FIG. 30E

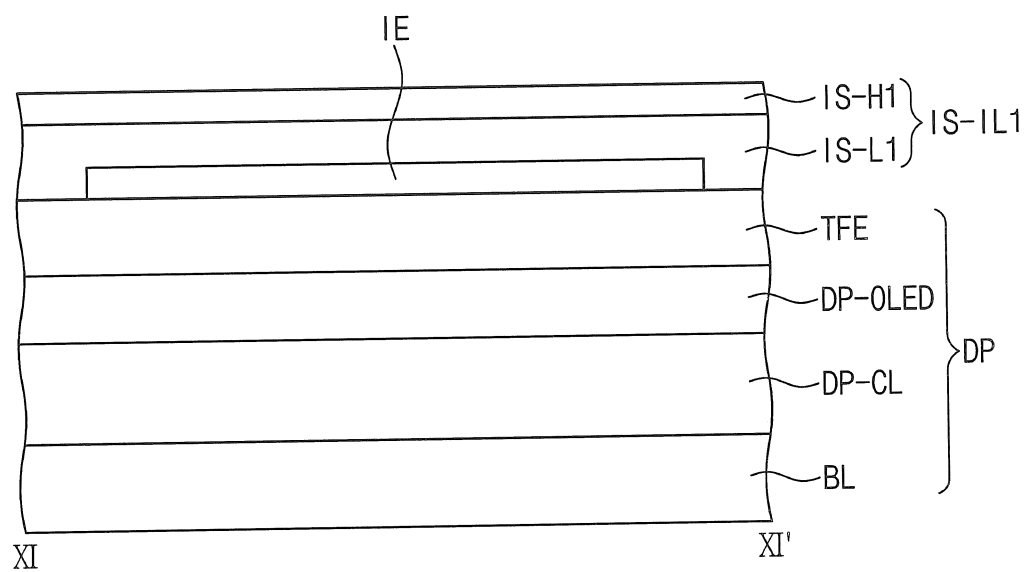


FIG. 30F

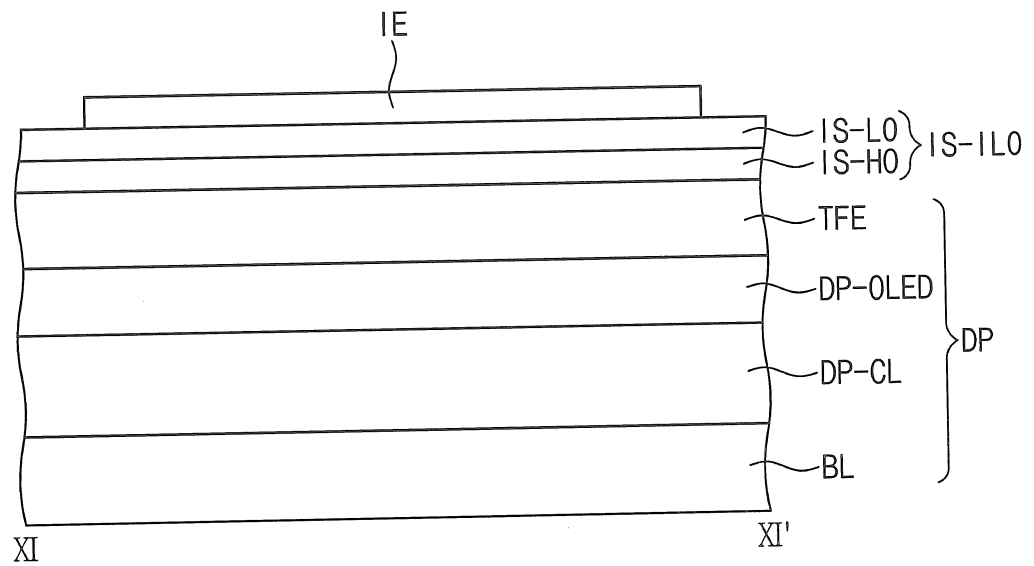


FIG. 31

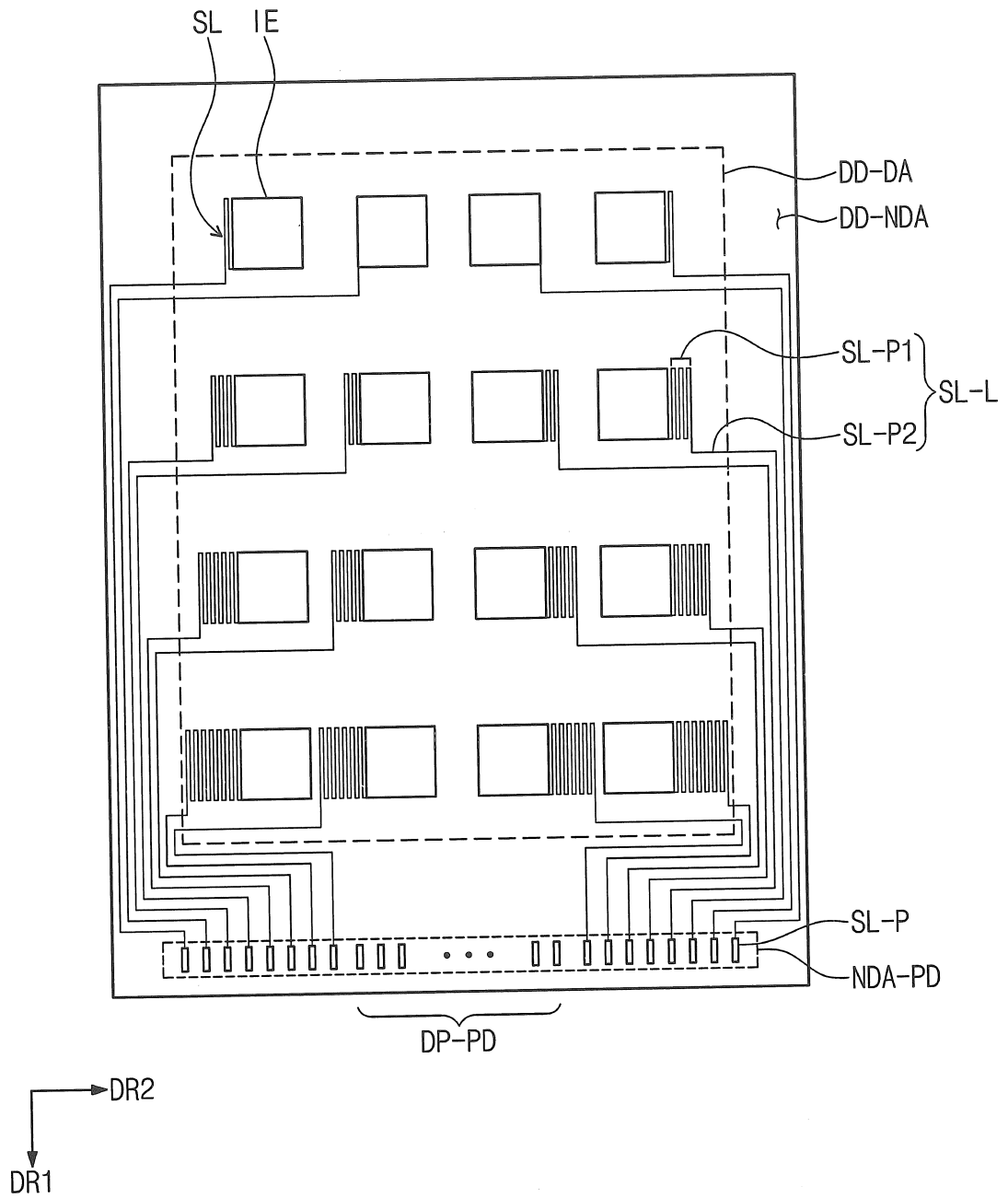


FIG. 32

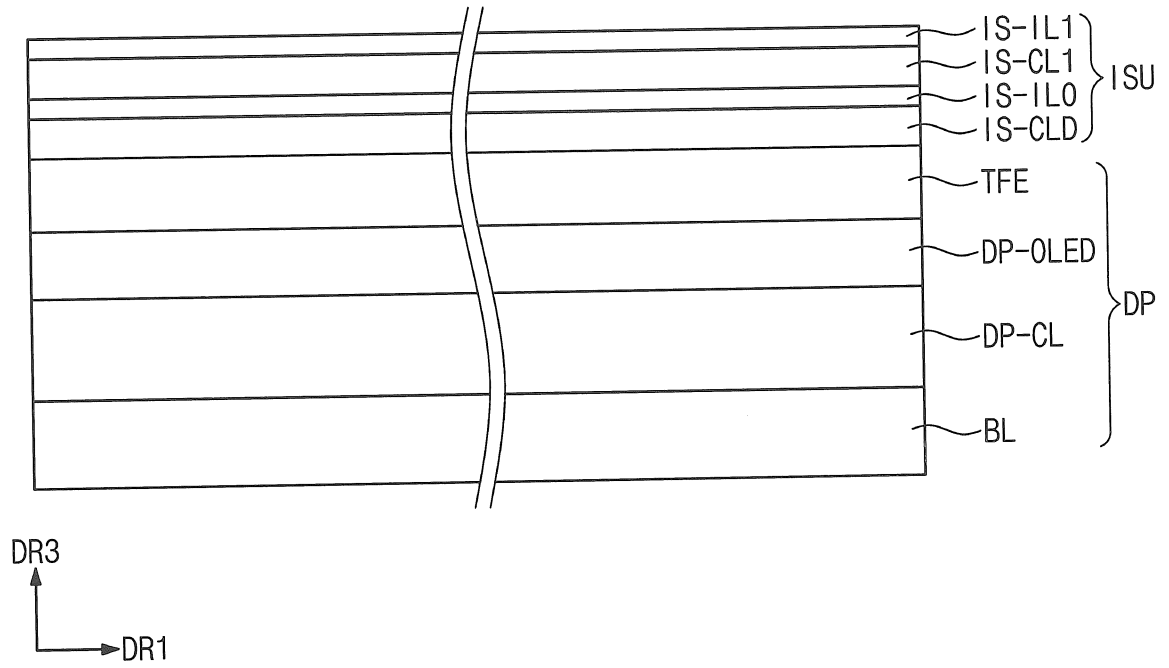


FIG. 33

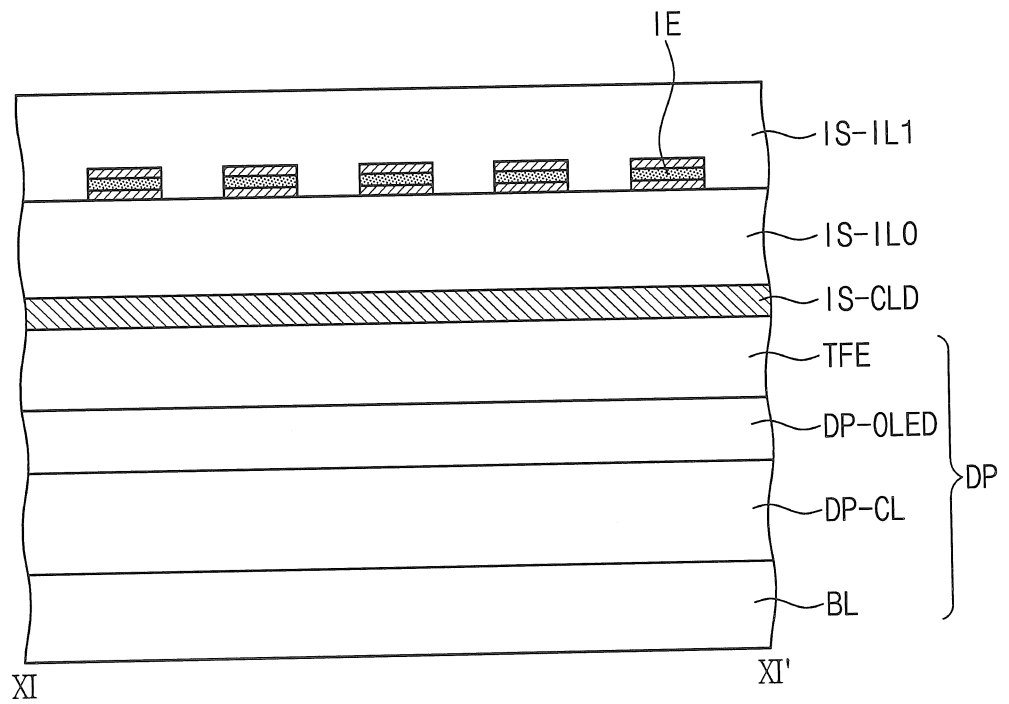


FIG. 34A

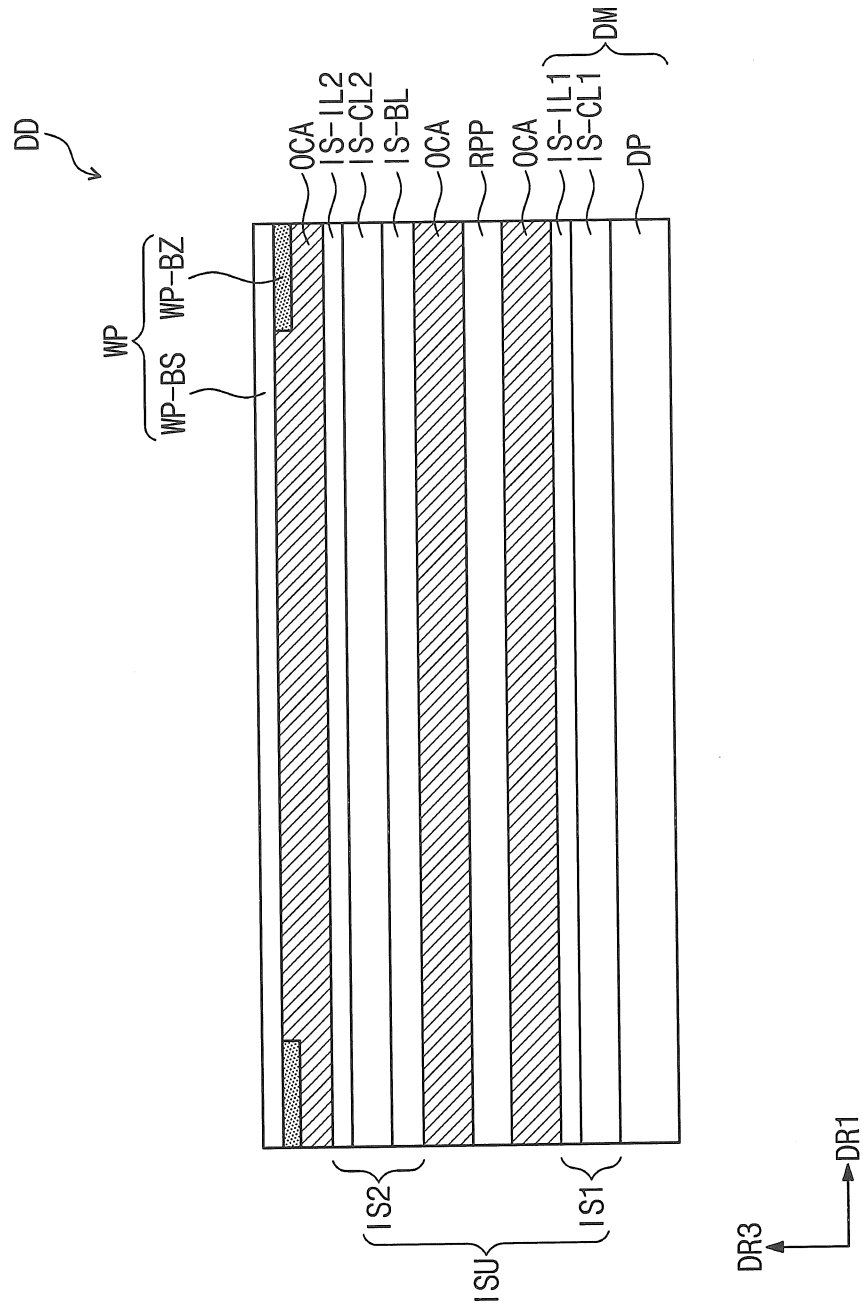


FIG. 34B

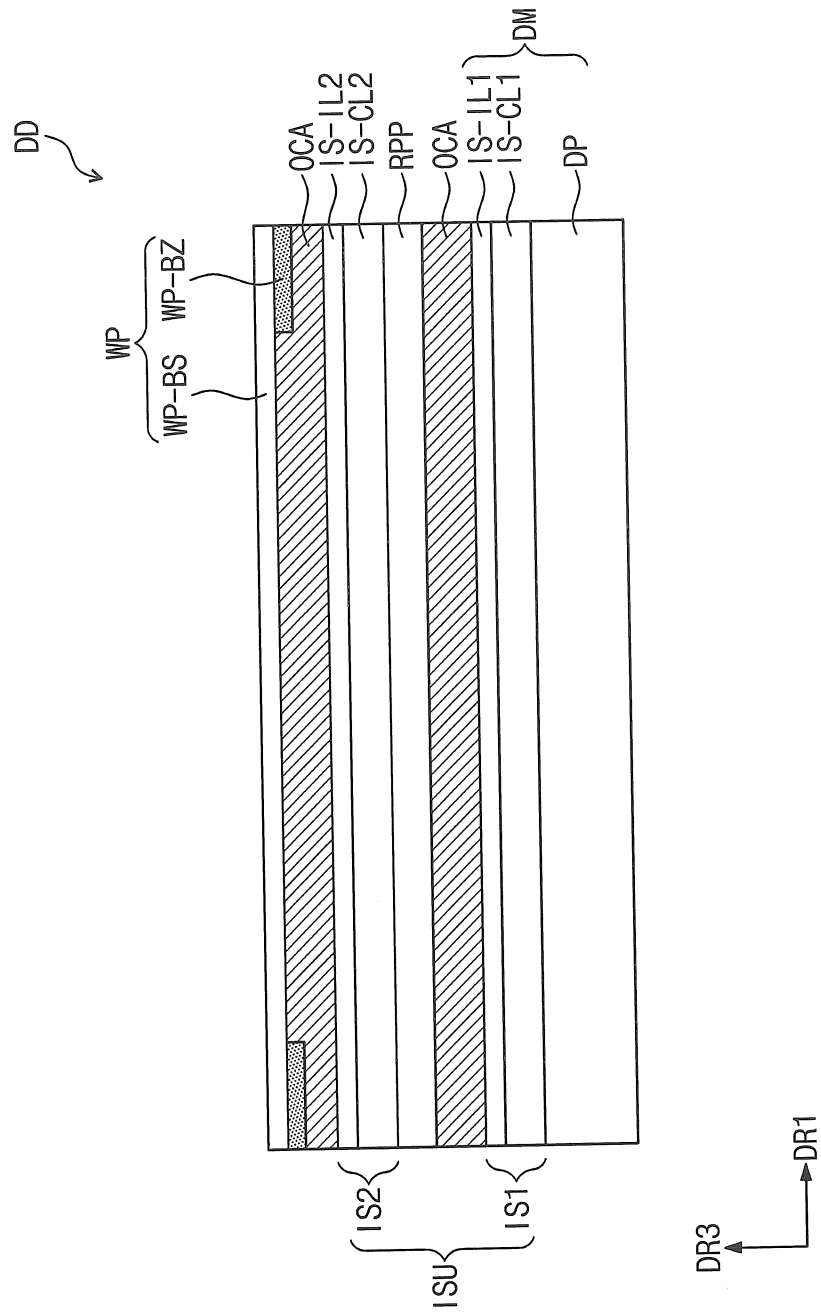


FIG. 34C

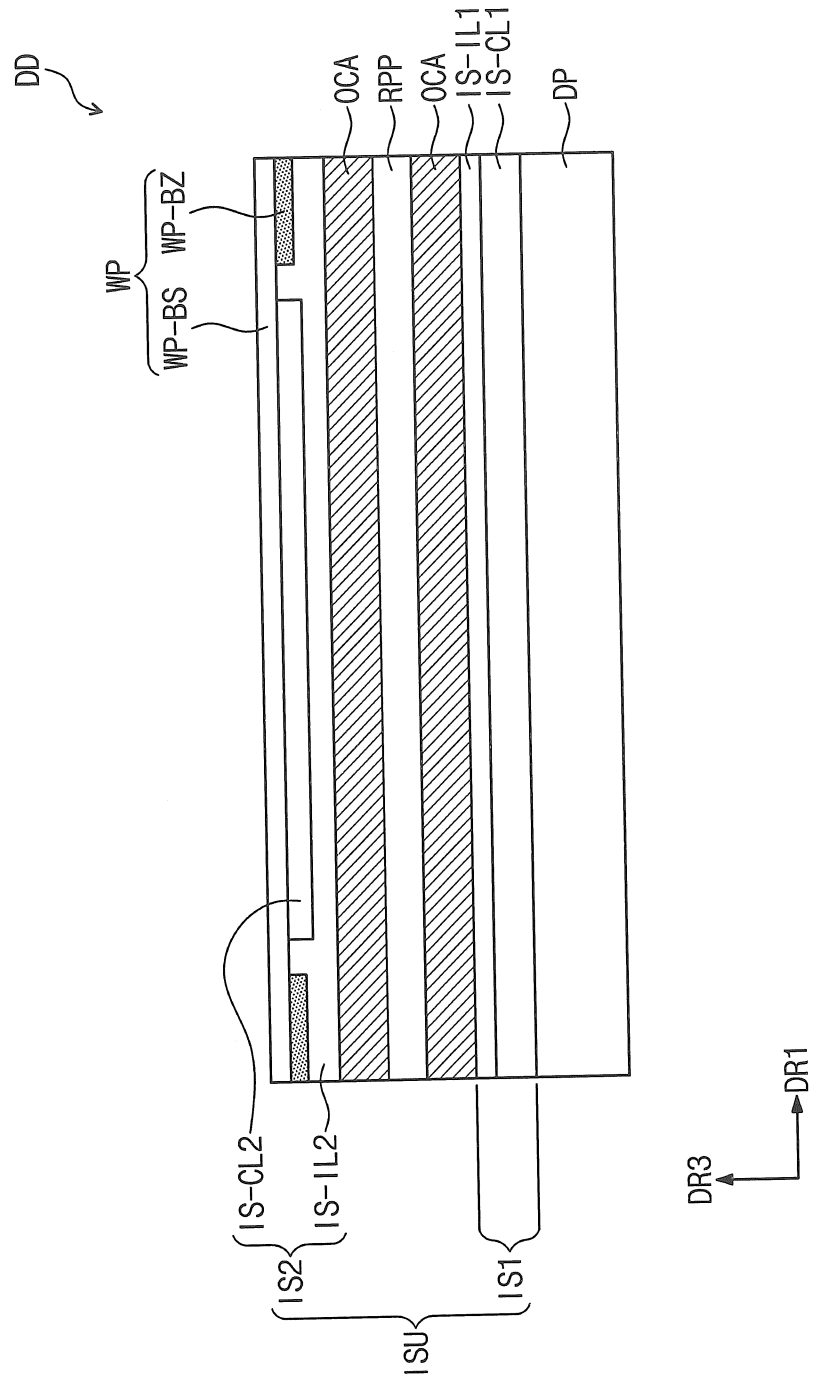


FIG. 35A

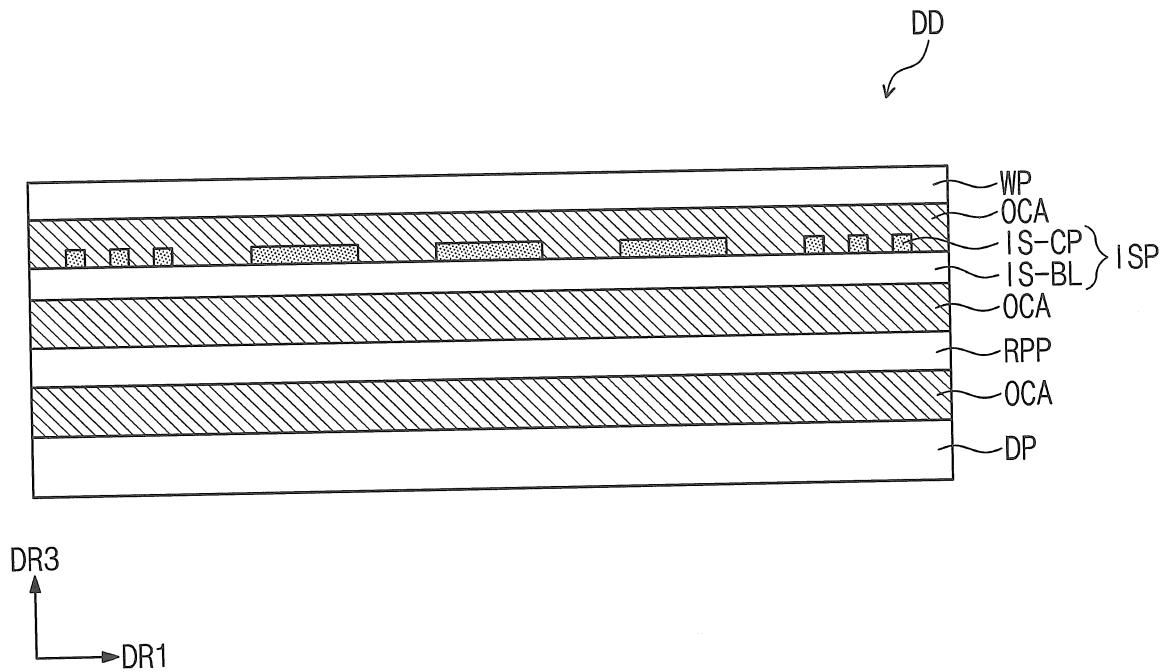


FIG. 35B

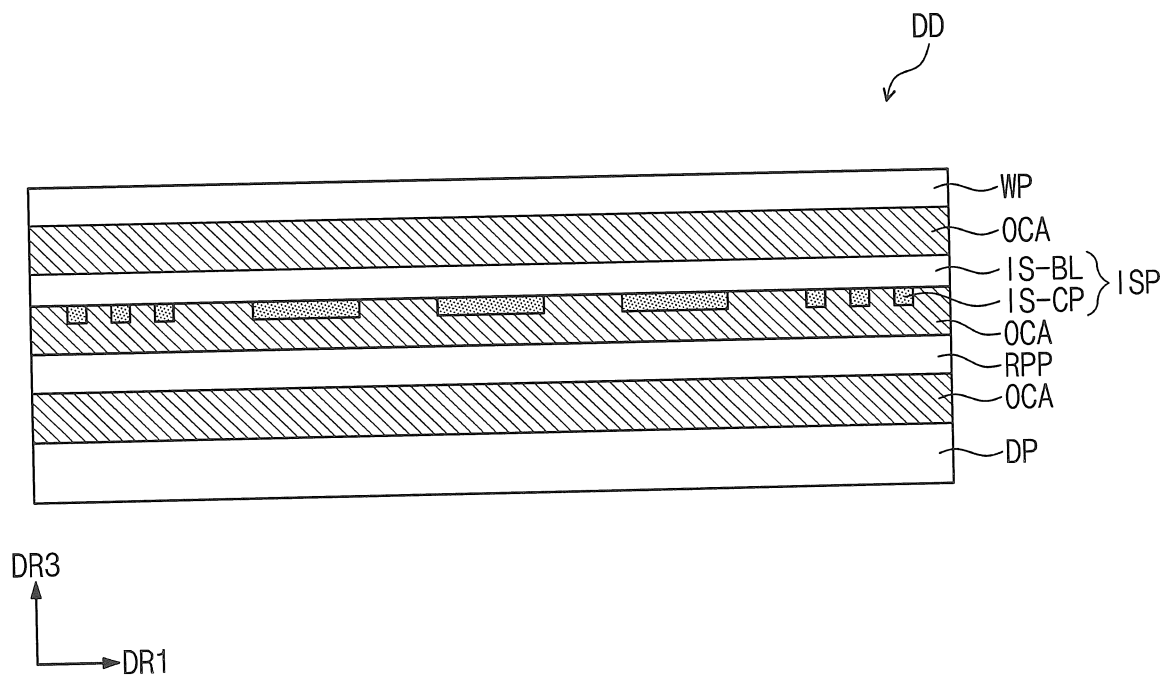


FIG. 35C

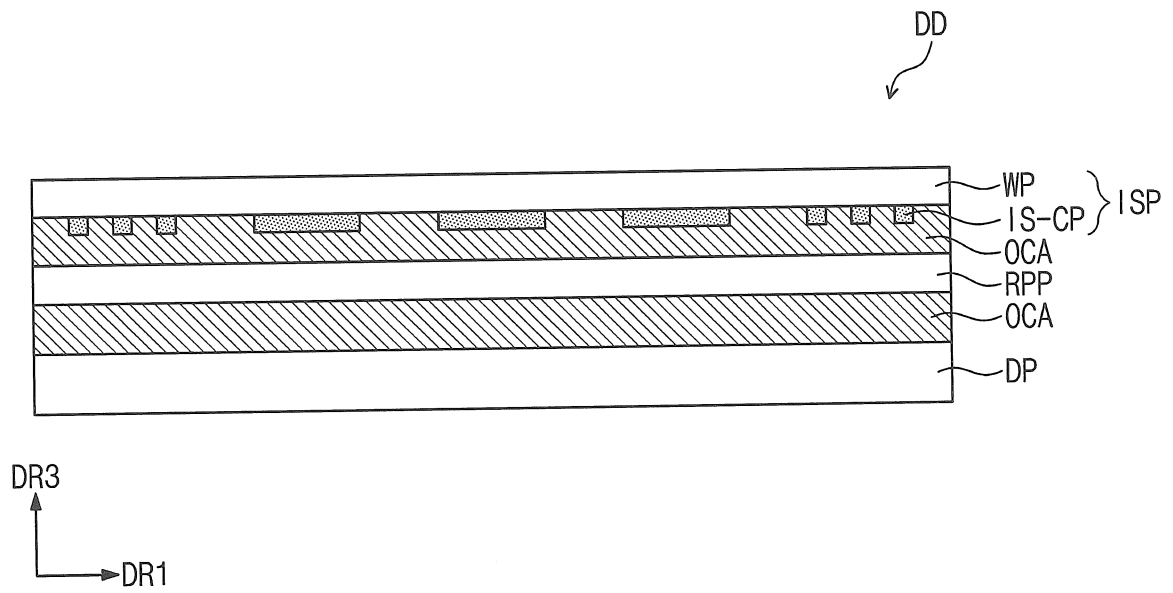


FIG. 36A

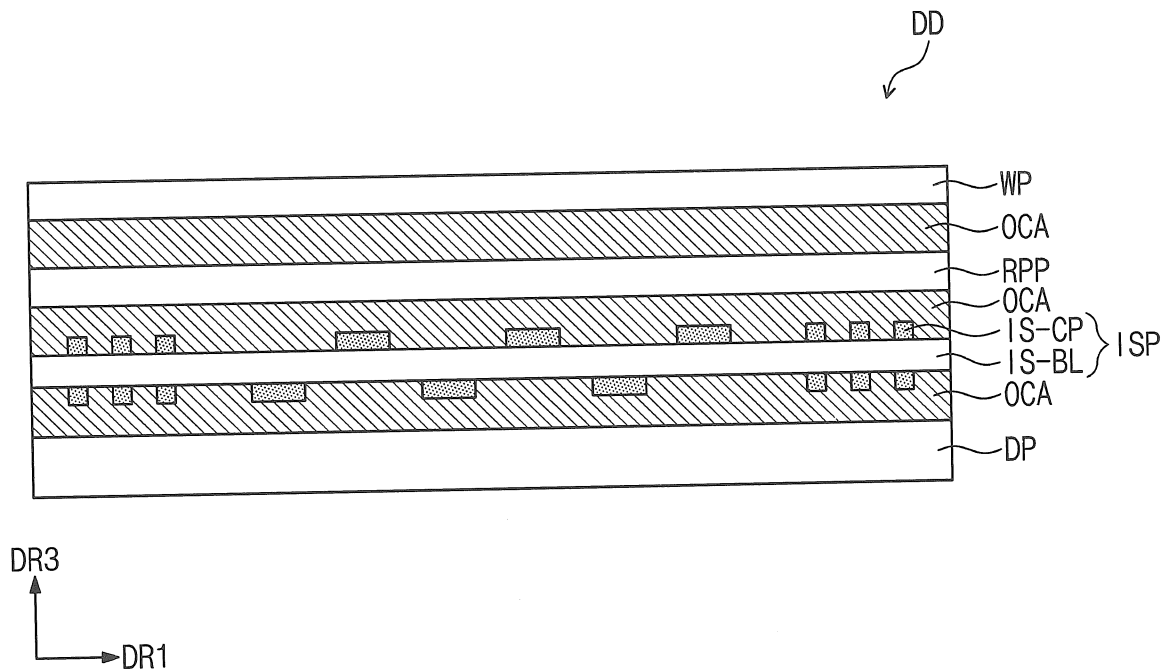


FIG. 36B

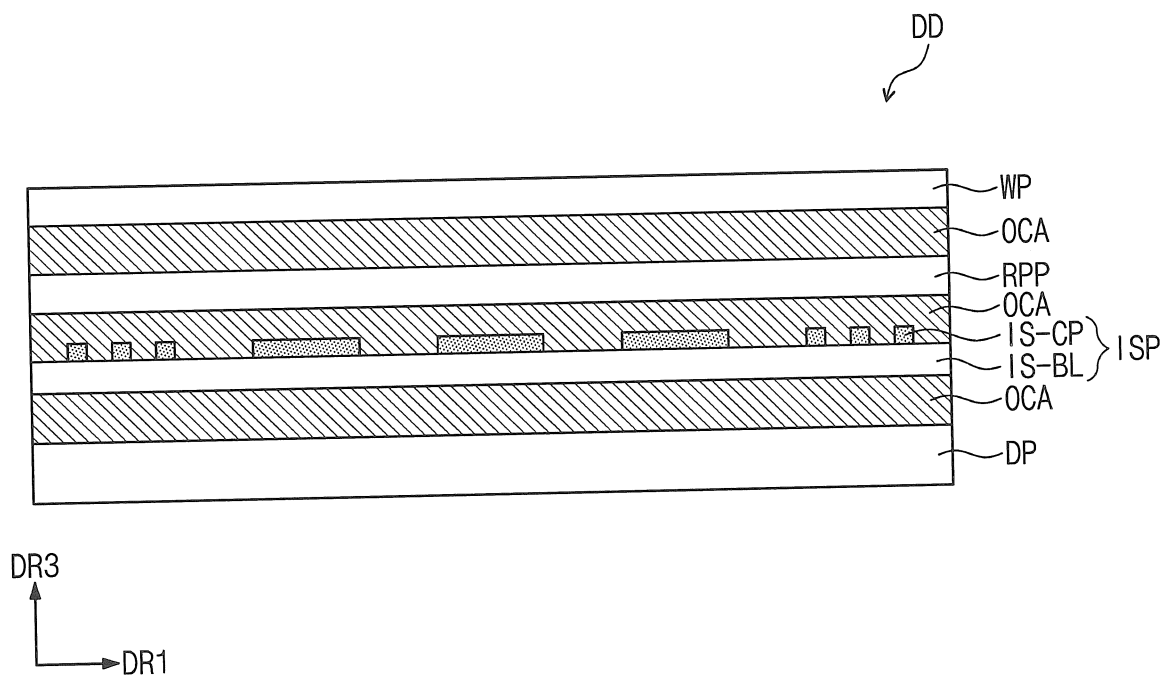


FIG. 36C

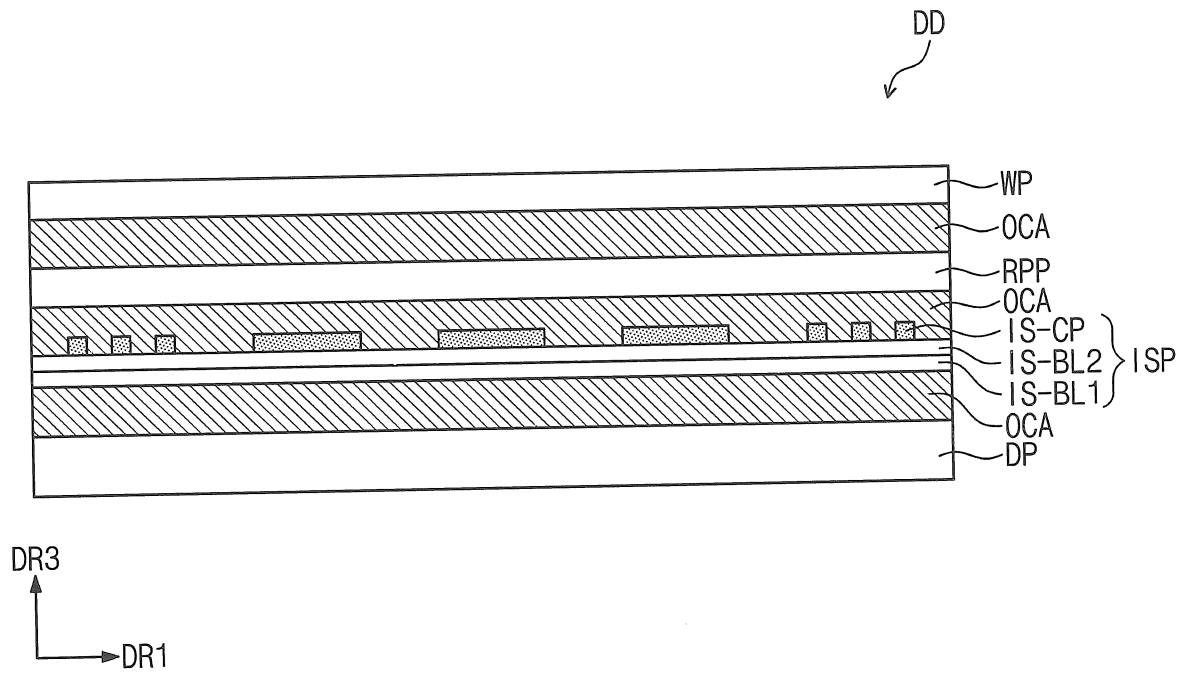


FIG. 36D

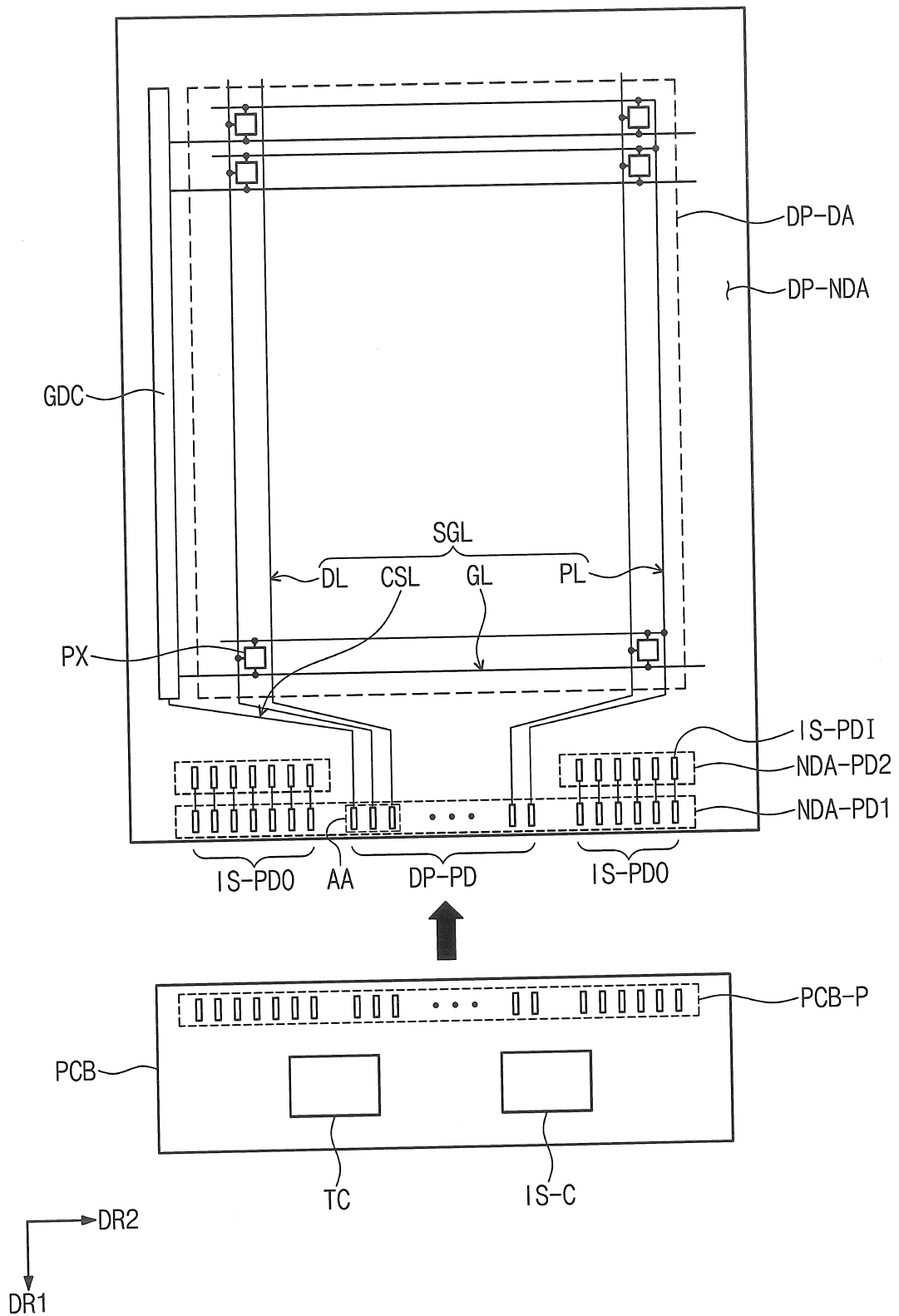


FIG. 36E

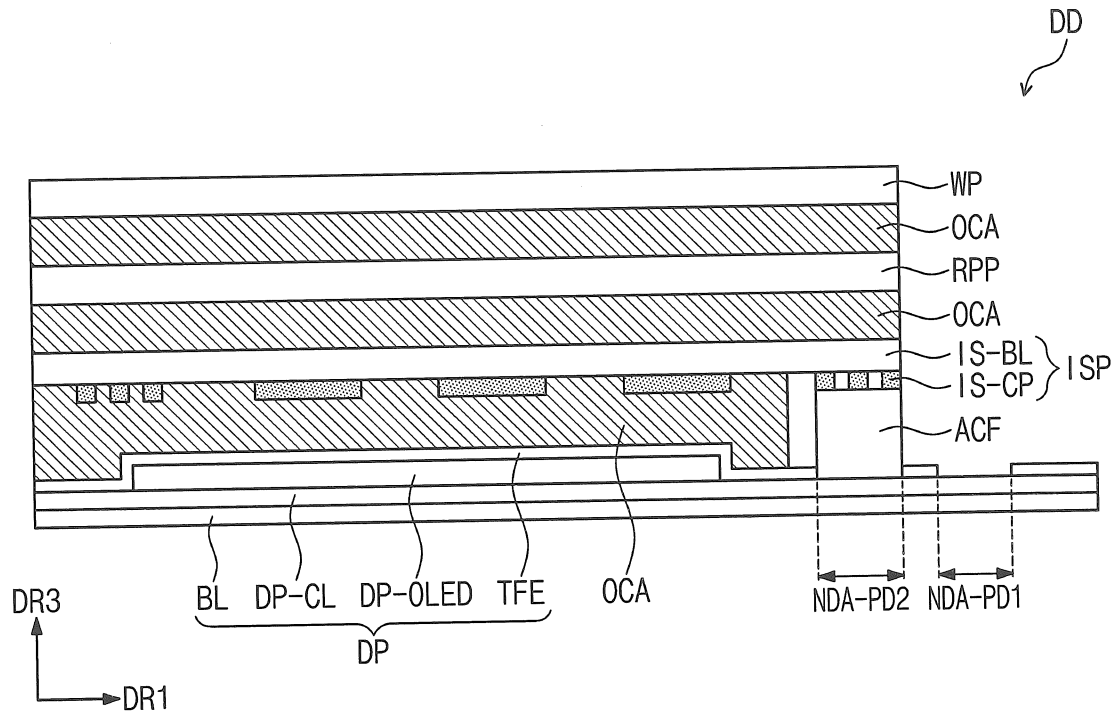


FIG. 37A

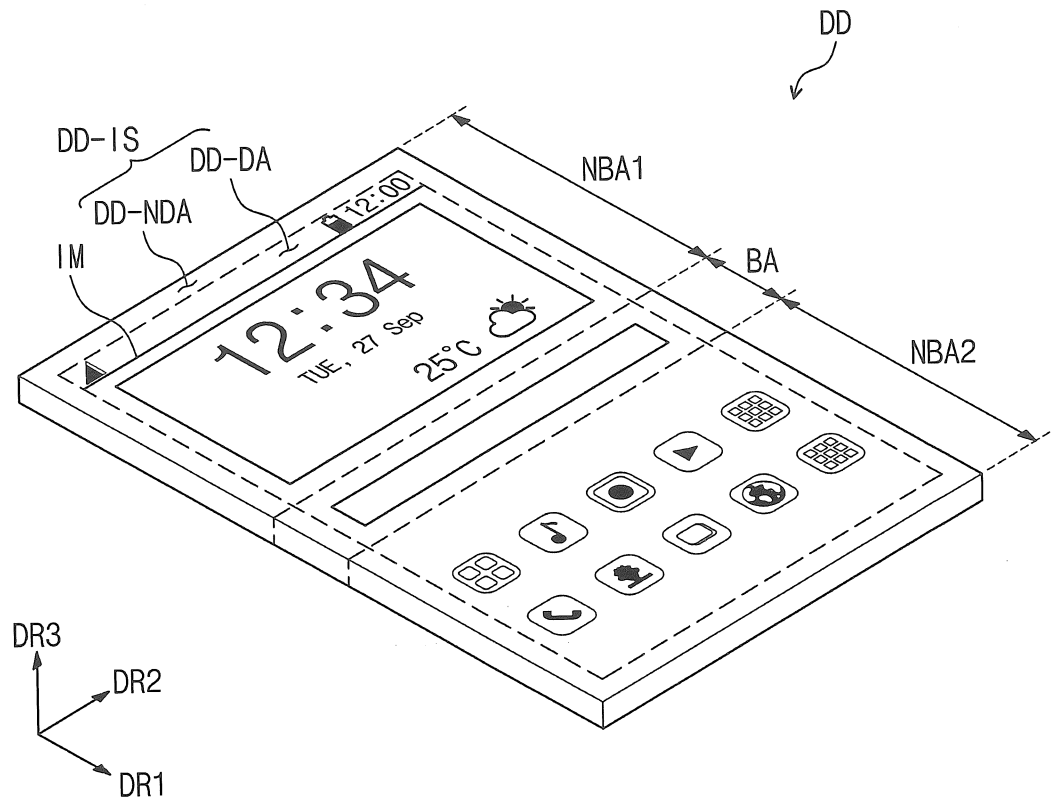


FIG. 37B

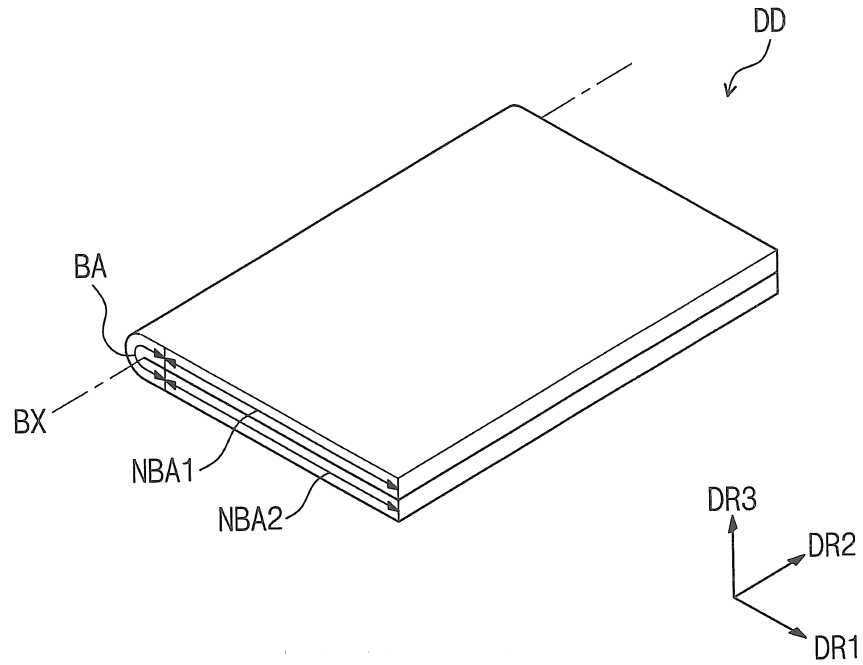


FIG. 37C

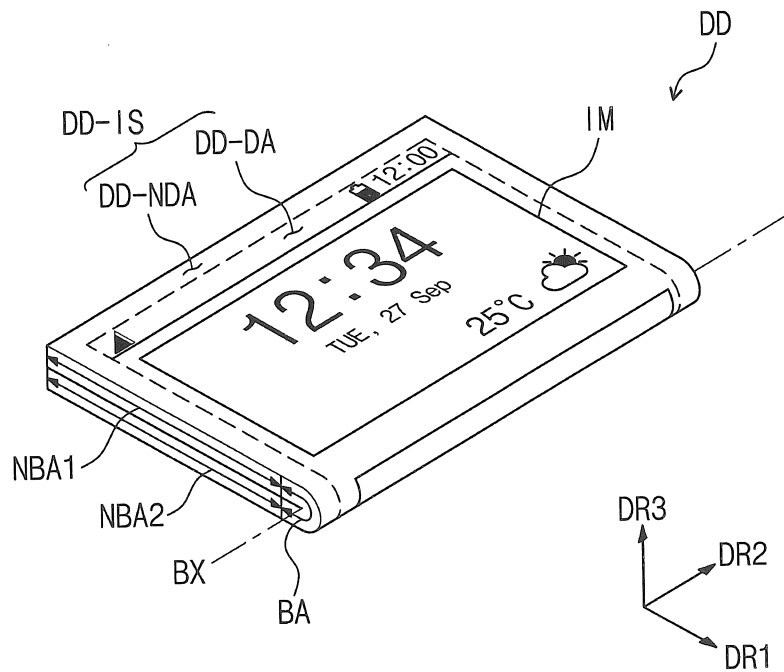


FIG. 38A

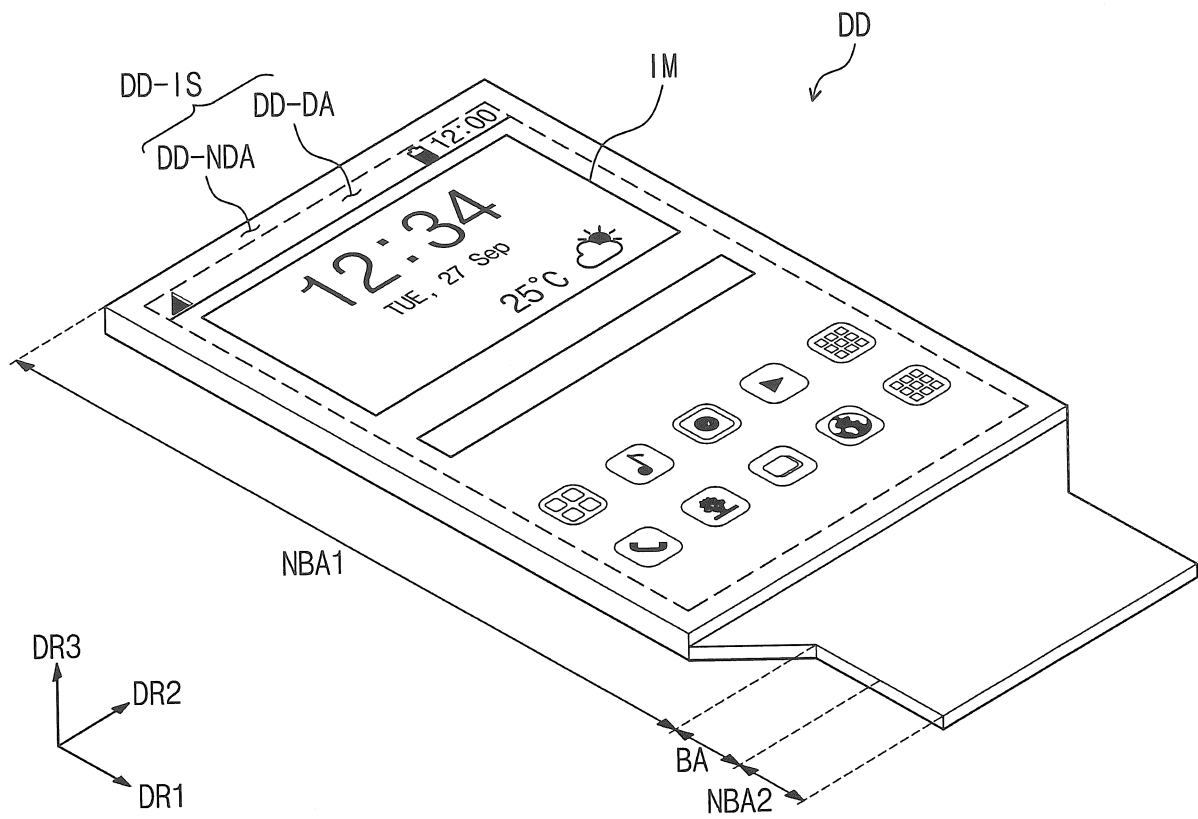


FIG. 38B

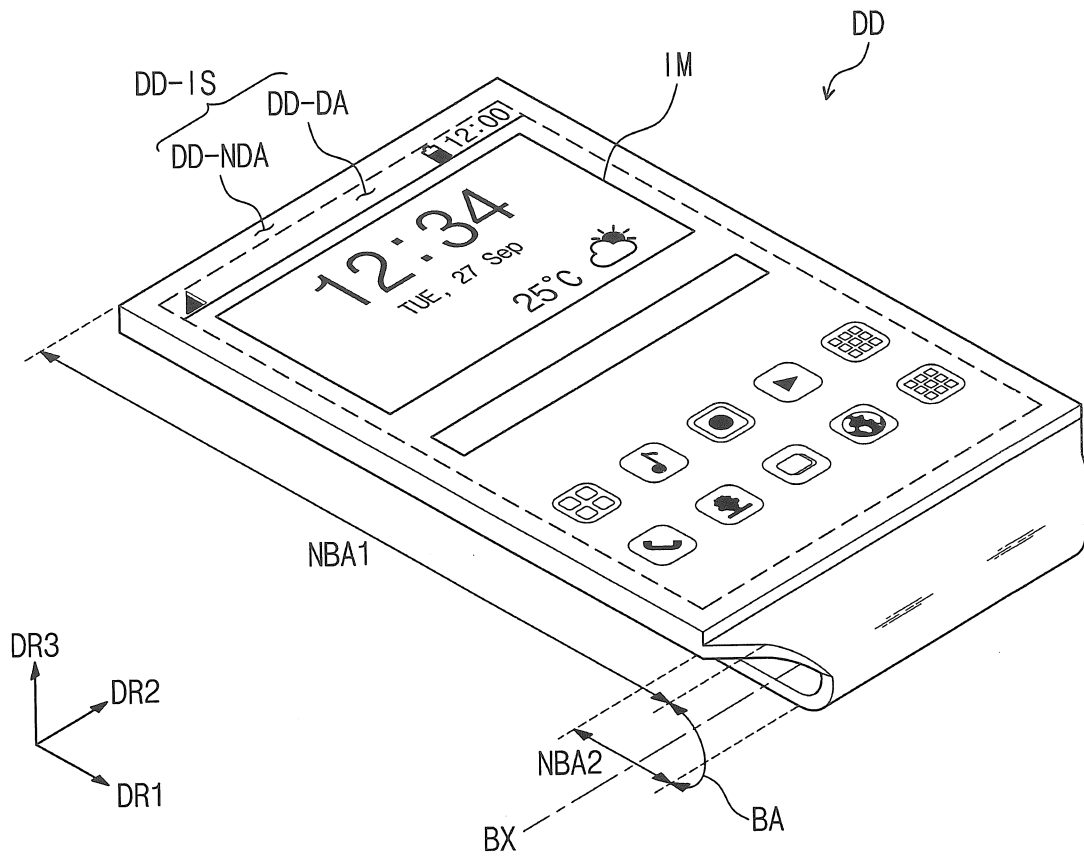


FIG. 39

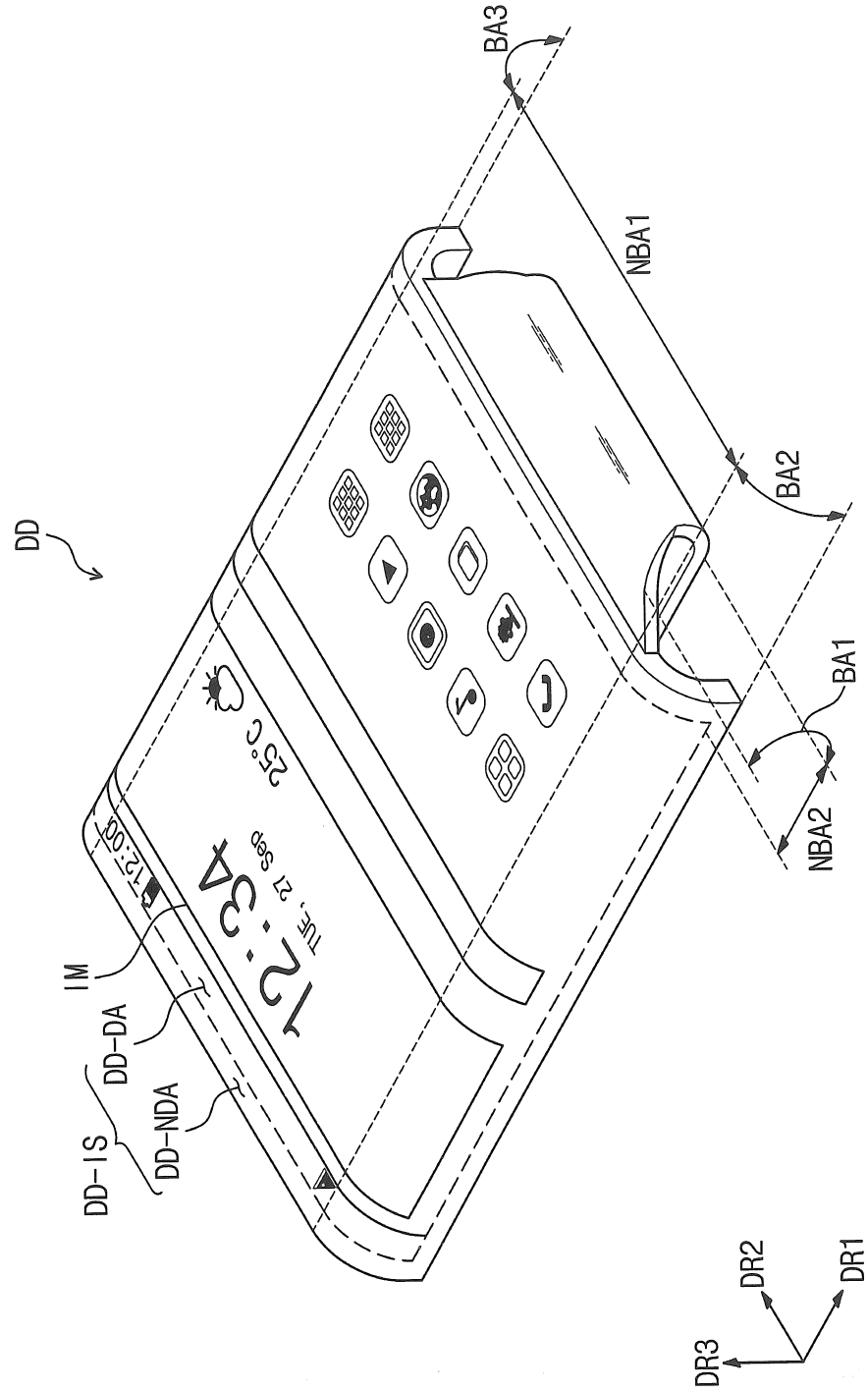


FIG. 40A

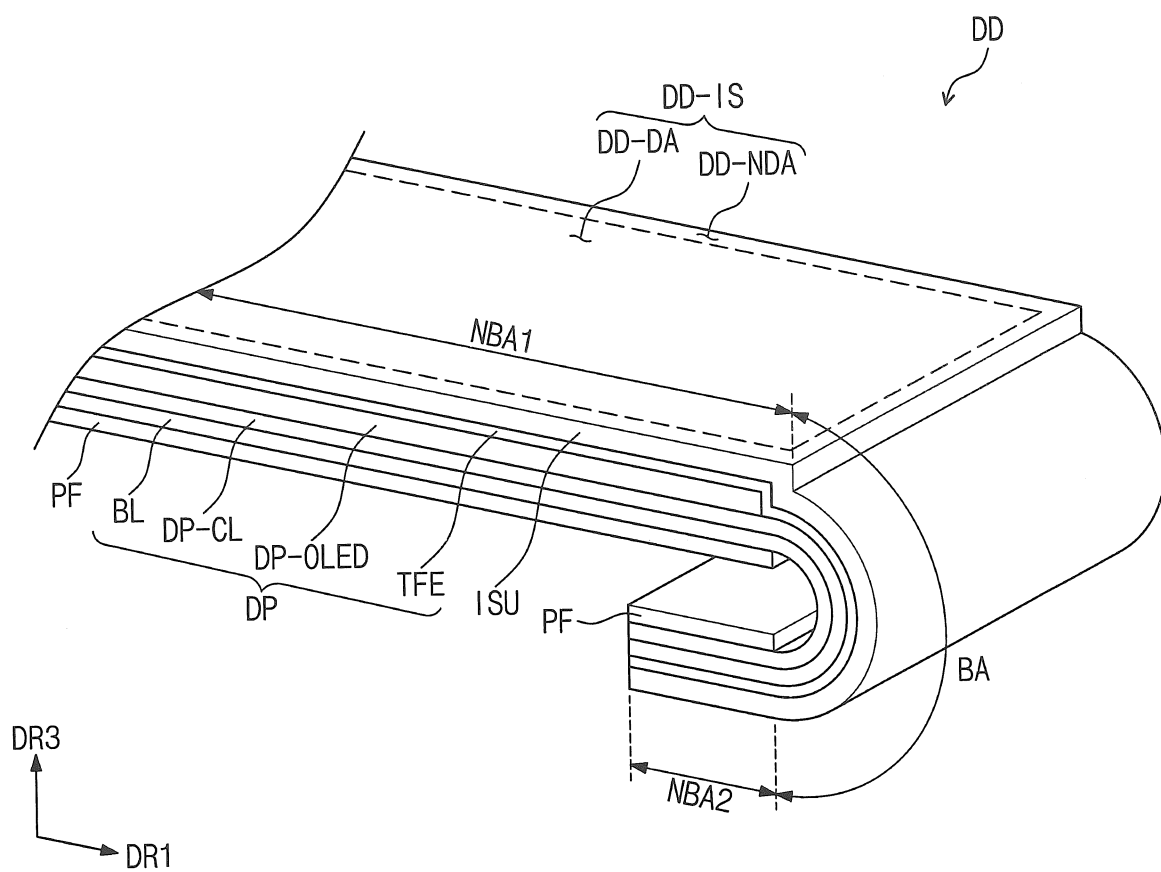


FIG. 40B

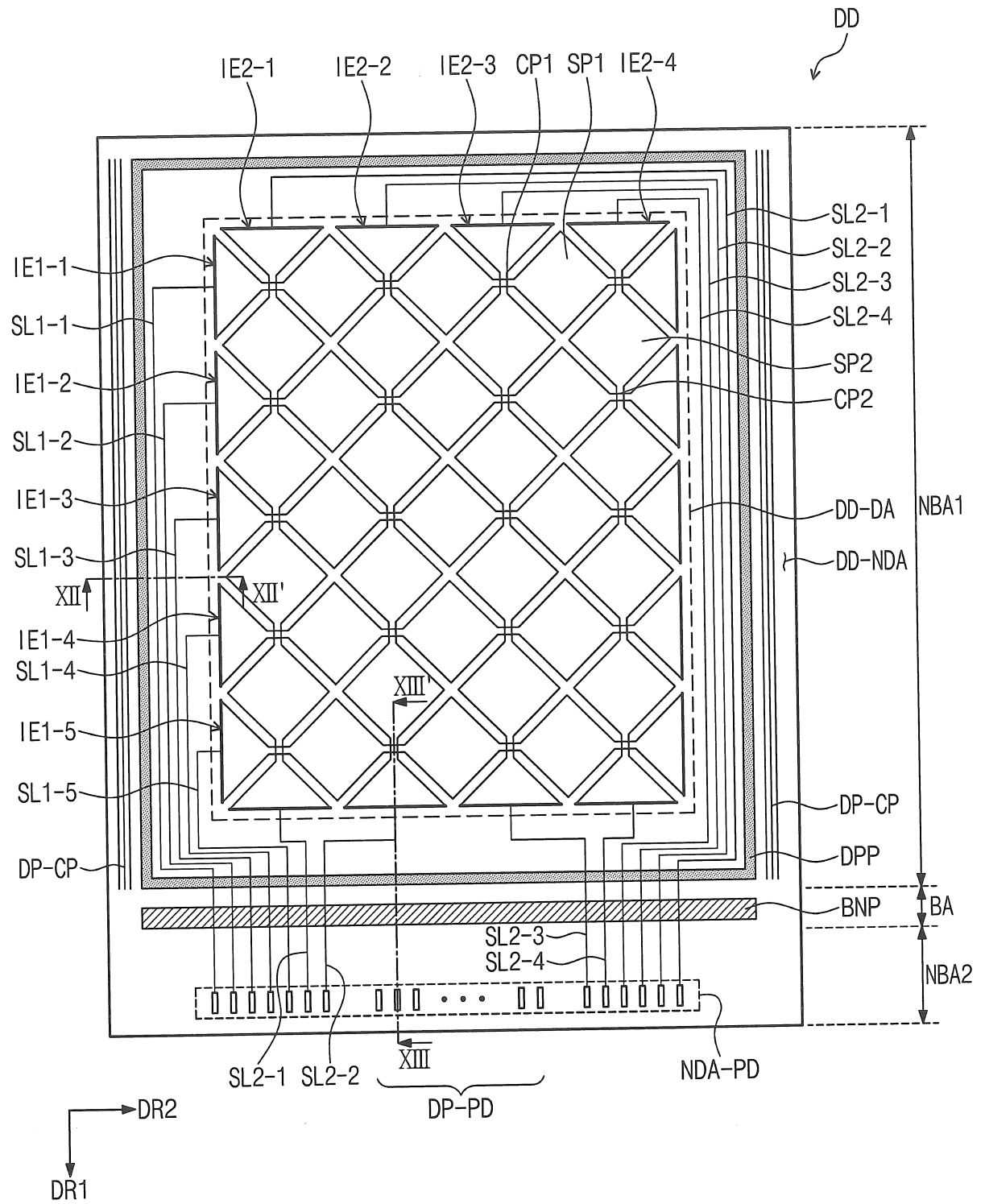


FIG. 41A

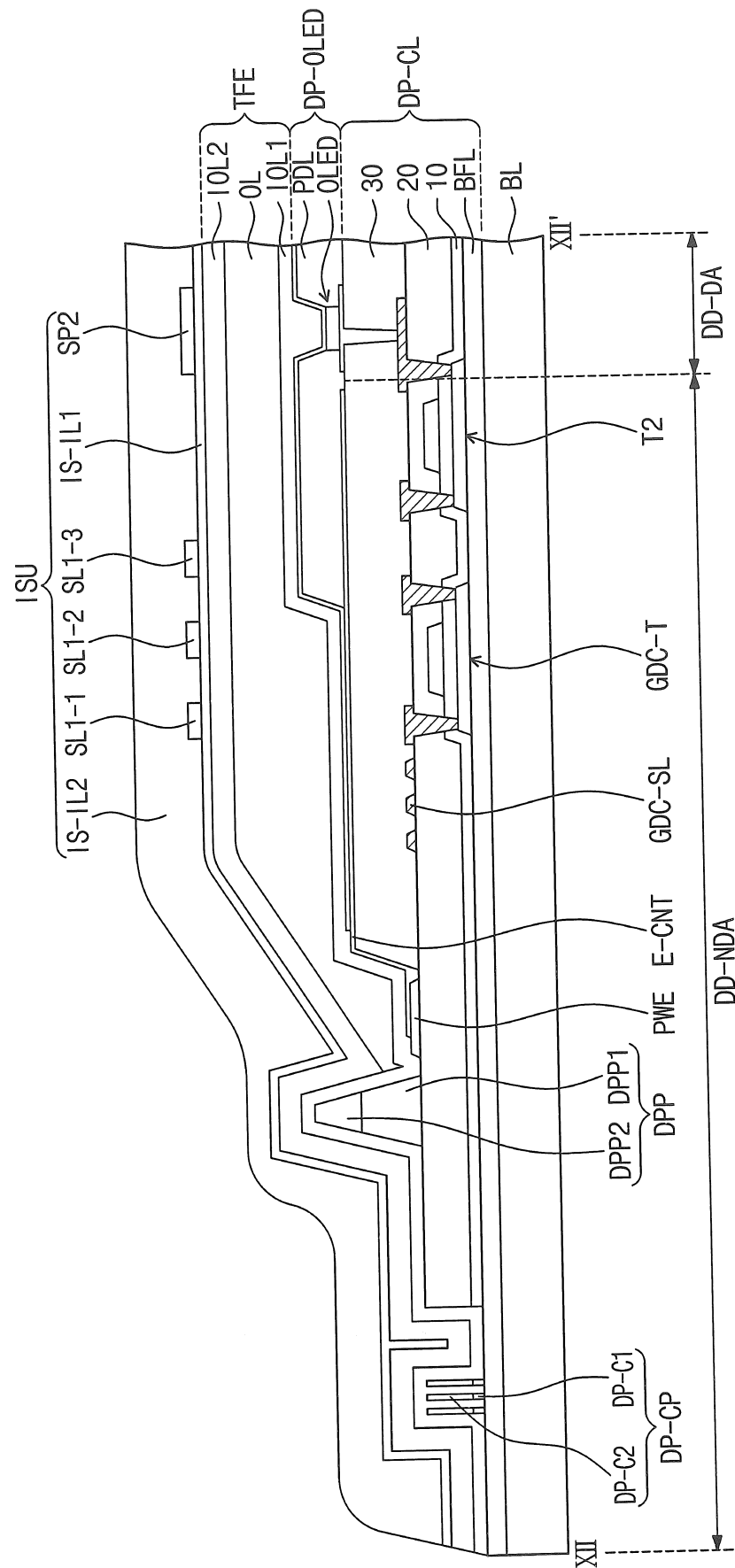


FIG. 41B.

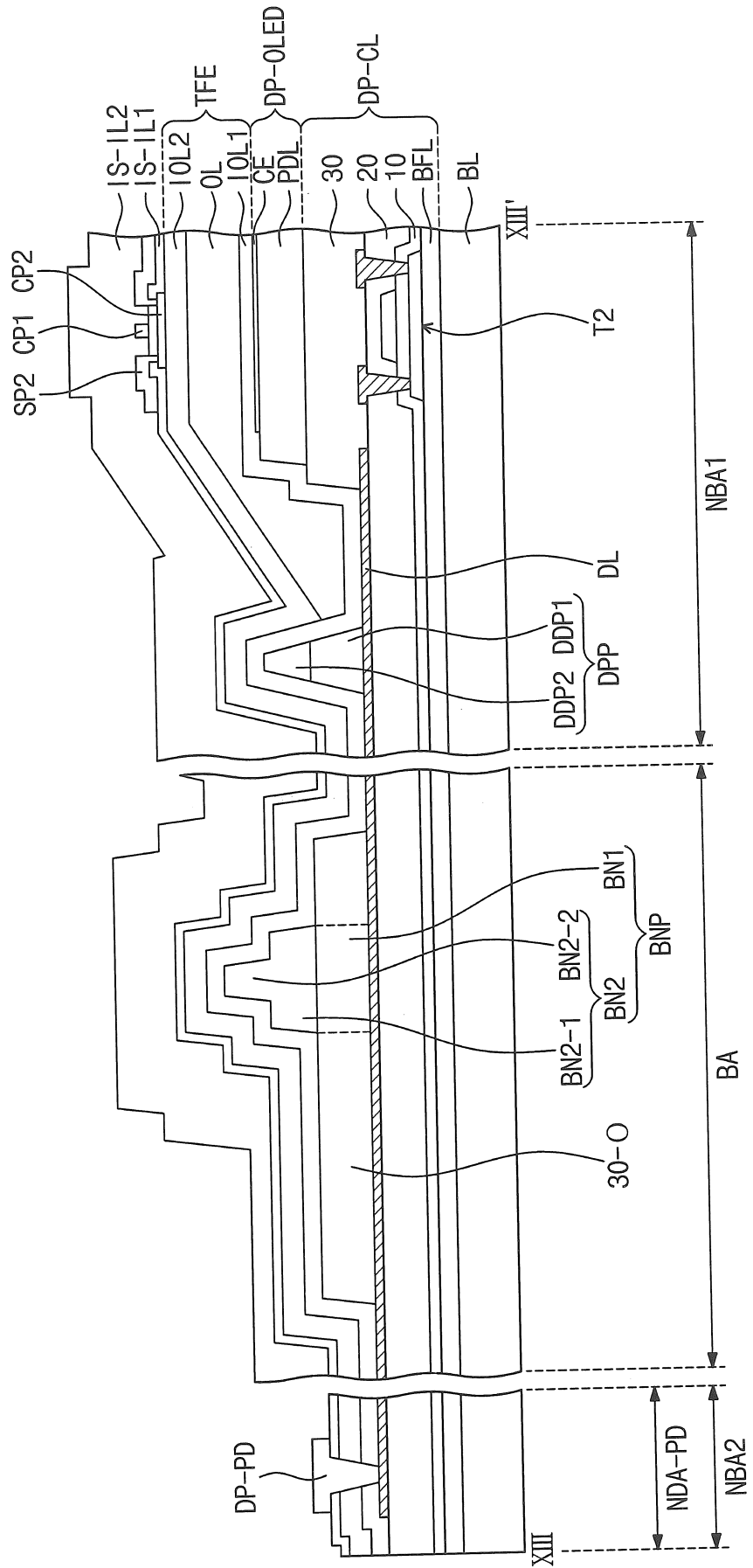


FIG. 41C

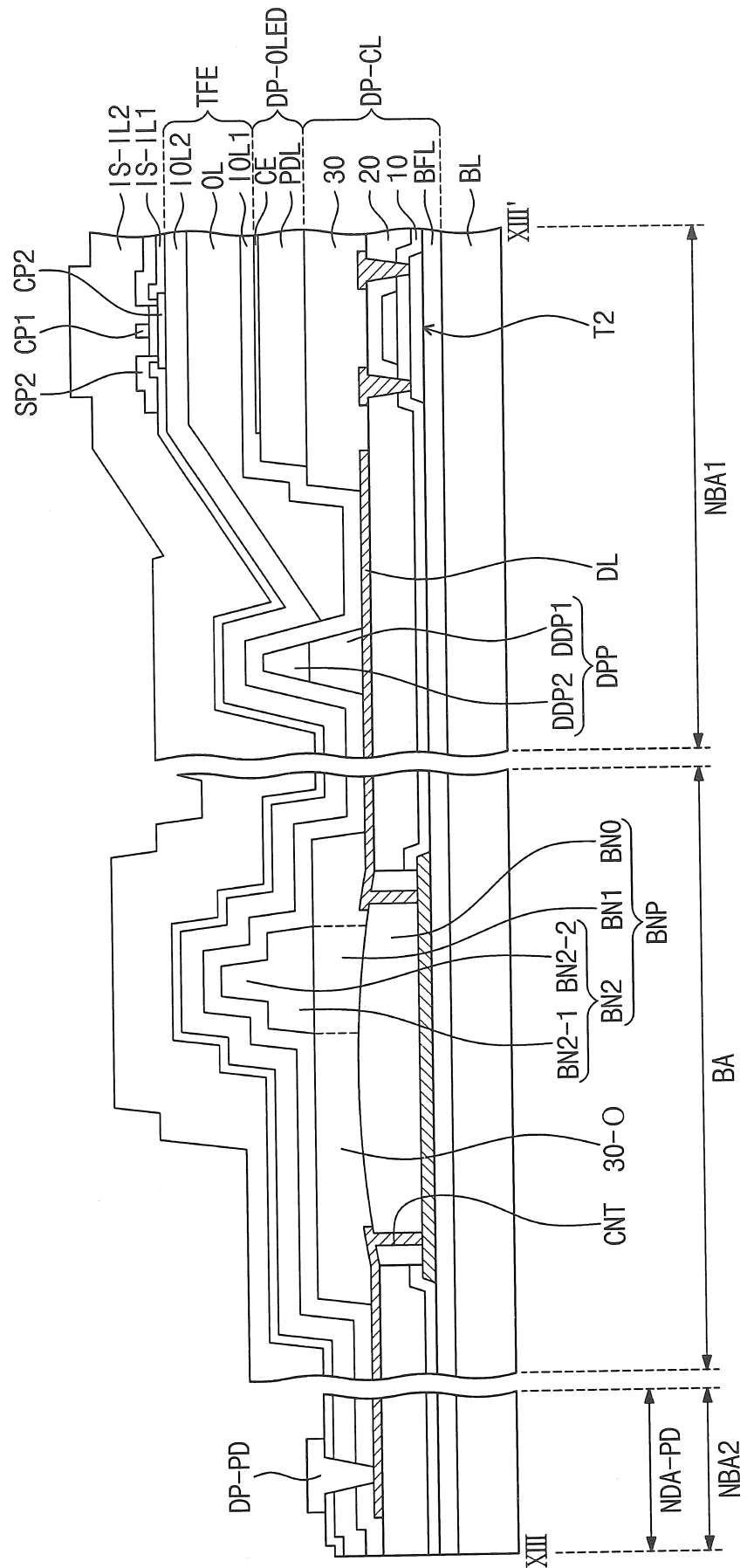


FIG. 42

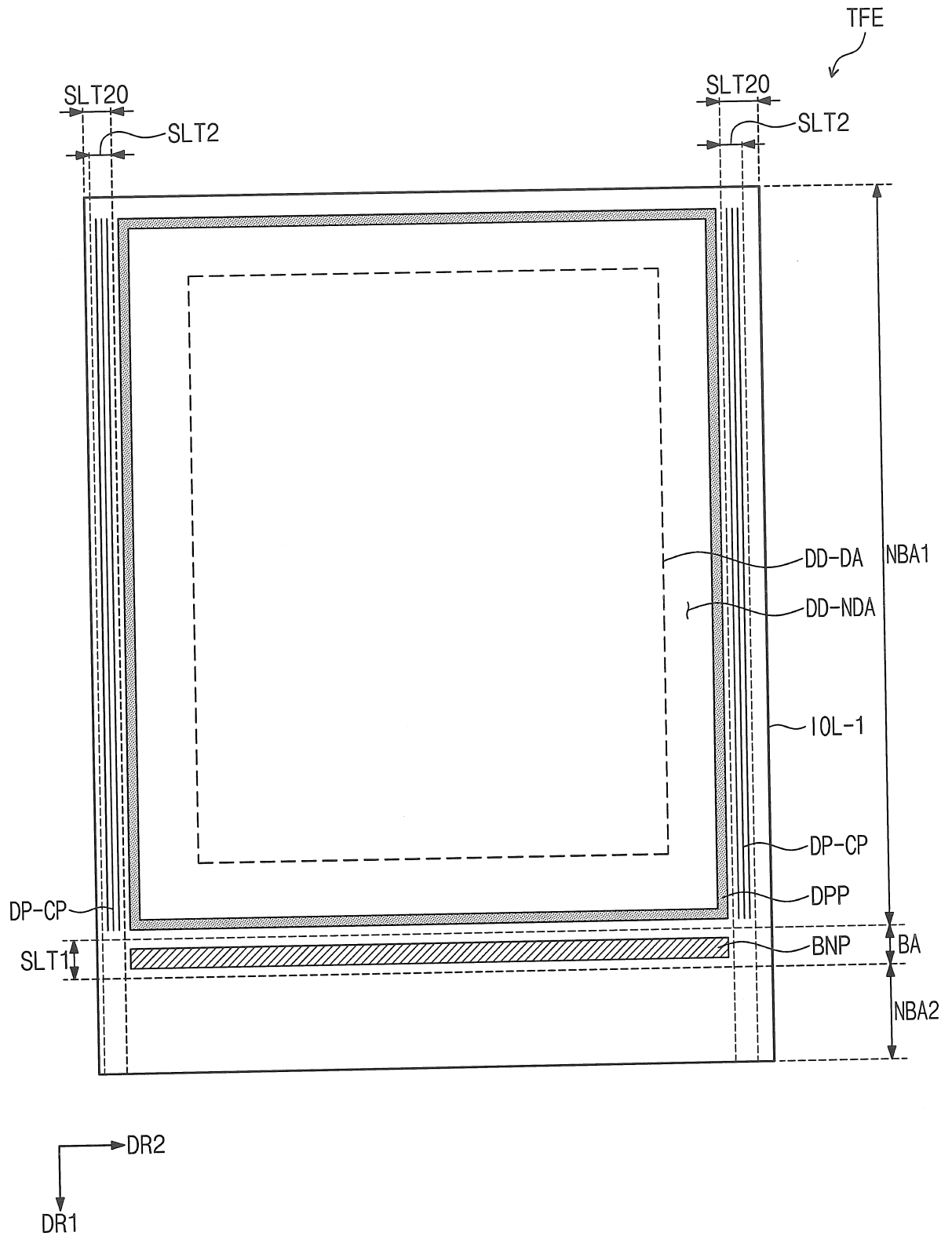


FIG. 43A

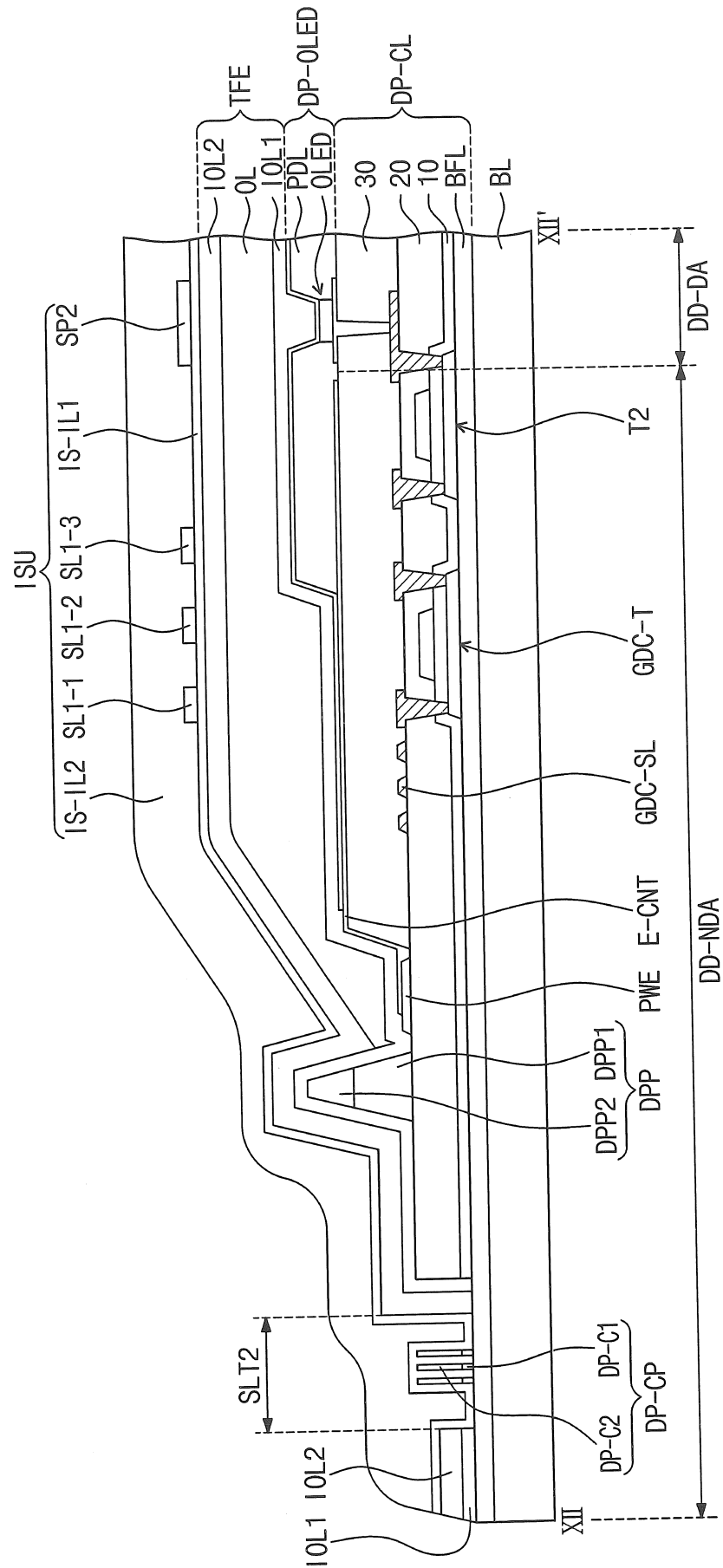


FIG. 43B

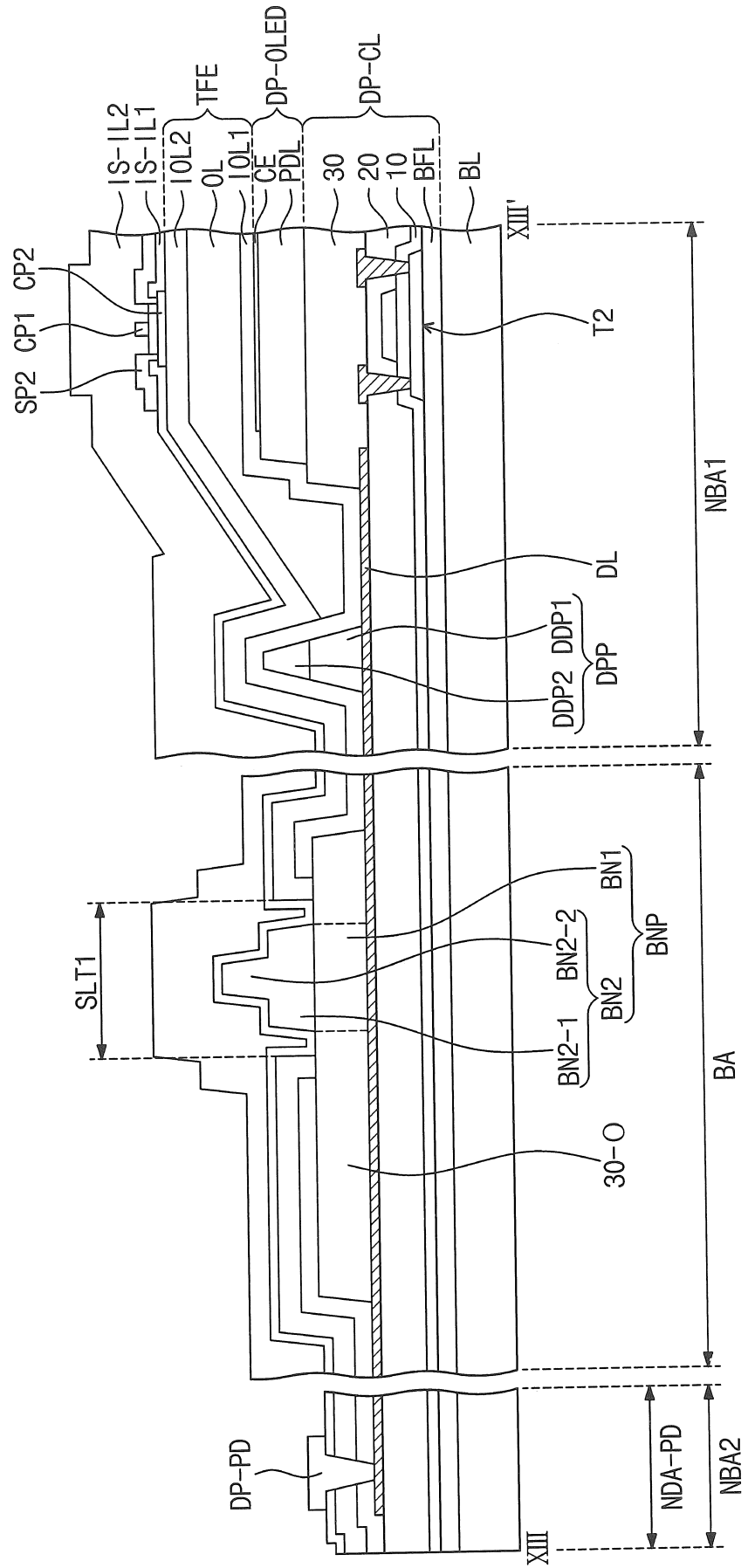


FIG. 44

