



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0036862

(51)⁷ H01L 25/075; H01L 33/48

(13) B

(21) 1-2019-04988

(22) 07/03/2018

(86) PCT/KR2018/002688 07/03/2018

(87) WO 2018/169243 A1 20/09/2018

(30) 62/470,499 13/03/2017 US

(45) 25/09/2023 426

(43) 25/12/2019 381A

(73) SEOUL SEMICONDUCTOR CO., LTD (KR)

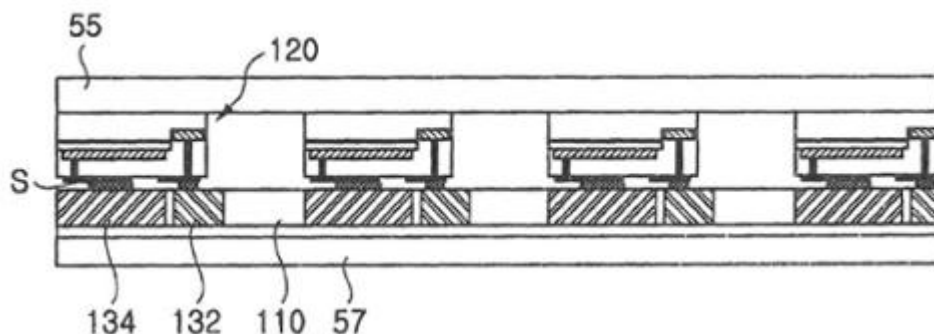
97-11, Sandan-ro 163beon-gil, Danwon-gu, Ansan-si, Gyeonggi-do, 15429, Republic of Korea

(72) TAKEYA, Motonobu (JP).

(74) Công ty cổ phần Sở hữu trí tuệ BROSS và Cộng sự (BROSS & PARTNERS., JSC)

(54) THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề cập đến thiết bị hiển thị và quy trình chế tạo thiết bị hiển thị này. Quy trình chế tạo thiết bị hiển thị theo một khía cạnh của sáng chế có thể bao gồm các bước: tạo thành các chip điốt phát quang trên lớp nền chế tạo thứ nhất; ghép nối các chip điốt phát quang lên lớp nền chế tạo thứ hai; tách lớp nền chế tạo thứ nhất khỏi các chip điốt phát quang; và chuyển các chip điốt phát quang đã được ghép nối lên lớp nền chế tạo thứ hai sang lớp nền trên đó các điện cực lớp nền thứ nhất và thứ hai được bố trí. Theo các phương án của sáng chế, ngay cả khi vùng phát sáng của chip điốt phát quang giảm đi và độ lớn dòng được cấp là nhỏ, thì mật độ dòng đi qua chip điốt phát quang vẫn có thể tăng lên.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị và quy trình chế tạo thiết bị hiển thị này, và, cụ thể hơn, đến quy trình chế tạo thiết bị hiển thị để chuyển chip điốt phát quang nằm trong thiết bị hiển thị sang lớp nền.

Tình trạng kỹ thuật của sáng chế

Điốt phát quang đề cập đến thiết bị bán dẫn vô cơ phát ra ánh sáng thông qua sự tái hợp của các electron và lỗ trống. Trong những năm gần đây, điốt phát quang đã được sử dụng trong nhiều lĩnh vực khác nhau bao gồm thiết bị hiển thị, đèn ô tô, thiết bị chiếu sáng thông thường, và các thiết bị tương tự. Điốt phát quang có nhiều ưu điểm, chẳng hạn như tuổi thọ dài, tiêu thụ điện năng thấp, và phản hồi nhanh. Do đó, các thiết bị phát quang sử dụng điốt phát quang đang thay thế các nguồn sáng hiện có một cách nhanh chóng.

Gần đây, các thiết bị hiển thị, chẳng hạn như TV, màn hình hoặc bảng hiển thị điện tử, thể hiện các màu thông qua panen hiển thị tinh thể lỏng tranzito màng mỏng (TFT-LCD - Thin Film Transistor Liquid Crystal Display), và sử dụng các điốt phát quang làm nguồn sáng cho bộ phận đèn nền để phát các màu đã được thể hiện. Ngoài ra, nhiều nghiên cứu khác nhau đã được thực hiện để phát triển thiết bị hiển thị có khả năng thể hiện các màu thông qua các điốt phát quang thay vì sử dụng LCD.

Để sử dụng các điốt phát quang làm nguồn sáng cho bộ phận đèn nền hoặc để trực tiếp thể hiện các màu, thì một điốt phát quang có thể được cấp cho mỗi điểm ảnh. Ở đây, để điều khiển mỗi một trong số các điốt phát quang, thì loại kích thích ma trận chủ động (AM - Active Matrix) hoặc loại kích thích ma trận thụ động (PM - Passive Matrix) có thể được sử dụng. Đối với loại kích thích AM, thì vùng phát sáng của mỗi điốt phát quang là 1/10.000 diện tích của một điểm ảnh là đủ, và đối với loại kích thích PM, thì vùng phát sáng của mỗi điốt phát quang là 1/100 diện tích của một điểm ảnh là đủ.

Cùng với đó, các điốt phát quang có vùng phát sáng quá lớn có vấn đề về mật độ dòng thấp, dẫn đến suy giảm hiệu suất phát sáng. Do đó, các điốt phát quang có vùng phát sáng nhỏ so với diện tích điểm ảnh được sử dụng, và vì vậy mật độ dòng đi qua các điốt phát quang có thể tăng lên trong khi vẫn thỏa mãn hiệu suất phát sáng trong điểm

ảnh.

Tuy nhiên, khi vùng phát sáng nhỏ hơn, thì kích thước của các điốt phát quang cũng trở nên nhỏ hơn. Kết quả là, các điốt phát quang có vùng phát sáng nhỏ gây khó khăn trong việc lắp đặt nhiều điốt phát quang và việc thay thế các điốt phát quang do kích thước của chúng nhỏ.

Bản chất kỹ thuật của sáng chế

Vấn đề kỹ thuật

Các phương án ví dụ của sáng chế đề xuất quy trình chế tạo thiết bị hiển thị sử dụng gói điốt phát quang có khả năng tăng hiệu suất lắp đặt và sửa chữa điốt phát quang ngay cả khi điốt phát quang có vùng phát sáng nhỏ so với diện tích điểm ảnh của thiết bị hiển thị được sử dụng.

Giải pháp kỹ thuật

Quy trình chế tạo thiết bị hiển thị theo một khía cạnh của sáng chế có thể bao gồm các bước: tạo thành các chip điốt phát quang trên lớp nền chế tạo thứ nhất; ghép nối các chip điốt phát quang lên lớp nền chế tạo thứ hai; tách lớp nền chế tạo thứ nhất khỏi các chip điốt phát quang; và chuyển các chip điốt phát quang đã được ghép nối lên lớp nền chế tạo thứ hai sang lớp nền trên đó các điện cực lớp nền thứ nhất và thứ hai được bố trí.

Ngoài ra, quy trình chế tạo thiết bị hiển thị có thể còn bao gồm bước: chiếu lớp nền chế tạo thứ nhất bằng laze để tách các chip điốt phát quang khỏi lớp nền chế tạo thứ nhất khi các chip điốt phát quang được ghép nối với lớp nền chế tạo thứ hai.

Trong trường hợp này, bước chuyển có thể bao gồm các bước: ghép nối các chip điốt phát quang với lớp nền chế tạo thứ ba; tách lớp nền chế tạo thứ hai khỏi các chip điốt phát quang; ghép nối các chip điốt phát quang với các điện cực lớp nền thứ nhất và thứ hai; và tách lớp nền chế tạo thứ ba khỏi các chip điốt phát quang.

Hơn nữa, lớp nền chế tạo thứ hai có tính đàn hồi, và bước chuyển có thể còn bao gồm bước kéo dài lớp nền chế tạo thứ hai có tính đàn hồi, và, trong bước ghép nối các chip điốt phát quang với lớp nền chế tạo thứ ba, các chip điốt phát quang được bố trí trên lớp nền chế tạo thứ hai được kéo dài có thể được ghép nối với lớp nền chế tạo thứ ba.

Ngoài ra, bước chuyển có thể bao gồm các bước: hút bám một phần trong số các

chip điốt phát quang được ghép nối với lớp nền chế tạo thứ hai bằng thiết bị chuyển; thực hiện ít nhất một bước trong số các bước nung và chiếu bức xạ siêu âm lớp nền chế tạo thứ hai để tách một phần trong số các chip điốt phát quang được hút bám trên thiết bị chuyển từ lớp nền chế tạo thứ hai; ghép nối một phần trong số các chip điốt phát quang đã được hút bám với lớp nền; và tách thiết bị chuyển khỏi các chip điốt phát quang được ghép nối với lớp nền.

Theo cách khác, bước chuyển có thể bao gồm các bước: liên kết một phần trong số các chip điốt phát quang đã được ghép nối với lớp nền chế tạo thứ hai với tấm chuyển có các phần chuyển kết dính; ghép nối một phần trong số các chip điốt phát quang đã liên kết với tấm chuyển với lớp nền; và tách tấm chuyển khỏi các chip điốt phát quang đã được ghép nối với lớp nền.

Trong trường hợp này, khoảng cách giữa các chip điốt phát quang được tạo thành trên lớp nền chế tạo thứ nhất có thể bằng khoảng cách giữa các điểm ảnh phụ.

Theo cách khác, khoảng cách giữa các điện cực lớp nền thứ nhất và thứ hai có thể bằng khoảng cách giữa các điểm ảnh phụ.

Ở đây, bước tạo thành các chip điốt phát quang có thể bao gồm các bước: tạo thành lớp bán dẫn kiểu suất dẫn thứ nhất, lớp hoạt động và lớp bán dẫn kiểu suất dẫn thứ hai trên lớp nền thứ nhất; bóc lộ một phần lớp bán dẫn kiểu suất dẫn thứ nhất; tạo thành các điện cực thứ nhất và thứ hai lần lượt trên các lớp bán dẫn kiểu suất dẫn thứ nhất và thứ hai; tạo thành chất bao để che các điện cực thứ nhất và thứ hai; và tạo thành các phần lõi thứ nhất và thứ hai được nối điện với các điện cực thứ nhất và thứ hai trên chất bao.

Quy trình chế tạo thiết bị hiển thị theo một khía cạnh của sáng chế có thể bao gồm các bước: tạo thành các chip điốt phát quang trên lớp nền chế tạo thứ nhất; và chuyển ít nhất một phần trong số các chip điốt phát quang được tạo thành trên lớp nền chế tạo thứ nhất sang lớp nền trên đó các điện cực lớp nền thứ nhất và thứ hai được bố trí.

Ngoài ra, quy trình chế tạo thiết bị hiển thị có thể còn bao gồm bước: chiếu lớp nền chế tạo thứ nhất bằng laze để tách các chip điốt phát quang khỏi lớp nền chế tạo thứ nhất, trong đó bước chuyển có thể bao gồm bước chuyển một phần trong số các chip điốt phát quang được tách một phần bằng laze sang lớp nền.

Trong trường hợp này, bước chuyển có thể bao gồm các bước: ghép nối ít nhất một phần trong số các chip điốt phát quang được tạo thành trên lớp nền chế tạo thứ nhất với các điện cực lớp nền thứ nhất và thứ hai, và tách lớp nền chế tạo thứ nhất khỏi ít

nhất một phần trong số các chip điốt phát quang được ghép nối với lớp nền này.

Ở đây, bước tạo thành các chip điốt phát quang có thể bao gồm các bước: tạo thành cấu trúc phát quang bao gồm lớp bán dẫn kiểu suất dẫn thứ nhất, lớp hoạt động và lớp bán dẫn kiểu suất dẫn thứ hai trên lớp nền thứ nhất; bóc lộ một phần lớp bán dẫn kiểu suất dẫn thứ nhất; tạo thành các điện cực thứ nhất và thứ hai lần lượt trên các lớp bán dẫn kiểu suất dẫn thứ nhất và thứ hai; tạo thành chất bao để che cấu trúc phát quang và các điện cực thứ nhất và thứ hai; và tạo thành các phần lồi thứ nhất và thứ hai được nối điện với các điện cực thứ nhất và thứ hai trên chất bao.

Hơn nữa, chất bao này có thể được tạo thành để che lớp nền chế tạo thứ nhất một cách liên tục để được nối với chip điốt phát quang liền kề.

Hơn nữa, khoảng cách giữa các điện cực lớp nền thứ nhất và thứ hai có thể bằng khoảng cách giữa các điểm ảnh phụ.

Hiệu quả đạt được của sáng chế

Theo các phương án của sáng chế, ngay cả khi vùng phát sáng của chip điốt phát quang giảm đi và độ lớn dòng được cấp là nhỏ, thì mật độ dòng đi qua chip điốt phát quang vẫn có thể tăng lên.

Ngoài ra, bằng cách tăng kích thước của gói điốt phát quang đến lớn hơn kích thước của chip điốt phát quang, hiệu suất của quy trình chế tạo thiết bị hiển thị và quy trình thay thế để sửa chữa có thể được gia tăng, ngay cả khi chip điốt phát quang có vùng phát sáng nhỏ được sử dụng.

Mô tả vắn tắt các hình vẽ

FIG.1A đến FIG.1H là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ nhất của sáng chế.

FIG.2A đến FIG.2I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ hai của sáng chế.

FIG.3A đến FIG.3I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ ba của sáng chế.

FIG.4A đến FIG.4I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ tư của sáng chế.

FIG.5A đến FIG.5D là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ năm của sáng chế.

FIG.6A đến FIG.6G là các hình vẽ thể hiện quy trình chế tạo chip điốt phát quang theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Sau đây, các phương án ví dụ của sáng chế sẽ được mô tả chi tiết dựa vào các hình vẽ kèm theo.

FIG.1A đến FIG.1H là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ nhất của sáng chế.

Theo FIG.1A đến FIG.1H, phương pháp chuyển chip điốt phát quang 120 sang lớp nền 110 trong thiết bị hiển thị theo phương án thứ nhất của sáng chế sẽ được mô tả.

Theo FIG.1A, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Trong trường hợp này, các chip điốt phát quang 120 có thể được chuyển từ bên ngoài sang lớp nền chế tạo thứ nhất 51, hoặc các chip điốt phát quang 120 có thể được phát triển và chế tạo trên lớp nền chế tạo thứ nhất 51. Ở đây, lớp nền chế tạo thứ nhất 51 có thể là vật liệu cách điện như lớp nền 110, và có thể có độ dày định trước.

Các chip điốt phát quang 120 có thể được đặt cách xa nhau ở khoảng cách định trước P trên lớp nền chế tạo thứ nhất 51. Trong trường hợp này, khoảng cách P giữa các chip điốt phát quang 120 có thể là khoảng cách giữa các điểm ảnh phụ của thiết bị hiển thị.

Mỗi trong số các chip điốt phát quang 122 có thể phát ra ánh sáng bằng nguồn điện bên ngoài, và bao gồm cấu trúc phát quang 29, điện cực loại n 31, điện cực loại p 33, phần lõi loại n 35, phần lõi loại p 37 và chất bao 39. Cấu trúc phát quang 29 có thể bao gồm lớp bán dẫn loại n 23, lớp hoạt động 25 và lớp bán dẫn loại p 27.

Mỗi trong số lớp bán dẫn loại n 23, lớp hoạt động 25 và lớp bán dẫn loại p 27 có thể bao gồm các hợp chất bán dẫn dựa trên nhóm III-V. Ví dụ, mỗi trong số lớp bán dẫn loại n 23, lớp hoạt động 25 và lớp bán dẫn loại p 27 có thể bao gồm các chất bán dẫn nitrua chẳng hạn như (Al, Ga, In)N. Lớp bán dẫn loại n 23 có thể được đặt thay thế lẫn nhau với lớp bán dẫn loại p 27.

Lớp bán dẫn loại n 23 có thể là lớp bán dẫn dẫn điện chứa các tạp chất loại n (ví dụ, Si), và lớp bán dẫn loại p 27 có thể là lớp bán dẫn dẫn điện chứa các tạp chất loại p (ví dụ, Mg). Lớp hoạt động 25 được đặt xen giữa lớp bán dẫn loại n 23 và lớp bán dẫn loại p 27, và có thể bao gồm cấu trúc nhiều giếng lượng tử (MQW - Multi-Quantum

Well). Thành phần của lớp hoạt động 25 có thể được xác định để phát ra ánh sáng có đỉnh bước sóng mong muốn.

Cấu trúc của cấu trúc phát quang 29 sẽ được mô tả, trong đó lớp bán dẫn loại n 23 được bố trí dưới cùng, và lớp hoạt động 25 và lớp bán dẫn loại p 27 được bố trí trên lớp bán dẫn loại n 23 theo thứ tự được nêu trên. Ngoài ra, một phần lớp bán dẫn loại n 23 có thể được bóc lộ bên trên bằng cách loại bỏ một phần lớp bán dẫn loại p 27 và lớp hoạt động 25.

Điện cực loại p 33 được bố trí trên lớp bán dẫn loại p 27 để được nối điện với lớp bán dẫn loại p 27, và điện cực loại n 31 được bố trí trên phần được bóc lộ của lớp bán dẫn loại n 23 để được nối điện với lớp bán dẫn loại n 23. Tức là, theo phương án ví dụ này, chip điốt phát quang 122 có thể có cấu trúc nằm ngang trong đó điện cực loại n 31 và điện cực loại p 33 được sắp xếp theo cùng một hướng.

Chất bao 39 có thể được bố trí trên phần phía trên của cấu trúc phát quang 29 để che điện cực loại n 31, điện cực loại p 33 và cấu trúc phát quang 29. Chất bao 39 thể hiện các tính chất cách điện và có thể bảo vệ cấu trúc phát quang 29, điện cực loại n 31 và điện cực loại p 33 khỏi các môi trường bên ngoài. Theo phương án ví dụ này, chất bao 39 có thể được tạo thành từ vật liệu trong suốt. Theo cách khác, chất bao 39 có thể được tạo thành từ vật liệu mờ hoặc vật liệu nửa trong suốt khi cần thiết. Ở đây, chất bao 39 có thể có cùng chiều rộng với cấu trúc phát quang 29.

Mỗi trong số phần lõi loại n 35 và phần lõi loại p 37 có thể được bố trí để che một phần bề mặt phía trên của chất bao 39. Ngoài ra, phần lõi loại n 35 có thể được nối điện với điện cực loại n 31, và phần lõi loại p 37 có thể được nối điện với điện cực loại p 33 thông qua các lỗ thẳng đứng đi qua chất bao 39. Phần lõi loại n 35 và phần lõi loại p 37 được đặt cách xa nhau trên bề mặt phía trên của chất bao 39 để được cách điện với nhau.

Trong trường hợp trong đó các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51 như được mô tả ở trên, lớp nền chế tạo thứ nhất 51 được lật ngược và các chip điốt phát quang 120 được ghép nối với lớp nền chế tạo thứ hai 53 như được thể hiện trên FIG.1B. Theo đó, các phần lõi loại n 35 và các phần lõi loại p 37 của các chip điốt phát quang 120 tiếp xúc với lớp nền chế tạo thứ hai 53.

Như được thể hiện trên FIG.1C, việc chiếu được thực hiện trên lớp nền chế tạo thứ nhất 51 bằng laze. Lớp nền chế tạo thứ nhất 51 và các chip điốt phát quang 120 có thể được tách bằng cách chiếu.

Do đó, như được thể hiện trên FIG.1D, các chip điốt phát quang 120 có thể được chuyển sang lớp nền chế tạo thứ hai 53.

Theo FIG.1E, lớp nền chế tạo thứ ba 55 được ghép nối với phần phía trên của các chip điốt phát quang 120. Khi lớp nền chế tạo thứ ba 55 được ghép nối với các chip điốt phát quang 120, thì lớp nền chế tạo thứ hai 53 được loại bỏ như được thể hiện trên FIG.1F.

Ở đây, lớp nền chế tạo thứ hai 53 và lớp nền chế tạo thứ ba 55 có thể giống với lớp nền chế tạo thứ nhất 51.

Theo FIG.1G, các chip điốt phát quang 120 được ghép nối với lớp nền chế tạo thứ ba 55 có thể được chuyển sang lớp nền 110. Lớp nền 110 được tạo ra để đỡ chip điốt phát quang 120, có thể là vật liệu cách điện, và có thể có độ dày định trước.

Hơn nữa, điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 có thể được bố trí trên lớp nền 110. Điện cực lớp nền thứ nhất 132 có thể kéo dài từ bề mặt phía trên của lớp nền 110 tới bề mặt phía dưới của nó, và điện cực lớp nền thứ hai 134 cũng có thể kéo dài từ bề mặt phía trên của lớp nền 110 tới bề mặt phía dưới của nó. Điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 có thể được đặt cách xa nhau và được cách điện với nhau.

Ngoài ra, lớp nền chế tạo thứ tư 57 có thể được bố trí dưới lớp nền 110, và lớp đệm có thể được tạo thành giữa lớp nền 110 và lớp nền chế tạo thứ tư 57. Lớp nền chế tạo thứ tư 57 có thể là cùng vật liệu với lớp nền chế tạo thứ nhất 51, và có thể được sử dụng trong quy trình tiếp theo.

Ngoài ra, phần liên kết S có thể được đặt trên điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134.

Do đó, các phần lõi loại p 37 và các phần lõi loại n 35 của chip điốt phát quang 120, như được thể hiện trên FIG.1H, lần lượt được ghép nối điện với điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134. Khi chip điốt phát quang 120 được ghép nối với lớp nền 110, lớp nền chế tạo thứ ba 55 được bố trí trên các chip điốt phát quang 120 có thể được loại bỏ.

FIG.2A đến FIG.2I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ hai của sáng chế.

Theo FIG.2A đến FIG.2I, phương pháp chuyển chip điốt phát quang 120 sang lớp nền 110 trong thiết bị hiển thị theo phương án thứ hai của sáng chế sẽ được mô tả.

Theo FIG.2A, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Theo phương án này, lớp nền chế tạo thứ nhất 51 có thể là vật liệu khác với lớp nền chế tạo thứ nhất 51 theo phương án thứ nhất. Quy trình bố trí các chip điốt phát quang 120 trên lớp nền chế tạo thứ nhất 51 theo phương án này có thể được thực hiện sau quy trình trên FIG.1A đến FIG.1D theo phương án thứ nhất.

Ở đây, lớp nền chế tạo thứ nhất 51 có thể được tạo thành từ vật liệu cách điện có tính đàn hồi. Lớp nền chế tạo thứ nhất 51 có thể được kéo dài theo hướng chiều dọc. Theo đó, khoảng cách giữa các chip điốt phát quang 120 có thể lớn hơn.

Trong trường hợp này, như được thể hiện trong FIG.2B, lớp nền chế tạo thứ hai 53 được ghép nối với phần phía trên của các chip điốt phát quang 120. Trong trường hợp này, lớp nền chế tạo thứ hai 53 có thể là vật liệu cách điện có tính đàn hồi như lớp nền chế tạo thứ nhất 51.

Theo FIG.2C, lớp nền chế tạo thứ nhất 51 được tách khỏi các chip điốt phát quang 120, lớp nền chế tạo thứ hai 53 được kéo dài theo hướng chiều dọc, và khoảng cách giữa các chip điốt phát quang có thể tăng lên.

Trong trường hợp khoảng cách giữa các chip điốt phát quang 120 trở nên lớn hơn bằng cách kéo dài lớp nền chế tạo thứ hai 53, như được thể hiện trên FIG.2D, thì lớp nền chế tạo thứ ba 55 được ghép nối với các chip điốt phát quang 120.

Sau đó, như được thể hiện trên FIG.2E, lớp nền chế tạo thứ hai 53 được tách khỏi các chip điốt phát quang 120, và lớp nền chế tạo thứ ba 55 được kéo dài theo hướng chiều dọc để tăng khoảng cách giữa các chip điốt phát quang 120. Trong trường hợp này, lớp nền chế tạo thứ ba 55 có thể là vật liệu cách điện có tính đàn hồi như lớp nền chế tạo thứ nhất 51.

Trong trường hợp lớp nền chế tạo thứ ba 55 được kéo dài, như được thể hiện trên FIG.2F, lớp nền chế tạo thứ tư 57 được ghép nối với các chip điốt phát quang 120. Sau đó, như được thể hiện trên FIG.2G, lớp nền chế tạo thứ ba 55 được tách ra.

Trong trường hợp các chip điốt phát quang 120 được ghép nối với lớp nền chế tạo thứ tư 57, thì lớp nền chế tạo thứ tư 57 có thể được ghép nối lên lớp nền 110. Trong trường hợp này, điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 có thể được bố trí trên lớp nền 110 như theo phương án thứ nhất. Tuy nhiên, điện cực lớp nền thứ nhất 132 và điện cực thứ hai có hình dạng khác với phương án thứ nhất. Điện cực lớp nền thứ nhất 132 kéo dài từ bề mặt phía trên của lớp nền 110 tới bề mặt phía dưới

của nó xuyên qua lớp nền 110. Một phần điện cực lớp nền thứ nhất 132 được bố trí trên bề mặt phía trên của lớp nền 110 và phần còn lại của điện cực lớp nền thứ nhất 132 được bố trí trên bề mặt phía dưới của lớp nền 110 sao cho cả hai phần của điện cực lớp nền thứ nhất 132 được nối điện với nhau thông qua lỗ thẳng đứng được tạo thành trong lớp nền 110. Như điện cực lớp nền thứ nhất 132, các phần của điện cực lớp nền thứ hai 134 lần lượt được bố trí trên các bề mặt phía trên và phía dưới của lớp nền 110, và được nối điện với nhau thông qua lỗ thẳng đứng được tạo thành trong lớp nền 110. Trong trường hợp này, điện cực lớp nền thứ nhất 132 có thể được đặt cách xa điện cực lớp nền thứ hai 134 để được cách điện với nhau.

Điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 được bố trí trên bề mặt phía trên của lớp nền 110 có thể lần lượt được nối điện với phần lõi loại n 35 và phần lõi loại p 37, và phần liên kết S có thể được đặt trên điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 để lần lượt được ghép nối điện với phần lõi loại n 35 và phần lõi loại p 37.

Khi các chip điốt phát quang 120 được ghép nối với lớp nền 110, thì lớp nền chế tạo thứ tư 57, như được thể hiện trên FIG.2I, có thể được loại bỏ. Lớp nền chế tạo thứ năm 59 có thể được bố trí dưới lớp nền 110, và lớp đệm có thể được bố trí giữa lớp nền 110 và lớp nền chế tạo thứ năm 59.

FIG.3A đến FIG.3I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ ba của sáng chế.

Theo FIG.3A đến FIG.3I, phương pháp chuyển chip điốt phát quang 120 sang lớp nền 110 trong thiết bị hiển thị theo phương án thứ ba của sáng chế sẽ được mô tả.

Theo FIG.3A, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Theo phương án này, lớp nền chế tạo thứ nhất 51 trên đó các chip điốt phát quang 120 được bố trí giống với lớp nền chế tạo trên FIG.1A theo phương án thứ nhất, nhưng FIG.3A có thể là hình vẽ thể hiện trường hợp trong đó chip điốt phát quang 120 được xoay 180 độ.

Như được thể hiện trên FIG.3B, lớp nền chế tạo thứ hai 53 được ghép nối với phần phía dưới của các chip điốt phát quang 120, và việc chiếu được thực hiện trên lớp nền chế tạo thứ nhất 51 bằng laze như được thể hiện trên FIG.3C. Theo đó, các chip điốt phát quang 120 và lớp nền chế tạo thứ nhất 51 có thể được tách khỏi nhau.

FIG.3D thể hiện trường hợp trong đó các chip điốt phát quang 120 và lớp nền chế

tạo thứ nhất 51 được tách khỏi nhau.

Khi các chip điốt phát quang 120 được gắn lên lớp nền chế tạo thứ hai 53, thiết bị chuyển 300 được bố trí bên trên để chuyển một phần trong số các chip điốt phát quang 120. Thiết bị chuyển 300 có thể chuyển các chip điốt phát quang 120 từ lớp nền chế tạo thứ hai 53 sang vị trí khác bằng cách hút bám các chip điốt phát quang 120 được bố trí ở các khoảng cách định trước. Trong trường hợp này, thiết bị chuyển 300 có thể hút bám một phần trong số các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ hai 53 để chuyển.

Theo phương án này, thiết bị chuyển 300 có thể hút bám một trong ba chip điốt phát quang liền kề 120 để chuyển, nhưng số lượng chip điốt phát quang 120 được chuyển bởi thiết bị chuyển 300 có thể thay đổi khi cần thiết.

Sau đó, như được thể hiện trên FIG.3F, khi thiết bị chuyển 300 hút bám các chip điốt phát quang 120, thì bộ gia nhiệt 400 có thể hoạt động dưới chip điốt phát quang 120 tương ứng. Bộ gia nhiệt 400 có thể nung và rung siêu âm lớp nền chế tạo thứ hai 53 trên đó chip điốt phát quang 120 được bố trí, để tách chip điốt phát quang 120 được hút bám bởi thiết bị chuyển 300 từ lớp nền chế tạo thứ hai 53.

Theo đó, như được thể hiện trên FIG.3G, các chip điốt phát quang 120 có thể được hút bám vào thiết bị chuyển 300.

Các chip điốt phát quang 120 đã được hút bám vào thiết bị chuyển 300 có thể được di chuyển, và được ghép nối với lớp nền 110 như được thể hiện trên FIG.3H. Ở đây, điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 có thể được bố trí trên lớp nền 110. Ngoài ra, lớp nền chế tạo thứ ba 55 và lớp nền chế tạo thứ tư 57 có thể được ghép nối với phần phía dưới của lớp nền 110.

Sau đó, như được thể hiện trên FIG.3I, thiết bị chuyển 300 được tách khỏi các chip điốt phát quang 120 được ghép nối lên lớp nền 110. Ngoài ra, lớp nền chế tạo thứ ba 55 được ghép nối với phần phía dưới của lớp nền chế tạo thứ tư 57 có thể được nung để được tách.

Theo phương án này, mỗi trong số lớp nền chế tạo thứ hai 53, lớp nền chế tạo thứ ba 55 và lớp nền chế tạo thứ tư 57 có thể giống với lớp nền chế tạo thứ nhất 51, và lớp nền chế tạo thứ nhất 51 có thể giống với lớp nền chế tạo thứ nhất theo phương án thứ nhất. Hơn nữa, lớp nền chế tạo thứ ba 55 có thể được tạo ra để chịu được áp suất mà có thể được tạo ra khi các chip điốt phát quang 120 được ghép nối với lớp nền 110 bởi thiết

bị chuyển 300.

FIG.4A đến FIG.4I là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ tư của sáng chế.

Theo FIG.4A đến FIG.4I, phương pháp chuyển chip điốt phát quang 120 sang lớp nền 110 trong thiết bị hiển thị theo phương án thứ tư của sáng chế sẽ được mô tả.

Theo FIG.4A, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Quy trình được minh họa trên FIG.4A đến FIG.4D giống với quy trình theo phương án thứ ba, và phần mô tả chi tiết của nó sẽ được lược bỏ.

Theo FIG.4E, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ hai 53, và tấm chuyển 500 được bố trí bên trên. Tấm chuyển 500 thực hiện cùng chức năng với thiết bị chuyển 300 theo phương án thứ ba. Tuy nhiên, theo phương án này, tấm chuyển 500 có thể bao gồm các phần chuyển kết dính 510. Theo đó, một phần trong số các chip điốt phát quang 120 được liên kết với phần chuyển kết dính 510, và được ghép nối với tấm chuyển 500. Các phần chuyển kết dính 510 có thể được bố trí cách đều nhau trong tấm chuyển 500 theo các hàng và các cột như được thể hiện trên FIG.4F.

Các điốt phát quang được ghép nối với tấm chuyển 500 theo cách này như được thể hiện trên FIG.4G.

Các chip điốt phát quang 120 được liên kết với tấm chuyển 500, như được thể hiện trên FIG.4H, có thể được di chuyển và được ghép nối với lớp nền 110. Sau đó, như được thể hiện trên FIG.4I, tấm chuyển 500 được tách khỏi các chip điốt phát quang 120. Trong trường hợp này, lớp nền 110 giống với lớp nền theo phương án thứ ba, và phần mô tả về nó sẽ được lược bỏ.

FIG.5A đến FIG.5D là các hình vẽ thể hiện phương pháp chuyển chip điốt phát quang của thiết bị hiển thị sang lớp nền theo phương án thứ năm của sáng chế.

Theo FIG.5A đến FIG.5D, phương pháp chuyển chip điốt phát quang 120 sang lớp nền 110 trong thiết bị hiển thị theo phương án thứ năm của sáng chế sẽ được mô tả.

Theo FIG.5A, các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Theo phương án này, các chip điốt phát quang 120 có thể giống với phương án thứ nhất. Tuy nhiên, khi cần thiết, chất bao 39 của chip điốt phát quang 120 có thể được nối với chip điốt phát quang liền kề 120. Vì chip điốt phát quang 120 được phát triển và chế tạo trên lớp nền chế tạo thứ nhất 51, nên các chất bao 39 có thể được nối với nhau giữa các chip điốt phát quang liền kề 120 như được thể hiện trên FIG.5A.

Sau đó, như được thể hiện trên FIG.5B, lớp nền chế tạo thứ nhất 51 trên đó các chip điốt phát quang 120 được bố trí có thể được quay ngược để chiếu lên lớp nền chế tạo thứ nhất 51. Theo đó, lớp nền chế tạo thứ nhất 51 và mỗi chip điốt phát quang 120 có thể được tách một phần. Tại thời điểm đó, lớp bán dẫn loại n 23 của chip điốt phát quang 120 có thể được tách khỏi lớp nền chế tạo thứ nhất 51 bằng cách chiếu laze, nhưng mỗi chip điốt phát quang 120 có thể không tách biệt hoàn toàn khỏi lớp nền chế tạo thứ nhất 51 vì chất bao 39 được nối với chip điốt phát quang liền kề 120.

Trong trường hợp này, dựa vào FIG.5C, lớp nền chế tạo thứ nhất 51 được bố trí trên lớp nền 110 để một phần trong số các chip điốt phát quang 120 được ghép nối với lớp nền 110. Tại thời điểm đó, điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 được bố trí trên lớp nền 110 như theo phương án thứ hai, và phần liên kết S có thể được đặt trên điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134. Kết quả là, chip điốt phát quang 120 tiếp xúc với điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134 của lớp nền 110 có thể được ghép nối lên lớp nền 110.

Tức là, như được thể hiện trên FIG.5C, các điện cực lớp nền thứ nhất 132 và các điện cực lớp nền thứ hai 134 được bố trí trên lớp nền 110 không được bố trí ở khoảng cách bằng với khoảng cách của các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Các điện cực lớp nền thứ nhất 132 và các điện cực lớp nền thứ hai 134 có thể được bố trí ở khoảng cách lớn hơn so với khoảng cách của các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51. Theo đó, trong trường hợp trong đó lớp nền chế tạo thứ nhất 51 và lớp nền 110 hướng về nhau, thì một phần trong số các chip điốt phát quang 120 được bố trí trên lớp nền chế tạo thứ nhất 51 có thể được bố trí trên lớp nền 110.

Ở đây, vì phần liên kết S được đặt trên điện cực lớp nền thứ nhất 132 và điện cực lớp nền thứ hai 134, nên chỉ các chip điốt phát quang 120 được ghép nối với phần liên kết S được ghép nối lên lớp nền 110. Theo phương án này, chỉ một trong số hai chip điốt phát quang 120 được thể hiện được ghép nối lên lớp nền 110, nhưng điều này có thể thay đổi khi cần thiết.

Do đó, như được thể hiện trên FIG.5D, các chip điốt phát quang 120 có thể được bố trí trên lớp nền 110. Trong trường hợp này, khoảng cách của các chip điốt phát quang 120 được bố trí trên lớp nền 110 có thể là khoảng cách giữa các điểm ảnh phụ của thiết bị hiển thị.

Ngoài ra, theo phương án này, lớp nền 110 giống với lớp nền 110 theo phương án thứ hai đến phương án thứ tư, và phần mô tả về nó sẽ được lược bỏ.

FIG.6A đến FIG.6G là các hình vẽ thể hiện quy trình chế tạo chip điốt phát quang theo một phương án của sáng chế.

Quy trình chế tạo chip điốt phát quang 120 trên lớp nền chế tạo thứ nhất 51 trong thiết bị hiển thị sẽ được mô tả dựa vào FIG.6A đến FIG.6G.

Trên các FIG.6A đến FIG.6G, các hình vẽ bên trái là các hình vẽ mặt cắt, và các hình vẽ bên phải là các hình chiếu bằng.

Theo FIG.6A, lớp bán dẫn loại n 23, lớp hoạt động 25 và lớp bán dẫn loại p 27 được phát triển trên lớp nền chế tạo thứ nhất 51.

Sau đó, như được thể hiện trong FIG.6B, lớp hoạt động 25 và lớp bán dẫn loại p 27 được loại bỏ một phần để bộc lộ lớp bán dẫn loại n 23 bên trên. Trong trường hợp này, lớp bán dẫn loại n 23 được bộc lộ bên trên có thể được bộc lộ dưới dạng chữ T như được thể hiện trên hình chiếu bằng trên FIG.6B.

Sau đó, điện cực loại n 31 được tạo thành trên lớp bán dẫn loại n được bộc lộ 23 như được thể hiện trên FIG.6C. Điện cực loại n 31 có thể cũng được tạo thành dưới dạng chữ T như lớp bán dẫn loại n được bộc lộ 23. Điện cực loại n 31 có thể được đặt cách xa lớp hoạt động 25 và lớp bán dẫn loại p 27 để được cách điện.

Tiếp theo, như được thể hiện trên FIG.6D, điện cực loại p 33 được tạo thành trên lớp bán dẫn loại p 27. Trong trường hợp này, điện cực loại p 33 có thể được tạo thành dưới dạng hình chữ nhật mở bên trái như hình dạng của bề mặt phía trên của lớp bán dẫn loại p 27.

Sau đó, dựa vào FIG.6E, chất bao 39 có thể được tạo thành để che toàn bộ điện cực loại n 31, điện cực loại p 33 và cấu trúc phát quang 29. Chất bao 39 được tạo thành có chiều rộng bằng chiều rộng của cấu trúc phát quang 29. Theo đó, chất bao 39 có thể không che các bề mặt bên của cấu trúc phát quang 29.

Tiếp theo, dựa vào FIG.6F, một phần chất bao 39 được khắc để tạo thành đường bộc lộ điện cực loại n 31 và điện cực loại p 33. Tại thời điểm đó, điện cực loại n 31 và điện cực loại p 33 được bộc lộ thông qua đường này có thể lần lượt là một phần trong số điện cực loại n 31 và điện cực loại p 33.

Sau đó, theo FIG.6G, phần lõi loại n 35 và phần lõi loại p 37 lần lượt được tạo thành trên chất bao 39. Phần lõi loại n 35 được tạo thành trên điện cực loại n 31, và phần

lỗi loại p 37 được bố trí trên điện cực loại p 33. Phần lỗi loại n 35 có thể được nối điện với điện cực loại n 31 thông qua đường được tạo thành trong chất bao 39, và phần lỗi loại p 37 có thể được nối điện với điện cực loại p 33 thông qua đường được tạo thành trong chất bao 39.

Chip điốt phát quang 120 có thể được chế tạo trên lớp nền chế tạo thứ nhất 51 theo các quy trình chế tạo như được mô tả ở trên.

Mặc dù một số phương án ví dụ đã được mô tả ở đây, nhưng nên được hiểu bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật rằng các phương án này chỉ được đưa ra để minh họa, và các sửa đổi, biến thể, và thay thế khác nhau có thể được thực hiện mà không lệch khỏi tinh thần và phạm vi của sáng chế. Do đó, phạm vi của sáng chế chỉ nên được giới hạn bởi bộ yêu cầu kèm theo và các phương án tương đương của nó.

Mô tả các số chỉ dẫn

110: lớp nền

120: chip điốt phát quang

23: lớp bán dẫn loại n

25: lớp hoạt động

27: lớp bán dẫn loại p

29: cấu trúc phát quang

31: điện cực loại n

33: điện cực loại p

35: phần lỗi loại n

37: phần lỗi loại p

39: chất bao

51: lớp nền chế tạo thứ nhất 53: lớp nền chế tạo thứ hai

55: lớp nền chế tạo thứ ba 57: lớp nền chế tạo thứ tư

59: lớp nền chế tạo thứ năm

132: điện cực lớp nền thứ nhất

134: điện cực lớp nền thứ hai

300: thiết bị chuyển

400: bộ gia nhiệt

500: tấm chuyển

510: phần chuyển kết dính

S: phần liên kết

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

lớp nền kéo dài theo hướng chiều dọc dọc theo hướng thứ nhất có điện cực lớp nền thứ nhất và điện cực lớp nền thứ hai; và

nhiều nguồn sáng được bố trí trên lớp nền và được đặt cách xa nhau ở khoảng cách nhất định,

trong đó nguồn sáng bao gồm:

cấu trúc phát quang có lớp bán dẫn loại n, lớp hoạt động, và lớp bán dẫn loại p;

điện cực loại p được bố trí trên lớp bán dẫn loại p và được nối điện với lớp bán dẫn loại p; và

điện cực loại n được bố trí trên lớp bán dẫn loại n và được nối điện với lớp bán dẫn loại n,

trong đó điện cực loại n và điện cực loại p được sắp xếp theo cùng một hướng,

trong đó điện cực lớp nền thứ nhất kéo dài từ bề mặt phía trên của lớp nền đối diện các nguồn sáng từ bề mặt phía dưới của nó và được nối điện với điện cực loại p, điện cực lớp nền thứ nhất bao gồm phần phía trên có bề mặt phía trên cơ bản là phẳng và được bố trí trên bề mặt phía trên của lớp nền và phần phía dưới được bố trí trên bề mặt phía dưới của lớp nền,

trong đó điện cực lớp nền thứ hai kéo dài từ bề mặt phía trên của lớp nền tới bề mặt phía dưới của nó và được nối điện với điện cực loại n, điện cực lớp nền thứ hai bao gồm phần phía trên có bề mặt phía trên cơ bản là phẳng và được bố trí trên bề mặt phía trên của lớp nền và phần phía dưới được bố trí trên bề mặt phía dưới của lớp nền, và

trong đó phần phía trên của điện cực lớp nền thứ nhất của nguồn sáng thứ nhất và phần phía trên của điện cực lớp nền thứ hai của nguồn sáng thứ hai liền kề với nguồn sáng thứ nhất được đặt cách xa nhau ở khoảng cách nhỏ hơn so với chiều rộng nguồn sáng dọc theo hướng thứ nhất.

2. Thiết bị hiển thị theo điểm 1, trong đó thiết bị này còn bao gồm chất bao được bố trí trên bề mặt phía trên của cấu trúc phát quang.

3. Thiết bị hiển thị theo điểm 2, trong đó chất bao để che một phần của điện cực loại n

và một phần của điện cực loại p.

4. Thiết bị hiển thị theo điểm 2, trong đó chất bao bao gồm vật liệu trong suốt.

5. Thiết bị hiển thị theo điểm 2, trong đó chất bao bao gồm vật liệu mờ hoặc vật liệu nửa trong suốt.

6. Thiết bị hiển thị theo điểm 2, trong đó thiết bị này còn bao gồm:

phần lõi loại n được nối điện với điện cực loại n; và

phần lõi loại p được nối điện với điện cực loại p.

7. Thiết bị hiển thị theo điểm 6, trong đó mỗi trong số phần lõi loại n và phần lõi loại p được bố trí để che một phần của bề mặt phía trên của chất bao.

8. Thiết bị hiển thị theo điểm 6, trong đó trong một trong số các nguồn sáng:

điện cực loại p và điện cực loại n được đặt cách xa nhau ở khoảng cách thứ nhất;

phần lõi loại n và phần lõi loại p được đặt cách xa nhau ở khoảng cách thứ hai lớn hơn so với khoảng cách thứ nhất;

các phần phía trên của các điện cực lớp nền thứ nhất và thứ hai được đặt cách xa nhau ở khoảng cách thứ ba lớn hơn so với khoảng cách thứ hai; và

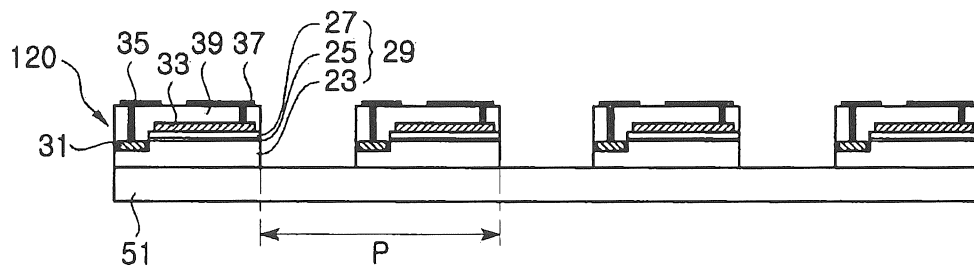
các phần phía dưới của các điện cực lớp nền thứ nhất và thứ hai được đặt cách xa nhau ở khoảng cách thứ tư lớn hơn so với khoảng cách thứ ba.

9. Thiết bị hiển thị theo điểm 6, trong đó chất bao có nhiều lỗ thẳng đứng.

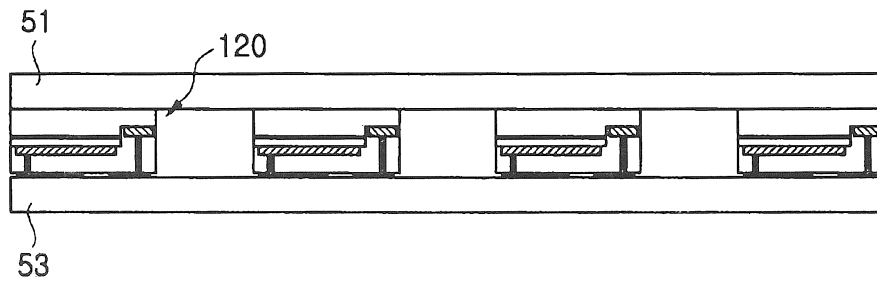
10. Thiết bị hiển thị theo điểm 9, trong đó phần lõi loại p được nối điện với điện cực loại p thông qua lỗ thẳng đứng đi qua chất bao.

11. Thiết bị hiển thị theo điểm 9, trong đó phần lõi loại n được nối điện với điện cực loại n thông qua lỗ thẳng đứng đi qua chất bao.

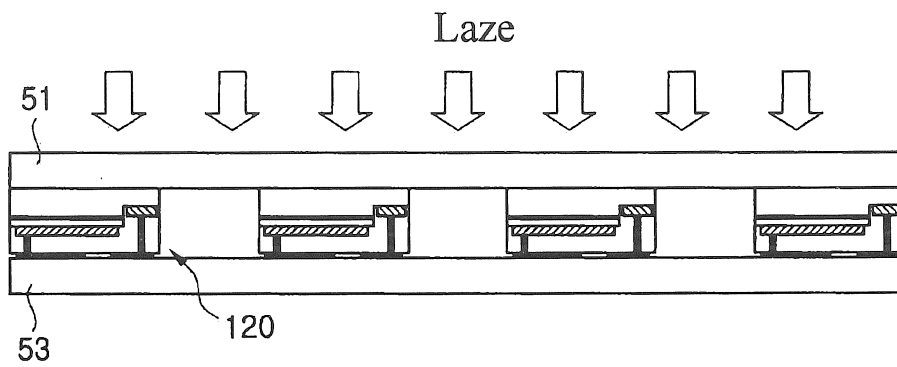
【FIG.1A】



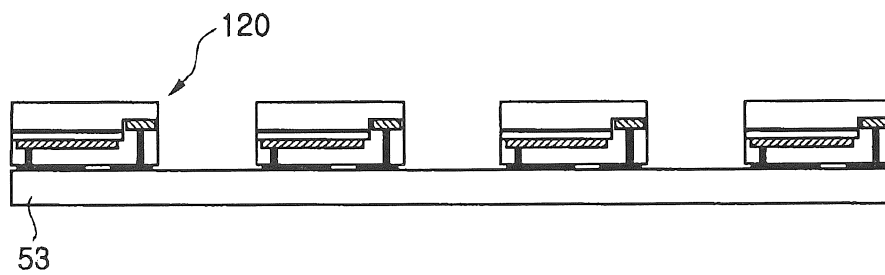
【FIG.1B】



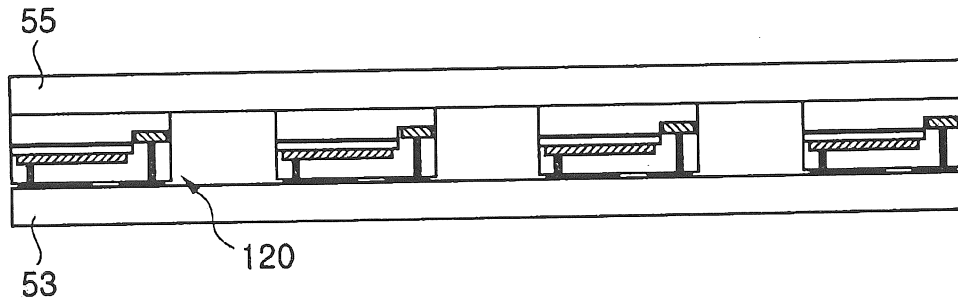
【FIG.1C】



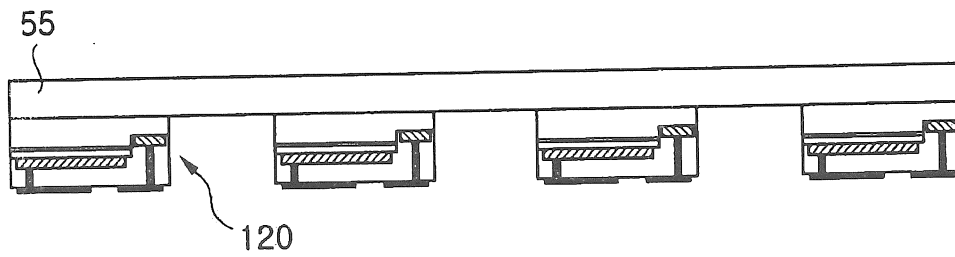
【FIG.1D】



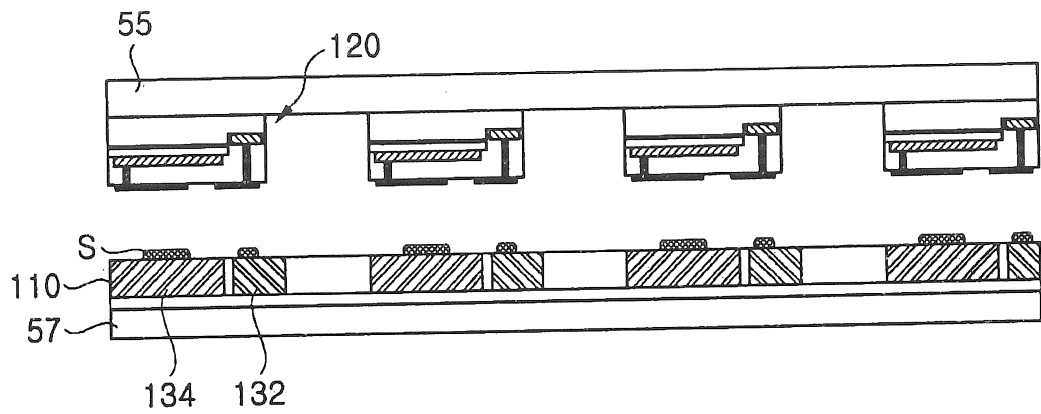
【FIG.1E】



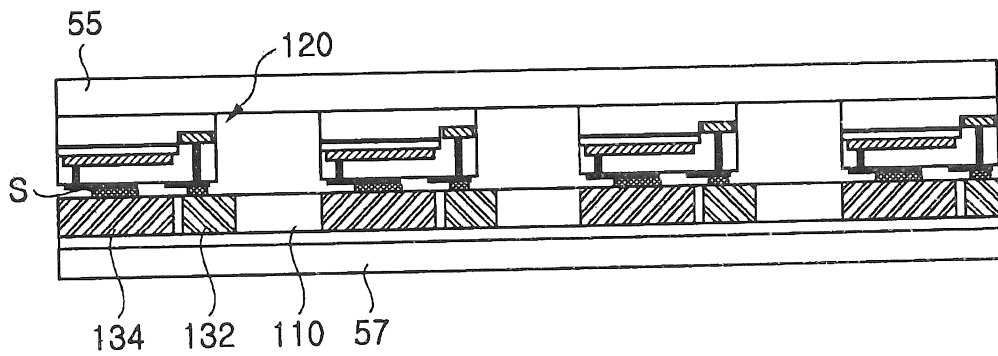
【FIG.1F】



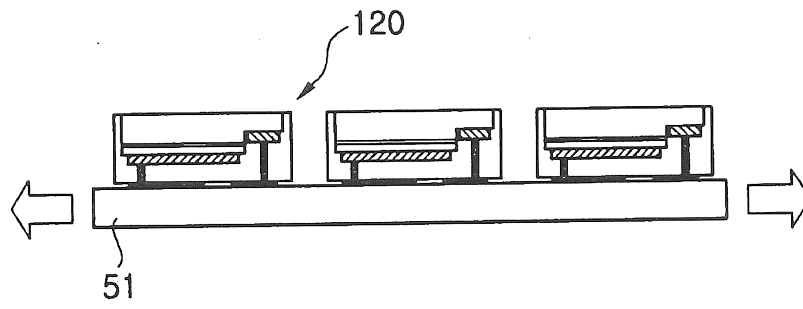
【FIG.1G】



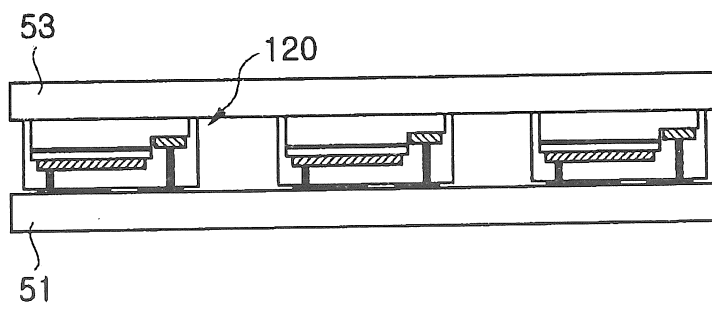
【FIG.1H】



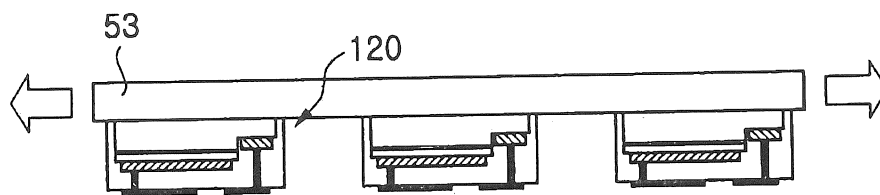
【FIG.2A】



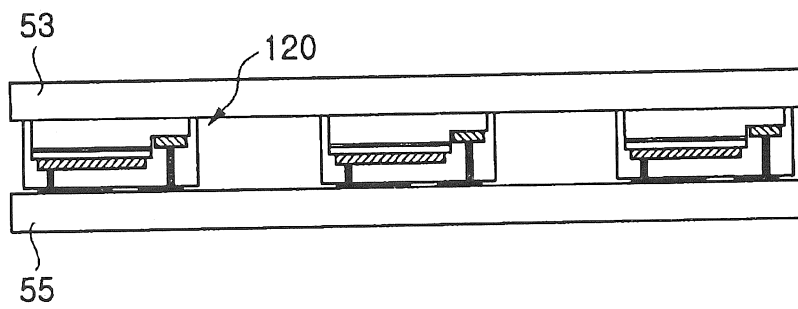
【FIG.2B】



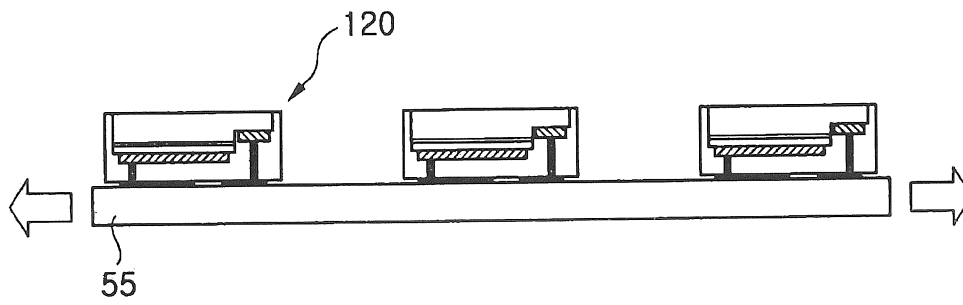
【FIG.2C】



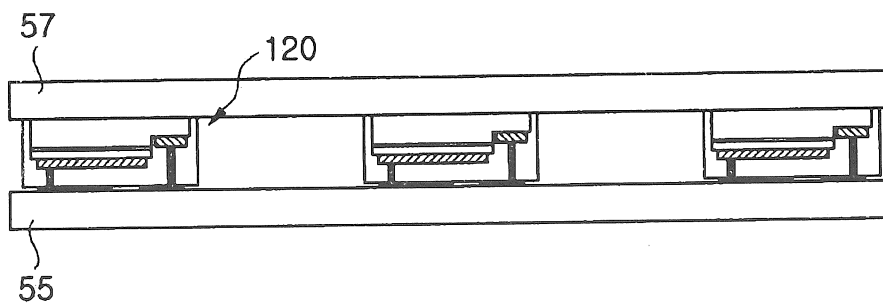
【FIG.2D】



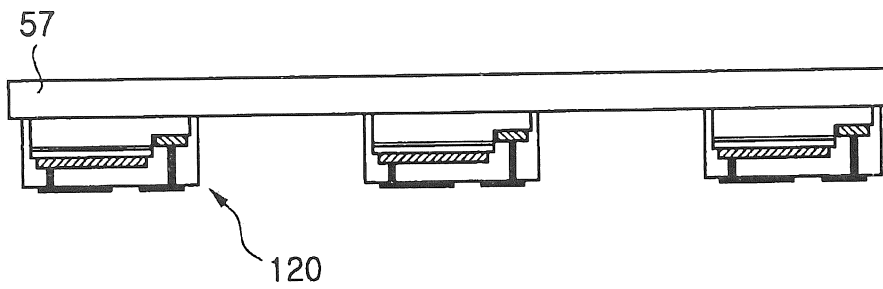
【FIG.2E】



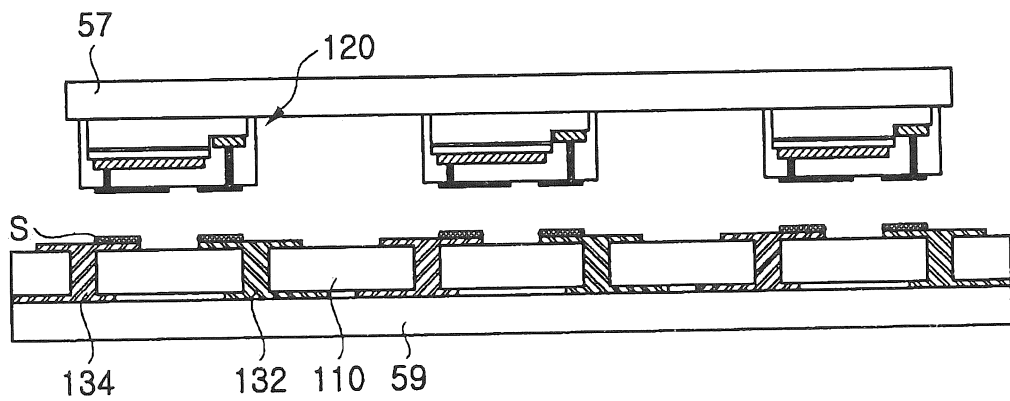
【FIG.2F】



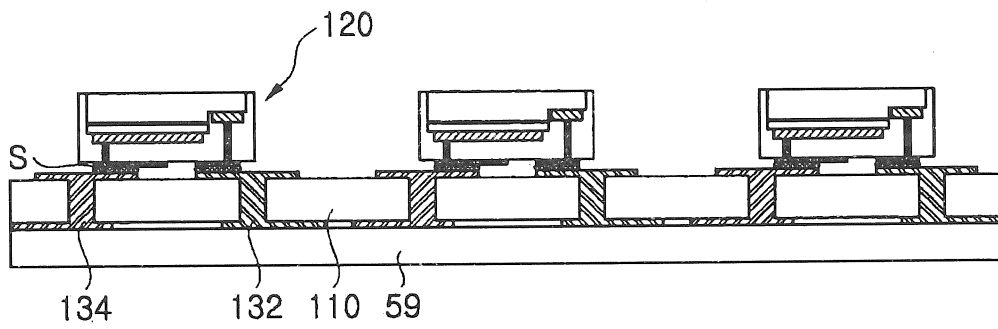
【FIG.2G】



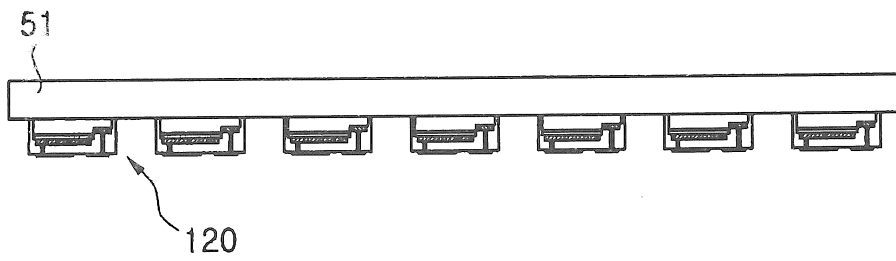
【FIG.2H】



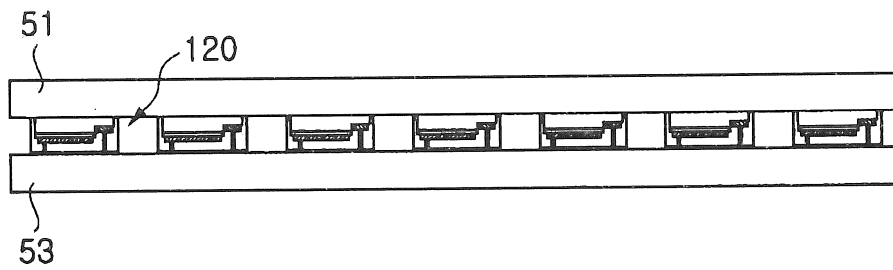
【FIG.2I】



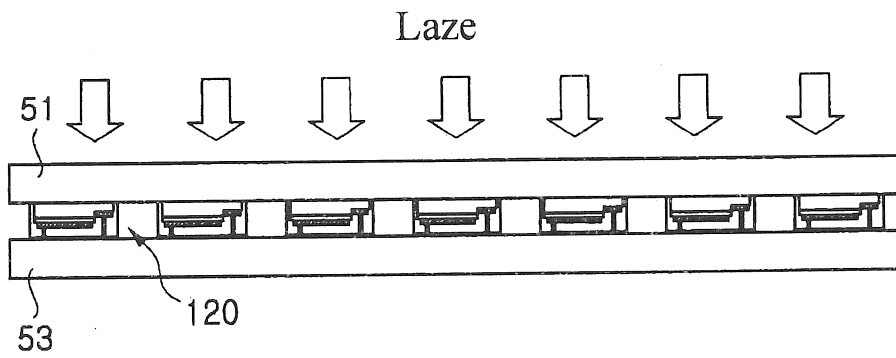
【FIG.3A】



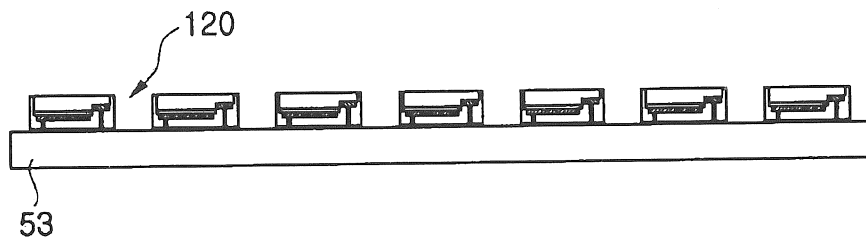
【FIG.3B】



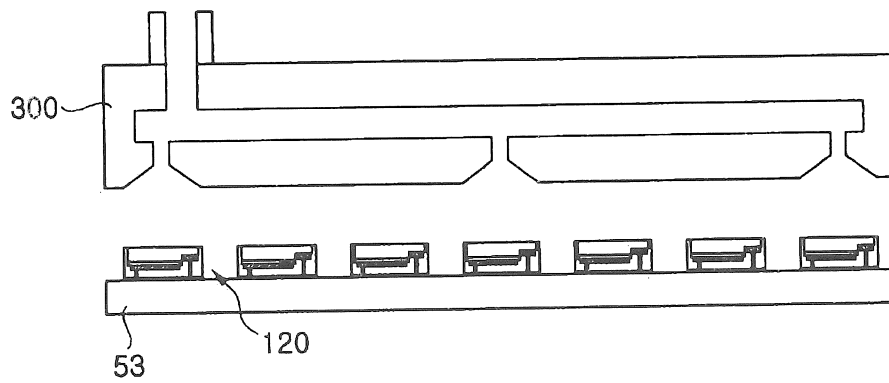
【FIG.3C】



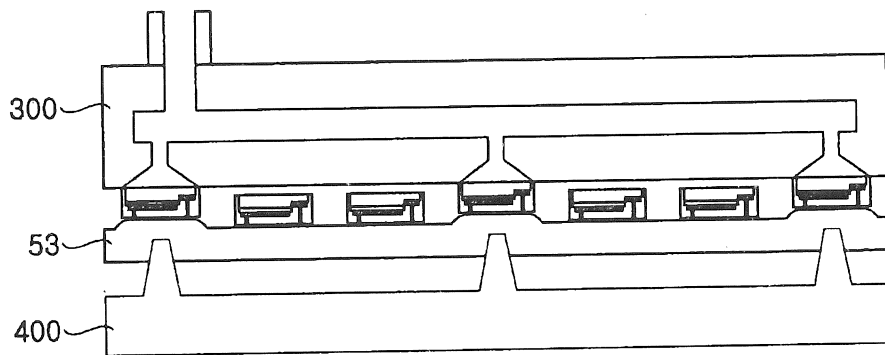
【FIG.3D】



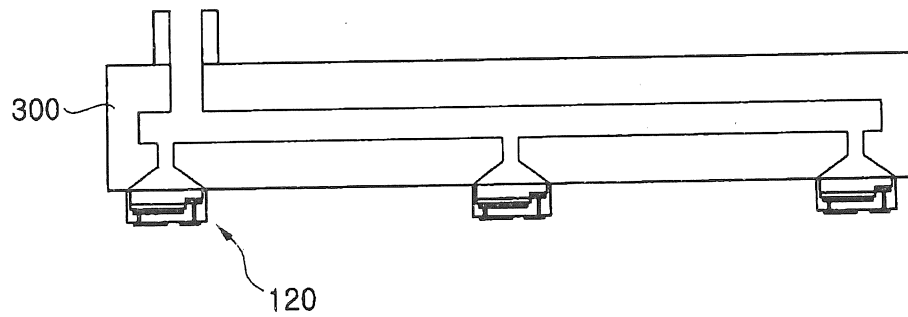
【FIG.3E】



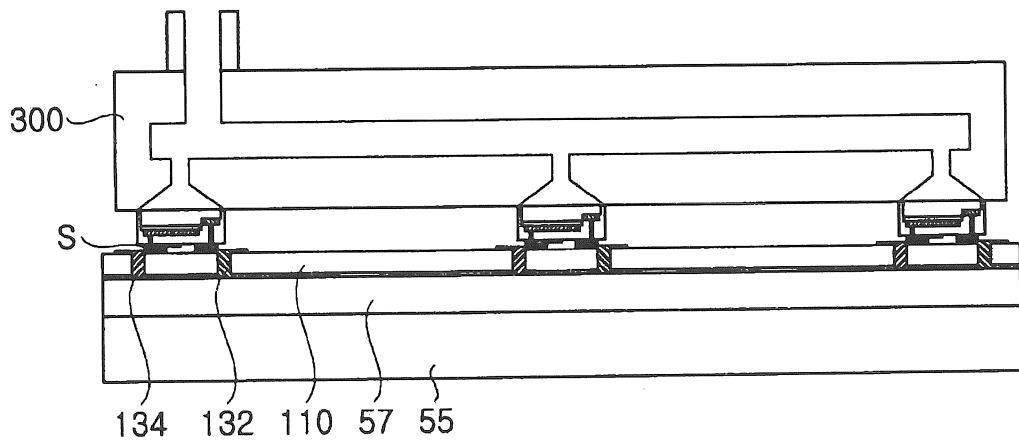
【FIG.3F】



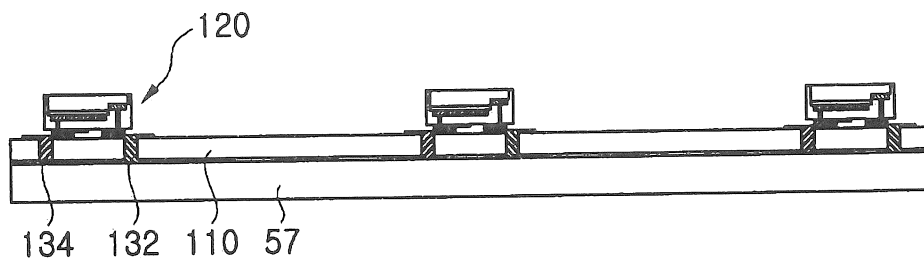
【FIG.3G】



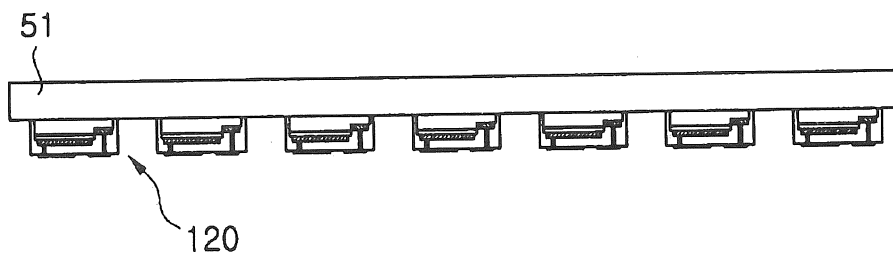
【FIG.3H】



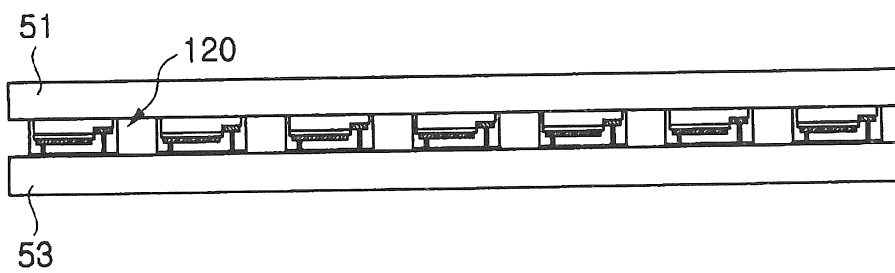
【FIG.3I】



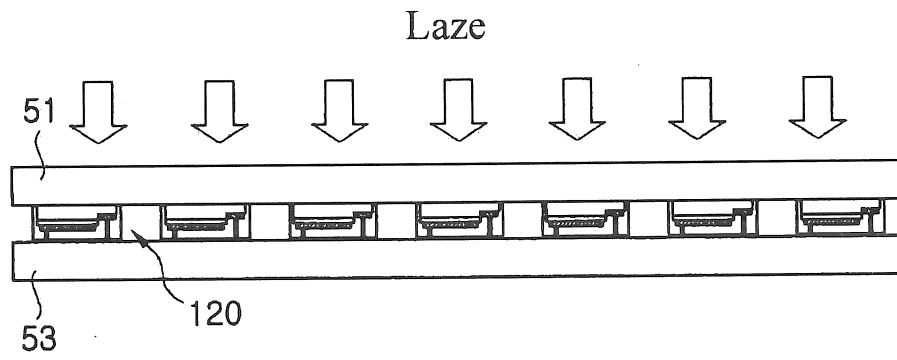
【FIG.4A】



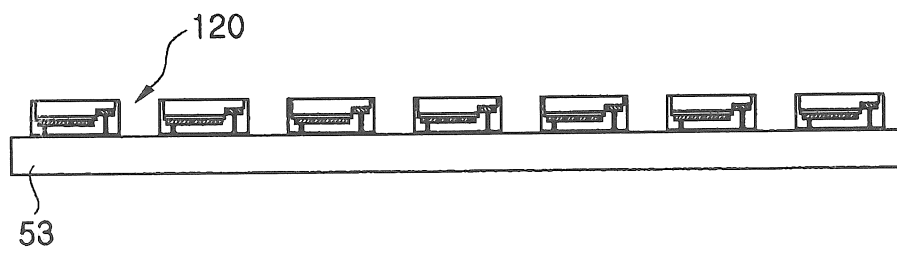
【FIG.4B】



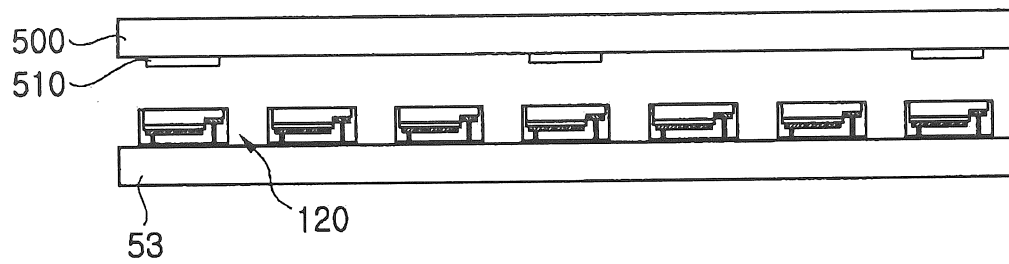
【FIG.4C】



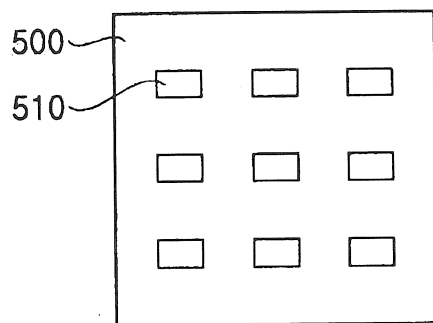
【FIG.4D】



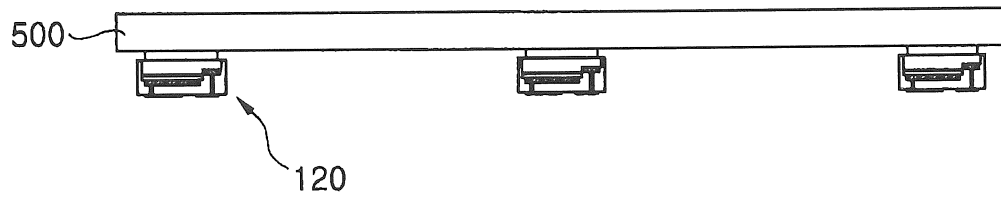
【FIG.4E】



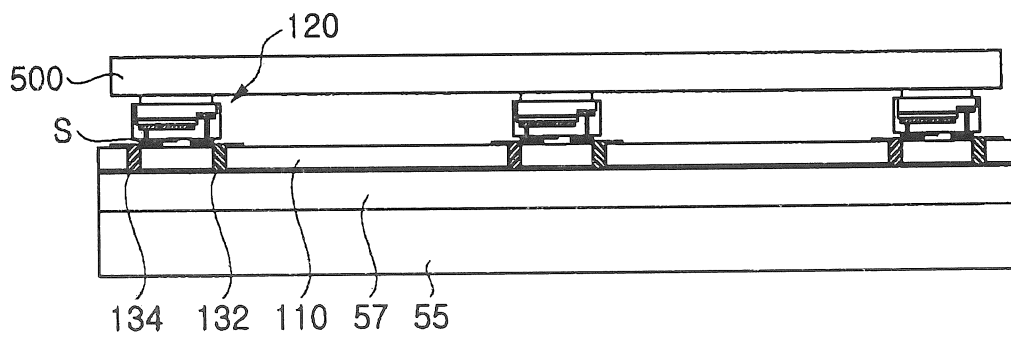
【FIG.4F】



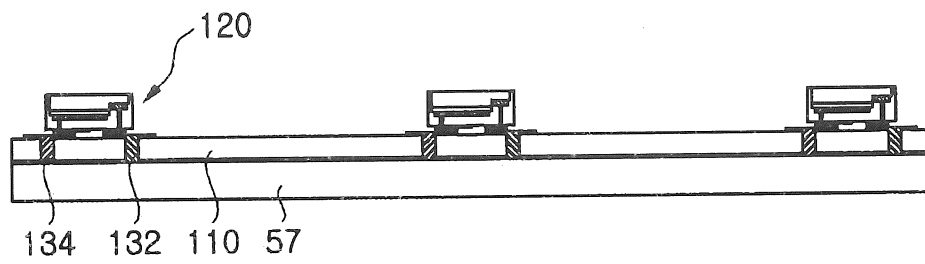
【FIG.4G】



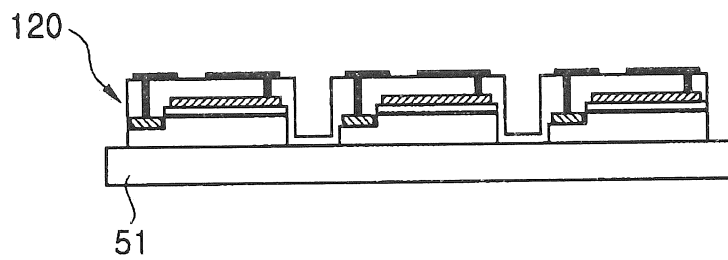
【FIG.4H】



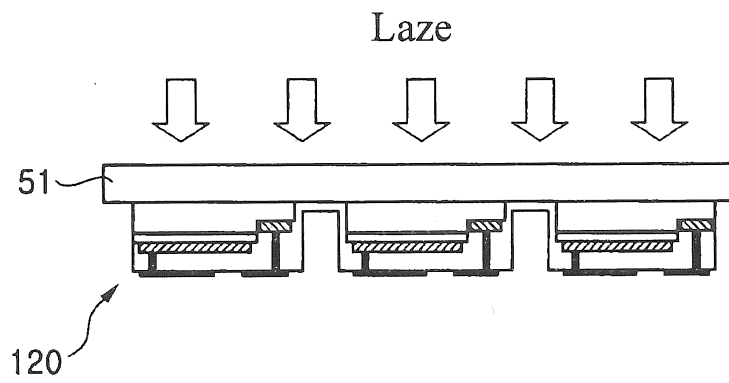
【FIG.4I】



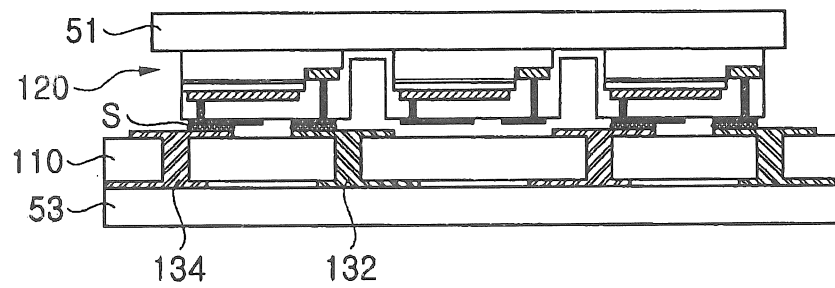
【FIG.5A】



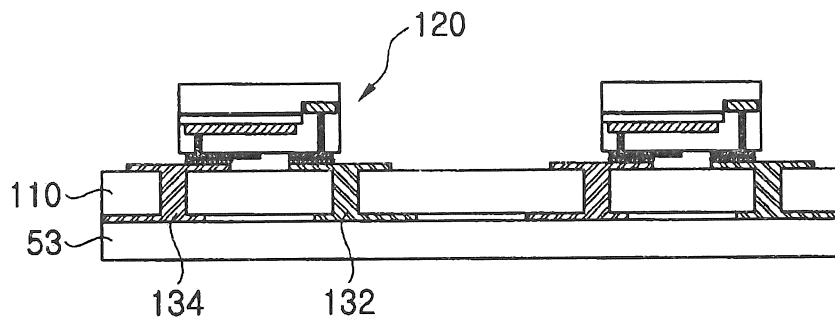
【FIG.5B】



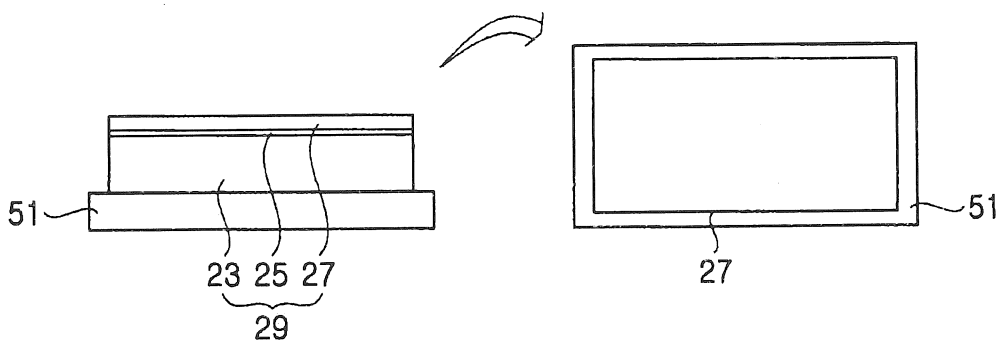
【FIG.5C】



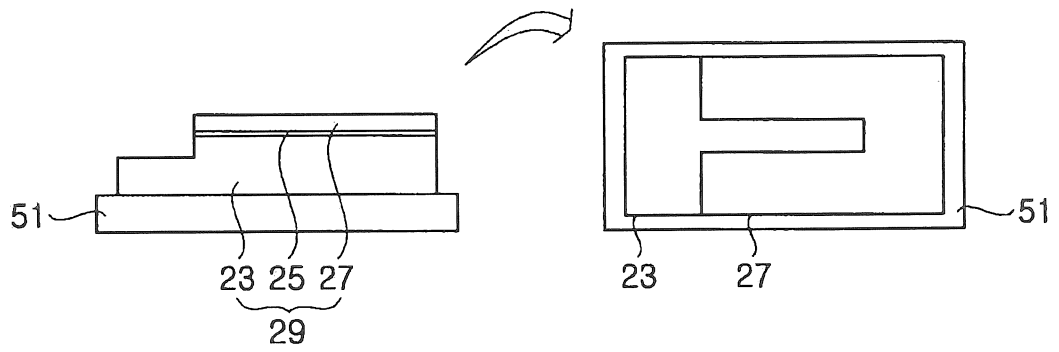
【FIG.5D】



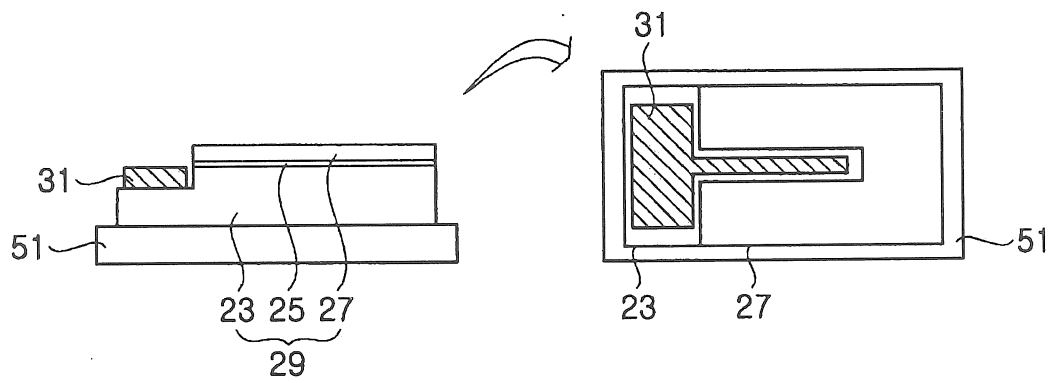
【FIG.6A】



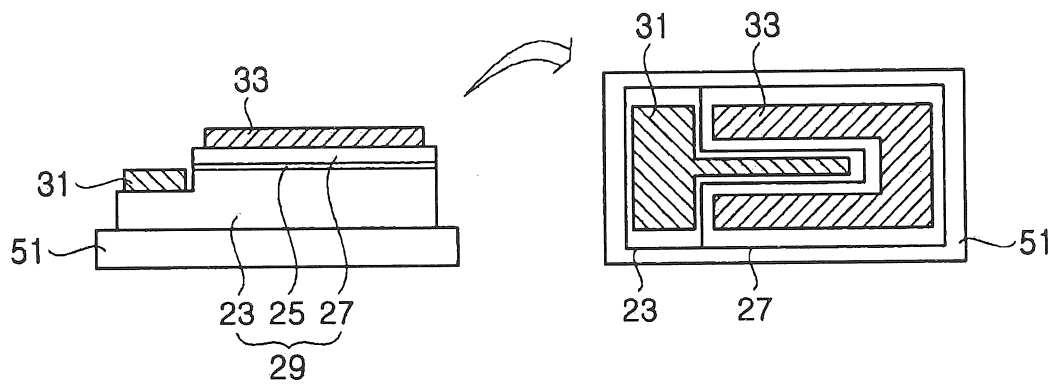
【FIG.6B】



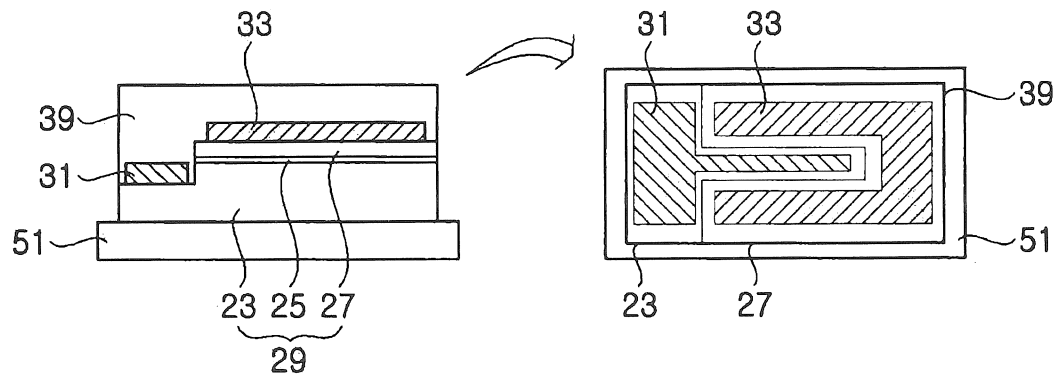
【FIG.6C】



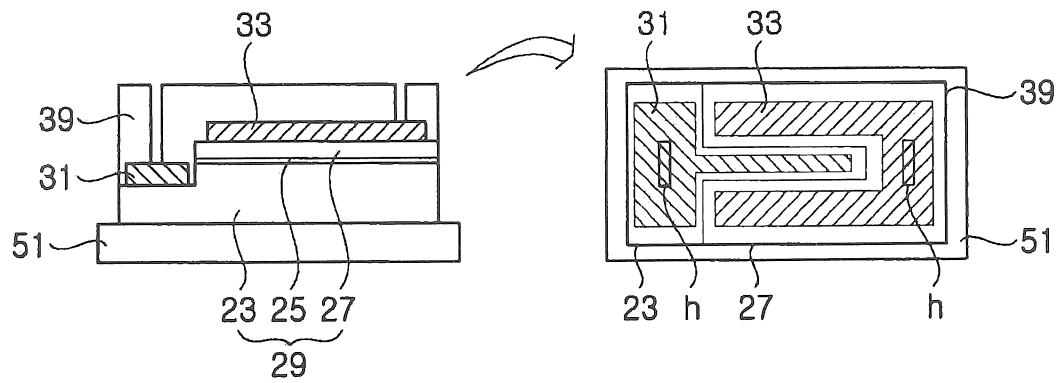
【FIG.6D】



【FIG.6E】



【FIG.6F】



【FIG.6G】

