



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0036615

(51)⁷ H04L 27/01; H04L 27/36

(13) B

(21) 1-2019-03859

(22) 19/12/2017

(86) PCT/CN2017/117241 19/12/2017

(87) WO/2018/113677 28/06/2018

(30) 62/436,202 19/12/2016 US; 15/392,831 28/12/2016 US

(45) 25/08/2023 425

(43) 25/09/2019 378A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

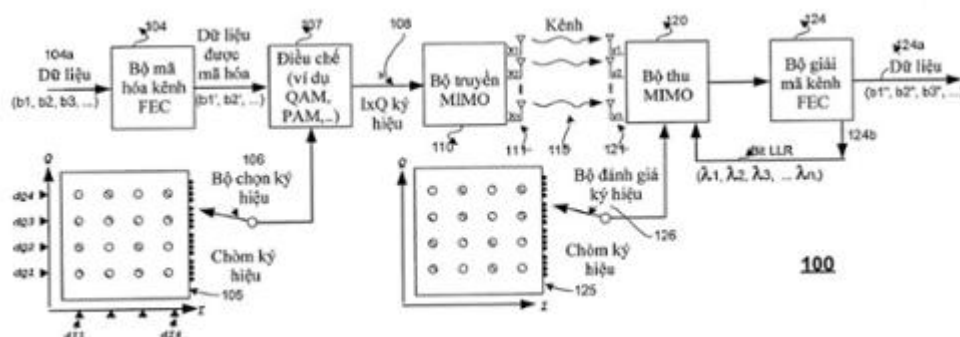
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong
518129, P.R.China

(72) YUE, Guosen (CN); QI, Xiao-Feng (US).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ TRUYỀN THÔNG VÀ PHƯƠNG PHÁP TRUYỀN THÔNG

(57) Sáng chế đề cập đến thiết bị truyền thông và phương pháp truyền thông. Các biểu thức hiệu quả dùng cho các phép tính trung bình và phương sai ký tự điều chế biên độ pha vuông góc (Quadrature Amplitude Modulation, QAM) được ứng dụng với các biểu thức hiệu quả và các cách thực hiện thích ứng với các bậc khác nhau của các định dạng QAM. Mạch đơn vị ước lượng (Estimation Unit, EU) bao gồm mạch đơn vị ước lượng trung bình (Mean Estimation Unit, MEU) và/hoặc mạch đơn vị ước lượng mômen cấp hai (Second moment Estimation Unit, SEU). Mỗi mạch đơn vị ước lượng được tạo cấu hình để thu hệ số chuẩn hóa QAM biến thiên sao cho mạch có thể thích ứng với các bậc QAM khác nhau. Mỗi mạch MEU hoặc SEU có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song. Vùng bao gồm nhiều mạch MEU và/hoặc vùng bao gồm nhiều mạch SEU được đề xuất theo một phương án của sáng chế, với bộ phận điều khiển để tạo cấu hình và tạo cấu hình lại các vùng của các mạch để ước lượng trung bình và phương sai cho các dòng dữ liệu của các ký tự QAM.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực các kỹ thuật truyền thông, và cụ thể là, đến thiết bị truyền thông và phương pháp truyền thông.

Tình trạng kỹ thuật của sáng chế

Kỹ thuật được sử dụng để phát hiện thông tin số trên các bộ thu triệt nhiễu mềm (Soft Interference Cancellation - SIC) dựa vào phản hồi lặp lại của các tín hiệu tỷ lệ hợp lệ logarit (Log Likelihood Ratio Signals - LLR's). SIC ứng dụng các ước lượng được nâng cao dần về các chuỗi bit có nhiều khả năng đã được thu qua kênh nhiễu nếu chòm điểm đã biết của các ký tự đại diện cho các chuỗi bit đó. Theo kỹ thuật này, trung bình và phương sai ký tự mềm của các ký tự chòm điểm được xác định. Tuy nhiên, hệ mạch để tạo ra trung bình và phương sai ký tự mềm có xu hướng trở nên lớn, phức tạp và hiệu suất thấp. Ngoài ra, đối với các hệ thống không dây có nhiều kết nối người dùng, hệ mạch phải hoàn thành ước lượng ký tự cho nhiều dòng dữ liệu với các thứ tự chòm điểm khác nhau trong một thời hạn. Do đó, có mong muốn thực hiện hệ mạch hiệu quả với sự xử lý linh hoạt và nhanh chóng nhiều dòng dữ liệu.

Bản chất kỹ thuật của sáng chế

Theo một phương án của sáng chế, thiết bị được đề xuất bao gồm cơ cấu truyền thông chẳng hạn như bộ truyền hoặc bộ thu được tạo cấu hình để chuyển đổi các tín hiệu đầu vào thành các tín hiệu băng gốc để xử lý số, và bộ xử lý tín hiệu được tạo cấu hình để tạo ra từ ít nhất một tín hiệu băng gốc một dòng các giá trị tỷ lệ hợp lệ logarit. Bộ xử lý tín hiệu bao gồm các mạch ước lượng được tạo cấu hình để tạo ra sự biểu diễn của các ước lượng trung bình hoặc mômen cấp hai dùng cho sự điều chế biên độ pha vuông góc (Quadrature Amplitude Modulation - QAM) dựa vào các tín hiệu đầu vào bao gồm dòng dựa vào các giá trị tỷ lệ hợp lệ logarit. Mỗi mạch ước lượng bao gồm một tập hợp các đầu vào và một tập hợp các đầu ra được kết hợp với các giá trị Eta và Xi

được sử dụng trong các mạch ước lượng dùng cho các ước lượng trung bình hoặc mômen cấp hai. Thiết bị bao gồm mạch điều khiển được ghép nối với các mạch ước lượng. Mạch điều khiển được tạo cấu hình để chuyển mạch luân phiên các mạch ước lượng giữa quy trình xử lý tuần tự và song song của các ước lượng trung bình hoặc hỗn hợp của quy trình xử lý tuần tự/song song. Mạch điều khiển được tạo cấu hình để đưa ra tập hợp các đầu ra của mỗi mạch ước lượng đến tập hợp các đầu vào của mỗi mạch ước lượng này để xử lý tuần tự. Mạch điều khiển được tạo cấu hình để đưa ra tập hợp các đầu ra của tập con của các mạch ước lượng đến nhiều mạch ước lượng khác nhau để xử lý song song.

Theo một phương án của sáng chế, thiết bị được đề xuất bao gồm anten được tạo cấu hình để thu các tín hiệu đầu vào, cơ cấu truyền thông được tạo cấu hình để tạo ra từ các tín hiệu đầu vào các ký tự được điều chế biên độ pha vuông góc (QAM), và bộ xử lý tín hiệu. Bộ xử lý tín hiệu bao gồm mạch thứ nhất được tạo cấu hình để tạo ra giá trị Eta đầu ra dựa vào giá trị Eta đầu vào và giá trị Xi đầu ra được kết hợp với các ký tự được điều chế biên độ pha vuông góc (QAM). Thiết bị này bao gồm mạch thứ hai được tạo cấu hình để tạo ra sự biểu diễn của ước lượng trung bình cho các ký tự QAM. Mạch thứ hai được tạo cấu hình để thu hệ số chuẩn hóa QAM biến thiên dựa vào giá trị bộ đếm được kết hợp với số lần lặp cho ước lượng trung bình tương ứng. Bộ nhân thứ nhất được tạo cấu hình để thu giá trị Eta đầu ra và tạo ra ước lượng trung bình cho mỗi bước lặp dựa vào sự kết hợp giá trị Eta đầu ra và hệ số chuẩn hóa QAM biến thiên.

Theo một phương án của sáng chế, thiết bị được đề xuất bao gồm giao diện được tạo cấu hình để thu các tín hiệu đầu vào, cơ cấu truyền thông được tạo cấu hình để tạo ra từ các tín hiệu đầu vào các ký tự được điều chế biên độ pha vuông góc (Quadrature Amplitude Modulation - QAM), và bộ xử lý tín hiệu. Bộ xử lý tín hiệu bao gồm mạch thứ nhất được tạo cấu hình để tạo ra giá trị đầu ra bằng cách kết hợp giá trị Eta đầu ra và giá trị vô hướng phụ thuộc được điều chế biên độ pha vuông góc (QAM) đầu ra. Bộ xử lý tín hiệu bao gồm mạch thứ hai được tạo cấu hình để tạo ra sự biểu diễn của ước lượng mômen cấp hai cho các

ký tự QAM. Mạch thứ hai được tạo cấu hình để thu hệ số chuẩn hóa QAM biến thiên dựa vào giá trị bộ đếm được kết hợp với số lần lặp cho ước lượng mômen cấp hai tương ứng. Mạch thứ hai được tạo cấu hình để thu đầu ra của thành phần mạch thứ nhất và tạo ra ước lượng mômen cấp hai cho mỗi bước lặp dựa vào sự kết hợp hệ số chuẩn hóa QAM biến thiên và giá trị đầu ra của mạch thứ nhất.

Theo một phương án của sáng chế, phương pháp được đề xuất bao gồm các bước: thu một hoặc nhiều tín hiệu đầu vào, chuyển đổi một hoặc nhiều tín hiệu đầu vào thành tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và tín hiệu QAM thứ hai, tạo ra dòng dữ liệu thứ nhất của các giá trị tỷ lệ hợp lẽ logarit được kết hợp với tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và dòng dữ liệu thứ hai của các giá trị LLR được kết hợp với tín hiệu QAM thứ hai, và cấp phát từ vùng của các mạch ước lượng được tạo cấu hình để tạo ra sự biểu diễn của các ước lượng trung bình hoặc các ước lượng mômen cấp hai cho các tín hiệu QAM tập hợp thứ nhất của các mạch cho tín hiệu QAM thứ nhất và tập hợp thứ hai của các mạch cho tín hiệu QAM thứ hai. Mỗi mạch ước lượng bao gồm một tập hợp các đầu vào và một tập hợp các đầu ra được kết hợp với các giá trị Eta và Xi cho các ước lượng trung bình hoặc mômen cấp hai. Phương pháp này bao gồm bước tạo cấu hình tập hợp thứ nhất của các mạch để xử lý tuần tự, xử lý song song, hoặc sự kết hợp của quy trình xử lý tuần tự và song song bằng cách đưa ra tập hợp các đầu ra đến mỗi mạch đến tập hợp các đầu vào cho mỗi mạch này. Phương pháp này bao gồm bước tạo cấu hình tập hợp thứ hai của các mạch để xử lý tuần tự, xử lý song song, hoặc sự kết hợp của quy trình xử lý tuần tự và song song bằng cách đưa ra tập hợp các đầu ra đến tập con của các mạch của tập hợp thứ hai đến mạch khác của tập hợp thứ hai.

Phần bản chất kỹ thuật của sáng chế được đưa ra để giới thiệu sự lựa chọn các khái niệm theo dạng đơn giản hóa mà được mô tả thêm dưới đây trong phần mô tả chi tiết. Phần bản chất kỹ thuật của sáng chế này không nhằm nhận dạng các dấu hiệu quan trọng hoặc các dấu hiệu chủ yếu của các đối tượng yêu cầu bảo hộ, cũng không nhằm được sử dụng trong việc xác định phạm vi của các

đối tượng yêu cầu bảo hộ. Các đối tượng yêu cầu bảo hộ không giới hạn ở các cách thực hiện mà giải quyết một vài hoặc tất cả nhược điểm được nêu trong phần tình trạng kỹ thuật của sáng chế.

Mô tả vắn tắt các hình vẽ

Fig.1A là sơ đồ khối của ví dụ về bộ thu phát.

Fig.1B là sơ đồ giản lược của một phương án của hệ thống truyền thông đa đầu vào/đa đầu ra (MIMO) sử dụng bộ thu SIC lặp.

Fig.1C là sơ đồ giản lược thể hiện hình vẽ chi tiết hơn của bộ thu SIC lặp trên Fig.1B.

Fig.1D là sơ đồ giản lược thể hiện chi tiết hơn về phần ước lượng ký tự trên Fig.1B và Fig.1C.

Fig.2 là hình vẽ mô tả ví dụ về ký tự 2^Q - PAM với ánh xạ mã Gray.

Fig.3 là sơ đồ giản lược của mạch xác định trung bình.

Fig.4 là sơ đồ giản lược của mạch xác định mômen cấp hai dùng cho ước lượng phương sai.

Fig.5 là sơ đồ khối của mạch ước lượng trung bình và phương sai N-QAM.

Fig.6 là sơ đồ khối mô tả ví dụ về việc xử lý các dòng dữ liệu của các bậc QAM khác nhau sử dụng nhiều mạch ước lượng trung bình và phương sai N-QAM.

Fig.7 là sơ đồ khối mô tả ví dụ về việc xử lý các dòng dữ liệu của các bậc QAM khác nhau và các độ dài khối khác nhau sử dụng nhiều mạch ước lượng trung bình và phương sai N-QAM.

Fig.8 là sơ đồ khối mô tả ví dụ về việc xử lý dòng dữ liệu đơn sử dụng nhiều mạch ước lượng trung bình và phương sai N-QAM.

Fig.9 là sơ đồ khối thể hiện việc sử dụng mạch nằm trong các mạch ước lượng trung bình và phương sai N-QAM khi xử lý các dòng dữ liệu của các

bậc QAM khác nhau.

Fig.10 là sơ đồ khối của khối đơn vị ước lượng theo một phương án bao gồm các vùng của các mạch đơn vị ước lượng được ảo hóa.

Fig.11A là sơ đồ giản lược của mạch đơn vị ước lượng trung bình theo một phương án của sáng chế.

Fig.11B là sơ đồ giản lược của mạch đơn vị ước lượng trung bình theo một phương án của sáng chế.

Fig.11C là sơ đồ khối của mạch đơn vị ước lượng trung bình được ảo hóa theo một phương án của sáng chế.

Fig.11D là sơ đồ khối của mạch đơn vị ước lượng trung bình được ảo hóa theo một phương án bao gồm đường tự hồi tiếp cấu hình được.

Fig.12 là sơ đồ khối của mạch đơn vị ước lượng trung bình được ảo hóa theo một phương án mô tả quy trình xử lý tuần tự.

Fig.13 là sơ đồ khối của nhiều mạch đơn vị ước lượng trung bình được ảo hóa theo một phương án mô tả sự xử lý song song.

Fig.14A là sơ đồ khối của nhiều mạch đơn vị ước lượng trung bình được ảo hóa mô tả quy trình xử lý song song/tuần tự hỗn hợp theo một ví dụ của sáng chế.

Fig.14B là sơ đồ khối của nhiều mạch đơn vị ước lượng trung bình được ảo hóa mô tả quy trình xử lý song song/tuần tự hỗn hợp theo một ví dụ của sáng chế.

Fig.15A là sơ đồ giản lược của mạch đơn vị ước lượng mômen cấp hai theo một phương án của sáng chế.

Fig.15B là sơ đồ giản lược của mạch đơn vị ước lượng mômen cấp hai theo một phương án của sáng chế.

Fig.15C là sơ đồ khối của mạch đơn vị ước lượng mômen cấp hai được ảo hóa theo một phương án của sáng chế.

Fig.16A là sơ đồ giản lược của mạch đơn vị ước lượng mômen cấp hai theo một phương án của sáng chế.

Fig.16B là sơ đồ giản lược của mạch đơn vị ước lượng mômen cấp hai theo một phương án của sáng chế.

Fig.16C là sơ đồ khối của mạch đơn vị ước lượng mômen cấp hai được ảo hóa theo một phương án của sáng chế.

Fig.17 là sơ đồ khối của mạch đơn vị ước lượng mômen cấp hai được ảo hóa theo một phương án bao gồm đường tự hồi tiếp cấu hình được.

Fig.18 là sơ đồ khối của mạch đơn vị ước lượng mômen cấp hai được ảo hóa theo một phương án mô tả quy trình xử lý tuần tự.

Fig.19 là sơ đồ khối của nhiều mạch đơn vị ước lượng mômen cấp hai được ảo hóa theo một phương án mô tả sự xử lý song song.

Fig.20 là lưu đồ mô tả sự xử lý của các dòng dữ liệu sử dụng vùng của các mạch đơn vị ước lượng được ảo hóa.

Fig.21 là sơ đồ khối của vùng của các mạch đơn vị ước lượng trung bình được ảo hóa mô tả quy trình xử lý tuần tự của nhiều dòng dữ liệu.

Fig.22 là sơ đồ khối của vùng của các mạch đơn vị ước lượng trung bình được ảo hóa mô tả sự xử lý song song của nhiều dòng dữ liệu.

Fig.23 là sơ đồ khối mô tả hệ thống để xử lý các ký tự QAM theo một phương án của sáng chế.

Fig.24 là sơ đồ khối của hệ thống tính toán.

Mô tả chi tiết sáng chế

Các bộ thu và các bộ truyền bao gồm các mạch đơn vị ước lượng (EU) và các kỹ thuật xử lý liên quan cho các hệ thống không dây được đề xuất. Các bộ thu lắp với triệt nhiễu mềm (Soft Interference Cancellation - SIC) có thể tạo ra sự nâng cao hiệu suất đáng kể cho các hệ thống không dây. Các thành phần của SIC bao gồm giá trị trung bình và phương sai của các ký tự điều chế biên độ

pha vuông góc (QAM) cho các đầu vào tỷ lệ hợp lệ logarit (LLR) từ việc giải mã các đầu ra hoặc các nhánh khác nhau của các bộ thu. Các biểu thức hiệu quả dùng cho các phép tính trung bình và phương sai ký tự QAM được ứng dụng với các biểu thức hiệu quả và các cách thực hiện thích ứng với các bậc khác nhau của các định dạng QAM. Ước lượng mômen cấp hai dùng cho ước lượng phương sai được đưa ra có thứ tự độ phức tạp với hệ mạch được làm giảm.

Theo một phương án, mạch EU bao gồm mạch đơn vị ước lượng trung bình (Mean Estimation Unit - MEU) và/hoặc mạch đơn vị ước lượng mômen cấp hai (Second Moment Estimation Unit - SEU). Mạch MEU và mạch SEU thích ứng với các bậc khác nhau của các định dạng QAM. Mỗi mạch bao gồm các đầu vào và các đầu ra mà thu và đưa ra các giá trị chẳng hạn như các giá trị Xi, Eta, và các giá trị bộ đếm được kết hợp với phép tính trung bình hoặc mômen cấp hai. Mỗi mạch bao gồm đầu vào bổ sung để thu các giá trị LLR chẳng hạn như giá trị LLR λ hoặc giá trị $\tanh(\lambda/2)$ đại diện cho hàm truyền hypebon của giá trị LLR đầu vào. Mỗi mạch được tạo cấu hình để thu hệ số chuẩn hóa QAM biến thiên sao cho mạch có thể thích ứng với các bậc QAM khác nhau. Hệ số chuẩn hóa QAM biến thiên được lựa chọn dựa vào giá trị bộ đếm được kết hợp với số lần lặp dùng cho ước lượng trung bình hoặc phương sai. Mạch MEU tạo ra tín hiệu bao gồm sự biểu diễn của ước lượng trung bình cho dòng dữ liệu QAM. Mạch SEU tạo ra tín hiệu bao gồm sự biểu diễn của ước lượng mômen cấp hai cho dòng dữ liệu QAM.

Mỗi mạch MEU hoặc SEU có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song. Để xử lý tuần tự, các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ đếm có thể được khởi tạo trước tiên làm giá trị khởi tạo. Các đầu ra của mạch sau đó được đưa ra làm các đầu vào của mạch. Mạch được xử lý một số lần để thu nhận ước lượng trung bình hoặc mômen cấp hai QAM một chiều.

Nhiều mạch MEU hoặc SEU có thể được kết nối theo chuỗi để xử lý song song. Các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ

đếm có thể được khởi tạo trước tiên và các đầu ra của tập con của các mạch theo chuỗi được đưa đến các đầu vào của mạch theo chuỗi sau đó. Các đầu ra của mạch cuối cùng theo chuỗi có thể được lấy mẫu ở các khoảng định trước, chứa đầu ra bao gồm ước lượng trung bình hoặc mômen cấp hai.

Nhiều mạch MEU hoặc SEU có thể được kết nối theo chuỗi và được tạo cấu hình cho cả quy trình xử lý tuần tự và song song, tức là, xử lý hỗn hợp, để thu nhận các kết quả ước lượng của một dòng dữ liệu QAM. Theo một phương án ví dụ, các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ đếm có thể được khởi tạo trước tiên và các đầu ra của tập con của các mạch sau đó được đưa ra làm các đầu vào của các mạch của chúng để xử lý một số lần trước khi chuyển các đầu ra đến các đầu vào của mạch sau đó. Theo phương án ví dụ khác, các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ đếm có thể được khởi tạo trước tiên và các đầu ra của tập con của các mạch theo chuỗi được đưa đến các đầu vào của mạch theo chuỗi sau đó. Các đầu ra của một mạch theo chuỗi có thể được tạo cấu hình làm các đầu vào cho một trong số các mạch theo chuỗi trước đó.

Vùng bao gồm nhiều mạch MEU và/hoặc vùng bao gồm nhiều mạch SEU được đưa ra theo một phương án của sáng chế, với bộ phận điều khiển để tạo cấu hình và tạo cấu hình lại các vùng của các mạch để ước lượng trung bình và phương sai cho các dòng dữ liệu của các ký tự QAM. Bộ phận điều khiển có thể truy cập nhiều dòng dữ liệu có các đặc điểm khác nhau chẳng hạn như các độ dài khối, các bậc QAM, quyền ưu tiên, v.v. khác nhau. Bộ phận điều khiển có thể cấp phát các tập hợp của các mạch từ vùng của các mạch MEU hoặc SEU để xử lý các dòng dữ liệu khác nhau dựa vào các đặc điểm có thể thay đổi. Bộ phận điều khiển có thể xác định số lượng của các mạch EU cho mỗi tập hợp dựa vào bậc QAM, độ dài khối, quyền ưu tiên, v.v.. Sau khi cấp phát tập hợp các mạch EU cho dòng dữ liệu, bộ phận điều khiển tạo cấu hình tập hợp để xử lý tuần tự hoặc song song. Để xử lý tuần tự, bộ phận điều khiển kết nối các đầu ra của mỗi mạch với đầu vào của nó. Để xử lý song song, các đầu ra của tập con của các mạch trong tập hợp được đưa đến các đầu vào của mạch sau đó trong tập hợp.

Fig.1A là sơ đồ khối của ví dụ về cơ cấu truyền thông bao gồm bộ thu phát 50 được thích ứng để truyền và/hoặc thu tín hiệu qua mạng viễn thông. Bộ thu phát 50 có thể được lắp đặt ở thiết bị chủ bao gồm trạm gốc hoặc thiết bị đầu cuối người dùng chẳng hạn. Bộ thu phát theo một phương án bao gồm bộ truyền hoặc bộ thu. Theo phương án khác, bộ thu phát bao gồm bộ truyền và bộ thu. Như được thể hiện, bộ thu phát 50 bao gồm giao diện phía mạng 52, bộ ghép 54, bộ truyền 56, bộ thu 58, bộ xử lý tín hiệu 60, và giao diện phía thiết bị 62. Giao diện phía mạng 52 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần được thích ứng để truyền hoặc thu tín hiệu qua mạng viễn thông không dây hoặc nối dây (ví dụ, anten). Bộ ghép 54 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần được làm thích ứng để tạo điều kiện cho truyền thông hai chiều trên giao diện phía mạng 52. Bộ truyền 56 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần (ví dụ, bộ chuyển đổi lên, bộ khuếch đại công suất, v.v.) được làm thích ứng để chuyển đổi tín hiệu băng gốc thành tín hiệu sóng mang được điều chế phù hợp cho việc truyền qua giao diện phía mạng 52. Bộ thu 58 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần (ví dụ, bộ chuyển đổi xuống, bộ khuếch đại nhiễu thấp, v.v.) được làm thích ứng để chuyển đổi tín hiệu sóng mang thu được qua giao diện phía mạng 52 thành tín hiệu băng gốc. Bộ xử lý tín hiệu 60 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần được làm thích ứng để chuyển đổi tín hiệu băng gốc thành tín hiệu dữ liệu phù hợp cho truyền thông qua (các) giao diện phía thiết bị 62, hoặc ngược lại. (Các) giao diện phía thiết bị 62 có thể bao gồm thành phần bất kỳ hoặc tập hợp của các thành phần được làm thích ứng để truyền thông các tín hiệu-dữ liệu giữa bộ xử lý tín hiệu 510 và các thành phần nằm trong thiết bị chủ (ví dụ, hệ thống xử lý, các công mạng vùng cục bộ (Local Area Network - LAN), v.v.).

Bộ thu phát 50 có thể truyền và thu tín hiệu qua phương tiện truyền thông bất kỳ. Theo một số phương án, bộ thu phát 50 truyền và thu tín hiệu qua phương tiện không dây. Ví dụ, bộ thu phát 50 có thể là bộ thu phát không dây được làm thích ứng để truyền thông theo giao thức viễn thông không dây, chẳng

hạn như giao thức chia ô (ví dụ, phát triển dài hạn (Long-Term Evolution - LTE), v.v.), giao thức mạng vùng cục bộ không dây (Wireless Local Area Network - WLAN) (ví dụ, Wi-Fi, v.v.), hoặc loại giao thức không dây khác bất kỳ (ví dụ, Bluetooth, truyền thông trường gần (Near Field Communication - NFC), v.v.). Theo các phương án như vậy, giao diện phía mạng 52 bao gồm một hoặc nhiều thành phần anten/phát xạ. Ví dụ, giao diện phía mạng 52 có thể bao gồm một anten, nhiều anten riêng biệt, hoặc giàn nhiều anten được tạo cấu hình cho truyền thông nhiều lớp, ví dụ, một đầu vào nhiều đầu ra (Single Input Multiple Output - SIMO), nhiều đầu vào một đầu ra (Multiple Input Single Output - MISO), nhiều đầu vào nhiều đầu ra (Multiple Input Multiple Output - MIMO), v.v.. Theo các phương án khác, bộ thu phát 50 truyền và thu tín hiệu qua phương tiện nối dây, ví dụ, cáp xoắn hai sợi, cáp đồng trục, sợi quang, v.v.. Các hệ thống xử lý cụ thể và/hoặc các bộ thu phát có thể ứng dụng tất cả của các thành phần được thể hiện, hoặc chỉ tập con của các thành phần, và các mức độ kết hợp có thể khác với thiết bị đến thiết bị.

Fig.1B là sơ đồ khối minh họa hệ thống truyền thông MIMO chẳng hạn (đa đầu vào, đa đầu ra) 100 có bộ truyền nhiều cổng 110 (ví dụ, bộ truyền nhiều anten) và bộ thu nhiều cổng 120 (ví dụ, bộ thu nhiều anten) trong đó bộ truyền 110 được ghép nối với bộ thu 120 qua kênh truyền thông 115 để bị nhiễu và/hoặc nhiễu liên ký tự. Bộ thu SIC lập dựa vào các cập nhật lặp của các tín hiệu tỷ lệ hợp lệ logarit (LLR's) để phát hiện các chuỗi bit thông tin thu được từ mảng chòm điểm của các ký tự trong đó việc phát hiện xác định khả năng lớn nhất của các chuỗi bit đã được truyền qua kênh nhiễu có tỷ lệ tín hiệu trên nhiễu (Signal to Noise Ratio - SNR) nhất định.

Các bộ thu lập với triệt nhiễu mềm (Soft Interference Cancellation - SIC) có thể tạo ra sự nâng cao hiệu suất đáng kể cho các hệ thống không dây. Ở phía trạm gốc trong hệ thống chia ô phát triển dài hạn (LTE), bộ thu lập với SIC có thể được áp dụng cho đa truy cập phân chia theo tần số sóng mang đơn đường lên LTE (Single-Carrier Frequency Division Multiple Access - SC-FDMA), MIMO nhiều người dùng đường lên, và thu đa điểm phối hợp đường

lên (Coordinate Multipoint - CoMP) với SIC (CoMP SIC).

Các tín hiệu tỷ lệ hợp lệ logarit (LLR's) đưa ra sự so sánh giữa hai kết quả mô hình. Bởi vì nó dựa vào logarit của tỷ lệ các xác suất (hợp lệ; ví dụ, L1/L2), nếu hai xác suất là giống nhau, logarit của tỷ lệ của chúng là không ($\text{Log}(1)=0$). Nếu xác suất tử số lớn hơn, có nghĩa là tỷ lệ lớn hơn một, logarit của tỷ lệ này là dương. Nếu xác suất mẫu số lớn hơn, có nghĩa là tỷ lệ nhỏ hơn so với một, logarit là âm. Do đó ký tự của kết quả đưa ra chỉ báo mà mô hình đưa ra sự phù hợp tốt hơn đối với các điều kiện đã cho và giá trị tuyệt đối đưa ra chỉ báo mức độ mà một mô hình tốt hơn so với mô hình khác. Đối với trường hợp trong đó các mô hình cạnh tranh là một bit nhị phân bằng không hoặc một, LLR là logarit của tỷ lệ của xác suất của bit bằng không trên xác suất của bit bằng một.

Nhiều kỹ thuật có thể được sử dụng để tái cấu trúc ở phía bộ thu dòng bit đầu ra 124a có các ký tự đại diện về cơ bản so khớp với các ký tự đầu vào được thể hiện bởi dòng bit đầu vào 104a ở phía bộ truyền. Cụ thể hơn, dòng bit đầu vào 104a được chuyển qua bộ mã hóa sửa lỗi tiến (Forward Error Correction Encoder - FEC) 104 và đầu ra dữ liệu được mã hóa sau đó được áp dụng cho bộ điều chế tín hiệu 107, trong đó nhiều sự điều chế pha vuông góc được sử dụng chẳng hạn như điều chế pha vuông góc biên độ ngược pha (QAM) trong đó các sơ đồ điều chế vuông góc (được thể hiện bởi các trục Q và I) được sử dụng để phân biệt trong số các ký tự rời rạc nằm trong chòm điểm 105 định trước của các ký tự như vậy. Thông thường, chòm điểm là chòm điểm hình vuông trong đó số lượng vị trí rời rạc lớn nhất (ví dụ, dQ1 đến dQ4) dọc theo trục Q so khớp với số lượng vị trí rời rạc lớn nhất (ví dụ, dI1 đến dI4) dọc theo trục I và kích thước của chòm điểm thường được thể hiện bởi số nguyên N' chẳng hạn như $N'=4$ đại diện cho số lượng vị trí rời rạc lớn nhất dọc theo chỉ một trong số các trục vuông góc. Trái ngược với N' , ký tự không được in nghiêng Q được sử dụng ở đây là số lượng các bit ánh xạ đến ký tự N' -PAM sao cho $N' = 2^Q$. Trong sơ đồ trên Fig.1B, sự biến đổi của các bit dữ liệu được mã hóa (ví dụ, b1', b2',...) thành các tín hiệu đầu ra được điều biến vuông góc được thể hiện bởi bộ chọn ký tự 106

mà chuyển đổi sự mã hóa Gray hoặc sự mã hóa khác của các tín hiệu số đầu vào thành các vị trí rời rạc tương ứng nằm trong các ký tự chòm điểm 105. Bởi vì các vị trí rời rạc nằm trong các ký tự chòm điểm 105 được đặt cách quãng nhau theo các khoảng cách đã biết trong không gian phức tạp và chuỗi bit được kết hợp với mỗi trục được nhận biết và có thể được khử ghép do QAM cầu phương, có thể mô hình số sự hợp lệ mà các chuỗi bit nhất định được kết hợp với trục Q sẽ đi đôi với các chuỗi bit khác được kết hợp với trục I.

Tín hiệu X được điều chế (108) sau đó được áp dụng cho bộ truyền nhiều đầu ra 110 mà theo một phương án có các anten tần số radio được đặt cách nhau 111 từ đó phát ra nhiều tín hiệu phổ lan truyền tương ứng từ X_1 đến X_n để truyền qua kênh 115 và thu được bởi các anten được đặt cách nhau 121 khác trong đó các tín hiệu thu được được thể hiện tương ứng bởi các vector pha/biên độ từ y_1 đến y_n . Bộ thu MIMO 120 tương ứng giải điều chế các tín hiệu thu được và chuyển chúng đến bộ giải mã FEC124. Bộ giải mã 124 có thể là một phần của bộ xử lý tín hiệu 60 theo một phương án của sáng chế. Đầu ra thứ nhất của bộ giải mã thể hiện dòng dữ liệu được tái cấu trúc 124a (ví dụ, chuỗi bit b_1 ", b_2 ", b_3 ",...). Đầu ra thứ hai của bộ giải mã đưa ra phản hồi 124b của các tín hiệu tỷ lệ hợp lệ logarit (LLR's) mà cũng được thể hiện ở đây bằng ký tự Hy Lạp λ (lamda). Theo một phương án của sáng chế, trước khi các quyết định cuối cùng đạt được trên các bit dòng dữ liệu được tái cấu trúc 124a (ví dụ, chuỗi bit b_1 ", b_2 ", b_3 ",...), một số lần lặp được sử dụng kết hợp với các tín hiệu LLR được phản hồi (ví dụ, $\lambda_1, \lambda_2, \lambda_3, \dots$) để có được ước lượng tốt hơn về các bit nhị phân được tái cấu trúc là gì (là "0" hoặc "1"). Trên Fig.1B, sơ đồ về bộ ước lượng ký tự 126 được sử dụng để thể hiện cách các lần lặp xác định lặp lại nhiều quyết định đầu ra rời rạc có khả năng nằm trong chòm điểm định trước 125 của các ký tự. Sự xác định như vậy có thể được thực hiện riêng biệt đối với trục Q và đối với trục I và sau đó kết hợp các kết quả xác định quyết định ký tự cuối cùng.

Dựa vào Fig.1C, phương án ví dụ 101 được thể hiện sơ lược cho phía

bộ thu và cụ thể hơn là cho phần ước lượng ký tự của bộ thu mà dựa vào sự xác định lặp lại của các thống kê trung bình và phương sai ký tự. Bộ giải điều chế 122, bộ giải đan xen 123, bộ giải mã kênh mềm, bộ đan xen 129, mạch hỗ trợ ước lượng ký tự 135, và/hoặc mạch hỗ trợ ước lượng 138 có thể là một phần của bộ xử lý tín hiệu 60. Trong phần được minh họa, các tín hiệu thu được từ y1 đến yn được đưa ra bởi kênh 115' đến mảng tương ứng 121' của các anten trong đó phần sau ghép với bộ giải điều chế SIC MIMO tương ứng 122. Bộ giải điều chế ghép nối với bộ giải đan xen LLR 123 có các tín hiệu đầu ra được cấp đến bộ giải mã kênh mềm 124'. Bộ giải mã 124' có đầu ra thứ nhất 124a' từ đó các chuỗi bit được phát hiện được tạo ra và đầu ra thứ hai 124b' mà từ đó các tín hiệu LLR được cập nhật được tạo ra. Các tín hiệu LLR được cập nhật được phản hồi và được chuyển qua bộ đan xen 129 và được quay trở lại (130) bộ giải điều chế 122 để sử dụng trong việc thực hiện ước lượng ký tự mềm. Bộ giải điều chế mạch 122 bao gồm mạch hỗ trợ ước lượng ký tự mềm 135. Nằm trong mạch hỗ trợ 135 có đưa ra các mạch 138 để thực hiện ước lượng trên mỗi ký tự của trung bình đầu ra được tái cấu trúc ($\tilde{x}_i$) và ước lượng trên mỗi ký tự của các phương sai đầu ra được tái cấu trúc ($\tilde{\nu}_i^2$).

Tiếp theo dựa vào Fig.1D, được thể hiện là phương án chi tiết hơn 102 cho hệ mạch hỗ trợ ước lượng 138 trên Fig.1C cho quy trình nêu trên. Hệ mạch hỗ trợ ước lượng bao gồm môđun triệt nhiễu mềm 122a, môđun lọc MMSE 122b và môđun tạo LLR bit 122c được kết nối theo trình tự như được thể hiện. Tín hiệu LLR được phản hồi 130' được cấp đến mạch ước lượng trung bình và phương sai ký tự 138'. Các đầu ra của mạch ước lượng 138' được phản hồi tương ứng là tín hiệu 135a đến môđun triệt nhiễu mềm 122a và là tín hiệu 135b đến môđun lọc MMSE 122b. Kích thước và độ phức tạp của mạch có thể tăng lên bất lợi khi kích thước của mạch ước lượng trung bình và phương sai ký tự 138' tăng lên, ví dụ khi số lượng rời rạc lớn nhất, trên các điểm truy cập trong chòm sao tăng lên (ví dụ, từ Q =3 đến Q =4, 5 hoặc cao hơn). Ngoài ra, trong một vài thiết kế có thể có mong muốn đưa ra các giá trị Q khác nhau. Tuy nhiên, bởi vì các giá trị của các số bị nhân cho các bộ nhân tín hiệu số chẳng hạn như

316, 326 và 336 thay đổi với các giá trị Q khác nhau, có thể cần phải đưa ra các tập hợp khác nhau của các mạch như vậy cho mỗi giá trị Q được dự định. Mặc dù không phải là phần tiêu biểu của bộ thu, Fig.1D thể hiện tùy chọn của bộ phận thu thập thống kê 139' được ghép nối hoạt động với đường phản hồi LLR 130' và được tạo cấu hình để thu thập thống kê về sự phân bố của các giá trị LLR làm các chu kỳ mạch bằng cách cập nhật lặp. Kết quả thống kê được thu thập có thể được sử dụng để xác định khi các dải khác nhau của các giá trị LLR xuất hiện.

Bằng cách ví dụ và không giới hạn, mô hình tín hiệu được mô tả nhằm mục đích giải thích. Bộ thu SIC lặp có thể được xem là có bộ lọc lỗi bình phương trung bình nhỏ nhất (Minimum Mean Square Error - MMSE) cho hệ thống MIMO bao gồm M_T anten truyền và M_R anten thu. Theo các kịch bản tiêu biểu, có thể giả định rằng $M_R \geq M_T$. Vector ký tự QAM được truyền có thể được thể hiện là $\mathbf{x} = [x_1, \dots, x_{M_T}]^T$. Tín hiệu thu được được tính theo phương trình dưới đây:

$$\mathbf{y} = \mathbf{H}\mathbf{x} + \mathbf{n} = \sum_{i=1}^{M_T} \mathbf{h}_i x_i + \mathbf{n}, \quad \text{Phương trình 1}$$

Trong phương trình 1, $\mathbf{H} = [\mathbf{h}_1, \dots, \mathbf{h}_{M_T}]$ là ma trận kênh phức $M_R \times M_T$, thành phần $\mathbf{h}_i$ là vector kênh từ anten thứ i truyền đến giàn anten thu, và $\mathbf{n}$ thể hiện i.i.d. vector nhiễu Gauss trắng phức tạp không-trung bình với phương sai đơn vị cho mỗi đầu vào. Nói cách khác, $\mathbf{n} \sim \mathcal{CN}(\mathbf{0}, \mathbf{I})$ và $\mathbf{I}$ là ma trận đồng nhất $M_R \times M_R$. Có thể xem là chuỗi ký tự QAM được gửi từ tất cả các anten truyền được mã hóa đồng thời với một mã kênh. Mô hình thăng giáng khối có thể cũng được xem xét mà trong đó ma trận khuếch đại kênh $\mathbf{H}$ duy trì không đổi cho toàn bộ khối mã.

Nếu các tỷ lệ hợp lệ logarit (LLR) ngoại lai của các bit được mã hóa từ bộ giải mã kênh mềm ở bước lặp trước đó, ước lượng trung bình của ký tự QAM x_i có thể được tính toán, trong đó x_i được thể hiện là $\tilde{x}_i = E\{x_i\}$, $i = 1, \dots, M_T$. Để

nâng cao sự phát hiện ký tự QAM thứ i x_i , SIC có thể được thực hiện cho các ký tự QAM x_j , $j \neq i$. Tín hiệu thu được được tính theo phương trình:

$$\mathbf{y}_i = \mathbf{h}_i x_i + \sum_{j \neq i} \mathbf{h}_j (x_j - \tilde{x}_j) + \mathbf{n}. \quad \text{Phương trình 2}$$

Bộ lọc MMSE tuyến tính có thể sau đó thu được theo:

$$\mathbf{w}_i = (\mathbf{h}_i \mathbf{h}_i^\dagger + \sum_{j \neq i} \tilde{\sigma}_j^2 \mathbf{h}_j \mathbf{h}_j^\dagger + \mathbf{I})^{-1} \mathbf{h}_i, \quad \text{Phương trình 3}$$

Trong phương trình 3, † thể hiện ma trận Hermitian, và $\sum_{j \neq i} \tilde{\sigma}_j^2 \mathbf{h}_j \mathbf{h}_j^\dagger$ là hiệp phương sai của nhiễu còn lại sau khi SIC. Phương trình dưới đây dưới đây được áp dụng:

$$\tilde{\sigma}_j^2 = \text{var} \{x_j - \tilde{x}_j\} = E\{|x_j|^2\} - |\tilde{x}_j|^2. \quad \text{Phương trình 4}$$

Đầu ra việc lọc MMSE-SIC được tính theo:

$$\tilde{x}_i = \mathbf{w}_i^\dagger \mathbf{y}_i. \quad \text{Phương trình 5}$$

Nếu giả thiết rằng $\tilde{x}_i$ là Gauss được phân bố, các LLR cho các bit dân nhị phân mà được ánh xạ đến ký tự QAM x_i có thể thu được. Thông tin bên ngoài có thể sau đó được gửi đến bộ giải mã kênh mềm 124'. Các LLR bên ngoài được đưa ra từ bộ giải mã mềm sau đó được phản hồi như các LLR ưu tiên cho bước lặp tiếp theo của MMSE-SIC. Ban đầu, ước lượng mềm là $\tilde{x}_i = 0$.

Từ những điều nêu trên, có thể thấy được rằng việc ước lượng QAM mềm, $\tilde{x}_i$, và phương sai của ký tự QAM $\tilde{\sigma}_i^2$ được xác định để ước lượng nhiễu còn lại. Ngoài ra, khi việc ước lượng mềm $\tilde{x}_i$ thu được, ước lượng phương sai sử dụng ước lượng mômen cấp hai của ký tự QAM, $E\{|x_j|^2\}$ được xác định.

Tập hợp chòm điểm N-QAM chòm điểm $S_{QAM} = \{s_1, \dots, s_N\}$ có thể được xem xét, với mỗi ký tự được ánh xạ từ dãy nhị phân độ dài J , $b_1, \dots, b_J$, trong đó $J = \log_2 N$ và $b_i \in \{0, 1\}$. Có thể giả định rằng các ký tự QAM là các giá trị nguyên trên các thành phần I và Q, tức là, $2z+1$, $z=0, \pm 1, \dots$ tín hiệu QAM có thể được

chuẩn hóa cho công suất trung bình đơn vị với hệ số tỷ lệ là $\frac{1}{\sqrt{E_N}}$, trong đó E_N là phương sai của các đầu vào QAM. Giả sử các đầu vào có xác suất ngang nhau.

Phương trình 6 được đưa ra:

$$E_N = \frac{1}{N} \sum_{n=1}^N |s_n|^2 = \frac{2}{3}(N-1). \quad \text{Phương trình 6}$$

Nếu LLR λ_i đối với b_i , $i=1, \dots, J$, được ánh xạ đến ký tự QAM $x_{qam} \in S_{QAM}$, ước lượng ký tự mềm hoặc trung bình của x_{qam} có thể được tạo nên như sau:

$$\tilde{x}_{qam} = \sum_{s \in S_{QAM}} s \Pr(x_{qam} = s) = \sum_{n=1}^N s_n \prod_{i=1}^J P_{b_i(s_{n,i})}, \quad \text{Phương trình 7}$$

Trong phương trình 7, $s_{n,i}$ thể hiện bit thứ i trong chuỗi bit độ dài J mà được ánh xạ đến ký tự QAM s_n , $P_{b_i(i)} \triangleq \Pr(b_i = i)$, $i \in \{0, 1\}$, và $P_{b_i(0)} = (e^{-\lambda_i} + 1)^{-1}$, $P_{b_i(1)} = (e^{\lambda_i} + 1)^{-1}$. Có thể thấy được rằng độ phức tạp tổng theo phương trình (7) là $O(N \log N)$.

Đối với QAM cầu phương với ánh xạ vuông góc của các thành phần I và Q, việc ước lượng ký tự QAM có thể được khử ghép cho hai ước lượng điều chế biên độ xung (Pulse-Amplitude Modulation - PAM), được đưa ra như sau:

$$\tilde{x} = \sum_{s \in S_{PAM}} s P_{x(s)} = \sum_{n=1}^{N'} s_n \prod_{i=1}^Q P_{b_i(s_{n,i})}, \quad \text{Phương trình 8}$$

Trong phương trình nêu trên, $N' = \sqrt{N}$, $Q = \frac{J}{2}$, và $s_{n,j}$ là bit thứ i được ánh xạ đến ký tự PAM s_n . Có thể thấy được rằng ước lượng PAM trong phương trình nêu trên yêu cầu QN' các phép tính nhân và $N'-1$ các phép tính cộng. Do đó toàn bộ ước lượng QAM cầu phương cần $2Q\sqrt{N}$ phép tính nhân và $2\sqrt{N}-2$

phép tính cộng. Thứ tự phức tạp sau đó là $O(\sqrt{N} \log N)$, mà thấp hơn so với cách tiếp cận được mô tả trước đó.

Như được nêu trên, sau khi thu nhận ước lượng ký tự mềm, ước lượng phương sai của nhiễu còn lại sau khi SIC trở thành ước lượng mômen cấp hai. Định nghĩa chung về ước lượng mômen cấp hai được đưa ra như sau:

$$\tilde{v}_{qam}^2 \stackrel{\Delta}{=} E\{|x_{qam}|^2\} = \sum_{s \in S_{QAM}} |s|^2 \Pr(x_{qam} = s) = \tilde{v}_I^2 + \tilde{v}_Q^2, \quad \text{Phương trình 9}$$

Trong phương trình nêu trên, $\tilde{v}_I^2 = \sum_{s \in S_{QAM}} s_I^2 \Pr(x_{qam} = s)$ và $\tilde{v}_Q^2 = \sum_{s \in S_{QAM}} s_Q^2 \Pr(x_{qam} = s)$. Ngoài ra, s_I và s_Q thể hiện các giá trị I và Q của ký tự QAM s , tương ứng. Độ phức tạp của việc ước lượng sử dụng biểu thức nêu trên là $O(N \log N)$.

Tương tự đối với ước lượng trung bình, QAM cầu phương có thể được xem xét mà có thể được khử ghép cho hai PAM vuông góc. Giả sử tập hợp chòm điểm N'-PAM $S_{PAM} = \{s_1, \dots, s_{N'}\}$ với $N' = 2^Q$, ước lượng mômen cấp hai cho các ký tự PAM được đưa ra như sau:

$$\tilde{v}_{pam}^2 \stackrel{\Delta}{=} \sum_{n=1}^{2^Q} s_n^2 \Pr(x = s_n). \quad \text{Phương trình 10}$$

Phương trình nêu trên có thể được áp dụng để thu nhận $\tilde{v}_I^2$ và $\tilde{v}_Q^2$ trong phương trình (9) riêng biệt. Độ phức tạp sau đó được làm giảm đến $O(\sqrt{N} \log N)$.

Các biểu thức dùng cho các ước lượng trung bình và phương sai hiệu quả có thể thu được cho cả QAM cầu phương và QAM không cầu phương. QAM cầu phương có thể được xem xét như một ví dụ. Đối với QAM cầu phương, các ước lượng trung bình và phương sai (hoặc mômen cấp hai) mềm có thể được khử ghép thành hai ước lượng PAM. Ánh xạ dựa trên mã Gray phản ánh nhị phân (Binary Reflect Gray Code - BRGC) cũng được xem xét, mà là ánh xạ Gray thông thường cho QAM được sử dụng trong các hệ thống không dây

hiện thời.

Fig.2 thể hiện ví dụ về ký tự 2^Q -PAM với ánh xạ mã Gray. Ước lượng trung bình mềm được đưa ra theo:

$$\tilde{x} = -\sum_{i=1}^Q 2^{Q-i} \prod_{j=1}^i \tanh\left(-\frac{\lambda_j}{2}\right). \quad \text{Phương trình 11}$$

Kết quả nêu trên được suy ra cho các ký tự PAM $2Z+1$ trước khi chuẩn hóa với công suất trung bình đơn vị. Do đó, hệ số tỷ lệ $A_{N-QAM} = \frac{1}{\sqrt{E_N}}$ được áp dụng cho kết quả trong phương trình (11) cho cả các thành phần I và Q dùng cho sự chuẩn hóa QAM. Một vài phương pháp hoặc thủ tục để ước lượng trung bình mềm dựa vào phương trình (11) có thể không đưa ra cấu trúc hiệu quả để điều chế QAM thích ứng.

Kỹ thuật hiệu quả hơn để ước lượng trung bình mềm theo một ví dụ có thể được mô tả bởi:

- Thiết đặt ban đầu $\eta = 0$ và $\xi = 1$.
- Cho $i=1 \dots Q$, cập nhật ξ và η liên tục như sau

$$\xi \leftarrow \xi \cdot \tanh\left(-\frac{\lambda_i}{2}\right), \quad \text{then } \eta \leftarrow 2\eta + \xi. \quad \text{Phương trình 12}$$

- Thu nhận ước lượng mềm PAM là $\tilde{x} = -\eta$ sử dụng sự cập nhật cuối cùng của η .

Theo phương pháp này, sự tính toán và cập nhật η không bao gồm thông số phụ thuộc điều chế 2^{Q-i} . Điều này cho phép thực hiện mạch cho một bước lặp sử dụng lại được cho các cách điều chế khác nhau và/hoặc có thể làm cho việc thực hiện mở rộng được đối với việc điều chế QAM bậc cao hơn. Cách thực hiện ví dụ đối với ước lượng trung bình QAM theo phương pháp nêu trên được minh họa trên Fig.3 trong đó hệ số tỷ lệ $A_N = \frac{1}{\sqrt{E_N}}$ cho N-QAM được áp dụng cuối cùng cho sự chuẩn hóa. Nhận thấy từ Fig.3 rằng đối với các ước

lượng trung bình của các ký tự PAM, tương ứng với thành phần I hoặc Q của QAM cầu phương, một hệ thực hiện mạch có thể được áp dụng cho QAM cầu phương hoặc PAM được ánh xạ mã Gray mà không có sự thay đổi thông số bất kỳ. Có thể có mong muốn đối với các hệ thống truyền thông không dây vì điều chế thích ứng thường được sử dụng để nâng cao hiệu suất thông lượng cho các dao động kênh. Việc thực hiện có thể mở rộng theo các định dạng QAM bậc cao hơn bất kỳ, mà tạo điều kiện cho các thủ tục thực hiện và xác nhận cho mạch tích hợp ứng dụng riêng (ASIC) khi điều biến PAM hoặc QAM bậc cao hơn mới được đưa vào đặc điểm kỹ thuật hệ thống.

Viện dẫn tới Fig.3, phương án được minh họa 400 là mạch đường ống có nhiều đầu ra phân nhánh, QPSK_out, (4x4)QAM_out, (8x8)QAM_out, và (16x16)QAM_out cho các trường hợp tương ứng trong đó kích thước lớn nhất của chòm điểm hình vuông tương ứng của các ký tự lần lượt là, $Q=1$, $Q=2$, $Q=3$ và $Q=4$ của mỗi trong số các kích thước I, Q của sơ đồ pha vuông góc tương ứng. Mạch đường ống được thực hiện nằm trong bộ xử lý tín hiệu 60 theo một phương án của sáng chế. Mạch đường ống có thể được thực hiện toàn bộ hoặc một phần trong hệ mạch thu phát. Mặc dù không được thể hiện các dây có thể tiếp tục bao gồm các trường hợp $Q=5$, $Q=6$ và v.v.. Khác với hệ số chuẩn hóa riêng Q, mạch 400 ứng dụng thiết kế lặp mà tạo ra tích của các đầu ra $\tanh()$ và tổng dựa vào Eta's (η 's) được dịch chuyển về bên trái. Mỗi cập nhật của η là tổng của η được dịch chuyển về bên trái của bước trước đó (tương ứng với hệ số 2η trong quy trình nêu trên) được cộng với các tích của các kết quả $\tanh()$ thu được ở bước hiện thời.

Trên Fig.3, mỗi trong số các bước liên tiếp của quy trình nêu trên có thể xác định một hàng ngang tương ứng cho Q tương ứng mà trong đó, đối với trường hợp của Q1 và bước 1, các giá trị Xi tương ứng (ξ 's) có thể được tạo ra bằng cách áp dụng bit LLR's (λ 's) tương ứng cho khối mạch tạo ra $\tanh(x)$ thứ nhất 412 được lập trình hoặc được tạo cấu hình theo cách khác để tạo ra tín hiệu $\tanh(-\lambda/2)$ tương ứng cho các tín hiệu đầu vào tương ứng. Hàm $\tanh()$ có phạm

vi $1,0 \geq \tanh(x) \geq -1,0$ (và và thực tế hẹp hơn so với phạm vi khi các đầu vào là các giá trị LLR sao cho nó có thể được thực hiện với LUT và/hoặc qua các thiết kế khác bao gồm các thiết kế gần đúng từng phần) và tín hiệu đầu ra của khối mạch thứ nhất 412 do đó thể hiện giá giá trị điểm nổi hoặc điểm cố định trong đó dài mà ở đó tính chính xác và độ chính xác được xác định bằng cách xem xét các mục tiêu thiết kế và không gian mạch khả dụng trên mạch tích hợp nguyên khối tương ứng (không được thể hiện). Các giá trị Eta (η 's) đối với trường hợp của Q1 và bước 1 chỉ đơn giản bằng một lần các giá trị Xi tương ứng (ξ 's) và do đó đây đơn đưa ra các giá trị này để chuẩn hóa, bộ nhân mục đích chung 418 mà thu như một số bị nhân khác nhập vào tín hiệu A_{QPSK} được đánh dấu âm và tạo ra tín hiệu QPSK_out tương ứng để sử dụng tùy ý khi phương pháp điều chế biên độ xung được sử dụng.

Đối với trường hợp Q2 và bước 2, các giá trị Xi tương ứng (ξ 's) có thể được tạo ra bằng cách áp dụng bit LLR's ($(\lambda/2)$'s) tương ứng cho khối mạch tạo ra $\tanh()$ thứ hai 422 được tạo cấu hình để tạo ra tín hiệu $\tanh(-\lambda/2)$ tương ứng cho các tín hiệu đầu vào tương ứng trong đó các tín hiệu sau đó được áp dụng như các số bị nhân thứ nhất cho bộ nhân số thứ hai mục đích chung 425 trong khi các giá trị Xi (ξ 's) của bước 1 được áp dụng như các số bị nhân thứ hai cho cùng bộ nhân số mục đích chung 425. Các đầu ra của bộ nhân số thứ hai 425 được cấp đến bộ cộng số thứ nhất 427. Đầu vào thứ hai của bộ cộng số thứ nhất 427 thu phiên bản đệm 0 và dịch trái (một bit) của các giá trị Eta (η 's) của bước 1 để nhờ đó tạo nên các giá trị Eta (η 's) đối với trường hợp Q2 và bước 2. Mặc dù việc nhân 2 ký tự được thể hiện ở bước 426, cần được hiểu rằng chức năng này có thể được thực hiện với mạch tối thiểu hóa mà dịch chuyển đơn giản các bit thu được của nó vị trí một bit và chèn bit không (zero) đệm ở vị trí bit ít quan trọng nhất (LSB) của đầu ra của nó. Nhìn chung, bộ nhân chuẩn hóa 428 thu các giá trị Eta (η 's) đối với trường hợp Q2 và bước 2 như các đầu vào số bị nhân thứ nhất và thu làm đầu vào số bị nhân khác tín hiệu A_{16QAM} được đánh dấu âm và tạo ra tín hiệu 16QAM_out tương ứng để sử dụng tùy ý khi điều chế biên

độ pha vuông góc 4x4 được sử dụng.

Khi các giá trị Eta (η 's) của bước 1 được nhân với 2 (ví dụ, bởi mạch dịch 426) và sau đó được cấp vào phần bổ sung được thực hiện bởi mạch cộng 427, ý nghĩa của phần bổ sung x2 đó trở nên tương đối quan trọng đối với kết quả bổ sung và ngược lại, ý nghĩa của phần bổ sung tiếp theo theo chuỗi (ví dụ, một phần thu được từ bộ nhân 425) trở nên tương đối ít quan trọng đối với kết quả bổ sung. Ngoài ra, các tích của các bộ nhân 425, 435, 445, v.v. là các tích bằng cách nhân với các giá trị mà đều nhỏ hơn một sao cho khi chuỗi các phép tính nhân tiếp tục, các giá trị tuyệt đối của các tích tiếp tục thu hẹp.

Tương tự, đối với trường hợp Q3 và bước 3, các giá trị Xi tương ứng (ξ 's) có thể được tạo ra bằng cách áp dụng bit LLR's (λ 3's) tương ứng cho khối mạch tạo ra tanh() thứ ba 432 được tạo cấu hình để tạo ra tín hiệu tanh($-\lambda/2$) tương ứng cho các tín hiệu đầu vào tương ứng trong đó các tín hiệu sau đó được áp dụng làm các số bị nhân thứ nhất cho bộ nhân số thứ ba mục đích chung 435 trong khi các giá trị Xi (ξ 's) của bước 2 được áp dụng làm các số bị nhân thứ hai cho cùng bộ nhân số 435. Các đầu ra của bộ nhân số thứ hai 435 được cấp đến bộ cộng số thứ hai 437. Đầu vào thứ hai của bộ cộng số thứ hai 437 thu phiên bản đệm 0 và dịch trái (một bit) của các giá trị Eta (η 's) của bước 2 để nhờ đó tạo nên các giá trị Eta (η 's) đối với trường hợp Q3 và bước 3. Một lần nữa, mặc dù việc nhân 2 ký tự được thể hiện ở khối 436, cần được hiểu rằng chức năng này có thể được thực hiện với mạch tối thiểu hóa mà dịch chuyển đơn giản các bit thu được của nó bằng một bit còn lại và chèn bit 0 (zero) đệm ở vị trí bit ít quan trọng nhất (LSB) của đầu ra của nó. Nhìn chung, bộ nhân chuẩn hóa 438 thu các giá trị Eta (η 's) đối với trường hợp Q3 và bước 3 như các đầu vào số bị nhân thứ nhất và thu làm đầu vào số bị nhân khác tín hiệu A_{64QAM} được đánh dấu âm và tạo ra tín hiệu 64QAM_out tương ứng để sử dụng tùy ý khi điều chế biên độ pha vuông góc 8x8 được sử dụng.

Ngoài ra, và một lần nữa lặp lại kiểu cấu trúc mạch, đối với trường hợp Q4 và bước 4, các giá trị Xi tương ứng (ξ 's) có thể được tạo ra bằng cách áp

dụng bit LLR's (λ_4 's) tương ứng cho khối mạch tạo ra $\tanh()$ thứ ba 442 được tạo cấu hình để tạo ra tín hiệu $\tanh(-\lambda/2)$ tương ứng cho các tín hiệu đầu vào tương ứng trong đó các tín hiệu sau đó được áp dụng làm các số bị nhân thứ nhất cho mục đích chung, bộ nhân số thứ tư 445 trong khi các giá trị Xi đã được tạo ra (ξ 's) của bước 3 được áp dụng làm các số bị nhân thứ hai cho cùng bộ nhân số mục đích chung 445. Các đầu ra của bộ nhân số thứ ba 445 được cấp đến bộ cộng số thứ ba 447. Đầu vào thứ hai của bộ cộng số thứ ba 447 thu phiên bản dịch chuyển trái (một bit) và đệm bit không (zero) của các giá trị Eta đã được tạo ra (η 's) của bước 3 để nhờ đó tạo nên các giá trị Eta (η 's) đối với trường hợp Q4 và bước 4. Một lần nữa, mặc dù việc nhân 2 ký tự được thể hiện ở khối 446, cần được hiểu rằng chức năng này có thể được thực hiện với mạch tối thiểu hóa mà dịch chuyển đơn giản các bit thu được của nó bằng một bit còn lại và chèn bit không (zero) đệm ở vị trí bit ít quan trọng nhất (LSB) của đầu ra của nó. Nhìn chung, bộ nhân chuẩn hóa 448 thu các giá trị Eta (η 's) đối với trường hợp Q4 và bước 4 làm các đầu vào số bị nhân thứ nhất và thu làm đầu vào số bị nhân khác tín hiệu A_{256QAM} được đánh dấu âm và tạo ra tín hiệu 256QAM_out tương ứng để sử dụng tùy ý khi điều chế biên độ pha vuông góc 16x16 được sử dụng.

Như được nêu trên đối với ước lượng phương sai, việc tính toán cho ước lượng mômen cấp hai $\tilde{v}^2$ cho ký tự PAM có thể được thực hiện. Biểu thức hiệu quả có thể được đưa ra trong đó nếu các LLR λ_i , $i=1, \dots, Q$, ước lượng mômen cấp hai $\tilde{v}^2$ cho ký tự 2^Q -PAM bằng ánh xạ Gray có thể được tính toán như sau:

$$\tilde{v}^2 = C_Q + \sum_{i=2}^Q 4^{Q-i+1} \sum_{j=2}^i 2^{i-j} \prod_{k=j}^i \tanh\left(-\frac{\lambda_k}{2}\right), \quad \text{Phương trình 12}$$

Trong phương trình 12, C_Q là hằng số phụ thuộc vào Q và có thể thu được theo phương trình:

$$C_q = 4C_{q-1} + 1, \quad q = 1, \dots, Q, \text{ with } C_0 = 0. \quad \text{Phương trình 13}$$

Việc ước lượng trong phương trình 12 trước khi chuẩn hóa. Sau khi

ước lượng, hệ số chuẩn hóa $\frac{1}{E_N}$ có thể sau đó được áp dụng cho việc điều biến N-QAM.

Các thuật toán khác nhau dựa vào phương trình 12 có thể được sử dụng để thu được ước lượng mômen cấp hai, mà dẫn đến độ phức tạp theo thứ tự của $O((\log N)^2)$. Để làm giảm độ phức tạp tính toán cho thứ tự $O(\log N)$, kỹ thuật có thể được sử dụng, được mô tả theo:

- Thu nhận $\tanh(-\frac{\lambda_i}{2})$, $i=2, \dots, Q$, bởi LUT. Thiết đặt ban đầu $\eta=0$,
 $\zeta = \tanh(-\frac{\lambda_2}{2})$.

- Cho $i=3, \dots, Q$,

- Cập nhật ζ như sau

$$\zeta \leftarrow (2\zeta + 1) \cdot \tanh(-\frac{\lambda_i}{2}).$$

- Cập nhật η theo

$$\eta \leftarrow 4\eta + \zeta.$$

- Thu nhận $red \tilde{v}^2 = 4\eta + C_Q$ sử dụng cập nhật sau cùng của η .

Từ phương pháp nêu trên, có thể thấy được rằng có chỉ một cho vòng lặp được sử dụng thay vì hai như trong một vài cách thực hiện có thể. Độ phức tạp bổ sung được đưa vào là bổ sung +1 khi cập nhật ζ ở mỗi bước lặp. Khả năng mở rộng được minh họa. Với bước lặp khác để cập nhật ζ và η với đầu vào của λ_{Q+1} , việc ước lượng mômen cho 2^{Q+1} -PAM từ kết quả của 2^Q -PAM có thể thu được.

Một cách thực hiện có thể dựa vào kỹ thuật nêu trên được mô tả trên Fig.4. Trên Fig. 4, mạch 600 được minh họa để tạo ra các tín hiệu đầu ra đại diện cho mômen cấp hai được ước lượng để ước lượng cuối cùng các phương sai cho trường hợp (4x4) QAM, (8x8) QAM và (16x16) QAM. Các bộ phận tạo ra

hàm $\tanh(x)$ được minh họa 612, 622, 632 có thể giống như các bộ phận tạo ra hàm $\tanh(x)$ được sử dụng trong các mạch ước lượng trung bình cho các tín hiệu LLR tương ứng. Các cấu trúc mạch lặp được minh họa chẳng hạn như trong khối đứt nét 623 và chẳng hạn như trong khối đứt nét 626 có thể được lặp lại thêm cho các trường hợp liên tiếp tiếp theo $Q=5$, $Q=6$ và v.v.. Việc cập nhật kết quả của Zeta's cho ước lượng phương sai và việc cập nhật kết quả của Eta's cũng cho ước lượng phương sai có thể được ghi lại trong các thanh ghi đường ống chẳng hạn như Reg P" và Reg S" được minh họa. Các bộ cộng chẳng hạn như 627, 637 và 647 đưa ra các hằng số C_q cụ thể cho các giá trị tương ứng của Q .

Mạch ước lượng N-AQM suy rộng có thể được đưa ra bao gồm hệ mạch để xử lý ký tự N-QAM. Mạch ước lượng thông thường dùng cho việc ước lượng được đưa ra, nâng cao thông lượng của dòng dữ liệu thu được, và cũng đơn giản hóa các ký tự logic khi thực hiện các quy trình song song cho nhiều dòng dữ liệu LLR với các định dạng điều chế khác nhau hoặc một dòng được nâng cao song song.

Dựa vào các cách tiếp cận kiến trúc mở rộng được, mạch ước lượng trung bình và phương sai N-QAM suy rộng cho định dạng N-QAM bất kỳ có thể được tạo nên như được thể hiện trên Fig.5. Cách tiếp cận này cho phép các hàm trung bình và phương sai được ảo hóa. Bộ phận điều khiển (không được thể hiện) đưa ra các đầu vào LLR và định dạng QAM và mạch ước lượng suy rộng tính toán và lấy mẫu các đầu ra ước lượng. Mạch ước lượng trên Fig.5 có thể được thực hiện nằm trong bộ xử lý tín hiệu 60 theo một phương án của sáng chế. Mạch ước lượng có thể được thực hiện ở nơi khác nằm trong hệ mạch thu phát, hoặc là toàn bộ hoặc là một phần.

Như được minh họa trên Fig.5, các đầu vào LLR từ dòng dữ liệu được đưa đến cả mạch ước lượng trung bình N-QAM và mạch ước lượng mômen cấp hai N-QAM. Đầu ra của mạch ước lượng trung bình được đưa ra đầu ra của mạch ước lượng N-QAM. Đầu ra này cũng được đưa đến mạch hàm mũ 502 mà tạo ra đầu ra dựa vào việc làm tăng giá trị của ước lượng trung bình theo hệ số

mũ là 2.

Đầu ra của mômen cấp hai mạch ước lượng được đưa ra làm đầu vào cho bộ cộng 504. Bộ cộng cũng thu đầu ra âm (nhân với -1) của mạch hàm mũ. Hai đầu ra được kết hợp bởi bộ cộng và được đưa ra làm đầu ra thứ hai của mạch ước lượng N-QAM đại diện cho ước lượng phương sai.

Fig.6 thể hiện ví dụ được đơn giản hóa sử dụng các mạch ước lượng suy rộng có khả năng tạo ra các ước lượng trung bình và phương sai cho tất cả các định dạng QAM tiềm năng. Trên Fig.6, một ví dụ được thể hiện trong đó bốn mạch ước lượng suy rộng được đưa ra. Thay vì sử dụng sự định tuyến phức tạp, bộ phận điều khiển có thể đơn giản đưa ra các dòng dữ liệu đến bất kỳ một trong số các mạch ước lượng suy rộng khả dụng. Các dòng dữ liệu được đưa ra với chỉ báo của định dạng QAM của chúng mà được ứng dụng bởi mạch ước lượng cho việc điều khiển đầu ra của nó.

Ví dụ được thể hiện trên Fig.6 trong đó hai dòng dữ liệu được thu. Dòng dữ liệu thứ nhất nằm trong định dạng 64-QAM và dòng dữ liệu thứ hai nằm trong định dạng 4-QAM. Đối với dòng dữ liệu thứ hai sử dụng định dạng 4-QAM, hai mạch ước lượng 500-6 và 500-8 được cấp phát và cho dòng dữ liệu thứ nhất theo định dạng 64-QAM, hai mạch ước lượng 500-2 và 500-4 được cấp phát. Bộ phận điều khiển đưa ra dòng dữ liệu thứ nhất đến các mạch ước lượng tương ứng dọc theo ký tự chỉ báo của định dạng 64-QAM và đưa ra dòng dữ liệu thứ hai đến các mạch ước lượng tương ứng dọc theo ký tự chỉ báo cho định dạng 4-QAM.

Trong nhiều ví dụ, các dòng dữ liệu sẽ sử dụng các độ dài khối khác nhau. Để đạt được trễ xử lý giống nhau cho mỗi dòng dữ liệu khi các dòng dữ liệu ứng dụng các độ dài khối khác nhau, bộ phận điều khiển có thể cấp phát số lượng các mạch ước lượng khác nhau cho các dòng dữ liệu khác nhau. Fig.7 thể hiện ví dụ trong đó dòng dữ liệu thứ nhất có độ dài khối thứ nhất và dòng dữ liệu thứ hai có độ dài khối thứ hai, khác với độ dài khối thứ nhất. Trong ví dụ cụ thể, độ dài khối thứ hai cho dòng dữ liệu 4-QAM bằng ba lần kích thước của độ

dài khối thứ nhất cho dòng dữ liệu 64-QAM. Bộ phận điều khiển cấp phát ba mạch ước lượng 500-4, 500-6, 500-8 cho dòng dữ liệu thứ hai và một mạch ước lượng 500-2 cho dòng dữ liệu thứ nhất. Điều này cho phép tính linh hoạt trễ xử lý thích hợp cho các dòng dữ liệu có các độ dài khối khác nhau. Sự cấp phát có thể cũng dựa trên hoặc được xem xét với trễ xử lý của các bộ phận khác, chẳng hạn như bộ phận phát hiện, các lỗi giải mã, khi các quy trình song song được xem xét.

Tính linh hoạt của kiến trúc mạch ước lượng N-QAM suy rộng được minh họa thêm trên Fig.8. Trên Fig.8, một dòng dữ liệu 64-QAM được thu. Bộ phận điều khiển cấp phát tất cả các mạch ước lượng N-QAM khả dụng 500-2, 500-4, 500-6, và 500-8 đến dòng dữ liệu đơn. Theo đó, dòng dữ liệu được phân chia và được xử lý song song bởi bốn mạch ước lượng.

Lưu ý rằng nhiều dòng dữ liệu được xử lý cùng với các mạch ước lượng không cần thiết phải được cùng lập lịch trên cùng các tài nguyên thời gian-tần số. Miễn là nhiều dòng dữ liệu được lập lịch trong cùng các khe thời gian, trạm gốc có thể hoàn thành việc xử lý chúng với cùng ràng buộc trễ. Do đó, các mạch ước lượng N-QAM suy rộng có thể được ứng dụng với sự song song tối đa. Điều này có thể đạt được với ký tự logic đơn giản hơn, linh hoạt hơn, và ít hệ mạch hơn bằng các phương pháp và các cấu trúc được bộc lộ.

Fig.9 là sơ đồ khối sơ lược mô tả ví dụ về hai mạch ước lượng N-QAM suy rộng được tạo cấu hình để xử lý hai dòng dữ liệu đầu vào. Trong ví dụ này, đầu vào thứ nhất dòng dữ liệu là tín hiệu 64-QAM và đầu vào thứ hai dòng dữ liệu là dòng dữ liệu QPSK (4-QAM). Mạch ước lượng N-QAM thứ nhất được cấp phát để xử lý dòng dữ liệu thứ nhất và mạch ước lượng N-QAM thứ hai được cấp phát để xử lý dòng dữ liệu 4-QAM thứ hai.

Theo ví dụ này, mỗi mạch ước lượng N-QAM bao gồm ước lượng trung bình hệ mạch để phù hợp với bậc QAM cao nhất là 256-QAM như được thể hiện trên Fig.3. Với dung lượng 256-QAM, hai dòng dữ liệu có thể được xử lý song song bởi hai mạch ước lượng N-QAM.

Fig.9 còn thể hiện sự ứng dụng của hệ mạch N-QAM khi xử lý dòng dữ liệu 64-QAM và dòng dữ liệu 4-QAM. Khi xử lý dòng dữ liệu thứ nhất ở bậc 64-QAM, mạch ước lượng trung bình N-QAM ứng dụng ba trong số bốn tầng mạch được đưa ra để xử lý dòng dữ liệu đầu vào. Theo đó, một nhánh hoặc tầng của hệ mạch, cụ thể là nhánh dùng cho xử lý 256-QAM không được sử dụng khi xử lý dòng dữ liệu 64-QAM. Hệ mạch tạo nên nhánh 256-QAM duy trì không hoạt động, đại diện cho việc sử dụng không hiệu quả tiềm năng phần cứng khả dụng trong khi xử lý các dòng dữ liệu theo bậc nhất định.

Khi xử lý dòng dữ liệu thứ hai ở bậc 4-QAM (QPSK), mạch ước lượng N-QAM ứng dụng một trong số bốn trạng thái mạch được đưa ra để xử lý dòng dữ liệu đầu vào. Theo đó, ba nhánh hoặc bậc của hệ mạch, cụ thể là các nhánh dùng cho xử lý 16-QAM, 64-QAM, và xử lý 256-QAM không được sử dụng khi xử lý dòng dữ liệu 4-QAM. Hệ mạch tạo nên các nhánh 16-QAM, 64-QAM, và 256-QAM vẫn không hoạt động, đại diện cho việc sử dụng không hiệu quả tiềm năng của phần cứng khả dụng trong khi xử lý các dòng dữ liệu theo bậc nhất định.

Theo một phương án, mạch đơn vị ước lượng (EU) được đưa ra mà được tạo cấu hình để ước lượng trung bình hoặc mômen cấp hai cho các ký tự QAM. Mạch đơn vị ước lượng EU có thể bao gồm mạch ước lượng trung bình (MEU) được đơn vị hóa và/hoặc mạch ước lượng mômen cấp hai (SEU) được đơn vị hóa. Các mạch MEU và SEU thích ứng với các bậc hoặc các định dạng QAM khác nhau. Mỗi mạch được tạo cấu hình để thu hệ số chuẩn hóa QAM biến thiên sao cho mạch có thể xử lý các dòng dữ liệu của các bậc QAM khác nhau. Hệ số chuẩn hóa QAM biến thiên được lựa chọn dựa vào giá trị bộ đếm được kết hợp với số lần lặp cho ước lượng trung bình hoặc phương sai. Mạch MEU tạo ra tín hiệu bao gồm sự biểu diễn của ước lượng trung bình cho dòng dữ liệu QAM. Mạch SEU tạo ra tín hiệu bao gồm sự biểu diễn của ước lượng mômen cấp hai cho dòng dữ liệu QAM.

Mỗi mạch đơn vị ước lượng EU là mạch tháo rời và được ứng dụng

mà cấu hình được để xử lý nhiều bậc của các dòng dữ liệu QAM. Nhiều mạch EU được bố trí với bộ phận điều khiển có khả năng tạo cấu hình và tạo cấu hình lại các mạch EU để xử lý tuần tự và/hoặc song song. Điều này cho phép các mạch EU được tạo cấu hình riêng biệt và/hoặc kết hợp với các mạch EU khác để cung cấp sự xử lý cho bậc QAM cần thiết, cũng như để đạt được các mục đích xử lý cho các dòng dữ liệu có các độ dài khối và quyền ưu tiên khác nhau.

Fig.10 là sơ đồ khối của một phương án của khối đơn vị ước lượng được ảo hóa 550 bao gồm vùng của các mạch MEU 702 và các mạch SEU 712 được ảo hóa. Khối đơn vị 550 có thể được thực hiện nằm trong bộ xử lý tín hiệu 60 theo một phương án của sáng chế. Theo phương án khác, một phần hoặc tất cả các khối đơn vị 550 có thể được thực hiện ở nơi khác nằm trong hệ mạch thu phát. Nhiều mạch đơn vị ước lượng trung bình (MEU) được ảo hóa được nhóm với nhau trong vùng của các mạch MEU được ảo hóa 556. Mỗi mạch MEU được tạo cấu hình như được thể hiện trên các hình vẽ từ Fig.11A đến Fig.11D theo một phương án của sáng chế. Mỗi mạch MEU bao gồm các đầu vào để thu các giá trị Xi, Eta, và các giá trị bộ đếm cũng như dòng các giá trị LLR. Mỗi mạch MEU bao gồm các đầu ra để đưa ra các giá trị Xi, Eta, và các giá trị bộ đếm đầu ra và giá trị ước lượng trung bình 1-D cho 2^{2Q} -QAM. Bộ đếm có thể được thực hiện bên ngoài mạch MEU theo một phương án sao cho các đầu vào và các đầu ra không bao gồm các giá trị bộ đếm. Các mạch MEU có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song.

Nhiều mạch ước lượng mômen cấp hai được ảo hóa SEU được nhóm với nhau trong vùng của các mạch SEU được ảo hóa. Mỗi mạch SEU được tạo cấu hình như được thể hiện trong các hình vẽ từ Fig.14a đến Fig.14c hoặc từ Fig.15a đến Fig.15c theo một phương án của sáng chế. Mỗi mạch SEU bao gồm các đầu vào để thu các giá trị Xi, Eta, và các giá trị bộ đếm cũng như dòng các giá trị LLR. Mỗi mạch bao gồm các đầu ra để đưa ra các giá trị Xi, Eta, và các giá trị bộ đếm đầu ra và giá trị ước lượng trung bình 1-D cho 2^{2Q} -QAM. Như được mô tả trước đó, bộ đếm có thể được thực hiện bên ngoài mạch SEU theo

một phương án sao cho các đầu vào và các đầu ra không bao gồm các giá trị bộ đếm. Theo phương án khác, mạch SEU có thể bao gồm bổ sung a giá trị vô hướng phụ thuộc định dạng QAM Cin. Mạch SEU có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song.

Vùng của các mạch MEU được ảo hóa và vùng của các mạch SEU được ảo hóa được tạo cấu hình bởi mạch điều khiển 554 mà thao tác các vùng để xử lý các dòng dữ liệu đầu vào. Bộ phận điều khiển kết nối các đầu vào LLR với các mạch riêng biệt khi cần cho việc xử lý QAM của dòng dữ liệu đầu vào. Bộ phận điều khiển lấy mẫu đầu ra của một hoặc nhiều mạch ở vị trí thích hợp và ở tốc độ thích hợp cho định dạng QAM cụ thể. Theo một phương án của sáng chế, dung lượng lớn nhất bao gồm ước lượng xử lý trên mỗi lần xử lý đơn vị có thể thu được và được đưa đến bộ lập lịch tác vụ bên ngoài. Bộ lập lịch tác vụ bên ngoài sau đó gửi một hoặc nhiều dòng dữ liệu ở tốc độ dữ liệu nhất định mà được xử lý thích hợp bởi khối ước lượng. Bộ phận điều khiển có thể bao gồm bộ vi điều khiển, bộ vi xử lý, bộ xử lý tín hiệu số, hoặc hệ mạch khác được tạo cấu hình để điều khiển các mạch EU như được mô tả.

Fig.11A là sơ đồ giản lược của mạch EU bao gồm mạch đơn vị ước lượng trung bình được đơn vị hóa (MEU) để tạo ra các tín hiệu đại diện cho ước lượng trung bình cho xử lý QAM theo một phương án của sáng chế. Mạch MEU bao gồm các đầu vào ξ_{in} , η_{in} , và q_{in} , và các đầu ra ξ_{out} , η_{out} , và q_{out} .

Mạch MEU bao gồm đầu vào để thu dòng dữ liệu của các giá trị LLR đầu vào λ và giá trị đầu ra x_{out} mà đưa ra tín hiệu đầu ra bao gồm sự biểu diễn của các giá trị ước lượng trung bình x . Đầu ra là đầu ra QAM suy rộng theo một chiều (1D). Điều này có thể trái ngược với cách thực hiện mạch được minh họa trên Fig.3 trong đó bốn đầu vào được đưa ra để thu các giá trị LLR và bốn đầu ra được bố trí để tạo ra ước lượng trung bình cho bốn bậc QAM khác nhau.

Mạch MEU bao gồm đầu vào ξ_{in} để thu giá trị Xi đầu vào, đầu vào η_{in} để thu giá trị Eta đầu vào, và đầu vào q_{in} để thu giá trị bộ đếm đầu vào. Mạch

MEU bao gồm đầu ra ξ_{out} để đưa ra giá trị Xi đầu ra, đầu ra η_{out} để đưa ra giá trị Eta đầu ra, và giá trị đầu ra q_{out} để đưa ra giá trị bộ đếm đầu ra. Mạch MEU thực hiện các chức năng sau đây để tạo ra các đầu ra ξ_{out} , η_{out} , q_{out} , bao gồm đầu ra ước lượng trung bình $\tilde{x}_{out}$:

$$\xi_{out} = \xi_{in} \cdot \tanh(-\lambda/2),$$

$$\eta_{out} = 2\eta_{in} + \xi_{out},$$

$$q_{out} = q_{in} + 1,$$

$$\tilde{x}_{out} = A_{QAM}(q_{in}) \cdot \eta_{out},$$

$A_{QAM}(q)$ là hệ số chuẩn hóa QAM được tính theo phương trình 14 cho N-QAM ($N = 2^{2q}$):

$$A_{QAM}(q) = \frac{1}{\sqrt{E_N}} = \frac{1}{\sqrt{\frac{2}{3}(2^{2q} - 1)}} \quad \text{Phương trình 14}$$

Theo một phương án của sáng chế, giá trị $A_{QAM}(q)$ có thể được lưu trữ trước trong mạch ước lượng trung bình. Giá trị $A_{QAM}(q)$ có thể được lưu trữ trong bộ nhớ bất khả biến 715 hoặc bộ nhớ khác làm các giá trị hệ số chuẩn hóa QAM phụ thuộc vào giá trị bộ đếm q_{in} đầu vào. Đầu vào và đầu ra thực hiện việc đếm, thu giá trị bộ đếm đầu vào và tạo ra giá trị bộ đếm đầu ra q_{out} . Bằng cách bao gồm q_{in} và q_{out} , mạch MEU đưa ra bộ đếm để ứng dụng bởi mạch MEU, và cũng dùng cho sự lựa chọn tự động hệ số chuẩn hóa $A_{QAM}(q)$. Theo cách khác, bộ đếm có thể được thực hiện bên ngoài mạch MEU. Trong trường hợp như vậy, đầu vào $A_{QAM}(q)$ có thể được đưa đến mạch MEU làm đầu vào thay cho q_{in} để sử dụng trong việc xử lý sau khi lựa chọn bên ngoài dựa vào giá trị bộ đếm. Do đó, mạch MEU có thể thu hệ số chuẩn hóa từ bộ nhớ trong của mạch MEU hoặc làm giá trị hệ số chuẩn hóa đầu vào được đưa đến mạch MEU.

Mạch đơn vị ước lượng bao gồm mạch tạo hàm tanh() 717 có thiết bị đầu cuối đầu vào thứ nhất được tạo cấu hình để thu đầu vào λ . Mạch tạo hàm

$\tanh()$ được tạo cấu hình để tạo ra tín hiệu $\tanh(-\lambda/2)$ đầu ra tương ứng cho giá trị λ đầu vào.

Mạch đơn vị ước lượng bao gồm thành phần mạch Xi 714 được tạo cấu hình để thu giá trị đầu vào ξ_{in} ở đầu vào thứ nhất và giá trị đầu ra $\tanh(-\lambda/2)$ của mạch hàm tiếp tuyến hypebon ở đầu vào thứ hai. Thành phần mạch Xi tạo ra giá trị đầu ra ξ_{out} bằng cách kết hợp giá trị đầu vào ξ_{in} và giá trị đầu ra $\tanh(-\lambda/2)$. Trong ví dụ trên Fig.11A, thành phần mạch Xi bao gồm bộ nhân 705 có thiết bị đầu cuối đầu vào thứ nhất thu giá trị đầu vào ξ_{in} và thiết bị đầu cuối đầu vào thứ hai thu giá trị đầu ra $\tanh(-\lambda/2)$ của mạch hàm tiếp tuyến hypebon 717. Giá trị đầu ra ξ_{out} của bộ nhân 705 được đưa ra làm đầu ra của mạch đơn vị ước lượng và làm đầu vào cho thành phần mạch Eta.

Mạch đơn vị ước lượng bao gồm thành phần mạch Eta 716 được tạo cấu hình để thu giá trị đầu vào η_{in} và giá trị đầu ra ξ_{out} . Thành phần mạch Eta tạo ra giá trị đầu ra η_{out} . Trong ví dụ trên Fig.11A, thành phần mạch Eta bao gồm bộ nhân 707 mà thu giá trị đầu vào η_{in} và tạo ra giá trị cập nhật η . Bộ nhân 707 cũng thu giá trị đầu vào nhân với 2 để tạo ra phiên bản dịch chuyển trái (một bit) và đệm bit không (zero) của các giá trị Eta đầu vào η_{in} . Chức năng này có thể được thực hiện bằng mạch tối thiểu hóa mà dịch chuyển các bit thu được của nó theo vị trí một bit và chèn bit không (zero) đệm ở vị trí bit ít quan trọng nhất (LSB) của đầu ra của nó.

Giá trị η được cập nhật được đưa đến đầu vào của bộ cộng 709. Bộ cộng 709 cũng thu giá trị đầu ra ξ_{out} . Giá trị cập nhật η và giá trị đầu ra ξ_{out} được kết hợp để tạo ra giá trị đầu ra η_{out} . Giá trị đầu ra η_{out} của bộ nhân được đưa ra làm đầu ra 716 của mạch đơn vị ước lượng và làm đầu vào cho thành phần mạch chuẩn hóa.

Mạch MEU bao gồm thành phần mạch chuẩn hóa 718 được tạo cấu hình để thu giá trị đầu vào âm $A_{QAM}(q)$ và giá trị đầu ra η_{out} . Thành phần mạch

chuẩn hóa tạo ra giá trị ước lượng trung bình đầu ra x_{out} . Trong ví dụ trên Fig.11A, thành phần mạch chuẩn hóa bao gồm bộ nhân 711 mà thu giá trị hệ số chuẩn hóa đầu vào âm $A_{QAM}(q)$ và giá trị Eta đầu ra η_{out} và tạo ra giá trị đầu ra ước lượng trung bình x_{out} .

Mạch MEU bao gồm thành phần mạch đếm 720 được tạo cấu hình để thu giá trị bộ đếm đầu vào q_{in} và tạo ra giá trị bộ đếm đầu ra q_{out} . Trong ví dụ trên Fig.11a, thành phần mạch đếm bao gồm bộ cộng 713 mà thu giá trị bộ đếm đầu vào q_{in} và giá trị gia (ví dụ, 1) và tạo ra giá trị bộ đếm đầu ra q_{out} .

Theo một phương án của sáng chế, mạch MEU không thu giá trị bộ đếm đầu vào q_{in} . Thay vào đó, mạch MEU thu giá trị hệ số chuẩn hóa $A_{QAM}(q)$ được xác định bởi hệ mạch ngoại vi. Mạch ngoại vi có thể xác định hệ số chuẩn hóa dựa vào giá trị bộ đếm và tạo ra hệ số chuẩn hóa giá trị $A_{QAM}(q)$ mà sau đó được đưa đến mạch MEU.

Cấu trúc trên Fig.11A bao gồm hàm $\tanh(-\lambda/2)$. Vì hàm $\tanh(-\lambda/2)$ có thể cần cho cả ước lượng trung bình và phương sai, hoặc ước lượng khác, nên nó thể được đưa ra khỏi mạch EU theo một phương án của sáng chế. Trong trường hợp như vậy, đầu vào có thể là giá trị $\tanh(-\lambda/2)$ thay vì λ . Cách thực hiện khác như vậy của mạch đơn vị được thể hiện trên Fig.11B.

Mạch MEU trên Fig.11A hoặc Fig.11B có thể được đặt vào mạch MEU được ảo hóa với đầu vào liên quan đến LLR là λ hoặc $\tanh(-\lambda/2)$ phụ thuộc vào cấu trúc được sử dụng. Fig.11C là sơ đồ khối mô tả sự ảo hóa của mạch ước lượng trung bình được ứng dụng MEU trên Fig.11A hoặc Fig.11B. Như được thể hiện bởi sơ đồ khối, mạch MEU được ảo hóa thu các tín hiệu đầu vào bao gồm các giá trị ξ_{in} , η_{in} , q_{in} , và λ . Nếu đầu ra liên quan đến mạch MEU là $\tanh(-\lambda/2)$, mạch đơn vị được ảo hóa sẽ có đầu vào mà thu $\tanh(-\lambda/2)$ thay cho λ .

Mạch MEU tạo ra các tín hiệu đầu ra bao gồm các giá trị ξ_{out} , η_{out} , q_{out} ,

và $\tilde{x}_{out}$. Các chức năng được đưa ra bởi các thành phần mạch khác nhau được tóm tắt và có thể được xem như là hệ mạch được ảo hóa. Như được mô tả trước đó, các mạch MEU riêng biệt có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song để đưa ra sự xử lý của các dòng dữ liệu đầu vào có các bậc QAM, các độ dài khối, và/hoặc quyền ưu tiên khác nhau.

Fig.11D là sơ đồ khối mô tả hình vẽ tóm tắt khác của một phương án của mạch MEU được ảo hóa. Tập hợp các đầu vào ξ_{in} , η_{in} , q_{in} dùng để thu các giá trị Xi, Eta, và các giá trị bộ đếm đầu vào được thể hiện đều là đầu vào và tập hợp các đầu ra ξ_{out} , η_{out} , và q_{out} để đưa ra các giá trị đầu ra tương ứng được thể hiện tập hợp như một đầu vào. Các đầu ra đưa ra đường tự hồi tiếp cấu hình được. Mạch điều khiển 554 có thể kết nối các đầu ra của mạch MEU đơn đến các đầu vào của nó để đưa ra quy trình xử lý tuần tự theo một phương án của sáng chế. Mạch điều khiển 554 có thể theo cách khác đưa ra tập hợp các đầu ra từ một mạch MEU đến mạch MEU sau đó trong vùng của các mạch để đưa ra sự xử lý song song theo một phương án của sáng chế. Mạch MEU bao gồm đầu vào để thu dòng các giá trị λ hoặc $\tan(\lambda/2)$. Mạch MEU bao gồm đầu ra mà đưa ra tín hiệu bao gồm sự biểu diễn của đầu ra ước lượng trung bình $\tilde{x}_{out}$.

Fig.12 là sơ đồ khối của một phương án của mạch MEU được ảo hóa, mô tả ví dụ về quy trình xử lý tuần tự để tính toán một chiều của ước lượng trung bình QAM. Fig.12 thể hiện các đầu vào ξ_{in} , η_{in} , và q_{in} mà thu các giá trị Xi, Eta, và các giá trị bộ đếm tương ứng cho mỗi thời điểm xử lý đơn vị được thể hiện là $t_1, t_2, \dots, t_{Q-1}$. Ba đầu ra ξ_{out} , η_{out} , q_{out} đưa ra các giá trị đầu ra bao gồm sự biểu diễn tương ứng của các giá trị Xi, Eta, và các giá trị bộ đếm cho mỗi thời điểm xử lý đơn vị bắt đầu ở $t_1, t_2, t_3, \dots$. Theo ví dụ này, các giá trị đầu vào là ξ_{in} , η_{in} , và q_{in} được khởi tạo cho các giá trị 1, 0, và 1, tương ứng, ở các thời điểm $t_0, t_Q, t_{2Q}, \dots$. Các giá trị LLR dùng cho một dòng dữ liệu được gửi liên tục làm đầu vào λ , được đưa ra như sau $\lambda_1^{(k)}, \dots, \lambda_Q^{(k)}$ cho 2^{2Q} -QAM.

Đối với ba đầu ra ξ_{out} , η_{out} , q_{out} , mạch MEU tạo ra các tín hiệu đầu ra

bao gồm sự biểu diễn tương ứng của các giá trị ξ , η , và các giá trị bộ đếm cho mỗi thời điểm xử lý đơn vị bắt đầu ở t_1, t_2, t_3 . Để xử lý tuần tự, ba đầu ra ξ_{out} , η_{out} , q_{out} được tạo cấu hình để được đưa đến ba đầu vào ξ_{in} , η_{in} , và q_{in} sau khi chạy mạch MEU cho mỗi thời điểm xử lý đơn vị $t_1, t_2, \dots, t_{Q-1}$.

Mạch MEU tạo ra cho đầu ra $\tilde{x}_{out}$ tín hiệu đầu ra bao gồm sự biểu diễn của ước lượng trung bình. Sau khi xử lý mạch mỗi Q thời điểm, đầu ra ước lượng $\tilde{x}_{out}$ được lấy mẫu như ước lượng trung bình 1-D thu được. Các giá trị ξ_{in} , η_{in} , và q_{in} được thiết đặt lại với các giá trị ban đầu sau khi mạch MEU lặp lại Q lần, ở các thời điểm $t_0, t_Q, t_{2Q}, \dots$ các giá trị ước lượng trung bình thu được bằng cách lấy mẫu đầu ra ước lượng $\tilde{x}_{out}$ ở các thời điểm $t_0, t_Q, t_{2Q}, \dots$

Fig.13 là sơ đồ khối của một phương án của nhiều mạch MEU được ảo hóa, mô tả ví dụ về xử lý song song để tính toán một chiều của ước lượng trung bình QAM. Đối với ước lượng trung bình 1-D cho tín hiệu 2^{2Q} -QAM, số lượng của các mạch bằng Q có thể được kết nối song song, với các đầu ra ξ_{out} , η_{out} , q_{out} của tập con của các mạch được kết nối đến các đầu vào ξ_{in} , η_{in} , và q_{in} của mạch MEU sau đó theo chuỗi. Đối với mạch cuối cùng của chuỗi, các đầu ra có thể được lấy mẫu ở các khoảng thời gian thích hợp khi cần.

Đối với mạch thứ nhất, các đầu vào ξ_{in} , η_{in} , và q_{in} được thiết đặt đến các giá trị ban đầu 1, 0, và 1, tương ứng. Các đầu vào LLR $\lambda_1, \lambda_2, \dots, \lambda_Q$ được định tuyến đến một mạch tương ứng trong số các mạch được kết nối song song. Bởi vì một mạch MEU lấy đầu ra của mạch MEU theo chuỗi trước đó, có trễ ban đầu trong khi các mạch MEU chờ các mạch MEU trước đó để xử lý. Sau các đơn vị thời gian xử lý Q , việc ước lượng trung bình có thể thu được bằng cách lấy mẫu đầu ra ước lượng $\tilde{x}_{out}$ ở thời điểm t_Q đối với mạch MEU cuối cùng 702-Q theo chuỗi. Tuy nhiên, bởi vì mỗi mạch MEU có thể lấy đầu ra của mạch MEU trước đó ngay lập tức, ước lượng có thể được tạo ra ở MEU thứ Q ở mỗi thời điểm xử lý đơn vị t_{Q+1}, t_{Q+2} sau các đơn vị thời gian xử lý Q ban đầu. Do đó,

xử lý song song có thể là Q lần nhanh hơn so với quy trình xử lý tuần tự với một mạch MEU. Tuy nhiên, nếu quy trình xử lý tuần tự trên Q mạch MEU, công suất xử lý sẽ là như nhau.

Mặc dù các ví dụ rời rạc của quy trình xử lý tuần tự và song song được thể hiện, một phương án bao gồm bước tạo cấu hình vùng của các mạch MEU cho sự kết hợp của quy trình xử lý tuần tự và xử lý song song. Một phần dòng dữ liệu có thể được xử lý liên tục bởi một hoặc nhiều mạch MEU và phần dòng dữ liệu khác có thể được xử lý song song bởi hai hoặc nhiều mạch MEU.

Nhiều mạch MEU có thể cũng được tạo cấu hình cho quy trình xử lý tuần tự và song song hỗn hợp để xử lý một dòng dữ liệu. Fig.14A và Fig.14B đưa ra các ví dụ về xử lý hỗn hợp với sự kết hợp của quy trình xử lý tuần tự và song song. Fig.14A thể hiện một phương án ví dụ bao gồm bước xử lý song song bên ngoài hai mạch đơn vị ước lượng trung bình với mỗi mạch được tạo cấu hình với quy trình xử lý tuần tự bên trong của $Q/2$ đơn vị thời gian xử lý. Như được thể hiện trên Fig. 14A, các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ đếm có thể được khởi tạo trước tiên và các đầu ra của tập con của các mạch sau đó được đưa ra làm các đầu vào đến các mạch của chính chúng để xử lý một số lần như quy trình xử lý tuần tự lặp bên trong trước khi chuyển các đầu ra đến các đầu vào của mạch sau đó cho quy trình xử lý tuần tự lặp bên trong khác. Do đó bên ngoài là xử lý song song. Đối với 2^{2Q} -QAM, giả thiết rằng Q là số chẵn, mỗi mạch MEU được xử lý liên tục cho $Q/2$ lần. Các giá trị ước lượng trung bình thu được bằng cách lấy mẫu đầu ra ở mạch MEU thứ hai ở thời điểm $t_Q, t_{3Q/2}, t_{2Q}, \dots$

Fig.14B thể hiện một phương án ví dụ bao gồm quy trình xử lý tuần tự bên ngoài trên hai mạch đơn vị ước lượng trung bình được tạo cấu hình với xử lý song song bên trong. Trên Fig.14B, các đầu vào chẳng hạn như các giá trị Xi, Eta, và/hoặc các giá trị bộ đếm có thể được khởi tạo trước tiên và các đầu ra của các mạch theo chuỗi thứ nhất được đưa đến các đầu vào của mạch theo chuỗi sau đó, mà tạo nên xử lý song song bên trong. Các đầu ra của mạch thứ hai theo

chuỗi có thể được tạo cấu hình làm các đầu vào đến các mạch theo chuỗi thứ nhất, tạo nên quy trình xử lý tuần tự bên ngoài. Đối với 2^{2Q} -QAM, giả thiết rằng Q là số chẵn, quy trình xử lý song song bên trong với hai mạch MEU xử lý hai đầu vào LLR mỗi lần. Với $Q/2$ lần xử lý tuần tự bên ngoài của hai xử lý song song bên trong, các giá trị ước lượng trung bình thu được bằng cách lấy mẫu đầu ra ở mạch MEU thứ hai ở thời điểm $t_{Q/2+1}, t_{Q+1}, t_{3Q/2+1}, \dots$

Fig.15A là sơ đồ khối sơ lược của mạch ước lượng được đơn vị hóa để tạo ra các tín hiệu bao gồm sự biểu diễn của ước lượng mômen cấp hai cho xử lý QAM theo phương án của sáng chế. Mạch đơn vị ước lượng mômen cấp hai SEU 712 bao gồm các đầu vào $\xi_{in}, \eta_{in}, c_{in}$, và q_{in} , và các đầu ra $\xi_{out}, \eta_{out}, c_{out}, q_{out}$.

Mạch SEU bao gồm đầu vào để thu dòng dữ liệu của các giá trị LLR λ và giá trị đầu ra $\tilde{v}_{out}^2$ để đưa ra tín hiệu đầu ra bao gồm sự biểu diễn của các giá trị $\tilde{v}_{out}^2$ ước lượng mômen cấp hai. Đầu ra là đầu ra QAM suy rộng theo một chiều (1D).

Mạch SEU bao gồm các đầu vào bổ sung bao gồm đầu vào ξ_{in} để thu giá trị đầu vào, đầu vào η_{in} để thu giá trị đầu vào, đầu vào c_{in} để thu giá trị đầu vào c , và đầu vào q_{in} để thu giá trị đầu vào q . Mạch SEU bao gồm đầu ra ξ_{out} để đưa ra giá trị đầu ra ξ , đầu ra η_{out} để đưa ra giá trị đầu ra η , đầu ra c_{out} để đưa ra giá trị đầu ra c , và giá trị đầu ra q_{out} để đưa ra giá trị đầu ra q . Mạch SEU thực hiện các chức năng sau đây để tạo ra các đầu ra $\xi_{out}, \eta_{out}, c_{out}, q_{out}$, bao gồm đầu ra ước lượng mômen cấp hai $\tilde{v}_{out}^2$:

$$\xi_{out} = (2\xi_{in} + 1) \cdot \tanh(-\lambda/2),$$

$$\eta_{out} = 4(\eta_{in} + \xi_{out}),$$

$$c_{out} = 4c_{in} + 1$$

$$q_{out} = q_{in} + 1,$$

$$\tilde{v}_{out}^2 = A_{QAM}^2(q_{in}) \cdot (\eta_{out} + c_{out}),$$

Mạch đơn vị ước lượng bao gồm mạch tạo hàm tanh() 717 có thiết bị đầu cuối đầu vào thứ nhất được tạo cấu hình để thu giá trị đầu vào λ . Mạch tạo hàm tanh() được tạo cấu hình để tạo ra tín hiệu tanh($-\lambda/2$) đầu ra tương ứng cho giá trị λ đầu vào.

Mạch đơn vị ước lượng bao gồm thành phần mạch Xi 730 được tạo cấu hình để thu giá trị đầu vào ξ_{in} ở đầu vào thứ nhất và giá trị tanh($-\lambda/2$) đầu ra của mạch hàm tiếp tuyến hypebon ở đầu vào thứ hai. Thành phần mạch Xi bao gồm bộ nhân 735 mà thu giá trị ξ_{in} đầu vào và tạo ra giá trị ξ cập nhật. Bộ nhân thực hiện việc nhân với 2 để tạo ra phiên bản dịch chuyển trái (một bit) và đệm bit không (zero) của giá trị ξ_{in} đầu vào. Giá trị cập nhật ξ được đưa đến bộ cộng 733 mà tạo ra giá trị tăng ξ . Giá trị tăng ξ và đầu ra tanh($-\lambda/2$) của mạch hàm tiếp tuyến hypebon được kết hợp bởi bộ nhân 731 để tạo ra giá trị đầu ra ξ_{out} . Giá trị đầu ra ξ_{out} của bộ nhân 705 được đưa ra làm đầu ra của mạch đơn vị ước lượng và làm đầu vào cho thành phần mạch Eta.

Mạch đơn vị ước lượng bao gồm thành phần mạch Eta 732 được tạo cấu hình để thu giá trị đầu vào η_{in} và giá trị đầu ra ξ_{out} . Thành phần mạch Eta tạo ra giá trị đầu ra η_{out} . Trong ví dụ trên Fig.15A, thành phần mạch Eta bao gồm bộ cộng 739 mà thu giá trị đầu vào η_{in} và tạo ra giá trị cập nhật η . Giá trị cập nhật η được đưa đến bộ nhân 737 mà cũng thu đầu vào nhân với 4 để tạo ra phiên bản dịch chuyển trái (hai bit) và đệm bit không (zero) của giá trị cập nhật η . Bộ nhân tạo ra giá trị đầu ra η_{out} .

Theo một phương án của sáng chế, mạch SEU thu giá trị vô hướng đầu vào C_{in} mà được xác định bởi hệ mạch ngoại vi như được thể hiện trên Fig.15A. Các mạch ngoại vi có thể xác định giá trị vô hướng dựa vào giá trị bộ đếm và tạo ra giá trị vô hướng đầu vào C_{in} mà sau đó được đưa đến mạch SEU ở thành phần vô hướng 734. Theo ví dụ này, giá trị vô hướng đầu vào C_{in} được đưa đến

bộ nhân 745 mà thực hiện việc nhân với 4 để tạo ra phiên bản dịch chuyển trái (hai bit) và đếm bit không (zero) của giá trị vô hướng đầu vào C_{in} . Giá trị vô hướng được cập nhật được đưa đến bộ cộng 743 mà tạo ra giá trị vô hướng tăng C bằng cách cộng một. Trong trường hợp này, đầu ra của bộ cộng 743 được đưa ra làm đầu ra C_{out} của mạch SEU. Đầu ra C_{out} cũng được đưa đến bộ cộng 741 mà cũng thu giá trị đầu ra η_{out} . Hai giá trị được kết hợp bởi bộ cộng và được đưa đến bộ nhân 747 mà tạo nên một phần của thành phần mạch chuẩn hóa 736.

Thành phần mạch chuẩn hóa 736 được tạo cấu hình để thu giá trị đầu vào $A_{QAM}^2(q_{in})$ và đầu ra của bộ cộng 741 của thành phần mạch vô hướng. Thành phần mạch chuẩn hóa bao gồm bộ nhân 747 mà thu các đầu vào và tạo ra giá trị đầu ra ước lượng mômen cấp hai $\tilde{v}_{out}^2$.

Theo một phương án của sáng chế, giá trị $A_{QAM}^2(q_{in})$ có thể được lưu trữ trước trong mạch ước lượng trung bình. Giá trị $A_{QAM}^2(q_{in})$ có thể được lưu trữ trong bộ nhớ bất khả biến hoặc bộ nhớ 749 khác làm các giá trị hệ số chuẩn hóa QAM phụ thuộc vào giá trị bộ đếm đầu vào q_{in} . Đầu vào và đầu ra thực hiện việc đếm, thu giá trị bộ đếm đầu vào q_{in} và tạo ra và giá trị bộ đếm đầu ra q_{out} . Theo cách khác, bộ đếm có thể được thực hiện bên ngoài mạch đơn vị ước lượng. Trong trường hợp như vậy, đầu vào $A_{QAM}^2(q_{in})$ có thể được đưa đến mạch MEU làm đầu vào thay cho q_{in} để sử dụng trong việc xử lý sau khi lựa chọn bên ngoài dựa vào giá trị bộ đếm. Do đó, mạch MEU có thể thu hệ số chuẩn hóa từ bộ nhớ trong của mạch MEU hoặc dưới dạng giá trị hệ số chuẩn hóa đầu vào được đưa đến mạch MEU

Mạch đơn vị ước lượng bao gồm thành phần mạch đếm 738 được tạo cấu hình để thu giá trị bộ đếm đầu vào q_{in} và tạo ra giá trị bộ đếm đầu ra q_{out} . Trong ví dụ trên Fig.15A, thành phần mạch đếm bao gồm bộ cộng 751 mà thu giá trị bộ đếm đầu vào q_{in} và giá trị gia (ví dụ, 1) và tạo ra giá trị bộ đếm đầu ra q_{out} .

Cấu trúc trên Fig.15A bao gồm hàm $\tanh(-\lambda/2)$. Vì hàm $\tanh(-\lambda/2)$ có thể cần cho cả các ước lượng trung bình và phương sai, hoặc ở ước lượng khác, nên có thể được đưa ra khỏi mạch đơn vị. Sau đó đầu vào sẽ là giá trị của $\tanh(-\lambda/2)$ thay vì λ . Cách thực hiện khác như vậy của mạch đơn vị được thể hiện trên Fig.15.

Fig.15C là sơ đồ khối mô tả sự ảo hóa của mạch đơn vị ước lượng phương sai trên Fig.14A. Như được thể hiện bởi sơ đồ khối, mạch MEU được ảo hóa bao gồm năm đầu vào 750, 752, 754, 756, và 758 để thu các tín hiệu đầu vào λ , ξ_{in} , η_{in} , C_{in} , và q_{in} và bốn đầu ra 772, 774, 776, và 778 để đưa ra các tín hiệu đầu ra $\tilde{v}_{out}^2$, ξ_{out} , η_{out} , C_{out} và q_{out} . Các hàm được đưa ra bởi các thành phần mạch khác nhau được tóm tắt và có thể được xem như là hệ mạch được ảo hóa. Như được mô tả trước đó, các mạch SEU riêng biệt có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song để đưa ra sự xử lý của các dòng dữ liệu đầu vào có các bậc QAM, các độ dài khối, và/hoặc quyền ưu tiên khác nhau.

Mạch SEU trên Fig.15A hoặc 15B có thể được đặt vào mạch SEU được ảo hóa như được thể hiện trên Fig.15C với đầu vào liên quan đến LLR là λ hoặc $\tanh(-\lambda/2)$ phụ thuộc vào cấu trúc được sử dụng trên Fig.15A hoặc Fig.15B. Nếu đầu ra liên quan đến mạch SEU là $\tanh(-\lambda/2)$, mạch đơn vị được ảo hóa sẽ có đầu vào mà thu $\tanh(-\lambda/2)$ thay vì λ .

Fig.16A thể hiện một phương án trong đó mạch SEU xác định giá trị vô hướng đầu vào C_q bởi hệ mạch nằm trong mạch SEU. Giá trị C_q có thể được lưu trữ trong bộ nhớ bất khả biến hoặc bộ nhớ 767 khác làm các giá trị vô hướng phụ thuộc định dạng phụ thuộc vào giá trị bộ đếm đầu vào q_{in} .

Mạch ước lượng bao gồm thành phần mạch vô hướng 734 được tạo cấu hình để thu giá trị bộ đếm đầu vào q_{in} và tạo ra giá trị vô hướng phụ thuộc định dạng QAM C_q . Giá trị của C_q có thể được lưu trữ trong bộ nhớ bất khả biến hoặc bộ nhớ 767 khác làm các giá trị vô hướng phụ thuộc định dạng phụ thuộc vào giá trị bộ đếm đầu vào q_{in} . Thành phần mạch vô hướng bao gồm bộ

cộng 741 mà thu giá trị đầu vào C_q và giá trị đầu ra η_{out} . Bộ cộng tạo ra giá trị vô hướng được cập nhật C mà được đưa đến thành phần mạch chuẩn hóa.

Fig.15B thể hiện một biến thể của phương án trên Fig.16B mà trong đó mạch hàm $\tanh(-\lambda/2)$ 717 được loại bỏ. Giá trị của $\tanh(-\lambda/2)$ có thể được tính toán bởi hệ mạch ngoại vi và được đưa đến mạch SEU như được thể hiện.

Fig.16C là sơ đồ khối mô tả sự ảo hóa của mạch đơn vị ước lượng phương sai trên Fig.16A hoặc Fig.16B. Như được thể hiện bởi sơ đồ khối, mạch MEU được ảo hóa bao gồm bốn đầu vào 756, 754, 756, và 758 để thu các tín hiệu đầu vào λ , ξ_{in} , η_{in} , q_{in} và bốn đầu ra 772, 774, 776, và 778 để đưa ra các tín hiệu đầu ra $\tilde{v}_{out}^2$, ξ_{out} , η_{out} , và q_{out} . Các hàm được đưa ra bởi các thành phần mạch khác nhau được tóm tắt và có thể được xem như là hệ mạch được ảo hóa. Như được mô tả trước đó, các mạch SEU riêng biệt có thể được tạo cấu hình để xử lý tuần tự và/hoặc song song để đưa ra sự xử lý của các dòng dữ liệu đầu vào có các bậc QAM, các độ dài khối, và/hoặc quyền ưu tiên khác nhau.

Fig.17 là sơ đồ khối mô tả hình vẽ tóm tắt khác của một phương án về mạch SEU được ảo hóa. Tập hợp các đầu vào ξ_{in} , η_{in} , q_{in} để thu các giá trị Xi, Eta, và các giá trị bộ đếm đầu vào được thể hiện chung như đầu vào và tập hợp các đầu ra ξ_{out} , η_{out} , và q_{out} để đưa ra các giá trị đầu ra tương ứng được thể hiện chung như một đầu vào. Các đầu ra đưa ra đường tự hồi tiếp cấu hình được. Theo phương án khác, mạch SEU 712 trên Fig.16 có thể bao gồm đầu vào C_{in} và đầu ra C_{out} . Mạch điều khiển 554 có thể tạo cấu hình mạch đơn vị SC bằng cách kết nối các đầu ra của nó đến các đầu vào của nó để đưa ra quy trình xử lý tuần tự theo một phương án của sáng chế. Mạch điều khiển 554 có thể theo cách khác đưa ra tập hợp các đầu ra từ một mạch SEU đến mạch SEU sau đó trong vùng để đưa ra xử lý song song theo một phương án của sáng chế. Mạch SEU bao gồm đầu vào để thu dòng của các giá trị λ hoặc $\tanh(-\lambda/2)$. Mạch SEU bao gồm đầu ra $\tilde{v}_{out}^2$ để đưa ra tín hiệu bao gồm sự biểu diễn của ước lượng mômen cấp hai $\tilde{v}_{out}^2$.

Fig.18 là sơ đồ khối của một phương án của mạch SEU được ảo hóa 712, mô tả ví dụ về quy trình xử lý tuần tự để tính toán một chiều của của ước lượng mômen cấp hai QAM. Fig.16 thể hiện các đầu vào ξ_{in} , η_{in} , và q_{in} mà thu các giá trị Xi, Eta, và các giá trị bộ đếm tương ứng cho mỗi thời điểm xử lý đơn vị t_0, t_1, t_2 , v.v.. Ba đầu ra ξ_{out} , η_{out} , q_{out} tạo ra các tín hiệu đầu ra bao gồm sự biểu diễn tương ứng của các giá trị Xi, Eta, và các giá trị bộ đếm cho mỗi thời điểm xử lý đơn vị bắt đầu ở $t_1, t_2, t_3 \dots$. Theo ví dụ này, các đầu vào ξ_{in} , η_{in} , và q_{in} được khởi tạo cho các giá trị 0, 0, và 1, tương ứng. Các giá trị LLR cho một dòng dữ liệu được gửi liên tục như đầu vào λ , được đưa ra như sau $\lambda_1^{(k)}, \dots, \lambda_Q^{(k)}$ cho 2^{2Q} -QAM.

Đối với ba đầu ra ξ_{out} , η_{out} , q_{out} , mạch SEU tạo ra các tín hiệu đầu ra bao gồm sự biểu diễn tương ứng của các giá trị Xi, Eta, và các giá trị bộ đếm cho mỗi thời điểm xử lý đơn vị bắt đầu ở $t_1, t_2, t_3 \dots$. Để xử lý tuần tự, ba đầu ra ξ_{out} , η_{out} , q_{out} được tạo cấu hình để được đưa đến ba đầu vào ξ_{in} , η_{in} , và q_{in} sau khi chạy mạch SEU cho mỗi thời điểm xử lý đơn vị $t_1, t_2, \dots, t_{Q-2}$.

Mạch SEU tạo ra cho đầu ra $\tilde{v}_{out}^2$, tín hiệu đầu ra bao gồm sự biểu diễn của ước lượng mômen cấp hai. Sau khi xử lý mạch mỗi thời điểm $Q-1$, đầu ra ước lượng $\tilde{v}_{out}^2$ được lấy mẫu như ước lượng mômen cấp hai 1-D thu được. Các giá trị ξ_{in} , η_{in} , và q_{in} được thiết đặt lại với các giá trị ban đầu sau khi mạch SEU lặp lại các thời điểm $Q-1$, ở các thời điểm $t_0, t_{Q-1}, t_{2(Q-1)}, \dots$. Các giá trị ước lượng mômen cấp hai thu được bằng cách lấy mẫu đầu ra ước lượng $\tilde{v}_{out}^2$ ở các thời điểm $t_0, t_{Q-1}, t_{2(Q-1)}, \dots$.

Fig.19 là sơ đồ khối của một phương án của nhiều mạch SEU được ảo hóa 712-1, 712-2...712-Q mô tả ví dụ về xử lý song song để tính toán một chiều của ước lượng mômen cấp hai 2^{2Q} -QAM. Đối với ước lượng mômen cấp hai 1-D cho tín hiệu 2^{2Q} -QAM, số lượng của các mạch bằng Q có thể được kết nối song song, với các đầu ra ξ_{out} , η_{out} , q_{out} của tập con của các mạch được kết nối

đến các đầu vào ξ_{in} , η_{in} , và q_{in} của mạch SEU sau đó theo chuỗi. Đối với mạch cuối cùng 712-Q của chuỗi, các đầu ra có thể được lấy mẫu ở các thời điểm t_{Q-1} , t_Q , t_{Q+1} , $t_{Q+2}\dots$

Đối với mạch thứ nhất 712-1, các đầu vào ξ_{in} , η_{in} , và q_{in} được thiết đặt đến các giá trị ban đầu 0, 0, và 1, tương ứng. Các đầu vào LLR $\lambda_1, \lambda_2, \dots, \lambda_Q$ được định tuyến đến một mạch tương ứng trong số các mạch được kết nối song song. Bởi vì một mạch SEU lấy đầu ra của mạch SEU trước đó theo chuỗi, có trễ ban đầu trong khi các mạch SEU chờ các mạch SEU trước đó để xử lý. Sau các thời điểm xử lý đơn vị $Q-1$, ước lượng mômen cấp hai có thể thu được bằng cách lấy mẫu đầu ra ước lượng $\tilde{v}_{out}^2$ ở thời điểm t_{Q-1} . Tuy nhiên, bởi vì mỗi mạch SEU có thể lấy đầu ra của mạch SEU trước đó ngay lập tức, ước lượng có thể được tạo ra ở các mạch SEU thứ $Q-1$ ở các thời điểm xử lý đơn vị t_{Q-1} , t_Q , t_{Q+1} . Do đó, quy trình xử lý song song có thể nhanh hơn so với quy trình xử lý tuần tự với một mạch đơn vị. Tuy nhiên, nếu quy trình xử lý tuần tự được thực hiện với $Q-1$ mạch đơn vị chẳng hạn, công suất xử lý sẽ là như nhau.

Tương tự như xử lý với các mạch MEU, vùng của các mạch SEU có thể được tạo cấu hình cho quy trình xử lý tuần tự và xử lý song song hỗn hợp để xử lý một dòng dữ liệu.

Fig.20 là lưu đồ mô tả sự xử lý của nhiều dòng dữ liệu sử dụng vùng của các mạch đơn vị ước lượng cấu hình lại được. Ở bước 802, nhiều dòng dữ liệu được thu. Các dòng dữ liệu có thể được thu ở trạm gốc hoặc thiết bị đầu cuối người dùng chẳng hạn như thiết bị di động theo một phương án của sáng chế. Bộ phận điều khiển truy cập mỗi dòng dữ liệu và/hoặc thông tin được kết hợp với dòng dữ liệu.

Bộ phận điều khiển nhận dạng bậc QAM, độ dài khối, và/hoặc quyền ưu tiên cho mỗi dòng dữ liệu ở bước 804. Bậc QAM có thể được xác định từ dòng dữ liệu hoặc thông tin được truyền với dòng dữ liệu. Ví dụ, bộ phận điều khiển có thể xác định xem liệu dòng dữ liệu có là tín hiệu 4-QAM, 16-QAM,

64-QAM hay không chẳng hạn, mặc dù bậc bất kỳ của định dạng QAM có thể được sử dụng. Độ dài khối có thể được xác định từ dòng dữ liệu hoặc thông tin được truyền với dữ liệu. Các dòng dữ liệu khác nhau có thể bao gồm các ký tự nhận dạng quyền ưu tiên nhận dạng các dòng dữ liệu mà có thể lấy quyền ưu tiên trên các dòng dữ liệu khác.

Ở bước 806, bộ phận điều khiển cấp phát tập hợp của các mạch ước lượng đơn vị EU cho mỗi dòng dữ liệu. Tập hợp của các mạch EU có thể bao gồm tập hợp của các mạch MEU hoặc các mạch SEU. Tập hợp của các mạch cho mỗi dòng dữ liệu có thể dựa vào các đặc điểm của dòng dữ liệu tương ứng. Ví dụ, bộ phận điều khiển có thể cấp phát một số lượng lớn các mạch đến tập hợp dùng cho dòng dữ liệu có bậc QAM cao hơn. Bộ phận điều khiển có thể cấp phát một số lượng lớn các mạch đến tập hợp dùng cho dòng dữ liệu có độ dài khối lớn hơn. Bộ phận điều khiển có thể cấp phát một số lượng lớn các mạch đến tập hợp dùng cho dòng dữ liệu có quyền ưu tiên cao hơn. Sự kết hợp của các đặc điểm này có thể cũng được xem xét. Ví dụ, bộ phận điều khiển có thể cấp phát một số lượng lớn các mạch đến tập hợp dùng cho dòng dữ liệu có bậc QAM thấp hơn, nhưng độ dài khối lớn hơn so với dòng dữ liệu khác.

Ở bước 808, bộ phận điều khiển tạo cấu hình các tập hợp của các mạch EU để xử lý tuần tự, xử lý song song, hoặc sự kết hợp của quy trình xử lý tuần tự và song song. Ví dụ bộ phận điều khiển có thể định tuyến các đầu ra của các mạch EU riêng biệt trong tập hợp đến các đầu vào của chúng để xử lý tuần tự. Bộ phận điều khiển có thể định tuyến các đầu ra của tập con của các mạch EU trong tập hợp đến các đầu vào của mạch sau đó EU trong tập hợp để xử lý song song. Ở bước 810, bộ phận điều khiển định tuyến các dòng dữ liệu riêng biệt đến các mạch riêng biệt EU cho tập hợp tương ứng.

Ở bước 812, bộ phận điều khiển xử lý các dòng dữ liệu sử dụng các tập hợp của các mạch EU. Bộ phận điều khiển có thể lấy mẫu các đầu ra của một hoặc nhiều mạch trong tập hợp ở khoảng thời gian thích hợp được thiết lập ở bước 808.

Fig.21 và Fig.22 mô tả các ví dụ về việc xử lý nhiều dòng sử dụng quy trình xử lý tuần tự và song song. Fig.21 và Fig.22 là các ví dụ về việc xử lý mà có thể được thực hiện sử dụng việc xử lý trên Fig.20. Fig.21 là sơ đồ khối mô tả vùng của các mạch MEU được ảo hóa 702-1, ...702-8, mô tả ví dụ về việc xử lý hai dòng dữ liệu như đã trình bày trước đó. Mặc dù ví dụ cụ thể được thể hiện đối với ước lượng trung bình sử dụng các mạch MEU, nhưng cần được hiểu rằng các khái niệm áp dụng như nhau cho ước lượng mômen cấp hai sử dụng các mạch SEU như được mô tả trước đó. Dòng dữ liệu thứ nhất là dòng dữ liệu 64-QAM của tín hiệu LLR x_n . Dòng dữ liệu thứ hai là dòng dữ liệu 4-QAM của tín hiệu LLR x_n . Các dòng dữ liệu và các định dạng QAM (các bậc) này được thể hiện chỉ nhằm mục đích giải thích, các nguyên lý được mô tả mở rộng tương đương với các định dạng QAM và các dòng dữ liệu khác.

Theo ví dụ này, Giả thiết rằng vùng bao gồm tám mạch MEU, tuy nhiên vùng có thể bao gồm một vài hoặc nhiều hơn tám mạch MC. Lưu ý rằng chỉ vùng của các mạch MEU được thể hiện, tuy nhiên bộ phận điều khiển như được mô tả trước đó được bố trí để tạo cấu hình các mạch dùng cho sự xử lý thích hợp như được mô tả.

Bộ phận điều khiển tạo cấu hình vùng của các mạch MEU để xử lý tuần tự trong ví dụ trên Fig.21. Bộ phận điều khiển cấp phát tập hợp thứ nhất của sáu mạch MEU 702-1, 702-2, ... 702-6 để xử lý dòng dữ liệu với 64-QAM và tập hợp thứ hai của hai mạch MEU 702-7, 702-8 để xử lý dòng dữ liệu với 4-QAM hoặc QPSK. Bộ phận điều khiển có thể cấp phát tám mạch MEU theo cách này để đạt được trễ xử lý giống hoặc tương tự và để cực đại hóa các tốc độ xử lý đầu ra.

Để xử lý dòng dữ liệu thứ nhất với 64-QAM, bộ phận điều khiển chia dòng dữ liệu thứ nhất thành sáu phần ($X_{6n}, X_{6n+1}; X_{6n+2}; X_{6n+3}; X_{6n+4}; X_{6n+5}$) dựa vào sự phân chia ký tự QAM. Các LLR cho các ký tự 64-QAM x_{6n} được gán cho một mạch đơn vị 702-1, các LLR cho các ký tự 64-QAM x_{6n+1} được gán cho mạch đơn vị khác 702-2, các LLR cho các ký tự 64-QAM x_{6n+2} được gán cho

mạch đơn vị 702-3, các LLR cho các ký tự 64-QAM x_{6n+3} được gán cho mạch đơn vị 702-4, các LLR cho các ký tự 64-QAM x_{6n+4} được gán cho mạch đơn vị 702-5, các LLR cho các ký tự 64-QAM x_{6n+5} được gán cho mạch đơn vị 702-6.

Đối với 64-QAM, mỗi mạch MEU của tập hợp thứ nhất xử lý ba lần với các đầu vào LLR là λ_i , trong đó $i=1, \dots, 3$ của thành phần I hoặc Q thành phần để tạo ra ước lượng trung bình một chiều của QAM. Do đó bộ phận điều khiển tạo cấu hình mẫu của các đầu ra ở thời điểm $t_3, t_6, \dots$, ở mỗi mạch. Bộ phận điều khiển thiết đặt đường dẫn phản hồi cấu hình được cho mạch MEU thứ nhất 702-1 cho tập hợp sáu mạch để thu các giá trị ban đầu ξ, η , và q . Bộ phận điều khiển thiết đặt đường dẫn phản hồi cấu hình được của mỗi mạch MEU khác của tập hợp thứ nhất để thu các giá trị đầu ra ξ, η , và q của chính nó.

Để xử lý dòng dữ liệu thứ hai với 4-QAM, bộ phận điều khiển chia dòng dữ liệu thứ hai thành hai phần (x_{2n} ; và x_{2n+1}) dựa vào sự phân chia ký tự QAM. Các LLR cho các ký tự 4-QAM x_{2n} được gán cho một mạch 702-7, và các LLR cho các ký tự 4-QAM x_{2n+1} được gán cho mạch 702-8 khác.

Đối với 4-QAM, mỗi Mạch MEU của tập hợp thứ hai xử lý một lần với các đầu vào LLR λ_i , trong đó $i = 1$ của thành phần I hoặc Q để tạo ra ước lượng trung bình một chiều của ký tự QAM. Do đó bộ phận điều khiển tạo cấu hình mẫu của các đầu ra ở thời điểm $t_3, t_6, \dots$, ở mỗi mạch. Bộ phận điều khiển thiết đặt đường dẫn phản hồi cấu hình được cho mạch MEU thứ nhất cho tập hợp thứ nhất và tập hợp thứ hai để thu các giá trị ban đầu ξ, η , và q .

Nhìn chung, công suất xử lý trong ví dụ này bao gồm sáu ước lượng 1-D 64-QAM và sáu ước lượng 1-D 4-QAM trong ba đơn vị thời gian xử lý. Theo đó, trung bình là hai ước lượng 1-D 64-QAM và hai ước lượng 1-D 4-QAM trong mỗi thời điểm xử lý đơn vị. Đối với cách tiếp cận trước đó được thể hiện trên Fig.10, công suất xử lý là 1 ước lượng 1-D 64-QAM và 1 ước lượng 1-D 4-QAM trong mỗi thời điểm xử lý đơn vị. Do đó, phương pháp tuần tự với vùng

của các mạch MEU được ảo hóa làm tăng gấp đôi công suất xử lý. Để xử lý tuần tự, dữ liệu được xử lý trong một mạch và sự trao đổi thông tin giữa các mạch là không cần thiết. Tốc độ lấy mẫu đầu ra được làm thích ứng cho các định dạng QAM khác nhau.

Fig.22 là sơ đồ khối mô tả vùng của các mạch MEU được ảo hóa, mô tả ví dụ về sự xử lý song song hai dòng dữ liệu được trình bày trước đó. Bộ phận điều khiển tạo cấu hình vùng của các mạch MEU để xử lý song song trong ví dụ trên Fig.22. Bộ phận điều khiển cấp phát tập hợp thứ nhất của sáu mạch MEU để xử lý dòng dữ liệu với 64-QAM và tập hợp thứ hai của hai mạch MEU để xử lý dòng dữ liệu với 4-QAM hoặc QPSK. Bộ phận điều khiển có thể cấp phát tám mạch MEU theo cách này để đạt được trễ xử lý giống hoặc tương tự và để cực đại hóa các tốc độ xử lý đầu ra.

Để xử lý dòng dữ liệu thứ nhất với 64-QAM, bộ phận điều khiển tạo cấu hình tập hợp thứ nhất của các mạch MEU thành hai tập con của ba mạch MEU. Tập con thứ nhất bao gồm các mạch 702-1, 702-2, 702-3 và tập con thứ hai bao gồm các mạch 702-4, 702-5, 702-6. Mỗi chuỗi của ba mạch MEU có thể xử lý một ước lượng một chiều của ký tự 64-QAM bằng cách lấy các đầu ra của một mạch sang các đầu vào của mạch khác. Các LLR λ_i của bit b_i được gửi cho cùng mạch trên Fig.22. Các ước lượng được tập hợp ở mạch thứ ba (702-3 và 702-6) của cả hai tập con, với đầu vào là λ_3 của bit b_3 trong mỗi thời điểm xử lý đơn vị bắt đầu ở thời điểm t_3 .

Đối với dòng dữ liệu 4-QAM, tập hợp đầu ra của quy trình và ước lượng là giống như trong cách tiếp cận xử lý tuần tự, vì bộ phận điều khiển chỉ cần một mạch và một thời điểm xử lý đơn vị trong mạch để tạo ra một đầu ra ước lượng. Do đó, với xử lý song song, hai ước lượng 1-D 64-QAM và hai ước lượng 1-D 4-QAM được tạo ra ở mỗi thời điểm xử lý đơn vị, mà là giống như với cách tiếp cận xử lý tuần tự. Với xử lý song song, tốc độ lấy mẫu đầu ra có thể được đơn giản hóa. Các liên kết giữa các mạch được đưa ra, và sự lấy mẫu đầu ra được chuyển mạch đến mạch thích hợp dựa vào định dạng QAM.

Ví dụ nêu trên sử dụng ước lượng 1-D cho ký tự QAM làm các ví dụ vì việc xử lý các thành phần I và Q của QAM cầu phương là giống nhau. Cũng rất đơn giản để mở rộng các quy trình sang ước lượng mômen cấp hai với vùng của các mạch MEU được ảo hóa ν .

Fig.23 là sơ đồ khối mô tả thiết bị (ví dụ, bộ thu) 200 hoặc thiết bị tính toán khác theo một phương án của sáng chế. Bộ thu 200 bao gồm bộ thu dòng dữ liệu 202, một hoặc nhiều mạch đơn vị ước lượng EU các vùng 206, và bộ phận tạo cấu hình mạch 208. Bộ thu dòng dữ liệu 202 là một ví dụ về phương tiện thu dòng dữ liệu như được mô tả. Bộ thu dòng dữ liệu 202 được tạo cấu hình để thu các dòng dữ liệu, bao gồm nhiều dòng dữ liệu của các bậc QAM, các độ dài khối, và/hoặc quyền ưu tiên khác nhau. Bộ thu dòng dữ liệu 202 có thể bao gồm hoặc được tạo nên như một phần của mạch điều khiển 554 theo một phương án của sáng chế. Bộ thu dòng dữ liệu 202 có thể bao gồm hệ mạch được tạo cấu hình riêng để thu các dòng dữ liệu trong một ví dụ. Bộ thu dòng dữ liệu 202 có thể bao gồm phần cứng, phần mềm, hoặc sự kết hợp của phần cứng và phần mềm.

Các vùng mạch EU 206 là một ví dụ về phương tiện dùng để lưu trữ hoặc tập hợp phương tiện mạch hoặc các mạch riêng biệt. Vùng mạch EU 206 có thể bao gồm vùng của các mạch MEU hoặc SEU, hoặc cả hai. Vùng của các mạch MEU và/hoặc SEU có thể bao gồm phần cứng, phần mềm, hoặc sự kết hợp của phần cứng và phần mềm.

Bộ cấp phát vùng 204 là một ví dụ về phương tiện cấp phát vùng như được mô tả. Bộ cấp phát vùng 204 được tạo cấu hình để cấp phát các mạch EU nằm trong một hoặc nhiều vùng 206. Bộ cấp phát vùng 204 có thể cấp phát các mạch dựa vào các dòng dữ liệu được thu, bao gồm các bậc QAM, các độ dài khối, và/hoặc quyền ưu tiên của chúng. Bộ cấp phát vùng 204 có thể bao gồm hoặc được tạo nên như một phần của mạch điều khiển 554 theo một phương án của sáng chế. Bộ cấp phát vùng 204 có thể bao gồm hệ mạch được tạo cấu hình riêng để cấp phát các mạch trong một ví dụ. Bộ cấp phát vùng 204 có thể bao

gồm phần cứng, phần mềm, hoặc sự kết hợp của phần cứng và phần mềm.

Bộ phận tạo cấu hình mạch 208 là một ví dụ về phương tiện tạo cấu hình mạch như được mô tả. Bộ phận tạo cấu hình mạch 208 tạo cấu hình các mạch EU nằm trong một hoặc nhiều vùng 206. Bộ phận tạo cấu hình mạch 208 có thể tạo cấu hình các mạch để xử lý tuần tự và/hoặc song song. Bộ phận tạo cấu hình mạch 208 có thể bao gồm hoặc được tạo nên như một phần của mạch điều khiển 554 theo một phương án của sáng chế. Bộ phận tạo cấu hình mạch 208 có thể bao gồm hệ mạch chuyên dụng để tạo cấu hình các mạch EU theo một phương án của sáng chế. Bộ phận tạo cấu hình mạch 208 có thể bao gồm phần cứng, phần mềm, hoặc sự kết hợp của phần cứng và phần mềm.

Fig.24 là sơ đồ khối mức cao của hệ thống tính toán 70 mà có thể được sử dụng để thực hiện bất kỳ trong số các thiết bị tính toán được mô tả ở đây, chẳng hạn như thiết bị người dùng và các trạm gốc. Hệ thống tính toán trên Fig.24 bao gồm bộ xử lý 80, bộ nhớ 82, thiết bị lưu trữ khối 84, các thiết bị ngoại vi 86, các thiết bị đầu ra 88, các thiết bị đầu vào 90, bộ nhớ di động 92, và hệ thống hiển thị 94. Các thiết bị tính toán như được mô tả ở đây có thể bao gồm ít hơn hoặc nhiều hơn các thành phần so với các thành phần được mô tả. Ví dụ, trạm gốc có thể không bao gồm các thiết bị ngoại vi 86, v.v.. Nhằm để đơn giản, các thành phần được thể hiện trên Fig.24 được mô tả như được kết nối qua một kênh truyền 96. Tuy nhiên, các thành phần có thể được kết nối qua một hoặc nhiều phương tiện vận chuyển dữ liệu. Theo cách khác, bộ xử lý 80 và bộ nhớ 82 có thể được kết nối qua kênh truyền vi xử lý cục bộ, và thiết bị lưu trữ khối 84, thiết bị ngoại vi 86, bộ nhớ di động 92 và hệ thống hiển thị 94 có thể được kết nối qua một hoặc nhiều kênh truyền đầu vào/đầu ra.

Theo một phương án của sáng chế, hệ thống bao gồm phương tiện thu để thu một hoặc nhiều tín hiệu đầu vào và phương tiện chuyển đổi để chuyển đổi một hoặc nhiều tín hiệu đầu vào thành tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và tín hiệu QAM thứ hai. Hệ thống còn bao gồm phương tiện tạo ra LLR để tạo ra dòng dữ liệu thứ nhất của các giá trị tỷ lệ hợp lệ logarit

(LLR) được kết hợp với tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và dòng dữ liệu thứ hai của các giá trị LLR được kết hợp với tín hiệu QAM thứ hai. Hệ thống còn bao gồm phương tiện ước lượng để cấp phát từ vùng của các mạch ước lượng được tạo cấu hình để tạo ra sự biểu diễn của các ước lượng trung bình hoặc các ước lượng mômen cấp hai cho các tín hiệu QAM, tập hợp thứ nhất của các mạch ước lượng cho tín hiệu QAM thứ nhất và tập hợp thứ hai của các mạch ước lượng cho tín hiệu QAM thứ hai, mỗi mạch ước lượng bao gồm một tập hợp các đầu vào và một tập hợp các đầu ra được kết hợp với các giá trị Eta và Xi cho các ước lượng trung bình hoặc mômen cấp hai. Ngoài ra, phương tiện tạo cấu hình dùng để tạo cấu hình tập hợp thứ nhất của các mạch ước lượng để xử lý tuần tự, xử lý song song, hoặc kết hợp quy trình xử lý tuần tự và song song bằng cách đưa ra tập hợp các đầu ra đến mỗi mạch ước lượng đến tập hợp các đầu vào cho mỗi mạch ước lượng này. Theo một phương án của sáng chế, phương tiện tạo cấu hình còn bao gồm bộ phận tạo cấu hình để tạo cấu hình tập hợp thứ hai của các mạch ước lượng để xử lý tuần tự, xử lý song song, hoặc sự kết hợp của quy trình xử lý tuần tự và song song bằng cách đưa ra tập hợp các đầu ra đến tập con của các mạch ước lượng của tập hợp thứ hai đến các mạch ước lượng khác nhau của tập hợp thứ hai.

Bộ xử lý 80 có thể chứa một bộ vi xử lý, hoặc có thể chứa nhiều bộ vi xử lý để tạo cấu hình hệ thống máy tính làm hệ thống đa xử lý. Bộ nhớ 82 lưu trữ các lệnh và dữ liệu để lập trình bộ xử lý 80 để thực hiện kỹ thuật được mô tả ở đây. Theo một phương án của sáng chế, bộ nhớ 82 có thể bao gồm các bộ nhớ truy cập ngẫu nhiên động, bộ nhớ đệm tốc độ cao, bộ nhớ chớp, bộ nhớ bất khả biến khác, và/hoặc các thành phần lưu trữ khác. Thiết bị lưu trữ khối 84, mà có thể được thực hiện bằng ổ đĩa từ hoặc ổ đĩa quang, là thiết bị lưu trữ bất khả biến để lưu trữ dữ liệu và mã. Theo một phương án của sáng chế, thiết bị lưu trữ khối 84 lưu trữ hệ thống phần mềm mà lập trình bộ xử lý 80 để thực hiện kỹ thuật được mô tả ở đây. Thiết bị bộ nhớ di động 92 hoạt động kết hợp với vật ghi bất khả biến di động, chẳng hạn như đĩa mềm, CD-RW, ổ/thẻ nhớ chớp, v.v., để nhập vào và xuất ra dữ liệu và mã đến và từ hệ thống tính toán trên Fig.10. Theo

một phương án của sáng chế, hệ thống phần mềm để thực hiện các phương án được lưu trữ trên phương tiện di động như vậy, và được đưa đến hệ thống máy tính qua bộ nhớ di động 92.

Các thiết bị ngoại vi 86 có thể bao gồm loại thiết bị hỗ trợ máy tính bất kỳ, chẳng hạn như giao diện đầu vào/đầu ra, để bổ sung chức năng bổ sung cho hệ thống máy tính. Ví dụ, các thiết bị ngoại vi 86 có thể bao gồm một hoặc nhiều giao diện mạng để kết nối hệ thống máy tính với một hoặc nhiều mạng, môdem, bộ định tuyến, thiết bị truyền thông không dây, v.v.. Các thiết bị đầu vào 90 đưa ra một phần của giao diện người dùng, và có thể bao gồm bàn phím hoặc thiết bị trỏ (ví dụ chuột, bóng điều khiển, v.v.). Để hiển thị thông tin văn bản và đồ họa, hệ thống tính toán sẽ (tùy chọn) có hệ thống hiển thị đầu ra 94, mà có thể bao gồm các video và màn hình. Các thiết bị đầu ra 88 có thể bao gồm loa, máy in, các giao diện mạng, v.v.. Hệ thống 100 có thể cũng chứa (các) kết nối truyền thông 98 mà cho phép thiết bị truyền thông với các thiết bị khác qua mạng nối dây hoặc không dây. Các ví dụ về các kết nối truyền thông bao gồm các mạng dùng cho các kết nối LAN, các mạng không dây, các môdem, v.v.. (Các) kết nối truyền thông có thể bao gồm phần cứng và/hoặc phần mềm cho phép sự truyền thông sử dụng các giao thức chẳng hạn như DNS, TCP/IP, UDP/IP, và HTTP/HTTPS, cùng với các giao thức khác.

Các thành phần được mô tả trong hệ thống tính toán trên Fig.24 là các thành phần thường được tìm thấy trong các hệ thống tính toán phù hợp cho việc sử dụng với kỹ thuật được mô tả ở đây, và được nhằm để thể hiện một danh mục lớn các thành phần máy tính như vậy mà đã được biết đến trong lĩnh vực kỹ thuật. Nhiều cấu hình kênh truyền, các nền mạng, và các hệ điều hành khác nhau có thể được sử dụng.

Kỹ thuật được mô tả ở đây có thể được thực hiện sử dụng phần cứng, phần mềm, hoặc sự kết hợp của cả phần cứng và phần mềm. Phần mềm được sử dụng được lưu trữ trên một hoặc nhiều thiết bị lưu trữ đọc được bởi bộ xử lý nêu trên (ví dụ, bộ nhớ 82, bộ nhớ khối 84 hoặc bộ nhớ di động 92) để lập trình một

hoặc nhiều bộ xử lý để thực hiện các chức năng được mô tả ở đây. Các thiết bị lưu trữ đọc được bởi bộ xử lý có thể bao gồm phương tiện đọc được bởi máy tính chẳng hạn như phương tiện khả biến và bất khả biến, phương tiện tháo lắp được và không tháo lắp được. Bằng cách ví dụ, và không giới hạn, phương tiện đọc được bởi máy tính có thể bao gồm phương tiện lưu trữ đọc được bằng máy tính và phương tiện truyền thông. Phương tiện lưu trữ đọc được bằng máy tính là phương tiện lâu dài và có thể được thực hiện theo phương pháp hoặc kỹ thuật bất kỳ để lưu trữ thông tin chẳng hạn như các lệnh đọc được bởi máy tính, các cấu trúc dữ liệu, các môđun chương trình hoặc dữ liệu khác. Các ví dụ về phương tiện lưu trữ đọc được bằng máy tính bao gồm RAM, ROM, EEPROM, bộ nhớ chớp hoặc kỹ thuật bộ nhớ khác, CD-ROM, đĩa đa năng số (Digital Versatile Disks - DVD) hoặc bộ nhớ đĩa quang khác, băng cátxét từ, băng từ, bộ nhớ đĩa từ hoặc các thiết bị lưu trữ từ khác, hoặc phương tiện khác bất kỳ mà có thể được sử dụng để lưu trữ thông tin mong muốn và có thể được truy cập bởi máy tính. Phương tiện truyền thông thường bao gồm các lệnh đọc được bởi máy tính, các cấu trúc dữ liệu, các môđun chương trình hoặc dữ liệu khác trong tín hiệu dữ liệu được điều chế chẳng hạn như sóng mang hoặc cơ chế vận chuyển khác và bao gồm phương tiện vận chuyển thông tin bất kỳ. Thuật ngữ “tín hiệu dữ liệu được điều chế” có nghĩa là tín hiệu có một hoặc nhiều các đặc tính được thiết đặt hoặc được thay đổi theo cách chẳng hạn như để mã hóa thông tin trong tín hiệu. Bằng cách ví dụ, và không giới hạn, phương tiện truyền thông bao gồm phương tiện nối dây chẳng hạn như mạng nối dây hoặc kết nối nối dây trực tiếp, và phương tiện không dây chẳng hạn như RF và phương tiện không dây khác. Sự kết hợp của bất kỳ trong số các phương tiện nêu trên cũng được bao gồm trong phạm vi của phương tiện đọc được bởi máy tính.

Theo các phương án khác, một vài hoặc tất cả phần mềm có thể được thay thế bằng phần cứng chuyên dụng bao gồm các mạch tích hợp tùy chỉnh, các mảng cổng, các FPGA, các PLD, và các máy tính chuyên dụng. Theo một phương án của sáng chế, phần mềm (được lưu trữ trên thiết bị lưu trữ) thực hiện một hoặc nhiều phương án được sử dụng để lập trình một hoặc nhiều bộ xử lý.

Một hoặc nhiều bộ xử lý có thể truyền thông với một hoặc nhiều phương tiện đọc được bởi máy tính/thiết bị lưu trữ, các thiết bị ngoại vi và/hoặc các giao diện truyền thông. Theo các phương án khác, một vài hoặc tất cả phần mềm có thể được thay thế bằng phần cứng chuyên dụng bao gồm các mạch tích hợp tùy chỉnh, các mảng cổng, các FPGA, các PLD, và các máy tính chuyên dụng.

Phần mô tả chi tiết nêu trên đã được đưa ra nhằm mục đích minh họa và mô tả. Phần mô tả này không nhằm thể hiện hết mọi khía cạnh hoặc giới hạn đối tượng yêu cầu bảo hộ ở đây ở (các) dạng chính xác được bộc lộ. Nhiều cải biến và thay đổi là có thể theo phần mô tả nêu trên. Các phương án được mô tả được chọn để giải thích tốt nhất các nguyên lý của kỹ thuật được bộc lộ và ứng dụng thực tế của nó nhờ đó cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật ứng dụng tốt nhất kỹ thuật trong các phương án khác nhau và với các cải biến khác nhau phù hợp với việc sử dụng cụ thể được tính đến. Do đó, phạm vi của sáng chế được xác định bởi các điểm yêu cầu bảo hộ kèm theo đây.

YÊU CẦU BẢO HỘ

1. Thiết bị truyền thông, bao gồm:

cơ cấu truyền thông có cấu trúc để chuyển đổi các tín hiệu đầu vào thành các tín hiệu băng gốc để xử lý số;

bộ xử lý tín hiệu có cấu trúc để tạo ra từ ít nhất một tín hiệu băng gốc, dòng của các giá trị tỷ lệ hợp lệ logarit, bộ xử lý tín hiệu bao gồm các mạch ước lượng có cấu trúc để tạo ra các biểu diễn của các ước lượng trung bình hoặc mômen cấp hai đối với điều chế biên độ pha vuông góc (QAM-quadrature amplitude modulation) dựa trên dòng của các giá trị tỷ lệ hợp lệ logarit, mỗi mạch ước lượng bao gồm tập hợp của các đầu vào và tập hợp của các đầu ra được kết hợp với các giá trị Eta và Xi được sử dụng trong các mạch ước lượng đối với các ước lượng trung bình hoặc mômen cấp hai; và

bộ xử lý tín hiệu bao gồm mạch điều khiển được ghép nối tới các mạch ước lượng, mạch điều khiển có cấu trúc để chuyển đổi luân phiên các mạch ước lượng giữa xử lý nối tiếp và song song của các ước lượng trung bình, mạch điều khiển có cấu trúc để cấp tập hợp của các đầu ra của mỗi mạch ước lượng tới tập hợp đầu vào của mỗi mạch ước lượng nêu trên để xử lý song song, mạch điều khiển có cấu trúc để cấp tập hợp của các đầu ra của tập hợp con của các mạch ước lượng tới mạch ước lượng khác trong số các mạch ước lượng để xử lý song song.

2. Thiết bị theo điểm 1, trong đó:

mạch điều khiển có cấu trúc để cấp phát từ các mạch ước lượng, tập hợp con thứ nhất của các mạch ước lượng bao gồm số lượng mạch ước lượng thứ nhất dựa trên bậc thứ nhất của tín hiệu QAM được kết hợp với dòng dữ liệu thứ nhất của các giá trị tỷ lệ hợp lệ logarit;

mạch điều khiển có cấu trúc để cấp phát từ các mạch ước lượng, tập hợp con thứ hai của các mạch ước lượng bao gồm số lượng mạch ước lượng thứ hai dựa trên bậc thứ hai của tín hiệu QAM được kết hợp với dòng dữ liệu thứ hai của các giá trị tỷ lệ hợp lệ logarit; và

bậc thứ nhất cao hơn bậc thứ hai và số lượng thứ nhất lớn hơn số lượng thứ hai.

3. Thiết bị theo điểm 1, trong đó mỗi mạch ước lượng để tạo ra các biểu diễn của các ước lượng trung bình đối với QAM bao gồm:

bộ cộng thứ nhất có cấu trúc để tạo ra lặp lại giá trị Eta đầu ra dựa trên giá trị Eta đầu vào và giá trị Xi đầu vào được kết hợp với tín hiệu đầu vào tương ứng; và

bộ nhân thứ nhất có cấu trúc để tạo ra lặp lại biểu diễn của ước lượng trung bình đối với tín hiệu đầu vào tương ứng, bộ nhân thứ nhất có cấu trúc để thu hệ số chuẩn hóa QAM biến thiên dựa trên giá trị bộ đếm được kết hợp với số lần lặp đối với ước lượng trung bình tương ứng, bộ nhân thứ nhất có cấu trúc để thu giá trị Eta đầu ra và tạo ra ước lượng trung bình đối với mỗi việc lặp dựa trên kết hợp giá trị Eta đầu ra và hệ số chuẩn hóa QAM biến thiên.

4. Thiết bị theo điểm 3, trong đó:

tập hợp của các đầu vào của mỗi mạch ước lượng bao gồm đầu vào thứ nhất có cấu trúc để thu giá trị Xi đầu vào, đầu vào thứ hai có cấu trúc để thu giá trị Eta đầu vào, và đầu vào thứ ba có cấu trúc để thu giá trị bộ đếm; và

tập hợp của các đầu ra của mỗi mạch ước lượng bao gồm đầu vào thứ nhất có cấu trúc để cấp giá trị Xi đầu ra, đầu ra thứ hai có cấu trúc để cấp giá trị Eta đầu ra, và đầu ra thứ ba có cấu trúc để cấp giá trị bộ đếm được cập nhật.

5. Thiết bị theo điểm 1, trong đó mỗi mạch ước lượng để tạo ra các biểu diễn của các ước lượng mômen cấp hai đối với QAM bao gồm:

mạch thứ nhất có cấu trúc để tạo ra lặp lại đầu ra bằng cách kết hợp giá trị Eta đầu ra và giá trị vô hướng phụ thuộc điều chế biên độ pha vuông góc (QAM-quadrature amplitude modulated) đầu ra; và

mạch thứ hai có cấu trúc để tạo ra lặp lại biểu diễn của ước lượng mômen cấp hai đối với tín hiệu đầu vào tương ứng, mạch thứ hai có cấu trúc để thu hệ số chuẩn hóa QAM biến thiên dựa trên giá trị bộ đếm được kết hợp với số lần lặp đối với ước lượng mômen cấp hai tương ứng, mạch thứ hai có cấu trúc để thu đầu ra của mạch thứ nhất và tạo ra ước lượng mômen cấp hai đối với mỗi việc

lập dựa trên kết hợp hệ số chuẩn hóa QAM biến thiên và đầu ra của mạch thứ nhất.

6. Thiết bị theo điểm 5, trong đó:

tập hợp của các đầu vào của mỗi mạch ước lượng bao gồm đầu vào thứ nhất có cấu trúc để thu giá trị bộ đếm và đầu vào thứ hai có cấu trúc để thu giá trị vô hướng phụ thuộc QAM đầu vào; và

tập hợp của các đầu ra của mỗi mạch ước lượng bao gồm đầu vào thứ nhất có cấu trúc để cấp giá trị bộ đếm đầu ra và đầu ra thứ hai có cấu trúc để cấp giá trị vô hướng phụ thuộc QAM đầu ra.

7. Thiết bị truyền thông, bao gồm:

anten có cấu trúc để thu các tín hiệu đầu vào;

bộ thu phát có cấu trúc để tạo ra từ các tín hiệu đầu vào, các ký tự điều chế biên độ pha vuông góc (QAM-quadrature amplitude modulated);

bộ xử lý tín hiệu bao gồm mạch thứ nhất có cấu trúc để tạo ra giá trị Eta đầu ra dựa trên giá trị Eta đầu vào và giá trị Xi đầu ra được kết hợp với các ký tự được điều chế biên độ pha vuông góc (QAM); và

bộ xử lý tín hiệu bao gồm mạch thứ hai có cấu trúc để tạo ra biểu diễn của ước lượng trung bình đối với các ký tự QAM, mạch thứ hai có cấu trúc để thu hệ số chuẩn hóa QAM biến thiên dựa trên giá trị bộ đếm được kết hợp với số lần lặp đối với ước lượng trung bình tương ứng, bộ nhân thứ nhất có cấu trúc để thu giá trị Eta đầu ra và tạo ra ước lượng trung bình đối với mỗi việc lặp dựa trên kết hợp giá trị Eta đầu ra và hệ số chuẩn hóa QAM biến thiên.

8. Thiết bị theo điểm 7, trong đó:

mạch thứ nhất bao gồm bộ nhân thứ nhất có cấu trúc để thu an giá trị Eta đầu vào và tạo ra giá trị Eta được làm tăng;

mạch thứ nhất bao gồm bộ cộng thứ nhất có cấu trúc để kết hợp giá trị Eta được làm tăng và giá trị Xi đầu ra;

mạch thứ hai bao gồm bộ nhân thứ hai có cấu trúc để kết hợp hệ số chuẩn hóa QAM biến thiên và giá trị Eta đầu ra;

bộ xử lý tín hiệu bao gồm bộ nhân thứ ba có cấu trúc để thu giá trị Xi đầu vào và tạo ra giá trị Xi đầu ra bằng cách kết hợp giá trị Xi đầu vào với đầu ra được kết hợp từ dòng đầu vào của các giá trị tỷ lệ hợp lẽ logarit (LLR-logarithmic likelihood ratio).

9. Thiết bị theo điểm 8, còn bao gồm:

bộ nhớ được ghép nối tới bộ nhân thứ nhất, bộ nhớ lưu trữ các hệ số chuẩn hóa QAM, mỗi hệ số chuẩn hóa QAM tương ứng với một giá trị cụ thể trong số các giá trị bộ đếm, bộ nhớ có cấu trúc để thu giá trị bộ đếm và cấp hệ số chuẩn hóa QAM cụ thể tới bộ nhân thứ nhất dựa trên giá trị bộ đếm.

10. Thiết bị theo điểm 9, còn bao gồm:

tập hợp của các đầu vào bao gồm đầu vào thứ nhất có cấu trúc để thu giá trị Xi đầu vào, đầu vào thứ hai có cấu trúc để thu giá trị Eta đầu vào, và đầu vào thứ ba có cấu trúc để thu giá trị bộ đếm; và

tập hợp của các đầu ra bao gồm đầu vào thứ nhất có cấu trúc để cấp giá trị Xi đầu ra, đầu ra thứ hai có cấu trúc để cấp giá trị Eta đầu ra, và đầu ra thứ ba có cấu trúc để cấp giá trị bộ đếm được cập nhật.

11. Thiết bị theo điểm 10, trong đó tập hợp của các đầu vào và tập hợp của các đầu ra là một phần của mạch ước lượng thứ nhất, thiết bị này còn bao gồm:

mạch ước lượng thứ hai có cấu trúc để tạo ra biểu diễn của ước lượng trung bình đối với điều chế biên độ pha vuông góc (QAM);

trong đó tập hợp của các đầu vào của mạch ước lượng thứ nhất có thể kết nối chọn lọc tới tập hợp của các đầu ra của mạch ước lượng thứ nhất để xử lý tuần tự hoặc tập hợp của các đầu ra của mạch ước lượng thứ hai để xử lý song song.

12. Thiết bị truyền thông, bao gồm:

giao diện có cấu trúc để thu các tín hiệu đầu vào;

bộ thu phát có cấu trúc để tạo ra từ các tín hiệu đầu vào, các ký tự được điều chế biên độ pha vuông góc (QAM-quadrature amplitude modulated);

mạch thứ nhất có cấu trúc để tạo ra đầu ra bằng cách kết hợp giá trị Eta đầu ra và giá trị vô hướng phụ thuộc điều chế biên độ pha vuông góc (QAM-quadrature amplitude modulated) đầu ra; và

mạch thứ hai có cấu trúc để tạo ra biểu diễn của ước lượng mômen cấp hai đối với các ký tự QAM, mạch thứ hai có cấu trúc để thu hệ số chuẩn hóa QAM biến thiên dựa trên giá trị bộ đếm được kết hợp với số lần lặp đối với ước lượng mômen cấp hai tương ứng, mạch thứ hai có cấu trúc để thu đầu ra của mạch thứ nhất và tạo ra ước lượng mômen cấp hai đối với mỗi việc lặp dựa trên kết hợp hệ số chuẩn hóa QAM biến thiên và đầu ra của mạch thứ nhất.

13. Thiết bị theo điểm 12, trong đó

mạch thứ nhất bao gồm bộ nhân thứ nhất có cấu trúc để thu giá trị vô hướng phụ thuộc QAM đầu vào và tạo ra giá trị vô hướng phụ thuộc QAM được làm tăng, mạch thứ nhất bao gồm bộ cộng thứ nhất có cấu trúc để thu giá trị vô hướng phụ thuộc QAM được làm tăng và tạo ra giá trị vô hướng phụ thuộc QAM đầu ra, mạch thứ nhất bao gồm bộ cộng thứ hai có cấu trúc để thu giá trị vô hướng phụ thuộc QAM đầu ra và giá trị Eta đầu ra;

mạch thứ hai bao gồm bộ nhân thứ hai; và

thiết bị này còn bao gồm mạch thứ ba bao gồm bộ cộng thứ ba và bộ nhân thứ hai, bộ cộng thứ ba có cấu trúc để thu giá trị Eta đầu vào và tạo ra giá trị Eta được làm tăng, bộ nhân thứ hai có cấu trúc để thu giá trị Eta được làm tăng và tạo ra giá trị Eta đầu ra.

14. Thiết bị theo điểm 13, còn bao gồm:

bộ nhớ được ghép nối tới bộ nhân thứ nhất, bộ nhớ lưu trữ các hệ số chuẩn hóa QAM, mỗi hệ số chuẩn hóa QAM tương ứng với một giá trị cụ thể trong số các giá trị bộ đếm, bộ nhớ có cấu trúc để thu giá trị bộ đếm và cấp hệ số chuẩn hóa QAM cụ thể tới bộ nhân thứ nhất dựa trên giá trị bộ đếm.

15. Thiết bị theo điểm 14, còn bao gồm:

tập hợp của các đầu vào bao gồm đầu vào thứ nhất có cấu trúc để thu giá trị Xi đầu vào, đầu vào thứ hai có cấu trúc để thu giá trị Eta đầu vào, và đầu vào thứ ba có cấu trúc để thu giá trị bộ đếm đầu vào; và

tập hợp của các đầu ra bao gồm đầu vào thứ nhất có cấu trúc để cấp giá trị Xi đầu ra, đầu ra thứ hai có cấu trúc để cấp giá trị Eta đầu ra, và đầu ra thứ ba có cấu trúc để cấp giá trị bộ đếm được cập nhật.

16. Thiết bị theo điểm 15, trong đó tập hợp của các đầu vào và tập hợp của các đầu ra là một phần của mạch ước lượng thứ nhất, thiết bị này còn bao gồm:

mạch ước lượng thứ hai có cấu trúc để tạo ra biểu diễn của ước lượng mômen cấp hai đối với điều chế biên độ pha vuông góc (QAM);

trong đó tập hợp của các đầu vào của mạch ước lượng thứ nhất có thể kết nối chọn lọc tới tập hợp của các đầu ra của mạch ước lượng thứ nhất để xử lý tuần tự hoặc tập hợp của các đầu ra của mạch ước lượng thứ hai để xử lý song song.

17. Phương pháp truyền thông, bao gồm:

thu một hoặc nhiều tín hiệu đầu vào;

chuyển đổi một hoặc nhiều tín hiệu đầu vào thành tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và tín hiệu QAM thứ hai;

tạo ra dòng dữ liệu thứ nhất của các giá trị tỷ lệ hợp lẽ logarit (LLR) được kết hợp với tín hiệu được điều chế biên độ pha vuông góc (QAM) thứ nhất và dòng dữ liệu thứ hai của các giá trị LLR được kết hợp với tín hiệu QAM thứ hai;

cấp phát từ vùng của các mạch ước lượng có cấu trúc để tạo ra các biểu diễn của các ước lượng trung bình hoặc các ước lượng mômen cấp hai đối với các tín hiệu QAM, tập hợp thứ nhất của các mạch ước lượng đối với tín hiệu QAM thứ nhất và tập hợp thứ hai của các mạch ước lượng đối với tín hiệu QAM thứ hai, mỗi mạch ước lượng bao gồm tập hợp của các đầu vào và tập hợp của các đầu ra được kết hợp với các giá trị Eta và Xi đối với các ước lượng trung bình hoặc mômen cấp hai;

cấu hình tập hợp thứ nhất của các mạch ước lượng để xử lý tuần tự, xử lý song song, hoặc kết hợp của xử lý tuần tự và xử lý song song bằng cách cấp tập hợp của các đầu ra đối với mỗi mạch ước lượng tới tập hợp của các đầu vào đối với mỗi mạch ước lượng nêu trên; và

cấu hình tập hợp thứ hai của các mạch ước lượng để xử lý tuần tự, xử lý song song, hoặc kết hợp của xử lý tuần tự và xử lý song song bằng cách cấp tập hợp của các đầu ra đối với tập hợp con của các mạch ước lượng của tập hợp thứ hai tới mạch ước lượng khác của tập hợp thứ hai.

18. Phương pháp theo điểm 17, trong đó:

bước cấp phát tập hợp thứ nhất của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ nhất từ vùng đối với tập hợp thứ nhất dựa trên bậc thứ nhất của tín hiệu QAM thứ nhất; và

bước cấp phát tập hợp thứ hai của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ hai từ vùng đối với tập hợp thứ hai dựa trên bậc thứ hai của tín hiệu QAM thứ hai, bậc thứ hai nhỏ hơn bậc thứ nhất và số lượng thứ hai nhỏ hơn số lượng thứ nhất.

19. Phương pháp theo điểm 17, trong đó:

dòng dữ liệu thứ nhất có độ dài khối thứ nhất và dòng dữ liệu thứ hai có độ dài khối thứ hai mà nhỏ hơn độ dài khối thứ nhất;

bước cấp phát tập hợp thứ nhất của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ nhất từ vùng dựa trên độ dài khối thứ nhất; và

bước cấp phát tập hợp thứ hai của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ hai từ vùng dựa trên độ dài khối thứ hai, số lượng thứ hai nhỏ hơn số lượng thứ nhất.

20. Phương pháp theo điểm 17, trong đó:

dòng dữ liệu thứ nhất bao gồm mức ưu tiên thứ nhất và dòng dữ liệu thứ hai bao gồm mức ưu tiên thứ hai mà nhỏ hơn mức ưu tiên thứ nhất;

bước cấp phát tập hợp thứ nhất của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ nhất từ vùng dựa trên mức ưu tiên thứ nhất; và

bước cấp phát tập hợp thứ hai của các mạch ước lượng bao gồm cấp phát số lượng mạch ước lượng thứ hai từ vùng dựa trên mức ưu tiên thứ hai, số lượng thứ hai nhỏ hơn số lượng thứ nhất.

21. Phương pháp theo điểm 17, trong đó:

bước cấp phát tập hợp con thứ nhất của các mạch ước lượng và tập hợp con thứ hai của các mạch ước lượng bao gồm gán số lượng mạch ước lượng tới tập hợp con thứ nhất và tập hợp con thứ hai bằng $2Q$, trong đó Q xác định bậc QAM và 2^{2Q} bằng bậc QAM tương ứng.

22. Phương pháp theo điểm 17, trong đó:

tín hiệu QAM thứ nhất và tín hiệu QAM thứ hai được thu nhận và được xử lý trong các chu kỳ thời gian khác nhau; và

tập hợp thứ hai của các mạch ước lượng bao gồm ít nhất một mạch ước lượng của tập hợp thứ nhất.

23. Phương pháp theo điểm 17, trong đó:

bước cấu hình tập hợp thứ nhất của các mạch ước lượng bao gồm cấu hình tập hợp thứ nhất của các mạch ước lượng để xử lý tuần tự bằng cách cấp tập hợp của các đầu ra đối với mỗi mạch ước lượng tới tập hợp của các đầu vào đối với mỗi mạch ước lượng nêu trên; và

bước cấu hình tập hợp thứ hai của các mạch ước lượng bao gồm cấu hình tập hợp thứ hai của các mạch ước lượng để xử lý song song bằng cách cấp tập hợp của các đầu ra đối với tập hợp con của các mạch ước lượng của tập hợp thứ hai tới mạch ước lượng khác của tập hợp thứ hai.

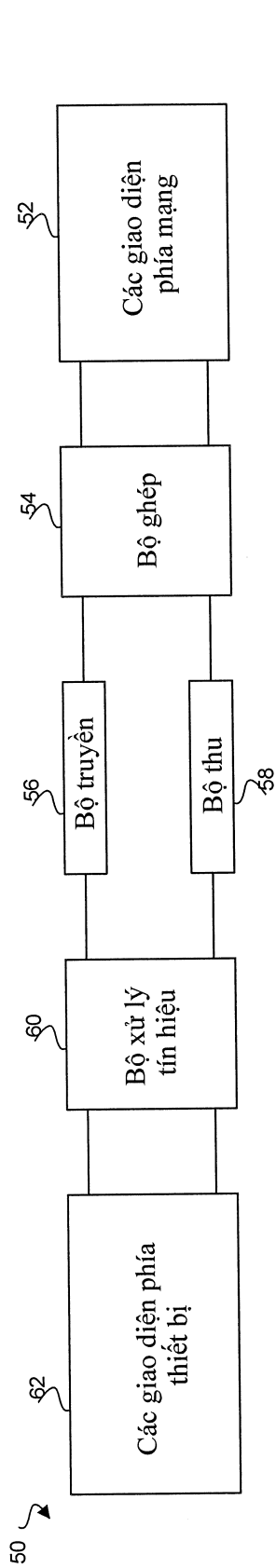


FIG. 1A

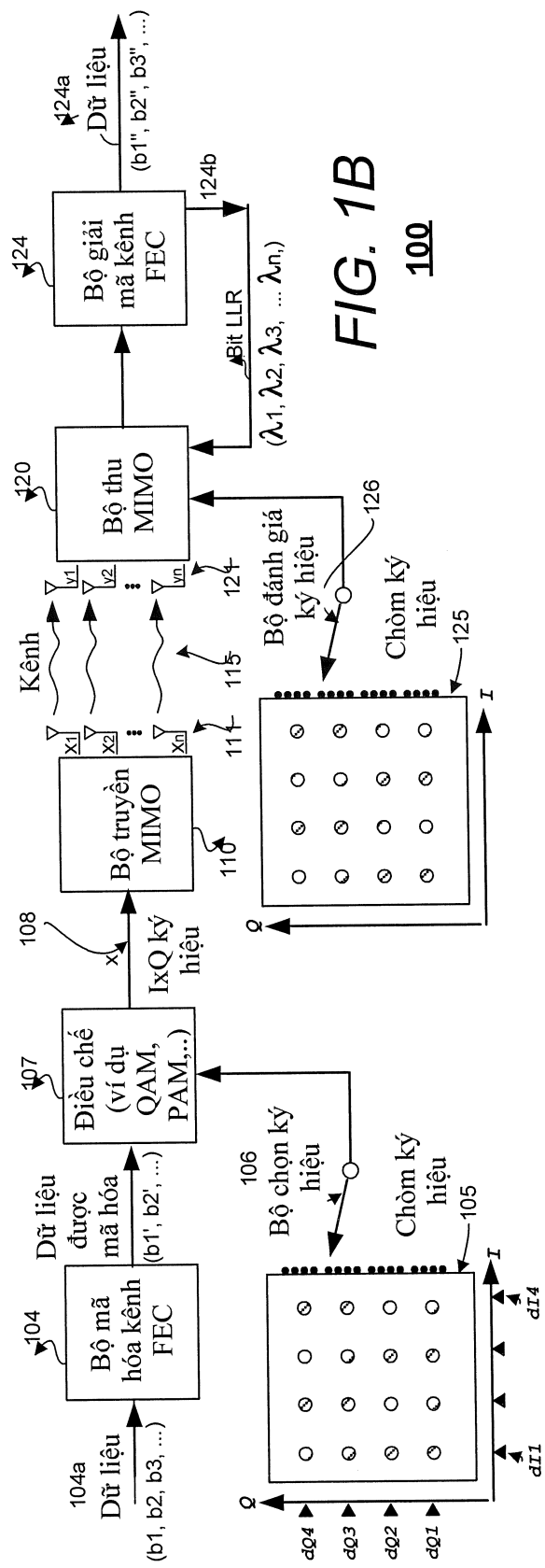
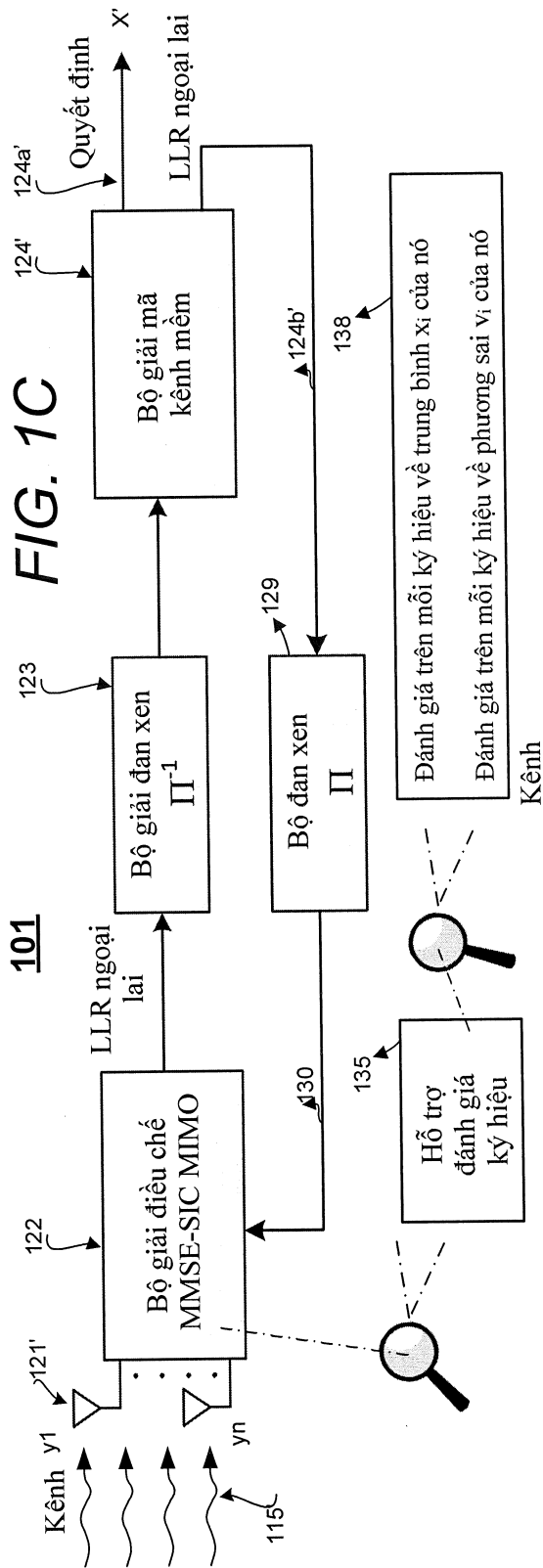
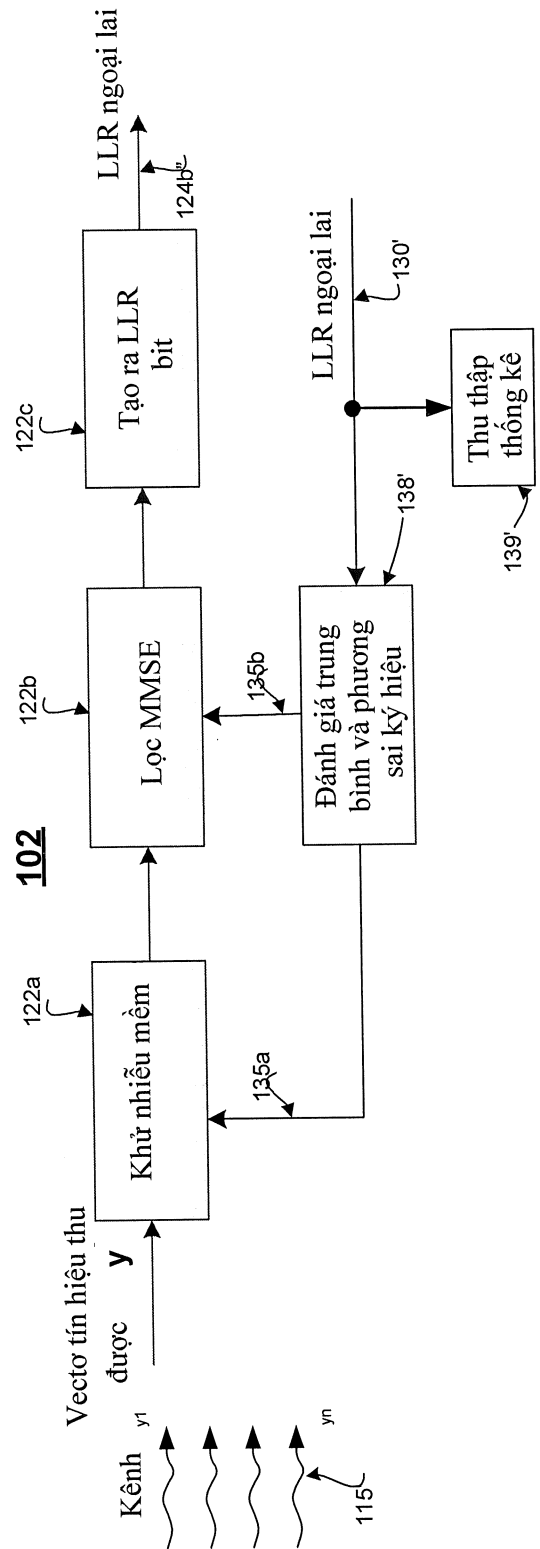


FIG. 1B

100

FIG. 1C**FIG. 1D**

			PAM	
			s	$ s ^2$
			$b_1 b_2 b_3$	
b_1	1	1 1	1 1 1 $\longleftrightarrow$ -7	7^2
		1 1 0 $\longleftrightarrow$ -5	5^2	
	0	1 0 0 $\longleftrightarrow$ -3	3^2	
		1 0 1 $\longleftrightarrow$ -1	1^2	
0	0	0 0 1 $\longleftrightarrow$ 1	1^2	
		0 0 0 $\longleftrightarrow$ 3	3^2	
	1	0 1 0 $\longleftrightarrow$ 5	5^2	
		0 1 1 $\longleftrightarrow$ 7	7^2	

FIG. 2

FIG. 3

Mạch đánh giá trung bình cho biến thích ứng Q

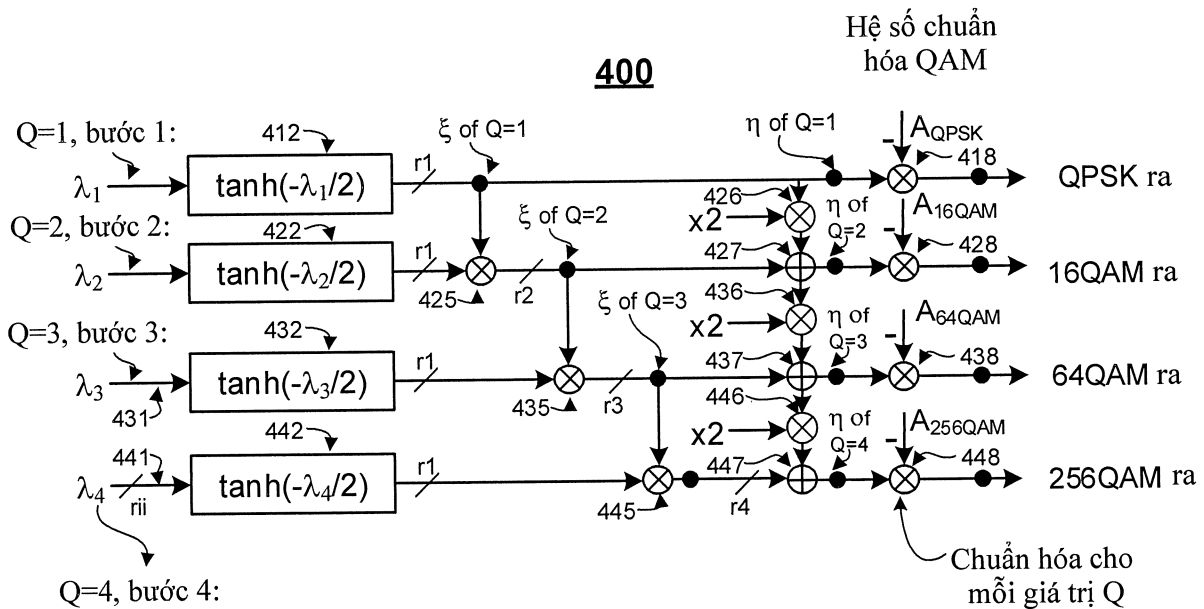
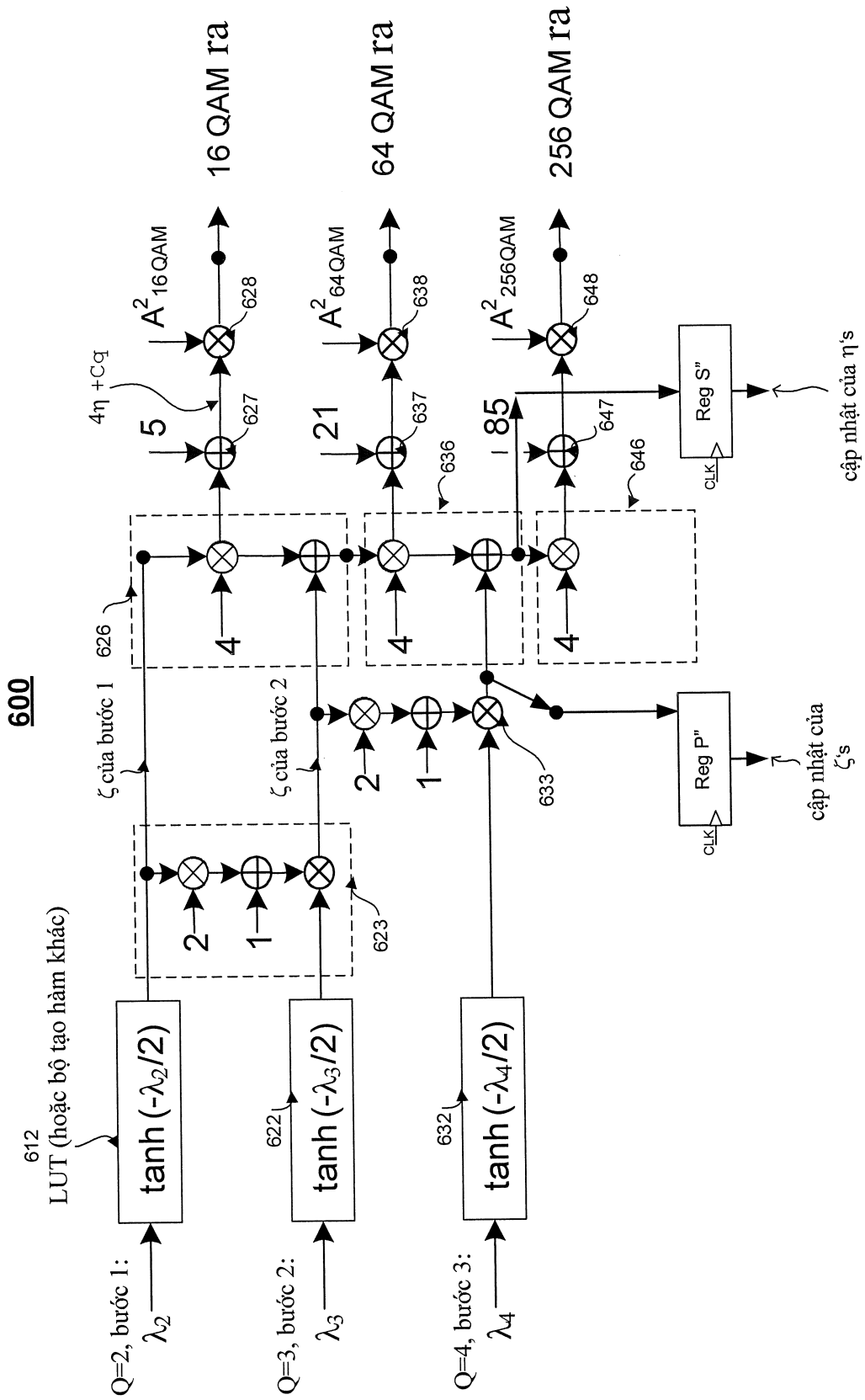


FIG. 4

Mạch đánh giá mômen cấp hai cho biến thích ứng Q



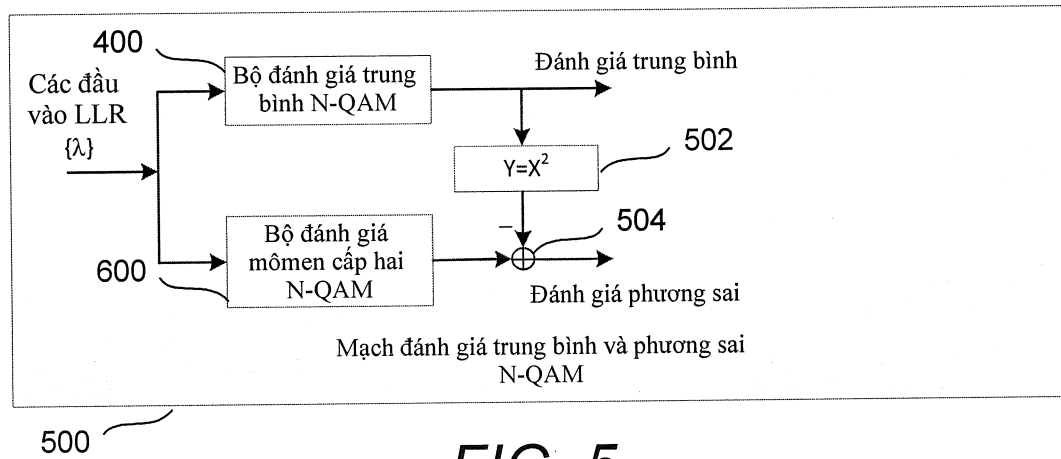


FIG. 5

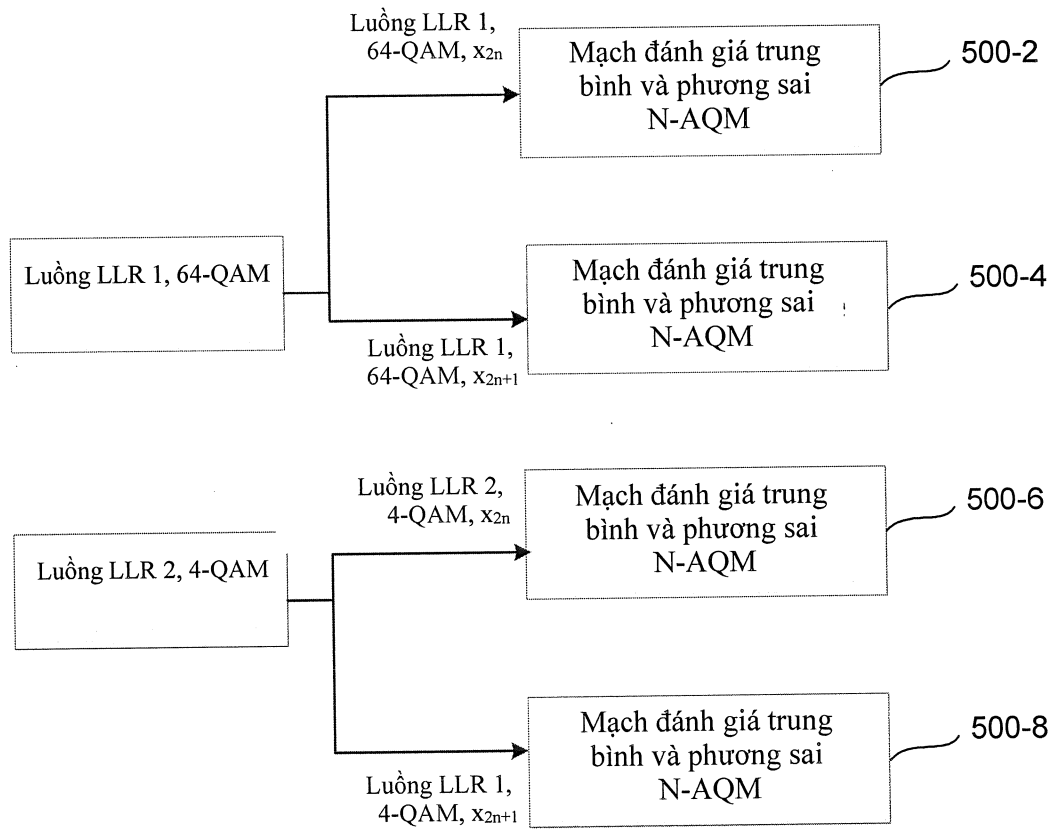
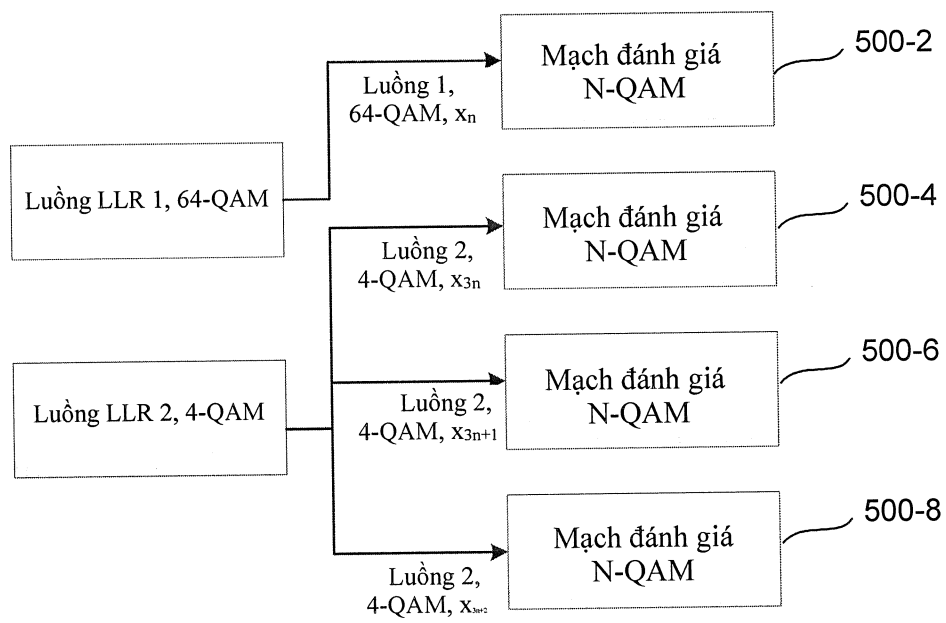
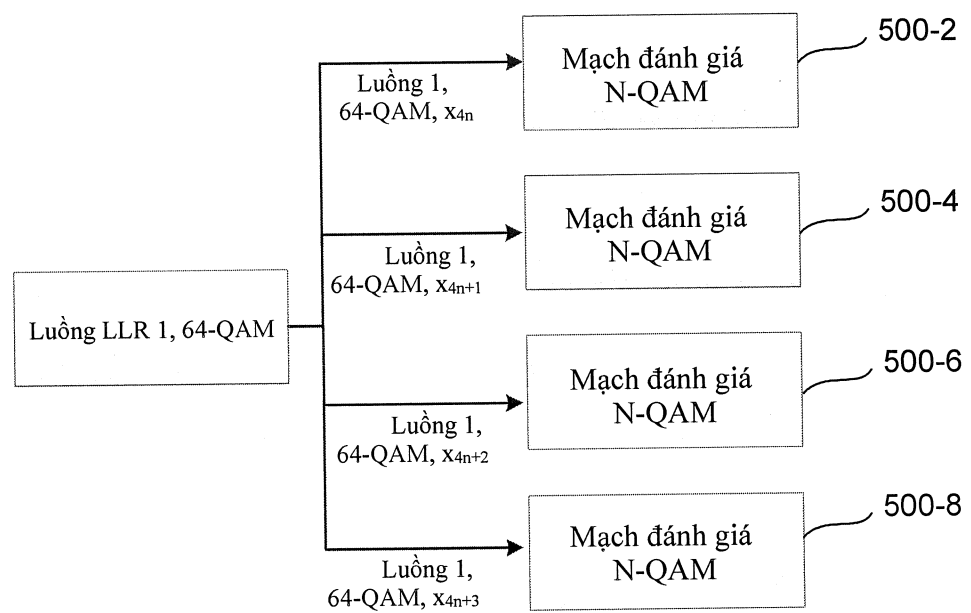


FIG. 6

**FIG. 7**

**FIG. 8**

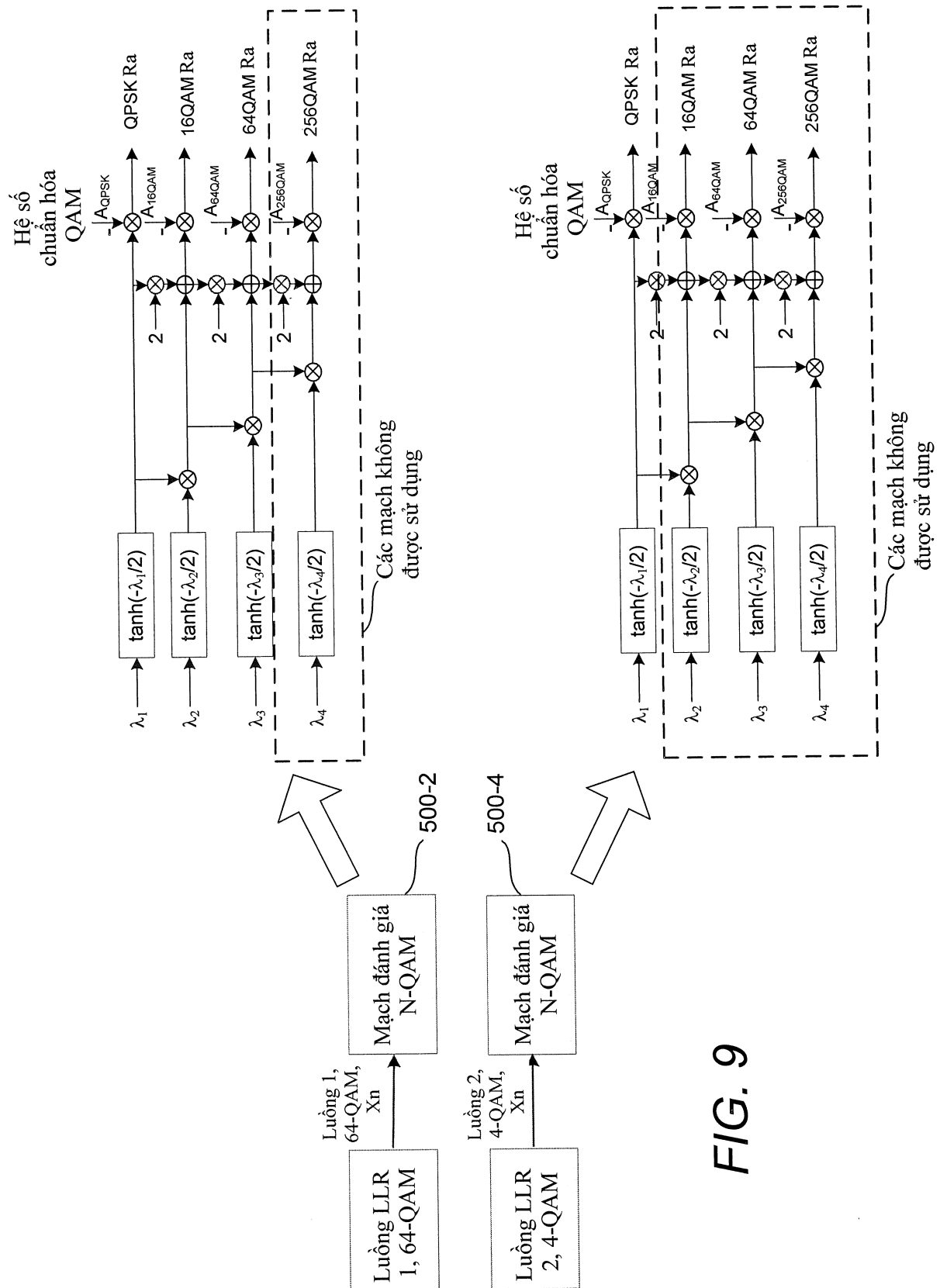
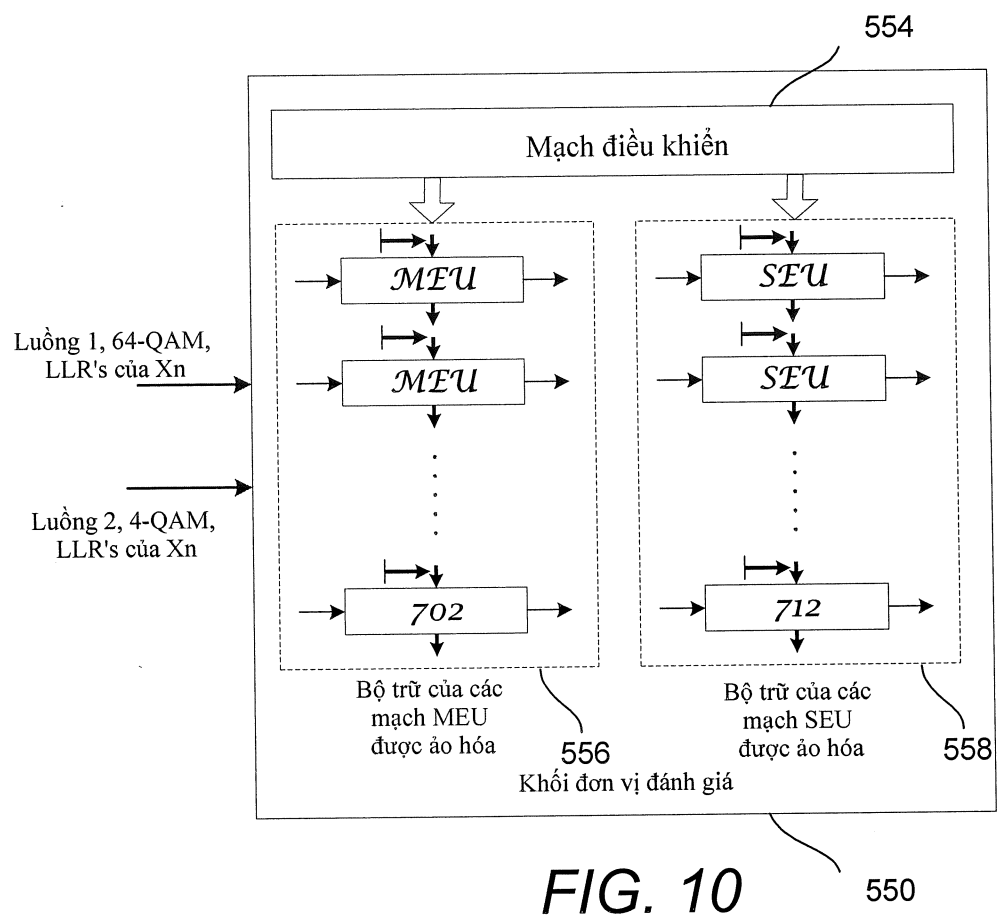
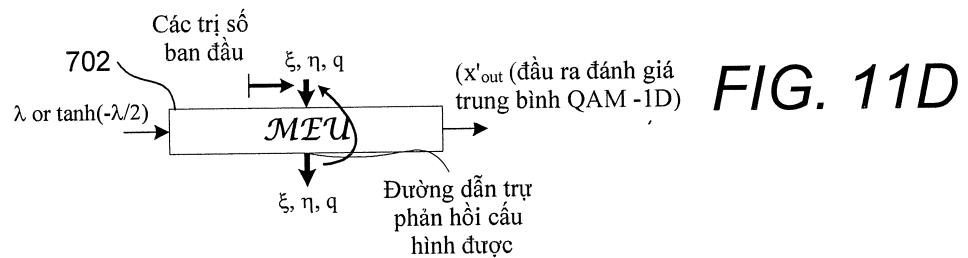
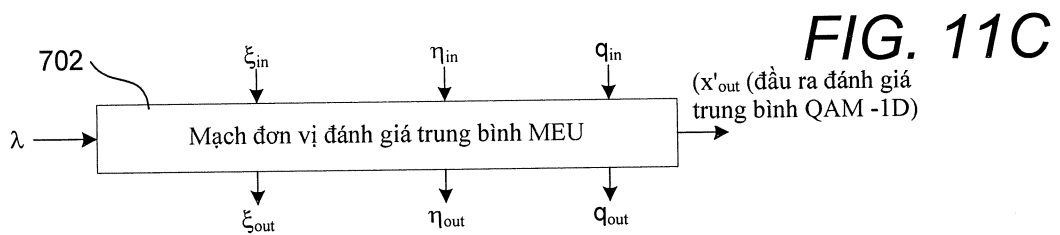
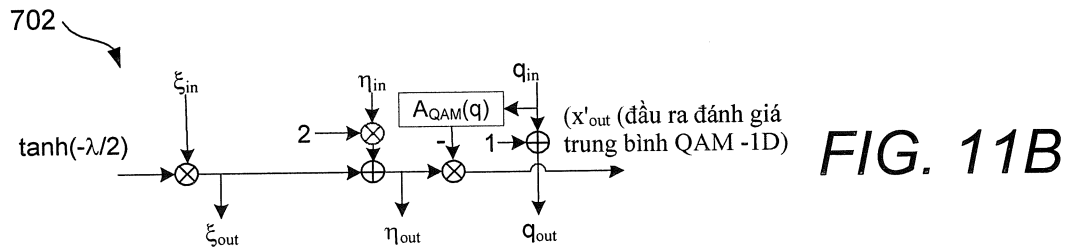
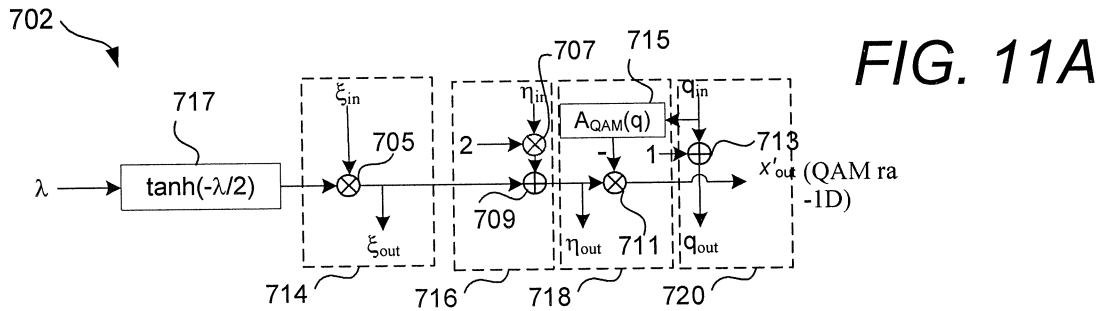


FIG. 9





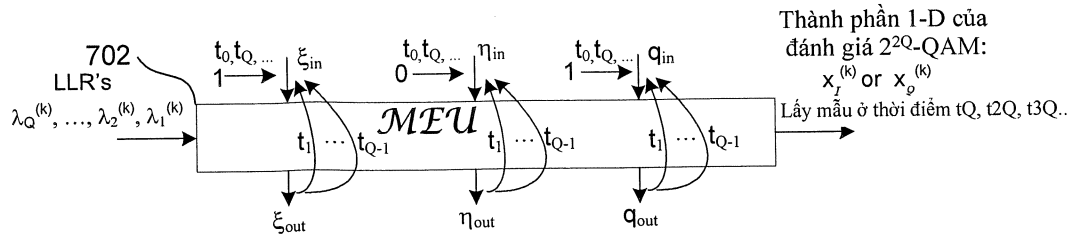


FIG. 12

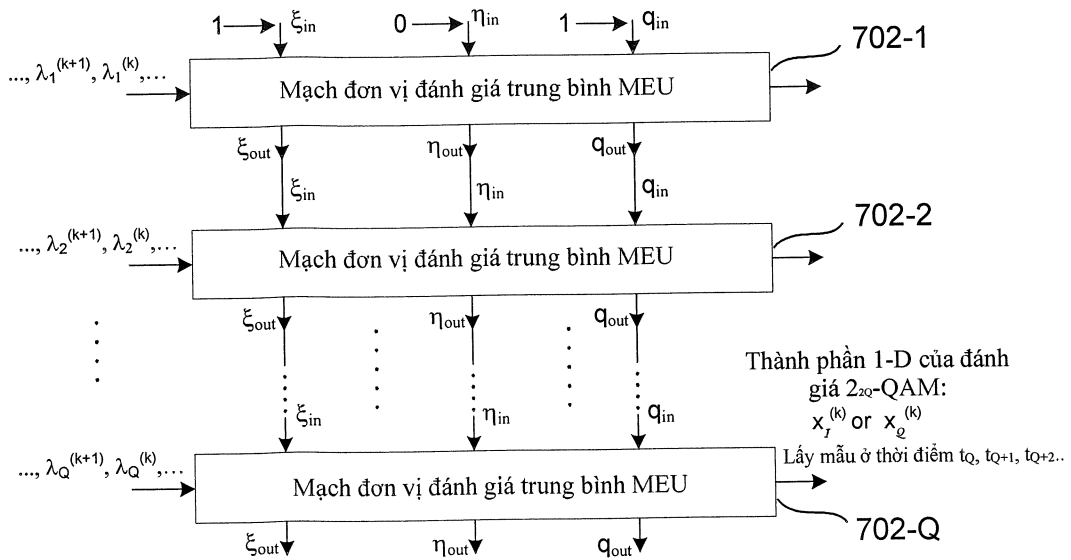


FIG. 13

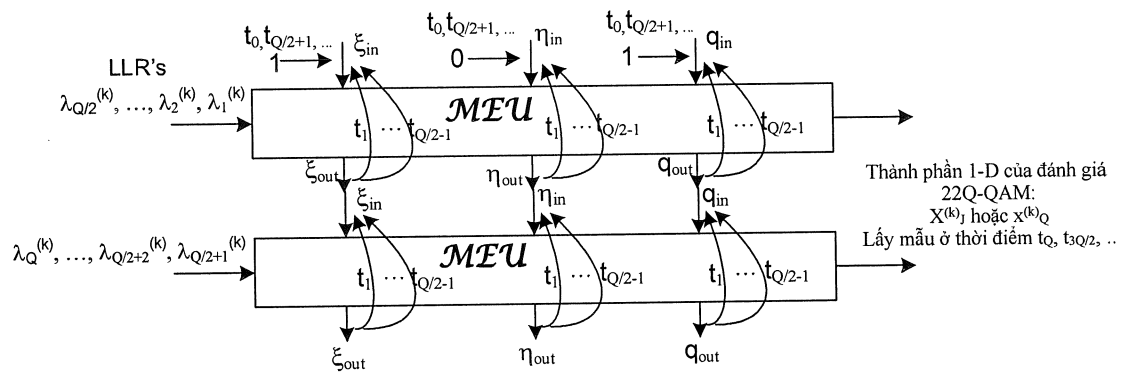


FIG. 14A

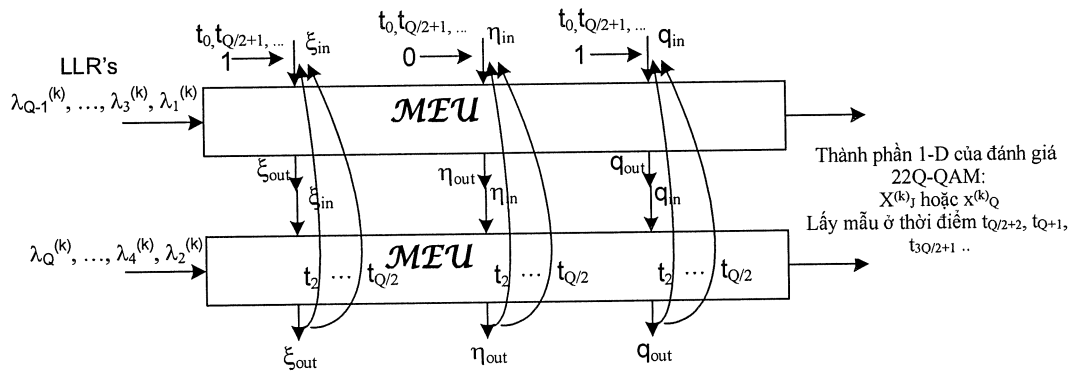


FIG. 14B

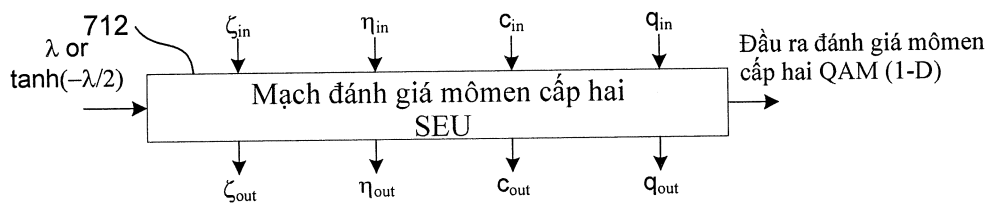
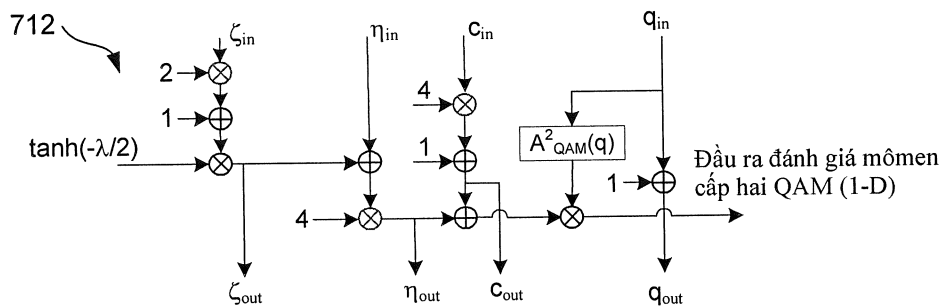
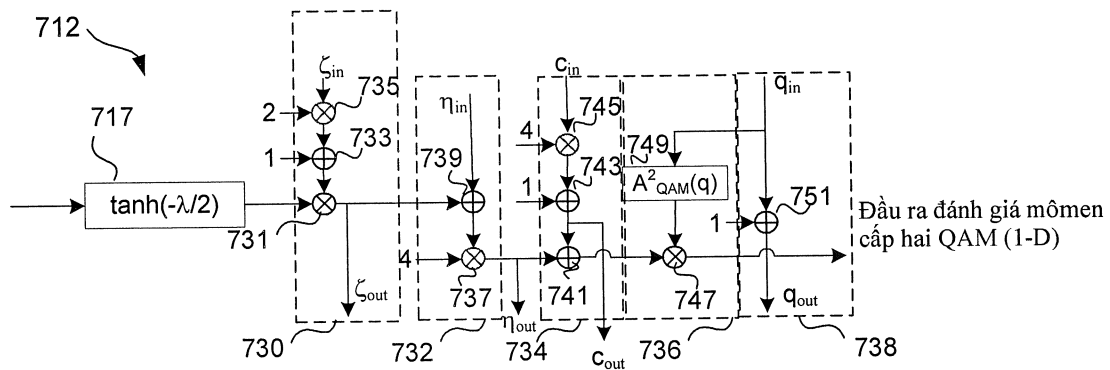


FIG. 16A

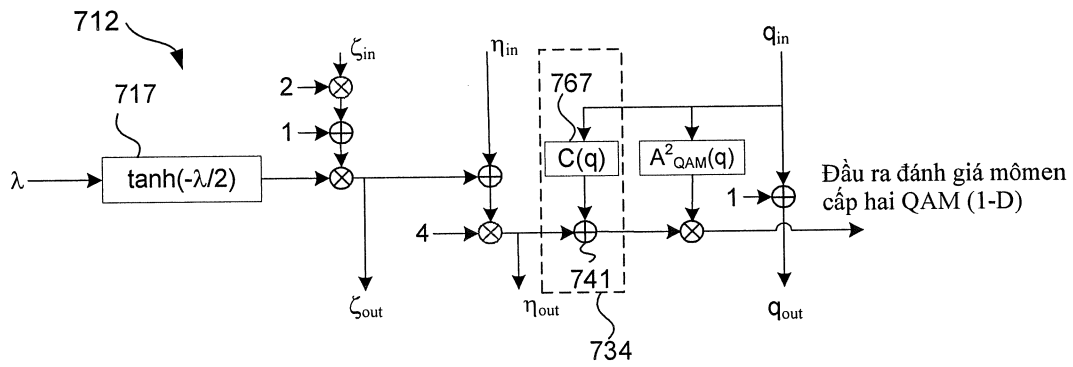


FIG. 16B

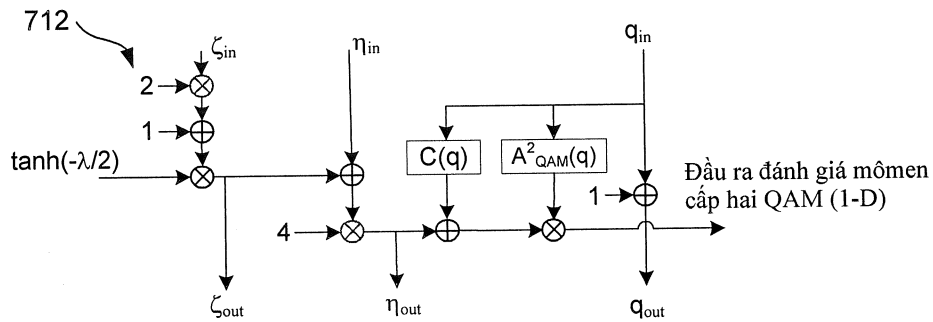
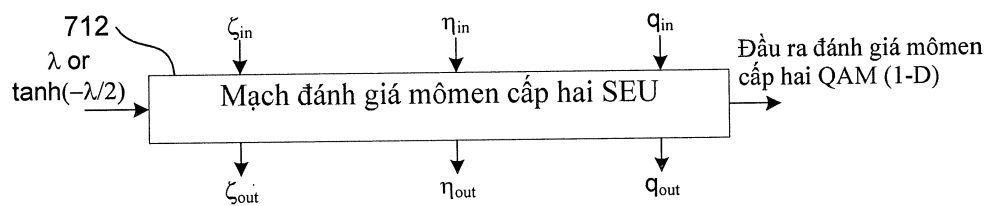


FIG. 16C



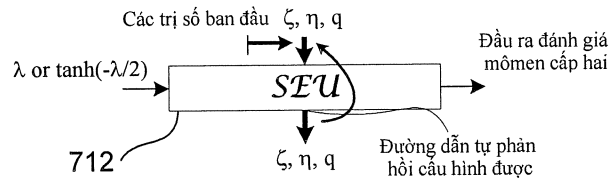


FIG. 17

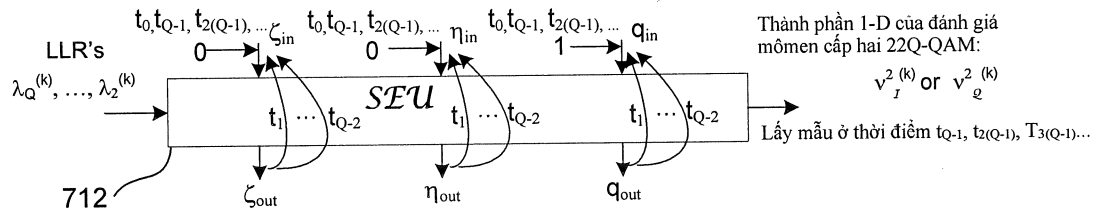


FIG. 18

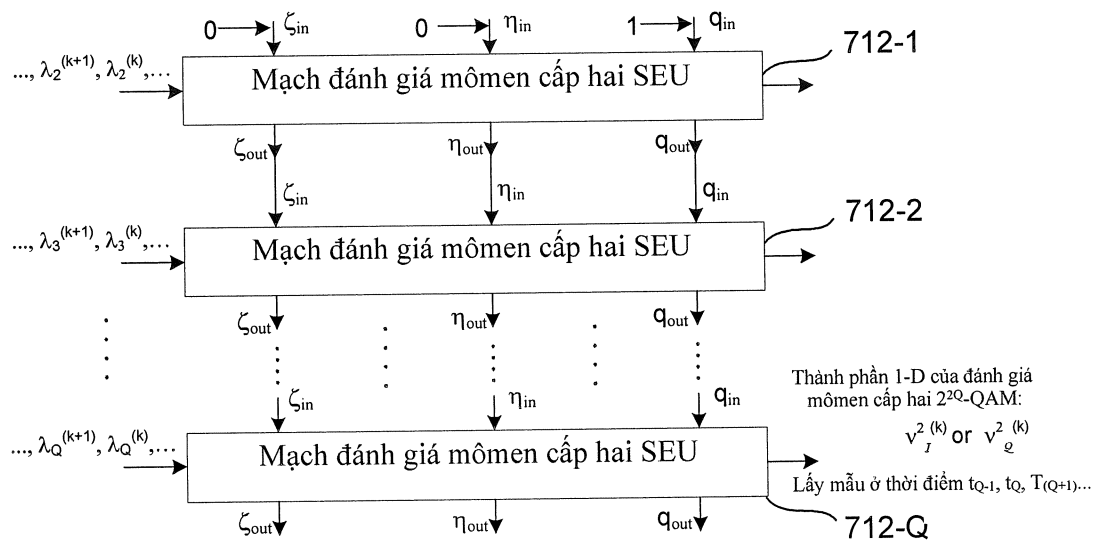


FIG. 19

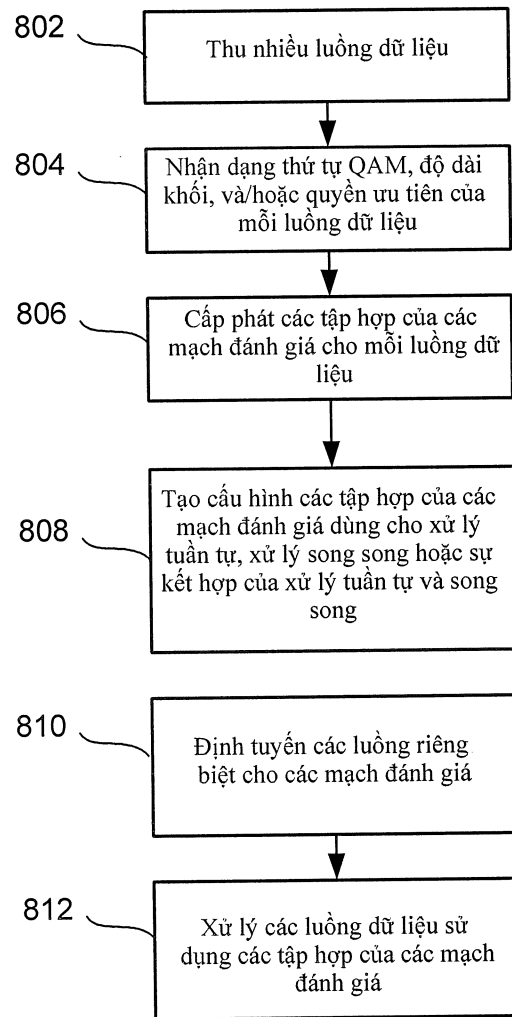


FIG. 20

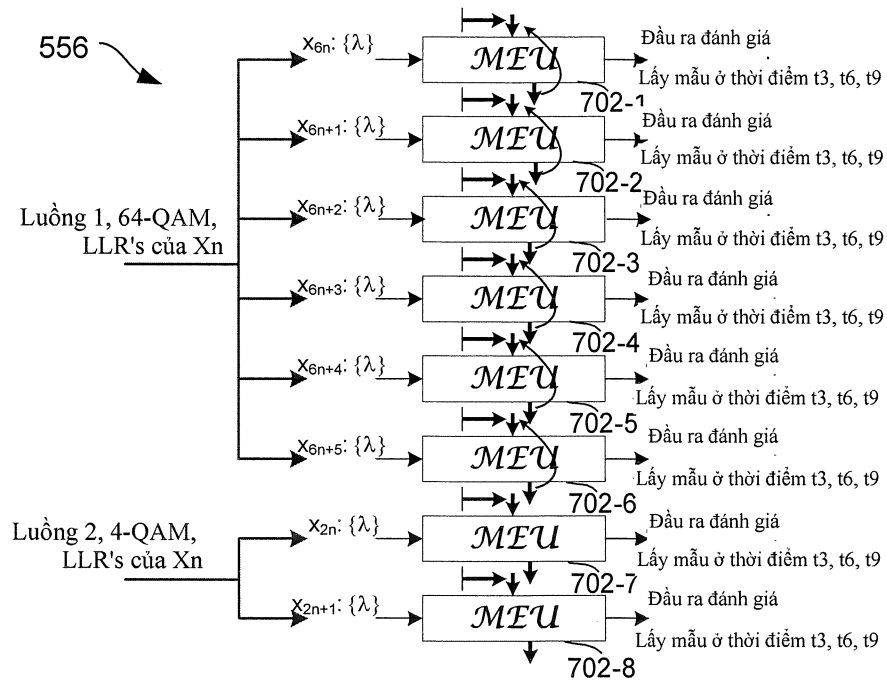


FIG. 21



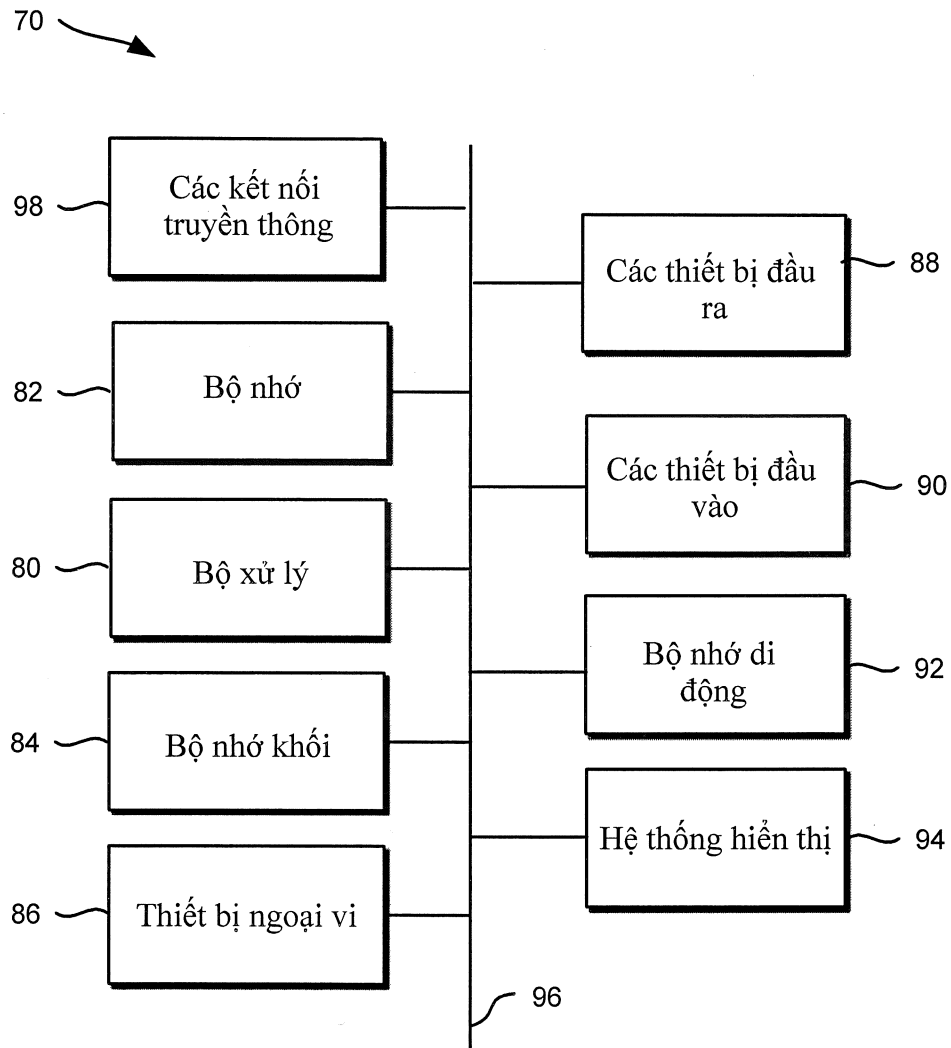


FIG. 24