



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0036521

(51)⁸ H03F 1/00

(13) B

(21) 1-2018-02543

(22) 13/06/2018

(45) 25/08/2023 425

(43) 27/08/2018 365A

(73) Tập Đoàn Công Nghiệp - Viễn Thông Quân Đội (VIETTEL) (VN)

Số 1 Trần Hữu Dực, Mỹ Đình 2, Nam Từ Liêm, Hà Nội

(72) Lê Ngọc Quý (VN); Nguyễn Tiến Sáng (VN); Tăng Thiên Vũ (VN); Từ Tuấn Linh (VN); Nguyễn Xuân Thắng (VN); Lê Trường Giang (VN).

(74) Công ty Luật TNHH quốc tế BMVN (BMVN INTERNATIONAL LLC)

(54) PHƯƠNG PHÁP ĐIỀU KHIỂN CÂN BẰNG ĐỘNG HỆ SỐ KHUẾCH ĐẠI VÀ
BỘ ĐIỀU KHIỂN CÂN BẰNG ĐỘNG HỆ SỐ KHUẾCH ĐẠI ÁP DỤNG
PHƯƠNG PHÁP NÀY

(57) Sáng chế đề cập đến phương pháp điều khiển cân bằng động hệ số khuếch đại trên các thiết bị phát sóng vô tuyến bao gồm các bước: i) tính toán công suất yêu cầu tức thời từ khối xử lý băng gốc; ii) tính toán độ chênh lệch công suất giữa mức tức thời so với mức lớn nhất nhận được từ khối xử lý băng gốc; iii) điều chỉnh tăng hệ số khuếch đại trong bộ khuếch đại số để đảm bảo không bị bão hòa ở đầu vào của khối chuyển đổi số sang tương tự (Digital-to-Analog Converter - DAC); và iv) điều chỉnh giảm hệ số khuếch đại của bộ khuếch đại tương tự; trong đó, các bước tính toán và điều chỉnh nêu trên được lặp lại nhiều lần trong suốt quá trình hoạt động của thiết bị phát sóng vô tuyến. Ngoài ra, sáng chế còn đề cập đến bộ điều khiển cân bằng động hệ số khuếch đại áp dụng phương pháp điều khiển cân bằng động này.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phương pháp điều khiển cân bằng động hệ số khuếch đại trên các thiết bị phát sóng vô tuyến nhằm mục đích tối đa hóa tỷ số tín hiệu trên nhiễu đến mức tới hạn, tương đương với chất lượng của tín hiệu số gửi lên từ khối xử lý băng gốc. Ngoài ra, sáng chế còn đề cập đến bộ điều khiển để thực hiện phương pháp này.

Tình trạng kỹ thuật của sáng chế

Thông thường, quy trình làm việc của một thiết bị phát sóng vô tuyến bao gồm: tiếp nhận tín hiệu số từ khối xử lý băng gốc, tăng tốc độ lấy mẫu, sau đó tín hiệu số lần lượt đi qua các khối bù méo phi tuyến, bộ khuếch đại số trước khi gửi ra khối chuyển đổi số sang tương tự (Digital-to-Analog Converter - DAC) và các khối xử lý tương tự khác. Theo thiết kế ban đầu, bộ khuếch đại số, bộ khuếch đại tương tự và bộ khuếch đại công suất chính được tổ hợp lại để tạo ra công suất phát tối đa ở mức định danh cho trước (ví dụ, 43 dBm tương ứng với 20W). Đồng thời, ở các mức công suất thấp hơn, vẫn phải đảm bảo được hệ số khuếch đại toàn tuyến cố định trong toàn dải tín hiệu từ khối xử lý băng gốc.

Để đạt được yêu cầu nêu trên, thông thường hệ số khuếch đại của bộ khuếch đại số được giữ cố định và phải đảm bảo 2 yêu cầu: mức công suất lớn nhất từ khối xử lý băng gốc không làm bão hòa DAC và mặt khác, cần tận dụng được tối đa dải đầu vào số của DAC để đảm bảo tỷ số tín hiệu trên nhiễu (Signal to Noise Ratio - SNR) ngay sau DAC ở mức tốt nhất. Tiếp theo, tín hiệu đầu ra của DAC này tiếp tục được khuếch đại bởi bộ khuếch đại tương tự trước khi được nâng lên cao tần và khuếch đại tăng cuối bởi bộ khuếch đại công suất chính.

Với cách thức truyền thông như trên, hệ thống sẽ làm việc tốt trong điều kiện mức công suất phát yêu cầu từ khối xử lý băng gốc là lớn. Khi đó, hệ thống theo thiết kế sẽ tận dụng hầu như được toàn dải đầu vào của DAC, tín hiệu mong muốn đang ở mức cao. Giả sử mức nhiễu nền tại đầu ra của DAC là cố định (nhiều hay ít sẽ phụ thuộc vào chất lượng thiết kế phần cứng và là hằng số đối với mỗi thiết bị), thì tín hiệu ngay sau DAC đang có chất lượng SNR là tốt nhất. Sau đó, tín hiệu với mức SNR cố định này tiếp tục được khuếch đại và nâng lên cao tần ở các khối xử lý tương tự sau đó. Một cách lý tưởng, mức SNR này được giữ cố định cho tới đầu ra của bộ khuếch đại công suất chính sau cùng (trên thực tế, mỗi tầng xử lý sẽ làm suy giảm đi một phần của mức SNR này).

Tuy nhiên, khi mức công suất yêu cầu từ khối xử lý băng gốc tương đối nhỏ, với mức nhiễu nền sau DAC là cố định, thì mức công suất số nhỏ chỉ tận dụng được phần nhỏ dải đầu vào của DAC, dẫn đến chất lượng SNR ngay sau DAC bị suy giảm đáng kể. Trong

tình huống này, SNR đã giảm khá nhiều so với trường hợp mức công suất yêu cầu từ khối xử lý băng gốc ở mức cao.

Bản chất kỹ thuật của sáng chế

Do đó, mục đích của sáng chế là tạo ra phương pháp điều khiển cân bằng động hệ số khuếch đại của thiết bị phát sóng vô tuyến để đảm bảo mức SNR là tốt nhất có thể, với mục tiêu duy trì được chất lượng SNR gửi lên từ khối xử lý băng gốc với mọi mức tín hiệu khác nhau từ khối xử lý băng gốc này.

Để giải quyết được vấn đề nêu trên, sáng chế đề xuất phương pháp điều khiển cân bằng động đồng thời hệ số khuếch đại của bộ khuếch đại số và bộ khuếch đại tương tự của thiết bị phát sóng vô tuyến, để luôn đảm bảo tận dụng tối đa dải đầu vào của DAC đối với mọi mức độ công suất yêu cầu từ khối xử lý băng gốc, do đó luôn có được chất lượng SNR của tín hiệu sau DAC ở mức tối ưu.

Theo một khía cạnh, sáng chế đề xuất phương pháp điều khiển cân bằng động hệ số khuếch đại (Dynamic Balanced Gain Control – DBGC) của thiết bị phát sóng vô tuyến, bao gồm các bước sau:

i) tính toán công suất yêu cầu từ khối xử lý băng gốc theo công thức sau:

$$P_{BBT} = 10 \log_{10} \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})^2}{2^{2xNbit}} \quad (1)$$

$$\text{Khi: } \bar{x} = \frac{1}{N} \sum_{i=1}^N x_i$$

trong đó,

- N là số lượng mẫu dữ liệu;
- x_i, x_k lần lượt là mẫu dữ liệu thứ i và thứ k ;
- Nbit là số bit có nghĩa biểu diễn một mẫu dữ liệu;

ii) tính toán độ chênh lệch công suất (ΔP_{BB}) giữa công suất P_{BBT} so với công suất lớn nhất (P_{BBMax}) có thể nhận được từ khối xử lý băng gốc theo công thức sau:

$$\Delta P_{BB} = P_{BBMax} - P_{BBT} \quad (2)$$

iii) điều chỉnh tăng hệ số khuếch đại số thường được triển khai trên vi mạch số khả trình FPGA một khoảng $\Delta G_{KDS} \leq \Delta P_{BB}$ để đảm bảo không bị bão hòa ở đầu vào của DAC; và

iv) điều chỉnh giảm hệ số khuếch đại tương tự một khoảng $\Delta G_{KDTT} = -\Delta G_{KDS}$

trong đó, các bước tính toán độ chênh lệch công suất và điều chỉnh tăng/giảm hệ số khuếch đại trong bộ khuếch đại số/bộ khuếch đại tương tự nêu trên được lặp lại liên tục trong suốt quá trình hoạt động của thiết bị phát sóng vô tuyến. Thời gian thực hiện một

chu kỳ điều khiển được quyết định bởi khoảng thời gian cần thiết để lấy mẫu, tính toán mức công suất tức thời từ khối xử lý băng gốc và tốc độ của thao tác thay đổi hệ số của bộ khuếch đại số và bộ khuếch đại tương tự.

Theo một khía cạnh khác, sáng chế đề xuất bộ điều khiển cân bằng động hệ số khuếch đại áp dụng phương pháp điều khiển cân bằng động hệ số khuếch đại trên các thiết bị phát sóng vô tuyến bao gồm các khối xử lý sau:

i) khối tính công suất và điều chỉnh công suất để tính toán công suất yêu cầu tức thời từ khối xử lý băng gốc theo công thức sau:

$$P_{BBT} = 10 \log_{10} \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})^2}{2^{2xNbit}} \quad (1)$$

$$\text{Khi : } \bar{x} = \frac{1}{N} \sum_{i=1}^N x_i$$

và tính toán độ chênh lệch công suất giữa mức tức thời so với mức tối đa có thể nhận được từ khối xử lý băng gốc theo công thức sau:

$$\Delta P_{BB} = P_{BBMax} - P_{BBT} \quad (2); \text{ và}$$

ii) khối điều chỉnh động hệ số khuếch đại ΔG_{KDS} và ΔG_{KDTT} để điều chỉnh tăng hệ số khuếch đại trong bộ khuếch đại số một khoảng $\Delta G_{KDS} \leq \Delta P_{BB}$ để đảm bảo không bị bão hòa ở đầu vào của DAC và điều chỉnh giảm hệ số khuếch đại của bộ khuếch đại tương tự một khoảng $\Delta G_{KDTT} = -\Delta G_{KDS}$.

Phương pháp và bộ điều khiển cân bằng động theo sáng chế luôn đảm bảo với một mức nhiễu nền cố định của phần cứng, để thiết bị luôn có mức SNR tối ưu mà vẫn tuân thủ mức công suất phát định danh của hệ thống không thay đổi.

Mô tả vắn tắt các hình vẽ

Hình 1a là hình vẽ mô tả trường hợp có SNR tốt, khi công suất tức thời từ khối xử lý băng gốc ở mức tối đa.

Hình 1b là hình vẽ mô tả trường hợp công suất tức thời từ khối xử lý băng gốc ở mức thấp, gây suy giảm SNR.

Hình 2 là hình vẽ dạng sơ đồ khối thể hiện phương pháp điều khiển cân bằng động hệ số khuếch đại theo sáng chế.

Hình 3 là hình vẽ dạng sơ đồ khối thể hiện hệ thống được tích hợp khối điều khiển cân bằng động hệ số khuếch đại theo sáng chế.

Hình 4 là hình vẽ dạng sơ đồ khối thể hiện cách thức triển khai khối điều khiển cân bằng động hệ số khuếch đại theo sáng chế trên nền tảng FPGA phối hợp với ARM.

Hình 5 là hình vẽ mô tả hệ thống thử nghiệm để đánh giá hiệu quả nâng cao SNR của phương pháp điều khiển cân bằng động hệ số khuếch đại theo sáng chế.

Hình 6 là hình vẽ thể hiện kết quả thử nghiệm ở trạng thái cấp phát số tài nguyên 4 đơn vị.

Hình 7 là hình vẽ thể hiện kết quả thử nghiệm ở trạng thái cấp phát số tài nguyên 2 đơn vị.

Mô tả chi tiết sáng chế

Trên thực tế, mục tiêu thiết kế của thiết bị phát sóng vô tuyến là làm sao cho mức công suất tối đa từ khối xử lý băng gốc sẽ tương ứng với mức tối đa của dải đầu vào DAC. Như vậy, khi công suất tức thời từ bộ xử lý băng gốc được gửi tới không ở mức tối đa, thì công suất tức thời này luôn có thể được khuếch đại lên một lượng tương ứng để có thể tận dụng được tối đa dải làm việc của DAC và nâng cao chất lượng SNR ngay sau DAC. Ví dụ, trong trường hợp công suất phát từ thiết bị phát sóng vô tuyến này ở mức tối đa, ví dụ như mức danh định là 43 dBm (như được thể hiện trong Hình 1a), mức SNR tương ứng bằng 62 dB. Tuy nhiên, khi công suất phát từ thiết bị phát sóng ở mức thấp, giả sử là 32 dBm (như được thể hiện trong Hình 1b), thì chất lượng SNR chỉ tương ứng ở mức 57 dB.

Tuy nhiên, để đảm bảo mức công suất định danh (lớn nhất) của thiết bị phát sóng vô tuyến là không thay đổi (tương ứng với mức công suất tối đa yêu cầu từ khối xử lý băng gốc), thì hệ số khuếch đại sẽ tăng lên bao nhiêu, thì hệ số khuếch đại tương tự phải giảm đi tương ứng. Mặt khác, lượng tăng của hệ số khuếch đại số và lượng giảm của hệ số khuếch đại tương tự phải không được vượt quá độ chênh lệch giữa công suất tức thời so với mức công suất tối đa có thể nhận được từ khối xử lý băng gốc để đảm bảo không bị vượt quá dải đầu vào của DAC gây méo tín hiệu đầu ra không mong muốn.

Phần sau đây sẽ mô tả chi tiết các bước thực hiện của phương pháp điều khiển cân bằng động hệ số khuếch đại theo sáng chế. Như được thể hiện trên Hình 2, mức công suất có thể điều chỉnh phụ thuộc vào khả năng điều chỉnh của các bộ khuếch đại số và bộ khuếch đại tương tự, do tính chất khả trình của mạch số, nên thông thường mức điều chỉnh sẽ bị giới hạn bởi hệ số khuếch đại của bộ khuếch đại tương tự ($G_{K\Delta TTTMax}$) chứ không bị giới hạn bởi hệ số khuếch đại của bộ khuếch đại số ($G_{K\Delta SMax}$). Do đó, mức điều chỉnh được chọn là giá trị nhỏ hơn trong hai giá trị $G_{K\Delta SMax}$ và $G_{K\Delta TTTMax}$ như sau:

$$\Delta G_{KD} = \min(G_{K\Delta SMax}, G_{K\Delta TTTMax}) \quad (3)$$

Tiếp theo, thực hiện tính toán mức công suất tức thời P_{BTT} từ khối xử lý băng gốc theo phương pháp lấy mẫu và tính công suất trung bình của bộ tín hiệu có N mẫu theo công thức sau:

$$P_{BBT} = 10 \log_{10} \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \frac{1}{N} \sum_{k=1}^N x_k)^2}{2^{2 \times Nbit}} \quad (1)$$

Trong đó:

- N là số lượng mẫu dữ liệu;
- x_i, x_k lần lượt là mẫu dữ liệu thứ i và thứ k ;
- $Nbit$ là số bit có nghĩa biểu diễn một mẫu dữ liệu.

Sau đó, mức chênh lệch giữa công suất tức thời P_{BBT} so với công suất lớn nhất P_{BBMax} từ khối xử lý băng gốc được xác định theo công thức sau:

$$\Delta P_{BB} = P_{BBMax} - P_{BBT} \quad (2)$$

với mức công suất P_{BBMax} là mức công suất tối đa nhận được từ khối xử lý băng gốc. Mức công suất này là mức đã được thiết kế để không làm bão hòa DAC (giả sử bằng -15dBFS, tương ứng với số lượng tài nguyên cấp phát lớn nhất từ khối xử lý băng gốc, ví dụ tối đa là 50 đơn vị tài nguyên đối với hệ thống có băng thông 10 Mhz). Do đó, mức chênh lệch công suất ΔP_{BB} này tương ứng với mức công suất tối đa có thể tăng được của hệ số khuếch đại số mà không làm bão hòa ở đầu vào của DAC. Ở bước này, sẽ xảy ra 2 trường hợp:

Trường hợp 1: Nếu mức chênh công suất ΔP_{BB} này lớn hơn mức công suất tối đa cho phép điều chỉnh ΔG_{KD} được tính theo công thức (3), thì mức điều chỉnh ở bộ khuếch đại số được đặt bằng giá trị: $\Delta G_{KDS} = \Delta G_{KD}$

Trường hợp 2: Nếu mức chênh công suất ΔP_{BB} nhỏ hơn mức công suất tối đa cho phép điều chỉnh ΔG_{KD} , thì mức điều chỉnh ở bộ khuếch đại số được đặt bằng giá trị: $\Delta G_{KDS} = \Delta P_{BB}$

Do đó, hệ số khuếch đại của bộ khuếch đại số được điều khiển tăng lên một lượng tương ứng ΔG_{KDS} để không làm bão hòa DAC theo công thức (2) và cũng không vượt quá khả năng của bộ khuếch đại số, bộ khuếch đại tương tự theo công thức (3).

Như vậy, ở cả 2 trường hợp trên, công suất đầu ra số đang tận dụng nhiều nhất dải đầu vào của DAC, do đó đối với mức nhiễu nền của DAC là cố định, thì chất lượng SNR đã được nâng lên một khoảng tương ứng (lý tưởng) tới mức SNR của tín hiệu số được gửi lên từ khối xử lý băng gốc. Tuy nhiên, lúc này tổng công suất toàn tuyến phát sẽ bị tăng lên là ΔG_{KDS} , tương đương với việc tăng công suất phát định danh tối đa lên một khoảng là ΔG_{KDS} . Để tránh hiệu ứng không mong muốn nêu trên, hệ số của bộ khuếch đại tương tự cũng phải giảm đi khoảng tương ứng là: $\Delta G_{KDT} = -\Delta G_{KDS}$.

Lặp lại quá trình tính toán và điều chỉnh nêu trên liên tục trong suốt quá trình hoạt động của thiết bị phát sóng vô tuyến. Mức độ lặp sẽ được quyết định bởi khoảng thời gian cần thiết để lấy mẫu và tính toán mức công suất tức thời từ khối xử lý băng gốc,

ngoài ra còn phụ thuộc vào tốc độ của thao tác thay đổi hệ số của bộ khuếch đại số và bộ khuếch đại tương tự.

Hình 3 là hình vẽ mô tả hệ thống có tích hợp khối điều khiển cân bằng động hệ số khuếch đại theo sáng chế. Đầu tiên, dữ liệu từ khối xử lý băng gốc được gửi tới qua giao thức truyền dẫn vô tuyến (Common Public Radio Interface – CPRI), dữ liệu số được xử lý tăng tốc lấy mẫu, rồi xử lý cắt đỉnh và bù méo phi tuyến. Trước khi đưa ra DAC, dữ liệu được khuếch đại bởi bộ khuếch đại số. Sau DAC, dữ liệu tương tự được cho qua bộ khuếch đại tương tự, nâng lên cao tần và sau cùng là tới bộ khuếch đại công suất chính. Tổng hợp hệ số khuếch đại của các bộ khuếch đại số, bộ khuếch đại tương tự và bộ khuếch đại công suất chính tạo ra hệ số khuếch đại của toàn tuyến phát. Khối tính toán công suất và khối điều khiển sẽ thực hiện điều chỉnh động hệ số khuếch đại của bộ khuếch đại số và bộ khuếch đại tương tự để có được chất lượng SNR tốt nhất theo phương pháp điều khiển cân bằng động theo sáng chế như được mô tả trong Hình 2.

Trên thực tế, các bước của phương pháp điều khiển cân bằng động hệ số khuếch đại theo sáng chế sẽ có thể được triển khai bằng cách phối hợp cả vi mạch số khả trình (Field Programmable Logic Array - FPGA) và vi xử lý (Advanced RISC Machine - ARM) trên vi mạch ZynQ.

Ví dụ thực hiện sáng chế

Hình 4 là hình vẽ dạng sơ đồ khối mô tả cách thức triển khai khối điều khiển cân bằng động hệ số khuếch đại theo sáng chế trên nền tảng FPGA phối hợp với ARM.

Như được thể hiện trên Hình 4, phần tính toán công suất được thực hiện trên FPGA bao gồm 2 bước: Lấy mẫu và tính toán công suất miền số tức thời P_{BBTT} . Sau khi có giá trị P_{BBTT} , tiếp tục tính toán mức độ chênh lệch ΔP_{BB} giữa công suất tức thời so với mức công suất công suất lớn nhất tại khối điều khiển. Khối điều khiển này cùng với các tính năng đọc công suất, điều chỉnh khuếch đại số và điều chỉnh khuếch đại tương tự được thực hiện trên ARM.

Luồng xử lý dữ liệu số bao gồm tăng tốc độ lấy mẫu, xử lý bù méo... được triển khai trên FPGA tương tự theo các giải pháp đã biết trong lĩnh vực kỹ thuật này. Phần còn lại, là khu vực xử lý tương tự gồm DAC, bộ khuếch đại tương tự, bộ trộn tần và bộ khuếch đại công suất chính.

Hệ thống thử nghiệm này có bộ thông số kỹ thuật như được thể hiện trong Bảng 1 sau đây:

Bảng 1: Các tham số của hệ thống thử nghiệm

Tham số hệ thống	Giá trị
Băng thông tín hiệu	10 MHz
Băng tần tín hiệu	Băng tần 3

Tần số trung tâm	1870 MHz
Số bit biểu diễn/mẫu dữ liệu	15
P_{BBMax}	-15 dBFS
P_{OMax}	43 dBm
ΔG_{KD}	≤ 8 dB

Tiến hành thử nghiệm một số tình huống trong đó mức công suất được gửi lên từ khối xử lý băng gốc là thấp, tương ứng với các trạng thái cấp phát ít tài nguyên cho người sử dụng.

Việc đánh giá hiệu quả của phương pháp theo sáng chế sẽ dựa trên chất lượng SNR ở đầu ra của thiết bị phát sóng, cụ thể là so sánh tỷ số công suất của tín hiệu mong muốn trên tổng nhiễu của hệ thống. Do nhiều hệ thống sẽ được tổng hợp từ nhiều trong kênh và nhiều kênh lân cận nên mức tăng SNR sẽ tương ứng với độ cải thiện của tỷ số giữa tín hiệu có ích với nhiễu kênh lân cận.

Hình 5 là hình vẽ mô tả hệ thống thử nghiệm để đánh giá hiệu quả nâng cao SNR của phương pháp điều khiển cân bằng động hệ số khuếch đại theo sáng chế. Dữ liệu thử nghiệm được tạo bởi khối xử lý băng gốc được gửi đến thiết bị phát sóng qua giao diện CPRI, trong thiết bị phát sóng đã được tích hợp khối điều khiển cân bằng động hệ số khuếch đại, tín hiệu phát ra được đo trên máy phân tích tín hiệu (VSA).

Thử nghiệm 1: Cấp phát 4 đơn vị tài nguyên của tuyến phát

Thử nghiệm đầu tiên, là trạng thái cấp phát 4 đơn vị tài nguyên của tuyến phát (lưu ý rằng mức tối đa tuyến phát của băng thông 10 MHz là 50 đơn vị tài nguyên). Trường hợp này, sử dụng máy đo cho thấy trước và sau khi kích hoạt khối điều khiển cân bằng động hệ số khuếch đại đã làm tăng chất lượng SNR lên khoảng 2 dB (xem Hình 6). Thực tế, kết quả thử nghiệm cho thấy việc cải thiện chất lượng SNR lên 2 dB đã đến tới hạn của hệ thống, tức là đạt đến mức SNR của tín hiệu được gửi lên thiết bị phát sóng từ khối xử lý băng gốc, tương ứng với hệ thống dữ liệu 15 Bit bao gồm 1 Bit đầu.

Thử nghiệm 2: Cấp phát 2 đơn vị tài nguyên của tuyến phát

Thử nghiệm tiếp theo, là trạng thái cấp phát 2 đơn vị tài nguyên của tuyến phát. Trong trường hợp này, kết quả đo trên máy VSA cho thấy trước và sau khi kích hoạt khối điều khiển cân bằng động hệ số khuếch đại đã làm tăng chất lượng SNR lên khoảng 2,1 dB (xem Hình 7). Tương tự như tình huống trước, mức cải thiện chất lượng SNR lên khoảng 2 dB là đạt tới mức SNR của tín hiệu được gửi lên thiết bị phát sóng từ khối xử lý băng gốc.

Hai thử nghiệm nêu trên cho thấy hiệu quả thực tiễn của phương pháp điều khiển cân bằng động hệ số khuếch đại đối với trường hợp công suất phát yêu cầu từ khối xử lý

băng gốc là thấp, thiết bị phát sóng luôn có thể tận dụng được tối đa chất lượng SNR của tín hiệu gửi lên từ khối xử lý băng gốc. Ngoài ra, nếu muốn nâng cao chất lượng SNR hơn nữa, tức nhiều hơn mức 2 dB thì cần phải nâng cao chất lượng SNR từ khối xử lý băng gốc, ví dụ thiết kế hệ thống với yêu cầu tăng số lượng bBit của dữ liệu số truyền lên từ khối xử lý băng gốc. Cụ thể, với số bBit biểu diễn là 16 bit thay cho 15 bit như thử nghiệm này, sẽ cho mức SNR của tín hiệu gửi lên từ xử lý băng gốc là 77dB, tương ứng với mức SNR của tín hiệu ra sau cùng, sau khi bật tính năng này lên sẽ cải thiện được cỡ 2,8 dB.

Hiệu quả đạt được của sáng chế

Phương pháp theo sáng chế là khả thi và dễ áp dụng để nâng cao chất lượng SNR hệ thống. Phương pháp giúp tối ưu hóa chất lượng tín hiệu phát ra đạt mức tương đương với SNR gửi lên từ khối xử lý băng gốc trong mọi trường hợp công suất khác nhau.

YÊU CẦU BẢO HỘ

1. Phương pháp điều khiển cân bằng động hệ số khuếch đại trên các thiết bị phát sóng vô tuyến, phương pháp này bao gồm các bước sau:

i) tính toán công suất yêu cầu tức thời từ khối xử lý băng gốc theo công thức sau:

$$P_{BBT} = 10 \log_{10} \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})^2}{2^{2xNbit}} \quad (1)$$

$$\text{Khi : } \bar{x} = \frac{1}{N} \sum_{i=1}^N x_i$$

trong đó

- N là số lượng mẫu dữ liệu;
- x_i, x_k lần lượt là mẫu dữ liệu thứ i và thứ k ;
- Nbit là số bit có nghĩa biểu diễn một mẫu dữ liệu;

ii) tính toán độ chênh lệch công suất (ΔP_{BB}) giữa công suất tức thời (P_{BBT}) so với công suất lớn nhất (P_{BBMax}) nhận được từ khối xử lý băng gốc theo công thức sau:

$$\Delta P_{BB} = P_{BBMax} - P_{BBT} \quad (2)$$

iii) điều chỉnh tăng hệ số khuếch đại trong bộ khuếch đại số một khoảng $\Delta G_{KDS} \leq \Delta P_{BB}$ để đảm bảo không bị bão hòa ở đầu vào của khối chuyển đổi số sang tương tự (Digital-to-Analog Converter - DAC); và

iv) điều chỉnh giảm hệ số khuếch đại của bộ khuếch đại tương tự một khoảng $\Delta G_{KDT} = -\Delta G_{KDS}$

trong đó, các bước tính toán độ chênh lệch công suất và điều chỉnh tăng/giảm hệ số khuếch đại trong bộ khuếch đại số/bộ khuếch đại tương tự nêu trên được lặp lại liên tục trong suốt quá trình hoạt động của thiết bị phát sóng vô tuyến.

2. Bộ điều khiển cân bằng động hệ số khuếch đại áp dụng phương pháp theo điểm 1, bộ điều khiển này bao gồm các khối xử lý sau:

i) khối tính công suất và điều chỉnh công suất để tính toán công suất yêu cầu tức thời từ khối xử lý băng gốc theo công thức sau:

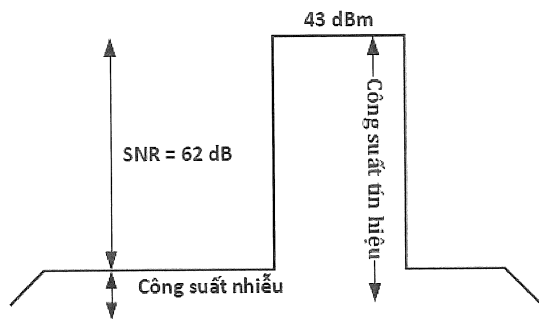
$$P_{BBT} = 10 \log_{10} \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})^2}{2^{2xNbit}} \quad (1)$$

$$\text{Khi : } \bar{x} = \frac{1}{N} \sum_{i=1}^N x_i$$

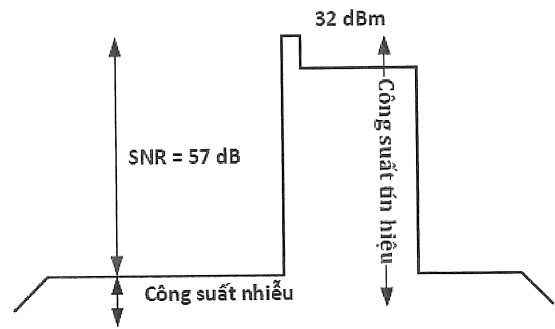
và tính toán độ chênh lệch công suất (ΔP_{BB}) giữa công suất tức thời (P_{BBTT}) so với công suất lớn nhất (P_{BBMax}) nhận được từ khối xử lý bằng gốc theo công thức sau:

$$\Delta P_{BB} = P_{BBMax} - P_{BBTT} \quad (2); \text{ và}$$

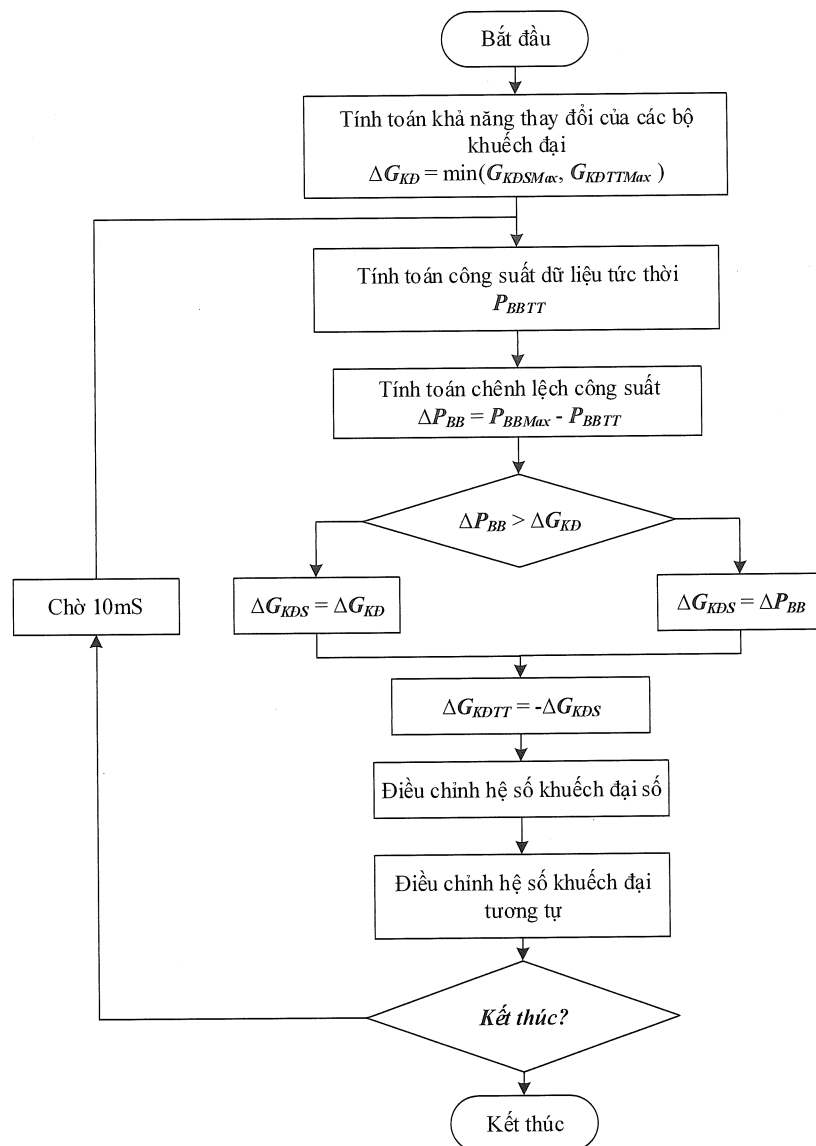
ii) khối điều khiển động hệ số khuếch đại ΔG_{KDS} và ΔG_{KDTT} để điều chỉnh tăng hệ số khuếch đại trong bộ khuếch đại số một khoảng $\Delta G_{KDS} \leq \Delta P_{BB}$ để đảm bảo không bị bão hòa ở đầu vào của khối chuyển đổi số sang tương tự (Digital-to-Analog Converter - DAC) và điều chỉnh giảm hệ số khuếch đại của bộ khuếch đại tương tự một khoảng $\Delta G_{KDTT} = -\Delta G_{KDS}$.



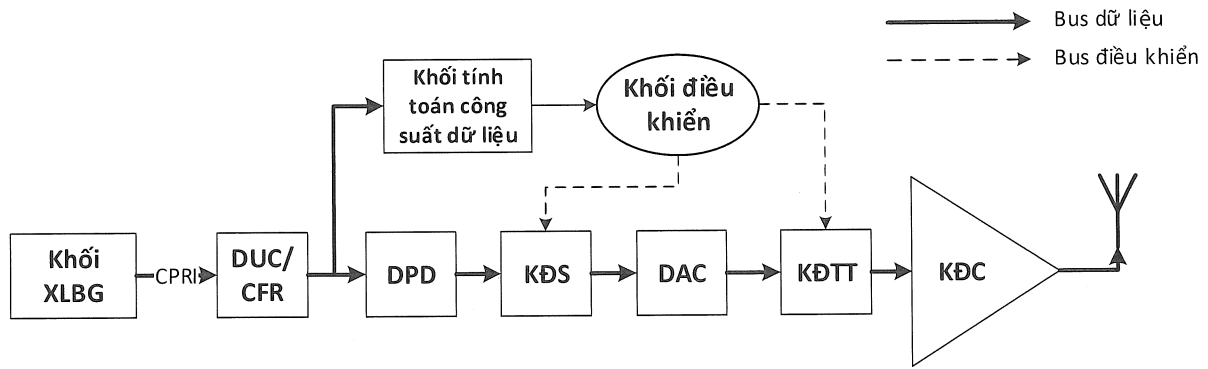
Hình 1a



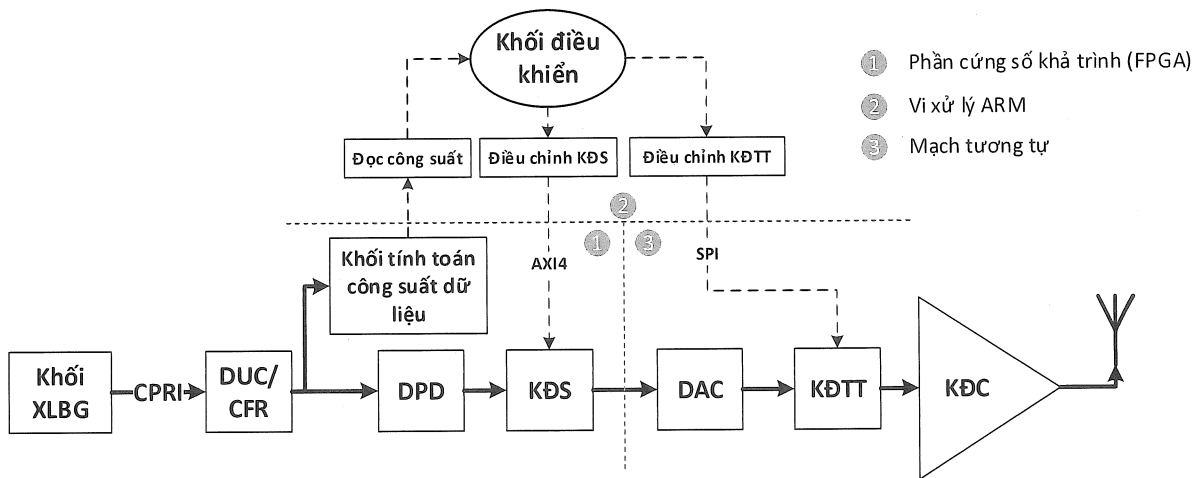
Hình 1b



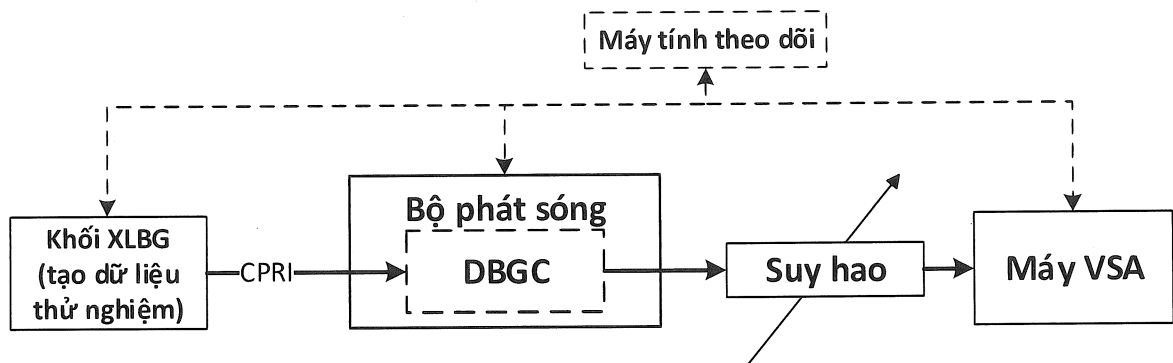
Hình 2



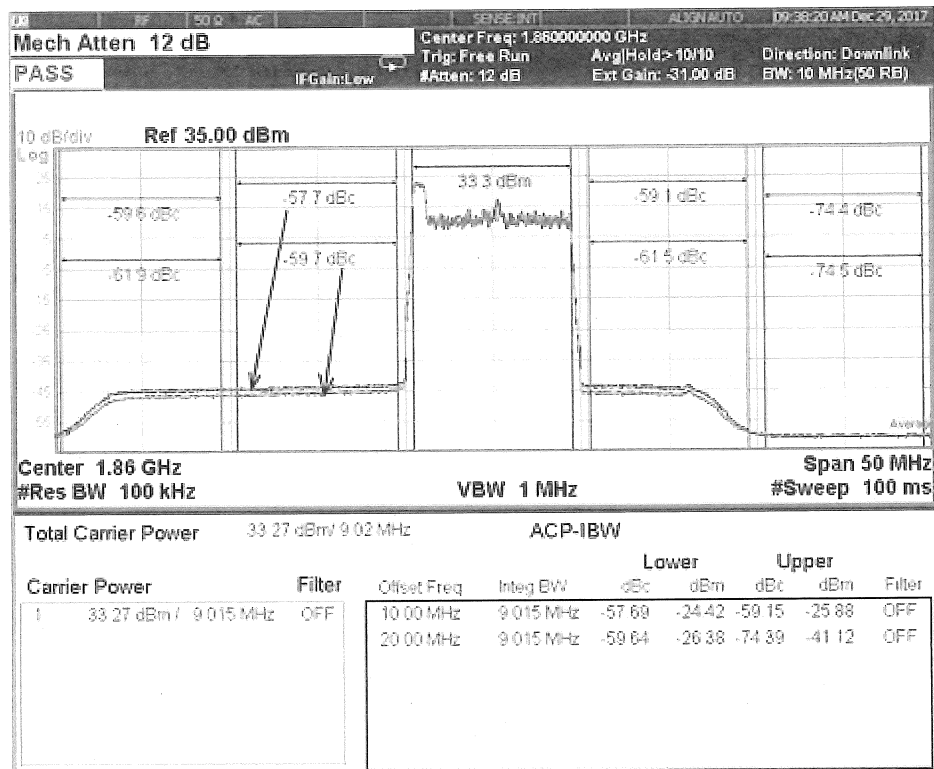
Hình 3



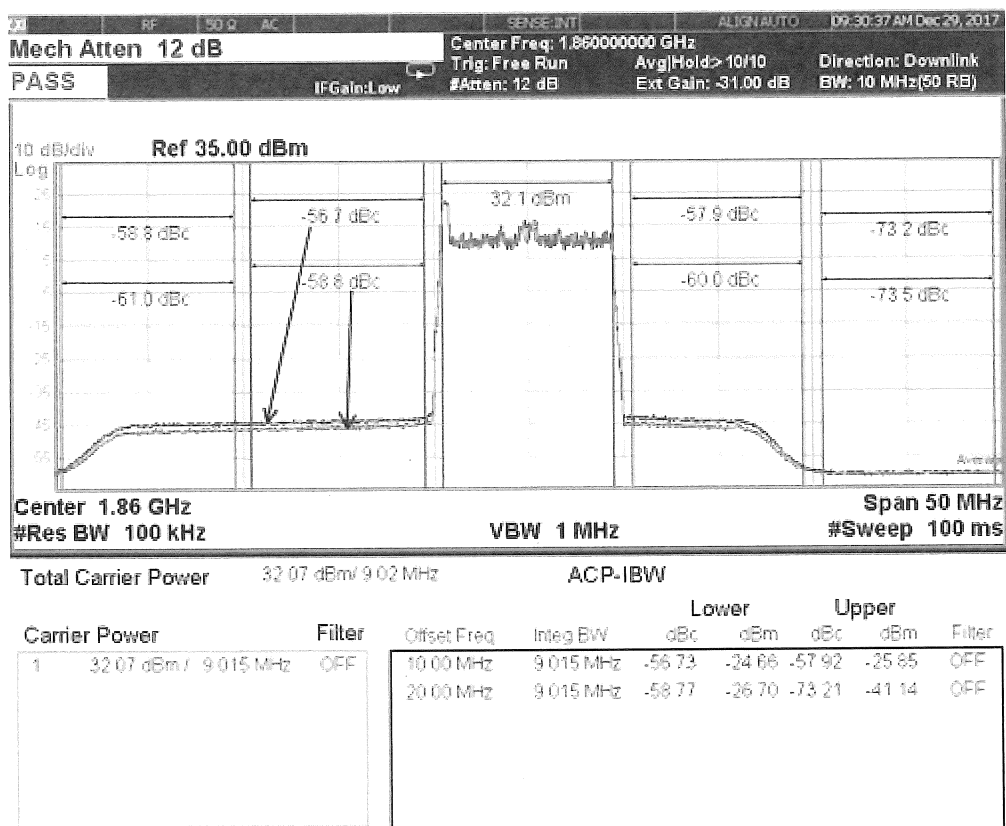
Hình 4



Hình 5



Hình 6



Hình 7