



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0036292

(51)⁷ G06F 003/041

(13) B

(21) 1-2018-03653

(22) 17/08/2018

(30) 10-2017-0104279 17/08/2017 KR

(45) 25/07/2023 424

(43) 25/02/2019 371A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

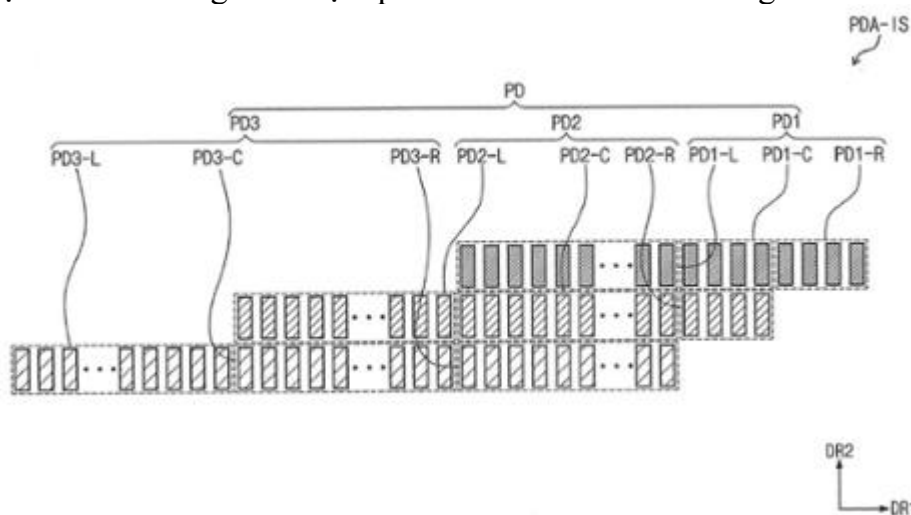
1, Samsung-Ro, Giheung-Gu, Yongin-Si, Gyeonggi-Do, Republic of Korea

(72) Mi-ae PARK (KR); Jinhwan KIM (KR); Byeong-jin LEE (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) BỘ HIỂN THỊ

(57) Sáng chế đề cập đến bộ hiển thị bao gồm bộ phận cảm biến đầu vào có các điện cực cảm biến, các đường tín hiệu, mỗi đường được nối với một điện cực tương ứng trong số các điện cực cảm biến, và các đế hàn cảm biến, mỗi đế hàn được nối với một đường tương ứng trong số các đường tín hiệu. Các đế hàn cảm biến được bố trí theo kết cấu không tuyến tính, chẳng hạn như các hàng khi được quan sát trên hình chiếu bằng.



Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập đến bộ hiển thị bao gồm bộ phận cảm biến đầu vào, và, cụ thể hơn, đề cập đến bộ hiển thị trong đó chiều rộng của phần nối đế hàn của bộ phận cảm biến đầu vào nhỏ hơn chiều rộng của phần nối đế hàn của màn hiển thị.

Tình trạng kỹ thuật của sáng chế

Các thiết bị điện tử chẳng hạn như điện thoại thông minh, camera kỹ thuật số, máy tính xách tay, hệ thống dẫn đường, và tivi thông minh đã được phát triển. Các thiết bị điện tử này bao gồm các bộ hiển thị để cung cấp thông tin.

Các bộ hiển thị có thể bao gồm các bộ phận cảm biến đầu vào được sử dụng làm các thiết bị đầu vào và được bố trí trên các bề mặt trước của các panen hiển thị. Các bộ phận cảm biến đầu vào có thể được phân loại là bộ phận bất kỳ trong số các bộ phận cảm biến đầu vào kiểu bổ trợ, các bộ phận cảm biến đầu vào kiểu tích hợp kính che, và các bộ phận cảm biến đầu vào kiểu tích hợp màn hiển thị. Các bộ phận cảm biến đầu vào kiểu tích hợp màn hiển thị có thể bao gồm các bộ phận cảm biến đầu vào kiểu trong tế bào và các bộ phận cảm biến đầu vào kiểu trên tế bào. Các bộ phận cảm biến đầu vào làm tăng thêm độ phức tạp cho việc chế tạo bộ hiển thị và thường có bảng mạch in riêng biệt mà được gia nhiệt hoặc ép trong quá trình chế tạo để gắn bộ phận này vào panen hiển thị.

Thông tin nêu trên được bộc lộ trong phần tình trạng kỹ thuật này chỉ nhằm để hiểu tình trạng kỹ thuật của sáng chế, và, do đó, nó có thể chứa thông tin không tạo thành tình trạng kỹ thuật.

Bản chất kỹ thuật của sáng chế

Người nộp đơn nhận thấy rằng việc gắn các bảng mạch in (PCB, printed circuit board) dùng cho bộ phận cảm biến đầu vào và màn hiển thị vào panen hiển thị (ví dụ, gắn bằng nhiệt) có thể dẫn đến các vấn đề khi chế tạo và khuyết tật khi các PCB được

bố trí ở các vị trí chồng sít. Các bộ hiển thị được tạo thành theo các nguyên lý và các phương án làm ví dụ theo sáng chế có khả năng giảm bớt chiều rộng của phần nối đế hàn của bộ phận cảm biến đầu vào, nhờ đó giảm thiểu sự xếp chồng và các khuyết tật do các quy trình gắn.

Ngoài ra, các bộ hiển thị được tạo thành theo các nguyên lý và các phương án thực hiện làm ví dụ theo sáng chế có khả năng giảm bớt chiều rộng của COF (Mạch in mềm dẻo trên chip) để tương ứng với chiều rộng được giảm bớt của phần đế hàn.

Các dấu hiệu bổ sung của sáng chế sẽ được nêu trong phần mô tả sau đây, và từng phần sẽ rõ ràng nhờ phần mô tả, hoặc có thể được biết bằng cách thực hành sáng chế.

Theo một khía cạnh của sáng chế, bộ hiển thị bao gồm panen hiển thị có vùng hiển thị bao gồm các phần tử phát quang; và vùng không hiển thị có các đế hàn hiển thị được nối điện với các phần tử phát quang; bảng mạch in thứ nhất được bố trí trên vùng không hiển thị của panen hiển thị và được nối điện với các đế hàn hiển thị; thành phần kết dính thứ nhất được bố trí trên vùng hiển thị của panen hiển thị và một phần của bảng mạch in thứ nhất; thành phần kết dính thứ hai được bố trí trên thành phần chống phản xạ; bảng mạch in thứ hai chồng lên vùng không hiển thị; màng dẫn điện dị hướng được bố trí trên bảng mạch in thứ hai; các điện cực cảm biến chồng lên vùng hiển thị và được bố trí trên thành phần kết dính thứ hai; các đường tín hiệu, mỗi đường trong số các đường này được nối với một điện cực tương ứng trong số các điện cực cảm biến; và các đế hàn cảm biến được bố trí trên màng dẫn điện dị hướng và được nối điện với bảng mạch in thứ hai bằng màng dẫn điện dị hướng, trong đó các đế hàn cảm biến được bố trí theo kết cấu không tuyến tính.

Các đế hàn cảm biến có thể được bố trí theo các hàng.

Bộ hiển thị có thể còn bao gồm màng nền được bố trí trên các điện cực cảm biến, các đường tín hiệu, và các đế hàn cảm biến; thành phần kết dính thứ ba được bố trí trên màng nền; và cửa sổ được bố trí trên thành phần kết dính thứ ba.

Các đế hàn cảm biến có thể bao gồm các đế hàn cảm biến thứ nhất được bố trí

trong hàng thứ nhất trong số các hàng; các đế hàn cảm biến thứ hai được bố trí trong hàng thứ hai trong số các hàng; và các đế hàn cảm biến thứ ba được bố trí trong hàng thứ ba trong số các hàng.

N đường tín hiệu trong số các đường tín hiệu có thể được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ nhất, trong đó ' n ' là số tự nhiên bằng hoặc lớn hơn 2, và m đường tín hiệu trong số các đường tín hiệu có thể được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ hai, trong đó ' m ' là số tự nhiên nhỏ hơn ' n '. ' n ' có thể bằng 2 và ' m ' có thể bằng 1.

Các đường tín hiệu không thể được bố trí giữa hai đế hàn liền kề bất kỳ trong số các đế hàn cảm biến thứ ba.

Các đế hàn cảm biến thứ nhất có thể được bố trí theo hướng thứ nhất, các đế hàn cảm biến thứ hai được bố trí theo hướng thứ nhất, và các đế hàn cảm biến thứ ba được bố trí theo hướng thứ nhất. Các đế hàn cảm biến thứ nhất có thể bao gồm các đế hàn cảm biến bên trái thứ nhất chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai vuông góc với hướng thứ nhất; các đế hàn cảm biến ở giữa thứ nhất chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ nhất không chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai.

Các đế hàn cảm biến thứ hai có thể bao gồm các đế hàn cảm biến bên trái thứ hai chỉ chồng lên các đế hàn cảm biến thứ ba trong số các đế hàn cảm biến theo hướng thứ hai; các đế hàn cảm biến ở giữa thứ hai chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ ba theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ hai chỉ chồng lên các đế hàn cảm biến thứ nhất trong số các đế hàn cảm biến theo hướng thứ hai.

Các đế hàn cảm biến thứ ba có thể bao gồm các đế hàn cảm biến bên trái thứ ba không chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai; các đế hàn cảm biến ở giữa thứ ba chỉ chồng lên các đế hàn cảm biến thứ

hai trong số các đế hàn cảm biến theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ ba chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai.

Một số đế hàn trong số các đế hàn cảm biến có thể được bố trí theo hai hàng chồng lên nhau, và đế hàn còn lại trong số các đế hàn cảm biến có thể được bố trí theo ba hàng chồng lên nhau. Hai trong số các đường tín hiệu có thể được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ nhất. Hai trong số các đường tín hiệu có thể được bố trí giữa hai trong số các đế hàn cảm biến thứ hai, mà liền kề với nhau trong hai hàng chồng lên nhau. Một trong số các đường tín hiệu có thể được bố trí giữa hai trong số các đế hàn cảm biến thứ hai, mà liền kề với nhau trong ba hàng chồng lên nhau.

Các đế hàn cảm biến có thể được bố trí trong vùng đế hàn cảm biến có chiều dài thứ nhất ngắn hơn chiều dài thứ hai của vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí.

Chiều dài thứ nhất có thể bằng hoặc lớn hơn 35% và nhỏ hơn 45% chiều dài thứ ba của panen hiển thị, và chiều dài thứ hai có thể bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba. Chiều dài thứ nhất có thể bằng hoặc lớn hơn 75% và bằng hoặc nhỏ hơn 85% chiều dài thứ hai.

Bộ hiển thị có thể còn bao gồm vùng đế hàn cảm biến bên trái trong đó các đế hàn cảm biến bên trái trong số các đế hàn cảm biến được bố trí, và vùng đế hàn cảm biến bên phải trong đó các đế hàn cảm biến bên phải trong số các đế hàn cảm biến được bố trí; vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí. Phần bên phải của vùng đế hàn cảm biến bên trái có thể chồng lên phần bên trái của vùng đế hàn hiển thị trên hình chiếu bằng, và phần bên trái của vùng đế hàn cảm biến bên phải chồng lên phần bên phải của vùng đế hàn hiển thị trên hình chiếu bằng.

Các đế hàn cảm biến có thể không chồng lên các đế hàn hiển thị khi được quan sát trên hình chiếu bằng.

Bộ hiển thị có thể còn bao gồm thành phần chống phản xạ chồng lên vùng hiển

thị và được bố trí trên thành phần kết dính thứ nhất. Một phần của các đế hàn cảm biến có thể chồng lên thành phần chống phản xạ khi được quan sát trên hình chiếu bằng.

Các điện cực cảm biến có thể bao gồm vật liệu dẫn điện trong suốt.

Mỗi trong số các điện cực cảm biến có thể có dạng lưới.

Thành phần chống phản xạ có thể là tấm phân cực.

Theo khía cạnh khác của sáng chế, bộ hiển thị bao gồm panen hiển thị bao gồm các phần tử phát quang; và bộ phận cảm biến đầu vào được bố trí trên panen hiển thị và nhận biết sự tiếp xúc của vật thể bên ngoài. Bộ phận cảm biến đầu vào có thể bao gồm màng nền; các điện cực cảm biến được bố trí dưới màng nền; các đường tín hiệu lần lượt được nối với các điện cực cảm biến và truyền các tín hiệu tương ứng với các thay đổi về điện dung của các điện cực cảm biến; và các đế hàn cảm biến lần lượt được nối với các đường tín hiệu và được bố trí theo kết cấu không tuyến tính.

Bộ hiển thị có thể còn bao gồm thành phần chống phản xạ được bố trí giữa panen hiển thị và bộ phận cảm biến đầu vào. Thành phần chống phản xạ có thể là tấm phân cực.

Bộ hiển thị có thể còn bao gồm thành phần kết dính thứ nhất được bố trí giữa panen hiển thị và thành phần chống phản xạ; và thành phần kết dính thứ hai được bố trí giữa bộ phận cảm biến đầu vào và thành phần chống phản xạ.

Ít nhất một trong số các điện cực cảm biến có thể được ghép nối về mặt điện dung với vật thể bên ngoài để tạo ra thay đổi về điện dung.

Mỗi trong số các điện cực cảm biến có thể được cách điện khỏi các điện cực còn lại trong số các điện cực cảm biến.

Các đế hàn cảm biến có thể bao gồm các đế hàn cảm biến thứ nhất được bố trí trong hàng thứ nhất trong số các hàng; các đế hàn cảm biến thứ hai được bố trí trong hàng thứ hai trong số các hàng; và các đế hàn cảm biến thứ ba được bố trí trong hàng

thứ ba trong số các hàng.

N đường tín hiệu trong số các đường tín hiệu có thể được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ nhất, trong đó ' n ' là số tự nhiên bằng hoặc lớn hơn 2 và m đường tín hiệu trong số các đường tín hiệu có thể được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ hai, trong đó ' m ' là số tự nhiên nhỏ hơn ' n '. ' n ' có thể bằng 2 và ' m ' có thể bằng 1.

Các đường tín hiệu không thể được bố trí giữa hai đế hàn liền kề bất kỳ trong số các đế hàn cảm biến thứ ba.

Các đế hàn cảm biến thứ nhất có thể được bố trí theo hướng thứ nhất, các đế hàn cảm biến thứ hai được bố trí theo hướng thứ nhất, và các đế hàn cảm biến thứ ba được bố trí theo hướng thứ nhất. Các đế hàn cảm biến thứ nhất có thể bao gồm các đế hàn cảm biến bên trái thứ nhất chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai vuông góc với hướng thứ nhất; các đế hàn cảm biến ở giữa thứ nhất chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ nhất không chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai.

Các đế hàn cảm biến thứ hai có thể bao gồm các đế hàn cảm biến bên trái thứ hai chỉ chồng lên các đế hàn cảm biến thứ ba trong số các đế hàn cảm biến theo hướng thứ hai; các đế hàn cảm biến ở giữa thứ hai chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ ba theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ hai chỉ chồng lên các đế hàn cảm biến thứ nhất trong số các đế hàn cảm biến theo hướng thứ hai.

Các đế hàn cảm biến thứ ba có thể bao gồm các đế hàn cảm biến bên trái thứ ba không chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai; các đế hàn cảm biến ở giữa thứ ba chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và các đế hàn cảm biến bên phải thứ ba chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo

hướng thứ hai.

Các đế hàn cảm biến có thể được bố trí trong vùng đế hàn cảm biến có chiều dài thứ nhất ngắn hơn chiều dài thứ hai của vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí.

Chiều dài thứ nhất có thể bằng hoặc lớn hơn 35% và nhỏ hơn 45% chiều dài thứ ba của panen hiển thị, và chiều dài thứ hai có thể bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba. Chiều dài thứ nhất có thể nằm trong khoảng từ 75% đến 85% chiều dài thứ hai.

Khoảng cách thứ nhất giữa các đế hàn cảm biến thứ nhất có thể lớn hơn khoảng cách thứ hai giữa các đế hàn cảm biến thứ hai, và khoảng cách thứ hai giữa các đế hàn cảm biến thứ hai có thể lớn hơn khoảng cách thứ ba giữa các đế hàn cảm biến thứ ba.

Khoảng cách giữa các đế hàn cảm biến thứ ba liền kề với nhau trong hai hàng chồng lên nhau có thể khác khoảng cách giữa các đế hàn cảm biến thứ ba liền kề với nhau trong ba hàng chồng lên nhau.

Cần hiểu rằng cả phần mô tả tổng quát nêu trên và phần mô tả chi tiết sau đây là để làm ví dụ và giải thích và nhằm cung cấp sự giải thích sâu hơn về sáng chế được yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, mà được bao gồm để cung cấp sự hiểu sâu hơn về sáng chế và được kết hợp và tạo thành một phần của bản mô tả này, minh họa các phương án làm ví dụ theo sáng chế, và cùng với phần mô tả, dùng để giải thích sáng chế.

Fig.1 là hình vẽ phối cảnh của phương án làm ví dụ của bộ hiển thị được tạo thành theo các nguyên lý của sáng chế dưới dạng kết cấu mở rộng, thường là phẳng.

Fig.2A và Fig.2B là các hình vẽ mặt cắt được cắt dọc theo đường I-I' trên Fig.1.

Fig.3 là hình chiếu bằng của panen hiển thị theo phương án làm ví dụ của sáng

ché.

Fig.4 là sơ đồ mạch tương đương của điểm ảnh đại diện trên Fig.3.

Fig.5 là hình vẽ mặt cắt của điểm ảnh trên Fig.3.

Fig.6 là hình chiếu bằng của phương án làm ví dụ của bộ phận cảm biến đầu vào được tạo thành theo các nguyên lý của sáng chế.

Fig.7 là hình chiếu bằng thể hiện phương án làm ví dụ của vùng đế hàn cảm biến trên Fig.6.

Fig.8 là hình chiếu bằng của một số đế hàn trong số các đế hàn cảm biến trên Fig.7 và các đường tín hiệu được nối với các đế hàn này.

Fig.9 là hình chiếu bằng của một số đế hàn trong số các đế hàn cảm biến trên Fig.7 và các đường tín hiệu được nối với các đế hàn này.

Fig.10 là hình chiếu bằng của phương án làm ví dụ khác của bộ phận cảm biến đầu vào được tạo thành theo các nguyên lý của sáng chế.

Fig.11 là hình chiếu bằng của các đế hàn cảm biến được bố trí trong vùng đế hàn cảm biến bên trái hoặc vùng đế hàn cảm biến bên phải trên Fig.10.

Fig.12 là hình chiếu bằng của một số đế hàn trong số các đế hàn cảm biến trên Fig.11 và các đường tín hiệu được nối với các đế hàn này.

Fig.13 là hình chiếu bằng của một số đế hàn trong số các đế hàn cảm biến trên Fig.11 và các đường tín hiệu được nối với các đế hàn này.

Fig.14 và Fig.15 là các hình chiếu bằng của các phương án làm ví dụ của các bộ phận cảm biến đầu vào theo các nguyên lý của sáng chế.

Fig.16 và Fig.17 là các hình vẽ mặt cắt của các phương án làm ví dụ của các bộ phận cảm biến đầu vào theo các nguyên lý của sáng chế.

Fig.18 là hình vẽ phối cảnh của phương án làm ví dụ của bộ hiển thị được tạo thành theo các nguyên lý của sáng chế ở vị trí được gộp gọn.

Mô tả chi tiết sáng chế

Trong phần mô tả sau đây, nhằm mục đích giải thích, nhiều chi tiết cụ thể được nêu để cung cấp việc hiểu toàn diện các phương án làm ví dụ hoặc các phương án thực hiện khác nhau khi thực hiện sáng chế. Như được sử dụng ở đây “các phương án” và “các phương án thực hiện” là các từ ngữ hoán đổi được mà là các ví dụ không làm giới hạn về các thiết bị hoặc phương pháp sử dụng một hoặc nhiều ý tưởng sáng tạo được bộc lộ ở đây. Tuy nhiên, rõ ràng là các phương án làm ví dụ khác nhau có thể được thực hành mà không có các chi tiết cụ thể này hoặc có một hoặc nhiều cách bố trí tương đương. Theo các ví dụ khác, các kết cấu và các thiết bị đã biết rộng rãi được thể hiện dưới dạng sơ đồ khối để tránh làm các phương án làm ví dụ khác nhau khó hiểu một cách không cần thiết. Ngoài ra, các phương án làm ví dụ khác nhau có thể khác, nhưng không nhất thiết phải loại trừ. Ví dụ, các hình dạng, kết cấu, và đặc điểm cụ thể của phương án làm ví dụ có thể được sử dụng hoặc được thực hiện theo phương án làm ví dụ khác mà không nằm ngoài sáng chế.

Trừ khi được chỉ ra khác, các phương án làm ví dụ được minh họa cần được hiểu là cung cấp các dấu hiệu làm ví dụ của chi tiết biến đổi của các cách thức nhất định theo đó sáng chế có thể được thực hiện trong thực tế. Do đó, trừ khi được chỉ ra khác, các dấu hiệu, các thành phần, các môđun, các lớp, các màng, các panen, các vùng, và/hoặc các khía cạnh, v.v.. (sau đây được gọi chung hoặc riêng là “các phần tử”), theo các phương án khác nhau có thể được kết hợp, được tách biệt, được hoán đổi, và/hoặc được bố trí lại theo cách khác mà không nằm ngoài sáng chế.

Việc sử dụng cách gạch chéo và/hoặc tạo bóng trên các hình vẽ kèm theo thường được tạo ra để làm rõ các ranh giới giữa các phần tử liền kề. Như thế, việc có hay không có sự gạch chéo hoặc tạo bóng đều không truyền tải hoặc biểu thị sự tham chiếu hoặc yêu cầu bất kỳ về các vật liệu, tính chất vật liệu, kích thước, tỷ lệ, sự tương đồng cụ thể giữa các phần tử được minh họa, và/hoặc đặc tính, thuộc tính, tính chất bất kỳ khác v.v..,

của các phần tử, trừ khi được xác định. Ngoài ra, trên các hình vẽ kèm theo, kích thước và các kích thước tương đối của các phần tử có thể được phóng to để cho rõ ràng và/hoặc nhằm mục đích mô tả. Khi phương án làm ví dụ có thể được thực hiện theo cách khác, thì thứ tự quy trình cụ thể có thể được thực hiện khác với thứ tự được mô tả. Ví dụ, hai quy trình được mô tả liên tục có thể được thực hiện gần như đồng thời hoặc được thực hiện theo thứ tự ngược với thứ tự được mô tả. Ngoài ra, các số chỉ dẫn giống nhau thể hiện các phần tử giống nhau.

Khi phần tử, chẳng hạn như lớp, được mô tả là “ở trên”, “được nối với”, hoặc “được ghép nối với” phần tử hoặc lớp khác, thì nó có thể ở trên, được nối với, hoặc được ghép nối với phần tử hoặc lớp khác này một cách trực tiếp hoặc các phần tử hoặc lớp xen giữa có thể có mặt. Tuy nhiên, khi phần tử hoặc lớp được mô tả là “trực tiếp ở trên”, “được nối trực tiếp với”, hoặc “được ghép nối trực tiếp với” phần tử hoặc lớp khác, thì không có các phần tử hoặc lớp xen giữa. Vì vậy, thuật ngữ “được nối” có thể chỉ kết nối về mặt vật lý, điện, và/hoặc chất lưu, có hoặc không có các phần tử xen giữa. Ngoài ra, trục D1, trục D2, và trục D3 không bị giới hạn ở ba trục của hệ tọa độ vuông góc, chẳng hạn như các trục x, y, và z, và có thể được diễn dịch theo nghĩa rộng hơn. Ví dụ, trục D1, trục D2, và trục D3 có thể vuông góc với nhau, hoặc có thể biểu diễn các hướng khác nhau mà không vuông góc với nhau. Vì mục đích của phần bộc lộ này, “ít nhất một trong số X, Y, và Z” và “ít nhất một được lựa chọn từ nhóm bao gồm X, Y, và Z” có thể được hiểu là chỉ X, chỉ Y, chỉ Z, hoặc sự kết hợp bất kỳ của hai hoặc nhiều hơn hai trong số X, Y, và Z, ví dụ, XYZ, XYY, YZ, và ZZ, chẳng hạn. Như được sử dụng ở đây, thuật ngữ “và/hoặc” bao gồm bất kỳ hoặc mọi kết hợp của một hoặc nhiều đối tượng được liệt kê kèm theo.

Mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, v.v.. có thể được sử dụng ở đây để mô tả các loại phần tử khác nhau, các phần tử này không nên bị giới hạn ở các thuật ngữ này. Các thuật ngữ này được sử dụng để phân biệt một phần tử với phần tử khác. Do đó, phần tử thứ nhất được thảo luận dưới đây có thể được gọi là phần tử thứ hai mà không lệch khỏi nội dung của sáng chế.

Các thuật ngữ tương quan về không gian, chẳng hạn như “dưới”, “ở dưới”, “nằm dưới”, “bên dưới”, “trên”, “ở trên”, “nằm trên”, “bên trên”, “bên” (ví dụ, như trong “thành bên”), và dạng tương tự, có thể được sử dụng ở đây nhằm mục đích mô tả, và, nhờ đó, mô tả mối tương quan của một phần tử với (các) phần tử khác như được minh họa trên các hình vẽ. Các thuật ngữ tương quan về không gian nhằm bao hàm các hướng khác nhau của thiết bị khi sử dụng, vận hành, và/hoặc chế tạo ngoài hướng được thể hiện trên các hình vẽ. Ví dụ, nếu thiết bị trên các hình vẽ được xoay ngược, các phần tử được mô tả là “ở dưới” hoặc “dưới” các phần tử hoặc các dấu hiệu khác sẽ có hướng “ở trên” các phần tử hoặc các dấu hiệu các. Do đó, thuật ngữ làm ví dụ “ở dưới” có thể bao hàm cả hai hướng ở trên và ở dưới. Ngoài ra, thiết bị có thể có hướng khác (ví dụ, được xoay 90 độ hoặc theo các hướng khác), và, như thế, các phần mô tả tương quan về không gian được sử dụng ở đây được diễn dịch tương ứng.

Thuật ngữ được sử dụng ở đây nhằm mục đích mô tả các phương án cụ thể và không nhằm làm giới hạn. Như được sử dụng ở đây, các dạng số ít nhằm bao gồm cả các dạng số nhiều, trừ khi ngữ cảnh biểu thị rõ ràng khác. Ngoài ra, các thuật ngữ “bao gồm” và/hoặc “gồm có”, khi được sử dụng trong bản mô tả này, xác định sự có mặt của các dấu hiệu, tổng thể, bước, hoạt động, phần tử, thành phần được nêu và/hoặc các nhóm của chúng, mà không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, tổng thể, bước, hoạt động, phần tử, thành phần khác và/hoặc các nhóm của chúng. Cũng lưu ý rằng, như được sử dụng ở đây, các thuật ngữ “gần như”, “khoảng”, và các thuật ngữ tương tự khác, được sử dụng làm các thuật ngữ gần đúng và không phải là các thuật ngữ chỉ mức độ, và, như thế, được sử dụng để giải thích cho các độ lệch vốn có trong các giá trị được đo, tính toán, và/hoặc cung cấp, các giá trị này sẽ được công nhận bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng.

Các phương án làm ví dụ khác nhau được mô tả ở đây dựa vào các hình minh họa mặt cắt và/hoặc hình minh họa các chi tiết rời, mà là các hình minh họa sơ lược của các phương án làm ví dụ lý tưởng và/hoặc các kết cấu trung gian. Như thế, các thay đổi khác với hình dạng trên các hình minh họa do các kỹ thuật chế tạo và/hoặc dung sai, chẳng hạn, là được lường trước. Do đó, các phương án làm ví dụ được bộc lộ ở đây không cần

thiết được hiểu là bị giới hạn ở các hình dạng được minh họa cụ thể của các khu vực, mà cần bao gồm các độ lệch về hình dạng do chế tạo, chẳng hạn. Theo cách này, về bản chất, các khu vực được minh họa trên các hình vẽ có thể là sơ lược và các hình dạng của các khu vực này có thể không phản ánh các hình dạng thực của các khu vực của thiết bị và, như thế, không nhất thiết nhằm làm giới hạn.

Trừ khi được định nghĩa khác, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng ở đây có cùng ý nghĩa như được hiểu phổ biến bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng mà sáng chế thuộc về. Các thuật ngữ, chẳng hạn như các thuật ngữ được định nghĩa trong các từ điển được sử dụng phổ biến, nên được diễn dịch là có ý nghĩa thống nhất với ý nghĩa của chúng trong ngữ cảnh của kỹ thuật liên quan và không nên được diễn dịch theo nghĩa lý tưởng hoặc quá hình thức, trừ khi được định nghĩa rõ ràng ở đây.

Fig.1 là hình vẽ phối cảnh của phương án làm ví dụ của bộ hiển thị DD được tạo thành theo các nguyên lý của sáng chế dưới dạng kết cấu mở rộng, thường là phẳng.

Bộ hiển thị DD có bề mặt hiển thị DD-IS, trên đó hình ảnh IM được hiển thị, bề mặt này thường song song với mặt phẳng được xác định bởi trục có hướng thứ nhất DR1 và trục có hướng thứ hai DR2. Hướng pháp tuyến của bề mặt hiển thị DD-IS (cụ thể là, hướng chiều dày của bộ hiển thị DD) thường song song với trục có hướng thứ ba DR3. Bề mặt trước (hoặc bề mặt trên) và bề mặt sau (hoặc bề mặt dưới) của mỗi trong số các thành phần được xác định bởi trục có hướng thứ ba DR3. Tuy nhiên, các hướng được biểu thị bởi các trục có hướng thứ nhất đến thứ ba DR1, DR2, và DR3 có thể là các khái niệm tương đối và có thể được thay đổi thành các hướng khác. Sau đây, các hướng thứ nhất đến thứ ba là các hướng lần lượt được biểu thị bởi các trục có hướng thứ nhất đến thứ ba DR1, DR2, và DR3, và được biểu thị bởi các mũi tên tham chiếu giống như các trục có hướng thứ nhất đến thứ ba DR1, DR2, và DR3.

Bộ hiển thị DD theo sáng chế có thể được sử dụng trong các thiết bị điện tử kích thước lớn (ví dụ, tivi và màn hình) và các thiết bị điện tử kích thước vừa và nhỏ (ví dụ, điện thoại thông minh, máy tính bảng, bộ dẫn đường cho xe, máy chơi trò chơi tay cầm,

và đồng hồ thông minh). Theo phương án được minh họa, bộ hiển thị DD được sử dụng trong điện thoại thông minh được minh họa làm ví dụ.

Dựa vào Fig.1, bề mặt hiển thị DD-IS bao gồm vùng hiển thị DD-DA, trong đó hình ảnh IM được hiển thị, và vùng không hiển thị DD-NDA liền kề với vùng hiển thị DD-DA. Hình ảnh không được hiển thị trong vùng không hiển thị DD-NDA. Trên Fig.1, các biểu tượng ứng dụng được minh họa làm ví dụ của hình ảnh IM. Ví dụ, vùng hiển thị DD-DA có thể có dạng hình tứ giác (ví dụ, dạng hình chữ nhật). Vùng không hiển thị DD-NDA có thể bao quanh vùng hiển thị DD-DA trên hình chiếu bằng. Tuy nhiên, các phương án của sáng chế không bị giới hạn ở đó. Các hình dạng của vùng hiển thị DD-DA và vùng không hiển thị DD-NDA có thể được thiết kế tương đối hoặc đa dạng.

Fig.2A và Fig.2B là các hình vẽ mặt cắt được cắt dọc theo đường I-I' trên Fig.1.

Dựa vào Fig.2A, bộ hiển thị DD có thể bao gồm panen hiển thị DP, bảng mạch in thứ nhất PCB-P, bảng mạch in thứ hai PCB-T, thành phần chống phản xạ RPP, bộ phận cảm biến đầu vào ISU, cửa sổ WP, các thành phần kết dính từ thứ nhất đến thứ ba AD1, AD2 và AD3, và màng dẫn điện dị hướng ACF. Mỗi trong số các thành phần kết dính từ thứ nhất đến thứ ba AD1, AD2 và AD3 có thể là chất kết dính nhạy áp (PSA) hoặc chất kết dính trong quang học (OCA). Chất kết dính nhạy áp (PSA) là chất kết dính mà vật liệu kết dính của chất này hoạt động khi áp lực được tác dụng để kết dính chất kết dính với bề mặt kết dính.

Panen hiển thị DP có thể tạo ra hình ảnh IM (xem Fig.1). Vùng hiển thị DA và vùng không hiển thị NDA có thể được xác định trên panen hiển thị DP. Vùng hiển thị DA có thể bao gồm các phần tử phát quang LM (xem Fig.4). Vùng không hiển thị NDA có thể là vùng ngoại vi của vùng hiển thị DA và có thể bao gồm các đường tín hiệu và các linh kiện điện để cấp các tín hiệu điện đến các phần tử phát quang LM. Ví dụ, vùng không hiển thị NDA có thể bao gồm các đế hàn hiển thị PD-DP (xem Fig.3) được nối điện với các phần tử phát quang LM.

Bảng mạch in thứ nhất PCB-P có thể được bố trí trên vùng không hiển thị NDA

của panen hiển thị DP và có thể được nối điện với các đế hàn hiển thị PD-DP. Bảng mạch in thứ nhất PCB-P có thể cấp các tín hiệu điện đến các phần tử phát quang LM thông qua các đế hàn hiển thị PD-DP.

Thành phần kết dính thứ nhất AD1 có thể được bố trí trên vùng hiển thị DA của panen hiển thị DP và một phần của bảng mạch in thứ nhất PCB-P. Panen hiển thị DP và thành phần chống phản xạ RPP có thể được dính vào nhau bằng thành phần kết dính thứ nhất AD1. Ngoài ra, bảng mạch in thứ nhất PCB-P và bảng mạch in thứ hai PCB-T có thể được dính vào nhau bằng thành phần kết dính thứ nhất AD1.

Thành phần chống phản xạ RPP được bố trí trên thành phần kết dính thứ nhất AD1 và chồng lên vùng hiển thị DA của panen hiển thị DP. Thành phần chống phản xạ RPP có thể hấp thụ, giao thoa giảm với hoặc phân cực ánh sáng bên ngoài xâm nhập từ bên ngoài để giảm bớt độ phản xạ của ánh sáng bên ngoài.

Theo một số phương án của sáng chế, thành phần chống phản xạ RPP có thể bao gồm bộ lọc màu, kết cấu xếp chồng của lớp dẫn điện/lớp điện môi/lớp dẫn điện, tấm phân cực, hoặc thành phần quang học.

Bảng mạch in thứ hai PCB-T được bố trí trên thành phần kết dính thứ nhất AD1 và chồng lên vùng không hiển thị NDA. Bảng mạch in thứ hai PCB-T có thể cấp các tín hiệu điện đến bộ phận cảm biến đầu vào ISU.

Thành phần kết dính thứ hai AD2 có thể được bố trí trên thành phần chống phản xạ RPP. Thành phần chống phản xạ RPP và bộ phận cảm biến đầu vào ISU có thể được dính vào nhau bằng thành phần kết dính thứ hai AD2.

Bộ phận cảm biến đầu vào ISU được bố trí trên thành phần kết dính thứ hai AD2 và bảng mạch in thứ hai PCB-T. Bộ phận cảm biến đầu vào ISU có thể bao gồm màng nền BS, các điện cực cảm biến IE, các đường tín hiệu SL, lớp cách điện IST, và các đế hàn cảm biến PD.

Các điện cực cảm biến IE và các đường tín hiệu SL có thể được bố trí trên bề mặt

của màng nền BS. Các điện cực cảm biến IE có thể chồng lên vùng hiển thị DA.

Các điện cực cảm biến IE và các đường tín hiệu SL được che bởi lớp cách điện IST. Lớp cách điện IST có thể tiếp xúc với thành phần kết dính thứ hai AD2.

Các điện cực cảm biến IE có thể bao gồm oxit dẫn điện trong suốt chẳng hạn như oxit indium thiếc (ITO), oxit indium kẽm (IZO), oxit kẽm (ZnO), hoặc oxit indium thiếc kẽm (ITZO). Theo cách khác, các điện cực cảm biến IE có thể bao gồm polyme dẫn điện (ví dụ, PEDOT), dây nano kim loại, và/hoặc graphen.

Các đường tín hiệu SL được nối với các đế hàn cảm biến PD, và các đế hàn cảm biến PD có thể được nối điện với bảng mạch in thứ hai PCB-T thông qua màng dẫn điện dị hướng ACF.

Bộ phận cảm biến đầu vào ISU có thể được chế tạo bằng các quy trình khác với các quy trình chế tạo panen hiển thị DP và sau đó, có thể được dính vào panen hiển thị DP.

Tuy nhiên, các phương án của sáng chế không bị giới hạn ở đó. Theo phương án khác của sáng chế, bộ phận cảm biến đầu vào ISU có thể được bố trí trực tiếp trên bề mặt của panen hiển thị DP. Nói cách khác, bộ phận cảm biến đầu vào ISU có thể được chế tạo liền khối với panen hiển thị DP bằng các quy trình liên tục. Trong trường hợp này, bộ phận cảm biến đầu vào ISU có thể được ghép nối vào panen hiển thị DP mà không cần thành phần kết dính thứ hai AD2. Trong trường hợp này, bộ phận cảm biến đầu vào ISU có thể không bao gồm màng nền.

Thành phần kết dính thứ ba AD3 được bố trí trên màng nền BS. Bộ phận cảm biến đầu vào ISU và cửa sổ WP có thể được dính vào nhau bằng thành phần kết dính thứ ba AD3.

Cửa sổ WP có thể được bố trí trên thành phần kết dính thứ ba AD3.

Cửa sổ WP có thể bảo vệ bộ phận cảm biến đầu vào ISU và panen hiển thị DP khỏi va chạm từ bên ngoài và có thể tạo ra bề mặt cảm biến đầu vào cho người dùng. Bề

mặt cảm biến đầu vào có thể bao gồm bề mặt cảm biến chạm hoặc bề mặt nhận dạng dấu vân tay. Bề mặt hiển thị DD-IS được minh họa trên Fig.1 có thể là bề mặt cảm biến chạm để nhận biết thao tác chạm của người dùng. Theo cách khác/ngoài ra, bề mặt hiển thị DD-IS có thể là bề mặt nhận dạng dấu vân tay để nhận dạng dấu vân tay của người dùng.

Cửa sổ WP có thể bao gồm thủy tinh. Tuy nhiên, các phương án của sáng chế không bị giới hạn ở đó. Theo các phương án nhất định, cửa sổ WP có thể bao gồm vật liệu trong suốt có khả năng truyền ánh sáng.

Dựa vào Fig.2B, một hoặc một số đế hàn trong số các đế hàn cảm biến PD có thể ít nhất chồng một phần lên thành phần chống phản xạ RPP. Các thành phần khác gần giống như các thành phần tương ứng được mô tả dựa vào Fig.2A, và do đó các phần mô tả của chúng được lược bỏ để tránh dư thừa.

Fig.3 là hình chiếu bằng của panen hiển thị DP theo phương án làm ví dụ của sáng chế. Fig.4 là sơ đồ mạch tương đương của điểm ảnh đại diện PX trên Fig.3.

Dựa vào Fig.3, panen hiển thị DP bao gồm vùng hiển thị DA và vùng không hiển thị NDA khi được quan sát trên hình chiếu bằng. Vùng hiển thị DA và vùng không hiển thị NDA của panen hiển thị DP lần lượt tương ứng với vùng hiển thị DD-DA và vùng không hiển thị DD-NDA của bộ hiển thị DD (xem Fig.1). Tuy nhiên, vùng hiển thị DA và vùng không hiển thị NDA của panen hiển thị DP có thể không nhất thiết giống như vùng hiển thị DD-DA và vùng không hiển thị DD-NDA của bộ hiển thị DD mà có thể được thay đổi theo cấu trúc và/hoặc thiết kế của panen hiển thị DP.

Panen hiển thị DP bao gồm các đường tín hiệu SGL và các điểm ảnh PX. Vùng trong đó các điểm ảnh PX được bố trí được xác định là vùng hiển thị DA. Theo phương án được minh họa, vùng không hiển thị NDA có thể được xác định dọc theo viền của vùng hiển thị DA.

Các đường tín hiệu SGL có thể bao gồm các đường công GL, các đường dữ liệu DL, đường dây điện PL, và đường tín hiệu điều khiển CSL. Mỗi trong số các đường

cổng GL được nối với điểm ảnh tương ứng trong số các điểm ảnh PX, và mỗi trong số các đường dữ liệu DL được nối với điểm ảnh tương ứng trong số các điểm ảnh PX. Đường dây điện PL được nối với các điểm ảnh PX. Mạch kích thích cổng DCV mà các đường cổng GL được nối với mạch này có thể được bố trí ở một phần bên của vùng không hiển thị NDA. Đường tín hiệu điều khiển CSL có thể cấp các tín hiệu điều khiển đến mạch kích thích cổng DCV.

Mỗi trong số các đường cổng GL, các đường dữ liệu DL, đường dây điện PL và đường tín hiệu điều khiển CSL có thể bao gồm phần liên kết tín hiệu, và các đầu của các phần liên kết tín hiệu được nối với các đế hàn hiển thị PD-DP. Vùng trong đó các đế hàn hiển thị PD-DP được bố trí có thể được xác định là vùng đế hàn hiển thị PDA-DP. Vùng đế hàn hiển thị PDA-DP được bao gồm trong vùng không hiển thị NDA.

Phần liên kết tín hiệu có thể được xác định là một phần của mỗi trong số các đường cổng GL, các đường dữ liệu DL, đường dây điện PL và đường tín hiệu điều khiển CSL ngoại trừ các đế hàn hiển thị PD-DP.

Theo một phương án của sáng chế, các đế hàn hiển thị PD-DP có thể được tạo thành trong cùng quy trình như các tranzito để kích thích các điểm ảnh PX. Ví dụ, các đế hàn hiển thị PD-DP và các tranzito để kích thích các điểm ảnh PX có thể được tạo thành trong cùng quy trình silic đa tinh thể nhiệt độ thấp (LTPS) hoặc cùng quy trình oxit đa tinh thể nhiệt độ thấp (LTPO).

Theo một phương án của sáng chế, các đế hàn hiển thị PD-DP có thể bao gồm đế hàn điều khiển CSL-P, đế hàn dữ liệu DL-P, và đế hàn cấp điện PL-P. Đế hàn cổng không được minh họa. Tuy nhiên, đế hàn cổng có thể chồng lên mạch kích thích cổng DCV và có thể được nối với mạch kích thích cổng DCV.

Bảng mạch in thứ nhất PCB-P có thể được nối điện với vùng đế hàn hiển thị PDA-DP. Bảng mạch in thứ nhất PCB-P có thể là bảng mạch cứng hoặc bảng mạch dẻo. Bảng mạch in thứ nhất PCB-P có thể được nối trực tiếp vào panen hiển thị DP hoặc có thể được nối với panen hiển thị DP thông qua bảng mạch khác nữa.

Mạch điều khiển tín hiệu (không được thể hiện trên hình vẽ, ví dụ, bộ điều khiển định thời) để điều khiển các hoạt động của panen hiển thị DP có thể được bố trí trên bảng mạch in thứ nhất PCB-P. Theo một phương án của sáng chế, mạch điều khiển tín hiệu có thể được thực hiện dưới dạng chip tích hợp và có thể được gắn trên bảng mạch in thứ nhất PCB-P.

Bảng mạch in thứ nhất PCB-P có thể bao gồm các đế hàn PCB thứ nhất PD-PCB1. Vùng trong đó các đế hàn PCB thứ nhất PD-PCB1 được bố trí có thể được xác định là vùng đế hàn PCB thứ nhất PDA-PCB1.

Điểm ảnh đại diện PX được nối với một đường cổng GL, một đường dữ liệu DL và đường dây điện PL được minh họa làm ví dụ trên Fig.4. Tuy nhiên, kết cấu của điểm ảnh PX có thể không bị giới hạn ở đó mà có thể được cải biến đa dạng.

Điểm ảnh PX bao gồm phần tử phát quang LM được sử dụng làm phần tử hiển thị. Phần tử phát quang LM có thể là điôt kiểu phát quang mặt trước hoặc điôt kiểu phát quang mặt sau. Theo cách khác, phần tử phát quang LM có thể là điôt kiểu phát quang cả hai mặt. Phần tử phát quang LM có thể là điôt phát quang hữu cơ. Điểm ảnh PX bao gồm tranzito chuyển mạch TFT-S, tranzito điều khiển TFT-D và tụ điện CP, mà tạo thành bộ phận mạch để điều khiển phần tử phát quang LM. Phần tử phát quang LM tạo ra ánh sáng đáp ứng lại tín hiệu điện được cấp từ các tranzito TFT-S và TFT-D.

Tranzito chuyển mạch TFT-S xuất ra tín hiệu dữ liệu, được cấp đến đường dữ liệu DL, đáp ứng lại tín hiệu quét được cấp đến đường cổng GL. Tụ điện CP được nạp với điện áp tương ứng với tín hiệu dữ liệu được tiếp nhận từ tranzito chuyển mạch TFT-S.

Tranzito điều khiển TFT-D được nối với phần tử phát quang LM. Tranzito điều khiển TFT-D điều khiển dòng điện kích thích chạy qua phần tử phát quang LM đáp ứng lại lượng điện tích được lưu trữ trong tụ điện CP. Phần tử phát quang LM có thể phát ra ánh sáng trong khoảng thời gian bật của tranzito điều khiển TFT-D.

Đường dây điện PL có thể cấp điện áp công suất VDD đến phần tử phát quang

LM.

Fig.5 là hình vẽ mặt cắt của điểm ảnh PX trên Fig.3. Fig.5 minh họa hình vẽ mặt cắt của phần tương ứng với tranzito điều khiển TFT-D và phần tử phát quang LM của mạch tương đương được minh họa trên Fig.4.

Như được minh họa trên Fig.5, lớp mạch CL được bố trí trên lớp nền SUB. Hình mẫu bán dẫn ALD của tranzito điều khiển TFT-D được bố trí trên lớp nền SUB. Hình mẫu bán dẫn ALD có thể bao gồm ít nhất một trong số silic vô định hình, silic đa tinh thể, hoặc chất bán dẫn oxit kim loại.

Lớp mạch CL có thể bao gồm các lớp hữu cơ/vô cơ BR, BF, 12, 14 và 16, tranzito chuyển mạch TFT-S (xem Fig.4), và tranzito điều khiển TFT-D. Các lớp hữu cơ/vô cơ BR, BF, 12, 14 và 16 có thể bao gồm lớp chức năng BR và BF, lớp cách điện thứ nhất 12, lớp cách điện thứ hai 14, và lớp cách điện thứ ba 16.

Lớp chức năng BR và BF có thể được bố trí trên một bề mặt của lớp nền SUB. Lớp chức năng BR và BF bao gồm ít nhất một trong số lớp chặn BR hoặc lớp đệm BF. Hình mẫu bán dẫn ALD có thể được bố trí trên lớp chặn BR hoặc lớp đệm BF.

Lớp cách điện thứ nhất 12 được bố trí trên lớp nền SUB để che hình mẫu bán dẫn ALD. Lớp cách điện thứ nhất 12 bao gồm lớp hữu cơ và/hoặc lớp vô cơ. Cụ thể là, lớp cách điện thứ nhất 12 có thể bao gồm các lớp mỏng vô cơ. Các lớp mỏng vô cơ có thể bao gồm lớp silic nitrua và lớp silic oxit.

Điện cực điều khiển GED của tranzito điều khiển TFT-D được bố trí trên lớp cách điện thứ nhất 12. Mặc dù không được thể hiện trên các hình vẽ, điện cực điều khiển của tranzito chuyển mạch TFT-S (xem Fig.4) cũng có thể được bố trí trên lớp cách điện thứ nhất 12. Điện cực điều khiển GED và đường cổng GL (xem Fig.3) có thể được tạo ra bằng cách sử dụng cùng quy trình quang khắc. Nói cách khác, điện cực điều khiển GED và đường cổng GL có thể được tạo ra từ cùng vật liệu, có thể có cùng kết cấu xếp chồng, và có thể được bố trí trên cùng lớp.

Lớp cách điện thứ hai 14 được bố trí trên lớp cách điện thứ nhất 12 để che điện cực điều khiển GED. Lớp cách điện thứ hai 14 bao gồm lớp hữu cơ và/hoặc lớp vô cơ. Cụ thể là, lớp cách điện thứ hai 14 có thể bao gồm các lớp mỏng vô cơ. Các lớp mỏng vô cơ có thể bao gồm lớp silic nitrua và lớp silic oxit.

Đường dữ liệu DL (xem Fig.3) có thể được bố trí trên lớp cách điện thứ hai 14. Điện cực đầu vào SED và điện cực đầu ra DED của tranzito điều khiển TFT-D được bố trí trên lớp cách điện thứ hai 14. Mặc dù không được thể hiện trên các hình vẽ, điện cực đầu vào và điện cực đầu ra của tranzito chuyển mạch TFT-S (xem Fig.4) cũng được bố trí trên lớp cách điện thứ hai 14. Điện cực đầu vào của tranzito chuyển mạch TFT-S có thể được rẽ nhánh từ một đường tương ứng trong số các đường dữ liệu DL. Đường dây điện PL (xem Fig.3) và các đường dữ liệu DL có thể được bố trí trên cùng lớp. Điện cực đầu vào SED của tranzito điều khiển TFT-D có thể được rẽ nhánh từ đường dây điện PL.

Một phần của các điện cực của tụ điện CP (xem Fig.4) được bố trí trên lớp cách điện thứ hai 14. Một phần của các điện cực của tụ điện CP (xem Fig.4), các đường dữ liệu DL và đường dây điện PL có thể được tạo ra bằng cách sử dụng cùng quy trình quang khắc, có thể có cùng vật liệu và cùng kết cấu xếp chồng, và có thể được bố trí trên cùng lớp.

Điện cực đầu vào SED và điện cực đầu ra DED được nối với các phần của hình mẫu bán dẫn ALD thông qua lỗ xuyên thứ nhất CH1 và lỗ xuyên thứ hai CH2 lần lượt xuyên qua các lớp cách điện thứ nhất 12 và thứ hai 14. Mặt khác, theo phương án khác của sáng chế, tranzito chuyển mạch TFT-S (xem Fig.4) và tranzito điều khiển TFT-D có thể có các kết cấu cổng dưới.

Lớp cách điện thứ ba 16 được bố trí trên lớp cách điện thứ hai 14 để che điện cực đầu vào SED và điện cực đầu ra DED. Lớp cách điện thứ ba 16 bao gồm lớp hữu cơ và/hoặc lớp vô cơ. Cụ thể là, lớp cách điện thứ ba 16 có thể bao gồm vật liệu hữu cơ để tạo ra bề mặt phẳng.

Một trong số các lớp cách điện thứ nhất 12, thứ hai 14 và thứ ba 16 có thể được lược bỏ theo cấu trúc mạch của điểm ảnh PX. Mỗi trong các lớp cách điện thứ hai 14 và thứ ba 16 có thể được xác định là lớp cách điện xen giữa. Lớp cách điện xen giữa được bố trí giữa hình mẫu dẫn điện được bố trí dưới lớp này và hình mẫu dẫn điện được bố trí trên lớp này để cách điện các hình mẫu dẫn điện khỏi nhau.

Lớp phân tử phát quang ELL được bố trí trên lớp cách điện thứ ba 16. Lớp phân tử phát quang ELL bao gồm lớp xác định điểm ảnh PXL và phân tử phát quang LM. Anốt AE được bố trí trên lớp cách điện thứ ba 16. Anốt AE được nối với điện cực đầu ra DED của tranzito điều khiển TFT-D thông qua lỗ xuyên thứ ba CH3 xuyên qua lớp cách điện thứ ba 16. Khoảng hở OP được tạo ra trong lớp xác định điểm ảnh PXL. Khoảng hở OP của lớp xác định điểm ảnh PXL để lộ một phần của anốt AE.

Lớp phân tử phát quang ELL bao gồm vùng phát quang PXA và vùng không phát quang NPXA liền kề với vùng phát quang PXA. Vùng không phát quang NPXA có thể bao quanh vùng phát quang PXA. Theo phương án được minh họa, vùng phát quang PXA được xác định tương ứng với anốt AE. Tuy nhiên, vùng phát quang PXA không bị giới hạn ở đó. Nói cách khác, điều thích đáng là vùng phát quang PXA được xác định là vùng mà ánh sáng được phát ra từ đó. Theo các phương án nhất định, vùng phát quang PXA có thể được xác định tương ứng với một phần của anốt AE, mà được để lộ bởi khoảng hở OP.

Lớp điều khiển lỗ trống HCL có thể được bố trí chung trong cả vùng phát quang PXA và vùng không phát quang NPXA. Mặc dù không được thể hiện trên các hình vẽ, lớp chung chẳng hạn như lớp điều khiển lỗ trống HCL có thể được tạo thành chung trong các điểm ảnh PX (xem Fig.3).

Lớp phát quang EML được bố trí trên lớp điều khiển lỗ trống HCL. Lớp phát quang EML có thể chỉ được bố trí trong vùng tương ứng với khoảng hở OP. Nói cách khác, các lớp phát quang EML lần lượt được tạo thành trong các điểm ảnh PX có thể được tách khỏi nhau.

Lớp phát quang EML có thể bao gồm vật liệu hữu cơ hoặc vật liệu vô cơ.

Lớp điều khiển điện tử ECL được bố trí trên lớp phát quang EML. Catốt CE được bố trí trên lớp điều khiển điện tử ECL. Catốt CE có thể được bố trí chung trong các điểm ảnh PX.

Theo phương án được minh họa, lớp phát quang được tạo hình mẫu EML được minh họa làm ví dụ. Tuy nhiên, theo phương án khác, lớp phát quang EML có thể được bố trí chung trong các điểm ảnh PX. Trong trường hợp này, lớp phát quang EML có thể tạo ra ánh sáng trắng. Theo một số phương án, lớp phát quang EML có thể có cấu trúc đa lớp.

Theo phương án được minh họa, lớp bao màng mỏng TFE che trực tiếp catốt CE. Theo một phương án của sáng chế, lớp bọc che catốt CE có thể còn được bố trí. Trong trường hợp này, lớp bao màng mỏng TFE có thể che trực tiếp lớp bọc. Lớp bao màng mỏng TFE có thể bao gồm lớp hữu cơ bao gồm vật liệu hữu cơ và lớp vô cơ bao gồm vật liệu vô cơ.

Fig.6 là hình chiếu bằng của phương án làm ví dụ của bộ phận cảm biến đầu vào ISU được tạo thành theo các nguyên lý của sáng chế.

Dựa vào Fig.6, bộ phận cảm biến đầu vào ISU bao gồm vùng cảm biến đầu vào TA và vùng không cảm biến đầu vào NTA khi được quan sát trên hình chiếu bằng. Vùng cảm biến đầu vào TA và vùng không cảm biến đầu vào NTA của bộ phận cảm biến đầu vào ISU lần lượt tương ứng với vùng hiển thị DD-DA và vùng không hiển thị DD-NDA của bộ hiển thị DD (xem Fig.1). Tuy nhiên, vùng cảm biến đầu vào TA và vùng không cảm biến đầu vào NTA của bộ phận cảm biến đầu vào ISU có thể không nhất thiết giống như vùng hiển thị DD-DA và vùng không hiển thị DD-NDA của bộ hiển thị DD mà có thể được thay đổi theo cấu trúc và/hoặc thiết kế của bộ phận cảm biến đầu vào ISU.

Theo một phương án của sáng chế, bộ phận cảm biến đầu vào ISU có thể nhận biết thao tác chạm hoặc sự tiếp xúc với bề mặt cảm biến đầu vào bằng phương pháp điện dung riêng.

Bộ phận cảm biến đầu vào ISU bao gồm các đường tín hiệu SL và các điện cực cảm biến IE. Vùng trong đó các điện cực cảm biến IE được bố trí được xác định là vùng cảm biến đầu vào TA. Theo phương án được minh họa, vùng không cảm biến đầu vào NTA có thể được xác định dọc theo viền của vùng cảm biến đầu vào DA.

Các điện cực cảm biến IE có thể được bố trí dưới dạng ma trận. Mỗi trong số các điện cực cảm biến IE có thể được cách điện với các điện cực cảm biến IE còn lại trong vùng cảm biến đầu vào TA.

Các đường tín hiệu SL lần lượt được nối với các điện cực cảm biến IE tương ứng. Các đường tín hiệu SL có thể được nối với các điện cực cảm biến IE theo sự tương ứng một-một.

Các đường tín hiệu SL lần lượt được nối với các đế hàn cảm biến PD tương ứng (xem Fig.7). Các đường tín hiệu SL có thể được nối với các đế hàn cảm biến PD theo sự tương ứng một-một.

Các đường tín hiệu SL có thể truyền các tín hiệu, mà tương ứng với các thay đổi về điện dung của các điện cực cảm biến IE do vật thể bên ngoài được ghép nối về mặt điện dung với các điện cực cảm biến IE, đến các đế hàn cảm biến PD.

Vùng trong đó các đế hàn cảm biến PD được bố trí có thể được xác định là vùng đế hàn cảm biến PDA-IS. Vùng đế hàn cảm biến PDA-IS được bao gồm trong vùng không cảm biến đầu vào NTA.

Vùng đế hàn cảm biến PDA-IS có thể được nối điện với bảng mạch in thứ hai PCB-T. Bảng mạch in thứ hai PCB-T có thể là bảng mạch cứng hoặc bảng mạch dẻo. Bảng mạch in thứ hai PCB-T có thể được nối trực tiếp với bộ phận cảm biến đầu vào ISU hoặc có thể được nối với bộ phận cảm biến đầu vào ISU thông qua bảng mạch khác nữa.

Mạch điều khiển tín hiệu (không được thể hiện trên hình vẽ) để điều khiển các hoạt động của bộ phận cảm biến đầu vào ISU có thể được bố trí trên bảng mạch in thứ

hai PCB-T. Theo một phương án của sáng chế, mạch điều khiển tín hiệu có thể được thực hiện dưới dạng chip tích hợp và có thể được gắn trên bảng mạch in thứ hai PCB-T.

Bảng mạch in thứ hai PCB-T có thể bao gồm các đế hàn PCB thứ hai (không được thể hiện trên hình vẽ). Vùng trong đó các đế hàn PCB thứ hai được bố trí có thể được xác định là vùng đế hàn PCB thứ hai PDA-PCB2. Các đế hàn PCB thứ hai có thể được nối với các đế hàn cảm biến PD thông qua màng dẫn điện dị hướng ACF (xem Fig.2A).

Dựa vào Fig.3 và Fig.6, chiều dài của vùng đế hàn cảm biến PDA-IS theo hướng thứ nhất DR1 có thể được xác định là chiều dài thứ nhất L-PDIS, và chiều dài của vùng đế hàn hiển thị PDA-DP theo hướng thứ nhất DR1 có thể được xác định là chiều dài thứ hai L-PDDP. Chiều dài của panen hiển thị DP theo hướng thứ nhất DR1 có thể được xác định là chiều dài thứ ba L-DP.

Theo một phương án của sáng chế, chiều dài thứ hai L-PDDP có thể bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba L-DP. Nếu chiều dài thứ hai L-PDDP nhỏ hơn 45% chiều dài thứ ba L-DP, thì có thể không có đủ khoảng trống để bố trí đủ số lượng các đế hàn hiển thị PD-DP trong vùng đế hàn hiển thị PDA-DP hoặc khoảng cách giữa các đế hàn hiển thị PD-DP có thể quá nhỏ và lỗi gia công hoặc khuyết tật sẽ xảy ra. Nếu chiều dài thứ hai L-PDDP lớn hơn 55% chiều dài thứ ba L-DP, thì độ lớn diện tích chồng lên vùng đế hàn hiển thị PDA-DP và vùng đế hàn cảm biến PDA-IS của bộ phận cảm biến đầu vào ISU có thể gia tăng và lỗi gia công hoặc khuyết tật sẽ xảy ra. Tuy nhiên, mối tương quan giữa chiều dài thứ hai L-PDDP và chiều dài thứ ba L-DP không bị giới hạn ở các giá trị cụ thể nêu trên.

Theo một phương án của sáng chế, chiều dài thứ nhất L-PDIS có thể ngắn hơn chiều dài thứ hai L-PDDP. Ví dụ, chiều dài thứ nhất L-PDIS có thể bằng hoặc lớn hơn 35% và nhỏ hơn 45% chiều dài thứ ba L-DP, và chiều dài thứ hai L-PDDP có thể bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba L-DP.

Ví dụ, chiều dài thứ nhất L-PDIS có thể bằng hoặc lớn hơn 75% và bằng hoặc

nhỏ hơn 85% chiều dài thứ hai L-PDDP. Nếu chiều dài thứ nhất L-PDIS nhỏ hơn 75% chiều dài thứ hai L-PDDP, thì có thể không có đủ khoảng trống để bố trí đủ số lượng các đế hàn cảm biến PD trong vùng đế hàn cảm biến PDA-IS hoặc khoảng cách giữa các đế hàn cảm biến PD có thể quá nhỏ và lỗi gia công hoặc khuyết tật sẽ xảy ra. Nếu chiều dài thứ nhất L-PDIS lớn hơn 85% chiều dài thứ hai L-PDDP, thì độ lớn diện tích vùng đế hàn cảm biến PDA-IS và vùng đế hàn hiển thị PDA-DP của panen hiển thị DP có thể gia tăng và lỗi gia công hoặc khuyết tật sẽ xảy ra. Tuy nhiên, mối tương quan giữa chiều dài thứ nhất L-PDIS và chiều dài thứ hai L-PDDP không bị giới hạn ở các giá trị cụ thể nêu trên.

Theo phương án khác của sáng chế, chiều dài thứ nhất L-PDIS có thể dài hơn chiều dài thứ hai L-PDDP. Ví dụ, chiều dài thứ nhất L-PDIS có thể bằng hoặc lớn hơn 110% và bằng hoặc nhỏ hơn 130% chiều dài thứ hai L-PDDP.

Fig.7 minh họa vùng đế hàn cảm biến PDA-IS trên Fig.6. Trên Fig.7, các đế hàn cảm biến PD được minh họa nhưng các đường tín hiệu không được minh họa nhằm mục đích dễ dàng và thuận tiện cho việc mô tả và minh họa.

Các đế hàn cảm biến PD có thể được bố trí theo kết cấu không tuyến tính, chẳng hạn như các hàng của các cột, mà có thể so le hoặc không đều. Như được sử dụng ở đây, “kết cấu không tuyến tính” có nghĩa là kết cấu đều hoặc không đều bất kỳ của các đế hàn mà không phải là một đường gần như thẳng. Ví dụ, các đế hàn cảm biến PD có thể được bố trí theo ba hàng có số lượng các đế hàn PD bằng hoặc không bằng nhau.

Trong trường hợp các đế hàn cảm biến PD được bố trí theo ba hàng, các đế hàn cảm biến PD có thể bao gồm các đế hàn cảm biến thứ nhất PD1 được bố trí trong hàng thứ nhất, các đế hàn cảm biến thứ hai PD2 được bố trí trong hàng thứ hai, và các đế hàn cảm biến thứ ba PD3 được bố trí trong hàng thứ ba.

Các đế hàn cảm biến thứ nhất PD1 có thể được bố trí theo hướng thứ nhất DR1, các đế hàn cảm biến thứ hai PD2 có thể được bố trí theo hướng thứ nhất DR1, và các đế hàn cảm biến thứ ba PD3 cũng có thể được bố trí theo hướng thứ nhất DR1.

Các đế hàn cảm biến thứ nhất PD1 có thể bao gồm các đế hàn cảm biến bên trái thứ nhất PD1-L, các đế hàn cảm biến ở giữa thứ nhất PD1-C, và các đế hàn cảm biến bên phải thứ nhất PD1-R.

Các đế hàn cảm biến bên trái thứ nhất PD1-L có thể chồng lên các đế hàn cảm biến thứ hai PD2 và các đế hàn cảm biến thứ ba PD3 theo hướng thứ hai DR2. Các đế hàn cảm biến ở giữa thứ nhất PD1-C có thể chỉ chồng lên các đế hàn cảm biến thứ hai PD2 trong số các đế hàn cảm biến PD theo hướng thứ hai DR2. Các đế hàn cảm biến bên phải thứ nhất PD1-R có thể không chồng lên các đế hàn cảm biến thứ hai PD2 và các đế hàn cảm biến thứ ba PD3 theo hướng thứ hai DR2.

Các đế hàn cảm biến thứ hai PD2 có thể bao gồm các đế hàn cảm biến bên trái thứ hai PD2-L, các đế hàn cảm biến ở giữa thứ hai PD2-C, và các đế hàn cảm biến bên phải thứ hai PD2-R.

Các đế hàn cảm biến bên trái thứ hai PD2-L có thể chỉ chồng lên các đế hàn cảm biến thứ ba PD3 trong số các đế hàn cảm biến PD theo hướng thứ hai DR2. Các đế hàn cảm biến ở giữa thứ hai PD2-C có thể chồng lên các đế hàn cảm biến thứ nhất PD1 và các đế hàn cảm biến thứ ba PD3 theo hướng thứ hai DR2. Các đế hàn cảm biến bên phải thứ hai PD2-R có thể chỉ chồng lên các đế hàn cảm biến thứ nhất PD1 trong số các đế hàn cảm biến PD theo hướng thứ hai DR2.

Các đế hàn cảm biến thứ ba PD3 có thể bao gồm các đế hàn cảm biến bên trái thứ ba PD3-L, các đế hàn cảm biến ở giữa thứ ba PD3-C, và các đế hàn cảm biến bên phải thứ ba PD3-R.

Các đế hàn cảm biến bên trái thứ ba PD3-L có thể không chồng lên các đế hàn cảm biến thứ nhất PD1 và các đế hàn cảm biến thứ hai PD2 theo hướng thứ hai DR2. Các đế hàn cảm biến ở giữa thứ ba PD3-C có thể chỉ chồng lên các đế hàn cảm biến thứ hai PD2 trong số các đế hàn cảm biến PD theo hướng thứ hai DR2. Các đế hàn cảm biến bên phải thứ ba PD3-R có thể chồng lên các đế hàn cảm biến thứ nhất PD1 và các đế hàn cảm biến thứ hai PD2 theo hướng thứ hai DR2.

Tuy nhiên, cách bố trí các đế hàn cảm biến PD không bị giới hạn ở cách bố trí trên Fig.7 mà có thể được thay đổi một cách đa dạng. Ví dụ, các đế hàn cảm biến PD có thể được bố trí theo các hàng nhiều hoặc ít hơn ba hàng. Ngoài ra, số lượng các đế hàn chồng lên mỗi hàng trong số các hàng được bố trí và (các) hàng khác cũng có thể được thay đổi một cách đa dạng để tạo thành các kết cấu khác nhau của các đế hàn xếp chồng.

Fig.8 minh họa một số đế hàn trong số các đế hàn cảm biến PD trên Fig.7 và các đường tín hiệu SL được nối với các đế hàn này.

Các đường tín hiệu SL bao gồm các đường tín hiệu thứ nhất SL1, các đường tín hiệu thứ hai SL2, và các đường tín hiệu thứ ba SL3. Các đường tín hiệu thứ nhất SL1 được nối với các đế hàn cảm biến thứ nhất PD1. Các đường tín hiệu thứ hai SL2 được nối với các đế hàn cảm biến thứ hai PD2. Các đường tín hiệu thứ ba SL3 được nối với các đế hàn cảm biến thứ ba PD3.

Theo một phương án của sáng chế, khi số lượng các đường tín hiệu SL được bố trí giữa hai đế hàn cảm biến thứ nhất PD1 liên kề với nhau là 'n' (trong đó 'n' là số tự nhiên bằng hoặc lớn hơn 2), thì số lượng các đường tín hiệu SL được bố trí giữa hai đế hàn cảm biến thứ hai PD2 liên kề với nhau có thể là 'm' nhỏ hơn 'n' (trong đó 'm' là số tự nhiên bằng hoặc lớn hơn 1). Fig.8 minh họa trường hợp $n=2$ và $m=1$. Tuy nhiên, các phương án của sáng chế không bị giới hạn ở đó.

Fig.8 minh họa các đế hàn cảm biến PD được bố trí ở các khoảng cách bằng nhau theo hướng thứ nhất DR1. Tuy nhiên, các phương án của sáng chế không bị giới hạn ở đó. Theo phương án khác của sáng chế, các khoảng cách giữa các đế hàn cảm biến PD theo hướng thứ nhất DR1 có thể khác nhau.

Các đế hàn cảm biến PD có thể được nối với các đường tín hiệu SL theo sự tương ứng một-một. Ví dụ, như được minh họa trên Fig.6, các đường tín hiệu SL có thể được nối với các điện cực cảm biến IE theo sự tương ứng một-một. Để nhận biết thao tác chạm hoặc sự tiếp xúc bằng phương pháp điện dung riêng, mạch điều khiển tín hiệu điều khiển bộ phận cảm biến đầu vào ISU tiếp nhận tín hiệu từ mỗi trong số các điện cực cảm

biến IE và cấp tín hiệu đến mỗi trong số các điện cực cảm biến IE. Do đó, các điện cực cảm biến IE được nối với các đường tín hiệu SL và các đế hàn cảm biến PD theo sự tương ứng một-một.

Fig.9 minh họa một số đế hàn trong số các đế hàn cảm biến PD-1 và các đường tín hiệu SL được nối với các đế hàn cảm biến PD-1, theo một phương án của sáng chế.

Các đế hàn cảm biến PD-1 trên Fig.9 có thể bao gồm các đế hàn cảm biến thứ nhất PD1-1, các đế hàn cảm biến thứ hai PD2-1, và các đế hàn cảm biến thứ ba PD3-1. Khoảng cách L1 (sau đây, được gọi là ‘khoảng cách thứ nhất’) giữa các đế hàn cảm biến thứ nhất PD1-1 theo hướng thứ nhất DR1, khoảng cách L2 (sau đây, được gọi là ‘khoảng cách thứ hai’) giữa các đế hàn cảm biến thứ hai PD2-1 theo hướng thứ nhất DR1, và khoảng cách L3 (sau đây, được gọi là ‘khoảng cách thứ ba’) giữa các đế hàn cảm biến thứ ba PD3-1 theo hướng thứ nhất DR1 là khác nhau, không giống như các đế hàn cảm biến PD trên Fig.8.

Khoảng cách thứ nhất L1 lớn hơn khoảng cách thứ hai L2, và khoảng cách thứ hai L2 lớn hơn khoảng cách thứ ba L3.

Do khoảng cách thứ nhất L1 lớn hơn khoảng cách thứ hai L2, nên số lượng các đường tín hiệu SL giữa các đế hàn cảm biến thứ nhất PD1-1 có thể được gia tăng nhiều hơn số lượng các đường tín hiệu SL giữa các đế hàn cảm biến thứ hai PD2-1 mà không có lỗi gia công.

Chiều rộng LH (sau đây, được gọi là ‘chiều rộng đế hàn cảm biến’) của mỗi trong số các đế hàn cảm biến PD-1 có thể nằm trong khoảng từ 90 μ m đến 100 μ m. Nếu chiều rộng đế hàn cảm biến LH nhỏ hơn 90 μ m, các bi dẫn điện của màng dẫn điện dị hướng ACF có thể không tiếp xúc với các đế hàn cảm biến PD-1 một cách chính xác. Nếu chiều rộng đế hàn cảm biến LH lớn hơn 100 μ m, thì vùng đế hàn cảm biến PDA-IS có thể quá rộng.

Khi các đế hàn cảm biến PD hoặc PD-1 được bố trí giống như trên Fig.7 và Fig.8 hoặc Fig.9, thì vùng đế hàn cảm biến PDA-IS có thể không chồng lên vùng đế hàn hiển

thị PDA-DP trên hình chiếu bằng, hoặc phần xếp chồng của vùng đế hàn cảm biến PDA-IS và vùng đế hàn hiển thị PDA-DP trên hình chiếu bằng có thể rất nhỏ. Do đó, độ ổn định của các quy trình chế tạo bộ hiển thị DD có thể được cải thiện. Cụ thể hơn, ví dụ, nguy cơ gia nhiệt quá mức các thành phần xếp chồng, ví dụ, khi gắn PCB-P và PCB-T vào panen hiển thị có thể được giảm bớt hoặc triệt tiêu.

Fig.10 là hình chiếu bằng của phương án làm ví dụ khác của bộ phận cảm biến đầu vào ISU-1 được tạo thành theo các nguyên lý của sáng chế. Fig.11 minh họa các đế hàn cảm biến PD-2 được bố trí trong vùng đế hàn cảm biến bên trái PDA-ISL hoặc vùng đế hàn cảm biến bên phải PDA-ISR trên Fig.10. Trên Fig.11, các đế hàn cảm biến PD-2 được minh họa nhưng các đường tín hiệu không được minh họa nhằm mục đích dễ dàng và thuận tiện cho việc mô tả và minh họa.

Vùng đế hàn cảm biến PDA-IS1 trên Fig.10 có thể được phân chia thành hai vùng, không giống như vùng đế hàn cảm biến PDA-IS trên Fig.6. Vùng đế hàn cảm biến PDA-IS1 có thể bao gồm vùng đế hàn cảm biến bên trái PDA-ISL và vùng đế hàn cảm biến bên phải PDA-ISR.

Theo một phương án của sáng chế, vùng đế hàn cảm biến bên trái PDA-ISL hoặc vùng đế hàn cảm biến bên phải PDA-ISR có thể không chồng lên vùng đế hàn hiển thị PDA-DP khi được quan sát trên hình chiếu bằng.

Theo một phương án của sáng chế, phần bên phải của vùng đế hàn cảm biến bên trái PDA-ISL có thể chồng lên phần bên trái của vùng đế hàn hiển thị PDA-DP khi được quan sát trên hình chiếu bằng. Phần bên trái của vùng đế hàn cảm biến bên phải PDA-ISR có thể chồng lên phần bên phải của vùng đế hàn hiển thị PDA-DP khi được quan sát trên hình chiếu bằng.

Dựa vào Fig.11, các đế hàn cảm biến PD-2 trong vùng đế hàn cảm biến bên trái PDA-ISL có thể được bố trí gần như theo cùng dạng với các đế hàn cảm biến PD-2 trong vùng đế hàn cảm biến bên phải PDA-ISR.

Các đế hàn cảm biến PD-2 có thể được bố trí theo kết cấu không tuyến tính, ví

dụ, các đế hàn PD-2 có thể bao gồm các đế hàn cảm biến thứ nhất PD1-2 được bố trí trong hàng thứ nhất, các đế hàn cảm biến thứ hai PD2-2 được bố trí trong hàng thứ hai, và các đế hàn cảm biến thứ ba PD3-2 được bố trí trong hàng thứ ba.

Các đế hàn cảm biến PD-2 có thể được phân chia thành vùng bố trí theo hai hàng RW1 và vùng bố trí theo ba hàng RW2 bằng đường danh giới tương tượng song song với hướng thứ hai DR2.

Các đế hàn cảm biến, được bố trí trong các vùng bên trái và bên phải, của các đế hàn cảm biến thứ hai PD2-2 và thứ ba PD3-2 có thể được bố trí trong vùng bố trí theo hai hàng RW1. Các đế hàn cảm biến thứ nhất PD1-2 và các đế hàn cảm biến, được bố trí trong vùng giữa, của các đế hàn cảm biến thứ hai PD2-2 và thứ ba PD3-2 có thể được bố trí trong vùng bố trí theo ba hàng RW2.

Fig.12 minh họa một số đế hàn trong số các đế hàn cảm biến PD-2 trên Fig.11 và các đường tín hiệu SL được nối với các đế hàn này.

Các đường tín hiệu thứ nhất SL1 được nối với các đế hàn cảm biến thứ nhất PD1-2. Các đường tín hiệu thứ hai SL2 được nối với các đế hàn cảm biến thứ hai PD2-2. Các đường tín hiệu thứ ba SL3 được nối với các đế hàn cảm biến thứ ba PD3-2. Các phần mô tả của các phần tử khác gần giống như các phần tử được mô tả dựa vào Fig.8 và do đó được lược bỏ để tránh dư thừa.

Fig.13 minh họa một số đế hàn trong số các đế hàn cảm biến PD-3 và các đường tín hiệu SL-1 được nối với các đế hàn cảm biến PD-3, theo một phương án của sáng chế.

Các đường tín hiệu SL-1 trên Fig.13 có thể kéo dài gần như thẳng theo hướng thứ hai DR2, không giống như các đường tín hiệu SL được mô tả nêu trên. Nói cách khác, các đường tín hiệu SL-1 trên Fig.13 có thể không bao gồm các phần uốn cong giữa các đế hàn cảm biến PD-3. Trong trường hợp các đường tín hiệu SL-1 kéo dài gần như thẳng giống như thế này, thì quy trình thay đổi các hướng kéo dài của các đường tín hiệu có thể không được yêu cầu. Do đó, sự thuận tiện và độ ổn định của các quy trình chế tạo có thể được cải thiện.

Trong trường hợp các đường tín hiệu SL-1 có các hình dạng này, thì số lượng các đường tín hiệu SL-1 được bố trí giữa các đế hàn cảm biến PD-3 có thể khác với số lượng các đường tín hiệu SL được mô tả nêu trên.

Ví dụ, hai đường tín hiệu SL-1 có thể được bố trí giữa các đế hàn cảm biến thứ nhất PD1-3 liền kề với nhau. Hai đường tín hiệu SL-1 (ví dụ, SL3-1', SL2-1') có thể được bố trí giữa các đế hàn cảm biến thứ hai PD2-3 liền kề với nhau trong vùng bố trí theo hai hàng RW1, và một đường tín hiệu SL-1 (ví dụ, SL3-1) có thể được bố trí giữa các đế hàn cảm biến thứ hai PD2-3 liền kề với nhau trong vùng bố trí theo ba hàng RW2. Nói cách khác, số lượng các đường tín hiệu SL-1 được bố trí giữa các đế hàn cảm biến thứ hai PD2-3 liền kề với nhau có thể được thay đổi tùy theo các trường hợp.

Để thay đổi số lượng các đường tín hiệu SL-1 được bố trí giữa các đế hàn cảm biến thứ hai PD2-3 như được mô tả ở trên, mỗi trong số các đường tín hiệu thứ hai SL2-1 có thể được nối với phần đỉnh phía trên bên phải hoặc phần đỉnh phía trên bên trái của một đế hàn tương ứng trong số các đế hàn cảm biến thứ hai PD2-3 khi được quan sát trên hình chiếu bằng.

Các khoảng cách L1-1 (các khoảng cách thứ nhất) giữa các đế hàn cảm biến thứ nhất PD1-3 có thể bằng nhau trong vùng bố trí theo ba hàng RW2.

Các khoảng cách L2-1 (các khoảng cách thứ hai) giữa các đế hàn cảm biến thứ hai PD2-3 có thể không đổi trong vùng bố trí theo hai hàng RW1 và vùng bố trí theo ba hàng RW2.

Khoảng cách L3-2 (khoảng cách thứ ba) giữa các đế hàn cảm biến thứ ba PD3-3 liền kề với nhau trong vùng bố trí theo hai hàng RW1 có thể khác khoảng cách L3-1 (khoảng cách thứ ba) giữa các đế hàn cảm biến thứ ba PD3-3 liền kề với nhau trong vùng bố trí theo ba hàng RW2. Ví dụ, khoảng cách thứ ba L3-1 trong vùng bố trí theo ba hàng RW2 có thể lớn hơn khoảng cách thứ ba L3-2 trong vùng bố trí theo hai hàng RW1. Để điều chỉnh các khoảng cách L3-1 và L3-2 này, mỗi trong số các đường tín hiệu thứ ba SL3-1 có thể được nối với phần đỉnh phía trên bên phải hoặc phần đỉnh phía

trên bên trái của một đế hàn tương ứng trong số các đế hàn cảm biến thứ ba PD3-3 khi được quan sát trên hình chiếu bằng.

Tuy nhiên, khoảng cách thứ nhất L1-1, khoảng cách thứ hai L2-1 và các khoảng cách thứ ba L3-1 và L3-2 có thể không bị giới hạn ở đó nhưng có thể được thay đổi một cách đa dạng theo các phương án của sáng chế.

Các đế hàn cảm biến PD-3 được minh họa trên Fig.13 có thể được áp dụng cho bộ phận cảm biến đầu vào ISU trên Fig.6 và bộ phận cảm biến đầu vào ISU-1 trên Fig.10.

Fig.14 và Fig.15 là các hình chiếu bằng của các phương án làm ví dụ của các bộ phận cảm biến đầu vào ISU-2 và ISU-3 theo các nguyên lý của sáng chế.

Các hình dạng của các điện cực cảm biến IE-1 của bộ phận cảm biến đầu vào ISU-2 trên Fig.14 có thể khác với các hình dạng của các điện cực cảm biến IE của bộ phận cảm biến đầu vào ISU trên Fig.6. Các hình dạng của các điện cực cảm biến IE-1 của bộ phận cảm biến đầu vào ISU-3 trên Fig.15 có thể khác với các hình dạng của các điện cực cảm biến IE của bộ phận cảm biến đầu vào ISU-1 trên Fig.10.

Các điện cực cảm biến IE-1 trên Fig.14 và Fig.15 có thể có dạng lưới.

Các thành phần khác của các bộ phận cảm biến đầu vào ISU-2 và ISU-3 trên Fig.14 và Fig.15 có thể gần giống như các thành phần tương ứng của các bộ phận cảm biến đầu vào ISU và ISU-1 trên Fig.6 và Fig.10, và do đó các phần mô tả của chúng được lược bỏ để tránh dư thừa.

Fig.16 và Fig.17 là các hình vẽ mặt cắt của các phương án làm ví dụ của các bộ hiển thị DD-1 và DD-2 theo các nguyên lý của sáng chế.

Dựa vào Fig.16, bộ hiển thị DD-1 có thể bao gồm panen hiển thị DP, bộ phận cảm biến đầu vào ISU, thành phần chống phản xạ RPP, và cửa sổ WP. Bộ phận cảm biến đầu vào ISU có thể được tạo thành trên bề mặt nền được tạo ra từ panen hiển thị bằng các quy trình liên tục. Thứ tự xếp chồng của bộ phận cảm biến đầu vào ISU và

thành phần chống phản xạ RPP có thể được thay đổi. Thành phần chống phản xạ RPP có thể được tạo thành trên bộ phận cảm biến đầu vào ISU bằng các quy trình liên tục hoặc có thể được dính vào bộ phận cảm biến đầu vào ISU bằng thành phần kết dính.

Theo một phương án của sáng chế, bộ hiển thị DD-1 có thể không bao gồm thành phần chống phản xạ RPP tách biệt. Theo một phương án của sáng chế, bộ phận cảm biến đầu vào ISU của bộ hiển thị DD-1 có thể còn có chức năng chống phản xạ. Theo một phương án của sáng chế, panen hiển thị DP có thể còn có chức năng chống phản xạ.

Dựa vào Fig.17, bộ hiển thị DD-2 có thể bao gồm panen hiển thị DP, bộ phận cảm biến đầu vào ISU, thành phần chống phản xạ RPP, cửa sổ WP, và các thành phần kết dính AD1-1, AD2-1 và AD3-1.

Thành phần chống phản xạ RPP được bao gồm trong bộ hiển thị DD-2 có thể được bố trí bên trên bộ phận cảm biến đầu vào ISU, không giống như các thành phần chống phản xạ RPP được minh họa trên Fig.2A và Fig.2B.

Fig.18 là hình vẽ phối cảnh của phương án làm ví dụ của bộ hiển thị được tạo thành theo các nguyên lý của sáng chế ở vị trí được gập gọn.

Một phần hoặc toàn bộ phần thuộc bộ hiển thị DD-3 có thể uốn được hoặc cuộn được. Nói cách khác, bộ hiển thị DD-3 theo một phương án của sáng chế có thể là bộ hiển thị dẻo.

Theo một phương án của sáng chế, có thể tạo ra bộ hiển thị bao gồm bộ phận cảm biến đầu vào có phần nối để hàn có kích thước được giảm bớt dọc theo chiều dài của phần này. Do đó, một phần của phần nối để hàn của bộ phận cảm biến đầu vào và phần nối để hàn của panen hiển thị mà chồng lên nhau có thể được giảm thiểu để nâng cao độ ổn định của các quy trình chế tạo bộ hiển thị.

Mặc dù các phương làm ví dụ và các phương án thực hiện nhất định đã được mô tả ở đây, các phương án và cải biến khác sẽ rõ ràng nhờ phần mô tả này. Theo đó, sáng chế không bị giới hạn ở các phương án này, mà ở phạm vi rộng hơn của bộ yêu cầu bảo

hệ kèm theo và các cải biến hiển nhiên và các cách bố trí tương đương khác nhau sẽ rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng.

YÊU CẦU BẢO HỘ

1. Bộ hiển thị bao gồm:

panen hiển thị có một vùng hiển thị bao gồm các phần tử phát quang; và một vùng không hiển thị có các đế hàn hiển thị được nối điện với các phần tử phát quang;

bảng mạch in thứ nhất được bố trí trên một vùng không hiển thị của panen hiển thị và được nối điện với các đế hàn hiển thị;

thành phần kết dính thứ nhất được bố trí trên một vùng hiển thị của panen hiển thị và một phần của bảng mạch in thứ nhất;

thành phần chống phản xạ chồng lên một vùng hiển thị và được bố trí trên thành phần kết dính thứ nhất;

thành phần kết dính thứ hai được bố trí trên thành phần chống phản xạ;

bảng mạch in thứ hai chồng lên một vùng không hiển thị;

màng dẫn điện dị hướng được bố trí trên bảng mạch in thứ hai;

các điện cực cảm biến chồng lên một vùng hiển thị và được bố trí trên thành phần kết dính thứ hai;

các đường tín hiệu, mỗi đường trong số các đường này được nối với một điện cực tương ứng trong số các điện cực cảm biến; và

các đế hàn cảm biến được bố trí trên màng dẫn điện dị hướng và được nối điện với bảng mạch in thứ hai bằng màng dẫn điện dị hướng, trong đó các đế hàn cảm biến được bố trí theo các hàng trên hình chiếu bằng và chồng lên một vùng không hiển thị;

màng nền được bố trí trên các điện cực cảm biến, các đường tín hiệu, và các đế hàn cảm biến;

thành phần kết dính thứ ba được bố trí trên màng nền; và

cửa sổ được bố trí trên thành phần kết dính thứ ba.

2. Bộ hiển thị theo điểm 1, trong đó mỗi trong số các điện cực cảm biến được cách điện khỏi các điện cực còn lại trong số các điện cực cảm biến.

3. Bộ hiển thị theo điểm 2, trong đó các điện cực cảm biến được bố trí dưới dạng ma trận.

4. Bộ hiển thị theo điểm 2, trong đó các đế hàn cảm biến bao gồm:

các đế hàn cảm biến thứ nhất được bố trí trong hàng thứ nhất trong số các hàng;

các đế hàn cảm biến thứ hai được bố trí trong hàng thứ hai trong số các hàng; và

các đế hàn cảm biến thứ ba được bố trí trong hàng thứ ba trong số các hàng.

5. Bộ hiển thị theo điểm 4, trong đó n đường tín hiệu trong số các đường tín hiệu được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ nhất, trong đó ' n ' là số tự nhiên bằng hoặc lớn hơn 2, và

trong đó m đường tín hiệu trong số các đường tín hiệu được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ hai, trong đó ' m ' là số tự nhiên nhỏ hơn ' n '.

6. Bộ hiển thị theo điểm 5, trong đó ' n ' bằng 2 và ' m ' bằng 1.

7. Bộ hiển thị theo điểm 6, trong đó các đường tín hiệu không được bố trí giữa hai đế hàn liền kề bất kỳ trong số các đế hàn cảm biến thứ ba.

8. Bộ hiển thị theo điểm 4, trong đó các đế hàn cảm biến thứ nhất được bố trí theo hướng thứ nhất, các đế hàn cảm biến thứ hai được bố trí theo hướng thứ nhất, và các đế hàn cảm biến thứ ba được bố trí theo hướng thứ nhất,

trong đó các đế hàn cảm biến thứ nhất bao gồm:

các đế hàn cảm biến bên trái thứ nhất chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai vuông góc với hướng thứ nhất;

các đế hàn cảm biến ở giữa thứ nhất chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ nhất không chồng lên các đế hàn cảm biến thứ

hai và các đế hàn cảm biến thứ ba theo hướng thứ hai.

9. Bộ hiển thị theo điểm 8, trong đó các đế hàn cảm biến thứ hai bao gồm:

các đế hàn cảm biến bên trái thứ hai chỉ chồng lên các đế hàn cảm biến thứ ba trong số các đế hàn cảm biến theo hướng thứ hai;

các đế hàn cảm biến ở giữa thứ hai chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ ba theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ hai chỉ chồng lên các đế hàn cảm biến thứ nhất trong số các đế hàn cảm biến theo hướng thứ hai.

10. Bộ hiển thị theo điểm 9, trong đó các đế hàn cảm biến thứ ba bao gồm:

các đế hàn cảm biến bên trái thứ ba không chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai;

các đế hàn cảm biến ở giữa thứ ba chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ ba chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai.

11. Bộ hiển thị theo điểm 4, trong đó một số đế hàn cảm biến được bố trí trong hai hàng chồng lên nhau, và một số đế hàn cảm biến còn lại được bố trí trong ba hàng chồng lên nhau,

trong đó hai trong số các đường tín hiệu được bố trí giữa và liền kề hai trong số các đế hàn cảm biến thứ nhất,

trong đó hai trong số các đường tín hiệu được bố trí giữa hai trong số các đế hàn cảm biến thứ hai, liền kề với nhau trong hai hàng chồng lên nhau, và

trong đó một trong số các đường tín hiệu được bố trí giữa hai trong số các đế hàn cảm biến thứ hai, liền kề với nhau trong ba hàng chồng lên nhau.

12. Bộ hiển thị theo điểm 11, trong đó khoảng cách giữa các đế hàn cảm biến thứ ba liền

kề với nhau trong hai hàng chồng lên nhau khác với khoảng cách giữa các đế hàn cảm biến thứ ba liền kề với nhau trong ba hàng chồng lên nhau.

13. Bộ hiển thị theo điểm 4, trong đó khoảng cách thứ nhất giữa các đế hàn cảm biến thứ nhất lớn hơn khoảng cách thứ hai giữa các đế hàn cảm biến thứ hai, và khoảng cách thứ hai giữa các đế hàn cảm biến thứ hai lớn hơn khoảng cách thứ ba giữa các đế hàn cảm biến thứ ba.

14. Bộ hiển thị theo điểm 1, trong đó các đế hàn cảm biến được bố trí trong vùng đế hàn cảm biến có chiều dài thứ nhất ngắn hơn chiều dài thứ hai của vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí.

15. Bộ hiển thị theo điểm 14, trong đó chiều dài thứ nhất bằng hoặc lớn hơn 35% và nhỏ hơn 45% chiều dài thứ ba của panen hiển thị, và

trong đó chiều dài thứ hai bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba.

16. Bộ hiển thị theo điểm 14, trong đó chiều dài thứ nhất bằng hoặc lớn hơn 75% và bằng hoặc nhỏ hơn 85% chiều dài thứ hai.

17. Bộ hiển thị theo điểm 1, bộ hiển thị này còn bao gồm vùng đế hàn cảm biến bên trái trong đó các đế hàn cảm biến bên trái trong số các đế hàn cảm biến được bố trí, và vùng đế hàn cảm biến bên phải trong đó các đế hàn cảm biến bên phải trong số các đế hàn cảm biến được bố trí;

vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí; và

trong đó phần bên phải của vùng đế hàn cảm biến bên trái chồng lên phần bên trái của vùng đế hàn hiển thị trên hình chiếu bằng, và phần bên trái của vùng đế hàn cảm biến bên phải chồng lên phần bên phải của vùng đế hàn hiển thị trên hình chiếu bằng.

18. Bộ hiển thị theo điểm 1, trong đó các đế hàn cảm biến không chồng lên các đế hàn hiển thị khi được quan sát trên hình chiếu bằng.

19. Bộ hiển thị theo điểm 1, trong đó một phần của các đế hàn cảm biến chồng lên thành phần chống phản xạ khi được quan sát trên hình chiếu bằng.

20. Bộ hiển thị theo điểm 1, trong đó mỗi trong số các điện cực cảm biến có dạng lưới.

21. Bộ hiển thị theo điểm 1, trong đó các điện cực cảm biến bao gồm vật liệu dẫn điện trong suốt.

22. Bộ hiển thị theo điểm 19, trong đó thành phần chống phản xạ là tấm phân cực.

23. Bộ hiển thị theo điểm 1, trong đó chiều dài của một hàng trong số các hàng khác với chiều dài của một hàng khác trong số các hàng.

24. Bộ hiển thị bao gồm:

panen hiển thị có một vùng hiển thị bao gồm các phần tử phát quang và một vùng không hiển thị có các đế hàn hiển thị được nối điện với các phần tử phát quang;

bộ phận cảm biến đầu vào được bố trí trên panen hiển thị và nhận biết sự tiếp xúc của đối tượng bên ngoài, trong đó bộ phận cảm biến đầu vào này bao gồm:

màng nền;

các điện cực cảm biến được bố trí dưới màng nền và chồng lên một vùng hiển thị;

các đường tín hiệu lần lượt được nối với các điện cực cảm biến và truyền các tín hiệu tương ứng với các thay đổi về điện dung của các điện cực cảm biến; và

các đế hàn cảm biến lần lượt được nối với các đường tín hiệu và được bố trí trong kết cấu không tuyến tính, trong đó các đế hàn cảm biến chồng lên một vùng không hiển thị.

25. Bộ hiển thị theo điểm 24, bộ hiển thị này còn bao gồm:

thành phần chống phản xạ được bố trí giữa panen hiển thị và bộ phận cảm biến đầu vào.

26. Bộ hiển thị theo điểm 25, trong đó thành phần chống phản xạ là tấm phân cực.

27. Bộ hiển thị theo điểm 25, bộ hiển thị này còn bao gồm:

thành phần kết dính thứ nhất được bố trí giữa panen hiển thị và thành phần chống phản xạ; và

thành phần kết dính thứ hai được bố trí giữa bộ phận cảm biến đầu vào và thành phần chống phản xạ.

28. Bộ hiển thị theo điểm 24, trong đó ít nhất một trong số các điện cực cảm biến được ghép nối về mặt điện dung với đối tượng bên ngoài để tạo ra các sự thay đổi về điện dung.

29. Bộ hiển thị theo điểm 24, trong đó mỗi trong số các điện cực cảm biến được cách điện với các điện cực cảm biến khác.

30. Bộ hiển thị theo điểm 24, trong đó các đế hàn cảm biến bao gồm:

các đế hàn cảm biến thứ nhất được bố trí trong hàng thứ nhất trong số các hàng;

các đế hàn cảm biến thứ hai được bố trí trong hàng thứ hai trong số các hàng; và

các đế hàn cảm biến thứ ba được bố trí trong hàng thứ ba trong số các hàng.

31. Bộ hiển thị theo điểm 30, trong đó n đường tín hiệu trong số các đường tín hiệu được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ nhất, trong đó 'n' là số tự nhiên bằng hoặc lớn hơn 2, và

trong đó m đường tín hiệu trong số các đường tín hiệu được bố trí giữa hai đế hàn liền kề trong số các đế hàn cảm biến thứ hai, trong đó 'm' là số tự nhiên nhỏ hơn 'n'.

32. Bộ hiển thị theo điểm 31, trong đó 'n' bằng 2 và 'm' bằng 1.

33. Bộ hiển thị theo điểm 32, trong đó các đường tín hiệu không được bố trí giữa hai đế hàn liền kề bất kỳ trong số các đế hàn cảm biến thứ ba.

34. Bộ hiển thị theo điểm 30, trong đó các đế hàn cảm biến thứ nhất được bố trí theo hướng thứ nhất, các đế hàn cảm biến thứ hai được bố trí theo hướng thứ nhất, và đế hàn cảm biến thứ ba được bố trí theo hướng thứ nhất,

trong đó các đế hàn cảm biến thứ nhất bao gồm:

các đế hàn cảm biến bên trái thứ nhất chồng lên các đế hàn cảm biến thứ hai và đế hàn cảm biến thứ ba theo hướng thứ hai vuông góc với hướng thứ nhất;

các đế hàn cảm biến ở giữa thứ nhất chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ nhất không chồng lên các đế hàn cảm biến thứ hai và các đế hàn cảm biến thứ ba theo hướng thứ hai.

35. Bộ hiển thị theo điểm 34, trong đó các đế hàn cảm biến thứ hai bao gồm:

các đế hàn cảm biến bên trái thứ hai chỉ chồng lên các đế hàn cảm biến thứ ba trong số các đế hàn cảm biến theo hướng thứ hai;

các đế hàn cảm biến ở giữa thứ hai chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ ba theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ hai chỉ chồng lên các đế hàn cảm biến thứ nhất trong số các đế hàn cảm biến theo hướng thứ hai.

36. Bộ hiển thị theo điểm 35, trong đó các đế hàn cảm biến thứ ba bao gồm:

các đế hàn cảm biến bên trái thứ ba không chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai;

các đế hàn cảm biến ở giữa thứ ba chỉ chồng lên các đế hàn cảm biến thứ hai trong số các đế hàn cảm biến theo hướng thứ hai; và

các đế hàn cảm biến bên phải thứ ba chồng lên các đế hàn cảm biến thứ nhất và các đế hàn cảm biến thứ hai theo hướng thứ hai.

37. Bộ hiển thị theo điểm 24, trong đó các đế hàn cảm biến được bố trí trong vùng đế hàn cảm biến có chiều dài thứ nhất ngắn hơn chiều dài thứ hai của vùng đế hàn hiển thị trong đó các đế hàn hiển thị được bố trí.

38. Bộ hiển thị theo điểm 37, trong đó chiều dài thứ nhất bằng hoặc lớn hơn 35% và nhỏ hơn 45% chiều dài thứ ba của panen hiển thị, và

trong đó chiều dài thứ hai bằng hoặc lớn hơn 45% và nhỏ hơn 55% chiều dài thứ ba.

39. Bộ hiển thị theo điểm 37, trong đó chiều dài thứ nhất trong khoảng từ 75% đến 85% chiều dài thứ hai.

40. Bộ hiển thị theo điểm 24, trong đó các đế hàn cảm biến được bố trí theo các hàng, chiều dài của một hàng trong số các hàng khác với chiều dài của một hàng khác trong số các hàng.

FIG. 1

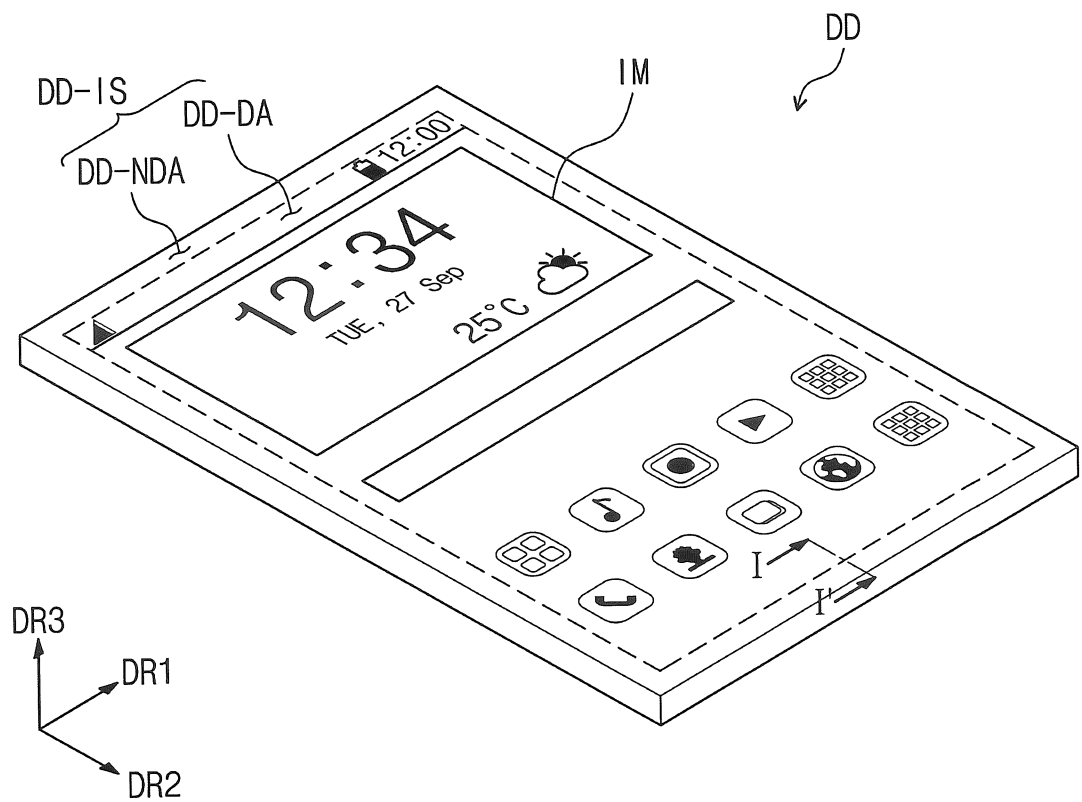


FIG. 2A

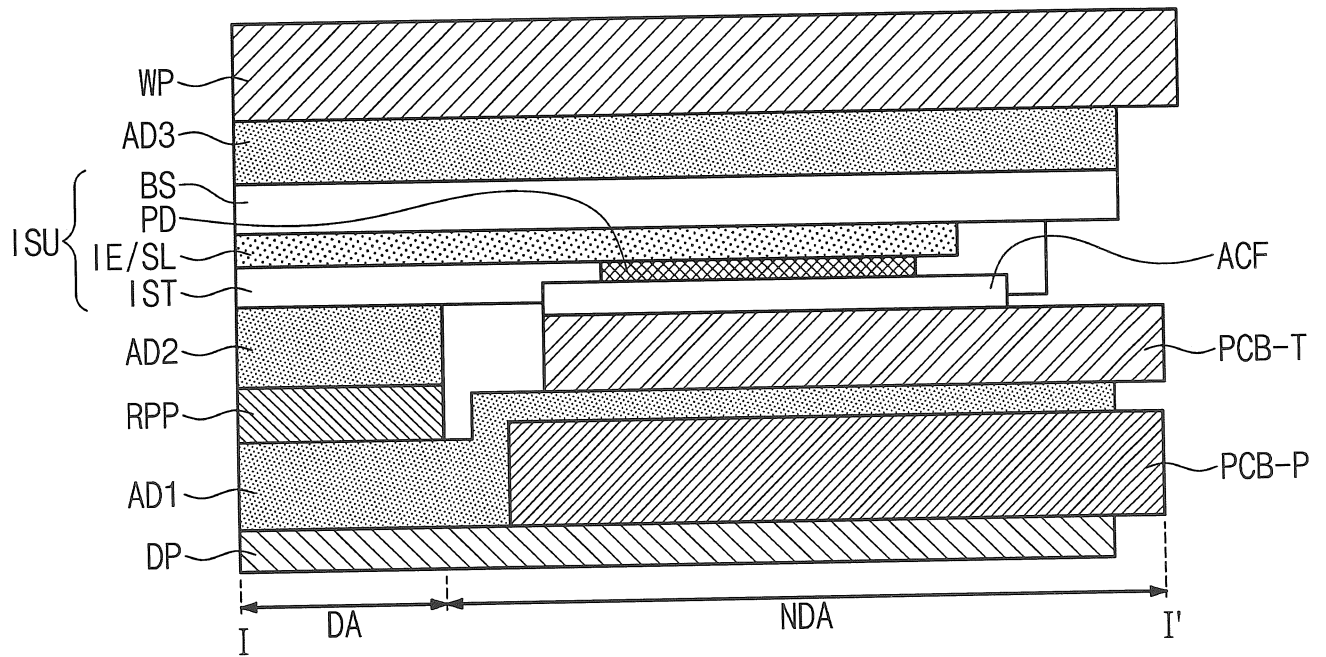


FIG. 2B

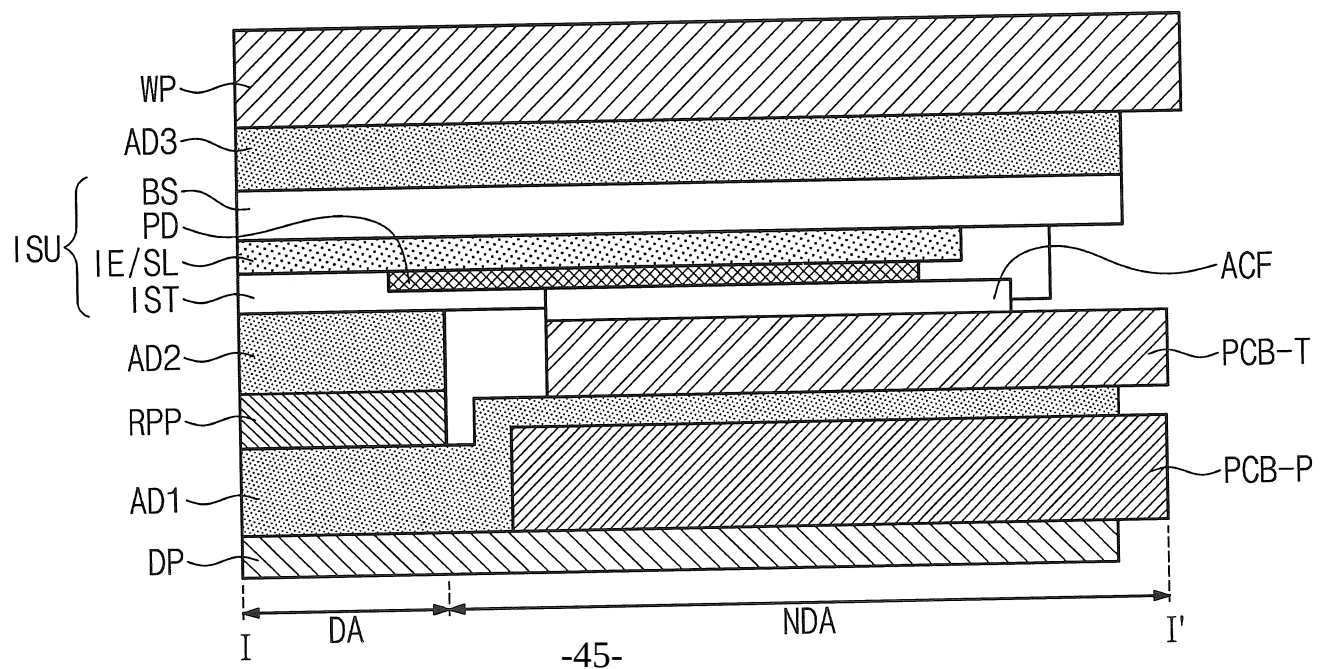


FIG. 3

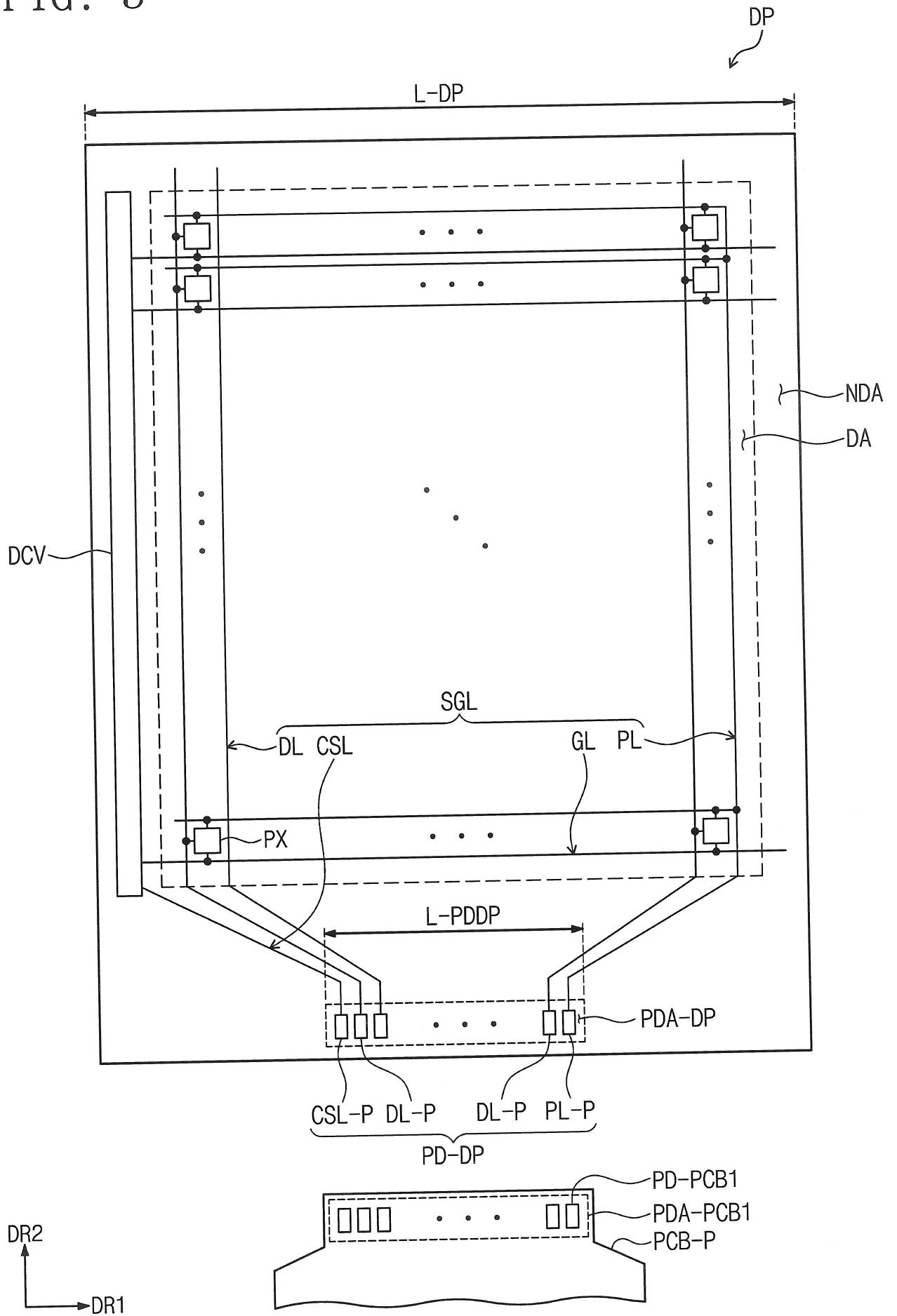


FIG. 4

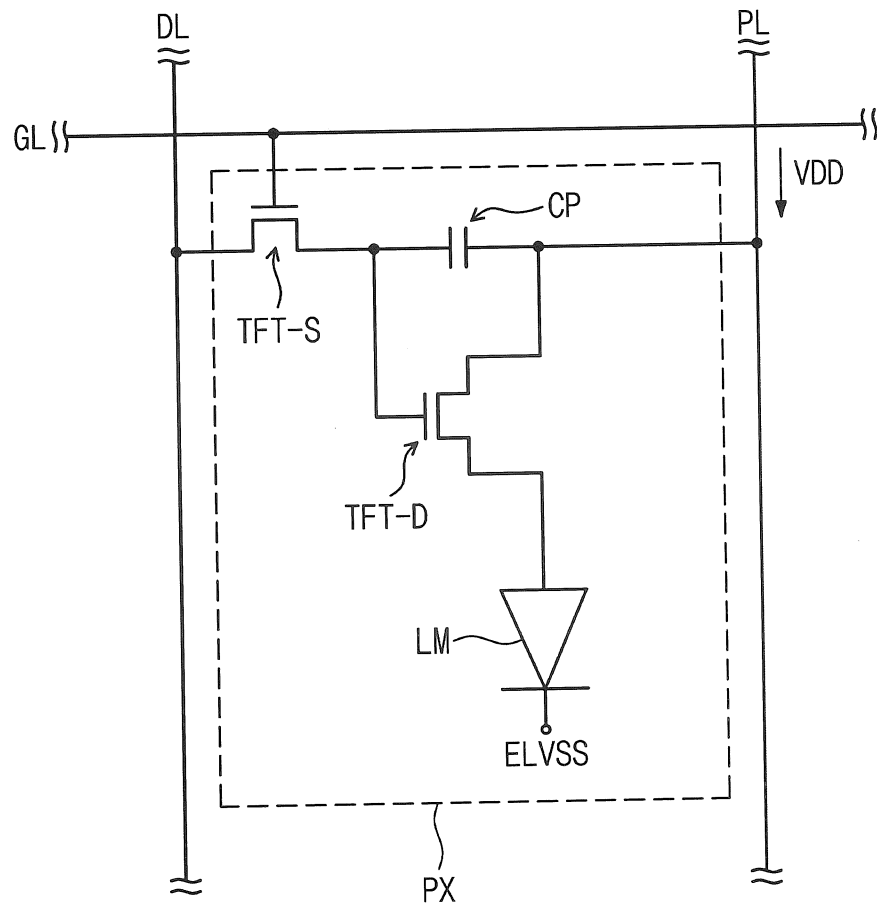


FIG. 5

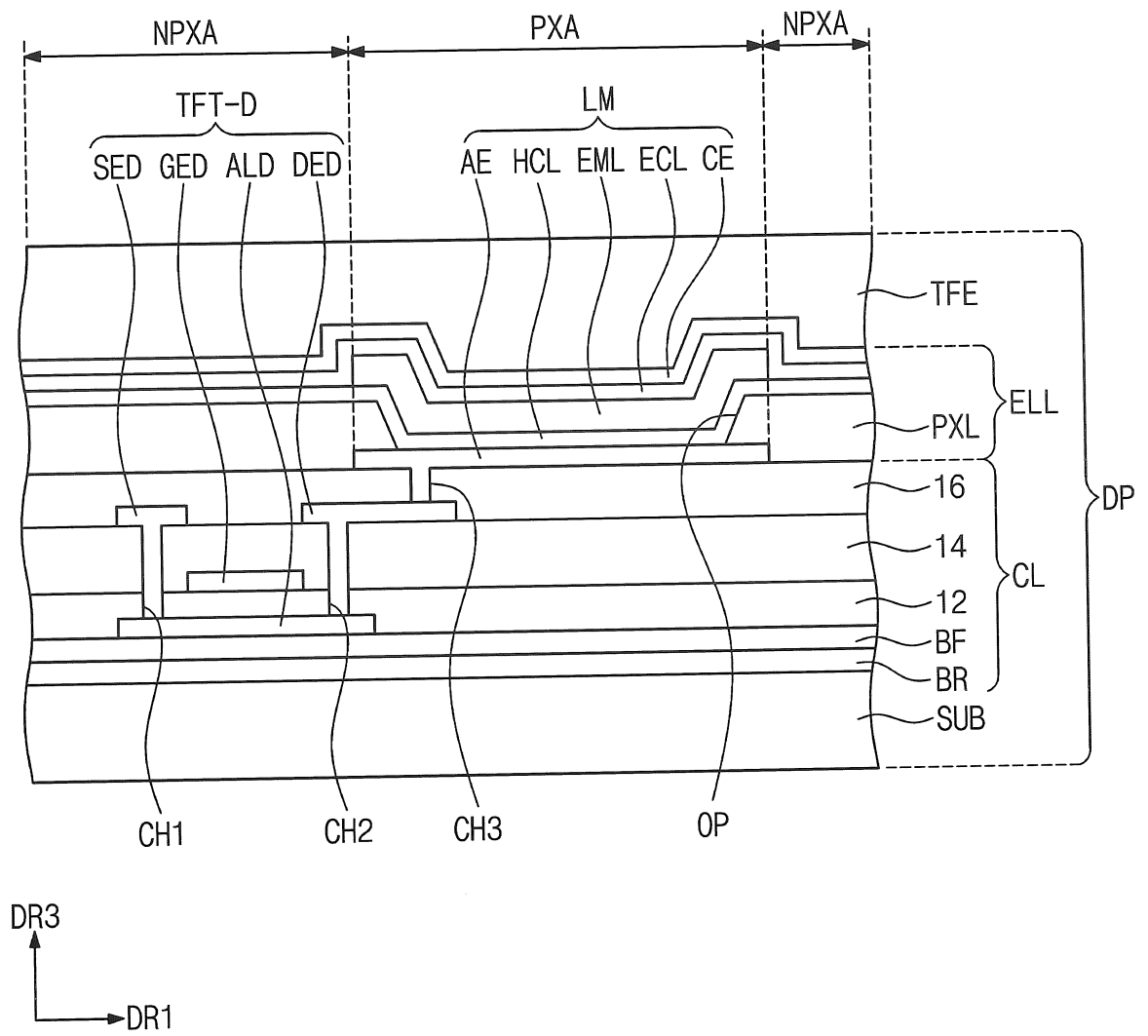


FIG. 6

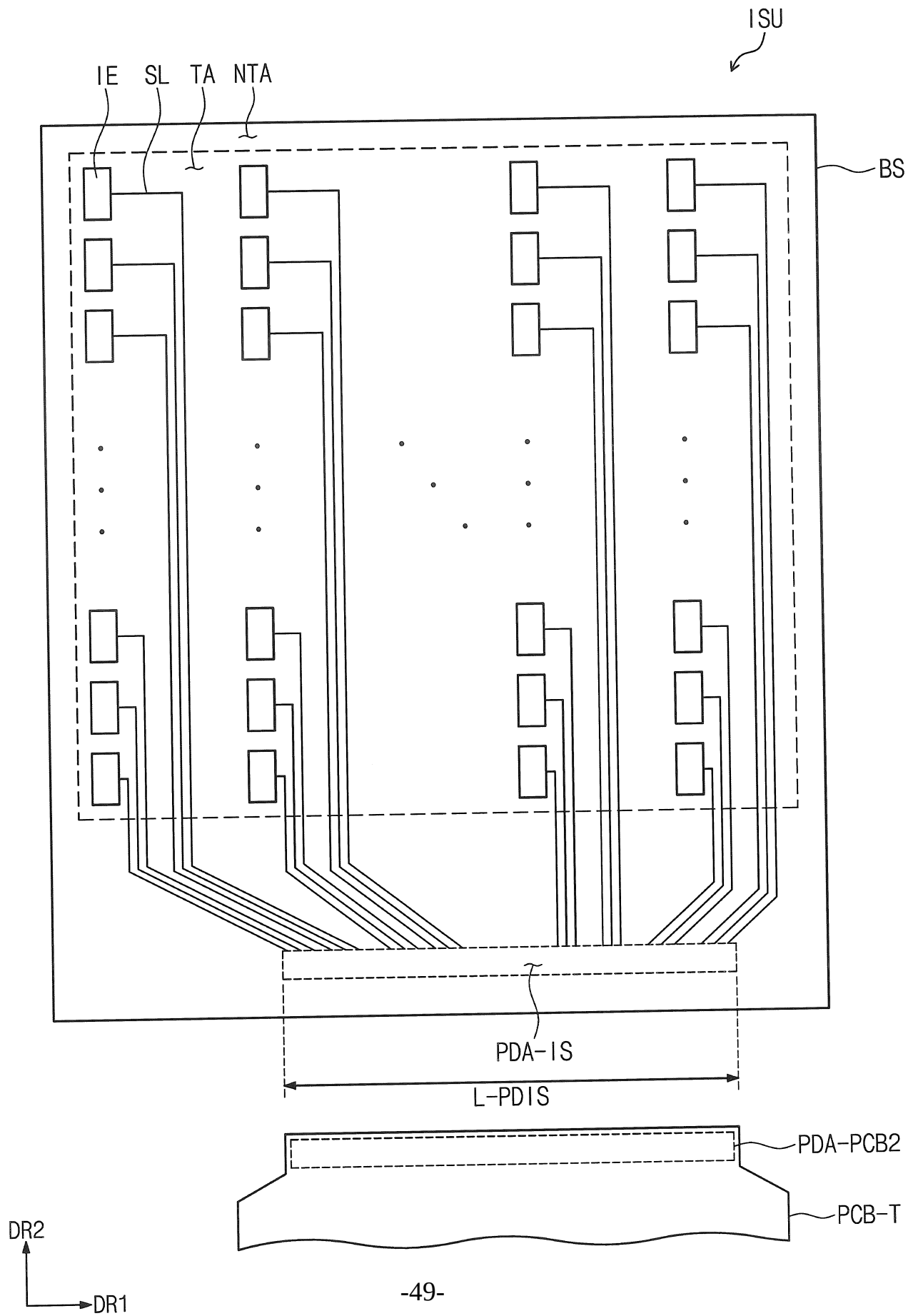


FIG. 7

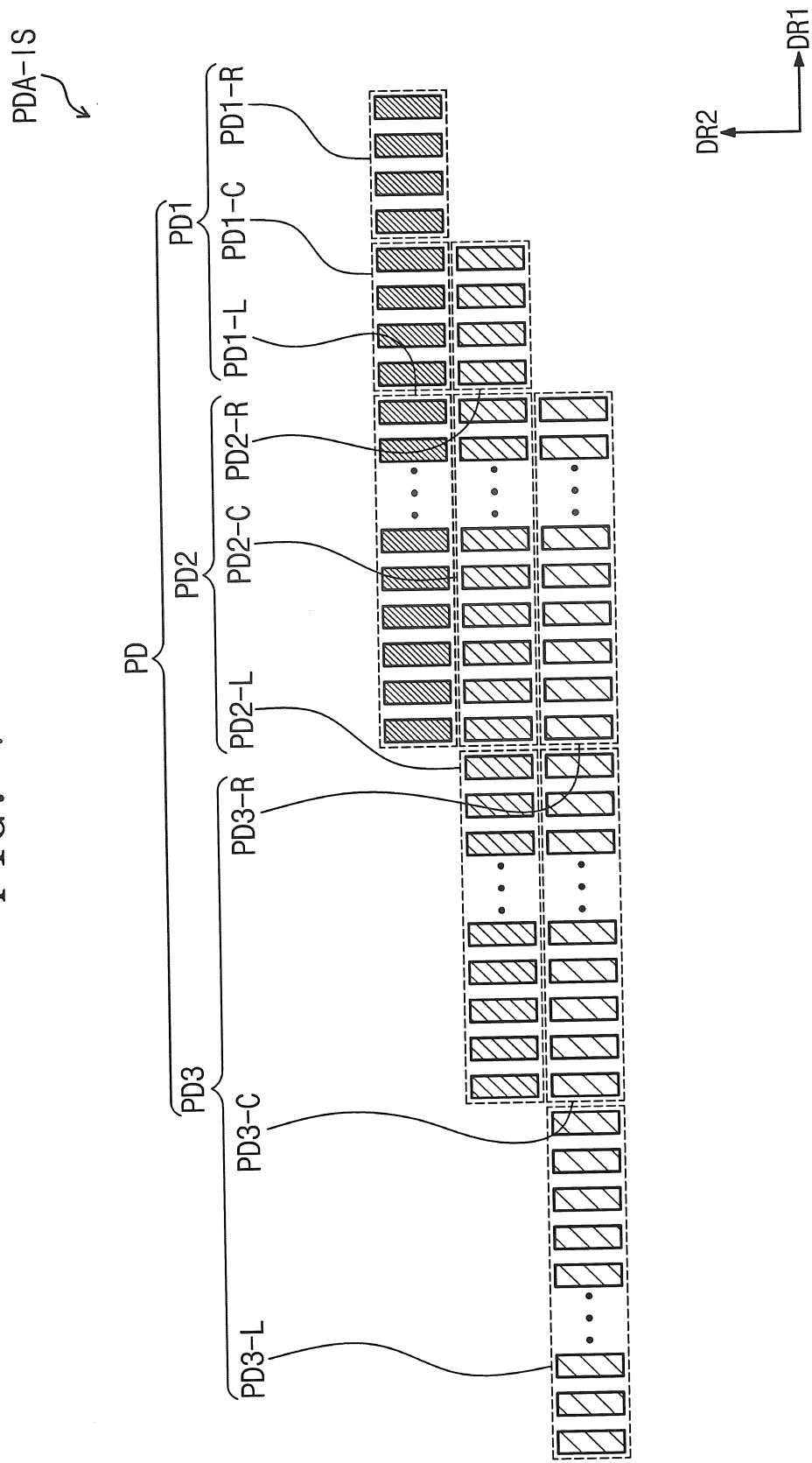


FIG. 8

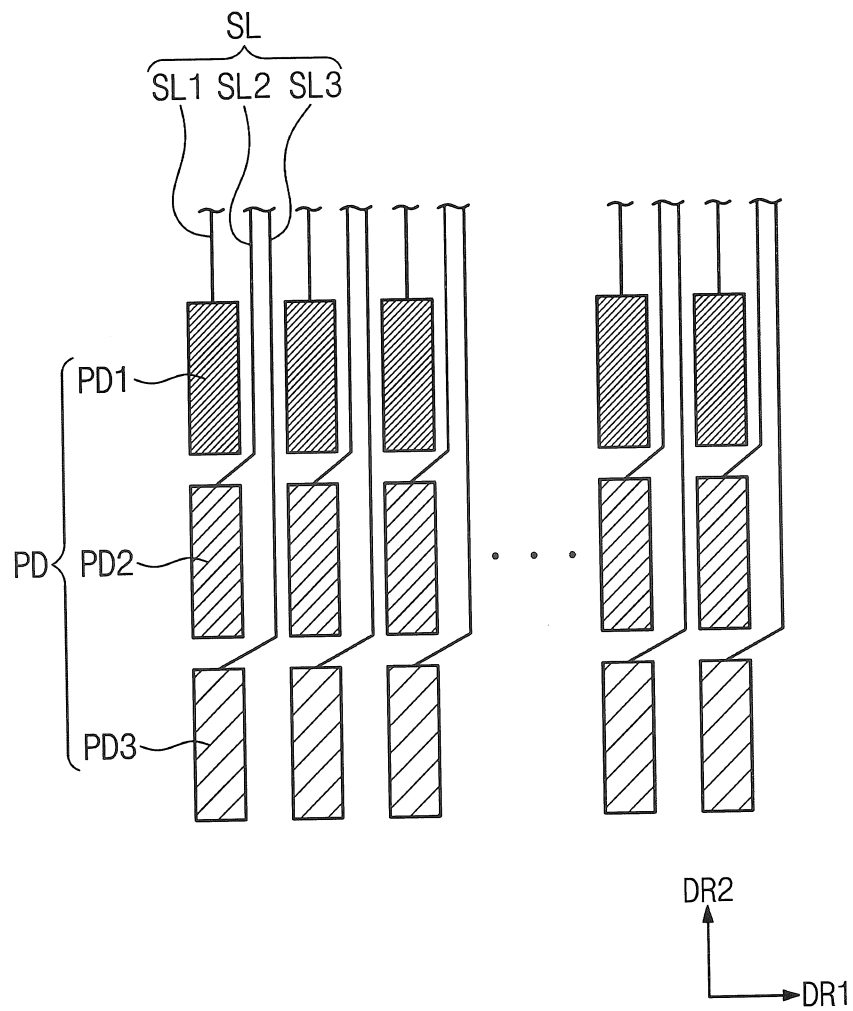


FIG. 9

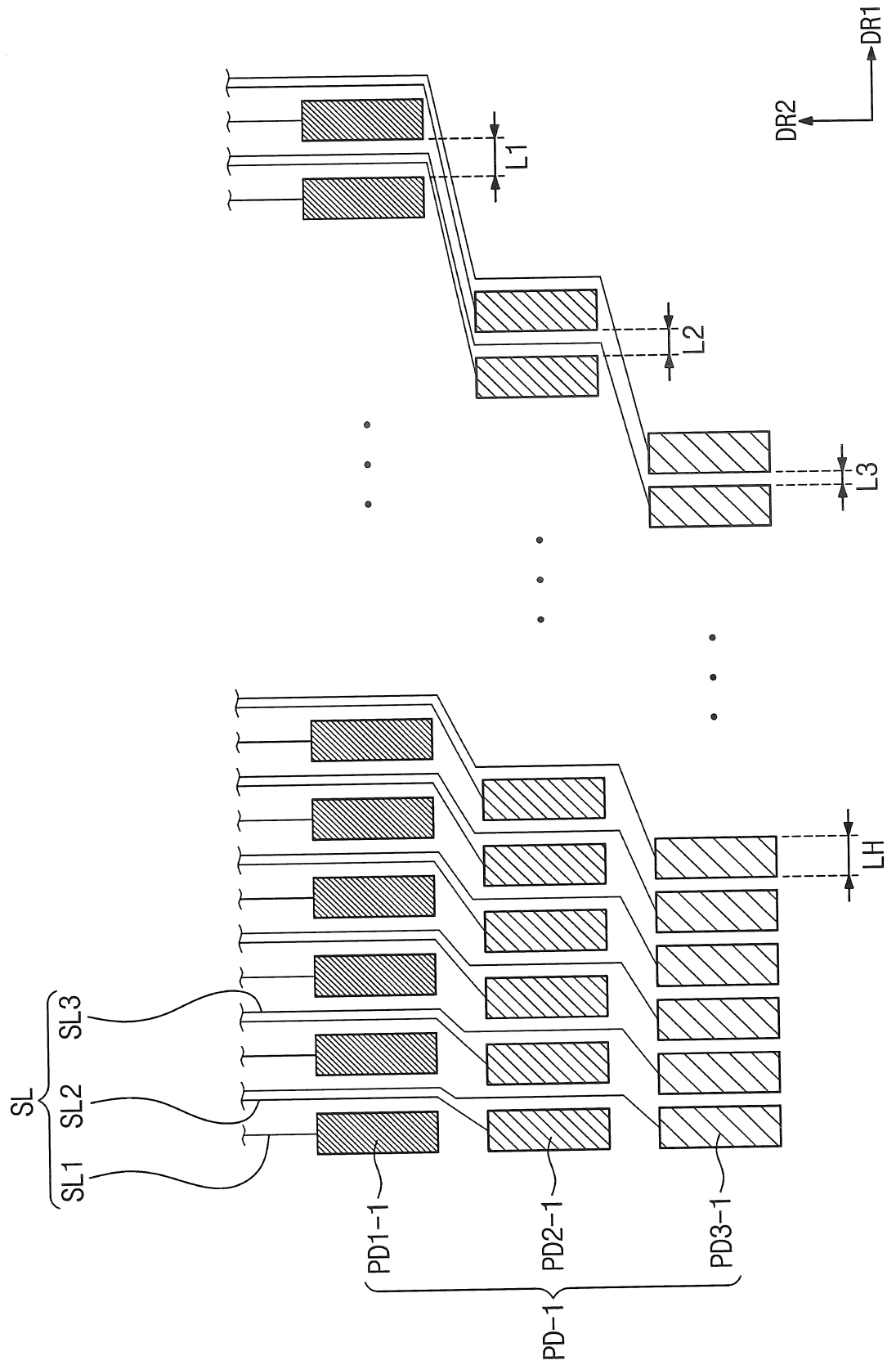


FIG. 10

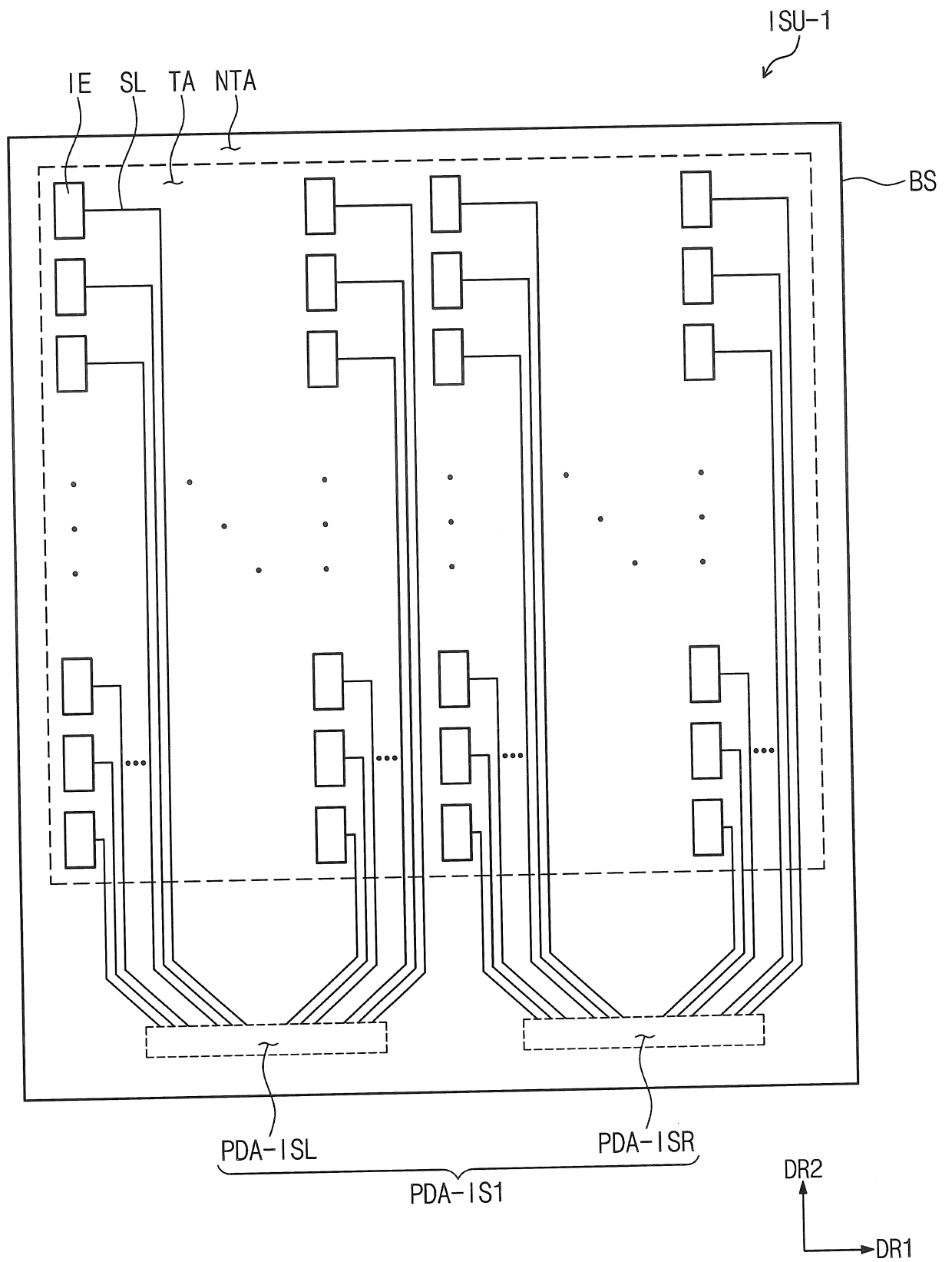


FIG. 11

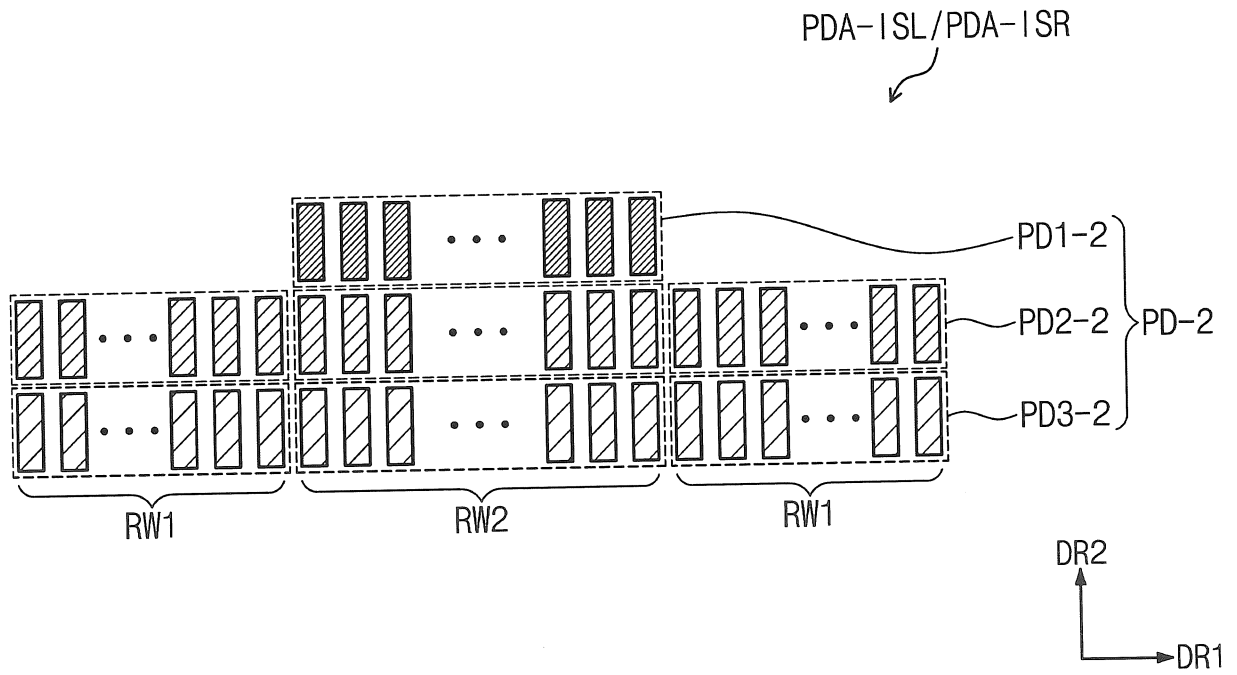


FIG. 12

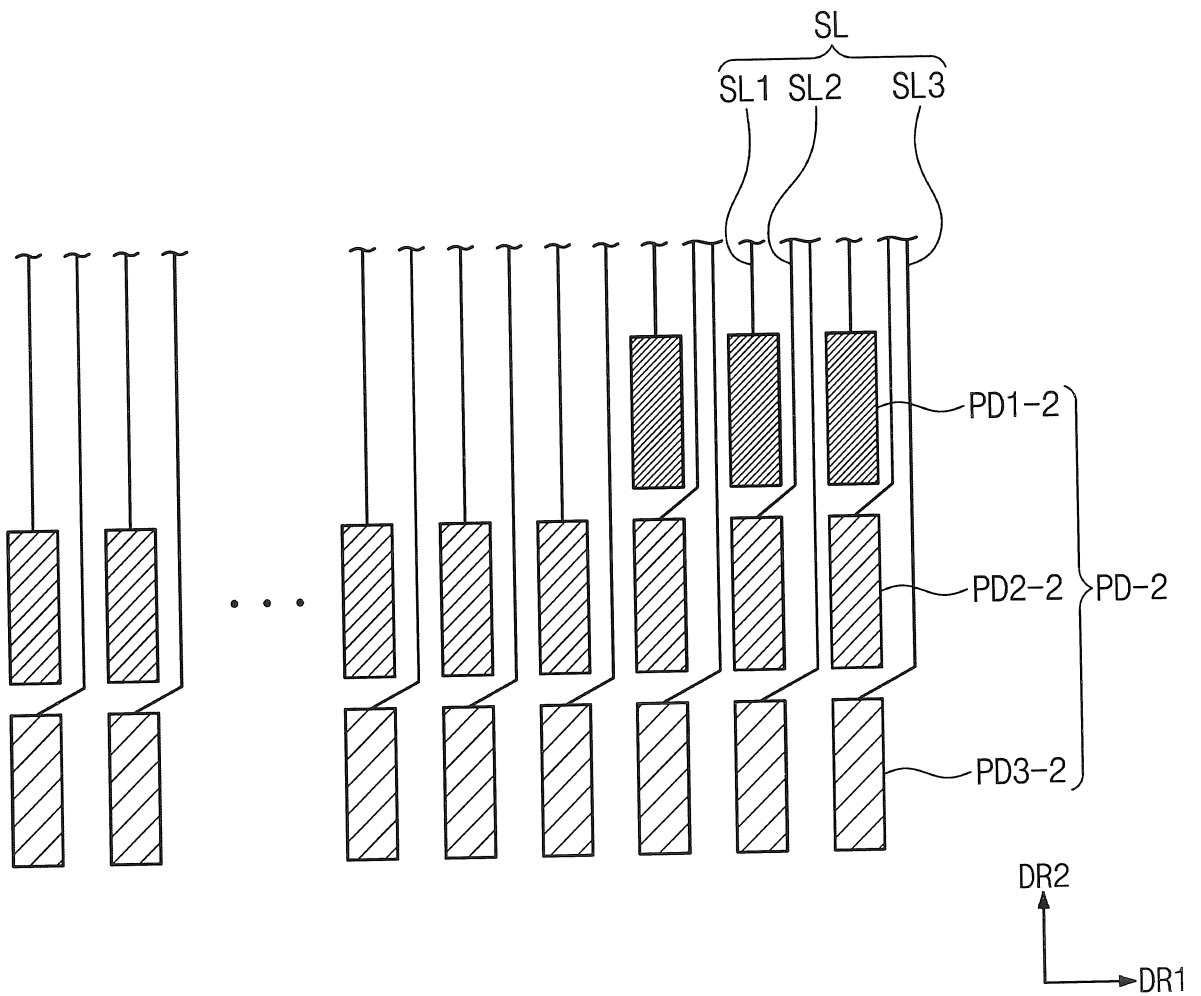


FIG. 13

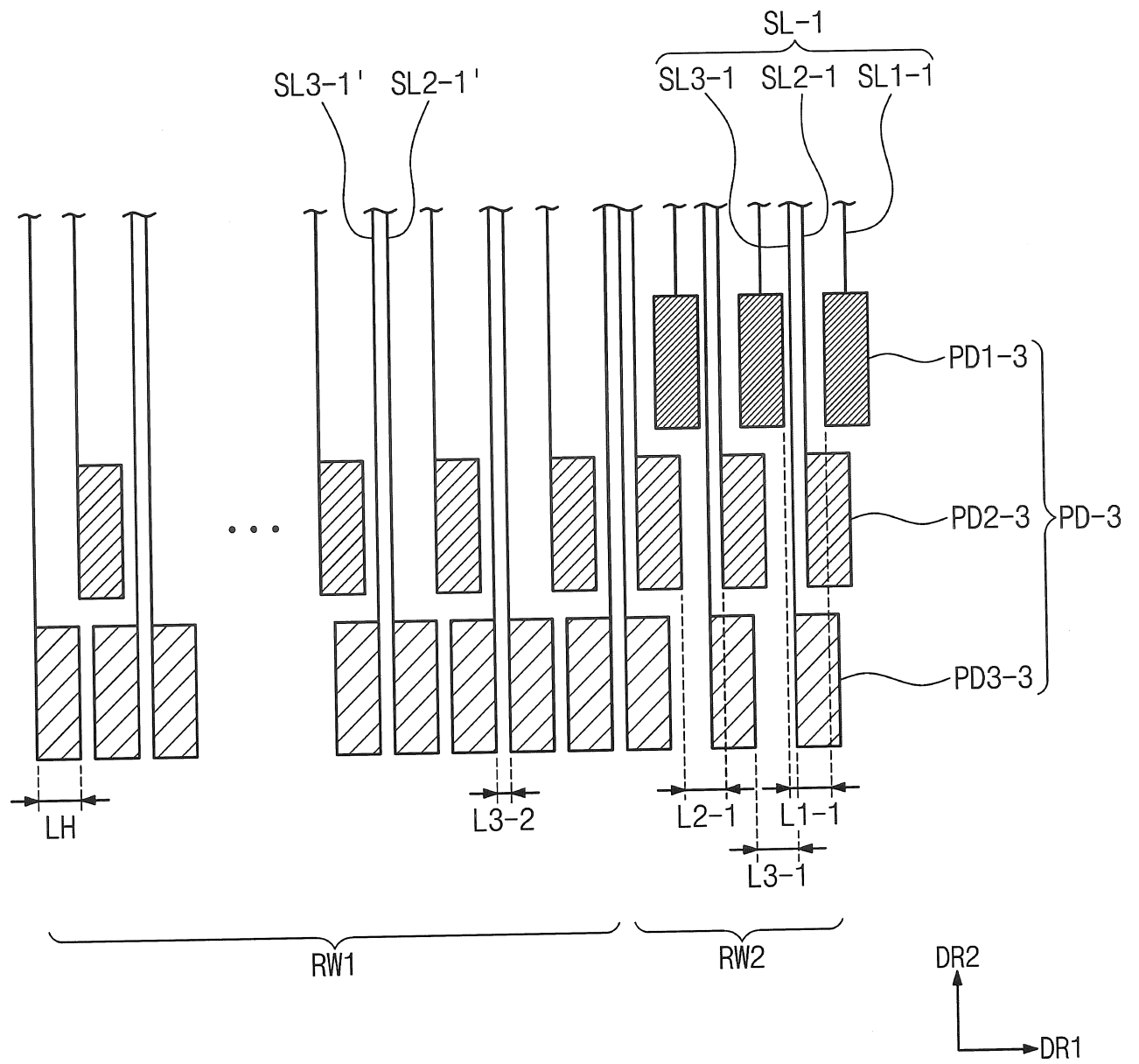


FIG. 14

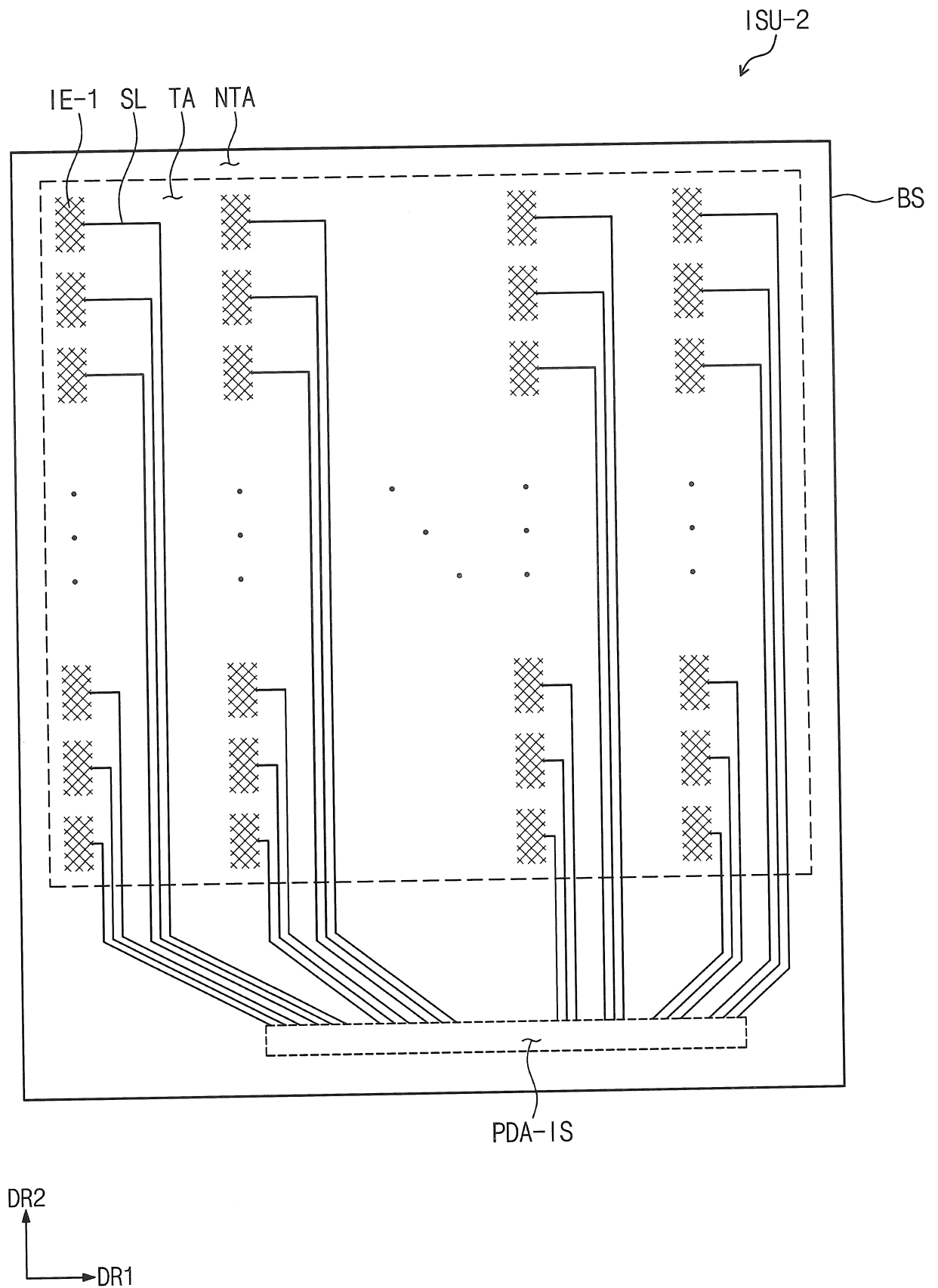


FIG. 15

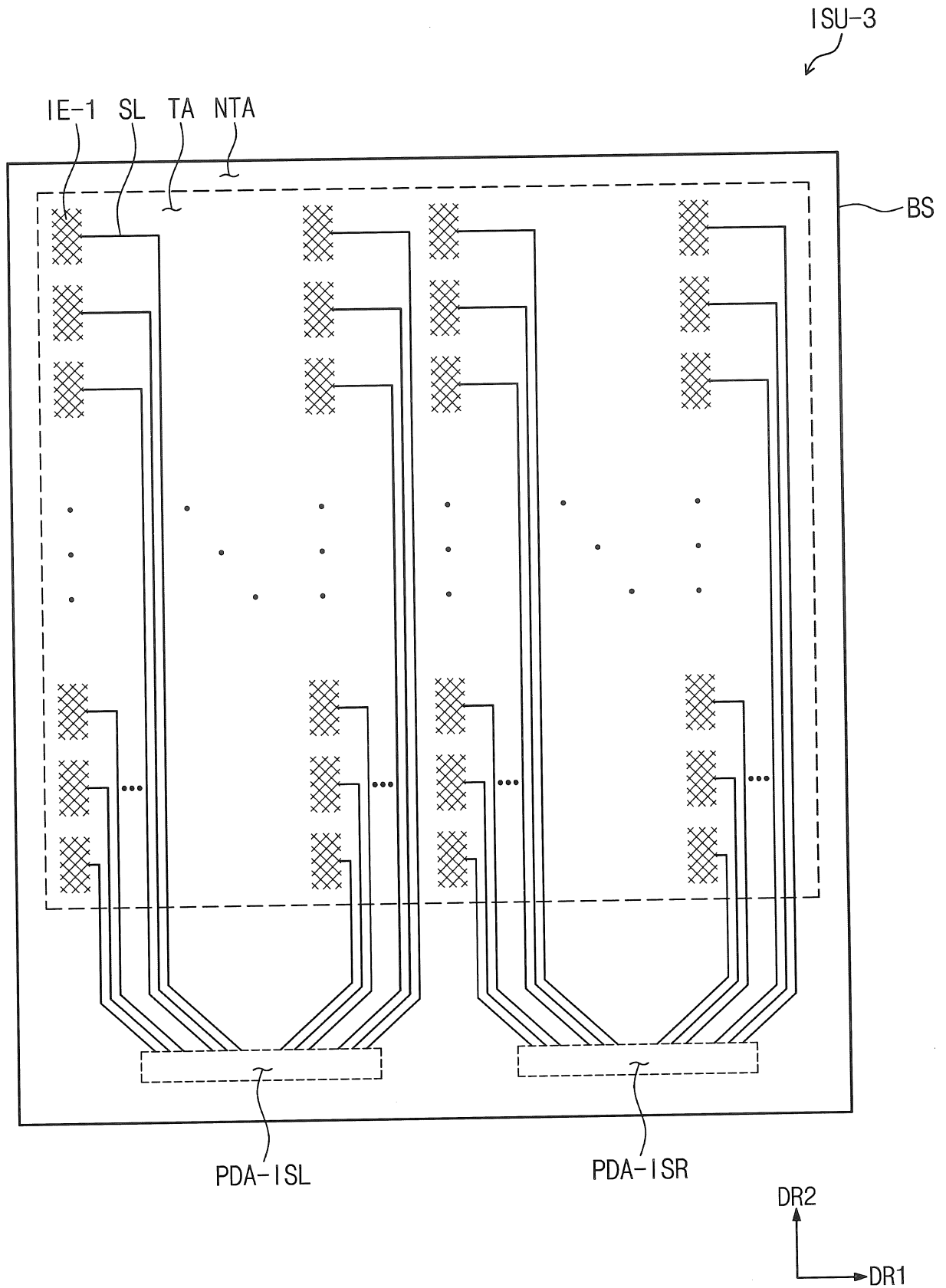


FIG. 16

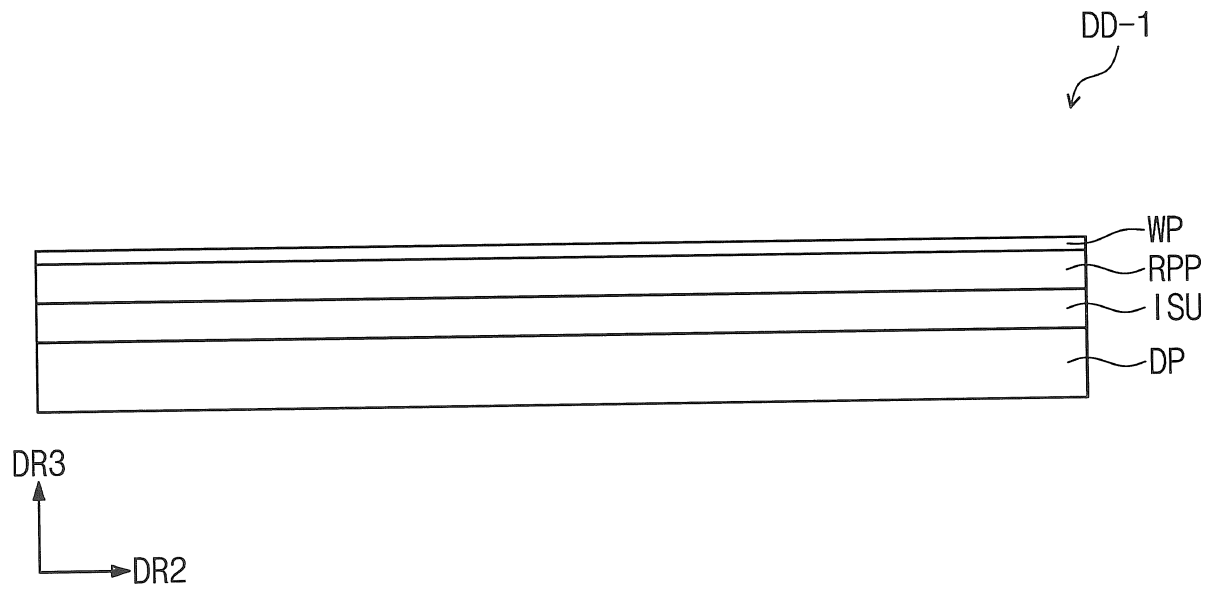


FIG. 17

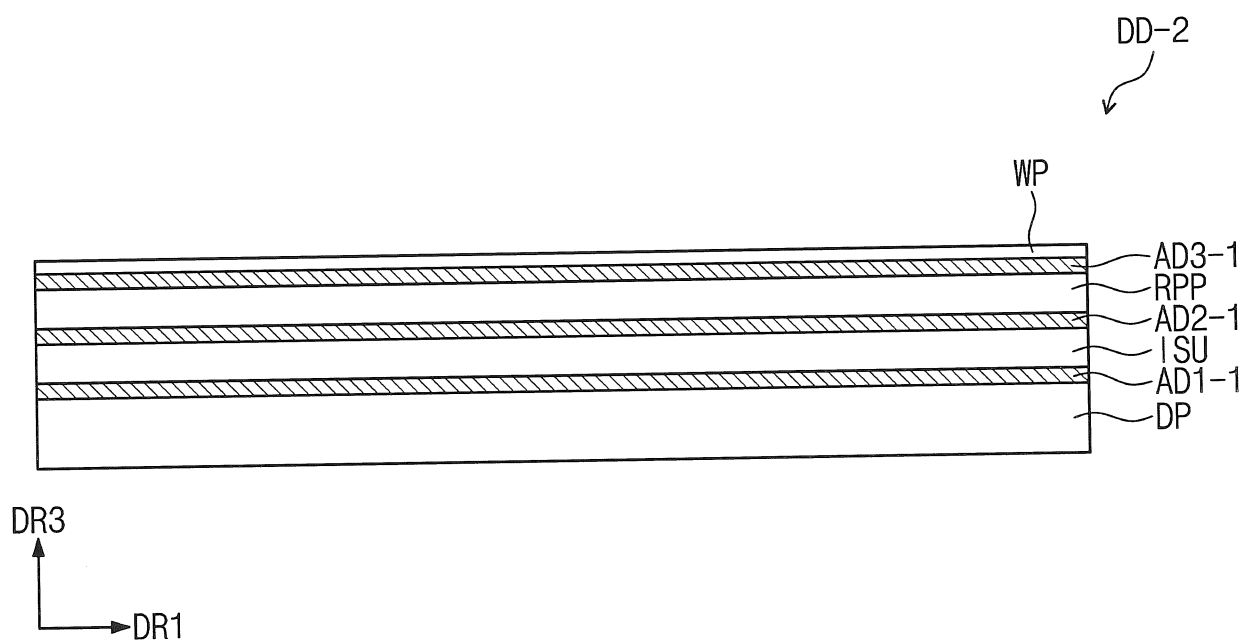


FIG. 18

