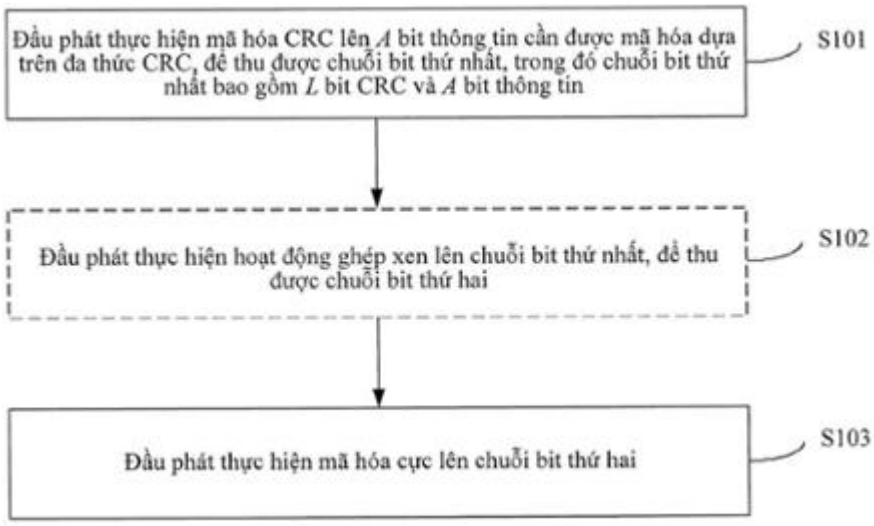
(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ
(11) **1-0035395**
(51)[19] **H04L 1/00**
(13) **B**

(21) 1-2019-07029
(22) 04/05/2018
(86) PCT/CN2018/085529 04/05/2018
(87) WO 2019/047544 14/03/2019
(30) 201710807301.9 08/09/2017 CN
(45) 25/04/2023 421
(43) 27/07/2020 388ASC
(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong 518129, P. R. China
(72) HUANG, Lingchen (CN); DAI, Shengchen (CN); XU, Chen (CN); QIAO, Yunfei (CN); LI, Rong (CN).
(74) Công ty Cổ phần Sở hữu công nghiệp INVESTIP (INVESTIP)

(54) THIẾT BỊ MÃ HÓA, PHƯƠNG PHÁP MÃ HÓA VÀ PHƯƠNG TIỆN LƯU TRỮ CÓ THỂ ĐỌC ĐƯỢC TRÊN MÁY TÍNH

(57) Sáng chế đề cập đến thiết bị và phương pháp mã hóa và phương tiện lưu trữ có thể đọc được trên máy tính. Phương pháp theo sáng chế bao gồm: thực hiện mã hóa CRC (cyclic redundancy check - kiểm dư chu trình) lên *A* bit thông tin cần được mã hóa dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm *L* bit CRC và *A* bit thông tin, *L*=11; và thực hiện mã hóa cực lên chuỗi bit thứ nhất. Dựa trên đa thức CRC được cải thiện, việc mã hóa thỏa mãn yêu cầu tỷ lệ cảnh báo sai (false alarm rate - FAR) được triển khai.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực công nghệ truyền thông, và cụ thể, đề cập đến thiết bị và phương pháp mã hóa.

Tình trạng kỹ thuật của sáng chế

Trong hệ thống truyền thông, mã hóa kênh thường được thực hiện để cải thiện độ tin cậy của truyền dẫn dữ liệu và đảm bảo chất lượng truyền thông. Hiện nay, hệ thống truyền thông di động 5G bao gồm ba kịch bản ứng dụng chính: băng rộng di động nâng cao (eMBB, enhanced mobile broadband), truyền thông độ trễ thấp cực kỳ đáng tin cậy (URLLC, ultra-reliable low-latency communications), và truyền thông loại máy quy mô lớn (mMTC, massive machine-type communications), các yêu cầu mới được đặt ra cho truyền thông dữ liệu, và mã cực (polar) là phương pháp mã hóa kênh đầu tiên mà có thể được chứng minh nghiêm ngặt để "đạt được" dung lượng kênh, và có thể áp dụng được vào hệ thống truyền thông 5G và hệ thống truyền thông tương lai.

Bản chất kỹ thuật của sáng chế

Sáng chế đề cập đến thiết bị và phương pháp mã hóa.

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp mã hóa, bao gồm:

bước thực hiện mã hóa CRC lên A bit thông tin cần được mã hóa bởi đầu phát dựa trên đa thức kiểm dư chu trình (CRC-cyclic redundancy check), để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=11, và đa thức CRC là đa thức bất kỳ trong số các đa thức sau:

D^11+D^10+D^9+D^5+1;

D^11+D^7+D^6+D^2+1;

D^11+D^10+D^9+D^6+D^4+D^2+1;

D^11+D^10+D^9+D^7+D^5+D+1;

D^11+D^9+D^8+D^6+D^5+D+1;

D^11+D^10+D^9+D^8+D^7+D^5+D^4+D+1;

D^11+D^10+D^3+D+1;

D^11+D^5+D^3+D+1;

D^11+D^10+D^9+D^8+D^6+D^5+D^3+D+1;

D^11+D^10+D^8+D^7+D^6+D^5+D^3+D+1;

D^11+D^9+D^7+D^6+D^5+D^4+D^3+D+1;

D^11+D^10+D^9+D^7+D^6+D^3+D^2+D+1; hoặc

D^11+D^8+D^6+D^5+D^4+D^3+D^2+D+1; và

bước thực hiện mã hóa cực lên chuỗi bit thứ nhất.

Bằng cách sử dụng cách mã hóa này, yêu cầu FAR có thể được thỏa mãn, để đảm bảo là sự truyền thông được thực hiện theo cách thông thường.

Theo thiết kế khả thi, đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

Theo thiết kế khả thi, L bit CRC trong chuỗi bit thứ nhất được đặt sau A bit thông tin cần được mã hóa.

Theo thiết kế khả thi, đầu phát gửi chuỗi bit được mã hóa cực thứ nhất.

Theo thiết kế khả thi, phương pháp mã hóa có thể được triển khai bằng cách sử dụng phần cứng, ví dụ, được triển khai bằng cách sử dụng mạch hoặc một hoặc nhiều mạch tích hợp. Phương pháp mã hóa cũng có thể là được triển khai bằng cách sử dụng phần mềm. Ví dụ, một hoặc nhiều bộ xử lý thực hiện phương pháp mã hóa bằng cách chỉ lệnh được lưu trữ trong bộ nhớ. Một hoặc nhiều bộ xử lý có thể được tích hợp trong chip, hoặc có thể được phân bố trong nhiều chip. Phương pháp mã hóa cũng có thể là được triển khai một phần bằng cách sử dụng phần cứng và được triển khai một phần bằng cách sử dụng phần mềm. Ví dụ, bộ xử lý thực hiện bước "thực hiện, dựa trên đa thức kiểm dư chu trình (CRC), mã hóa CRC lên A bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất" bằng cách đọc chỉ lệnh được lưu trữ trong bộ nhớ, và bước

"thực hiện mã hóa cực lên chuỗi bit thứ nhất" được triển khai bằng cách sử dụng mạch logic hoặc bộ gia tốc. Tất nhiên, trong quá trình triển khai cụ thể, những người có trình độ trong lĩnh vực kỹ thuật cũng có thể sử dụng kết hợp các cách nêu trên.

Theo thiết kế khả thi, đầu phát là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ hai, sáng chế đề xuất thiết bị mã hóa, bao gồm:

môđun mã hóa thứ nhất, được định cấu hình để thực hiện, dựa trên đa thức kiểm dư chu trình (CRC), mã hóa CRC lên A bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=11, và đa thức CRC là đa thức bất kỳ trong số các đa thức sau:

D^11+D^10+D^9+D^5+1;

D^11+D^7+D^6+D^2+1;

D^11+D^10+D^9+D^6+D^4+D^2+1;

D^11+D^10+D^9+D^7+D^5+D+1;

D^11+D^9+D^8+D^6+D^5+D+1;

D^11+D^10+D^9+D^8+D^7+D^5+D^4+D+1;

D^11+D^10+D^3+D+1;

D^11+D^5+D^3+D+1;

D^11+D^10+D^9+D^8+D^6+D^5+D^3+D+1;

D^11+D^10+D^8+D^7+D^6+D^5+D^3+D+1;

D^11+D^9+D^7+D^6+D^5+D^4+D^3+D+1;

D^11+D^10+D^9+D^7+D^6+D^3+D^2+D+1; hoặc

D^11+D^8+D^6+D^5+D^4+D^3+D^2+D+1; và

mô đun mã hóa thứ hai, được định cấu hình để thực hiện mã hóa cực lên chuỗi bit thứ nhất.

Theo thiết kế khả thi, đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

Theo thiết kế khả thi, *L* bit CRC trong chuỗi bit thứ nhất được đặt sau *A* bit thông tin cần được mã hóa.

Theo thiết kế khả thi, thiết bị còn bao gồm môđun gửi, được định cấu hình để gửi chuỗi bit được mã hóa cực thứ nhất.

Theo thiết kế khả thi, thiết bị là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ ba, sáng chế đề xuất thiết bị mã hóa, bao gồm bộ xử lý. Bộ xử lý được định cấu hình để:

thực hiện mã hóa CRC lên *A* bit thông tin cần được mã hóa dựa trên đa thức kiểm dư chu trình (CRC), để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm *L* bit CRC và *A* bit thông tin, *L* và *A* là các số nguyên dương, *L*=11, và đa thức CRC là đa thức bất kỳ trong số các đa thức sau:

D^11+D^10+D^9+D^5+1;

D^11+D^7+D^6+D^2+1;

D^11+D^10+D^9+D^6+D^4+D^2+1;

D^11+D^10+D^9+D^7+D^5+D+1;

D^11+D^9+D^8+D^6+D^5+D+1;

D^11+D^10+D^9+D^8+D^7+D^5+D^4+D+1;

D^11+D^10+D^3+D+1;

D^11+D^5+D^3+D+1;

D^11+D^10+D^9+D^8+D^6+D^5+D^3+D+1;

D^11+D^10+D^8+D^7+D^6+D^5+D^3+D+1;

D^11+D^9+D^7+D^6+D^5+D^4+D^3+D+1;

D^11+D^10+D^9+D^7+D^6+D^3+D^2+D+1; hoặc

D^11+D^8+D^6+D^5+D^4+D^3+D^2+D+1; và

thực hiện mã hóa cực lên chuỗi bit thứ nhất.

Theo thiết kế khả thi, thiết bị mã hóa còn bao gồm bộ nhớ, và bộ nhớ được định cấu hình để lưu trữ chỉ lệnh chương trình.

Theo thiết kế khả thi, đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

Theo thiết kế khả thi, L bit CRC trong chuỗi bit thứ nhất được đặt sau A bit thông tin cần được mã hóa.

Theo thiết kế khả thi, thiết bị là trạm cơ sở hoặc thiết bị đầu cuối.

Bộ nhớ có thể ở bên trong bộ xử lý hoặc ở bên ngoài bộ xử lý. Bộ xử lý có thể được tích hợp trong thiết bị đầu cuối hoặc trạm cơ sở.

Bộ xử lý có thể là mạch, một hoặc nhiều mạch tích hợp, hoặc một hoặc nhiều chip chuyên dụng. Bộ xử lý cũng có thể là chip đa năng, và khi chỉ lệnh chương trình được sử dụng để triển khai phương pháp mã hóa được tải vào trong bộ xử lý, chức năng mã hóa nêu trên có thể được triển khai. Bộ xử lý cũng có thể là dạng kết hợp của một hoặc nhiều mạch, mạch tích hợp, chip chuyên dụng, và chip đa năng.

Theo khía cạnh thứ tư, sáng chế đề xuất thiết bị mã hóa, bao gồm:

giao diện đầu vào, được định cấu hình để thu chuỗi bit cần được mã hóa;

mạch logic, được định cấu hình để thực hiện phương pháp theo bất kỳ một trong số khía cạnh thứ nhất và các thiết kế khả thi của khía cạnh thứ nhất dựa trên chuỗi bit cần được mã hóa đã thu được, để thu được các bit được mã hóa; và

giao diện đầu ra, được định cấu hình để xuất ra các bit được mã hóa.

Theo thiết kế khả thi, thiết bị là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ năm, sáng chế đề xuất thiết bị truyền thông, bao gồm thiết bị mã hóa được đề xuất theo khía cạnh thứ ba và các thiết kế khả thi của khía cạnh thứ ba và bộ thu phát, trong đó

bộ thu phát được định cấu hình để gửi các bit được mã hóa bởi thiết bị mã hóa.

Theo thiết kế khả thi, thiết bị truyền thông là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ sáu, sáng chế đề xuất phương tiện lưu trữ có thể đọc được, bao gồm chương trình máy tính. Chương trình máy tính được sử dụng để triển khai phương pháp mã hóa được đề xuất theo bất kỳ một trong khía cạnh thứ nhất và các thiết kế khả thi của khía cạnh thứ nhất.

Theo khía cạnh thứ bảy, sáng chế đề xuất sản phẩm chương trình. Sản phẩm chương trình bao gồm chương trình máy tính. Chương trình máy tính được lưu trữ trong phương tiện lưu trữ có thể đọc được. Ít nhất là một bộ xử lý của thiết bị mã hóa có thể đọc chương trình máy tính từ phương tiện lưu trữ có thể đọc được, và ít nhất một bộ xử lý thực thi chương trình máy tính, vì vậy thiết bị mã hóa thực hiện phương pháp mã hóa theo khía cạnh thứ nhất và các thiết kế khả thi của khía cạnh thứ nhất.

Sau khi đa thức CRC được đề xuất theo sáng chế được sử dụng, yêu cầu FAR của hệ thống có thể được thỏa mãn, để đảm bảo là sự truyền thông được thực hiện theo cách thông thường.

Mô tả vắn tắt các hình vẽ

Fig.1(a) và Fig.1(b) là các sơ đồ kiến trúc dạng giản đồ của hệ thống truyền thông được áp dụng vào phương án của sáng chế;

Fig.2 là lưu đồ dạng giản đồ của hệ thống truyền thông;

Fig.3 là lưu đồ của phương án của phương pháp mã hóa theo sáng chế;

Fig.4 là sơ đồ dạng giản đồ của cách thức mã hóa CRC;

Fig.5 là sơ đồ cấu trúc dạng giản đồ thứ nhất của thiết bị mã hóa theo phương án của sáng chế;

Fig.6 là sơ đồ cấu trúc dạng giản đồ thứ hai của thiết bị mã hóa theo phương án của sáng chế;

Fig.7 là sơ đồ cấu trúc dạng giản đồ thứ ba của thiết bị mã hóa theo phương án của sáng chế;

Fig.8 là sơ đồ cấu trúc dạng giản đồ thứ nhất của thiết bị giải mã theo phương án của sáng chế;

Fig.9 là sơ đồ cấu trúc dạng giản đồ thứ hai của thiết bị giải mã theo phương án của sáng chế;

Fig.10 là sơ đồ cấu trúc dạng giản đồ thứ ba của thiết bị giải mã theo phương án của sáng chế; và

Fig.11 là sơ đồ cấu trúc dạng giản đồ của thiết bị mạng và thiết bị đầu cuối theo

phương án của sáng chế.

Mô tả chi tiết sáng chế

Mã cực là mã khối tuyến tính. Ma trận sinh của mã cực là G_N. Quá trình mã hóa của mã cực là $x_1^N = u_1^N G_N$. $u_1^N = (u_1, u_2, \ldots, u_N)$ là vectơ hàng nhị phân mà độ dài của nó là N (cụ thể, độ dài mã). $G_N = F_2^{\otimes(\log_2(N))}$, trong đó $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, và $F_2^{\otimes(\log_2(N))}$ được định nghĩa là tích Kronecker (Kronecker) của $\log_2 N$ các ma trận F_2. x_1^N là các bit được mã hóa (còn được gọi là từ mã), trong đó các bit được mã hóa được thu sau khi u_1^N được nhân với ma trận sinh G_N, và quá trình nhân là quá trình mã hóa. Trong quá trình mã hóa của mã cực, một số bit của u_1^N được sử dụng để mang thông tin và được gọi là các bit thông tin, và tập hợp các chỉ số của các bit thông tin được ký hiệu là A; và các bit khác của u_1^N được đặt thành các trị số cố định mà ở đó đầu nhận và đầu phát ước định trước, và được gọi là các bit đóng băng, và tập hợp các chỉ số của các bit đóng băng được biểu diễn bằng cách sử dụng tập hợp bù A^c của A. Bit đóng băng thường được đặt là 0. Với điều kiện là đầu nhận và đầu phát ước định trước, chuỗi bit đóng băng có thể được đặt tùy ý.

Để cải thiện hơn nữa hiệu suất mã hóa của hệ thống, mã ngoài có khả năng kiểm tra, ví dụ, mã kiểm dư chu trình (Tiếng Anh là: Cyclic Redundancy Check, CRC), có thể được ghép với mã cực. Khi cách giải mã như giải mã danh sách hủy nối tiếp (Serial Cancellation List) được sử dụng, sự lựa chọn thường được thực hiện trên các đường dẫn còn tồn tại dựa trên kiểm dư chu trình sau khi việc giải mã kết thúc, để cải thiện hiệu suất mã hóa kênh của hệ thống. Khi mã cực được sử dụng cho kênh điều khiển, ngoài tỷ lệ lỗi khối (block error rate, BLER) mà là chỉ báo kỹ thuật thông thường, chỉ báo tỷ lệ cảnh báo sai (false alarm rate, viết tắt là FAR) cần phải được thỏa mãn hơn nữa. Ví dụ, nếu số lượng các bit CRC là *L*, cách giải mã như giải mã danh sách hủy nối tiếp được sử dụng, kiểm dư chu trình được sử dụng sau khi việc giải mã kết thúc, và các đường dẫn *T* của các đường dẫn còn tồn tại được kiểm tra, FAR thường được yêu cầu là phải nhỏ hơn (2^(–*L*+log$_2$(*T*))). Cần phải lưu ý là, sự lựa chọn trị số *T* không phụ thuộc vào đa thức kiểm dư chu trình và độ dài, mà phụ thuộc vào độ phức tạp triển

khai giải mã, hiệu suất giải mã, và tương tự. Do đó, cách để tìm cách thức ghép mã kiểm tra CRC và mã cực thích hợp theo yêu cầu FAR cần phải được xem xét. Sáng chế nhấn mạnh vào việc xác định đa thức CRC thích hợp dựa trên trị số L, để thỏa mãn yêu cầu hệ thống, và đảm bảo là sự truyền thông được thực hiện theo cách thông thường.

Các phương án của sáng chế có thể được áp dụng cho hệ thống truyền thông không dây. Cần phải lưu ý là, hệ thống truyền thông không dây được đề cập trong các phương án của sáng chế bao gồm, nhưng không bị giới hạn: hệ thống tiến hóa dài hạn (Long Term Evolution, LTE), và ba kịch bản áp dụng chính của hệ thống truyền thông di động 5G thế hệ tiếp theo: băng rộng di động nâng cao (Enhanced Mobile Broad Band, eMBB), URLLC, và truyền thông loại máy quy mô lớn (Massive Machine-Type Communications, mMTC). Ngoài ra, hệ thống truyền thông không dây có thể là hệ thống truyền thông giữa thiết bị với thiết bị (Device to Device, D2D), hệ thống truyền thông khác, hệ thống truyền thông tương lai, hoặc tương tự.

Thiết bị truyền thông được đề xuất bởi sáng chế có thể được định cấu hình trong thiết bị truyền thông, và thiết bị truyền thông chủ yếu bao gồm thiết bị mạng hoặc thiết bị đầu cuối. Nếu đầu phát theo sáng chế là thiết bị mạng, đầu nhận là thiết bị đầu cuối; hoặc nếu đầu phát theo sáng chế là thiết bị đầu cuối, đầu nhận là thiết bị mạng.

Theo phương án của sáng chế, như được thể hiện trên Fig.1(a), hệ thống truyền thông 100 bao gồm thiết bị mạng 110 và thiết bị đầu cuối 112. Khi mạng truyền thông không dây 100 bao gồm mạng lõi, thiết bị mạng 110 có thể còn được kết nối vào mạng lõi. Thiết bị mạng 110 còn có thể giao tiếp với mạng IP 200 như Internet (internet), mạng IP cá nhân, hoặc mạng dữ liệu khác. Thiết bị mạng cung cấp dịch vụ cho thiết bị đầu cuối trong phạm vi phủ sóng. Ví dụ, tham chiếu đến Fig.1(a), thiết bị mạng 110 cung cấp truy cập không dây cho một hoặc nhiều thiết bị đầu cuối trong phạm vi phủ sóng của thiết bị mạng 110. Ngoài ra, khu vực chồng chéo có thể tồn tại trong phạm vi phủ sóng của các thiết bị mạng như thiết bị mạng 110 và thiết bị mạng 120. Các thiết bị mạng cũng có thể giao tiếp với với nhau. Ví dụ, thiết bị mạng 110 có thể giao tiếp với thiết bị mạng 120.

Khi thiết bị mạng 110 hoặc thiết bị đầu cuối 112 gửi thông tin hoặc dữ liệu, phương pháp mã hóa được mô tả trong các phương án của sáng chế có thể được sử

dụng. Do đó, để thuận tiện cho việc mô tả, theo phương án này của sáng chế, hệ thống truyền thông 100 được đơn giản hóa thành hệ thống mà bao gồm đầu phát 101 và đầu nhận 102, như được thể hiện trên Fig.1(b). Đầu phát 101 có thể là thiết bị mạng 110, và đầu nhận 102 là thiết bị đầu cuối 112; hoặc đầu phát 101 là thiết bị đầu cuối 112, và đầu nhận 102 là thiết bị mạng 110. Thiết bị mạng 110 có thể là thiết bị được định cấu hình để giao tiếp với thiết bị đầu cuối. Ví dụ, thiết bị mạng 110 có thể là NodeB tiến hóa (Evolved NodeB, eNB hoặc eNodeB) trong hệ thống LTE, thiết bị phía mạng trong mạng 5G, thiết bị phía mạng giao tiếp với thiết bị đầu cuối trong mạng khác, hoặc thiết bị phía mạng trong mạng tương lai. Ngoài ra, thiết bị mạng có thể là trạm chuyển tiếp, điểm truy cập, thiết bị trong phương tiện giao thông, hoặc tương tự. Trong hệ thống truyền thông giữa thiết bị với thiết bị (Device to Device, D2D), thiết bị mạng có thể là thiết bị đầu cuối đóng vai trò là trạm cơ sở. Thiết bị đầu cuối có thể bao gồm các thiết bị cầm tay khác nhau, thiết bị trong phương tiện giao thông, thiết bị đeo được, hoặc thiết bị điện toán có chức năng truyền thông không dây, hoặc thiết bị xử lý khác được kết nối vào môđem không dây, và các dạng khác của thiết bị người dùng (thiết bị người dùng, UE), các trạm di động (trạm di động, MS), và tương tự.

Quá trình mã hóa được đề xuất theo sáng chế đại khái là: thực hiện kiểm tra CRC lên thông tin cần được mã hóa; nếu cần thiết, thực hiện hoạt động như ghép xen lên chuỗi bit được kiểm tra CRC; và sau đó thực hiện mã hóa cực. Ngoài ra, một hoặc nhiều trong số các quá trình, bao gồm nhưng không bị giới hạn, gồm khớp tỷ lệ, điều chế, chuyển đổi số sang tương tự, và chuyển đổi tần số có thể được thực hiện tiếp, dựa trên độ dài mã đích M, lên các bit được mã hóa thu được sau khi mã hóa cực.

Fig.2 là lưu đồ dạng giản đồ của hệ thống truyền thông. Như được thể hiện trên Fig.2, tại đầu phát, nguồn tín hiệu lần lượt trải qua mã hóa nguồn tín hiệu, mã hóa kênh, khớp tỷ lệ (bước tùy chọn), và điều chế, và sau đó gửi đi. Tại đầu nhận, nguồn tín hiệu lần lượt trải qua giải điều chế, giải khớp tỷ lệ (bước tùy chọn), giải mã kênh, và giải mã nguồn tín hiệu, và được xuất đến đích tín hiệu. Các phương án của sáng chế chủ yếu đề cập đến mã hóa kênh và giải mã kênh (được gọi tắt là mã hóa và giải mã kênh), và được mô tả dưới đây bằng cách sử dụng các ví dụ cụ thể. Mã cực được ghép với kiểm tra CRC có thể được sử dụng để mã hóa và giải mã kênh trong các phương án của sáng chế.

Sáng chế đề cập đến thiết bị và phương pháp mã hóa, để thỏa mãn yêu cầu FAR. Phương pháp và thiết bị được đề xuất bởi sáng chế có thể áp dụng được cho cả kênh điều khiển và kênh dữ liệu, và có thể áp dụng được cho cả đường lên và đường xuống. Thiết bị và phương pháp mã hóa được đề xuất theo sáng chế được mô tả chi tiết dưới đây với sự tham chiếu đến các hình vẽ kèm theo.

Fig.3 là lưu đồ của phương án của phương pháp mã hóa theo sáng chế. Như được thể hiện trên Fig.3, phương án này được thực hiện bởi đầu phát, và phương pháp của phương án này có thể bao gồm các bước sau.

S101. Đầu phát thực hiện mã hóa CRC lên A bit thông tin cần được mã hóa dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm L bit CRC và A bit thông tin, và L và A là các số nguyên dương. L còn thường được gọi là độ dài CRC.

Xét đến yêu cầu FAR, khi L=11, đa thức CRC là đa thức bất kỳ trong số các đa thức sau:

D^11+D^10+D^9+D^5+1;

D^11+D^7+D^6+D^2+1;

D^11+D^10+D^9+D^6+D^4+D^2+1;

D^11+D^10+D^9+D^7+D^5+D+1;

D^11+D^9+D^8+D^6+D^5+D+1;

D^11+D^10+D^9+D^8+D^7+D^5+D^4+D+1;

D^11+D^10+D^3+D+1;

D^11+D^5+D^3+D+1;

D^11+D^10+D^9+D^8+D^6+D^5+D^3+D+1;

D^11+D^10+D^8+D^7+D^6+D^5+D^3+D+1;

D^11+D^9+D^7+D^6+D^5+D^4+D^3+D+1;

D^11+D^10+D^9+D^7+D^6+D^3+D^2+D+1; hoặc

D^11+D^8+D^6+D^5+D^4+D^3+D^2+D+1.

Quá trình thực hiện mã hóa CRC cụ thể dựa trên đa thức được chọn là giống như mã hóa CRC nói chung hiện nay.

Cụ thể, sau khi nhận *A* bit thông tin cần được mã hóa, đầu phát bổ sung *L* bit CRC dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất.

A bit thông tin cần được mã hóa có thể được thu bằng cách sắp xếp các bit thông tin cần phải được gửi đi theo thứ tự tăng dần hoặc giảm dần, hoặc có thể được thu bằng cách thực hiện xử lý khác lên các bit thông tin. Điều này không bị giới hạn ở đây.

Triển khai mã hóa CRC ở dưới dạng thanh ghi dịch. Ví dụ, Fig.4 thể hiện cách thường được sử dụng để triển khai mã hóa CRC dưới dạng thanh ghi dịch (gọi tắt là thanh ghi). Đầu nối phản hồi của thanh ghi được xác định bởi đa thức CRC D^4+D^2+1, và nội dung của thanh ghi được khởi tạo thành trị số đặt trước. Trong quá trình mã hóa, các bit thông tin cần được mã hóa được dịch chuyển từ một phía vào trong thanh ghi từng bit một, và phép toán loại trừ OR bit được thực hiện lên đầu nối phản hồi và trạng thái thanh ghi tương ứng, vì vậy trạng thái thanh ghi thay đổi. Sau khi tất cả các bit cần được mã hóa được dịch chuyển vào trong thanh ghi, các bit 0 mà số lượng của chúng bằng với số lượng bit của độ dài CRC được dịch chuyển vào trong thanh ghi, sáu đó trạng thái thanh ghi được đọc, và trạng thái thanh ghi được sử dụng làm bit CRC, và được sử dụng làm từ mã của mã hóa CRC. *L* bit CRC trong chuỗi bit thứ nhất có thể được đặt sau *A* bit thông tin cần được mã hóa, có thể được đặt trước *A* bit thông tin cần được mã hóa, hoặc có thể được đặt tại vị trí bất kỳ mà trên đó đầu nhận và đầu phát ước định.

S102. Đầu phát ghép xen chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai.

Trong bước ghép xen, một số bit trong chuỗi bit thứ nhất có thể được ghép xen, hoặc tất cả các bit trong chuỗi bit thứ nhất có thể được ghép xen. Cần phải lưu ý là, bước này là bước tùy chọn: Bước này chỉ cần thiết khi vị trí của bit thông tin và/hoặc bit kiểm tra CRC cần phải được điều chỉnh; và nếu vị trí của bit thông tin và/hoặc bit CRC kiểm tra không cần phải được điều chỉnh, bước này có thể được bỏ qua trong quá trình mã hóa thực tế, và trong trường hợp này, chuỗi bit thứ hai trong bước S103 là chuỗi bit thứ nhất. Sơ đồ ghép xen cụ thể không phải là nội dung của sáng chế, và các chi tiết không được mô tả cụ thể.

S103. Đầu phát thực hiện mã hóa cực lên chuỗi bit thứ hai, để thu được chuỗi bit thứ ba. Khi bước S102 được bỏ qua, bước này là: Đầu phát thực hiện mã hóa cực lên chuỗi bit thứ nhất, để thu được chuỗi bit thứ ba.

Có thể được sử dụng phương pháp mã hóa cực hiện có làm phương pháp mã hóa để thực hiện mã hóa cực lên chuỗi bit thứ hai bởi đầu phát. Các chi tiết không được mô tả ở đây.

S104 (không được thể hiện trên hình vẽ). Đầu phát thực hiện một số hoặc tất cả các bước, bao gồm nhưng không bị giới hạn, khớp tỷ lệ, điều chế, chuyển đổi tương tự sang số, và chuyển đổi tần số lên chuỗi bit thứ ba, và sau đó gửi chuỗi bit thứ ba.

Cần phải lưu ý là, bước khớp tỷ lệ trong bước S104 là tùy chọn. Nếu mã hóa độ dài mã giống như độ dài mã của mã đích, khớp tỷ lệ là không cần thiết. Phương án này của sáng chế không nhấn mạnh bước S104. Do đó, các chi tiết không được mô tả ở đây. Ví dụ, trong triển khai khả thi, những người có trình độ trong lĩnh vực kỹ thuật có thể tham khảo các cách thức có trong đã có trong lĩnh vực kỹ thuật.

Dựa trên phương pháp mã hóa được đề xuất theo phương án này, đầu phát thực hiện mã hóa CRC lên A bit thông tin cần được mã hóa dựa trên đa thức CRC được đề xuất theo sáng chế, để thu được chuỗi bit thứ nhất, và sau đó thực hiện ghép xen (nếu cần) và mã hóa cực lên chuỗi bit thứ nhất. Do đó, sau khi CRC được ghép, cách mã hóa cực được sử dụng có thể thỏa mãn yêu cầu FAR.

Cần phải lưu ý là, sau khi nhận các bit thông tin cần được giải mã, đầu nhận (phía bộ giải mã) cũng cần phải thực hiện kiểm tra CRC dựa trên cùng đa thức CRC. Các chi tiết không được mô tả ở đây.

Theo phương án này của sáng chế, hoạt động giải mã tại đầu bộ giải mã đại khái là: nhận chuỗi cần được giải mã, và thực hiện giải mã cực lên chuỗi cần được giải mã đã thu được dựa trên đa thức CRC.

Dựa trên ý tưởng sáng tạo giống như phương pháp mã hóa được thể hiện trên Fig.3, như được thể hiện trên Fig.5, phương án của sáng chế còn đề xuất thiết bị 700. Thiết bị mã hóa 700 được định cấu hình để thực hiện phương pháp mã hóa được thể hiện trên Fig. 3. Một số hoặc tất cả các bước của phương pháp mã hóa được thể hiện trên Fig.3 có thể được thực hiện bằng cách sử dụng phần cứng hoặc bằng cách sử dụng

phần mềm. Khi một số hoặc tất cả các bước của phương pháp mã hóa được thể hiện trên Fig.3 được thực hiện bằng cách sử dụng phần cứng, thiết bị mã hóa 700 bao gồm: giao diện đầu vào 701, được định cấu hình để thu chuỗi bit cần được mã hóa; mạch logic 702, được định cấu hình để thực hiện phương pháp mã hóa được thể hiện trên Fig.3, trong đó các chi tiết, tham khảo phần mô tả theo phương pháp nêu trên phương án, và các chi tiết không được mô tả lại ở đây; và giao diện đầu ra 703, được định cấu hình để xuất ra chuỗi bit được mã hóa.

Một cách tùy ý, trong quá trình triển khai cụ thể, thiết bị mã hóa 700 có thể là chip hoặc mạch tích hợp.

Một cách tùy ý, khi một số hoặc tất cả các bước của phương pháp mã hóa của phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, như được thể hiện trên Fig.6, thiết bị mã hóa 800 bao gồm: bộ nhớ 801, được định cấu hình để lưu trữ chương trình; và bộ xử lý 802, được định cấu hình để thực thi chương trình được lưu trữ trong bộ nhớ 801. Khi chương trình được thực thi, thiết bị mã hóa 800 thực hiện phương pháp mã hóa được đề xuất theo phương án trên Fig. 3.

Một cách tùy ý, bộ nhớ 801 có thể là khối chức năng độc lập về mặt vật lý, hoặc có thể được tích hợp cùng với bộ xử lý 802.

Một cách tùy ý, khi một số hoặc tất cả các bước của phương pháp mã hóa của phương án trên Fig.3 được thực hiện bằng cách sử dụng phần mềm, thiết bị mã hóa 800 có thể chỉ bao gồm bộ xử lý 802. Bộ nhớ 801 được định cấu hình để lưu trữ chương trình được đặt ngoài thiết bị mã hóa 800, và bộ xử lý 802 được kết nối vào bộ nhớ 801 bằng cách sử dụng mạch hoặc dây kết nối, và được định cấu hình để đọc và thực thi chương trình được lưu trữ trong bộ nhớ 801.

Bộ xử lý 802 có thể là khối xử lý trung tâm (central processing unit, CPU), bộ xử lý mạng (network processor, NP), hoặc dạng kết hợp của CPU và NP.

Bộ xử lý 802 có thể còn bao gồm chip phần cứng. Phần cứng chip có thể là mạch tích hợp chuyên dụng (application-specific integrated circuit, ASIC), thiết bị logic lập trình được (programmable logic device, PLD), hoặc dạng kết hợp của chúng. PLD có thể là thiết bị logic phức hợp lập trình được (complex programmable logic device, CPLD), mảng cổng lập trình được dạng trường (field-programmable gate array,

FPGA), lôgic mảng chung (generic array logic, GAL), hoặc dạng kết hợp bất kỳ của chúng.

Bộ nhớ 801 có thể bao gồm bộ nhớ khả biến (volatile memory), ví dụ, bộ nhớ truy cập ngẫu nhiên (bộ nhớ truy cập ngẫu nhiên, RAM). Ngoài ra, bộ nhớ 801 có thể bao gồm bộ nhớ bất biến (bộ nhớ bất biến), ví dụ, bộ nhớ flash (flash memory), ổ đĩa cứng (hard disk drive, HDD), hoặc ổ thể rắn (solid-state drive, SSD). Ngoài ra, bộ nhớ 801 có thể bao gồm dạng kết hợp của các loại bộ nhớ nêu trên.

Dựa trên ý tưởng sáng tạo giống như phương pháp mã hóa được thể hiện trên Fig.3, như được thể hiện trên Fig.7, phương án của sáng chế còn đề xuất sơ đồ cấu trúc dạng giản đồ của phương án thiết bị mã hóa. Thiết bị có thể bao gồm: môđun mã hóa thứ nhất 901, môđun ghép xen 902, và mô đun mã hóa thứ hai 903. Môđun mã hóa thứ nhất 901 được định cấu hình để thực hiện kiểm dư chu trình mã hóa CRC lên A bit thông tin cần được mã hóa dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=11, và đa thức CRC là đa thức bất kỳ trong số các đa thức sau:

D^11+D^10+D^9+D^5+1;

D^11+D^7+D^6+D^2+1;

D^11+D^10+D^9+D^6+D^4+D^2+1;

D^11+D^10+D^9+D^7+D^5+D+1;

D^11+D^9+D^8+D^6+D^5+D+1;

D^11+D^10+D^9+D^8+D^7+D^5+D^4+D+1;

D^11+D^10+D^3+D+1;

D^11+D^5+D^3+D+1;

D^11+D^10+D^9+D^8+D^6+D^5+D^3+D+1;

D^11+D^10+D^8+D^7+D^6+D^5+D^3+D+1;

D^11+D^9+D^7+D^6+D^5+D^4+D^3+D+1;

D^11+D^10+D^9+D^7+D^6+D^3+D^2+D+1; hoặc

D^11+D^8+D^6+D^5+D^4+D^3+D^2+D+1.

Thông thường, đa thức CRC được sử dụng để việc mã hóa CRC được triển khai bằng cách sử dụng thanh ghi dịch. *L* bit CRC trong chuỗi bit thứ nhất có thể được đặt sau *A* bit thông tin cần được mã hóa, có thể được đặt trước *A* bit thông tin cần được mã hóa, hoặc có thể được đặt tại vị trí bất kỳ mà trên đó đầu nhận và đầu phát ước định. Môđun ghép xen 902 là môđun tùy chọn, và được định cấu hình để thực hiện hoạt động ghép xen lên chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai. Môđun này chỉ cần thiết khi vị trí của bit thông tin và/hoặc bit kiểm tra CRC cần phải được điều chỉnh theo cách như CRC được phân bố. Nếu vị trí của bit thông tin và/hoặc bit CRC kiểm tra không cần phải được điều chỉnh, môđun này có thể được bỏ qua trong quá trình mã hóa thực tế, và trong trường hợp này, chuỗi bit thứ hai là chuỗi bit thứ nhất. Mô đun mã hóa thứ hai 903 được định cấu hình để thực hiện mã hóa cực lên chuỗi bit thứ hai, và khi không có môđun ghép xen 902, môđun mã hóa thứ hai 903 được định cấu hình để thực hiện mã hóa cực lên chuỗi bit thứ nhất.

Cần phải lưu ý là, các môđun như môđun khớp tỷ lệ, môđun điều chế, và môđun gửi không được vẽ trên Fig. 7. Môđun gửi được định cấu hình để gửi chuỗi được mã hóa, và tất nhiên, trước khi chuỗi được mã hóa được gửi, các hoạt động như khớp tỷ lệ (nếu cần) và điều chế cần phải được thực hiện tiếp.

Dựa trên ý tưởng sáng tạo giống như phương pháp mã hóa được đề xuất theo phương án nêu trên, như được thể hiện trên Fig.8, phương án của sáng chế còn đề xuất thiết bị giải mã 1000. Thiết bị giải mã 1000 có thể được định cấu hình để thực hiện phương pháp giải mã được đề xuất theo phương án của sáng chế, và thiết bị giải mã 1000 bao gồm:

môđun thu 1001, được định cấu hình để thu chuỗi bit cần được giải mã; và

môđun giải mã 1002, được định cấu hình để thực hiện hoạt động giải mã lên chuỗi bit cần được giải mã theo phương pháp giải mã, trong đó phương pháp giải mã được xác định dựa trên đa thức CRC và phương pháp mã hóa cực.

Dựa trên ý tưởng sáng tạo giống như phương pháp mã hóa được đề xuất theo phương án nêu trên, như được thể hiện trên Fig.9, phương án của sáng chế còn đề xuất thiết bị giải mã 1100. Thiết bị giải mã 1100 được định cấu hình để thực hiện phương pháp giải mã nêu trên. Một số hoặc tất cả các bước của phương pháp giải mã nêu trên

có thể được thực hiện bằng cách sử dụng phần cứng hoặc bằng cách sử dụng phần mềm. Khi một số hoặc tất cả các bước của phương pháp giải mã nêu trên được thực hiện bằng cách sử dụng phần cứng, thiết bị giải mã 1100 bao gồm: giao diện đầu vào 1101, được định cấu hình để thu chuỗi bit cần được giải mã; mạch logic 1102, được định cấu hình để thực hiện phương pháp giải mã nêu trên; và giao diện đầu ra 1103, được định cấu hình để xuất ra chuỗi được giải mã.

Một cách tùy ý, trong quá trình triển khai cụ thể, thiết bị giải mã 1100 có thể là chip hoặc mạch tích hợp.

Một cách tùy ý, khi một số hoặc tất cả các bước của phương pháp giải mã của phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, như được thể hiện trên Fig.10, thiết bị giải mã 1200 bao gồm: bộ nhớ 1201, được định cấu hình để lưu trữ chương trình; và bộ xử lý 1202, được định cấu hình để thực thi chương trình được lưu trữ trong bộ nhớ 1201. Khi chương trình được thực thi, thiết bị giải mã 1200 thực hiện phương pháp giải mã được đề xuất theo phương án nêu trên.

Một cách tùy ý, bộ nhớ 1201 có thể là khối chức năng độc lập về mặt vật lý, hoặc có thể được tích hợp cùng với bộ xử lý 1202.

Một cách tùy ý, khi một số hoặc tất cả các bước của phương pháp giải mã của phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, thiết bị giải mã 1200 có thể chỉ bao gồm bộ xử lý 1202. Bộ nhớ 1201 được định cấu hình để lưu trữ chương trình được đặt ngoài thiết bị giải mã 1200, và bộ xử lý 1202 được kết nối vào bộ nhớ 1201 bằng cách sử dụng mạch hoặc dây kết nối, và được định cấu hình để đọc và thực thi chương trình được lưu trữ trong bộ nhớ 1201.

Bộ xử lý 1202 có thể là khối xử lý trung tâm (central processing unit, CPU), bộ xử lý mạng (network processor, NP), hoặc dạng kết hợp của CPU và NP.

Bộ xử lý 1202 có thể còn bao gồm chip phần cứng. Phần cứng chip có thể là mạch tích hợp chuyên dụng (application-specific integrated circuit, ASIC), thiết bị logic lập trình được (programmable logic device, PLD), hoặc dạng kết hợp của chúng. PLD có thể là thiết bị logic phức hợp lập trình được (complex programmable logic device, CPLD), mảng cổng lập trình được dạng trường (field-programmable gate array, FPGA), lôgic mảng chung (generic array logic, GAL), hoặc dạng kết hợp bất kỳ của

chúng.

Bộ nhớ 1201 có thể bao gồm bộ nhớ khả biến (volatile memory), ví dụ, bộ nhớ truy cập ngẫu nhiên (random access memory, RAM). Ngoài ra, bộ nhớ 1201 có thể bao gồm bộ nhớ bất biến (non-volatile memory), ví dụ, bộ nhớ flash (flash memory), ổ đĩa cứng (hard disk drive, HDD), hoặc ổ thể rắn (solid-state drive, SSD). Ngoài ra, bộ nhớ 1201 có thể bao gồm dạng kết hợp của các loại bộ nhớ nêu trên.

Phương án của sáng chế còn đề xuất thiết bị mạng. Tham chiếu đến Fig.11, thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên có thể được được lắp đặt trong thiết bị mạng 110. Ngoài thiết bị mã hóa và thiết bị giải mã nêu trên, thiết bị mạng 110 có thể còn bao gồm bộ thu phát 1302. Chuỗi bit được mã hóa bởi thiết bị mã hóa trải qua các thay đổi hoặc xử lý tiếp theo và sau đó được gửi đi bằng bộ thu phát 1302 đến thiết bị đầu cuối 112, hoặc bộ thu phát 1302 còn được định cấu hình để nhận thông tin hoặc dữ liệu từ thiết bị đầu cuối 112. Thông tin hoặc dữ liệu trải qua một loạt quá trình xử lý và được chuyển đổi thành chuỗi cần được giải mã, và chuỗi cần được giải mã được xử lý bởi thiết bị giải mã để thu được chuỗi được giải mã. Thiết bị mạng 110 có thể còn bao gồm giao diện mạng 1304, được định cấu hình để giao tiếp với thiết bị khác mạng.

Tương tự, thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên có thể được định cấu hình trong thiết bị đầu cuối 112. Ngoài thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên, thiết bị đầu cuối 112 có thể còn bao gồm bộ thu phát 1312. Chuỗi bit được mã hóa bởi thiết bị mã hóa trải qua các thay đổi hoặc xử lý tiếp theo (bao gồm nhưng không bị giới hạn ở một số hoặc tất cả các quá trình khớp tỷ lệ, điều chế, chuyển đổi số-sang-tương tự, và chuyển đổi tần số) và sau đó được gửi bởi bộ thu phát 1312 đến thiết bị mạng 110, hoặc bộ thu phát 1312 còn được định cấu hình để nhận thông tin hoặc dữ liệu từ thiết bị mạng 110. Thông tin hoặc dữ liệu trải qua một loạt quá trình xử lý (bao gồm nhưng không bị giới hạn ở một số hoặc tất cả các quá trình chuyển đổi tần số, chuyển đổi tương tự sang số, giải điều chế, và giải khớp tỷ lệ) và được chuyển đổi thành chuỗi cần được giải mã, và chuỗi cần được giải mã được xử lý bởi thiết bị giải mã để thu được chuỗi được giải mã. Thiết bị đầu cuối 112 có thể còn bao gồm giao diện đầu vào/đầu ra cho người dùng 1314, được định cấu hình để nhận thông tin được nhập vào bởi người dùng. Thông tin mà cần phải được gửi đến thiết bị mạng 110 cần phải được xử lý bởi bộ mã hóa và sau đó được gửi bởi bộ thu phát 1312 đến thiết

bị mạng 110. Sau khi trải qua quá trình xử lý sau đó, dữ liệu được giải mã bởi bộ giải mã có thể được thể hiện ra cho người dùng bằng cách sử dụng giao diện đầu vào/đầu ra 1314.

Phương án của sáng chế còn đề xuất phương tiện lưu trữ máy tính mà lưu trữ chương trình máy tính. Chương trình máy tính được sử dụng để thực hiện phương pháp mã hóa được thể hiện trên Fig.3 và phương án nêu trên và phương pháp giải mã được đề xuất theo phương án nêu trên.

Phương án của sáng chế còn đề xuất thiết bị mã hóa cực, bao gồm thiết bị bất kỳ trong số các thiết bị mã hóa trên Fig.5 đến Fig.7 và thiết bị bất kỳ trong số các thiết bị giải mã trên Fig.8 đến Fig. 10.

Phương án của sáng chế còn đề xuất sản phẩm chương trình máy tính bao gồm chỉ lệnh. Khi chỉ lệnh chạy trên máy tính, máy tính thực hiện phương pháp mã hóa được thể hiện trên Fig.3 và phương pháp giải mã được đề xuất theo phương án nêu trên.

Những người có trình độ trong lĩnh vực kỹ thuật cần phải hiểu là các phương án của sáng chế có thể được đề xuất như phương pháp, hệ thống, hoặc sản phẩm chương trình máy tính. Do đó, sáng chế có thể sử dụng dạng của các phương án chỉ phần cứng, các phương án chỉ phần mềm, hoặc các phương án với sự kết hợp của phần mềm và phần cứng. Hơn nữa, sáng chế có thể sử dụng dạng sản phẩm chương trình máy tính nghĩa là được triển khai lên một hoặc nhiều phương tiện lưu trữ có thể sử dụng được trên máy tính (bao gồm nhưng không bị giới hạn ở bộ nhớ đĩa, CD-ROM, và bộ nhớ quang) mà bao gồm cả mã chương trình có thể sử dụng được trên máy tính.

Sáng chế được mô tả với sự tham chiếu đến các lưu đồ và/hoặc các sơ đồ khối của phương pháp, thiết bị (hệ thống), và sản phẩm chương trình máy tính theo các phương án của sáng chế. Cần phải hiểu là các chỉ lệnh chương trình máy tính có thể được sử dụng để triển khai mỗi quá trình và/hoặc mỗi khối trong các lưu đồ và/hoặc các sơ đồ khối và dạng kết hợp của quá trình và/hoặc khối trong các lưu đồ và/hoặc các sơ đồ khối. Các chỉ lệnh chương trình máy tính này có thể được cung cấp cho máy tính đa năng, máy tính chuyên dụng, bộ xử lý nhúng, hoặc bộ xử lý của thiết bị xử lý dữ liệu có thể lập trình được khác bất kỳ để tạo ra máy móc, sao cho các chỉ lệnh mà

được thực thi bởi máy tính hoặc bộ xử lý của thiết bị xử lý dữ liệu có thể lập trình được khác bất kỳ tạo ra thiết bị để triển khai chức năng cụ thể trong một hoặc nhiều quá trình trong các lưu đồ và/hoặc trong một hoặc nhiều khối trong các sơ đồ khối.

Các chỉ lệnh chương trình máy tính này có thể được lưu trữ trong bộ nhớ có thể đọc được trên máy tính mà có thể chỉ lệnh cho máy tính hoặc thiết bị xử lý dữ liệu có thể lập trình được khác bất kỳ hoạt động theo cách cụ thể, sao cho các chỉ lệnh được lưu trữ trong bộ nhớ có thể đọc được trên máy tính tạo ra thành phần lạ mà bao gồm thiết bị chỉ lệnh. Thiết bị chỉ lệnh triển khai chức năng cụ thể trong một hoặc nhiều quá trình trong các lưu đồ và/hoặc trong một hoặc nhiều khối trong các sơ đồ khối.

Các chỉ lệnh chương trình máy tính này có thể được tải lên trên máy tính hoặc thiết bị xử lý dữ liệu có thể lập trình được khác, sao cho một loạt các hoạt động và các bước được thực hiện trên máy tính hoặc thiết bị có thể lập trình được khác, nhờ đó tạo ra quá trình được triển khai bởi máy tính. Do đó, các chỉ lệnh được thực thi trên máy tính hoặc the thiết bị có thể lập trình được khác đề xuất các bước triển khai chức năng cụ thể trong một hoặc nhiều quá trình xử lý trong các lưu đồ và/hoặc trong một hoặc nhiều khối trong các sơ đồ khối.

Mặc dù một số phương án của sáng chế đã được mô tả, những người có trình độ trong lĩnh vực kỹ thuật có thể tạo ra thay đổi và các biến thể cho các phương án này một khi họ biết được khái niệm sáng tạo cơ bản của sáng chế. Do đó, các điểm sau đây được hiểu là bao hàm cả các phương án được ưu tiên và tất cả các thay đổi và các biến thể nằm trong phạm vi của sáng chế.

Rõ ràng, những người có trình độ trong lĩnh vực kỹ thuật có thể tạo ra nhiều biến thể và biến đổi khác nhau cho các phương án của sáng chế mà không xa rời khỏi phạm vi của các phương án của sáng chế. Sáng chế bao hàm cả các biến thể và các biến đổi với điều kiện là chúng nằm trong phạm vi bảo hộ được định ra bởi yêu cầu bảo hộ dưới đây và các công nghệ tương đương của chúng.

YÊU CẦU BẢO HỘ

1. Phương pháp mã hóa, bao gồm:

bước thực hiện, bởi thiết bị mã hóa dựa trên đa thức kiểm dư chu trình (cyclic redundancy check – CRC), mã hóa CRC lên *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=11, và đa thức CRC là D^11+D^10+D^9+D^5+1: và

bước thực hiện, bởi thiết bị mã hóa, mã hóa cực lên chuỗi bit được mã hóa CRC, để thu được chuỗi bit được mã hóa cực.

2. Phương pháp theo điểm 1, trong đó đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

3. Phương pháp theo điểm 1 hoặc 2, trong đó *L* bit CRC trong chuỗi bit được mã hóa CRC được đặt sau *A* bit thông tin cần được mã hóa.

4. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó phương pháp còn bao gồm:

bước gửi, bởi thiết bị mã hóa, chuỗi bit được mã hóa cực.

5. Phương pháp theo điểm 4, trong đó trước khi gửi chuỗi bit được mã hóa cực, thiết bị mã hóa thực hiện khớp tỷ lệ lên chuỗi bit được mã hóa cực dựa trên độ dài mã đích.

6. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 5, trong đó thiết bị mã hóa là trạm cơ sở hoặc thiết bị đầu cuối.

7. Thiết bị mã hóa, bao gồm:

môđun mã hóa thứ nhất, được định cấu hình để thực hiện, dựa trên đa thức kiểm dư chu trình (CRC), mã hóa CRC lên *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=11, và đa thức CRC là: D^11+D^10+D^9+D^5+1; và

môđun mã hóa thứ hai, được định cấu hình để thực hiện mã hóa cực lên chuỗi bit

được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

8. Thiết bị theo điểm 7, trong đó thiết bị còn bao gồm thanh ghi dịch, và đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

9. Thiết bị theo điểm 7 hoặc 8, trong đó *L* bit CRC trong chuỗi bit được mã hóa CRC được đặt sau *A* bit thông tin cần được mã hóa.

10. Thiết bị theo điểm bất kỳ trong số các điểm từ 7 đến 9, trong đó thiết bị còn bao gồm môđun gửi, được định cấu hình để gửi chuỗi bit được mã hóa cực.

11. Thiết bị theo điểm 10, trong đó trước khi gửi chuỗi bit được mã hóa cực, thiết bị được tạo cấu hình để thực hiện khớp tỷ lệ lên chuỗi bit được mã hóa cực dựa trên độ dài mã đích.

12. Thiết bị theo điểm bất kỳ trong số các điểm từ 7 đến 11, trong đó thiết bị là trạm cơ sở hoặc thiết bị đầu cuối.

13. Thiết bị mã hóa, bao gồm bộ xử lý, trong đó bộ xử lý được định cấu hình để:

thực hiện, dựa trên đa thức CRC kiểm dư chu trình (CRC), mã hóa CRC lên *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=11, và đa thức CRC là: D^11+D^10+D^9+D^5+1; và

thực hiện mã hóa cực lên chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

14. Thiết bị theo điểm 13, trong đó thiết bị mã hóa còn bao gồm bộ nhớ, và bộ nhớ được định cấu hình để lưu trữ chỉ lệnh chương trình.

15. Thiết bị theo điểm 13 hoặc 14, trong đó đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

16. Thiết bị theo điểm bất kỳ trong số các điểm từ 13 đến 15, trong đó *L* bit CRC trong chuỗi bit được mã hóa CRC được đặt sau *A* bit thông tin cần được mã hóa.

17. Thiết bị theo điểm bất kỳ trong số các điểm từ 13 đến 16, trong đó thiết bị còn bao gồm bộ thu phát, được định cấu hình để gửi chuỗi bit được mã hóa cực.

18. Thiết bị theo điểm 17, trong đó trước khi bộ thu phát gửi chuỗi bit được mã

hóa cực, bộ xử lý còn được định cấu hình để thực hiện khớp tỷ lệ lên chuỗi bit được mã hóa cực dựa trên độ dài mã đích.

19. Thiết bị theo điểm bất kỳ trong số các điểm từ 13 đến 18, trong đó thiết bị là trạm cơ sở hoặc thiết bị đầu cuối.

20. Thiết bị mã hóa, bao gồm:

giao diện đầu vào, được định cấu hình để thu được A bit thông tin cần được mã hóa;

mạch logic, được định cấu hình để: thực hiện, mã hóa CRC lên A bit thông tin cần được mã hóa, dựa trên đa thức kiểm dư chu trình (CRC), để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC bao gồm L bit CRC và A bit thông tin cần được mã hóa, L và A là các số nguyên dương, L=11, và đa thức CRC là: D^11+D^10+D^9+D^5+1; và

thực hiện mã hóa cực lên chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực; và

giao diện đầu ra, được định cấu hình để xuất ra chuỗi bit được mã hóa cực.

21. Thiết bị theo điểm 20, trong đó đa thức CRC được triển khai bằng cách sử dụng thanh ghi dịch.

22. Thiết bị theo điểm 20 hoặc 21, trong đó L bit CRC trong chuỗi bit được mã hóa CRC được đặt sau A bit thông tin cần được mã hóa.

23. Thiết bị theo điểm 20, trong đó mạch logic còn được định cấu hình để: trước khi giao diện đầu ra xuất ra chuỗi bit được mã hóa cực, thực hiện khớp tỷ lệ lên chuỗi bit được mã hóa cực dựa trên độ dài mã đích.

24. Phương tiện lưu trữ có thể đọc được trên máy tính, trong đó phương tiện lưu trữ được định cấu hình để lưu trữ chương trình máy tính, và khi chương trình máy tính được chạy bởi thiết bị truyền thông, phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 5 được thực hiện.

25. Phương pháp giải mã, bao gồm các bước:

nhận, bởi thiết bị giải mã, chuỗi cần được giải mã;

thực hiện, bởi thiết bị giải mã, giải mã cực lên chuỗi cần được giải mã dựa trên đa thức kiểm dư chu trình (CRC), để thu được chuỗi bit được giải mã cực, trong đó chuỗi bit được giải mã cực bao gồm các bit L CRC và bit thông tin A, L và A là các số nguyên dương, $L = 11$, và đa thức CRC là: D^11+D^10+D^9+D^5+1; và

xuất ra, bởi thiết bị giải mã, chuỗi bit được giải mã cực.

26. Phương pháp theo điểm 25, trong đó bit CRC L trong chuỗi cần được giải mã được đặt sau bit thông tin A.

27. Phương pháp theo điểm 25 hoặc 26, trong đó trước khi thiết bị giải mã nhận chuỗi cần được giải mã, thiết bị giải mã còn được định cấu hình để nhận thông tin hoặc dữ liệu từ đầu phát và thực hiện khớp tỷ lệ lên thông tin hoặc dữ liệu từ đầu phát, để thu được chuỗi cần được giải mã.

28. Phương pháp theo điểm bất kỳ trong số các điểm từ 25 đến 27, trong đó thiết bị giải mã là trạm gốc hoặc thiết bị đầu cuối.

29. Thiết bị giải mã, bao gồm:

môđun thu, được cấu hình để thu được chuỗi được giải mã, trong đó chuỗi cần được giải mã bao gồm các bit kiểm dư chu trình (CRC) L và các bit thông tin A, L và A là các số nguyên dương và $L = 11$; và

môđun giải mã, được định cấu hình để thực hiện giải mã cực trên chuỗi sẽ được giải mã dựa trên đa thức CRC, để thu được chuỗi bit được giải mã cực, trong đó đa thức CRC là: D^11+D^10+D^9+D^5+1.

30. Thiết bị theo điểm 29, trong đó các bit L CRC trong trình tự sắp được giải mã được đặt sau các bit thông tin A.

31. Thiết bị theo điểm 29 hoặc 30, trong đó trước khi mô-đun thu nhận chuỗi được giải mã, mô-đun thu còn được định cấu hình để nhận thông tin hoặc dữ liệu từ một đầu phát và thực hiện khớp tỷ lệ lên thông tin hoặc dữ liệu từ đầu phát, để thu được chuỗi cần được giải mã.

32. Thiết bị theo điểm bất kỳ trong số các điểm từ điểm 29 đến 31, trong đó thiết bị là trạm gốc hoặc thiết bị đầu cuối.

33. Thiết bị giải mã, bao gồm một bộ xử lý, trong đó bộ xử lý được định cấu hình để:

thu được chuỗi được giải mã, trong đó chuỗi được giải mã bao gồm bit kiểm dư chu trình

L (CRC) và các bit thông tin A, và $L = 11$; và

thực hiện giải mã cực trên chuỗi sẽ được giải mã dựa trên đa thức CRC, để thu được chuỗi bit được giải mã cực, trong đó đa thức CRC là: D^11+D^10+D^9+D^5+1.

34. Thiết bị theo điểm 33, trong đó thiết bị giải mã còn bao gồm bộ nhớ, và bộ nhớ được định cấu hình để lưu chỉ lệnh chương trình.

35. Thiết bị theo điểm 33 hoặc 34, trong đó các bit L CRC trong chuỗi được giải mã được đặt sau các bit thông tin A.

36. Thiết bị theo điểm bất kỳ trong số các điểm từ điểm 33 đến 35, trong đó trước khi bộ xử lý nhận được chuỗi bit được giải mã, bộ xử lý còn được định cấu hình để nhận thông tin hoặc dữ liệu từ đầu truyền và thực hiện khớp tỷ lệ trên thông tin hoặc dữ liệu từ đầu cuối truyền, để thu được trình tự được giải mã.

37. Thiết bị theo điểm bất kỳ trong số các điểm từ điểm 33 đến 36, trong đó thiết bị là trạm gốc hoặc thiết bị đầu cuối.

38. Thiết bị giải mã, bao gồm:

giao diện đầu vào, được định cấu hình để thu được chuỗi được giải mã;

mạch logic, được định cấu hình để thực hiện giải mã cực trên chuỗi sẽ được giải mã dựa trên đa thức kiểm dư chu trình (CRC), để thu được chuỗi bit được giải mã cực, trong đó chuỗi bit được giải mã cực bao gồm L bit CRC và bit thông tin A, L và A là các số nguyên dương, $L = 11$, và đa thức CRC là: D^11+D^10+D^9+D^5+1; và

giao diện đầu ra, được định cấu hình để xuất ra chuỗi bit được giải mã cực.

39. Thiết bị theo điểm 38, trong đó các bit CRC L trong chuỗi được giải mã nằm sau các bit thông tin A.

40. Phương tiện lưu trữ có thể đọc được bởi máy tính, trong đó phương tiện lưu trữ được định cấu hình để lưu trữ chương trình máy tính và khi chương trình máy tính được chạy bởi thiết bị truyền thông, phương pháp theo điểm bất kỳ trong số các điểm từ 25 đến 27 được thực hiện.

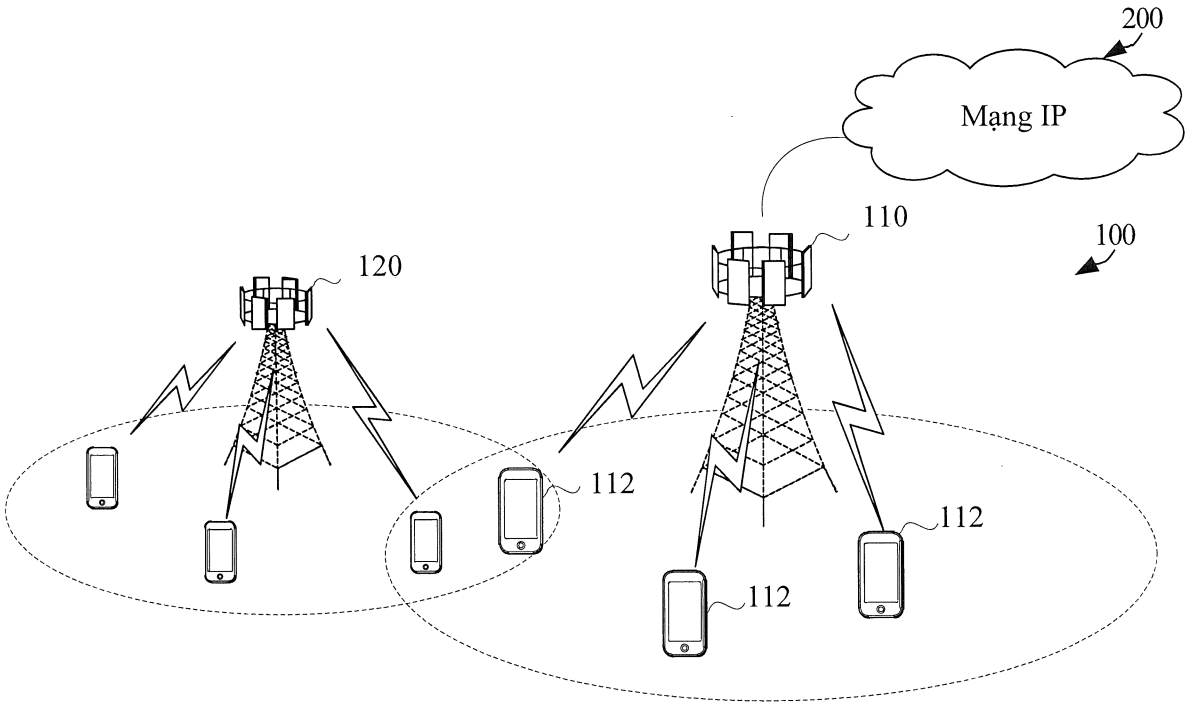

200
Mạng IP
110
100
120
112
112
112

Fig.1(a)

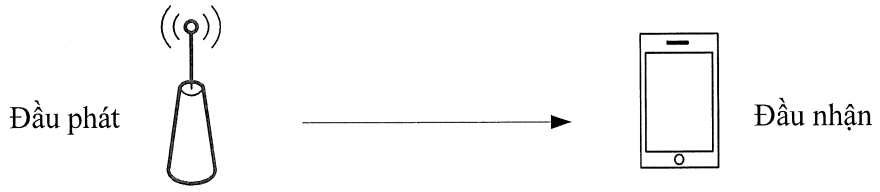

Đầu phát
Đầu nhận
Phía bộ mã hóa
Kênh
Phía bộ giải mã

Fig.1(b)

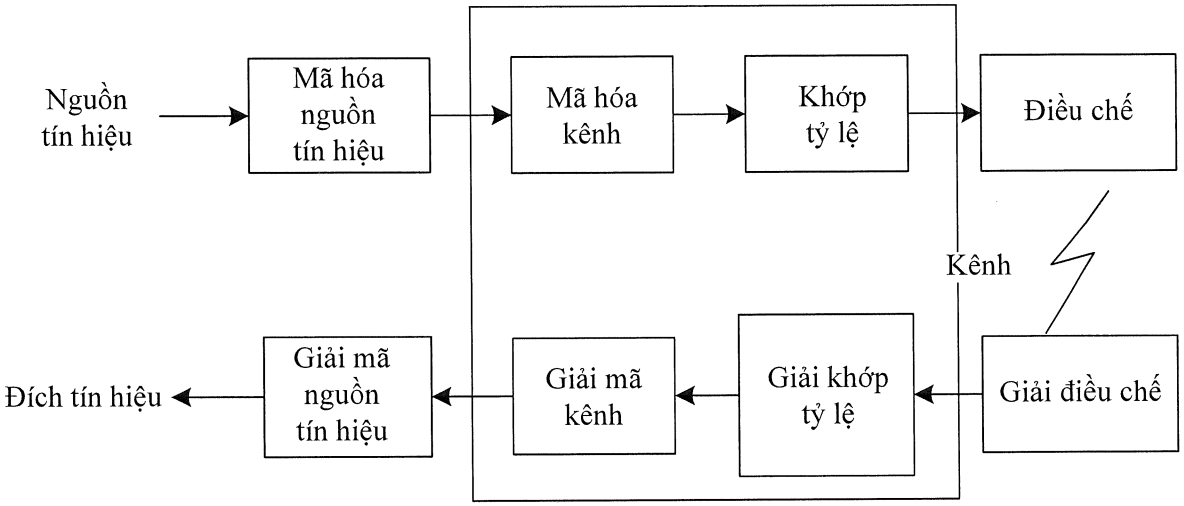

Nguồn tín hiệu
Mã hóa nguồn tín hiệu
Mã hóa kênh
Khớp tỷ lệ
Điều chế
Kênh
Đích tín hiệu
Giải mã nguồn tín hiệu
Giải mã kênh
Giải khớp tỷ lệ
Giải điều chế

Fig.2

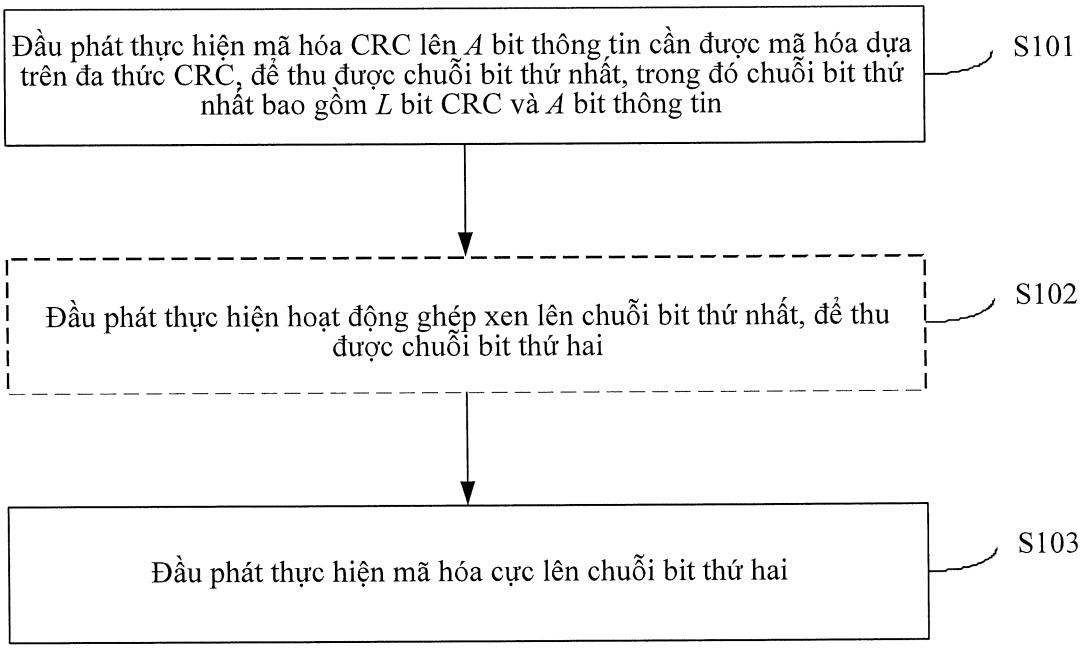

Đầu phát thực hiện mã hóa CRC lên A bit thông tin cần được mã hóa dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất bao gồm L bit CRC và A bit thông tin
S101
Đầu phát thực hiện hoạt động ghép xen lên chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai
S102
Đầu phát thực hiện mã hóa cực lên chuỗi bit thứ hai
S103

Fig.3

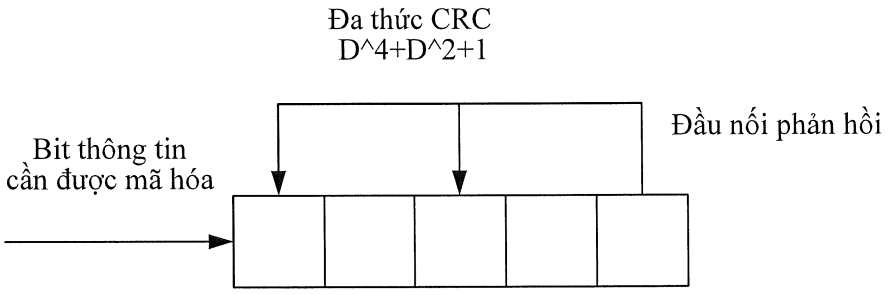


Fig.4

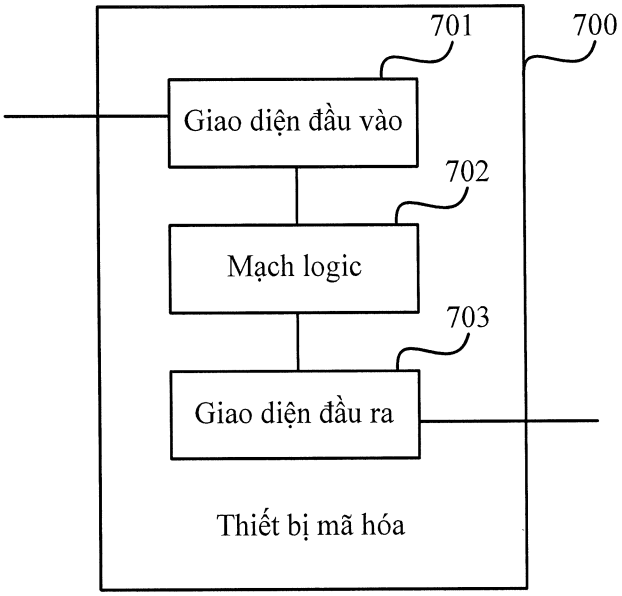


Fig.5

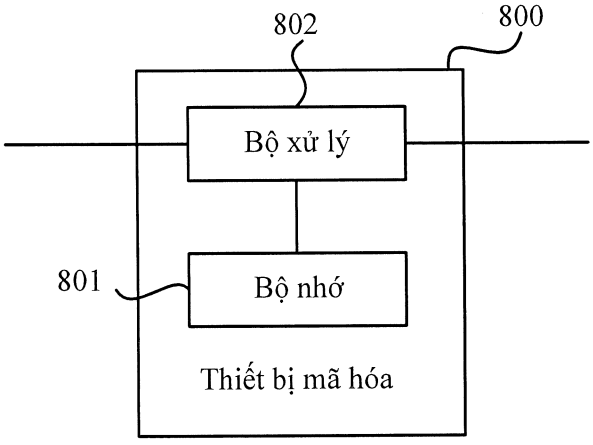


Fig.6

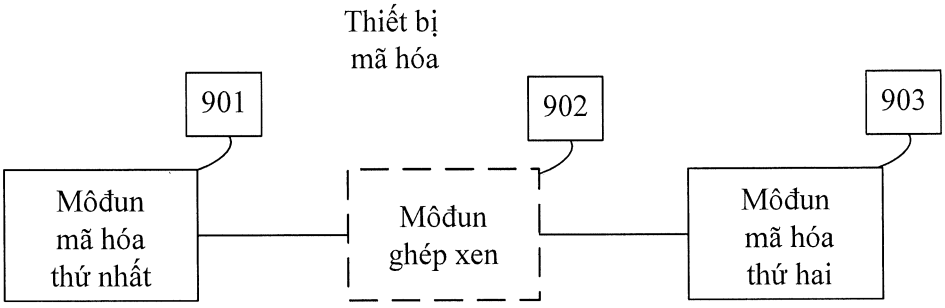

Thiết bị
mã hóa
901
902
903
Môđun
mã hóa
thứ nhất
Môđun
ghép xen
Môđun
mã hóa
thứ hai

Fig.7

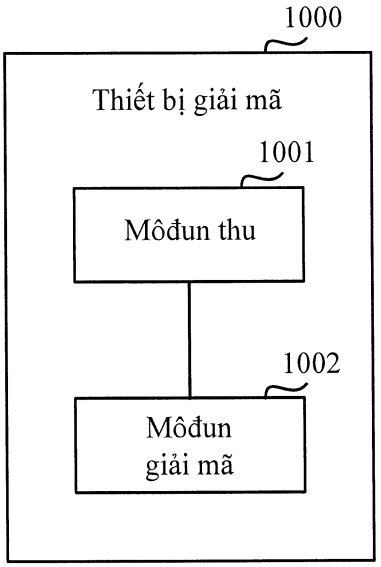

1000
Thiết bị giải mã
1001
Môđun thu
1002
Môđun
giải mã

Fig.8

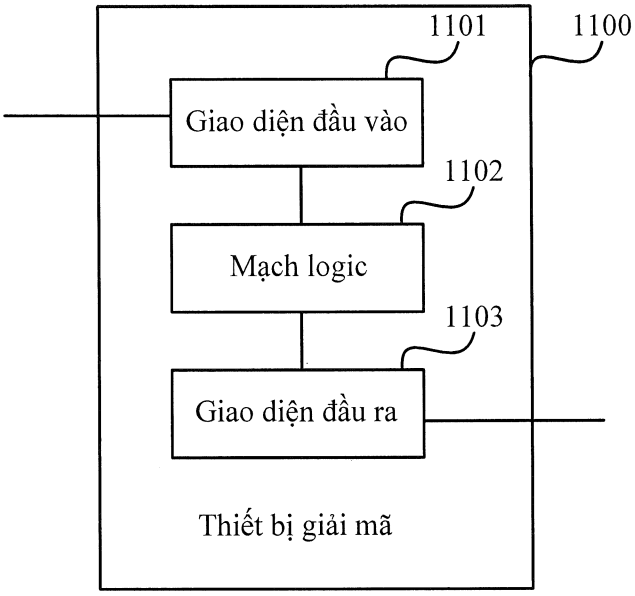

1101
1100
Giao diện đầu vào
1102
Mạch logic
1103
Giao diện đầu ra
Thiết bị giải mã

Fig.9

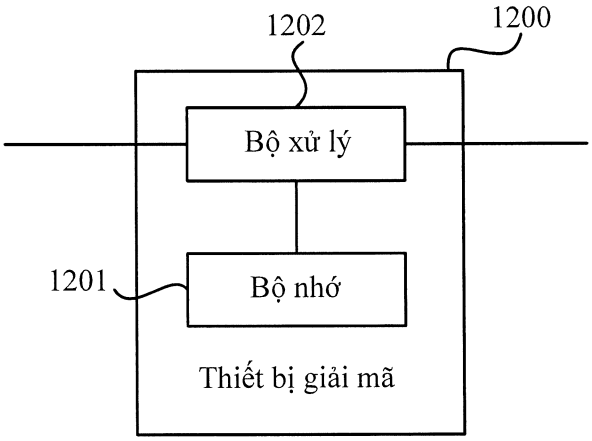

1202
1200
Bộ xử lý
1201
Bộ nhớ
Thiết bị giải mã

Fig.10

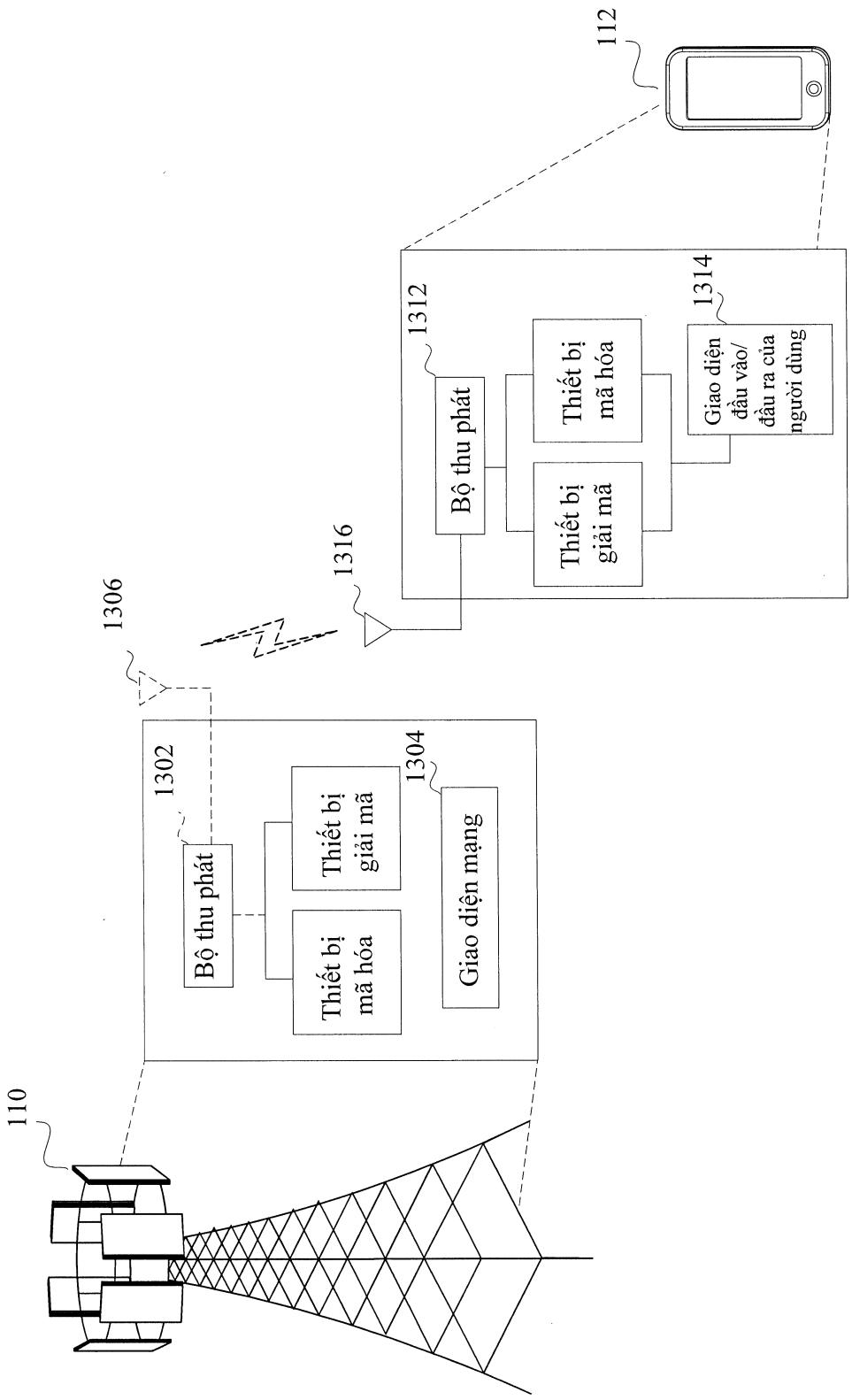

110
1302
Bộ thu phát
Thiết bị mã hóa
Thiết bị giải mã
1304
Giao diện mạng
1306
1316
1312
Bộ thu phát
Thiết bị mã hóa
Thiết bị giải mã
1314
Giao diện đầu vào/ đầu ra của người dùng
112

Fig. 11