



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0035303

(51)⁸ H01L 31/073; H01J 37/32; H01L 31/18; (13) B
H01L 31/0392; H01J 27/14; H01L 21/02

(21) 1-2018-02915

(22) 08/12/2016

(86) PCT/US2016/065511 08/12/2016

(87) WO2017/100393 15/06/2017

(30) 62/265,121 09/12/2015 US

(45) 25/04/2023 421

(43) 25/10/2018 367A

(73) FIRST SOLAR, INC. (US)

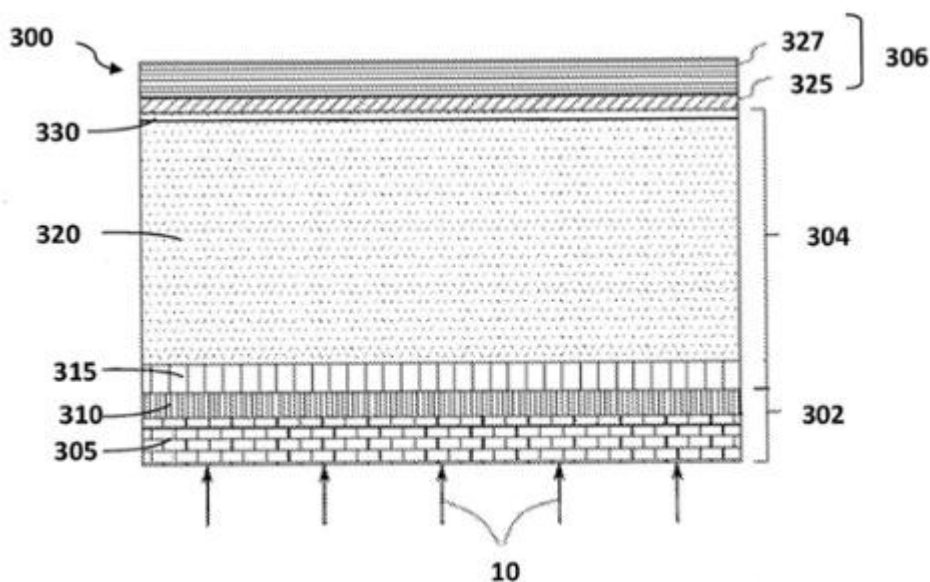
350 West Washington Street, 6th Floor, Tempe, AZ 85281, United State of America

(72) JIN, Changming (US); LEE, Sanghyun (US); ZHANG, Jun-Ying (US).

(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ QUANG ĐIỆN

(57) Sáng chế này đề cập tới các phương pháp để làm sạch bề mặt và việc thụ động hóa của các chất hấp thụ PV, như các đế CdTe có thể được sử dụng trong các tế bào pin mặt trời được sử dụng trong thiết bị quang điện, và các thiết bị quang điện được tạo ra bởi các phương pháp này. Theo một số phương án thực hiện, phương pháp bao gồm các bước phóng plasma nguồn ion lớp anốt (anode layer ion source - ALIS) để làm sạch và oxi hóa bề mặt CdTe để tạo ra lớp oxit mỏng giữa lớp CdTe và lớp tiếp xúc sau (các lớp tiếp xúc) sau đó.



Lĩnh vực kỹ thuật được đề cập

Sáng chế này đề cập tới lĩnh vực làm sạch bề mặt và thụ động hóa các vật liệu bán dẫn, như CdTe, có thể được sử dụng trong các thiết bị quang điện.

Tình trạng kỹ thuật của sáng chế

Cấu trúc quang điện tạo ra năng lượng điện bằng cách biến đổi ánh sáng thành dòng điện một chiều nhờ việc sử dụng các vật liệu bán dẫn có hiệu ứng quang điện. Hiệu ứng quang điện sinh ra năng lượng điện khi được phơi ra trước ánh sáng như trước các photon, các gói năng lượng, sẽ được hấp thụ trong vật liệu bán dẫn để kích thích các điện tử tới trạng thái năng lượng cao hơn, để lại trạng thái trống ("lỗ trống"). Do đó, các điện tử được kích thích và các lỗ trống có khả năng dẫn và dịch chuyển một cách tự do trong vật liệu.

Đơn vị cơ bản của cấu trúc quang điện, được gọi chung là tế bào, chỉ có thể sinh ra một lượng năng lượng điện ở quy mô nhỏ. Do đó, nhiều tế bào có thể được kết nối điện để tích tụ năng lượng tổng cộng được sinh ra giữa nhiều tế bào nằm trong một thiết bị tích hợp lớn hơn, được gọi là môđun, hoặc tấm. Môđun quang điện còn có thể chứa lớp sau bảo vệ và các vật liệu bao để bảo vệ các tế bào được chứa ở trong đó khỏi các yếu tố tác động của môi trường. Nhiều môđun hoặc tấm quang điện có thể được lắp ghép với nhau để tạo ra hệ thống quang điện, hoặc mảng, có khả năng sinh ra năng lượng điện lên tới các mức có thể so sánh được với các loại khác của các nhà máy điện có quy mô có thể sử dụng được. Bên cạnh các môđun quang điện, mảng ở quy mô có thể sử dụng được có thể còn chứa các cấu trúc gắn, thiết bị điện chứa các bộ biến đổi, các bộ biến thế, và các hệ thống điều khiển khác. Khi xem xét các mức khác nhau của thiết bị, từ tế bào riêng rẽ tới các mảng kích cỡ có thể sử dụng được chứa nhiều môđun, tất cả các ứng dụng này của hiệu ứng quang điện có thể chứa một hoặc nhiều cấu trúc quang điện để hoàn thành việc chuyển đổi năng lượng.

Để sinh ra năng lượng từ ánh sáng mặt trời, vùng hoạt động của cấu trúc quang điện hoặc thiết bị thường chứa lớp tiếp giáp của hai vùng riêng biệt, một vùng ở trên vùng khác và mỗi vùng chứa một hoặc nhiều vật liệu, trong đó, mỗi vật liệu có thể còn chứa các tạp chất được bổ sung. Kết quả là một vùng trong thiết bị quang điện là loại n, có dư các điện tử mang điện âm trong khi vùng khác là loại p, có dư các lỗ trống mang điện dương. Trong các tế bào pin mặt trời CdS/CdTe thông thường, các vùng này nói chung được đặt tên là lớp cửa sổ, với vùng CdS loại n, và lớp hấp thụ, với vùng CdTe loại p. Các vùng này có thể được tạo thành từ các vật liệu khác nhau, được pha tạp hoặc không; hoặc từ cùng một loại vật liệu với các chất pha tạp khác nhau để tạo thành các vùng loại n và loại p. Trong đó, hai vùng này tiếp giáp nhau và lớp tiếp giáp p-n sẽ được hình thành. Sẽ tốt hơn nếu lớp cửa sổ là mỏng nhất có thể để cho phép lượng tối đa ánh sáng được đi tới được lớp hấp thụ, nhưng nó cũng cần phải đủ dày để duy trì tiếp giáp p-n mạnh mẽ với lớp hấp thụ và ngăn cản việc phân dòng.

Khi các photon tạo ra các điện tử tự do và các lỗ trống, chúng được gọi chung là các bộ phận mang điện tích, gần tiếp giáp p-n, thì điện trường bên trong của lớp tiếp giáp sẽ làm cho các điện tử dịch chuyển về phía n của tiếp giáp và các lỗ trống về phía p, nhờ đó tạo ra điện thế. Tiếp điểm trước, được kết nối điện tới lớp cửa sổ, và tiếp điểm sau, được kết nối điện tới lớp hấp thụ có thể tạo ra các đường dẫn mà qua đó điện thế có thể chảy để trở thành dòng điện. Các điện tử có thể chảy ngược lại phía p thông qua đường dẫn dòng bên ngoài hoặc thông qua mạch điện.

Trong khi dịch chuyển trong các vật liệu bán dẫn, các điện tử và lỗ trống di động có thể tái hợp - điều này làm giảm tổng số bộ phận mang điện tích sẵn có để sinh ra dòng chảy nằm trong thiết bị và làm giảm hiệu suất biến đổi tổng cộng. Hiệu suất đề cập tới năng lượng điện hoặc năng lượng được sinh ra bởi thiết bị PV khi so với năng lượng tương đương của các photon đi tới thiết bị. Mục đích chính của việc sản xuất các thiết bị quang điện là để tăng các hiệu suất thực tế thu được, để xấp xỉ hóa hiệu suất biến đổi tối đa hoặc “định danh”.

Một vấn đề quan trọng của công nghệ tế bào pin mặt trời CdTe là việc tạo thành của tiếp xúc ômic hiệu quả và ổn định trên lớp p-CdTe. Nhưng tiếp xúc ômic trên bán dẫn loại p là khó thu được hơn do hai lý do chính sau: (1) do cấu trúc tinh thể và các quy trình sản xuất của chất hấp thụ để lại bề mặt không hoàn toàn tương thích với tiếp xúc kim loại; và (2) do chức năng làm việc của tiếp xúc kim loại nên cao hơn của vật liệu bán dẫn hoặc lớp rào Schottky có thể được tạo thành. Trước khi lắng đọng hoặc tạo thành lớp tiếp xúc sau trên lớp bán dẫn của thiết bị quang điện, mong muốn là có thể loại bỏ tạp nhiễm từ lớp bán dẫn. Ví dụ, tạp nhiễm bề mặt chứa việc ô xi hóa của lớp bán dẫn, sự hấp phụ của hydrocacbon và/hoặc các cacbonat và/hoặc các chất tạp nhiễm hữu cơ và vô cơ khác trên lớp bán dẫn. Các chất tạp nhiễm được tạo thành trên lớp bán dẫn có thể tác động xấu tới mặt phân giới giữa lớp bán dẫn và lớp tiếp xúc sau. Phân giới nghèo giữa lớp bán dẫn và lớp tiếp xúc sau có thể có tác động không mong muốn trên thiết bị quang điện, và đặc biệt là trên V_{oc} và R_{oc} . Các phương pháp đã biết để loại bỏ các chất tạp nhiễm từ bề mặt của lớp bán dẫn có thể có tác động ngược tới các biên hạt và/hoặc cấu trúc mạng của các tinh thể tạo thành lớp bán dẫn. Mong muốn là có thể phát triển phương pháp hiệu quả hơn để loại bỏ các chất tạp nhiễm bề mặt khỏi lớp bán dẫn và thiết bị quang điện trước khi lắng đọng hoặc tạo thành lớp tiếp xúc sau để cải thiện hiệu quả của thiết bị quang điện.

Để loại bỏ lớp rào Schottky chống lại lớp hấp thụ CdTe loại p, kim loại với công thoát cao hơn 5,7 eV là cần thiết, nhưng các kim loại có các hàm làm việc cao này lại không sẵn có. Để khắc phục vấn đề này, bề mặt p-CdTe được pha tạp năng được tạo ra với sự trợ giúp của việc khắc hóa học và lớp đệm có nồng độ bộ mang cao thường được sử dụng. Việc ủ sau lắng đọng phân tán một số vật liệu đệm vào trong CdTe, mà trong đó nó thay đổi các gờ băng như là kết quả của việc thay đổi trong mật độ trạng thái giao diện. Kết quả là làm giảm chiều cao và chiều rộng rào giao diện, nhờ đó cho phép có tiếp xúc giả ômic hoặc tiếp xúc đường hầm giữa kim loại và CdTe. Lớp đệm/các tổ hợp kim loại hóa thường được sử dụng là Cu/Au, Cu/graphit, hoặc các hồ nhão graphit được pha tạp với Hg và Cu. Tuy nhiên, các tiếp xúc sau chứa Cu hoặc các chất pha tạp kim loại khác thường không ổn định theo thời gian do các kim loại có thể phân tán hoặc di trú từ tiếp xúc sau vào lớp CdTe, do

đó tạo ra sự suy giảm. Do đó, cần phải tạo ra các lớp tiếp xúc sau cải tiến để tạo ra các giao diện tốt hơn, để tối thiểu hóa việc tái tổ hợp của các cặp điện tử/lỗ trống tại tiếp điểm sau, và để tạo ra các hiệu suất biến đổi công suất mong muốn để sản xuất các thiết bị quang điện hiệu quả về mặt giá thành.

Do đó, mong muốn để tạo ra tiếp giáp p-n hiệu quả giữa các lớp các vật liệu bán dẫn, tích hợp lớp hấp thụ có thể được làm sạch và được thụ động hóa, nhờ đó tăng độ ổn định ômic và hiệu suất.

Bản chất kỹ thuật của sáng chế

Theo khía cạnh thứ nhất, sáng chế đề xuất quy trình sản xuất thiết bị quang điện. Quy trình chứa các bước: làm sạch bằng plasma bề mặt được phơi ra của chồng bán dẫn bằng cách phơi nó ra trước plasma của các khí đã được ion hóa; phơi bề mặt được phơi ra của chồng bán dẫn ra khí quyển chứa từ khoảng 1% tới khoảng 60% oxi trong khí quyển khí trơ khác để tạo thành lớp oxit trên bề mặt được phơi ra; và tạo thành chồng lớp tiếp xúc phía sau trên lớp oxit.

Theo khía cạnh thứ hai, sáng chế đề xuất thiết bị quang điện. Thiết bị quang điện có chồng lớp cửa sổ bao gồm lớp tiếp xúc phía trước, chồng lớp bán dẫn được bố trí trên chồng lớp cửa sổ, và chồng lớp tiếp xúc phía sau được bố trí trên chồng lớp bán dẫn, thiết bị quang điện còn bao gồm lớp oxit được tạo thành trên chồng lớp bán dẫn giữa chồng lớp bán dẫn và chồng lớp tiếp xúc phía sau, lớp oxit có độ dày từ khoảng 5 Å tới khoảng 50 Å.

Mô tả vắn tắt các hình vẽ

Phần nêu trên cũng như các ưu điểm khác của sáng chế sẽ trở nên rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật nhờ phần mô tả chi tiết dưới đây và các hình vẽ kèm theo, trong đó:

Fig.1 mô tả giản đồ của các lớp chức năng trong thiết bị quang điện theo một phương án thực hiện của sáng chế;

Fig.2 mô tả quy trình sản xuất thiết bị quang điện theo một phương án thực hiện của sáng chế;

Các hình vẽ từ Fig. 3 đến Fig.11 mô tả các giản đồ của các lớp chức năng trong thiết bị quang điện theo các phương án thực hiện khác nhau với các biến đổi chồng bán dẫn khác nhau;

Fig.12 mô tả giản đồ của các lớp chức năng theo một phương án thực hiện của thiết bị quang điện;

Fig.13 mô tả giản đồ cắt của bố trí xử lý và thiết bị nguồn ion lớp anốt thẳng (linear anode layer ion source - ALIS); và

Fig.14 mô tả phiên bản được mở rộng của hai biến thể của các bước kích hoạt 810 trên Fig.2

Mô tả chi tiết sáng chế

Phần mô tả dưới đây và các hình vẽ kèm theo mô tả và minh họa các phương án thực hiện làm ví dụ của sáng chế. Phần mô tả và các hình vẽ có tác dụng nhằm cho phép người có hiểu biết trung bình trong lĩnh vực tạo ra và sử dụng sáng chế và không nhằm mục đích hạn chế phạm vi bảo hộ của sáng chế theo bất kỳ cách nào. Liên quan tới các phương pháp được bộc lộ, các bước được thể hiện chỉ là ví dụ và do đó thứ tự của các bước có thể trở nên không cần thiết hoặc không phải là thiết yếu.

Trong bản mô tả và phần yêu cầu bảo hộ, dạng số ít bao gồm cả dạng số nhiều, trừ khi có quy định khác. Như được sử dụng ở đây, thuật ngữ “hoặc” không có nghĩa nhằm giới hạn và dùng để chỉ ít nhất một thành phần trong số các thành phần tham khảo có mặt và bao gồm các trường hợp trong đó tổ hợp của các hợp phần tham khảo có thể có mặt, trừ khi văn cảnh loại trừ lẫn nhau theo quy định khác.

Trừ khi có quy định khác, tất cả các thuật ngữ kỹ thuật và khoa học được sử dụng trong bản mô tả có cùng nghĩa như thường được hiểu bởi người có hiểu biết trung bình về lĩnh vực kỹ thuật này. Mặc dù các phương pháp và vật liệu tương tự hoặc tương đương với các phương pháp và vật liệu được mô tả trong bản mô tả có thể được dùng để thực hiện hoặc thử nghiệm sáng chế, nhưng các phương pháp và vật liệu được ưu tiên sẽ được mô tả ở đây.

Các khoảng giới hạn số học, các phép đo và các thông số được sử dụng để tạo đặc trưng cho sáng chế này - ví dụ, các độ lớn góc, các số lượng của các thành phần, các trong lượng phân tử, các điều kiện phản ứng (pH, các nhiệt độ, các mức điện tích, v.v), các kích thước vật lý và các dạng như vậy – là các xấp xỉ cần thiết; và, trong khi được báo cáo chính xác nhất có thể, chúng vẫn chứa các sai lệch được tạo ra từ các phép đo tương ứng của chúng. Do đó, tất cả các số biểu diễn các khoảng giới hạn của các độ lớn như được sử dụng trong bản mô tả này và các yêu cầu bảo hộ sẽ được điều như là được điều chỉnh bởi thuật ngữ “khoảng” trong tất cả các trường hợp. Tất cả các khoảng giới hạn số học cần được hiểu là chứa tất cả các khoảng giới hạn nhỏ tăng, có thể có, nằm trong các biên ngoài của khoảng giới hạn. Do đó, khoảng giới hạn từ 30 đến 90 đơn vị sẽ thể hiện, ví dụ, từ 35 đến 50 đơn vị, 45 đến 85 đơn vị, và 40 đến 80 đơn vị, v.v..

Thuật ngữ “trong suốt” như được sử dụng ở đây trong văn cảnh của lớp bán dẫn đề cập tới vật liệu cho phép truyền qua trung bình ít nhất khoảng 70% bức xạ điện từ đi tới có bước sóng trong khoảng giới hạn từ 300nm tới khoảng 1000nm.

Như được sử dụng ở đây, thuật ngữ “được bố trí trên” đề cập tới các lớp được bố trí một cách trực tiếp tiếp xúc với nhau hoặc một cách gián tiếp bởi các lớp xen kẽ ở giữa đó, trừ khi được chỉ ra cụ thể theo cách khác. Thuật ngữ “liền kề” như được sử dụng ở đây có nghĩa là hai lớp được bố trí tiếp giáp và tiếp xúc trực tiếp với nhau.

Theo sáng chế này, khi lớp được mô tả như là “trên” lớp khác hoặc trên đế, nó cần được hiểu là việc tiếp xúc trực tiếp với lớp khác hoặc có một (hoặc nhiều) lớp hoặc đặc điểm khác giữa các lớp. Tiếp theo, thuật ngữ “trên” mô tả vị trí tương đối của các lớp so với nhau và không nhất thiết phải là “trên đỉnh của” do vị trí tương đối trên hoặc dưới phụ thuộc vào định hướng của thiết bị so với người nhìn. Ngoài ra, việc sử dụng của các thuật ngữ “đỉnh,” “đáy,” “ở trên,” “bên dưới,” và các biến thể của các thuật ngữ này được tạo ra để tạo thuận tiện và không yêu cầu hướng cụ thể bất kỳ nào của các thành phần, trừ khi được chỉ ra theo cách khác.

Thuật ngữ “nồng độ nguyên tử” như được sử dụng ở đây trong văn cảnh này đề cập tới số trung bình của các nguyên tử trong mỗi một đơn vị thể tích của lớp hấp thụ. Thuật

ngữ “phần trăm nguyên tử” hoặc “atomic percent - at%” đề cập tới tỉ lệ của số nguyên tử cụ thể so với tổng số các nguyên tử (các cation hoặc anion). Việc sử dụng catmi, selen, và telua như là ví dụ bộ ba, phần trăm nguyên tử có thể được biểu diễn theo định dạng thập phân như “x” trong biểu thức sau: $\text{CdSe}_x\text{Te}_{1-x}$; trong đó, x có thể thay đổi, ví dụ, từ 0,1 đến 0,40 (nghĩa là 1-40%).

Lớp được gọi là “tỷ lượng” thì các ion là ở trong tỉ lệ hóa học phù hợp cho công thức hấp thụ mong muốn. Ví dụ, với chất hấp thụ GaAs, tỉ lệ của gali so với arsen nên là 1:1 mà không có các ion Ga hoặc As bổ sung nào trong cấu trúc tinh thể. Với chất hấp thụ CdTe, tỉ lệ của catmi so với telua nên là 1:1 mà không có các ion Cd hoặc Te bổ sung nào có mặt trong cấu trúc tinh thể.

Các thiết bị quang điện

Các thiết bị quang điện thường bao gồm nhiều lớp các vật liệu khác nhau, ví dụ chồng lớp tiếp xúc phía trước, chồng lớp bán dẫn và chồng lớp tiếp xúc phía sau, mỗi “chồng” lớp chứa từ 1 tới 8 lớp, như từ 1 tới 5 lớp, hoặc từ 1 tới 4 lớp. Fig.1 mô tả thiết bị quang điện 100 theo sáng chế, trong đó, số lớp sẽ được thể hiện chung và được mô tả ở đây. Các lớp được mô tả ở đây, các vật liệu được sử dụng để tạo thành các lớp, và/hoặc các phương pháp tạo thành các lớp thiết bị quang điện 100 có thể được thay thế, được chứa, bên cạnh các lớp đã được mô tả, hoặc không có mặt trong các phương án thực hiện của sáng chế được mô tả bên dưới và được minh họa trong các hình vẽ kèm theo. Nhiều phương án thực hiện cụ thể của thiết bị quang điện mới sẽ được mô tả với tham khảo tới các hình vẽ. Cần hiểu rằng mỗi lớp trong các lớp có thể được lắng đọng trong việc lắng đọng lớp đơn từ vật liệu đơn, từ việc lắng đọng nhiều lớp từ vật liệu đơn, hoặc từ việc lắng đọng nhiều lớp từ nhiều vật liệu, nếu muốn.

Thiết bị quang điện 100 có thể chứa “chồng lớp tiếp xúc phía trước”, chứa lớp đế 105, lớp oxit dẫn trong suốt (transparent conductive oxide - TCO) 110; “chồng lớp bán dẫn” xác định tiếp giáp p-n và thường chứa lớp cửa sổ 115 và lớp hấp thụ 120; và “chồng lớp tiếp xúc phía sau” chứa ít nhất là tiếp điểm sau 125, và điện cực kim loại phía sau 127. Thiết bị quang điện 100 có thể còn chứa các lớp bổ sung, như lớp đệm phân giới, giữa các

lớp khác nhau của thiết bị. Lớp bộ đệm trong suốt điện trở cao (high resistance transparent - HRT) giữa chông tiếp xúc phía trước và lớp cửa sổ là một ví dụ.

Các thiết bị quang điện còn có thể chứa các kết nối đầu điện hoặc các bộ phận dẫn, không được thể hiện, tạo ra đường dẫn để nối luồng dòng điện được sinh ra, như từ một tế bào quang điện liền kề với các tế bào trong môđun, hoặc từ một môđun quang điện tới các môđun liền kề trong mảng. Theo cách khác, các kết nối điện có thể liên lạc luồng dòng điện tới thiết bị tải bên ngoài, trong đó dòng được sinh ra nhờ quang học sẽ tạo ra năng lượng.

Mỗi lớp trong các lớp nêu trên có thể chứa lớp đơn hoặc nhiều lớp hoặc nhiều vùng, ví dụ từ 1 tới 3 lớp hoặc vùng. Ngoài ra, mỗi lớp có thể là “liên tục” và che phủ tất cả các lớp bên dưới, hoặc lớp có thể là “không liên tục” và che phủ chỉ một phần - ví dụ, từ 80 đến 99% - của lớp nằm dưới.

Trong suốt quy trình tạo thành một lớp trong số các lớp, lớp được tạo thành, tạo thành trên bề mặt bên ngoài, thường là bề mặt trên, của đế hoặc cấu trúc đế. “Cấu trúc đế” có thể chứa lớp đế được đưa vào trong quy trình lắng đọng và lớp khác hoặc các lớp bổ sung bất kỳ có thể được lắng đọng lên trên lớp đế trong quy trình lắng đọng trước đó. Do đó, “các chông lớp” được đề cập tới ở đây có thể được xem xét là các cấu trúc đế. Các lớp có thể được lắng đọng qua toàn bộ đế với các phần cụ thể của vật liệu sau đó được loại bỏ nhờ việc cắt bỏ, khắc laze hoặc nhờ quy trình loại bỏ vật liệu khác.

Lớp đế 105 có thể được tạo thành từ thủy tinh, ví dụ, thủy tinh vôi natri cacbonat hoặc thủy tinh nổi. Theo cách khác, lớp đế 105 có thể được tạo thành từ các vật liệu polyme, gốm, hoặc các vật liệu khác tạo cấu trúc bền vững để tạo thành đế của tế bào quang điện. Lớp đế 105 có thể có các lớp bổ sung được sử dụng (không được thể hiện) thúc đẩy việc truyền của các photon qua độ dày của nó, có thể chứa các lớp phủ chống phản xạ hoặc các lớp phủ chống làm bẩn.

Lớp đế 105 có lớp TCO 110 được lắng đọng trên đó. Lớp TCO 110 có thể được tạo thành từ oxit dẫn trong suốt thích hợp bất kỳ, bao gồm nhưng không giới hạn ở, oxit inđi

gali, stanat catmi, oxit catmi thiếc, oxit silic, oxit thiếc, oxit catmi indi, oxit thiếc được pha tạp flo, oxit kẽm được pha tạp nhôm, oxit thiếc indi, hoặc các tổ hợp khác nhau của chúng. Lớp TCO 110 có thể có độ dày mong muốn bất kỳ, như giữa khoảng 300 Å và khoảng 4500 Å, hoặc cụ thể hơn là giữa khoảng 300 Å và khoảng 800 Å, hoặc cụ thể hơn nữa là giữa khoảng 3500 Å và khoảng 4500 Å. Theo một số phương án thực hiện, lớp TCO 110 được hình thành từ nhiều lớp vật liệu chứa SnO_2 và $\text{SnO}_2\text{:F}$.

Lớp cửa sổ 115 được tạo thành trên lớp TCO 110 và có thể được tạo thành từ vật liệu bán dẫn loại n như, ví dụ, CdS, CdSSe, CdSe, thiếc kẽm sunfua (ZnS), hợp kim ZnS/CdS , ZnSO , oxit magiê kẽm, catmi magiê sunfua, oxit catmi thiếc, oxit thiếc indi, oxit catmi pha tạp indi, oxit kẽm pha tạp nhôm, oxit indi kẽm, oxit kẽm thiếc, oxit catmi, oxit kẽm nhôm, oxit kẽm silic, oxit kẽm zirconi, oxit thiếc nhôm, oxit thiếc silic, oxit thiếc zirconi, hoặc vật liệu có độ rộng vùng cấm rộng và ổn định thích hợp khác. Cần hiểu rằng lớp đệm (không được thể hiện) có thể được tạo thành giữa lớp cửa sổ 115 và lớp TCO 110. Cần hiểu rằng thiết bị quang điện 100 có thể bỏ qua lớp cửa sổ 115, nếu muốn.

Lớp hấp thụ 120 được tạo thành trên lớp cửa sổ 115 (nếu có mặt) và có thể được tạo thành từ catmi telurit, catmi kẽm telurit, CdSe, catmi selen telurit, Cd(S, Se, Te), CdSTe, đồng indi gali selenit, silic vô định hình, các tổ hợp của các chất nêu trên, các hợp kim của các chất nêu trên, hoặc vật liệu bán dẫn loại p thích hợp bất kỳ khác. Lớp hấp thụ 120 có thể được tạo thành bởi lớp vật liệu được lắng đọng trên thiết bị 100, hoặc lớp hấp thụ 120 có thể được tạo thành bởi nhiều lớp vật liệu được lắng đọng trên thiết bị 100 là lớp được xử lý (tức là, ủ) để tạo thành hợp kim là lớp hấp thụ 120. Lớp hấp thụ 120 cũng có thể được tạo thành từ nhiều lớp vật liệu tạo thành gradien qua lớp hấp thụ 120 khi nhiều lớp được ủ, hoặc lớp hấp thụ 120 có thể được tạo thành từ lớp vật liệu đơn có gradien của vật liệu được tạo thành qua đó. Lớp hấp thụ CdTe 120 có thể có độ dày khoảng từ 1,5-3,0 micron.

Tiếp điểm sau 125 là lớp phân giới giữa lớp hấp thụ 120 và điện cực kim loại sau 127. Tổ hợp của tiếp điểm sau 125 và điện cực kim loại sau 127 có thể cùng nhau được đề cập chung như là chồng tiếp điểm sau mà không có sự phân biệt nào được vẽ ra giữa các

lớp. Tiếp điểm sau 125 có thể được tạo thành từ vật liệu bất kỳ chứa telur, selen, vàng, vonfram, tantali, titan, paladi, niken, bạc, canxi, chì, thủy ngân, graphit, và dạng tương tự. Tiếp điểm sau 125 cũng có thể chứa ZnTe, hợp kim CdTe-ZnTe (tức là, CdZnTe), ZnTe:Cu, indi nitrua, HgTe, Te, và PbTe, hoặc vật liệu thích hợp bất kỳ khác. Theo một số phương án thực hiện, tiếp điểm sau là lớp kép được tạo thành từ lớp ZnTe và lớp hợp kim CdZnTe. Tiếp điểm sau 125 cũng có thể chứa lớp Cu được bố trí trên đó với nồng độ của khoảng 0,01-1% Cu theo khối lượng nguyên tử.

Điện cực kim loại sau 127 tạo ra việc dẫn phụ của dòng điện tới mạch bên ngoài. Điện cực kim loại sau 127 có thể được tạo thành từ nhôm, đồng, niken, vàng, bạc, molipđen nitrit, molipđen, crôm, các kim loại được oxi hóa, các nitrua kim loại, các tổ hợp của các chất nêu trên, các hợp kim của các chất nêu trên, hoặc kim loại bất kỳ khác đã biết là hữu dụng để làm bộ phận dẫn trong thiết bị quang điện. Tiếp điểm sau thích hợp 125 và điện cực 127 được mô tả trong đơn sáng chế đồng sở hữu WO2014/151610 cho “Thiết bị quang điện có điện cực sau được cải tiến và phương pháp tạo thành chúng - Photovoltaic Device Having Improved Back Electrode and Method of Formation” được kết hợp ở đây bằng cách viện dẫn, phần bộc lộ của nó có thể được tham khảo để cho phép thực hiện phần tiếp điểm sau 125 và điện cực 127 của sáng chế. Theo một phương án thực hiện, điện cực kim loại sau 127 được tạo thành từ lớp MoN_x liền kề tiếp điểm sau 125, lớp crôm, và lớp nhôm được bố trí ở giữa đó. Lớp crôm có độ dày từ khoảng 0-200 Å, như khoảng 200 Å, lớp nhôm có thể có độ dày 700-1000 Å, như khoảng 750 Å, và lớp MoN_x có thể có độ dày từ khoảng 50-170 Å, như khoảng 170 Å.

Lớp TCO có thể tạo thành hoặc có thể được kết nối điện tới tiếp điểm phía trước. Tiếp điểm sau có thể tạo thành hoặc có thể được kết nối điện tới tiếp điểm sau. Tiếp điểm trước tạo thành đường dẫn hiện thời mà qua đó dòng điện được sinh ra bởi các lớp chủ động của thiết bị quang điện có thể chảy qua. Tiếp điểm sau tạo thành đường dẫn thứ hai mà dòng điện được sinh ra có thể chạy qua đó. Tiếp điểm trước có thể kết nối một tế bào quang điện tới tế bào liền kề theo một hướng mà môđun quang điện nằm trong đó hoặc, theo cách khác, tới đầu cuối của môđun quang điện. Một cách tương tự, tiếp điểm sau có

thể kết nối tế bào quang điện tới đầu cuối của môđun quang điện hoặc, theo cách khác, tới tế bào liền kề trong hướng thứ hai nằm trong môđun quang điện, tạo thành cấu hình chuỗi. Tiếp điểm trước hoặc tiếp điểm sau có thể kết nối tế bào quang điện tới đầu cuối bên ngoài của môđun quang điện mà nó nằm trong đó.

Nếu lớp phân giới có mặt trong thiết bị quang điện 100, thì lớp phân giới có thể được tạo thành từ số bất kỳ các vật liệu và có thể được bố trí giữa lớp bất kỳ trong các lớp khác nhau của thiết bị quang điện, nếu muốn. Lớp phân giới có thể lớp đệm hoặc lớp bộ phận mang ngăn cản sự phân tán của các ion hóa học từ, vào trong, hoặc đi qua đế 105 hoặc lớp khác của thiết bị 100. Ví dụ, một lớp phân giới được chứa trong thiết bị quang điện 100 có thể lớp chắn được tạo thành giữa lớp đế 105 và lớp TCO 110. Lớp chắn có thể được tạo thành từ vật liệu thích hợp bất kỳ, bao gồm, nhưng không giới hạn silic oxit, nhôm, oxit thiếc, hoặc oxit silic nhôm. Một ví dụ khác của lớp phân giới có thể là lớp đệm được tạo thành giữa lớp TCO 110 và lớp cửa sổ 115 để làm giảm sự tái kết hợp của các lỗ trống và các điện tử tại giao diện của lớp TCO 110 và lớp cửa sổ 115. Lớp đệm có thể được tạo thành từ vật liệu thích hợp bất kỳ nào, bao gồm nhưng không giới hạn ở, ví dụ, oxit thiếc, oxit kẽm, oxit thiếc kẽm, oxit thiếc được pha tạo kẽm, oxit indium, hỗn hợp của các oxit thiếc và kẽm, kẽm stannat, oxit magiê kẽm, kẽm oxysulfua, catmi magan sunfua, hoặc catmi magiê sunfua, hoặc các tổ hợp của các chất nêu trên.

Thiết bị quang điện 100 có thể chứa các thành phần khác (không được thể hiện) như, các thanh bus, việc đi dây bên ngoài, các việc khắc laser, v.v., ví dụ, khi thiết bị 100 tạo thành tế bào quang điện của môđun quang điện, nhiều tế bào quang điện có thể được kết nối nối tiếp để thu được điện thế mong muốn, như qua kết nối nối dây điện. Mỗi đầu cuối của các chuỗi kết nối các tế bào có thể được gắn vào điện trở thích hợp như dây hoặc thanh bus, để dẫn dòng được sinh ra tới các vị trí thuận tiện cho việc kết nối tới thiết bị hoặc hệ thống khác sử dụng dòng được sinh ra. Theo một số phương án thực hiện, laser có thể được sử dụng để khắc các lớp được lắng đọng của thiết bị quang điện 100 để chia thiết bị thành nhiều chuỗi tế bào được kết nối.

Quy trình sản xuất

Các lớp của thiết bị quang điện 100, 200 và các thiết bị được mô tả ở đây có thể được lắng đọng nhờ quy trình phun xạ. Nói chung, việc phun xạ bao gồm việc mọc của các nguyên tử từ bề mặt của vật liệu đích thông qua việc bắn phá năng lượng của các ion trên bề mặt của đích. Theo cách khác, các lớp có thể được tạo thành bởi quy trình lắng đọng thích hợp bất kỳ khác đã biết tới trong tình trạng kỹ thuật của sáng chế, bao gồm nhưng không giới hạn ở, lắng đọng xung laze (pulse laser deposition - PLD), lắng đọng hơi hóa học (chemical vapor deposition - CVD), lắng đọng điện hóa (electrochemical deposition - ECD), lắng đọng lớp nguyên tử (atomic layer deposition - ALD), việc bay hơi, hoặc lắng đọng vận chuyển hơi (vapor transport deposition - VTD).

Phương pháp sản xuất cấu trúc quang điện, thiết bị quang điện 100, ví dụ, sẽ được mô tả trên Fig.2, có thể chứa việc tạo thành các lớp liên tiếp trên đế. Trong bước thứ nhất 802, lớp TCO có thể được tạo thành trên lớp đế, như thủy tinh. Trong bước thứ hai 804, lớp cửa sổ có thể được lắng đọng qua đế chứa lớp TCO và lớp đế đã được áp dụng trước đó. Lớp cửa sổ có thể chứa thành phần bán dẫn loại n, ví dụ, hoặc lớp cửa sổ có thể bị bỏ qua. Theo bước tùy chọn thứ ba 806, lớp phân giới có thể được lắng đọng qua đế chứa lớp cửa sổ loại n, lớp TCO, và lớp đế đã được áp dụng trước đó.

Trong bước thứ tư 808, lớp hấp thụ có thể được lắng đọng qua đế chứa lớp (các lớp) phân giới tùy chọn, lớp cửa sổ loại n, lớp TCO, và đế. Việc lắng đọng lớp hấp thụ của bước thứ tư 808 có thể chứa việc lắng đọng của một hoặc nhiều lớp tiền chất yêu cầu bước ủ hoặc bước gia nhiệt (như được mô tả bên dưới) sau việc lắng đọng của chúng để tạo thành lớp hấp thụ. Theo các phương án thực hiện, trong đó, lớp hấp thụ được tạo thành từ một hoặc nhiều lớp tiền chất, lớp tiền chất thứ nhất, ví dụ CdSe, được lắng đọng qua cấu trúc đế được tiếp theo bởi việc lắng đọng của lớp tiền chất thứ hai, ví dụ CdTe, qua lớp tiền chất thứ nhất. Các lớp tiền chất được lắng đọng sau đó được ủ (xem bước 810) để tạo thành dạng lớp cuối cùng được mong muốn, ví dụ CdSeTe. Bước (các bước) ủ gây ra việc phân tán liên thông của Se qua suốt lớp CdSeTe.

Trong bước thứ năm 810, quy trình kích hoạt có thể được thực hiện trên các lớp được lắng đọng. Bước kích hoạt 810 có thể bao gồm việc đưa vật liệu chứa clo vào các lớp vật liệu bán dẫn, ví dụ catmi clorua (CdCl_2) làm dung dịch ngâm, phun hoặc bay hơi, và việc ủ được kết hợp của lớp hấp thụ ở nhiệt độ được tăng cao. Ví dụ, nếu CdCl_2 được sử dụng thì CdCl_2 có thể được áp dụng trên lớp hấp thụ như là dung dịch nước. Theo cách khác, lớp hấp thụ có thể được ủ với CdCl_2 bằng cách cho chảy liên tục hơi CdCl_2 qua bề mặt của lớp hấp thụ lớp suốt bước ủ. Theo cách khác, các vật liệu pha tạp clo cũng có thể được sử dụng như là MnCl_2 , MgCl_2 , NH_4Cl , ZnCl_2 , or TeCl_4 . Việc ủ thông thường có thể được thực hiện tại nhiệt độ khoảng 350°C - 475°C trong khoảng thời gian tổng cộng là 90 phút hoặc ít hơn, với thời gian thấm ướt bằng hoặc nhỏ hơn khoảng 60 phút.

Bước kích hoạt nhiều bước 810 có thể được sử dụng cho mỗi phương án trong các phương án thực hiện được mô tả ở đây. Với mỗi cơ chế kích hoạt mong muốn trong bước kích hoạt nhiều bước 810, như việc phát triển bán dẫn, việc phân tán clo, việc phân tán liên thông lưu huỳnh và/hoặc selen vào trong các lớp, có thể thu được năng lượng kích hoạt nhiệt khác. Sử dụng việc xử lý nhiều bước cho phép mỗi cơ chế kích hoạt được tối ưu hóa. Như là một ví dụ của việc xử lý kích hoạt nhiều bước, CdCl_2 có thể được áp dụng trong bước đơn được tiếp theo bởi việc ủ sử dụng profin nhiệt độ nhiều bước. Ví dụ, nhiệt độ ủ có thể tăng lên tới 425°C đầu tiên, được giữ ở đó trong khoảng thời gian (ví dụ, từ 1 đến 10 phút) và sau đó được tăng tiếp tới 450°C - 460°C và được giữ tại đó một khoảng thời gian bổ sung (ví dụ là từ 1 đến 10 phút) trước khi làm giảm nhiệt độ ủ ngược trở lại. Profin nhiệt độ này cho việc ủ ở trên tạo thành các đặc điểm tinh thể học khác nhau cho vật liệu CdTe khác với các đặc điểm của thiết bị được kích hoạt trong bước ủ đơn tại nhiệt độ 425°C hoặc theo cách khác tại nhiệt độ 450°C - 460°C . Như là một mở rộng hoặc một phương án thay thế cho cách tiếp cận này, nhiều ứng dụng CdCl_2 , mà mỗi ứng dụng được ghép cặp với việc ủ tại các thời gian được thay đổi và các nhiệt độ có thể cũng được sử dụng để thu được các đặc điểm lớp mong muốn. Trong bước thứ sáu 812, tiếp điểm sau có thể được tạo thành qua lớp hấp thụ loại p đã được kích hoạt.

Theo sáng chế này, bước làm sạch/làm thụ động hóa bổ sung có thể xuất hiện giữa bước kích hoạt 810 và việc tạo thành của tiếp điểm sau 812. Bước làm sạch/làm thụ động hóa này sẽ được mô tả chi tiết bên dưới, cùng với Fig 14.

Các biến thể của chồng bán dẫn

Số các biến thể cho chồng lớp bán dẫn được bộc lộ trong công bố đơn sáng chế quốc tế số WO PCT/US2015/015387, được kết hợp ở đây, cùng với các phương pháp tạo ra chúng. Ví dụ, theo một số phương án thực hiện, việc phân tán có thể được sử dụng để phối trộn các thành phần của hai hoặc hơn hai lớp liền kề. Theo một số phương án thực hiện, lớp cửa sổ loại n có thể được tạo thành từ catmi, lưu huỳnh và selen với các lượng thay đổi để tạo thành hợp chất $\text{CdS}_{1-x}\text{Se}_x$, trong đó x là trong khoảng giới hạn khoảng từ 1 đến 25 at%, hoặc theo cách khác giữa khoảng 5 đến 10 at%. Theo một số phương án thực hiện, lớp hấp thụ loại p có thể được tạo thành từ catmi, selen, và telur theo các lượng thay đổi để tạo thành hợp chất $\text{CdSe}_x\text{Te}_{1-x}$, trong đó x là trong khoảng giới hạn từ khoảng 1 tới khoảng 40 at%, hoặc theo cách khác giữa khoảng 10 tới khoảng 25 at%. Trong mỗi trường hợp, cửa sổ hoặc lớp hấp thụ có thể được phân loại, hoặc là theo bậc hoặc là liên tục trong suốt độ dày hoặc độ sâu của nó. Trong mỗi trường hợp, cửa sổ hoặc lớp hấp thụ có thể được thay đổi theo thành phần khi nó được lắng đọng, hoặc nó có thể được trải trên các lớp độc lập và được ủ để tạo ra việc phân tán của các nguyên tử từ một lớp tới lớp khác để làm thay đổi thành phần.

Trong công bố đơn quốc tế số WO PCT/US2015/015387 cần chú ý rằng, theo các phương án thực hiện có lớp hấp thụ catmi, selen, và telur, nồng độ cao hơn của Se ở gần lớp TCO 110 so với tiếp điểm sau 125 có thể cho phép tỉ lệ cao hơn của bức xạ tới được hấp thụ trong lớp hấp thụ 120. Dịch chuyển độ rộng vùng cấm gây ra bởi sự có mặt của Se trong lớp hấp thụ 120 xuất hiện để cho phép chuyển đổi tốt hơn năng lượng đỏ và hồng ngoại có bước sóng dài hơn được minh chứng bởi cạnh hấp thụ được dịch chuyển đỏ khi được đo sử dụng sự phụ thuộc bước sóng của hiệu suất lượng tử (quantum efficiency - QE) của các tế bào pin mặt trời. Điều này là thống nhất với việc trộn lẫn nhau mở rộng của của Te và Se và/hoặc gradien của Se nằm trong lớp hấp thụ CdSeTe 120 nhờ đó tạo ra hợp kim

có độ rộng vùng cấm thấp hơn. Ngoài ra, Se có thể cải thiện sự thụ động hóa của các biên hạt và các tiếp giáp, có thể được quan sát qua thời gian sống của khối cao hơn và việc tái kết hợp bề mặt bị giảm.

Các lớp tùy chọn khác và các cấu hình của chúng sẽ được bộc lộ trong các bằng sáng chế Mỹ sau, được kết hợp ở đây bằng cách viện dẫn: US 8,603,253; US 8,785,232; US 8,748,214; US 8,497,151; US 8,431,427; US 8,741,687; và US 8,525,021.

Fig.3 minh họa một phương án thực hiện của thiết bị quang điện 200 theo một phương án thực hiện của sáng chế. Các lớp của thiết bị quang điện 200 là tương tự như như thiết bị quang điện 100 trừ phần được mô tả bên dưới. Thiết bị quang điện 200 chứa lớp cửa sổ loại n 230 bao gồm catmi sulphoselenit (CdSSe) được lắng đọng qua lớp đế 205 và lớp TCO 210. Lớp hấp thụ loại p 220 được lắng đọng qua lớp CdSSe 230. Lớp CdSSe 230 và lớp hấp thụ loại p 220 tạo thành tiếp giáp p-n trong thiết bị quang điện 200. Tiếp điểm sau 225 được tạo thành bên trên lớp hấp thụ loại p 220. Lớp TCO 210 cho phép ánh sáng đi qua đó tới lớp cửa sổ bán dẫn 215 trong khi có tác dụng như điện cực ômic để vận chuyển các bộ phận mang điện tích được sinh ra nhờ ánh sáng ra khỏi vật thụ hấp thụ ánh sáng. Tiếp điểm sau 225 có tác dụng như là điện cực ômic thứ hai để vận chuyển các bộ phận mang điện tích được sinh ra nhờ ánh sáng.

Lớp CdSSe loại n 230 tạo thành lớp cửa sổ, nghĩa là, vùng loại n của tiếp giáp p-n nằm trong thiết bị quang điện 200. Độ dày của lớp CdSSe 230 có thể giữa 10nm tới 100nm hoặc theo cách khác là giữa khoảng 30nm và 75nm. Lớp CdSSe 230 có thể được tạo thành từ catmi, lưu huỳnh và selen với các lượng thay đổi để tạo thành hợp chất $\text{CdS}_{1-x}\text{Se}_x$, trong đó, x là nằm trong khoảng giới hạn khoảng từ 1 đến 25 at%, hoặc theo cách khác giữa khoảng từ 5 đến 10 at%. Tỷ lệ thành phần hoặc phần trăm nguyên tử (atomic percentage - at%) của hợp chất, ví dụ CdS_{1-x} , được xác định bằng cách so sánh số nguyên tử lưu huỳnh và số nguyên tử selen trong lượng đã cho của hợp chất với tổng số các nguyên tử lưu huỳnh và selen trong lượng đã cho. Ví dụ, trong đó, x = 10 at%, có 9 nguyên tử lưu huỳnh cho mọi lượng 1 nguyên tử selen trong lượng đã cho của hợp chất $\text{CdS}_{90}\text{Se}_{10}$.

Mặc dù các phương án thực hiện được bộc lộ ở đây có thể mô tả lớp CdSSe lớp như là lớp đơn nằm trong thiết bị, nhưng trong mỗi trường hợp, lớp CdSSe có thể chứa nhiều lớp CdSSe có thành phần thay đổi để tạo thành gradien liên tục hoặc thay đổi theo bậc của tỉ lệ lưu huỳnh so với selen. Ví dụ, lớp CdSSe 230 có thể được tạo thành như là lớp $\text{CdS}_{1-x}\text{Se}_x$ đơn, trong đó, x được giữ không đổi trong suốt quá trình tạo thành. Theo cách khác, lớp CdSSe 230 có thể được tạo thành liên tiếp như là nhiều lớp $\text{CdS}_{1-x}\text{Se}_x$ trong đó, x có trị số thay đổi cho mỗi lớp trong các lớp được tạo thành liên tiếp. Ví dụ, lớp $\text{CdS}_{1-x}\text{Se}_x$ thứ nhất có thể được lắng đọng, trong đó, $x = 5\text{at}\%$, và lớp $\text{CdS}_{1-x}\text{Se}_x$ thứ hai có thể được lắng đọng, trong đó, $x = 10\text{at}\%$. Hai lớp liền kề có thể cùng nhau tạo thành lớp CdSSe 230. Theo cách khác nữa, tỉ lệ của lưu huỳnh so với selen có thể được thay đổi liên tục trong suốt quá trình tạo thành sao cho, ví dụ, thành phần của lớp $\text{CdS}_{1-x}\text{Se}_x$ được tạo thành tại đầu cuối thứ nhất là $x = 5\text{at}\%$ và tại đầu cuối thứ hai là $x = 10\text{at}\%$, và trong đó, x thay đổi liên tục từ $5\text{at}\%$ đến 10% giữa các đầu cuối thứ nhất và thứ hai. Toàn bộ lớp được tạo thành có gradien liên tục có thể tạo thành lớp CdSSe 230.

Lớp hấp thụ loại p 220 có thể chứa vật liệu bán dẫn loại p để tạo thành vùng loại p của tiếp giáp p-n nằm trong thiết bị quang điện 200. Lớp hấp thụ 220 tốt hơn nếu hấp thụ các photon đi qua từ lớp cửa sổ CdSSe 230 để huy động các bộ phận mang điện tích. Lớp hấp thụ 220 có thể được tạo thành từ, ví dụ là CdTe. Lớp hấp thụ 220 được tạo thành từ CdTe còn có thể chứa các tạp chất hoặc các chất pha tạp trong vật liệu khối CdTe. Lớp hấp thụ 220 có thể có độ dày giữa 200nm đến 8000nm , hoặc theo cách khác có độ dày giữa 1000nm đến 3500nm . Lớp hấp thụ 220 có thể được tạo thành qua lớp cửa sổ CdSSe 230 nhờ quy trình lắng đọng, như lắng đọng vận chuyển hơi, lắng đọng lớp nguyên tử, lắng đọng bề hóa học, phún xạ, thăng hoa không gian đóng, hoặc quy trình thích hợp bất kỳ khác. Theo các phương án thực hiện dưới đây, các lớp tương tự trong phương án thực hiện thứ nhất được chứa và được đánh số một cách tương tự (được tăng thêm 100).

Theo một phương án thực hiện khác của sáng chế (không được thể hiện) tương tự như phần được thể hiện trên Fig.3, lớp CdS (không được thể hiện) được lắng đọng giữa lớp CdSSe 230 và lớp TCO 210. Trong suốt bước kích hoạt, như ở, lớp CdSSe 230 có thể

phân tán vào trong lớp hấp thụ CdTe, nhờ đó tạo thành lớp $\text{CdS}_x\text{Te}_y\text{Se}_z$ được phân loại tại giao diện giữa lớp CdSSe 230 và lớp hấp thụ 220, trong đó, $0 < x < 1$, $0 < y < 1$, $0 < z < 1$ at% và $x+y+z=1$. Ví dụ, theo phương án thực hiện chứa lớp CdSSe như là lớp cửa sổ hoặc như là lớp phân giới giữa lớp CdS và lớp hấp thụ CdTe, trong suốt bước kích hoạt, lớp CdSSe có thể phân tán vào trong lớp hấp thụ CdTe, nhờ đó tạo thành lớp $\text{CdS}_x\text{Te}_y\text{Se}_z$ được phân loại tại giao diện giữa lớp phân giới và lớp hấp thụ, trong đó, $0 < x < 1$, $0 < y < 1$, $0 < z < 1$ at% và $x+y+z=1$.

Theo phương án thực hiện khác của thiết bị quang điện 1000, như được mô tả trên Fig.4, lớp TCO 1010 được tạo thành trên lớp đế 1005. Các lớp của thiết bị quang điện 1000 là tương tự như các lớp của thiết bị quang điện 100 trừ phần được mô tả bên dưới. Lớp catmi selenit telurit (CdSeTe) loại p 1040 được tạo thành bên trên lớp TCO 1010. Lớp TCO 1010 có thể chứa vật liệu được pha tạp để trở thành loại n để tạo thành tiếp giáp p-n với lớp CdSeTe loại p 1040. Tiếp điểm sau 1025 được tạo thành bên trên lớp CdSeTe loại p 1040. Thiết bị quang điện 1000 cũng có thể chứa lớp cửa sổ (không được thể hiện) được bố trí giữa lớp TCO 1010 và lớp CdSeTe 1040. Lớp cửa sổ có thể được tạo thành từ ZnMgO , ZnSO , CdMgS , hoặc các vật liệu có độ rộng vùng cấm rộng và ổn định thích hợp khác như các vật liệu đã được bộc lộ ở trên liên quan tới thiết bị quang điện 100.

Lớp CdSeTe 1040, như là lớp hấp thụ loại p, sẽ tốt hơn nếu hấp thụ các photon đi qua từ lớp đế 1005 và lớp TCO 1010 để huy động các bộ phận mang điện tích. Độ dày của lớp CdSeTe 1040 có thể giữa khoảng 200nm tới 5000nm hoặc theo cách khác là giữa khoảng 500nm và 3500nm. Lớp CdSeTe 1040 có thể được tạo thành từ catmi, selen, và telua theo các lượng thay đổi để tạo thành hợp chất $\text{CdSe}_x\text{Te}_{1-x}$, trong đó, x là nằm trong khoảng giới hạn khoảng 1 tới khoảng 40 at%, hoặc theo cách khác là giữa khoảng 10 tới khoảng 25 at%.

Lớp CdSeTe 1040 có thể được sản xuất bằng quy trình lắng đọng, như lắng đọng vận chuyển hơi, lắng đọng lớp phân tử, lắng đọng bề hóa học, phún xạ, thăng hoa không gian đóng, hoặc quy trình thích hợp bất kỳ khác được ghi chú ở đây. Trong việc tạo thành lớp CdSeTe 1040 sử dụng quy trình yêu cầu việc bay hơi của bột, như lắng đọng vận chuyển

hơi, lớp CdSeTe 1040 có thể được tạo thành từ việc đồng bay hơi của hỗn hợp được phối trộn của bột CdSe và CdTe, hoặc việc bay hơi của bột CdSeTe trước khi tạo hợp kim. Thành phần của các bột được phối trộn cho việc đồng bay hơi hoặc thành phần của bột trước khi tạo hợp kim có thể được tùy chỉnh sao cho màng như được lắng đọng sẽ đạt được tỉ lệ thành phần $\text{CdSe}_x\text{Te}_{1-x}$ mong muốn. Theo cách khác, lớp CdSeTe có thể được tạo thành bằng cách lắng đọng liên tiếp lớp CdSe tiếp theo bởi việc lắng đọng lớp CdTe với quy trình ủ hoặc xử lý nhiệt sau đó để cho phép tạo hợp kim của hai lớp để đạt được profin thành phần $\text{CdSe}_x\text{Te}_{1-x}$ mong muốn (tức là, gradien của Se qua lớp CdSeTe 1040, trong đó x là trong khoảng từ khoảng 1 tới 40 at%, hoặc giữa khoảng 10 và khoảng 25 at%). Quy trình ủ hoặc xử lý nhiệt có thể là bước tách biệt trong quy trình sản xuất hoặc có thể xuất hiện đồng thời với việc lắng đọng sau đó hoặc việc ủ của lớp thiết bị quang điện khác, ví dụ việc lắng đọng của tiếp điểm sau 1025 hoặc việc ủ của lớp hấp thụ CdTe.

Lớp CdSeTe 1040 cũng có thể được tạo ra bằng quy trình lắng đọng tạo thành gradien của Se trong lớp CdSeTe 1040. Gradien có thể tạo thành trong nồng độ của Se liên kề lớp TCO 1010 và nồng độ thấp hơn của Se liên kề tiếp điểm sau 1052. Cần hiểu rằng nồng độ của Se liên kề tiếp điểm sau 1025 có thể bằng không, nếu muốn. Nồng độ của Se liên kề lớp TCO 1010 có thể thấp hơn nồng độ của Se liên kề tiếp điểm sau 1025, nếu muốn.

Cũng có thể có các gradien nồng độ Se khác. Ví dụ, có thể thu được các kết quả tích cực trong thiết bị quang điện 1000 có gradien mong muốn lớp CdSeTe 1040 với nồng độ của Se cao hơn lớp TCO liên kề 1010 và nồng độ Se thấp hơn, liên kề tiếp điểm sau 1025 bằng cách ủ chồng các lớp bao gồm CdSe (liên kề lớp TCO 1010)/CdSeTe/CdSe/CdTe (liên kề tiếp điểm sau 1025). Cũng thu được các kết quả có lợi trong thiết bị quang điện 1000 có gradien mong muốn trong lớp CdSeTe 1040 bằng cách ủ chồng chứa CdSe/CdTe. Hơn nữa, đã thu được các kết quả có lợi trong thiết bị quang điện 1000 có gradien mong muốn trong lớp CdSeTe 1040 bằng cách ủ và chồng chứa chồng các lớp CdSe/CdSeTe/CdTe dưới đây.

Theo một số phương án thực hiện, như được thể hiện trên Fig.5, nồng độ của Se trong lớp 1040 có thể thay đổi giữa nhiều vùng, như vùng thứ nhất 1040a và vùng thứ hai 1040b,

và các vùng có thể thay đổi một cách liên tục qua độ dày của các vùng tương ứng. Theo một số trường hợp, tỉ lệ thay đổi nồng độ trong các vùng tự bản thân nó có thể thay đổi qua một hoặc nhiều hơn một vùng trong các vùng, ví dụ, việc tăng trong một số vùng và giảm trong các vùng khác. Một cách tương tự, theo một số phương án thực hiện, vùng thứ nhất 1040a có thể có độ rộng vùng cấm là thấp hơn độ rộng vùng cấm của vùng thứ hai 1040b. Trong các trường hợp này, nồng độ của selen trong vùng thứ nhất 1040a so với vùng thứ hai 1040b có thể trong khoảng giới hạn sao cho độ rộng vùng cấm của vùng thứ nhất 1040a là thấp hơn độ rộng vùng cấm của vùng thứ hai 1040b.

Mặc dù các phương án thực hiện được bộc lộ trong các hình vẽ Fig. 4 và Fig.5 có thể mô tả lớp CdSeTe như là lớp đơn của lớp hấp thụ 1040 nằm trong thiết bị, nhưng trong mỗi trường hợp mà lớp CdSeTe có thể bao gồm nhiều lớp Cd, Se, CdSe, Cd(S, Se, Te) và/hoặc CdSeTe có thành phần thay đổi để tạo thành gradien (liên tục hoặc theo bậc) của tỉ lệ selen so với telua. Ví dụ, lớp CdSeTe 1040 có thể được tạo thành như là lớp $\text{CdSe}_x\text{Te}_{1-x}$ đơn trong đó, x được giữ không đổi trong suốt quá trình tạo thành. Theo cách khác, lớp CdSeTe 1040 có thể được tạo thành liên tiếp như là nhiều lớp $\text{CdSe}_x\text{Te}_{1-x}$ trong đó, x thay đổi trong trị số cho mỗi lớp trong các lớp được tạo thành liên tiếp. Ví dụ, lớp $\text{CdSe}_x\text{Te}_{1-x}$ thứ nhất có thể được lắng đọng, trong đó, $x = 10\text{at}\%$, và lớp $\text{CdSe}_x\text{Te}_{1-x}$ thứ hai có thể được lắng đọng, trong đó, $x = 5\text{at}\%$. Có hai lớp liên kế có thể cùng nhau tạo thành lớp CdSeTe 1040. Theo cách khác nữa, tỉ lệ của selen so với telua có thể được thay đổi liên tục trong suốt quá trình tạo thành sao cho, ví dụ, thành phần của lớp $\text{CdSe}_x\text{Te}_{1-x}$ được tạo thành tại đầu cuối thứ nhất là $x = 10\text{at}\%$ và tại đầu cuối thứ hai là $x = 5\text{at}\%$, và trong đó, x thay đổi liên tục từ 10at% đến 5% giữa các đầu cuối thứ nhất và thứ hai. Toàn bộ lớp được tạo thành có gradien liên tục có thể tạo thành lớp CdSeTe 1040. Theo cách khác, lớp CdSeTe 1040 được phân loại có thể được tạo thành từ quy trình lắng đọng nhiều lớp trong đó, mỗi lớp trong nhiều lớp chứa Se (tức là, Se, CdSe, CdSeTe, Cd(S, Se, Te), và dạng tương tự) và mỗi lớp trong các lớp có nồng độ của Se khác nhau. Ví dụ, lớp vật liệu thứ nhất để tạo thành lớp CdSeTe 1040 liền kề lớp TCO 1010 có thể có độ dày nhỏ hơn độ dày của các lớp tiếp theo nhưng có nồng độ của Se cao hơn. Ví dụ khác của việc lắng đọng nhiều lớp

của các vật liệu chứa S trong lớp vật liệu thứ nhất được lắng đọng liền kề lớp TCO 1010. Khi nhiều lớp được ủ để tạo thành lớp CdSeTe 1040, thì vật liệu của lớp thứ nhất và S có mặt trong đó có thể về cơ bản thể hiện chỉ liền kề lớp TCO 1010 hoặc S có thể được cho phép để phân tán trong suốt lớp 1040. Theo ví dụ khác nữa, việc lắng đọng nhiều lớp của các vật liệu để tạo thành lớp CdSeTe 1040 có nồng độ của Se giảm qua độ dày của chúng, và chứa S liền kề lớp TCO 1010.

Trong các quy trình chứa việc lắng đọng nhiều lớp, lớp CdSeTe 1040 chứa nhiều hạt được tách biệt bởi các biên hạt. Theo một số phương án thực hiện, nồng độ nguyên tử của selen trong các biên hạt là cao hơn nồng độ nguyên tử của selen trong các hạt. Theo một số phương án thực hiện, tỉ lệ của nồng độ nguyên tử trung bình của selen trong các biên hạt so với nồng độ nguyên tử trung bình của selen trong các hạt là lớn hơn khoảng 2. Theo một số phương án thực hiện, tỉ lệ của nồng độ nguyên tử trung bình của selen trong các biên hạt so với nồng độ nguyên tử trung bình của selen trong các hạt là lớn hơn khoảng 5. Theo một số phương án thực hiện, tỉ lệ của nồng độ nguyên tử trung bình của selen trong các biên hạt so với nồng độ nguyên tử trung bình của selen trong các hạt là lớn hơn khoảng 10.

Theo phương án thực hiện khác của thiết bị quang điện 1100, như được mô tả trên Fig.6, lớp cửa sổ 1115 được tạo thành bên trên lớp TCO 1110 qua lớp đế 1105. Các lớp của thiết bị quang điện 1100 là tương tự như các lớp của thiết bị quang điện 1000 trừ phần được mô tả dưới đây. Lớp CdSeTe loại p 1140 được tạo thành bên trên lớp cửa sổ 1115. Lớp cửa sổ 1115 tạo thành tiếp giáp p-n với lớp CdSeTe loại p 1140. Tiếp điểm sau 1125 được tạo thành bên trên lớp CdSeTe loại p 1140.

Theo một phương án thực hiện của sáng chế được mô tả trên Fig.7, thiết bị quang điện 1200 chứa lớp TCO 1210 được tạo thành qua lớp đế 1205. Các lớp của thiết bị quang điện 1200 là tương tự như các lớp của thiết bị quang điện 100 trừ phần được mô tả bên dưới. Lớp catmi sulfua selenit telurit ($\text{Cd}(\text{S}, \text{Se}, \text{Te})$) 1242 được tạo thành bên trên lớp TCO 1210. Tiếp điểm sau 1225 được tạo thành bên trên lớp $\text{Cd}(\text{S}, \text{Se}, \text{Te})$ loại p 1242. Lớp $\text{Cd}(\text{S}, \text{Se}, \text{Te})$ 1242 được tạo thành từ hợp chất của catmi, lưu huỳnh, selen, và telua,

$\text{CdS}_y\text{Se}_x\text{Te}_{1-(x+y)}$ trong đó, $0 < x < 1$, và $0 < y < 1$, và $0 < (x+y) < 1$, hoặc theo cách khác trong đó, $0,02 < x < 0,25$ và $0,02 < y < 0,25$, hoặc theo cách khác nữa, trong đó, $0,05 < x < 0,20$ và $0,02 < y < 0,05$. Lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 có độ dày giữa khoảng 200nm tới khoảng 5000nm, hoặc theo cách khác là có độ dày giữa khoảng 500nm tới khoảng 3500nm.

Theo một phương án thực hiện, lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 chứa nhiều lớp, trong đó, x và y thay đổi để tạo ra các nồng độ mong muốn tại các điểm khác nhau qua suốt độ dày của lớp. Ví dụ, theo một phương án thực hiện, cả x và y có thể thay đổi để tạo ra nồng độ lưu huỳnh và selen cao hơn liền kề lớp TCO 1210, và giảm trong suốt độ dày của lớp dịch chuyển xa khỏi lớp TCO 1210. Theo các phương án thực hiện khác, trị số của x hoặc y hoặc cả hai có thể được giữ không đổi qua suốt lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 giữa lớp TCO 1210 và tiếp điểm sau 1225.

Lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 có thể được sản xuất bằng quy trình lắng đọng, như lắng đọng vận chuyển hơi, lắng đọng lớp phân tử, lắng đọng bề hóa học, phún xạ, thăng hoa không gian đóng, hoặc quy trình thích hợp bất kỳ khác được ghi chú ở đây. Tuy nhiên, trong việc tạo thành lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 sử dụng quy trình yêu cầu việc bay hơi của bột, như lắng đọng vận chuyển hơi, lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ 1242 có thể được tạo thành từ việc đồng bay hơi của hỗn hợp được phối trộn của các bột CdS , CdSe và CdTe , hoặc việc bay hơi của bột $\text{Cd}(\text{S},\text{Se},\text{Te})$ trước khi tạo hợp kim. Thành phần của các bột được phối trộn cho việc đồng bay hơi hoặc thành phần của bột trước khi tạo hợp kim có thể được tùy chỉnh sao cho màng như được lắng đọng sẽ đạt được tỉ lệ thành phần $\text{CdS}_y\text{Se}_x\text{Te}_{1-(x+y)}$ mong muốn. Theo cách khác, lớp $\text{Cd}(\text{S},\text{Se},\text{Te})$ có thể được tạo thành bằng cách lắng đọng liên tiếp lớp CdS tiếp theo bởi việc lắng đọng lớp CdSeTe , hoặc các tổ hợp khác nhau của các hợp chất chứa catmi, lưu huỳnh, selen và telur, với quy trình ủ hoặc xử lý nhiệt sau đó để cho phép tạo thành hợp kim của hai lớp để đạt được tỉ lệ thành phần $\text{CdS}_y\text{Se}_x\text{Te}_{1-(x+y)}$ mong muốn. Quy trình ủ hoặc xử lý nhiệt có thể là bước tách biệt trong quy trình sản xuất hoặc có thể xuất hiện đồng thời với việc lắng đọng sau đó của còn lớp thiết bị quang điện, ví dụ là việc lắng đọng của tiếp điểm sau 1225.

Theo một phương án thực hiện khác của sáng chế được thể hiện trên Fig.8, thiết bị quang điện 1400 chứa lớp TCO 1410 được tạo thành qua lớp đế 1405. Lớp hấp thụ 1421 được tạo thành liền kề lớp TCO 1410. Lớp hấp thụ 1421 có thể được tạo thành thông qua việc ủ của lớp CdTe 1420 và lớp CdSe 1411, như được mô tả ở đây. Tiếp điểm sau 1425 được tạo thành bên trên lớp CdTe 1420, và điện cực kim loại sau 1427 được tạo thành bên trên tiếp điểm sau 1425. Lớp TCO 1410 có thể có độ dày mong muốn bất kỳ, như giữa khoảng 300 Å và khoảng 4500 Å, hoặc cụ thể hơn là giữa khoảng 300 Å và khoảng 800 Å, hoặc cụ thể hơn nữa là giữa khoảng 3500 Å và khoảng 4500 Å. Theo phương án thực hiện này, lớp TCO 1410 được hình thành từ nhiều lớp vật liệu chứa SnO₂ và SnO₂:F. Nếu nhiều hơn một lớp trong mỗi lớp SnO₂ và SnO₂:F có mặt thì các vật liệu có thể được thay đổi. Lớp CdSe 1411 được tạo thành trên lớp SnO₂ có độ dày khoảng 900-1500 Å. Lớp CdTe 1420 có độ dày khoảng 1,7-2,5 micron. Lớp CdTe 1420 có thể được tạo thành từ việc lắng đọng của lớp vật liệu đơn, hoặc lớp CdTe 1420 có thể được tạo thành từ việc lắng đọng của hai hoặc hơn hai lớp CdTe, Cd, và/hoặc Te. Tổ hợp của lớp CdSe 1411 và lớp CdTe 1420 lớp có thể có độ dày vào khoảng 0,5-3,5 micron, nếu muốn. Tiếp điểm sau 1425 được tạo thành từ ZnTe. Theo cách khác, tiếp điểm sau 1425 có thể được tạo thành từ lớp ZnTe và lớp hợp kim CdZnTe. Tiếp điểm sau 1425 cũng có thể chứa lớp Cu được bố trí trên đó với nồng độ của khoảng 0,01-1% Cu theo khối lượng nguyên tử. Điện cực kim loại sau 1427 được tạo thành từ lớp MoN_x liền kề tiếp điểm sau 1425, lớp crôm, và lớp nhôm được bố trí ở giữa đó. Lớp crôm có độ dày từ khoảng 0-200 Å, như khoảng 200 Å, lớp nhôm có thể có độ dày 700-1000 Å, như khoảng 750 Å, và lớp MoN_x có thể có độ dày từ khoảng 50-170 Å, như khoảng 170 Å.

Phương pháp sản xuất cấu trúc quang điện 1400 chứa các bước tương tự như các bước đã được mô tả ở trên và được thể hiện trên Fig.2 trừ việc lớp CdSe 1411 được lắng đọng trên lớp TCO 1410. Lớp CdSe 1411 có thể được lắng đọng sử dụng quy trình lắng đọng phún xạ. Lớp CdTe 1420a thứ nhất (lớp tiền chất) sau đó được lắng đọng trên lớp CdSe 1411. Lớp CdTe thứ hai 1420b (lớp tiền chất khác) sau đó được lắng đọng trên lớp CdTe thứ nhất 1420a. Khi lớp CdTe thứ hai 1420b đã được tạo ra ở đó, thì lớp CdTe 1420 được

tạo thành, như được thể hiện trên Fig.8a. CdSe 1411 và lớp CdTe 1420 sau đó được ủ để tạo thành hợp kim của chúng, CdSeTe, như là lớp hấp thụ 1421 như được thể hiện trên Fig.8. Các lớp nằm dưới, khi được ủ có thể tạo thành lớp hấp thụ 1421 có độ dày vào khoảng 0,5-3,5 micron, vào khoảng 1-3 micron, độ dày vào khoảng 1 micron, độ dày vào khoảng 3,0 micron, như được mong muốn. Quy trình ủ có thể tiêu thụ, về cơ bản là tất cả lớp CdSe 1411, hoặc một phần của lớp CdSe 1411 có thể nằm giữa lớp TCO 1410 và lớp hấp thụ CdSeTe 1421. Một cách tương tự, quy trình ủ có thể tiêu thụ về cơ bản là tất cả lớp CdTe 1420, hoặc một phần của lớp CdTe 1420 có thể nằm giữa lớp hấp thụ CdSeTe 1421 và tiếp điểm sau 1425.

Phương án thực hiện được thể hiện trên Fig.8b là tương tự như phương án thực hiện được mô tả liên quan tới Fig.8a với các phương pháp tạo thành từng lớp về cơ bản là giống nhau trừ việc lớp CdSeTe 1413 được lắng đọng trên lớp CdSe 1411 trước việc lắng đọng của lớp CdTe 1420 trong hoặc là việc lắng đọng lớp đơn của CdTe hoặc trong nhiều lớp CdTe. Lớp CdSe 1411, lớp CdSeTe 1413, và lớp CdTe 1420 sau đó được ủ để tạo thành lớp hấp thụ 1421 như được thể hiện trên Fig.8. Quy trình ủ có thể tiêu thụ về cơ bản là tất cả lớp CdSe 1411 hoặc một phần của lớp CdSe 1411 có thể nằm trong liên kết lớp TCO 1410. Một cách tương tự, quy trình ủ có thể tiêu thụ, về cơ bản là tất cả lớp CdTe 1420, hoặc một phần của lớp CdTe 1420 có thể nằm giữa lớp hấp thụ CdSeTe 1421 và tiếp điểm sau 1425.

Khi lớp hấp thụ 1421 được tạo thành (hoặc là từ cấu trúc được mô tả ở trên và được thể hiện trên Fig.8b), thì lớp hấp thụ 1421 sau đó được làm sạch để loại bỏ các tạp chất, các mảnh vụn, các oxit, và dạng tương tự đã được tạo thành trên đó. Lớp hấp thụ 1421 có thể được làm sạch với axit oxalic, axit clohydric, hoặc axit bất kỳ hoặc vật liệu làm sạch thích hợp khác. Lớp hấp thụ 1421 sau đó có thể được pha tạp với Cu. Ví dụ, nếu axit clohydric được sử dụng để làm sạch lớp hấp thụ 1421, thì lớp hấp thụ 1421 sau đó có thể được pha tạp với Cu trong nồng độ của khoảng 0,5-1,0ppm. Bước làm sạch axit clohydric có thể được kết hợp với bước pha tạp Cu, nếu muốn.

Tiếp điểm sau 1425 sau đó được lắng đọng trên lớp hấp thụ 1421 đã được làm sạch. Tiếp điểm sau 1425 có thể được tạo thành thông qua việc lắng đọng của lớp ZnTe đơn hoặc từ việc lắng đọng của lớp ZnTe liền kề lớp hấp thụ 1421 và lớp CdZnTe liền kề lớp ZnTe. Lớp CdZnTe có thể được tạo thành bằng cách lắng đọng lớp CdTe trên lớp ZnTe và sau đó ủ chúng để tạo thành hợp kim ở đó. Tiếp điểm sau có thể bao gồm lớp kép của lớp kim loại được tạo thành từ, về bản chất là kim loại được chọn từ nhôm, đồng, niken, vàng, bạc, molypden, vonfram, crôm hoặc các nitrit của chúng; và lớp thứ hai chứa CdZnTe, ZnTe, hoặc cả hai. Tiếp điểm sau 1425 cũng có thể chứa lớp Cu được bố trí ở đó với nồng độ của 0,01 -1% Cu theo khối lượng nguyên tử. Lớp Cu có thể được bố trí giữa lớp hấp thụ 1421 và tiếp điểm sau 1425, giữa các lớp tiếp điểm sau 1425, hoặc giữa tiếp điểm sau 1425 và điện cực kim loại sau 1427, nếu muốn. Điện cực kim loại sau 1427 sau đó được lắng đọng trên tiếp điểm sau 1425. Điện cực kim loại sau 1427 được tạo thành từ lớp MoN_x được tạo thành liền kề tiếp điểm sau 1425, sau đó là lớp nhôm, và sau đó là lớp crôm.

Fig.9 thể hiện thiết bị quang điện 1500 theo phương án thực hiện khác của sáng chế. Thiết bị quang điện 1500 là tương tự như thiết bị quang điện 1400 trên các hình vẽ Fig. 8 trừ việc thiết bị 1500 chứa lớp cửa sổ 1515 giữa lớp TCO 1510 và lớp hấp thụ 1521. Giống như thiết bị quang điện 1400, thiết bị quang điện 1500 chứa lớp đế 1505 với lớp TCO 1510 được tạo thành trên đó, lớp hấp thụ 1521, và tiếp điểm sau 1525 được bố trí giữa điện cực kim loại sau 1527 và lớp hấp thụ 1521. Lớp cửa sổ 1515 được tạo thành từ CdS.

Fig.10 thể hiện thiết bị quang điện 1600 tương tự như phương án thực hiện của các Fig. 8 trừ việc như được mô tả dưới đây. Lớp đế 1605 có lớp TCO 1610 được tạo thành từ $\text{SnO}_2\text{:F}$. Lớp đệm điện trở cao, không bị pha tạp 1612 được tạo thành từ SnO_2 được tạo thành qua lớp TCO 1610. Lớp đệm có độ dày vào khoảng 20nm-60nm với nồng độ bộ mang là từ 1×10^{17} tới $1 \times 10^{19} \text{cm}^{-3}$. Thiết bị quang điện 1600 không chứa lớp cửa sổ. Lớp hấp thụ 1620 được hình thành từ hợp phần được phân loại của $\text{CdSe}_x\text{Te}_{1-x}$. Độ rộng vùng cấm của lớp hấp thụ 1620 được giảm bởi sự có mặt của Se ở đó. Biến "x" nằm trong khoảng giới hạn giữa $0,05 < x < 0,30$ gần với lớp TCO 1610; và $x < 0,01$ tại khoảng cách từ khoảng 800nm tới khoảng 2000nm xa khỏi lớp TCO 1610. Cấu trúc tinh thể là kẽm được trộn lẫn

có cấu trúc vutzit lục giác dư <5% thể tích (nhỏ hơn khoảng 5 hạt cho mỗi 100). Độ dày tổng cộng của lớp hấp thụ 1620 nằm trong khoảng giới hạn từ khoảng 1500nm tới khoảng 4500nm. Lớp hấp thụ 1620 có thể được tạo thành bằng cách lắng đọng CdSe/CdTe, CdSe/CdSe_xTe_{1-x}/CdTe, CdTe/CdSe/CdTe, CdS_ySe_{1-y}/CdTe hoặc các chồng màng CdSe_xTe_{1-x}/CdTe tiếp theo bởi quy trình ủ tương tự như quy trình đã được mô tả ở trên liên quan tới Fig.8. Tiếp điểm sau 1625 được tạo thành từ ZnTe hoặc kết hợp của CdZnTe-ZnTe được tạo thành trên đó, với điện cực kim loại sau 1627 được tạo thành qua tiếp điểm sau 1625.

Theo phương án thực hiện trên Fig.10, việc xử lý ủ CdCl₂ sẽ được tạo ra. Cấu trúc được ủ trong sự có mặt của dòng CdCl₂ tại nhiệt độ đủ cao và trong thời gian đủ dài để thu được kích cỡ hạt màng ở giữa >2μm và với việc phân loại nồng độ Se liên tục. Các điều kiện thông thường để ủ có thể là tại nhiệt độ từ khoảng 420°C tới khoảng 460°C trong thời gian giữa khoảng 5 phút tới khoảng 60 phút. Việc bổ sung hóa chất của CdCl₂ để làm giảm nhiệt độ cùng tinh của hệ CdCl₂-CdTe có thể được sử dụng. Ví dụ, từ khoảng 20mg/l tới khoảng 200mg/l NaCl trong từ khoảng 50 gm/l tới khoảng 300 gm/l dung dịch CdCl₂ trong nước, có thể được thêm vào.

Thiết bị quang điện 1700 khác theo phương án thực hiện khác của sáng chế sẽ được thể hiện trên Fig.11. Phương án thực hiện của Fig.11 là tương tự như phương án thực hiện của Fig.10 trừ phần được mô tả ở dưới. Thiết bị quang điện 1700 chứa lớp đế 1705 có lớp TCO 1710 được tạo thành trên đó. Lớp đệm 1712 được tạo thành trên lớp TCO 1710. Để loại bỏ việc trộn lẫn của các vật liệu tạo thành lớp hấp thụ 1720 sẽ tạo thành profin Se liên tục với nồng độ Se đỉnh nằm tại giao diện giữa lớp đệm thiết bị 1712 và lớp hấp thụ 1720, trình tự lắng đọng được thay đổi sao cho bộ phận hấp thụ được tạo thành với nhiều lớp vật liệu chứa Se (tức là, Se, CdSe, và dạng tương tự). Lớp với nồng độ Se cao nhất được lắng đọng sau lớp có nồng độ Se thấp nhất. Theo phương án thực hiện trên Fig.11, lớp 1720a là CdTe hoặc CdSe_xTe_{1-x} phần mol Se thấp sẽ được lắng đọng đầu tiên, tiếp theo là việc lắng đọng của CdSe hoặc lớp CdSe_xTe_{1-x} phần mol Se lớn 1720b. Lớp khác 1720c là CdTe và/hoặc CdSe_xTe_{1-x} phần mol Se thấp sẽ được lắng đọng cuối cùng. Lớp khác 1720c có thể

là giống như lớp 1720a hoặc khác với nó miễn là lớp 1720c có nồng độ Se thấp hơn lớp 1720b. Việc xử lý CdCl_2 sau đó sẽ trộn lẫn các lớp 1720a, 1720b, 1720c nhờ đó tạo ra profin Se liên tục trong lớp hấp thụ 1720. Trong suốt việc xử lý CdCl_2 , Se phân tán vào giao diện giữa lớp đệm 1712 và lớp hấp thụ 1720, sẽ tạo thuận lợi cho việc thụ động hóa giao diện. Tuy nhiên, nồng độ Se tại giao diện là vẫn thấp hơn trong thiết bị, trong đó, CdSe hoặc $\text{CdSe}_x\text{Te}_{1-x}$ phần mol Se cao như của phần của trong 1720b, sẽ được lắng đọng đầu tiên. Trình tự lắng đọng này sẽ cải thiện việc sắp xếp của các băng dẫn bộ đệm và bộ hấp thụ trong khi không tác động tới việc thu thập hiện tại. Các tổn thất thu thập do CBO dịch chuyển băng dẫn bộ đệm/bộ hấp thụ quá mức sẽ được loại bỏ, trong khi profin nồng độ Se sẽ được tối ưu hóa để tối đa hóa việc hấp thụ ánh sáng và hiệu quả hoạt động của thiết bị.

Theo các phương án thực hiện bổ sung của sáng chế, lớp hấp thụ của các thiết bị quang điện được bộc lộ ở đây, ví dụ thiết bị quang điện 1400, 1500, 1600, và/hoặc 1700 có thể chứa lớp hấp thụ 1421, 1520, 1620, và/hoặc 1720 có thể có một trong số các thành phần sau để giải quyết vấn đề liên quan tới việc phân tán Se vào trong lớp CdTe của chúng trong suốt quá trình xử lý ủ để thu được profin Se mong muốn:

Cấu trúc thứ nhất tạo ra ba lớp chứa lớp CdSe có độ dày 0,15 μm tới khoảng 0,25 μm /lớp CdSeTe từ khoảng 0,25 μm tới khoảng 0.5 μm /và lớp CdTe từ khoảng 2,75 μm tới khoảng 3,25 μm . Lớp CdSeTe có thể là $\text{CdSe}_x\text{Te}_{1-x}$ trong đó, x là từ khoảng 10 at% tới khoảng 30 at% Se.

Cấu trúc khác tạo ra bốn lớp bao gồm CdSe dày từ khoảng 0,15 μm tới khoảng 0,35 μm /CdTe dày từ khoảng 0,75 μm tới khoảng 1,5 μm /CdSe dày từ khoảng 0,1 μm tới khoảng 0,25 μm / và CdTe dày khoảng 1,5 μm tới khoảng 3 μm .

Cấu trúc khác tạo ra bốn lớp bao gồm CdSe dày từ khoảng 0,15 μm tới khoảng 0,35 μm /CdTe dày từ khoảng 0,75 μm tới khoảng 1,5 μm /CdSeTe dày từ khoảng 0,1 μm tới khoảng 0,5 μm (có từ khoảng 10at% tới khoảng 30at% Se)/và CdTe dày từ khoảng 1,5 μm tới khoảng 3 μm .

Cấu trúc khác tạo ra năm lớp bao gồm CdSeTe dày từ khoảng 0,1 μm tới khoảng 0,5 μm (có từ khoảng 10 at% tới khoảng 30 at% Se)/CdSe dày từ khoảng 0,15 μm tới khoảng 0,35 μm /CdTe dày từ khoảng 0,75 μm tới khoảng 1,5 μm /CdSe dày từ khoảng 0,1 μm tới khoảng 0,25 μm /và CdTe dày từ khoảng 1,5 μm tới khoảng 3 μm .

Cấu trúc khác tạo ra năm lớp bao gồm CdSeTe dày từ khoảng 0,1 μm tới khoảng 0,5 μm (có từ khoảng 10 at% tới khoảng 30 at% Se) /CdSe dày từ khoảng 0,15 μm tới khoảng 0,35 μm /CdTe dày từ khoảng 0,75 μm tới khoảng 1,5 μm /CdSeTe dày từ khoảng 0,1 μm tới khoảng 0,5 μm (có từ khoảng 10 at% tới khoảng 30 at% Se) / và CdTe dày từ khoảng 1,5 μm tới khoảng 3 μm .

Trong mỗi cấu trúc từ a) đến e), sự có mặt của các CdSe, cụ thể là sự có mặt của CdSe như là lớp thứ ba hoặc thứ tư, làm giảm dòng chảy Se từ lớp CdSe thứ nhất do gradien nồng độ Se thấp. Lớp CdSe được cho phép trộn với lớp CdTe để tạo thành lớp hợp kim CdSeTe có độ dày đồng đều.

Với mỗi cấu trúc các trong cấu trúc từ a) đến e), quy trình kích hoạt thiết bị có thể được thực hiện (tức là việc phát triển của hạt bán dẫn, phân tán clo, lưu huỳnh và/hoặc phân tán liên lớp selen vào trong các lớp, và dạng tương tự). Theo một số phương án thực hiện của sáng chế, bước kích hoạt còn chứa quy trình trong đó, bề mặt CdTe được xử lý với dung dịch đậm đặc CdCl_2 cho khoảng thời gian từ khoảng 25 phút tới khoảng 40 phút. Quy trình kích hoạt thiết bị có thể được tiếp theo sau bởi quy trình nạp lại thứ nhất trong khoảng thời gian thứ nhất, vốn có thể được thực hiện trong một hoặc hai bước. Quy trình nạp lại sau đó sẽ được tiếp theo bởi bước nạp lại thứ hai có thời gian thứ hai nhỏ hơn thời gian thứ nhất để bù tại tổn thất Cl bất kỳ nào.

Đề cập tới Fig.12, phương án thực hiện thay thế được thể hiện, trong một số trường hợp, có các lớp tương tự như phương án thực hiện của Fig.1 và sử dụng các số chỉ dẫn tương tự (được tăng bởi 200) cho các phần tương tự. Do đó, thiết bị quang điện 300 chứa: chồng tiếp xúc phía trước 302 chứa đế 305 và lớp oxit dẫn trong suốt 310; chồng bán dẫn 304 chứa lớp cửa sổ 315 và lớp hấp thụ 320; và chồng tiếp điểm sau 306 chứa lớp tiếp xúc sau 325 và lớp điện cực kim loại 327. Phương án thực hiện này khác với phương án thực

hiện trên Fig.1 trong việc mô tả lớp oxit mỏng 330 được bố trí giữa lớp hấp thụ 320 và chồng tiếp xúc phía sau 306. Mặc dù được thể hiện như là một phần của chồng bán dẫn 304, nhưng nó có thể được xem như là phần đầu tiên của chồng tiếp xúc phía sau. Do lớp oxit 330 được bố trí giữa lớp bán dẫn và chồng tiếp xúc phía sau, nên loại mà nó được đặt vào sẽ ngẫu nhiên ở mức độ nào đó. Lớp oxit 330 có thể chứa với biến thể bất kỳ trong số các biến thể của chồng bán dẫn được mô tả ở đây.

Lớp oxit 330 này có thể chỉ dày vài angstrom, ví dụ từ khoảng 2 Å tới khoảng 100 Å hoặc từ khoảng 3 Å tới khoảng 50 Å, hoặc từ khoảng 5 Å tới khoảng 30 Å và có thể là lớp thụ động hóa và/hoặc lớp ngăn có thể được lắng đọng trong khi hoặc sau quá trình làm sạch ion plasma như được mô tả chi tiết hơn ở dưới. Với các lớp hấp thụ CdTe, hợp phần của lớp oxit có thể là CdTeO_3 . Lớp oxit 330 có thể là thụ động bằng cách sửa chữa phá hủy cấu trúc tinh thể gây ra bởi các quy trình làm sạch ướt hoặc khô, như sẽ được mô tả ở dưới. Lớp oxit 330 cũng hoạt động như là lớp ngăn chống lại việc phân tán đồng bất kỳ nào vùng tiếp xúc phía sau vào lớp hấp thụ và tiếp điểm trước. Đồng có thể là kết quả của các quy trình làm sạch ướt và khô, hoặc từ các lớp chồng tiếp xúc phía sau hoặc là như lớp kim loại hoàn chỉnh hoặc như chất pha tạp có chủ ý của các lớp này.

Quy trình làm sạch bằng plasma và đẩy oxi

Như được đề cập tới trước đây, các phương pháp theo sáng chế bao gồm việc làm sạch và thụ động hóa để tạo bề mặt phần hấp thụ để nhận các lớp khác như lớp tiếp xúc sau. Mặc dù bước làm sạch này sẽ được mô tả ở đây như là một phần của quy trình kích hoạt nhiều bước 810, nhưng nó cũng có thể được xem như là một phần của bước tạo hình phía sau 812. Nó xuất hiện giữa hai bước này. Plasma được sử dụng trong bước làm sạch.

Plasma đã được sử dụng trong nhiều quy trình khác nhau để điều chỉnh các bề mặt của vật liệu rắn, đôi khi để thay đổi năng lượng bề mặt của chúng. Trong một số trường hợp, các phiến bán dẫn đã được làm sạch bởi các xử lý plasma để loại bỏ các chất tạp nhiễm hữu cơ. Các plasma đã được sử dụng để loại bỏ các chất cản quang trong cả hai quy trình xử lý tro và khử váng. Các plasma là trạng thái vật lý thứ tư của vật chất có thể đạt được tại các trạng thái năng lượng cao nhất. Khí trở thành plasma khi chịu năng lượng vào, ion

hóa các phân tử thành các phần mang điện, và sẽ có hành vi khác với các va chạm phân tử động năng thông thường. Nhiều quy trình tạo thành plasma khác nhau là đã biết, phụ thuộc vào thiết bị, các điều kiện và năng lượng vào. Chúng bao gồm, ví dụ, plasma nguồn ion lớp anot (anode layer ion source - ALIS), plasma phóng điện phát sáng, plasma phối ghép dẫn, plasma dòng một chiều (direct current - DC), plasma tần số vô tuyến (radio frequency - RF), vi sóng, v.v.. Theo cách chỉ làm ví dụ, việc xử lý plasma ALIS thẳng được sử dụng trong việc tạo ra dữ liệu và các ví dụ dưới đây.

Các plasma nguồn ion lớp anot (anode layer ion source - ALIS) phụ thuộc vào dòng Hall được tạo ra dưới điện trường E và từ trường B chéo, được kết hợp, dẫn dòng gọi là dòng “Hall” quanh đường đóng đã được biết tới như là đường đua (racetrack). Đề cập tới Fig.13, thiết bị được tổng quát hóa 400 được thể hiện trong hình cắt cho việc xử lý plasma ALIS thẳng. Thiết lập chứa vỏ dẫn từ 402 mà tùy chọn có thể được làm mát, ví dụ, bởi các đường làm mát bằng nước bên trong (không được thể hiện). Vỏ 402 xác định kênh phóng bên trong 404 và chứa các phần mở 410 là, trong hình chiếu bằng, ở trong đường đóng ở dạng hình tròn, elip hoặc đường đua hình ovan. Các phần mở 410 do đó chia phần trên đầu của vỏ 402 thành catôt bên trong 402a và catôt bên ngoài 402b. Vỏ 402 được từ hóa bởi các nam châm vĩnh cửu 408, sao cho các gờ của các phần mở 410 tạo thành các cực N và S của từ trường B , được hình thành trong phần mở 410 giữa các cực theo hướng nằm ngang hoặc hướng X (từ phải sang trái trong Fig.13). Anôt 406 được sắp xếp trong kênh bên trong 404 trong vỏ 402 và được bố trí bên dưới phần mở đường đua 410. Anôt cũng có thể được làm nguội bởi các đường làm nguội bằng nước bên trong (không được thể hiện). Điện thế DC cỡ vài trăm tới vài ngàn vôn được áp dụng cho anôt so với catôt được nối đất, tạo ra điện trường, E , trong hướng Z (thẳng đứng trong Fig.13), là vuông góc với từ trường B . Nó tạo ra lực Lorenz tạo ra dòng Hall, tăng tốc các điện tử dọc theo đường tuyến đường đua theo hướng Y (vào trong hoặc ra khỏi mặt phẳng của trang trong Fig.13). Khí có thể ion hóa được từ nguồn khí (không được thể hiện) chảy vào trong kênh phóng bên trong 404 thông qua các đầu vào khí, (không được thể hiện). Các điện tử di chuyển quanh đường chạy trong dòng Hall giữa anôt 406 và các catôt 402a, 402b va chạm và ion hóa khí để tạo

thành plasma 412 được tăng tốc và được phóng từ các phần mở 410 và có thể được hướng về phía đế 414 như được thể hiện. Đế 414 có thể là CdTe hoặc bề mặt lớp bán dẫn khác theo sáng chế. Khi plasma được hướng về phía đế, thường nó được thực hiện trong buồng chân không. Các thiết bị tạo ra plasma ALIS là đã biết trong tình trạng kỹ thuật của sáng chế và có sẵn từ nhiều nguồn cung cấp, bao gồm, ví dụ, Veeco (Plainview, NY), General Plasma, Inc, (Tucson, AZ), Genco (Liverpool, UK), và Von Ardenne (Dresden, DE), do đó chỉ có phần mô tả vắn tắt về chúng được thể hiện ở đây.

Việc sử dụng của plasma trong bước làm sạch và/hoặc thụ động hóa có thể thay cho, hoặc cùng với các bước kích hoạt khác được mô tả ở trên. Trong các bước làm sạch/thụ động hóa, plasma có thể được sinh ra tại nhiệt độ phòng (khoảng 22 °C) và lên tới khoảng 400 °C, và từ khoảng 50 °C tới khoảng 350 °C. Plasma có thể được sinh ra bởi việc áp dụng các điện thế từ khoảng 700 vôn tới khoảng 3 kilovôn, ví dụ từ khoảng 1000 vôn tới khoảng 2000 vôn. Bước xử lý làm sạch bằng plasma có thể lâu từ 0,1 tới 20 phút, ví dụ từ 0,2 đến 10 phút, hoặc từ 0,2 đến 3 phút.

Thành phần của khí có thể ion hóa được có thể thay đổi phụ thuộc vào các phương án thực hiện, nhưng nói chung là chứa khí gốc khí trơ, như neon (Ne), argon (Ar), hoặc Xenon (Xe). Trong một số phương án thực hiện hai giai đoạn, chỉ có thành phần đơn của plasma cho các mục đích làm sạch. Trong các phương án thực hiện một giai đoạn, khí được ion hóa còn có thể chứa phần trăm oxy được trộn trong gốc khí trơ, oxy trải từ khoảng 1% tới khoảng 60%, hoặc từ khoảng 2% tới khoảng 55%, hoặc từ khoảng 3% tới khoảng 40%. Các phần trăm hỗn hợp oxy được biểu diễn dưới dạng % thể tích.

Fig.14 mô tả phần mô tả mở rộng của hai biến thể của các bước làm sạch và thụ động hóa, sẽ hiểu rằng các bước xử lý 802 đến 810 đứng trước, và bước 812 theo sau, là giống như được thể hiện trên Fig.2 và được mô tả ở trên. Hai biến thể xử lý là: quy trình hai giai đoạn và quy trình một giai đoạn. Một trong hai quy trình này có thể được sử dụng cùng với hoặc thay cho quy trình làm sạch thông thường. Các giai đoạn của quy trình làm sạch hai giai đoạn là (i) làm sạch bằng plasma trong khí quyển của khí trơ (bước 811a) và (2) phơi ra trước hoặc làm sạch oxy (bước 811b); trong đó giai đoạn đơn của quy trình làm sạch một

giai đoạn là làm sạch bằng plasma trong khí quyển khí trơ khác chứa oxi (bước 811c). Việc phơi ra trước khí quyển chứa oxi này có thể bao gồm (a) chảy oxi hoặc các hỗn hợp O₂/khí trơ qua kênh phóng của thiết bị ALIS trong bước làm sạch, hoặc (b) đưa khí vào trong buồng chân không mà trong đó việc làm sạch bằng plasma ALIS diễn ra, hoặc (c) dùng cả hai cách.

Việc làm sạch bằng plasma và bước phơi ra trước oxi được tin là quan trọng để cả làm sạch và làm thụ động hóa bề mặt phần hấp thụ, nhờ đó cho phép thực hiện việc lắng đọng của tiếp điểm sau hiệu quả hơn. Plasma được ion hóa làm sạch bề mặt phần hấp thụ của các chất còn dư cacbon, các ion kim loại không được liên kết, các hợp chất hữu cơ, và các chất tạp nhiễm khác có thể có mặt như là kết quả của việc lắng đọng, khắc hoặc các xử lý khác. Phụ thuộc vào các bước xử lý, lớp bề mặt của chất hấp thụ CdTe có thể giàu Te, như khi việc làm sạch ướt được sử dụng, hoặc giàu Cd, như khi màng được ủ nhiệt. Plasma loại bỏ phần mỏng (ví dụ từ khoảng 5 tới khoảng 500 ăngstrom, hoặc từ khoảng 10 tới khoảng 300 ăngstrom, hoặc từ khoảng 10 tới khoảng 200 ăngstrom) từ bề mặt của lớp hấp thụ để lộ ra nhiều thành phần tỷ lệ của lớp khối hơn. Nó loại bỏ các khuyết tật tinh thể bề mặt và để lại lớp tỷ lệ cho tiếp điểm sau phát triển tốt hơn, đặc biệt khi tiếp điểm sau được lắng đọng ngay sau đó, tức là không của việc loại bỏ thứ nhất thiết bị từ buồng chân không hoặc việc giải phóng chân không. Việc phơi ra trước oxi cũng làm thụ động hóa bề mặt và tạo ra lớp oxit mỏng như được thảo luận ở đầu đó.

Các phương pháp theo sáng chế có thể được áp dụng cho chồng lớp bán dẫn bất kỳ, bao gồm, mà không giới hạn ở các biến thể khác nhau đã được mô tả ở đây. Theo một phương án thực hiện, quy trình làm sạch bằng plasma một hoặc hai giai đoạn được áp dụng cho các lớp bán dẫn chứa (bao gồm được tạo thành từ) catmi và telua, như CdTe. Theo một phương án thực hiện, quy trình làm sạch bằng plasma một hoặc hai giai đoạn được áp dụng cho các lớp bán dẫn chứa (bao gồm được tạo thành từ) catmi, selen, và telua, như CdSe_xTe_{1-x}, trong đó x là trong khoảng giới hạn từ khoảng 1at% tới khoảng 40 at%, hoặc theo cách khác giữa khoảng 10at% và khoảng 25 at%. Theo một phương án thực hiện, quy trình làm sạch bằng plasma một hoặc hai giai đoạn được áp dụng cho các lớp bán dẫn chứa (bao gồm

được tạo thành từ) catmi, lưu huỳnh, và selen, như $\text{CdS}_{1-x}\text{Se}_x$, trong đó x là trong khoảng giới hạn từ khoảng 1at% tới khoảng 25 at%, hoặc theo cách khác giữa khoảng 5at% và khoảng 10 at%. Theo một phương án thực hiện, quy trình làm sạch bằng plasma một hoặc hai giai đoạn được áp dụng cho các lớp bán dẫn chứa (bao gồm được tạo thành từ) catmi, lưu huỳnh, selen, và telua, như $\text{CdS}_x\text{Te}_y\text{Se}_z$, trong đó $0 < x < 1$, $0 < y < 1$, $0 < z < 1$ at% và $x+y+z=1$.

Nói chung, tiếp điểm sau được hình thành trên hoặc được tạo ra trên lớp oxit được tạo thành trên chồng bán dẫn. Hợp phần của tiếp điểm sau đã được mô tả. Theo một số phương án thực hiện, tiếp điểm có thể được dùng trực tiếp trên và tiếp xúc với lớp oxit. Theo một số phương án thực hiện, tiếp điểm sau có thể được dùng trực tiếp trên lớp oxit mà không có việc loại bỏ nó đầu tiên từ chân không của buồng làm sạch bằng plasma. Nó được đề cập tới ở đây như là việc áp dụng tiếp điểm sau “tại chỗ.”

Các ví dụ về các phương án thực hiện khác

Theo một ví dụ cụ thể, các thiết bị PV được tạo thành sử dụng hoặc lai quy trình làm sạch bằng plasma hai giai đoạn hoặc một giai đoạn. Số đo hiệu suất được giám sát, dẫn ra từ thông số điền đầy (Fill Factor - FF), điện thế mạch hở (open circuit voltage - V_{oc}) và dòng ngắn mạch (short-circuit current - J_{sc}). Trong ví dụ này, quy trình làm sạch/thụ động hóa hai giai đoạn (811a, 811b) tạo ra khoảng 2,8% cải thiện tương đối về hiệu suất, và quy trình làm sạch/thụ động hóa một giai đoạn (811c) tạo ra khoảng 3,5% cải thiện tương đối. % tương đối được so với việc điều khiển được làm sạch bởi việc khắc hóa học ướt hơn là so với quy trình LION. Hiệu suất được cải thiện được tăng bởi quy trình làm sạch bằng plasma/thụ động hóa oxi thể hiện theo nhiều cách – như việc tăng trong V_{oc} , tăng trong FF, hoặc giảm trong điện trở hở mạch (open-circuit resistance - R_{oc}), hoặc tổ hợp bất kỳ của chúng.

Theo một ví dụ khác, mức độ cải thiện được đánh giá trong quy trình một giai đoạn như là hàm của thành phần oxi trong khí quyển O_2/Ar được trộn lẫn và độ dày sau đó của lớp oxit. Trong thí nghiệm này, thành phần oxi là khoảng 1% tới khoảng 100% có thể được sử dụng, hoặc từ khoảng 2% tới khoảng 55%, khoảng 3% tới khoảng 40%. Độ dày lớp oxit

thực tế, như được đo bởi huỳnh quang tia x phân tán bước sóng (wavelength dispersive x-ray fluorescence - WDXRF), được hiệu chỉnh với thành phần oxi. Các khí quyển oxi cao hơn (ví dụ cao hơn khoảng 60%) là có hại cho hiệu suất, được giả sử từ trước do lớp oxit là quá dày; trong đó các thành phần oxi vừa phải từ 5 tới 60% tạo ra các lớp oxit mỏng hơn và cải thiện tương ứng trong hiệu suất.

Các biên dạng thời gian thẩm ánh sáng bảy ngày đã thể hiện rằng các mức oxi cao hơn tạo ra các đường nghiêng có xu hướng hướng lên phía trên hoặc hướng xuống phía dưới theo thời gian, chỉ thị độ không ổn định và các thay đổi trong thông số được đo. Trái lại, các mức thấp hơn của oxi tạo ra các sản phẩm ổn định hơn, các đường có xu hướng bằng phẳng hơn theo thời gian, chỉ thị không chỉ là các điểm bắt đầu tốt hơn mà còn là độ thay đổi ít hơn.

Các thiết bị PV theo sáng chế cũng thể hiện độ ổn định dài hạn được cải thiện so với các thiết bị PV không được làm sạch plasma và thụ động hóa oxi như được mô tả ở trên. Các thiết bị PV được đưa vào xử lý thẩm ánh sáng (light soak - LS) trong 3 tuần và chỉ số độ ổn định (stability index - STBi) sẽ được xác định. STBi là thay đổi phần trăm trong hiệu suất qua thời gian LS so với hiệu suất đỉnh). Do đó, nó được tính toán cho từng ngày thứ N như sau $[\text{Hiệu suất (tại ngày N)} - \text{Hiệu suất đỉnh}] / \text{Hiệu suất đỉnh} \times 100$. Các hiệu suất đỉnh được đo bởi thực nghiệm cho thiết bị PV đối chứng không được xử lý với việc làm sạch bằng plasma và thụ động hóa oxi, và thiết bị PV thí nghiệm được xử lý trong quy trình làm sạch bằng plasma/thụ động hóa một giai đoạn với mức vừa phải của oxi trong khí quyển O_2/Ar . Hiệu suất đỉnh của thiết bị thí nghiệm là tốt hơn một chút so với đối chứng tại thời điểm đầu tiên, nhưng sau 21 ngày thì toàn bộ điểm phần trăm là tốt hơn. STBi của thiết bị PV được làm sạch plasma/thụ động hóa là lớn hơn 2,5 điểm phần trăm so với đối chứng tại 7 ngày, và lớn hơn 4 điểm phần trăm tại 21 ngày.

Không mong muốn bị ràng buộc bởi lý thuyết bất kỳ nào, người nộp đơn tin rằng hiệu suất được cải thiện được thể hiện bởi quy trình làm sạch bằng plasma và thụ động hóa oxi được mô tả ở trên – và lớp oxit mỏng được tạo thành – có thể đóng góp cho một hoặc nhiều lý thuyết sau. Thứ nhất, lớp oxit có thể tạo thành rào ngăn việc phân tán của đồng (Cu)

hoặc các chất tạp nhiễm khác vào trong lớp hấp thụ từ tiếp điểm sau hoặc các việc xử lý cho việc lắng đọng tiếp điểm sau. Thử nghiệm độ ổn định cải tiến hỗ trợ lý thuyết này. Một hỗ trợ bổ sung khác đến từ phân tích phổ khối ion thứ cấp theo thời gian bay (Time-of-Flight Secondary Ion Mass Spectrometry - TOFSIMS) của Cu nằm trong các thiết bị PV, thể hiện nồng độ Cu thấp hơn một chút trong thiết bị LION+O₂/Ar tại ngày số 0, nhưng nồng độ thấp hơn đáng kể sau 9 ngày của xử lý LS. Theo cách tương tự, tỉ lệ của Cu/Se tại lớp tiếp giáp tiếp điểm trước sau 9 ngày của xử lý LS là thấp hơn trong thiết bị LION+O₂/Ar hơn là so với thiết bị đối chứng không có quy trình xử lý LION.

Có thể thấy rằng việc xử lý làm sạch ALIS, so với việc khắc hóa học ướt truyền thống, là hiệu quả hơn tại việc loại bỏ các chất còn dư cacbon và các chất tạp nhiễm từ bề mặt bán dẫn. Dữ liệu D-SIMS xác nhận việc thu được mức giảm 60% trong mức cacbon tại giao diện, so với việc xử lý làm sạch ướt. Trong trường hợp của các chất hấp thụ CdTe, quy trình làm sạch/thụ động hóa cũng sửa chữa các khuyết tật và để lại bề mặt CdTe tỷ lệ lượng là có khả năng trợ giúp tốt hơn cho việc phát triển lớp epitaxi của – và tiếp xúc ômic với – lớp tiếp xúc sau đó. Tỷ lệ lượng này đã được xác nhận bởi các phương pháp XPS.

Thứ hai, lớp oxit có thể đủ mỏng để tạo ra lớp tạo đường hầm giữa chất hấp thụ và tiếp điểm sau. Lớp tạo đường hầm này nên tạo thành sự tái tổ hợp ít hơn của các điện tử và các lỗ trống trong vùng của tiếp điểm sau, sẽ tạo thành V_{oc} cao hơn. Dữ liệu được đề cập tới ở trên thể hiện V_{oc} tăng, hỗ trợ cho lý thuyết này. Dữ liệu WDXRF được đề cập tới ở trên xác nhận rằng có thu được các lớp oxit mỏng. Ví dụ, từ khoảng 2 Å tới khoảng 100 Å, hoặc từ khoảng 3 Å tới khoảng 50 Å, hoặc từ khoảng 5 Å tới khoảng 30 Å. Dữ liệu D-SIMS xác nhận sự có mặt của oxi tại giao diện tiếp điểm sau với lượng có bậc của độ lớn cao hơn đối chứng được làm sạch ướt.

Thứ ba, lớp oxit có thể tạo ra việc thụ động hóa của bề mặt phản hấp thụ. Một cơ chế bất kỳ hoặc tổ hợp của hai hoặc hơn hai cơ chế được đề xuất này có thể tạo ra giải thích cho các kết quả cải thiện đã quan sát được. Theo cách khác, lớp oxit mỏng có thể tạo ra việc thụ động hóa và lớp tạo đường hầm; hoặc rào ngăn chất pha tạp và việc thụ động hóa; hoặc rào ngăn chất pha tạp và việc tạo đường hầm; hoặc cả ba.

Từ phần mô tả nêu trên, người có hiểu biết trung bình trong lĩnh vực sẽ dễ dàng hiểu các đặc điểm thiết yếu của sáng chế này, có thể tạo ra các thay đổi khác nhau và biến đổi sáng chế để làm thích ứng nó với các việc sử dụng và các điều kiện khác nhau.

YÊU CẦU BẢO HỘ

1. Thiết bị quang điện có chõng tiếp xúc phía trước chứa lớp tiếp xúc phía trước, chõng bán dẫn được bố trí trên chõng tiếp xúc phía trước, và chõng tiếp xúc phía sau được bố trí trên chõng bán dẫn, trong đó chõng bán dẫn bao gồm catmi, telua, và ít nhất một chất trong số: lưu huỳnh, selen, kẽm, hoặc oxi; thiết bị quang điện còn bao gồm:

lớp oxit được tạo thành trên chõng bán dẫn giữa chõng bán dẫn và chõng tiếp xúc phía sau, lớp oxit đang dày từ khoảng 5 Å tới khoảng 50 Å.

2. Thiết bị quang điện theo điểm 1, trong đó chõng bán dẫn bao gồm selen.

3. Thiết bị quang điện theo điểm 1, trong đó chõng bán dẫn, bên cạnh lớp oxit, bao gồm:

lớp cửa sổ đang bao gồm catmi và ít nhất một chất trong số lưu huỳnh, selen, kẽm, hoặc oxi; và

lớp hấp thụ đang bao gồm catmi và telua và ít nhất một chất trong số lưu huỳnh, selen, hoặc kẽm.

4. Thiết bị quang điện theo điểm 1, trong đó chõng tiếp xúc phía sau bao gồm lớp kép của lớp kim loại và lớp thứ hai đang bao gồm kẽm và telua.

5. Thiết bị quang điện theo điểm 1, trong đó độ dày lớp oxit là dày từ khoảng 5 Å tới khoảng 30 Å.

6. Thiết bị quang điện theo điểm 1, trong đó lớp oxit bao gồm CdTeO_3 .

7. Thiết bị quang điện theo điểm 1, trong đó chõng bán dẫn, bên cạnh lớp oxit, bao gồm:

lớp loại n, đang bao gồm ít nhất một chất trong số: selenit catmi, oxit magiê kẽm, oxit thiếc catmi, oxit thiếc indi, oxit catmi được pha tạp indi, oxit kẽm được pha tạp nhôm, oxit kẽm indi, oxit thiếc kẽm, oxit catmi, oxit nhôm kẽm, oxit silic kẽm, oxit kẽm zirconi, oxit nhôm thiếc, oxit silic thiếc, hoặc oxit zirconi thiếc, và

lớp hấp thụ đang bao gồm catmi, telua, và ít nhất một chất trong số selen hoặc kẽm.

8. Thiết bị quang điện theo điểm 1, trong đó chồng bán dẫn, bên cạnh lớp oxit, bao gồm:

lớp loại n, đang bao gồm ít nhất một chất trong số: selenit catmi, oxit magiê kẽm, oxit thiếc catmi, oxit thiếc indi, oxit catmi được pha tạp indi, hoặc oxit catmi; và

lớp hấp thụ đang bao gồm catmi, telua, và selen.

9. Thiết bị quang điện theo điểm 1, trong đó chồng tiếp xúc phía sau bao gồm ít nhất một chất trong số: telua, vonfram, tantali, titan, paladi, niken, bạc, canxi, chì, thủy ngân, graphit, ZnTe, CdZnTe, ZnTe:Cu, HgTe, PbTe, nhôm, đồng, niken, vàng, bạc, molipden, crôm, nitrua indi, hoặc nitrua molipden.

10. Thiết bị quang điện đang có chồng tiếp xúc phía trước chứa lớp tiếp xúc phía trước, chồng bán dẫn được bố trí trên chồng tiếp xúc phía trước, và chồng tiếp xúc phía sau được bố trí trên chồng bán dẫn, trong đó chồng tiếp xúc phía sau bao gồm lớp kép của lớp kim loại và lớp thứ hai đang bao gồm kẽm và telua; thiết bị quang điện còn đang bao gồm:

lớp oxit được tạo thành trên chồng bán dẫn giữa chồng bán dẫn và chồng tiếp xúc phía sau, lớp oxit đang dày từ khoảng 5 Å tới khoảng 50 Å.

11. Thiết bị quang điện theo điểm 10, trong đó chồng bán dẫn bao gồm catmi, telua, và ít nhất một chất trong số selen, kẽm, hoặc oxi.

12. Thiết bị quang điện theo điểm 10, trong đó chồng bán dẫn bao gồm:

lớp loại n đang bao gồm catmi và ít nhất một chất trong số lưu huỳnh, selen, kẽm hoặc oxi; và

lớp loại p đang bao gồm catmi, telua, và ít nhất một chất trong số selen hoặc kẽm.

13. Thiết bị quang điện theo điểm 10, trong đó chồng tiếp xúc phía sau bao gồm ít nhất một chất trong số: telua, vonfram, tantali, titan, paladi, niken, bạc, canxi, chì, thủy ngân, graphit, ZnTe, CdZnTe, ZnTe:Cu, HgTe, PbTe, nhôm, đồng, niken, vàng, bạc, molipden, crôm, nitrua indi, hoặc nitrua molipden.

14. Thiết bị quang điện theo điểm 10, trong đó độ dày lớp oxit là dày từ khoảng 5 Å tới khoảng 30 Å.

15. Thiết bị quang điện theo điểm 10, trong đó lớp oxit bao gồm CdTeO_3 .

16. Thiết bị quang điện theo điểm 10, trong đó chồng bán dẫn, bên cạnh lớp oxit, bao gồm:

lớp loại n, đang bao gồm ít nhất một chất trong số: selenit catmi, oxit magiê kẽm, oxit thiếc catmi, oxit thiếc indi, oxit catmi được pha tạp indi, oxit kẽm được pha tạp nhôm, oxit kẽm indi, oxit thiếc kẽm, oxit catmi, oxit nhôm kẽm, oxit silic kẽm, oxit kẽm zirconi, oxit nhôm thiếc, oxit silic thiếc, hoặc oxit zirconi thiếc; và

lớp hấp thụ đang bao gồm catmi, telua, và ít nhất một chất trong số selen hoặc kẽm.

17. Thiết bị quang điện theo điểm 10, trong đó:

chồng bán dẫn bao gồm:

lớp loại n, đang bao gồm ít nhất một chất trong số: selenit catmi, oxit magiê kẽm, oxit thiếc catmi, oxit thiếc indi, oxit catmi được pha tạp indi, hoặc oxit catmi; và

lớp hấp thụ đang bao gồm catmi, telua, và selen;

chồng tiếp xúc phía trước bao gồm lớp đế và lớp oxit dẫn trong suốt; và

chồng tiếp xúc phía sau bao gồm lớp tiếp xúc phía sau và lớp điện cực kim loại, trong đó lớp tiếp xúc phía sau là trực tiếp ở trên và trong tiếp xúc với lớp oxit.

18. Thiết bị quang điện đang bao gồm:

chồng tiếp xúc phía trước đang bao gồm oxit dẫn trong suốt;

chồng bán dẫn được bố trí qua chồng tiếp xúc phía trước, trong đó chồng bán dẫn bao gồm catmi, telua, và ít nhất một chất trong số: selen, kẽm, hoặc oxi;

lớp oxit trên chồng bán dẫn, lớp oxit đang có độ dày từ khoảng 2 Å tới khoảng 100 Å; và

chồng tiếp xúc phía sau qua lớp oxit.

19. Thiết bị quang điện theo điểm 18, trong đó độ dày lớp oxit là từ khoảng 3 Å tới khoảng 50 Å.

20. Thiết bị quang điện theo điểm 18, trong đó chồng tiếp xúc phía sau bao gồm ít nhất một chất trong số ZnTe, CdZnTe, hoặc ZnTe:Cu.

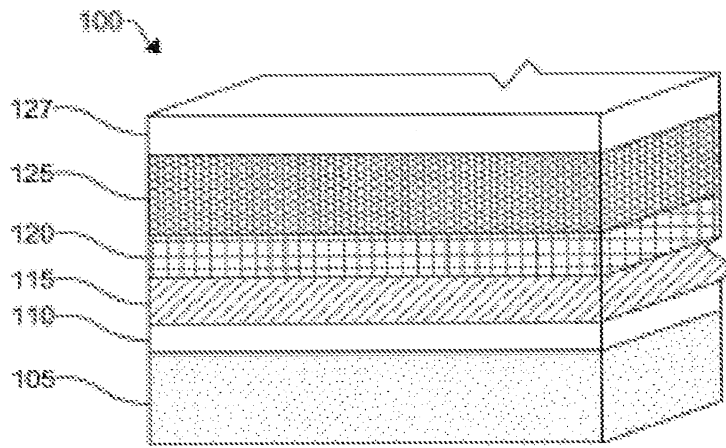


FIG. 1

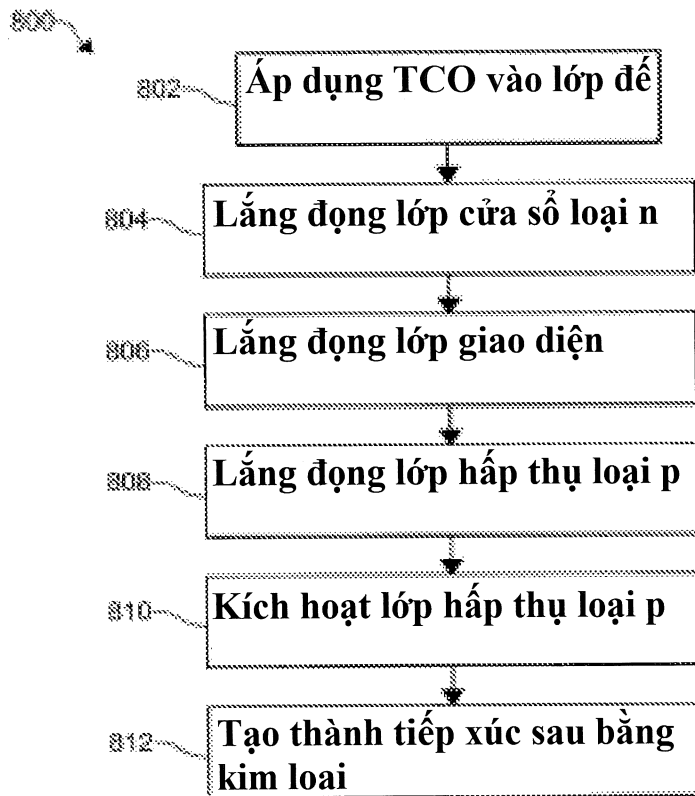


FIG. 2

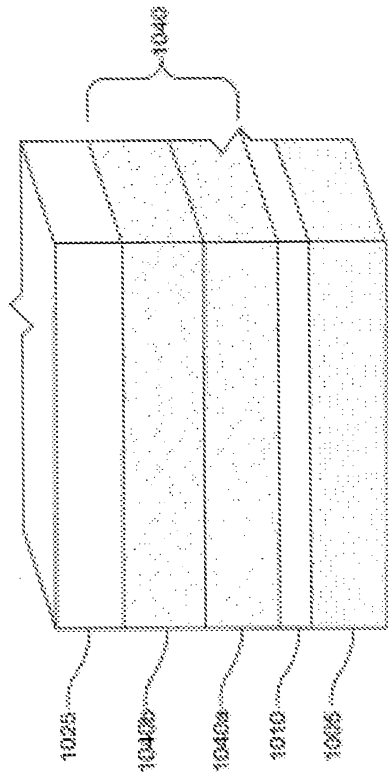


FIG. 5

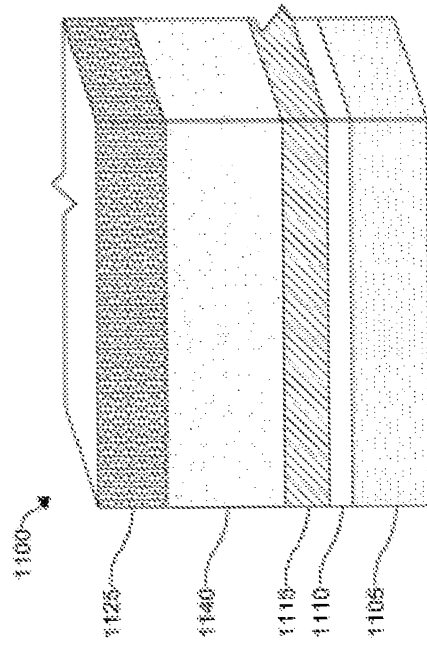


FIG. 6

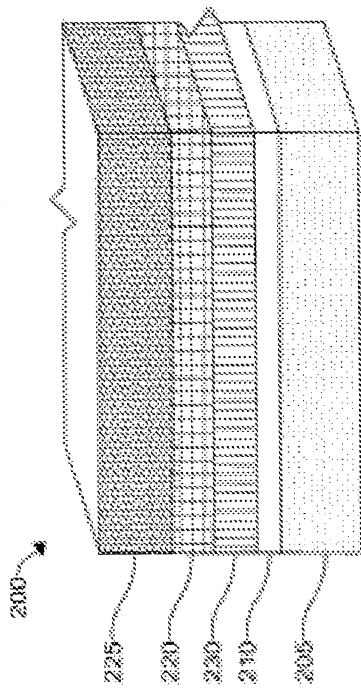


FIG. 3

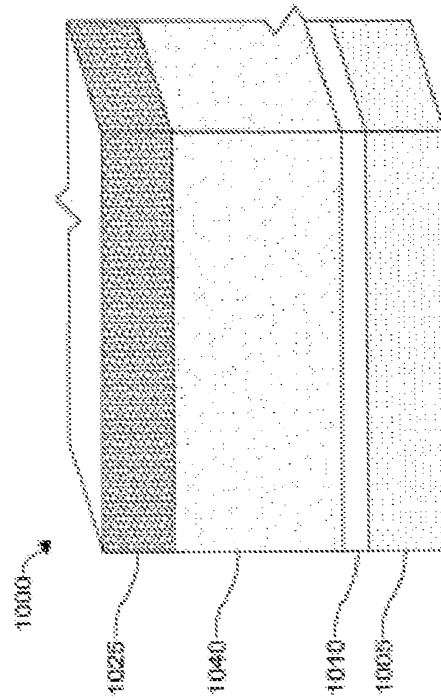


FIG. 4

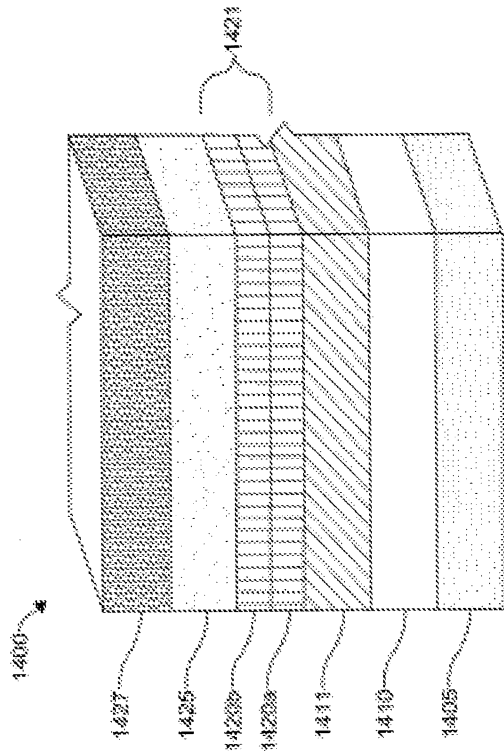


FIG. 8a

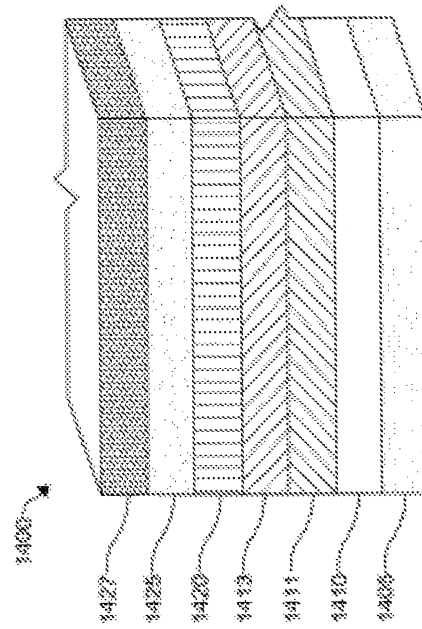


FIG. 8b

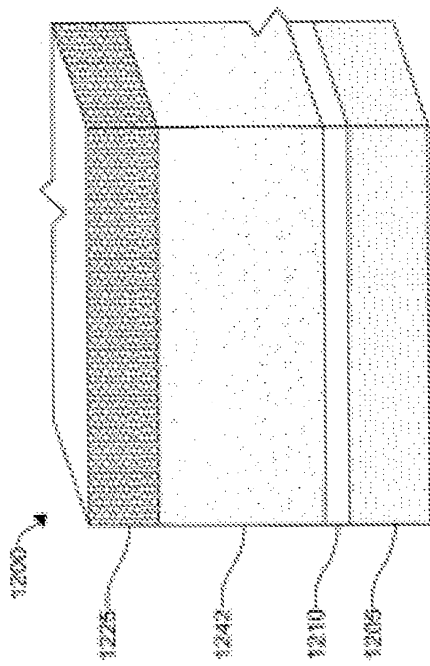


FIG. 7

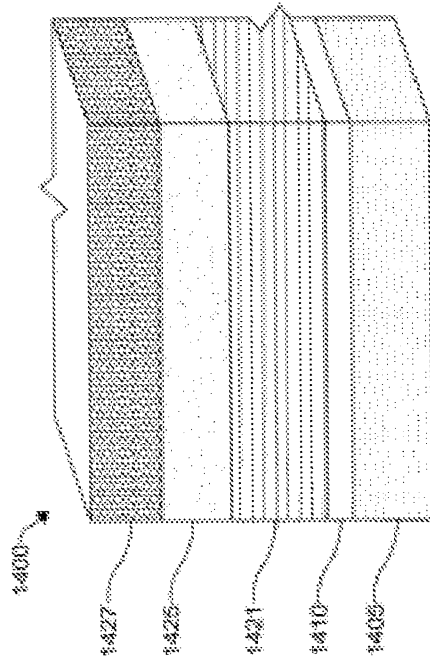


FIG. 8

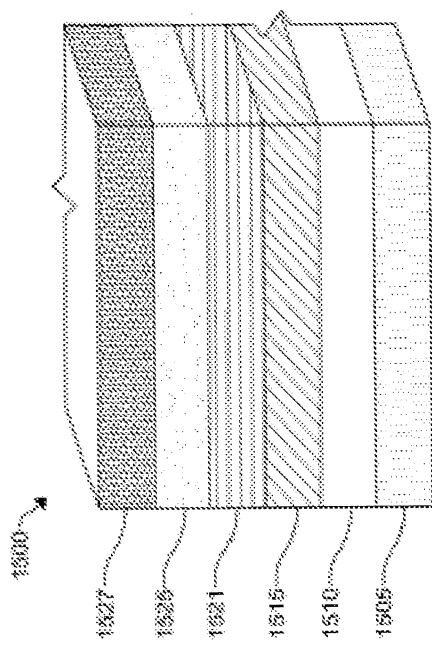


FIG. 9

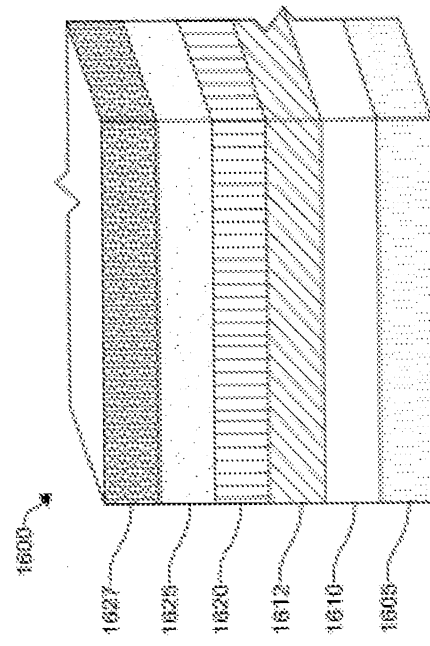


FIG. 10

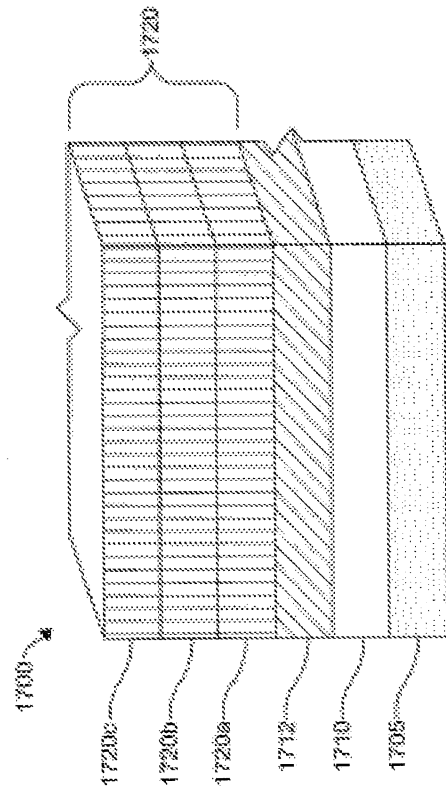
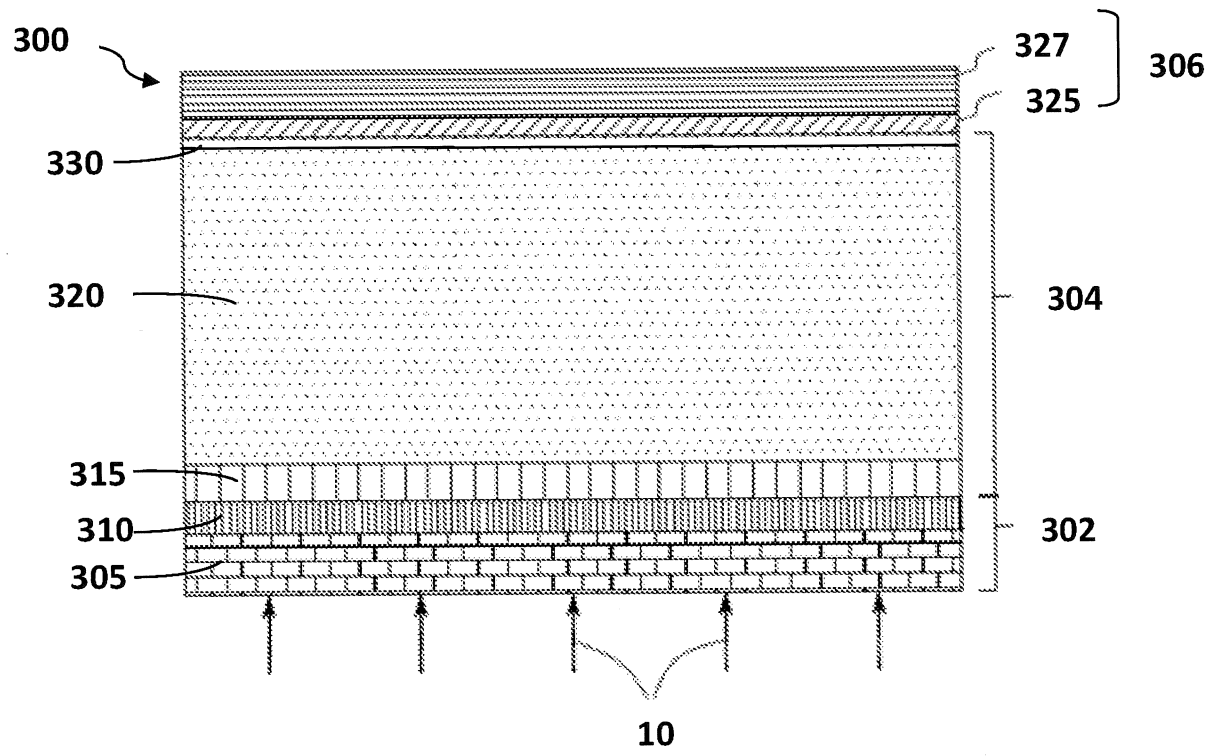
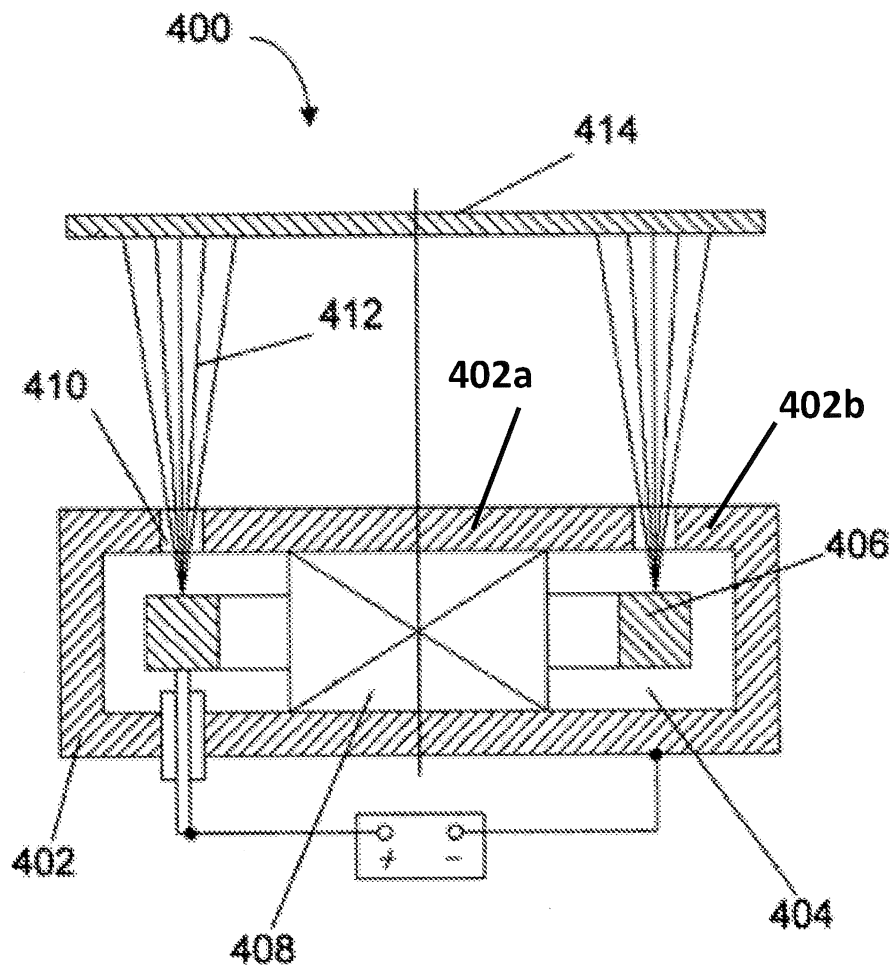


FIG. 11

**Fig. 12**

**Fig. 13**

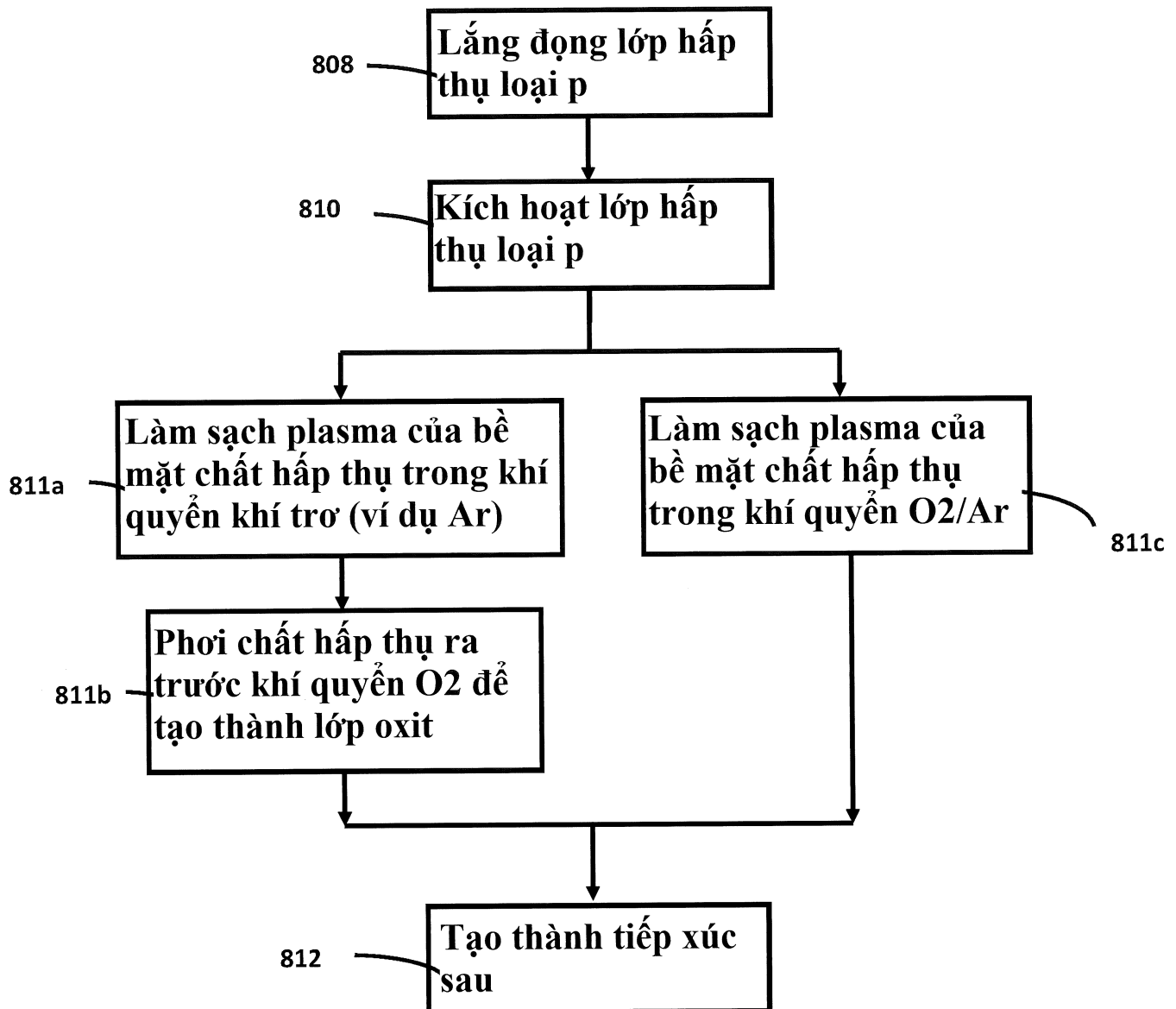


Fig. 14