



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0034603

(51)⁸ G02F 1/1333; H01L 27/32

(13) B

(21) 1-2017-05149

(22) 19/12/2017

(30) 10-2017-0111274 31/08/2017 KR

(45) 25/01/2023 418

(43) 25/03/2019 372A

(73) LG Display Co., Ltd. (KR)

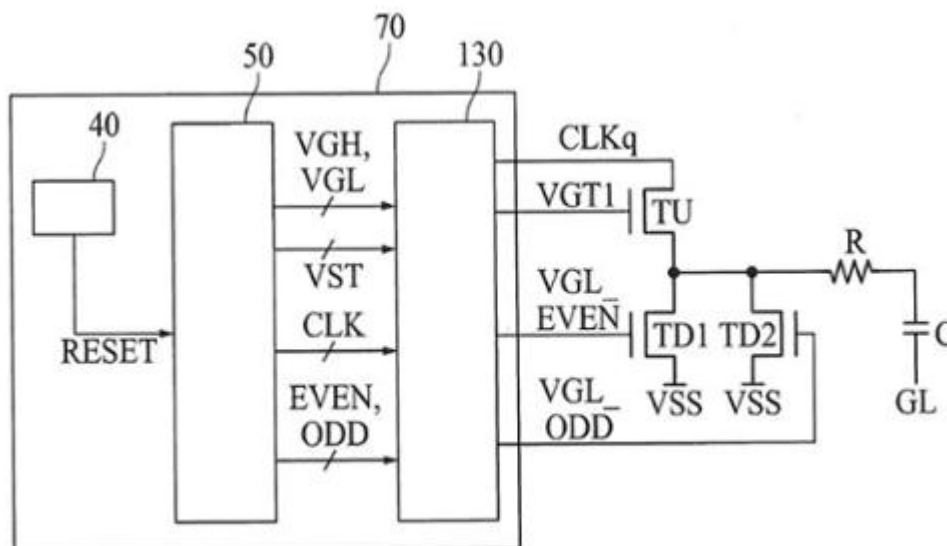
LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) JinWoo PARK (KR); Seokyu JANG (KR); ChangBok LEE (KR).

(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề cập đến thiết bị hiển thị mà có thể làm tăng tuổi thọ thiết bị của bộ điều vận công bằng cách duy trì sự cân bằng việc thoái hóa trong số nhiều các tranzito kéo xuống, trong đó, thiết bị hiển thị có thể bao gồm bảng hiển thị để hiển thị hình ảnh, bộ điều vận công để cấp tín hiệu công đến bảng hiển thị, và bộ điều khiển định thời để cấp tín hiệu điều khiển bộ điều vận công đến bộ điều vận công, trong đó, bộ điều khiển định thời được thiết lập theo cách sao cho nó bị tắt cho đến sau khi tranzito định trước trong số nhiều tranzito kéo xuống bên trong bộ điều vận công được điều vận bằng cách sử dụng tín hiệu được thiết lập lại được cấp từ mạch tích hợp được thiết lập lại.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị.

Tình trạng kỹ thuật của sáng chế

Với sự tiến bộ của xã hội được định hướng thông tin, các công nghệ liên quan đến thiết bị hiển thị để hiển thị hình ảnh hoặc ảnh vẽ của thông tin thấy được đã và đang được phát triển và nghiên cứu. Thiết bị hiển thị có thể bao gồm bảng hiển thị, bộ điều vận công, bộ điều vận dữ liệu, bộ điều khiển định thời, và một tập. Bảng hiển thị bao gồm các đường công, các đường dữ liệu, và nhiều điểm ảnh mà được bố trí ở các chỗ giao của công và các đường dữ liệu và được cấp các điện áp dữ liệu của các đường dữ liệu khi tín hiệu công được cấp đến các đường công.

Bộ điều vận công cấp tín hiệu công đến các đường công. Bộ điều vận dữ liệu bao gồm mạch được tích hợp bộ điều vận nguồn (dưới đây, được gọi là " IC bộ điều vận nguồn") để cấp các điện áp dữ liệu đến các đường dữ liệu. Bộ điều khiển định thời điều khiển thao tác định thời của mỗi trong số bộ điều vận công và bộ điều vận dữ liệu, và cấp dữ liệu video kỹ thuật số đến bộ điều vận dữ liệu.

Để điều vận thiết bị hiển thị, bộ điều vận công bật/tắt tranzito kéo lên để cấp điện áp mở công đến các đường công và tranzito kéo xuống để cấp điện áp đóng công đến các đường công. Để điều vận thiết bị hiển thị, khoảng thời gian bật lên của tranzito kéo xuống tương đối dài hơn khoảng thời gian bật lên của tranzito kéo lên. Trong trường hợp này, tranzito kéo xuống thoái hóa nhanh nhất. Để khắc phục vấn đề này, nhiều tranzito kéo xuống có thể được bố trí. Ví dụ, bộ điều vận công có thể được bố trí các tranzito kéo xuống thứ nhất và thứ hai được sắp xếp song song.

Trong trường hợp giải pháp kỹ thuật liên quan, nếu thiết bị hiển thị được bật lên, tranzito kéo xuống thứ nhất bật lên sớm hơn tranzito kéo xuống thứ hai. Trong trường hợp này, tranzito kéo xuống thoái hóa nhanh nhất. Do đó vì chu kỳ thay thế của tranzito kéo xuống thứ nhất và tranzito kéo xuống thứ hai được tăng lên, khó để duy trì việc cân bằng giữa mức thoái hóa của tranzito kéo xuống thứ nhất và mức thoái hóa của tranzito kéo xuống thứ hai. Nếu việc cân bằng mức thoái hóa không được duy trì trong nhiều tranzito kéo xuống, tuổi thọ thiết bị của bộ điều vận công sẽ bị rút ngắn.

Bản chất kỹ thuật của sáng chế

Do đó, sáng chế này đề cập đến thiết bị hiển thị mà gần như ngăn ngừa một hoặc nhiều vấn đề do các sự hạn chế và các nhược điểm của giải pháp kỹ thuật liên quan.

Một khía cạnh của sáng chế này là để tạo ra thiết bị hiển thị mà có thể làm tăng tuổi thọ thiết bị của bộ điều vận công bằng cách duy trì mức cân bằng việc thoái hóa trong số nhiều tranzito kéo xuống.

Các dấu hiệu và các khía cạnh bổ sung sẽ được trình bày trong phần mô tả sau đây, và một phần sẽ rõ ràng từ phần mô tả, hoặc có thể được nhận ra thông qua việc áp dụng thực tế sáng chế được đề xuất trong bản mô tả này. Các dấu hiệu và các khía cạnh khác của sáng chế có thể thu được và thu được bởi kết cấu cụ thể chỉ ra rằng trong phần mô tả được thể hiện, hoặc có thể xuất phát từ đó, và các điểm yêu cầu bảo hộ của nó cũng như các hình vẽ kèm theo.

Để đạt được khía cạnh này và khía cạnh khác của sáng chế, như được kết hợp và được mô tả rộng trong bản mô tả này, thiết bị hiển thị bao gồm bảng hiển thị để hiển thị hình ảnh; bộ điều vận công để cấp tín hiệu công đến bảng hiển thị; và bộ

điều khiển định thời để cấp tín hiệu điều khiển bộ điều vận công đến bộ điều vận công, trong đó, bộ điều khiển định thời được thiết lập theo cách sao cho nó được bật lên cho đến khi sau khi một tranzito định trước trong số nhiều tranzito kéo xuống bên trong bộ điều vận công được điều vận bằng cách sử dụng tín hiệu được thiết lập lại được cấp từ mạch tích hợp được thiết lập lại.

Cần phải hiểu rằng cả hai phần mô tả chung nêu trên và phần mô tả chi tiết sau để làm ví dụ và giải thích và được dự định để tạo ra sự giải thích tiếp về sáng chế như được yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, mà được bao gồm để tạo ra sự hiểu hơn về sáng chế và được kết hợp và cấu thành một phần của đơn sáng chế này, thể hiện các phương án của sáng chế và cùng với phần mô tả đóng vai trò giải thích các nguyên lý khác nhau. Trên các hình vẽ:

Fig.1 là sơ đồ khối thể hiện thiết bị hiển thị theo sáng chế này;

Fig.2 là sơ đồ mạch thể hiện một ví dụ của điểm ảnh theo sáng chế này;

Fig.3 là sơ đồ mạch thể hiện ví dụ khác của điểm ảnh theo sáng chế này;

Fig.4 là sơ đồ khối thể hiện một ví dụ của bộ điều vận công thứ nhất theo sáng chế này;

Fig.5 là sơ đồ khối thể hiện một ví dụ của bộ điều vận công thứ hai theo sáng chế này;

Fig.6 là sơ đồ khối thể hiện tầng thứ q theo sáng chế này;

Fig.7 là sơ đồ mạch thể hiện một ví dụ của tầng theo sáng chế này;

Fig.8 là sơ đồ khối thể hiện bảng mạch in điều khiển, tập, và các bộ điều vận công thứ nhất và thứ hai theo sáng chế này;

Fig.9 là sơ đồ khối thể hiện bảng mạch in điều khiển, tranzito kéo lên, tranzito kéo xuống thứ nhất, và tranzito kéo xuống thứ hai theo phương án thứ nhất của sáng chế này;

Fig.10 là đồ thị dạng sóng thể hiện điện áp nguồn cấp năng lượng ảo, điện áp nguồn cấp năng lượng logic, điện áp nguồn cấp năng lượng cảm biến, và dữ liệu video kỹ thuật số theo sáng chế này;

Fig.11 là sơ đồ khối thể hiện bảng mạch in điều khiển, tranzito kéo lên, tranzito kéo xuống thứ nhất, và tranzito kéo xuống thứ hai theo phương án thứ hai của sáng chế này;

Fig.12 là sơ đồ khối thể hiện bảng mạch in điều khiển, tranzito kéo lên, và các tranzito kéo xuống thứ nhất đến thứ N (trong bản mô tả này, 'N' là số nguyên bằng 3 hoặc lớn hơn 3) theo phương án thứ ba của sáng chế này; và

Fig.13 là sơ đồ khối thể hiện bảng mạch in điều khiển, tranzito kéo lên, và các tranzito kéo xuống thứ nhất đến thứ N theo phương án thứ tư của sáng chế này.

Mô tả chi tiết sáng chế

Việc tham chiếu bây giờ sẽ thực hiện về chi tiết với các phương án để làm ví dụ, các ví dụ của chúng được minh họa trên các hình vẽ kèm theo. Bất kỳ chỗ nào có thể, các số chỉ dẫn giống nhau sẽ được sử dụng suốt các hình vẽ để đề cập đến các bộ phận giống nhau hoặc tương tự. Các ưu điểm và các dấu hiệu của sáng chế này, và các phương pháp thực hiện của nó sẽ được làm sáng tỏ qua các phương án sau được mô tả với việc tham chiếu đến các hình vẽ kèm theo. Tuy nhiên, sáng chế này có thể được kết hợp theo các dạng khác nhau và không nên được hiểu là hạn chế ở các phương án được trình bày trong bản mô tả này. Hơn nữa, các phương án này được tạo ra sao cho sáng chế này sẽ rõ ràng và đầy đủ, và sẽ bao phủ một cách hoàn toàn

phạm vi của sáng chế với người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng. Ngoài ra, sáng chế chỉ được xác định bởi các phạm vi của các điểm yêu cầu bảo hộ.

Hình dạng, kích thước, tỷ lệ, góc, và số lượng được bộc lộ trên các hình vẽ để mô tả các phương án của sáng chế này chỉ để làm ví dụ, và do đó, sáng chế không bị hạn chế ở phần mô tả chi tiết được thể hiện. Các số chỉ dẫn giống nhau đề cập đến các chi tiết giống nhau xuyên suốt. Trong phần mô tả sau, khi việc mô tả chi tiết sáng chế về chức năng hoặc kết cấu đã biết có liên quan xác định làm không rõ nghĩa một cách không cần thiết phần quan trọng của sáng chế này, việc mô tả chi tiết sẽ được bỏ qua.

Trong trường hợp ở đó ‘bao gồm’, ‘có’, và ‘gồm có’ được mô tả trong bản mô tả này được sử dụng, phần khác có thể được bổ sung trừ khi ‘chỉ~’ được sử dụng. Các thuật ngữ về dạng đơn có thể bao gồm nhiều dạng trừ khi được đề cập ngược lại.

Trong khi phân tích về một chi tiết, chi tiết này được hiểu như bao gồm vùng lỗi mặc dù không có sự mô tả rõ ràng.

Trong việc mô tả về mối liên hệ vị trí, ví dụ, khi thứ tự định vị được mô tả như ‘trên~’, ‘ở trên~’, ‘ở dưới~’, và ‘tiếp theo~’, trường hợp mà không tiếp xúc có thể được bao gồm trừ khi ‘ngay đó’ hoặc ‘trực tiếp’ được sử dụng.

Trong việc mô tả về mối liên hệ thời gian, ví dụ, khi thứ tự thời gian được mô tả như ‘sau đây~’, ‘theo sao~’, ‘tiếp theo~’, và ‘trước đây~’, trường hợp mà không liên tục có thể được bao gồm trừ khi ‘ngay đó’ hoặc ‘trực tiếp’ được sử dụng.

Sẽ được hiểu là, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, v.v. có thể được sử dụng trong bản mô tả này để mô tả các chi tiết khác nhau, các chi tiết này không nên bị hạn chế bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một chi tiết với chi tiết khác. Ví dụ, chi tiết thứ nhất có thể được gọi là chi tiết

thứ hai, và, tương tự, chi tiết thứ hai có thể được gọi là chi tiết thứ nhất, mà không lệch khỏi phạm vi của sáng chế.

Ngoài ra, "phương trục hoành thứ nhất", "phương trục hoành thứ hai", và "phương trục tung" không bị hạn chế ở kết cấu hình học vuông góc. Nghĩa là, "phương trục hoành thứ nhất", "phương trục hoành thứ hai", và "phương trục tung" có thể bao gồm phạm vi rộng có thể về kết cấu chức năng.

Ngoài ra, cần phải hiểu rằng thuật ngữ "ít nhất một" bao gồm toàn bộ các tổ hợp liên quan tới một mục bất kỳ. Ví dụ, "ít nhất một trong số chi tiết thứ nhất, chi tiết thứ hai và chi tiết thứ ba" có thể bao gồm toàn bộ các tổ hợp của hai hoặc hơn hai chi tiết được lựa chọn từ các chi tiết thứ nhất, thứ hai và thứ ba cũng như mỗi chi tiết của các chi tiết thứ nhất, thứ hai và thứ ba. Ngoài ra, nếu được đề cập là chi tiết thứ nhất được định vị "trên hoặc ở trên" chi tiết thứ hai, cần phải hiểu rằng các chi tiết thứ nhất và thứ hai có thể được đưa đến tiếp xúc với nhau, hoặc chi tiết thứ ba có thể được đặt vào giữa các chi tiết thứ nhất và thứ hai.

Các dấu hiệu về các phương án khác nhau của sáng chế có thể được ghép một phần hoặc tổng thể hoặc được kết hợp với nhau, và có thể được liên vận hành một cách đa dạng với nhau và được điều vận một cách kỹ thuật như người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng có thể đủ hiểu. Các phương án của sáng chế có thể được thực hiện một cách độc lập với nhau, hoặc có thể được thực hiện cùng nhau trong mối liên hệ đồng phụ thuộc.

Dưới đây, thiết bị hiển thị theo các phương án của sáng chế sẽ được mô tả về chi tiết với việc tham chiếu đến các hình vẽ kèm theo.

Fig.1 là sơ đồ khối thể hiện thiết bị hiển thị theo sáng chế. Fig.2 là sơ đồ mạch thể hiện một ví dụ của điểm ảnh theo sáng chế; Fig.3 là sơ đồ mạch thể hiện ví dụ khác của điểm ảnh theo sáng chế;

Thiết bị hiển thị theo sáng chế có thể bao gồm bảng hiển thị 10, các bộ điều vận công thứ nhất và thứ hai 11 và 12, bộ điều vận dữ liệu 20, và bộ điều khiển định thời 30.

Thiết bị hiển thị theo sáng chế có thể là thiết bị hiển thị bất kỳ có thể cấp điện áp dữ liệu đến các điểm ảnh (P) theo phương pháp quét tuần tự theo đường nhằm cấp tín hiệu công đến các đường công ($G1 \sim Gn$, 'n' là số nguyên bằng 2 hoặc lớn hơn 2). Ví dụ, thiết bị hiển thị theo sáng chế có thể được áp dụng cho thiết bị hiển thị tinh thể lỏng hoặc thiết bị hiển thị phát sáng hữu cơ.

Bảng hiển thị 10 hiển thị hình ảnh bằng cách sử dụng nhiều điểm ảnh (P). Bảng hiển thị 10 có thể bao gồm vùng hiển thị (Display Area - DA) và vùng không hiển thị (Non-Display Area - NDA). Vùng hiển thị (DA) được bố trí nhiều điểm ảnh (P), và hình ảnh được hiển thị trên vùng hiển thị (DA). Vùng không hiển thị (NDA) được bố trí trong vùng ngoại vi của vùng hiển thị (DA), và hình ảnh không được hiển thị trên vùng không hiển thị (NDA). Mỗi trong số các điểm ảnh (P) có thể được nối với một trong số các đường dữ liệu bất kỳ ($D1 \sim Dm$), và một trong số các đường công bất kỳ ($G1 \sim Gn$). Khi tín hiệu công được cấp đến đường công, dữ liệu điện áp được cấp đến đường dữ liệu. Điểm ảnh (P) phát ra ánh sáng với độ sáng định trước.

Nếu thiết bị hiển thị được áp dụng cho thiết bị hiển thị tinh thể lỏng, mỗi trong số các điểm ảnh (P) có thể bao gồm tranzito (T), điện cực điểm ảnh (Pixel Electrode - PE), và tụ điện lưu trữ (Storage Capacitor - Cst), như được thể hiện trên Fig.2. Tranzito (T) cấp dữ liệu điện áp của đường dữ liệu (Dj , trong bản mô tả này, 'j' là số nguyên thỏa mãn $1 \leq j \leq m$) đến điện cực điểm ảnh (PE) đáp lại tín hiệu công của đường công (Gk , trong bản mô tả này, 'k' là số nguyên thỏa mãn $1 \leq k \leq n$). Do đó, mỗi trong số các điểm ảnh (P) điều vận tinh thể lỏng của lớp tinh thể lỏng 13 bằng điện trường được tạo ra bởi hiệu điện thế giữa điện áp dữ liệu được cấp đến

điện cực điểm ảnh (PE) và điện áp thông thường được cấp đến điện cực thông thường (Common Electrode - CE), để do đó điều khiển việc truyền ánh sáng tới được tạo ra từ bộ phận phát sáng ngược. Điện cực thông thường (CE) được cấp với điện áp thông thường qua đường điện áp thông thường (VcomL), và bộ phận phát sáng ngược được bố trí dưới bảng hiển thị 10 để tạo ra ánh sáng đồng đều đến bảng hiển thị 10. Ngoài ra, tụ điện lưu trữ (Cst) được bố trí giữa điện cực điểm ảnh (PE) và điện cực thông thường (CE) để duy trì hiệu điện thế không đổi giữa điện cực điểm ảnh (PE) và điện cực thông thường (CE).

Nếu thiết bị hiển thị được áp dụng cho thiết bị hiển thị phát sáng hữu cơ, mỗi trong số các điểm ảnh (P) có thể bao gồm điốt phát sáng hữu cơ (Organic Light Emitting Diode - OLED), tranzito quét (Scan Transistor - ST), tranzito điều vận (Driving Transistor - DT), và tụ điện lưu trữ (Cst), như được thể hiện trên Fig.3. Tranzito quét (ST) cấp điện áp dữ liệu của đường dữ liệu thứ j (Dj) đến điện cực cổng của tranzito điều vận (DT) đáp lại tín hiệu cổng của đường cổng thứ k (Gk). Tranzito điều vận (DT) điều khiển dòng điện điều vận mà chạy từ đường điện thế cao (VDDL) đến điốt phát sáng hữu cơ (OLED) theo điện áp dữ liệu được cấp đến điện cực cổng. Điốt phát sáng hữu cơ (OLED) được bố trí giữa tranzito điều vận (DT) và đường điện áp thấp (VSSL), trong đó, điốt phát sáng hữu cơ (OLED) phát ra ánh sáng với độ sáng định trước theo dòng điện điều vận. Tụ điện lưu trữ (Cst) có thể được bố trí giữa điện cực cổng của tranzito điều vận (DT) và đường điện thế cao (VDDL) để duy trì điện áp không đổi ở điện cực cổng của tranzito điều vận (DT).

Bộ điều vận cổng thứ nhất 11 được nối với các đường cổng được đánh số lẻ (G1, G3, ..., Gn-1). Bộ điều vận cổng thứ nhất 11 tiếp nhận tín hiệu điều khiển cổng thứ nhất (GCS1) từ bộ điều khiển định thời 30. Bộ điều vận cổng thứ nhất 11 tạo ra tín hiệu cổng được đánh số lẻ theo tín hiệu điều khiển cổng thứ nhất (GCS1), và cấp

tín hiệu cổng được đánh số lẻ được tạo ra đến các đường cổng được đánh số lẻ (G_1 , G_3 , ..., G_{n-1}).

Bộ điều vận cổng thứ hai 12 được nối với các đường cổng được đánh số chẵn (G_2 , G_4 , ..., G_n). Bộ điều vận cổng thứ hai 12 tiếp nhận tín hiệu điều khiển cổng thứ hai (GCS2) từ bộ điều khiển định thời 30. Bộ điều vận cổng thứ hai 12 tạo ra các tín hiệu cổng được đánh số chẵn theo tín hiệu điều khiển cổng thứ hai (GCS2), và cấp tín hiệu cổng được đánh số chẵn được tạo ra đến các đường cổng được đánh số chẵn (G_2 , G_4 , ..., G_n).

Như được mô tả ở trên, các bộ điều vận cổng thứ nhất và thứ hai 11 và 12 có thể được điều vận theo phương pháp xen kẽ, nhưng không chỉ hạn chế ở phương pháp này. Bộ điều vận cổng thứ nhất 11 có thể cấp các tín hiệu cổng đến một số đường trong số các đường cổng của bảng hiển thị 10, và bộ điều vận cổng thứ hai 12 có thể cấp các tín hiệu cổng đến các đường cổng còn lại của bảng hiển thị 10. Ngoài ra, các bộ điều vận cổng thứ nhất và thứ hai 11 và 12 có thể được kết hợp trong một bộ điều vận cổng.

Các bộ điều vận cổng thứ nhất và thứ hai 11 và 12 có thể được bố trí trong vùng không hiển thị (NDA) theo phương pháp bộ điều vận cổng trong bảng (Gate driver In Panel - GIP). Trên Fig.1, bộ điều vận cổng thứ nhất 11 được bố trí ở một phía của vùng không hiển thị (NDA) của bảng hiển thị 10, và bộ điều vận cổng thứ hai 12 được bố trí ở phía khác của vùng không hiển thị (NDA) của bảng hiển thị 10, nhưng không chỉ hạn chế ở kết cấu này. Ví dụ, cả hai bộ điều vận cổng thứ nhất và thứ hai 11 và 12 có thể được bố trí ở một phía của vùng không hiển thị (NDA).

Bộ điều vận dữ liệu 20 được nối với các đường dữ liệu ($D_1 \sim D_m$). Bộ điều vận dữ liệu 20 tiếp nhận dữ liệu video kỹ thuật số (DATA) và dữ liệu tín hiệu điều khiển (DCS) từ bộ điều khiển định thời 30, và chuyển đổi dữ liệu video kỹ thuật số

(DATA) thành các điện áp dữ liệu tương tự theo tín hiệu điều khiển dữ liệu (DCS). Bộ điều vận dữ liệu 20 cấp các điện áp dữ liệu tương tự đến các đường dữ liệu (D1 ~ Dm). Bộ điều vận dữ liệu 20 có thể bao gồm nhiều mạch tích hợp bộ điều vận nguồn (dưới đây, được gọi là "các IC bộ điều vận nguồn").

Bộ điều khiển định thời 30 tiếp nhận dữ liệu video kỹ thuật số (DATA) và các tín hiệu định thời (TS) từ tập. Các tín hiệu định thời có thể bao gồm tín hiệu đồng bộ hóa theo phương thẳng đứng, tín hiệu đồng bộ hóa theo phương nằm ngang, tín hiệu kích hoạt dữ liệu, và đồng hồ điểm. Bộ điều khiển định thời 30 tạo ra các tín hiệu điều khiển cổng thứ nhất và thứ hai (GCS1, GCS2) để điều khiển việc định thời thao tác của các bộ điều vận cổng thứ nhất và thứ hai 11 và 12 trên cơ sở của tín hiệu định thời, và còn tạo ra tín hiệu điều khiển dữ liệu (DCS) để điều khiển việc định thời thao tác của bộ điều vận dữ liệu 20 trên cơ sở tín hiệu định thời.

Tín hiệu điều khiển cổng thứ nhất (GCS1) có thể bao gồm các tín hiệu khởi đầu thứ nhất và thứ hai (STV1, STV2), một số tín hiệu đồng hồ (CLK1, CLK3, CLK5, CLK7), và tín hiệu được thiết lập lại thứ nhất (RS1). Tín hiệu điều khiển cổng thứ hai (GCS2) có thể bao gồm các tín hiệu khởi đầu thứ ba và thứ tư (STV3, STV4), còn lại của các tín hiệu đồng hồ (CLK2, CLK4, CLK6, CLK8), và tín hiệu được thiết lập lại thứ hai (RS2).

Bộ điều khiển định thời 30 cấp dữ liệu video kỹ thuật số (DATA) và tín hiệu điều khiển dữ liệu (DCS) đến bộ điều vận dữ liệu 20. Bộ điều khiển định thời 30 cấp tín hiệu điều khiển cổng thứ nhất (GCS1) đến bộ điều vận cổng thứ nhất 11, và cấp tín hiệu điều khiển cổng thứ hai (GCS2) đến bộ điều vận cổng thứ hai 12.

Fig.4 là sơ đồ khối thể hiện một ví dụ của bộ điều vận cổng thứ nhất theo sáng chế. Trong bộ điều vận cổng thứ nhất 11, có đường tín hiệu khởi đầu thứ nhất (First Start Signal Line - STL1) được cấp tín hiệu khởi đầu thứ nhất (STV1), đường tín

hiệu khởi đầu thứ hai (STL2) được cấp với tín hiệu khởi đầu thứ hai (STV2), đường được thiết lập lại thứ nhất (First Reset Line - RL1) được cấp với tín hiệu được thiết lập lại thứ nhất (RS1), các đường đồng hồ thứ nhất, thứ ba, thứ năm và thứ bảy (CL1, CL3, CL5, CL7) được cấp với các tín hiệu đồng hồ thứ nhất, thứ ba, thứ năm và thứ bảy (CLK1, CLK3, CLK5, CLK7), và đường điện áp nguồn cấp năng lượng thứ nhất (VSSL) được cấp với điện áp nguồn cấp năng lượng thứ nhất có điện áp DC. Các tín hiệu khởi đầu thứ nhất và thứ hai, tín hiệu được thiết lập lại thứ nhất, và các tín hiệu đồng hồ thứ nhất, thứ ba, thứ năm và thứ bảy có thể được tạo ra từ bộ điều khiển định thời 30 trên Fig.1, và điện áp nguồn cấp năng lượng thứ nhất có thể được tạo ra từ nguồn cấp năng lượng.

Bộ điều vận công thứ nhất 11 bao gồm các tầng (STA1 ~ STAp, p là số nguyên thỏa mãn ' $2p = n$ ') được nối với các đường công được đánh số lẻ (G1, G3, ..., Gn-1). Để tiện giải thích, Fig.4 thể hiện chỉ các tầng thứ nhất đến thứ tư (STA1 ~ STA4) được nối với các đường công thứ nhất, thứ ba, thứ năm và thứ bảy (G1, G3, G5, G7).

Dưới đây, tầng phía trước (tầng trước đó) chỉ ra tầng được định vị trước tầng tham chiếu, và tầng phía sau (tầng tiếp theo) chỉ ra tầng được định vị sau tầng tham chiếu. Ví dụ, các tầng phía trước của tầng thứ ba (STA3) tương ứng với các tầng thứ nhất và thứ hai (STA1, STA2), và các tầng phía sau của tầng thứ ba (STA3) tương ứng với các tầng thứ tư đến thứ p (STA4 ~ STAp).

Tầng thứ q ('q' là số nguyên thỏa mãn $1 \leq q \leq p$) (STAq) của bộ điều vận công thứ nhất 11 được nối với đường công thứ q (Gq), để do đó xuất ra tín hiệu công.

Mỗi trong số các tầng (STA1 ~ STAp) bao gồm thiết bị đầu cuối khởi đầu (Start Terminal - ST), thiết bị đầu cuối được thiết lập lại (Reset Terminal - RT), thiết bị đầu cuối đầu vào tín hiệu mang phía trước (thiết bị đầu cuối đầu vào tín hiệu mang

trước đó, PT), thiết bị đầu cuối đầu vào tín hiệu mang phía sau (thiết bị đầu cuối đầu vào tín hiệu mang tiếp theo, NT), các thiết bị đầu cuối đồng hồ thứ nhất đến thứ ba (CT1, CT2, CT3), thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và thiết bị đầu cuối đầu ra (OT).

Thiết bị đầu cuối khởi đầu (ST) trong mỗi trong số các tầng (STA1 ~ STAp) có thể được nối với đường tín hiệu khởi đầu thứ nhất (STL1), đường tín hiệu khởi đầu thứ hai (STL2), hoặc thiết bị đầu cuối đầu ra (OT) của tầng phía trước thứ hai, trong đó, tầng phía trước thứ hai chỉ ra tầng được định vị ở phía trước của tầng trước đó bên phải trước tầng tương ứng. Nghĩa là, thiết bị đầu cuối khởi đầu (ST) của tầng thứ q (STAq) có thể được nối với đường tín hiệu khởi đầu thứ nhất (STL1), đường tín hiệu khởi đầu thứ hai (STL2), hoặc thiết bị đầu cuối đầu ra (OT) của tầng thứ (q-2) (STAq-2). Trong trường hợp này, tín hiệu khởi đầu thứ nhất của đường tín hiệu khởi đầu thứ nhất (STL1), tín hiệu khởi đầu thứ hai của đường tín hiệu khởi đầu thứ nhất (STL1), hoặc tín hiệu đầu ra của thiết bị đầu cuối đầu ra (OT) của tầng thứ (q-2) (STAq-2) có thể được đưa vào thiết bị đầu cuối khởi đầu (ST) của tầng thứ q (STAq). Ví dụ, như được thể hiện trên Fig.4, trong trường hợp các tầng thứ nhất và thứ hai (STA1, STA2), tầng phía trước thứ hai không được tạo ra, nghĩa là, không có tầng được định vị ở phía trước của tầng trước đó bên phải phía trước của tầng tương ứng. Do đó, thiết bị đầu cuối khởi đầu (ST) của tầng thứ nhất (STA1) được nối với đường tín hiệu khởi đầu thứ nhất (STL1), nhờ đó tín hiệu khởi đầu thứ nhất được đưa vào thiết bị đầu cuối khởi đầu (ST) của tầng thứ nhất. Ngoài ra, thiết bị đầu cuối khởi đầu (ST) của tầng thứ hai (STA2) được nối với đường tín hiệu khởi đầu thứ hai (STL2), nhờ đó tín hiệu khởi đầu thứ hai được đưa vào thiết bị đầu cuối khởi đầu (ST) của tầng thứ hai (STA2). Ngoài ra, như được thể hiện trên Fig.4, thiết bị đầu cuối khởi đầu (ST) trong mỗi trong số các tầng thứ ba đến thứ p (STA3 ~ STAp) được nối với

thiết bị đầu cuối đầu ra (OT) của tầng phía trước thứ hai, nhờ đó thiết bị đầu cuối khởi đầu (ST) trong mỗi trong số các tầng thứ ba đến thứ p ($STA3 \sim STAp$) có thể được nhận với tín hiệu đầu ra của thiết bị đầu cuối đầu ra (OT) của tầng phía trước thứ hai.

Thiết bị đầu cuối được thiết lập lại (RT) trong mỗi trong số các tầng ($STA1 \sim STAp$) có thể được nối với đường tín hiệu được thiết lập lại (RL). tín hiệu được thiết lập lại có thể được đưa vào thiết bị đầu cuối được thiết lập lại (RT) trong mỗi trong số các tầng ($STA1 \sim STAp$).

Thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó trong mỗi trong số các tầng ($STA1 \sim STAp$) có thể được nối với đường tín hiệu khởi đầu thứ hai (STL2) hoặc thiết bị đầu cuối đầu ra (OT) của tầng phía trước thứ nhất. Nghĩa là, thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó của tầng thứ q ($STAq$) có thể được nối với đường tín hiệu khởi đầu thứ hai (STL2) hoặc thiết bị đầu cuối đầu ra (OT) của tầng thứ $(q-1)$ (STA_{q-1}). Trong trường hợp này, tín hiệu khởi đầu thứ hai của đường tín hiệu khởi đầu thứ hai (STL2) hoặc tín hiệu đầu ra của thiết bị đầu cuối đầu ra (OT) của tầng thứ $(q-1)$ (STA_{q-1}) có thể được đưa vào thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó của tầng thứ q ($STAq$). Ví dụ, như được thể hiện trên Fig.4, trong trường hợp tầng thứ nhất, không có tầng phía trước thứ nhất, nghĩa là, không có tầng bên phải trước của tầng tương ứng. Do đó, thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó của tầng thứ nhất ($STA1$) được nối với đường tín hiệu khởi đầu thứ hai (STL2) sao cho tín hiệu khởi đầu thứ hai được đưa vào thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó của tầng thứ nhất ($STA1$). Ngoài ra, như được thể hiện trên Fig.4, thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó trong mỗi trong số các tầng thứ hai đến thứ p ($STA2 \sim STAp$) được nối với thiết bị đầu cuối đầu ra (OT) của tầng phía trước thứ nhất sao cho tín hiệu đầu ra của thiết bị đầu cuối

đầu ra (OT) của tầng phía trước thứ nhất được đưa vào thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó trong mỗi trong số các tầng thứ hai đến thứ p ($STA_2 \sim STA_p$). Với việc tham chiếu đến tầng thứ q (STA_q), tầng phía trước thứ nhất tương ứng với tầng thứ $(q-1)$ (STA_{q-1}).

Thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo trong mỗi trong số các tầng ($STA_1 \sim STA_p$) có thể được nối với thiết bị đầu cuối đầu ra (OT) của tầng được định vị thứ ba ở phía sau tầng tương ứng (dưới đây, được gọi là 'tầng sau thứ ba'). Tầng sau thứ ba của tầng thứ q (STA_q) tương ứng với tầng thứ $(q+3)$ (STA_{q+3}). Nghĩa là, thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo của tầng thứ q (STA_q) có thể được nối với thiết bị đầu cuối đầu ra (OT) của tầng thứ $(q+3)$ (STA_{q+3}). Trong trường hợp này, tín hiệu đầu ra của thiết bị đầu cuối đầu ra (OT) của tầng thứ $(q+3)$ (STA_{q+3}) có thể được đưa vào thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo của tầng thứ q (STA_q).

Mỗi trong số các thiết bị đầu cuối đồng hồ thứ nhất đến thứ ba (CT1, CT2, CT3) trong mỗi trong số các tầng ($STA_1 \sim STA_p$) được nối với một đường bất kỳ trong số các đường đồng hồ thứ nhất, thứ ba, thứ năm và thứ bảy (CL1, CL3, CL5, CL7). Tốt hơn là, các tín hiệu đồng hồ được tạo thành bằng các tín hiệu đồng hồ pha i (trong bản mô tả này, ' i ' là số nguyên bằng 4 hoặc lớn hơn 4) pha của nó bị trễ một cách tuần tự để đảm bảo thời gian nạp điện đủ cho việc điều vận tốc độ cao. Mỗi trong số các tín hiệu đồng hồ được lấy theo chu kỳ giữa điện áp cổng mức cao (VGH) và điện áp cổng mức thấp (VGL).

Mỗi trong số các thiết bị đầu cuối đồng hồ thứ nhất đến thứ ba (CT1, CT2, CT3) trong mỗi trong số các tầng ($STA_1 \sim STA_p$) được nối với đường đồng hồ tương ứng. Do đó, tín hiệu đồng hồ mà được đưa vào mỗi trong số các thiết bị đầu cuối đồng hồ thứ nhất đến thứ ba (CT1, CT2, CT3) trong mỗi trong số các tầng

(STA1 ~ STAp) có thể là khác nhau. Ví dụ, như được thể hiện trên Fig.4, thiết bị đầu cuối đồng hồ thứ nhất (First Clock Terminal - CT1) của tầng thứ nhất (STA1) được nối với đường đồng hồ thứ nhất (CL1), thiết bị đầu cuối đồng hồ thứ hai (Second Clock Terminal - CT2) được nối với đường đồng hồ thứ bảy (CL7), và thiết bị đầu cuối đồng hồ thứ ba (CT3) được nối với đường đồng hồ thứ năm (CL5). Trong trường hợp này, tín hiệu đồng hồ thứ ba (CLK3) được đưa vào thiết bị đầu cuối đồng hồ thứ nhất (CT1) của tầng thứ hai (STA2), tín hiệu đồng hồ thứ nhất (CLK1) được đưa vào thiết bị đầu cuối đồng hồ thứ hai (CT2), và tín hiệu đồng hồ thứ bảy (CLK7) được đưa vào thiết bị đầu cuối đồng hồ thứ ba (CT3).

Các tín hiệu đồng hồ được đánh số lẻ được cấp một cách tuần tự đến mỗi trong số các thiết bị đầu cuối đồng hồ thứ nhất đến thứ ba (CT1, CT2, CT3) của các tầng (STA1 ~ STAp). Ví dụ, như được thể hiện trên Fig.4, thiết bị đầu cuối đồng hồ thứ nhất (CT1) của tầng thứ nhất (STA1) được nối với đường đồng hồ thứ nhất (CL1) và được nhận với tín hiệu đồng hồ thứ nhất, thiết bị đầu cuối đồng hồ thứ nhất (CT1) của tầng thứ hai (STA2) được nối với đường đồng hồ thứ ba (CL3) và được nhận với tín hiệu đồng hồ thứ ba, và thiết bị đầu cuối đồng hồ thứ nhất (CT1) của tầng thứ ba (STA3) được nối với đường đồng hồ thứ năm (CL5) và được nhận với tín hiệu đồng hồ thứ năm. Ngoài ra, như được thể hiện trên Fig.4, thiết bị đầu cuối đồng hồ thứ hai (CT2) của tầng thứ nhất (STA1) được nối với đường đồng hồ thứ bảy (CL7) và được nhận với tín hiệu đồng hồ thứ bảy, thiết bị đầu cuối đồng hồ thứ hai (CT2) của tầng thứ hai (STA2) được nối với đường đồng hồ thứ nhất (CL1) và được nhận với tín hiệu đồng hồ thứ nhất, và thiết bị đầu cuối đồng hồ thứ hai (CT2) của tầng thứ ba (STA3) được nối với đường đồng hồ thứ ba (CL3) và được nhận với tín hiệu đồng hồ thứ ba. Ngoài ra, như được thể hiện trên Fig.4, thiết bị đầu cuối đồng hồ thứ ba (CT3) của tầng thứ nhất (STA1) được nối với đường đồng hồ thứ

năm (CL5) và được nhận với tín hiệu đồng hồ thứ năm, thiết bị đầu cuối đồng hồ thứ ba (CT3) của tầng thứ hai (STA2) được nối với đường đồng hồ thứ bảy (CL7) và được nhận với tín hiệu đồng hồ thứ bảy, và thiết bị đầu cuối đồng hồ thứ ba (CT3) của tầng thứ ba (STA3) được nối với đường đồng hồ thứ nhất (CL1) và được nhận với tín hiệu đồng hồ thứ nhất.

Thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST) của mỗi trong số các tầng (STA1 ~ STAp) được nối với đường điện áp nguồn cấp năng lượng thứ nhất (VSSL). Do đó, điện áp nguồn cấp năng lượng thứ nhất được cấp đến thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST) của mỗi trong số các tầng (STA1 ~ STAp).

Thiết bị đầu cuối đầu ra (OT) của mỗi trong số các tầng (STA1 ~ STAp) được nối với đường công. Tín hiệu công được cấp đến thiết bị đầu cuối đầu ra (OT) của mỗi trong số các tầng (STA1 ~ STAp). Ngoài ra, thiết bị đầu cuối đầu ra (OT) của mỗi trong số các tầng (STA1 ~ STAp) được nối với thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó của tầng sau thứ nhất, thiết bị đầu cuối khởi đầu (ST) của tầng sau thứ hai, và thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo của tầng trước thứ ba. So với tầng thứ q (STAq), tầng tiếp theo thứ nhất tương ứng với tầng thứ (q+1) (STAq+1), tầng tiếp theo thứ hai tương ứng với tầng thứ (q+2) (STAq+2), và tầng trước thứ ba tương ứng với tầng thứ (q-3) (STAq-3).

Fig.5 là sơ đồ khối thể hiện một ví dụ của bộ điều vận công thứ hai theo sáng chế. Trong bộ điều vận công thứ hai 12, có đường tín hiệu khởi đầu thứ ba (STL3) được cấp với tín hiệu khởi đầu thứ ba, đường tín hiệu khởi đầu thứ tư (STL4) được cấp với tín hiệu khởi đầu thứ tư, đường được thiết lập lại thứ hai (RL2) được cấp với tín hiệu được thiết lập lại thứ hai (RS2), các đường đồng hồ thứ hai, thứ tư, thứ sáu và thứ tám (CL2, CL4, CL6, CL8) được cấp với các tín hiệu đồng hồ thứ hai, thứ tư, và thứ tám.

thứ sáu và thứ tám, và đường điện áp nguồn cấp năng lượng thứ nhất (VSSL) được cấp với điện áp nguồn cấp năng lượng thứ nhất có điện áp DC. Các tín hiệu khởi đầu thứ ba và thứ tư, tín hiệu được thiết lập lại thứ hai, các tín hiệu đồng hồ thứ hai, thứ tư, thứ sáu và thứ tám có thể được tạo ra từ bộ điều khiển định thời 30 trên Fig.1, và điện áp nguồn cấp năng lượng thứ nhất có thể được bố trí từ nguồn cấp năng lượng.

Bộ điều vận công thứ hai 12 bao gồm các tầng (STB1 ~ STBp) được nối với các đường công được đánh số chẵn (G2, G4, ..., Gn). Để tiện giải thích, Fig.5 thể hiện chỉ các tầng thứ nhất đến thứ tư (STB1 ~ STB4) được nối với các đường công thứ hai, thứ tư, thứ sáu và thứ tám (G2, G4, G6, G8).

Tầng thứ q (STBq) của bộ điều vận công thứ hai 12 được nối với đường công thứ 2q (G2q), để do đó xuất ra tín hiệu công.

Ngoại trừ rằng mỗi trong số các tầng (STB1 ~ STBp) được nối với các đường tín hiệu khởi đầu thứ ba và thứ tư (STL3, STL4), đường được thiết lập lại thứ hai (RL2), và các đường đồng hồ thứ hai, thứ tư, thứ sáu và thứ tám (CL2, CL4, CL6, CL8) thay vì các đường tín hiệu khởi đầu thứ nhất và thứ hai (STL1, STL2), đường được thiết lập lại thứ nhất (RL1), và các đường đồng hồ thứ nhất, thứ ba, thứ năm và thứ bảy (CL1, CL3, CL5, CL7), mỗi trong số các tầng (STB1 ~ STBp) của bộ điều vận công thứ hai 12 giống như mỗi tầng trong số các tầng (STA1 ~ STAp) của bộ điều vận công thứ nhất 11 được thể hiện trên Fig.4. Do đó, việc mô tả chi tiết cho mỗi tầng trong số các tầng (STB1 ~ STBp) của bộ điều vận công thứ hai 12 sẽ được bỏ qua.

Fig.6 là sơ đồ khối thể hiện tầng thứ q theo sáng chế; Tầng thứ q (STAq) theo sáng chế có thể bao gồm tranzito kéo lên (TU), các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2), phần xử lý tín hiệu 100, phần đầu vào thứ nhất 200, và phần đầu vào thứ hai 300.

Tranzito kéo lên (TU) được bật lên bởi điện áp mở cổng của nút Q (NQ), nhờ đó tranzito kéo lên (TU) cấp điện áp mở cổng được cấp qua các đường đồng hồ (CLKS) đến đường cổng (GL). Đường cổng (GL) có điện trở và tụ điện bởi đặc tính vật lý. Tuy nhiên, điện trở và tụ điện trên đường cổng (GL) có trị số điện trở và điện dung mà không có sự ảnh hưởng trên tín hiệu cấp.

Các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được bật lên bởi điện áp mở cổng của nút QB (NQB), nhờ đó các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) cấp điện áp đóng cổng được tạo ra từ đường điện áp đóng cổng (VSS) đến đường cổng (GL).

Phần xử lý tín hiệu 100 thiết lập mức logic của thiết bị đầu cuối đầu ra Q (Q) theo tín hiệu đồng hồ mà được đưa vào thiết bị đầu cuối đầu vào S và thiết bị đầu cuối đầu vào R (S, R). Phần xử lý tín hiệu 100 tuần tự xuất điện áp nút QB được đánh số lẻ (QB_O) và điện áp nút QB được đánh số chẵn (QB_E) bằng cách sử dụng bộ phận chuyển mạch bên trong (Internal Switch - SW). Điện áp nút QB được đánh số lẻ (QB_O) bật lên tranzito kéo xuống thứ nhất (TD1), và điện áp nút QB được đánh số chẵn (QB_E) bật lên tranzito kéo xuống thứ hai (TD2).

Phần đầu vào thứ nhất 200 thiết lập mức logic của thiết bị đầu cuối đầu vào S (S) theo tín hiệu được tạo ra từ thiết bị đầu cuối đầu vào R (PR) trước đó và thiết bị đầu cuối đầu vào S (NS) tiếp theo.

Phần đầu vào thứ hai 300 thiết lập mức logic của thiết bị đầu cuối đầu vào R (R) theo tín hiệu được tạo ra từ thiết bị đầu cuối đầu vào R (PR) trước đó và thiết bị đầu cuối đầu vào S (NS) tiếp theo.

Nếu tín hiệu đồng bộ hóa theo phương thẳng đứng (Vsync) có mức logic cao trong khoảng khung 1, tầng thứ q (STAg) duy trì trạng thái bật lên của tranzito kéo lên (TU).

Nếu tín hiệu đồng bộ hóa theo phương thẳng đứng (Vsync) có mức logic thấp trong khoảng khung 1, tầng thứ q (STAq) duy trì trạng thái bật lên của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2).

Tín hiệu đồng bộ hóa theo phương thẳng đứng (Vsync) tương ứng với tín hiệu mà báo cáo việc bắt đầu của khung trong khoảng khung 1. Do đó, thời gian bật lên của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) dài hơn tương đối thời gian bật lên của tranzito kéo lên (TU). Ví dụ, thời gian bật lên của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) có thể quá khoảng 1000 lần dài hơn thời gian bật lên của tranzito kéo lên (TU). Trong trường hợp này, các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) sụt giảm một cách nhanh chóng hơn so sánh với tranzito kéo lên (TU). Do đó, nhiều tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được sắp xếp.

Bộ điều khiển định thời theo sáng chế bị tắt đi cho đến sau khi tranzito kéo xuống được thiết lập trước trong số nhiều tranzito kéo xuống được điều vận trong bộ điều vận cổng bằng cách sử dụng tín hiệu được thiết lập lại được cấp từ mạch tích hợp được thiết lập lại. Do đó, khoảng thời gian điều vận của tranzito kéo xuống thứ nhất (TD1) bằng khoảng thời gian điều vận của tranzito kéo xuống thứ hai (TD2). Kết quả là, có thể để duy trì độ cân bằng của việc thoái hóa giữa tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2), để do đó nhận biết tuổi thọ thiết bị dài của tầng thứ q (STAq).

Fig.7 là sơ đồ mạch thể hiện một ví dụ của tầng theo sáng chế; Để tiện giải thích, Fig.7 thể hiện nút kéo lên tương ứng với nút Q (NQ), và nút kéo xuống tương ứng với nút QB (NQB). Tầng thứ q (STAq) bao gồm tranzito kéo lên (TU), các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2), phần xử lý tín hiệu 100, phần

đầu vào thứ nhất 200, phần đầu vào thứ hai 300, phần được thiết lập lại nút Q 400, phân loại bỏ nhiều thiết bị đầu cuối đầu ra 500, và tụ điện tăng áp (CB).

Điện cực cổng của tranzito kéo lên (TU) được nối với nút Q (NQ), điện cực thứ nhất của tranzito kéo lên (TU) được nối với thiết bị đầu cuối đầu ra (OT), và điện cực thứ hai của tranzito kéo lên (TU) được nối với thiết bị đầu cuối đồng hồ thứ nhất (CT1). Nếu tranzito kéo lên (TU) được bật lên bởi điện áp mở cổng của nút Q (NQ), và tín hiệu đồng hồ của điện áp mở cổng được đưa vào thiết bị đầu cuối đồng hồ thứ nhất (CT1), tín hiệu cổng của điện áp mở cổng có thể được tạo ra cho thiết bị đầu cuối đầu ra (OT).

Điện cực cổng của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được nối với thiết bị đầu cuối đồng hồ thứ ba (CT3), điện cực thứ nhất của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực thứ hai của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được nối với thiết bị đầu cuối đầu ra (OT). Nếu tranzito kéo xuống (TD) được bật lên bởi điện áp mở cổng của nút QB (NQB), tín hiệu cổng của điện áp đóng cổng có thể được tạo ra cho thiết bị đầu cuối đầu ra (OT).

Bộ phận chuyển mạch (SW) nối điện cực cổng của các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) với nút QB (NQB). Bộ phận chuyển mạch (SW) tuần tự bật lên tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2).

Phần xử lý tín hiệu 100 có thể bao gồm thứ các tranzito nhất đến thứ tư (T1, T2, T3, T4).

Điện cực cổng của tranzito thứ nhất (T1) được nối với nút thứ nhất (N1), điện cực thứ nhất của tranzito thứ nhất (T1) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực thứ hai của tranzito thứ nhất (T1) được

nối với nút Q (NQ). Do đó khi tranzito thứ nhất (T1) được bật lên bởi điện áp mở công của nút thứ nhất (N1), nút Q (NQ) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST). Nếu tranzito thứ nhất (T1) được bật lên, điện áp đóng công được cấp đến nút Q (NQ), nhờ đó tranzito kéo lên (TU) bị tắt đi.

Điện cực cổng của tranzito thứ hai (T2) được nối với thiết bị đầu cuối đồng hồ thứ nhất (CT1), điện cực thứ hai của tranzito thứ hai (T2) được nối với thiết bị đầu cuối đồng hồ thứ nhất (CT1), và điện cực thứ nhất của tranzito thứ hai (T2) được nối với nút thứ nhất (N1). Nghĩa là, tranzito thứ hai (T2) có thể được nối với điôt. Tranzito thứ hai (T2) được bật lên bởi điện áp mở công của tín hiệu đồng hồ mà được đưa vào thiết bị đầu cuối đồng hồ thứ nhất (CT1), nhờ đó điện áp mở công được cấp cho nút thứ nhất (N1). Nếu tranzito thứ hai (T2) được bật lên, điện áp mở công được cấp đến nút thứ nhất (N1), nhờ đó tranzito thứ nhất (T1) được bật lên.

Điện cực cổng của tranzito thứ ba (T3) được nối với nút Q (NQ), điện cực thứ nhất của tranzito thứ ba (T3) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực thứ hai của tranzito thứ ba (T3) được nối với nút thứ nhất (N1). Tranzito thứ ba (T3) được bật lên bởi điện áp mở công của nút Q (NQ), nhờ đó nút thứ nhất (N1) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST). Nếu tranzito thứ ba (T3) được bật lên, điện áp đóng công được cấp đến nút thứ nhất (N1), nhờ đó tranzito thứ nhất (T1) được bật lên.

Điện cực cổng của tranzito thứ tư (T4) được nối với nút QB (NQB), điện cực thứ nhất của tranzito thứ tư (T4) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực thứ hai của tranzito thứ tư (T4) được nối với nút thứ nhất (N1). Tranzito thứ tư (T4) được bật lên bởi điện áp mở công của nút QB (NQB), nhờ đó nút thứ nhất (N1) được nối với thiết bị đầu cuối điện áp nguồn

cấp năng lượng thứ nhất (VSST). Nếu tranzito thứ tư (T4) được bật lên, điện áp đóng cổng được cấp đến nút thứ nhất (N1), nhờ đó tranzito thứ nhất (T1) được bật lên.

Phần đầu vào thứ nhất 200 có thể bao gồm tranzito thứ năm (T5).

Điện cực cổng của tranzito thứ năm (T5) được nối với thiết bị đầu cuối đồng hồ thứ hai (CT2), điện cực thứ nhất của tranzito thứ năm (T5) được nối với nút Q (NQ), và điện cực thứ hai của tranzito thứ năm (T5) được nối với thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó. Tranzito thứ năm (T5) được bật lên bởi điện áp mở cổng của đồng hồ tín hiệu mà được đưa vào thiết bị đầu cuối đồng hồ thứ hai (CT2), nhờ đó nút Q (NQ) được nối với thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó. Nếu tranzito thứ năm (T5) được bật lên, điện áp mở cổng hoặc điện áp đóng cổng của tín hiệu đầu ra của tầng thứ (q-1) (STAq-1) mà được tạo ra từ thiết bị đầu cuối đầu vào tín hiệu đầu ra (PT) trước đó có thể được cấp đến nút Q (NQ).

Phần đầu vào thứ hai 300 có thể bao gồm các tranzito thứ sáu và thứ bảy.

Điện cực cổng của tranzito thứ sáu (T6) được nối với thiết bị đầu cuối khởi đầu (ST), điện cực thứ hai của tranzito thứ sáu (T6) được nối với thiết bị đầu cuối khởi đầu (ST), và điện cực thứ nhất của tranzito thứ sáu (T6) được nối với nút Q (NQ). Nghĩa là, tranzito thứ sáu (T6) có thể được nối điôt. Tranzito thứ sáu (T6) được bật lên bởi tín hiệu khởi đầu thứ nhất mà được đưa vào thiết bị đầu cuối khởi đầu (ST), tín hiệu khởi đầu thứ hai mà được đưa vào thiết bị đầu cuối khởi đầu (ST), hoặc điện áp mở cổng của tín hiệu đầu ra của tầng thứ (q-2) (STAq-2). Nếu tranzito thứ sáu (T6) được bật lên, điện áp mở cổng được cấp đến nút Q (NQ), nhờ đó tranzito kéo lên (TU) được bật lên.

Điện cực cổng của tranzito thứ bảy (T7) được nối với thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo, điện cực thứ nhất của tranzito thứ bảy (T7) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực

thứ hai của tranzito thứ bảy (T7) được nối với nút Q (NQ). Tranzito thứ bảy (T7) được bật lên bởi điện áp mở cổng của tín hiệu đầu ra của tầng thứ (q+3) (STA_{q+3}) mà được đưa vào thiết bị đầu cuối đầu vào tín hiệu đầu ra (NT) tiếp theo, nhờ đó điện áp đóng cổng được cấp đến nút Q (NQ). Nếu tranzito thứ bảy (T7) được bật lên, điện áp đóng cổng được cấp đến nút Q (NQ), nhờ đó tranzito kéo lên (TU) bị tắt đi.

Phần thiết lập lại nút Q 400 thiết lập nút Q (NQ) theo tín hiệu được thiết lập lại thứ nhất được tạo ra cho thiết bị đầu cuối được thiết lập lại (RT), nhờ đó nút Q (NQ) được thiết lập lại thành điện áp đóng cổng. Phần được thiết lập lại nút Q 400 có thể bao gồm tranzito thứ tám (T8).

Điện cực cổng của tranzito thứ tám (T8) được nối với thiết bị đầu cuối được thiết lập lại (RT), điện cực thứ nhất của tranzito thứ tám (T8) được nối với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST), và điện cực thứ hai của tranzito thứ tám (T8) được nối với nút Q (NQ). Tranzito thứ tám (T8) nối nút Q (NQ) với thiết bị đầu cuối điện áp nguồn cấp năng lượng thứ nhất (VSST) theo điện áp mở cổng của tín hiệu được thiết lập lại thứ nhất mà được đưa vào thiết bị đầu cuối được thiết lập lại (RT). Nếu tranzito thứ tám (T8) được bật lên, nút Q (NQ) được thiết lập lại thành điện áp đóng cổng.

Phần loại bỏ nhiễu thiết bị đầu cuối đầu ra 500 nối thiết bị đầu cuối đầu ra (OT) với thiết bị đầu cuối đồng hồ thứ nhất (CT1) theo điện áp của thiết bị đầu cuối đầu ra (OT), để do đó loại bỏ nhiễu từ thiết bị đầu cuối đầu ra (OT). Phần loại bỏ nhiễu thiết bị đầu cuối đầu ra 500 có thể bao gồm tranzito thứ chín (T9).

Điện cực cổng của tranzito thứ chín (T9) được nối với thiết bị đầu cuối đầu ra (OT), điện cực thứ nhất của tranzito thứ chín (T9) được nối với thiết bị đầu cuối đầu ra (OT), và điện cực thứ hai của tranzito thứ chín (T9) được nối với thiết bị đầu cuối đồng hồ thứ nhất (CT1). Nghĩa là, tranzito thứ chín (T9) có thể được nối điôt. Nếu

điện áp của thiết bị đầu cuối đầu ra (OT) cao hơn tổng trị số thu được bằng cách bổ sung điện áp của tín hiệu đồng hồ mà được đưa vào thiết bị đầu cuối đồng hồ thứ nhất (CT1) và điện áp ngưỡng của tranzito thứ chín (T9), tranzito thứ chín (T9) nối thiết bị đầu cuối đầu ra (OT) với thiết bị đầu cuối đồng hồ thứ nhất (CT1). Do đó, nếu nhiễu được tạo ra trong thiết bị đầu cuối đầu ra (OT), và điện áp của thiết bị đầu cuối đầu ra (OT) cao hơn tổng trị số thu được bằng cách bổ sung điện áp đóng công của tín hiệu đồng hồ mà được đưa vào thiết bị đầu cuối đồng hồ thứ nhất (CT1) và điện áp ngưỡng của tranzito thứ chín (T9), nhiễu của thiết bị đầu cuối đầu ra (OT) có thể được xả ra thiết bị đầu cuối đồng hồ thứ nhất (OT).

Tụ điện tăng áp (CB) được nối giữa thiết bị đầu cuối đầu ra (OT) và nút Q (NQ). Tụ điện tăng áp (CB) duy trì điện áp khác nhau giữa thiết bị đầu cuối đầu ra (OT) và nút Q (NQ).

Điện cực thứ nhất trong mỗi trong số tranzito kéo lên (TU), tranzito kéo xuống (TD), và các tranzito thứ nhất đến thứ chín (T1 ~ T9) có thể là điện cực nguồn, và điện cực thứ hai trong mỗi trong số tranzito kéo lên (TU), tranzito kéo xuống (TD), và các tranzito thứ nhất đến thứ chín (T1 ~ T9) có thể là điện cực máng, nhưng không cần thiết. Nghĩa là, điện cực thứ nhất trong mỗi trong số tranzito kéo lên (TU), tranzito kéo xuống (TD), và các tranzito thứ nhất đến thứ chín (T1 ~ T9) có thể là điện cực máng, và điện cực thứ hai trong mỗi trong số tranzito kéo lên (TU), tranzito kéo xuống (TD), và các tranzito thứ nhất đến thứ chín (T1 ~ T9) có thể là điện cực nguồn.

Đồng thời, để giải thích, Fig.7 chỉ thể hiện tầng thứ q (STAg). Mỗi trong số các tầng (STA1 ~ STAp) của bộ điều vận công thứ nhất 11 và mỗi trong số các tầng (STB1 ~ STBp) của bộ điều vận công thứ hai 12 có thể giống như tầng thứ q (STAg) được thể hiện trên Fig.7.

Fig.8 là sơ đồ khối thể hiện bảng mạch in điều khiển, bộ, và các bộ điều vận công thứ nhất và thứ hai theo sáng chế.

Bảng mạch in điều khiển 70 điều vận và điều khiển thiết bị hiển thị. Bảng mạch in điều khiển 70 có thể bao gồm bộ điều khiển định thời 30, mạch tích hợp được thiết lập lại 40, phần hiệu chỉnh tín hiệu thứ nhất 50, và mạch tạo ra nguồn cấp năng lượng 60.

Tập 80 cấp các điện áp nguồn cấp năng lượng và các tín hiệu điều vận đến bảng mạch in điều khiển 70. Hệ thống chủ để cung cấp thông tin nhằm điều vận và điều khiển thiết bị hiển thị có thể được bố trí trong tập 80. Tập 80 có thể được kết hợp trong hộp được thiết lập trên đỉnh, hệ thống điện thoại, máy tính cá nhân (PC), bộ nhận truyền thông, hệ thống điều hướng, máy chơi đĩa DVD, máy chơi đĩa tia xanh dương (blue-ray), và hệ thống rạp hát tại nhà.

Bộ điều khiển định thời 30 tiếp nhận tín hiệu tắt thông báo (AC_DET) và tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET) từ tập 80. Tín hiệu tắt thông báo được cấp để thông báo trạng thái tắt của tập 80 đến bộ điều khiển định thời 30. Tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET) được tạo ra để điều khiển điện áp nguồn cấp năng lượng (EVDD). Nếu điện áp nguồn cấp năng lượng (EVDD) bị giảm xuống bên dưới trị số điện áp định trước, nghĩa là, nó trở thành trạng thái thấp, tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET) trở thành tăng tắt chuỗi tương ứng với chế độ điều vận trong đó, bộ điều khiển định thời 30 được thay đổi thành trạng thái tắt.

Mạch tích hợp được thiết lập lại 40 tiếp nhận tín hiệu tắt thông báo (AC_DET) và tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET). Nếu điện áp nguồn cấp năng lượng (EVDD) bị giảm xuống dưới trị số điện áp định trước theo tỷ lệ của điện trở thứ nhất (R1) và điện trở thứ hai (R2), hoặc tín hiệu tắt thông

báo (AC_DET) có mức logic thấp, mạch tích hợp được thiết lập lại 40 tạo ra tín hiệu được thiết lập lại (RESET). Mạch tích hợp được thiết lập lại 40 truyền tín hiệu được thiết lập lại (RESET) vào bộ điều khiển định thời 30, nhờ đó bộ điều khiển định thời 30 vào chế độ được thiết lập lại. Điện trở thứ ba (R3) có thể được tạo ra giữa mạch tích hợp được thiết lập lại 40 và bộ điều khiển định thời 30, và điện trở thứ tư (R4) được tạo ra giữa mạch tích hợp được thiết lập lại 40 và đường điện áp nguồn cấp năng lượng (EVDD). Nguồn cấp của tín hiệu được thiết lập lại (RESET) không bị ảnh hưởng bởi điện trở thứ ba và điện trở thứ tư.

Phần hiệu chỉnh tín hiệu thứ nhất 50 tiếp nhận nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), nhiều tín hiệu thông báo được đánh số chẵn (EVEN), và nhiều tín hiệu thông báo được đánh số lẻ (ODD) từ bộ điều khiển định thời 30. Phần hiệu chỉnh tín hiệu thứ nhất 50 tiếp nhận điện áp mở cổng (VGH) và điện áp đóng cổng (VGL) từ mạch tạo ra nguồn cấp năng lượng 60.

Phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra nhiều tín hiệu khởi đầu được đánh số chẵn (VST_EVEN), nhiều tín hiệu đồng hồ cổng được đánh số chẵn (GCLK_EVEN), và nhiều điện áp đóng cổng được đánh số chẵn (VGL_EVEN) bằng cách sử dụng nhiều tín hiệu thông báo được đánh số chẵn (EVEN). Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp nhiều tín hiệu khởi đầu được đánh số chẵn (VST_EVEN), nhiều tín hiệu đồng hồ cổng được đánh số chẵn (GCLK_EVEN), và nhiều điện áp đóng cổng được đánh số chẵn (VGL_EVEN) đến bộ điều vận cổng thứ hai 12.

Phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra nhiều tín hiệu khởi đầu được đánh số lẻ (VST_ODD), nhiều tín hiệu đồng hồ cổng được đánh số lẻ (GCLK_ODD), và nhiều điện áp đóng cổng được đánh số lẻ (VGL_ODD) bằng cách sử dụng nhiều tín hiệu thông báo được đánh số lẻ (ODD). Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp nhiều tín hiệu khởi đầu được đánh số lẻ (VST_ODD), nhiều tín hiệu đồng hồ cổng

được đánh số lẻ (GCLK_ODD), và nhiều điện áp đóng cổng được đánh số lẻ (VGL_ODD) đến bộ điều vận cổng thứ nhất 11.

Mạch tạo ra nguồn cấp năng lượng 60 tạo ra điện áp mở cổng (VGH) và điện áp đóng cổng (VGL). Mạch tạo ra nguồn cấp năng lượng 60 truyền điện áp mở cổng (VGH) và điện áp đóng cổng (VGL) đến phần hiệu chỉnh tín hiệu thứ nhất 50. Mạch tạo ra nguồn cấp năng lượng 60 được tạo ra bên trong phần hiệu chỉnh tín hiệu thứ nhất 50.

Fig.9 là sơ đồ khối thể hiện bảng mạch in điều khiển, tranzito kéo lên, tranzito kéo xuống thứ nhất, và tranzito kéo xuống thứ hai theo phương án thứ nhất của sáng chế; Fig.10 là đồ thị dạng sóng thể hiện điện áp nguồn cấp năng lượng ảo (EVDD_POWER), điện áp nguồn cấp năng lượng logic (EVDD_LOGIC), điện áp nguồn cấp năng lượng cảm biến (EVDD_DET), và dữ liệu video kỹ thuật số (DATA) theo sáng chế này.

Bảng mạch in điều khiển 70 theo phương án thứ nhất của sáng chế này bao gồm mạch tích hợp được thiết lập lại 40, phần hiệu chỉnh tín hiệu thứ nhất 50, và phần hiệu chỉnh tín hiệu thứ hai 130.

Mạch tích hợp được thiết lập lại 40 cấp tín hiệu được thiết lập lại (RESET) đến phần hiệu chỉnh tín hiệu thứ nhất 50.

Bộ điều khiển định thời 30 và mạch tạo ra nguồn cấp năng lượng 60 được bố trí trong phần hiệu chỉnh tín hiệu thứ nhất 50. Tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50. Phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), nhiều tín hiệu thông báo được đánh số chẵn (EVEN), và nhiều tín hiệu thông báo được đánh số lẻ (ODD).

Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), nhiều tín hiệu thông báo được đánh số chẵn (EVEN), và nhiều tín hiệu thông báo được đánh số lẻ (ODD) đến phần hiệu chỉnh tín hiệu thứ hai 130.

Phần hiệu chỉnh tín hiệu thứ hai 130 được cấp với điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), nhiều tín hiệu thông báo được đánh số chẵn (EVEN), và nhiều tín hiệu thông báo được đánh số lẻ (ODD) từ phần hiệu chỉnh tín hiệu thứ nhất 50. Phần hiệu chỉnh tín hiệu thứ hai 130 tạo ra điện áp mở cổng thứ nhất (VGT1) tương ứng với điện áp mở cổng, tín hiệu đồng hồ thứ q (CLKq), điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN), và điện áp cổng mức thấp được đánh số lẻ (VGL_ODD) trên cơ sở nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp điện áp mở cổng thứ nhất (VGT1) đến điện cực cổng của tranzito kéo lên (TU). Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp tín hiệu đồng hồ thứ q (CLKq) đến điện cực thứ nhất của tranzito kéo lên (TU).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) đến điện cực cổng của tranzito kéo xuống thứ nhất (TD1). Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp điện áp cổng mức thấp được đánh số lẻ (VGL_ODD) đến điện cực cổng của tranzito kéo xuống thứ hai (TD2).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp khung thông thường (NF) trong khoảng thời gian thứ nhất (T1) trong đó, thiết bị hiển thị ở trạng thái bật lên, và điện áp nguồn cấp năng lượng ảo (EVDD_POWER) được duy trì ở trạng thái điện áp bật (V ON).

Nếu thiết bị hiển thị bị thay đổi từ trạng thái bật lên đến trạng thái tắt đi, và điện áp nguồn cấp năng lượng ảo (EVDD_POWER) bị thay đổi từ trạng thái điện áp bật (V ON) sang trạng thái điện áp tắt (V OFF), mạch tích hợp được thiết lập lại 40 tạo ra tín hiệu được thiết lập lại (RESET), và cấp tín hiệu được thiết lập lại được tạo ra (RESET) đến phần hiệu chỉnh tín hiệu thứ nhất 50. Nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, khoảng thời gian thứ hai (T2) được bắt đầu. Khi khoảng thời gian thứ nhất (T1) được thay đổi thành khoảng thời gian thứ hai (T2), tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET) trở thành trạng thái thấp, và phần hiệu chỉnh tín hiệu thứ nhất 50 trở thành tăng tắt chuỗi.

Nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130, điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) cuối cùng được xuất ra khỏi bộ điều vận dữ liệu 20, và sau đó dữ liệu video kỹ thuật số không được xuất ra khỏi bộ điều vận dữ liệu 20. Từ thời điểm ở đó dữ liệu video kỹ thuật số (DATA) không được xuất ra, phần hiệu chỉnh tín hiệu thứ hai 130 không xuất ra điện áp cổng mức thấp được đánh số lẻ (VGL_ODD), tín hiệu đồng hồ thứ q (CLKq), và điện áp mở cổng thứ nhất (VGT1) được cấp đến tranzito kéo lên (TU) và tranzito kéo xuống thứ hai (TD2).

Việc định thời điều vận trong các phần hiệu chỉnh tín hiệu thứ nhất và thứ hai 50 và 130 của thiết bị hiển thị theo phương án thứ nhất của sáng chế được thiết lập theo cách sao cho tranzito kéo xuống thứ hai (TD2) được điều vận cuối cùng. Thiết bị hiển thị theo phương án thứ nhất của sáng chế được thiết lập theo cách sao cho thiết bị hiển thị bị tắt đi cho đến sau khi khung được đánh số chẵn được điều vận cuối cùng bằng cách sử dụng tín hiệu được thiết lập lại (RESET). Các tranzito kéo

xuống thứ nhất và thứ hai (TD1, TD2) tuần tự được điều vận mỗi khung. Vì lý do này, thiết bị hiển thị theo phương án thứ nhất của sáng chế được thiết lập theo cách sao cho thiết bị hiển thị được điều vận cho đến khi khung được đánh số chẵn được điều vận cuối cùng bằng cách sử dụng tín hiệu được thiết lập lại (RESET), nhờ đó tranzito kéo xuống thứ hai (TD2) được điều vận cuối cùng.

Tín hiệu được thiết lập lại (RESET) được tạo ra trong mạch tích hợp được thiết lập lại 40, và tín hiệu được thiết lập lại (RESET) được cấp đến bộ điều khiển định thời 30 được bố trí bên trong phần hiệu chỉnh tín hiệu thứ nhất 50. Nếu tín hiệu được thiết lập lại tín hiệu (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, bộ điều vận dữ liệu 20 được duy trì ở trạng thái bật lên dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130. Bộ điều vận dữ liệu 20 duy trì trạng thái trôi nổi của các đường dữ liệu (D1 ~ Dm) để ngăn chặn khung định trước khỏi được chèn cho đến khi tranzito kéo xuống thứ hai (TD2) được điều vận cuối cùng, hoặc để ngăn chặn hình ảnh có ý nghĩa từ đang được hiển thị cho đến khi tranzito kéo xuống thứ hai (TD2) được điều vận cuối cùng.

Ví dụ, nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, phần hiệu chỉnh tín hiệu thứ hai 130 điều khiển bộ điều vận dữ liệu 20 để chèn khung màu đen (Black Frame - BF). Việc chèn của khung màu đen (BF) chỉ ra việc hiển thị hình ảnh màu đen trên vùng hiển thị (DA) của bảng hiển thị 10 trong một khoảng khung. Nghĩa là, bộ điều vận dữ liệu 20 áp dụng điện áp dữ liệu tương ứng với hình ảnh màu đen đến bảng hiển thị 10, nhờ đó hình ảnh màu đen được hiển thị trên bảng hiển thị 10 trong một khoảng khung.

Dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130, khung màu đen (BF) có thể đang được chèn cho đến thời điểm điều vận cuối cùng tranzito kéo xuống thứ hai (TD2). Nếu khung đầu ra cuối cùng tương ứng với khung được đánh

số lẻ, phần hiệu chỉnh tín hiệu thứ hai 130 bổ sung một khung màu đen (BF). Nếu khung đầu ra cuối cùng tương ứng với khung được đánh số chẵn, dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130, dữ liệu video kỹ thuật số (DATA) không được xuất ra mà không có việc chèn khung màu đen (BF).

Ở thiết bị hiển thị theo phương án thứ nhất của sáng chế, tranzito cuối cùng được sử dụng cho việc điều vận trước đó được thiết lập cho tranzito thứ hai (TD2). Do đó, thậm chí mặc dù tranzito thứ nhất (TD1) trước tiên được điều vận cho việc điều vận tiếp theo, có thể duy trì độ cân bằng việc thoái hóa giữa tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2). Do đó vì độ cân bằng việc thoái hóa được duy trì giữa tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2), có thể làm tăng tuổi thọ thiết bị của thiết bị hiển thị.

Fig.11 là sơ đồ khối thể hiện bảng mạch in điều khiển 70, tranzito kéo lên (TD), tranzito kéo xuống thứ nhất (TD1), và tranzito kéo xuống thứ hai (TD2) theo phương án thứ hai của sáng chế này.

Không giống thiết bị hiển thị theo phương án thứ nhất của sáng chế, thiết bị hiển thị theo phương án thứ hai của sáng chế không thiết lập theo cách sao cho tranzito kéo xuống thứ hai (TD2) được điều vận cuối cùng. Khi bảng hiển thị 10 được bật lên, tranzito kéo xuống mà không được sử dụng cuối cùng cho việc điều vận trước đó được bật lên đầu tiên.

Thiết bị hiển thị theo phương án thứ hai của sáng chế này cần thông tin về tranzito được điều vận cuối cùng trong các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2). Với mục đích này, nếu tín hiệu được thiết lập lại (RESET) được cấp cho phần hiệu chỉnh tín hiệu thứ nhất 50 của thiết bị hiển thị theo phương án thứ hai của sáng chế này, phần hiệu chỉnh tín hiệu thứ nhất 50 phát hiện rằng khung đầu ra cuối cùng ở thời điểm cuối cùng tương ứng với khung được đánh số lẻ hoặc khung

được đánh số chẵn. Đối với việc phát hiện khung đầu ra cuối cùng ở thời điểm cuối cùng, có thể tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng.

Thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ khi bảng hiển thị 10 bị tắt đi. Ví dụ, như được thể hiện trên Fig.11, thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80 ở thời điểm khi thiết bị hiển thị ở vào tầng tắt chuỗi, và thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được nạp từ tập 80 khi thiết bị hiển thị được bật lên, nhưng không chỉ hạn chế ở kết cấu này. Ví dụ, thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng có thể được lưu trữ trong bộ nhớ bên trong của phần hiệu chỉnh tín hiệu thứ nhất 50 được thể hiện trên Fig.9.

Để tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng, phần hiệu chỉnh tín hiệu thứ nhất 50 phát hiện ra số lượng các khung được điều vận, nghĩa là, số lượng các khung mà được xuất ra trong khoảng thời gian bật lên tương ứng với số lẻ hoặc số chẵn. Nhằm mục đích này, phần hiệu chỉnh tín hiệu thứ nhất 50 sử dụng đôi trọng bên trong để đếm số lượng các khung được điều vận.

Theo phương án thứ hai của sáng chế, nếu thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80, như được thể hiện trên Fig.11, phần hiệu chỉnh tín hiệu thứ nhất 50 cấp nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD), mà được tạo ra trong phần hiệu

chỉnh tín hiệu thứ nhất 50, đến tập 80 ở thời điểm khi tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50. Theo phương án thứ hai của sáng chế, nếu thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong phần hiệu chỉnh tín hiệu thứ nhất 50, phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng bằng cách sử dụng nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD), mà được tạo ra trong phần hiệu chỉnh tín hiệu thứ nhất 50 và được tạo ra ở thời điểm khi tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, và sau đó lưu trữ thông tin được tạo ra trong bộ nhớ bên trong.

Nếu thông tin về tranzito trong số các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80, phần hiệu chỉnh tín hiệu thứ nhất 50 truyền nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD) đến tập 80 qua việc sử dụng mặt phân giới I2C tương ứng với mặt phân giới mà truyền thông tin đến tập 80 và tiếp nhận thông tin từ tập 80. Tập 80 lưu trữ thông tin thứ tự khung được lưu trữ trong nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD).

Nếu bật lên thiết bị hiển thị sau trạng thái tắt, tập 80 cấp tín hiệu thông báo được đánh số chẵn trước đó được lưu trữ (PEVEN) và tín hiệu thông báo được đánh số lẻ trước đó (PODD) đến phần hiệu chỉnh tín hiệu thứ nhất 50. Do đó, tập 80 phát hiện rằng điện áp được cấp cuối cùng từ các tranzito kéo xuống thứ nhất và thứ hai (TD1, TD2) tương ứng với điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) hoặc điện áp cổng mức thấp được đánh số lẻ (VGL_ODD).

Nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ hai (TD2) được sử dụng cuối cùng. Đồng thời, nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp được đánh số lẻ (VGL_ODD) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ nhất (TD1) được sử dụng cuối cùng.

Dựa trên kết quả phát hiện, phần hiệu chỉnh tín hiệu thứ nhất 50 bắt đầu truyền động tranzito kéo xuống mà không được sử dụng cuối cùng cho việc điều vận nêu trên.

Nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ nhất (TD1) được sử dụng cuối cùng. Trong trường hợp này, tranzito kéo xuống thứ hai (TD2) được bật lên đầu tiên và được điều vận. Đồng thời, nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp được đánh số lẻ (VGL_ODD) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ hai (TD2) được sử dụng cuối cùng. Trong trường hợp này, tranzito kéo xuống thứ nhất (TD1) được bật lên đầu tiên và được điều vận.

Do đó khi tranzito mà không được sử dụng cuối cùng cho việc điều vận trước đó được sử dụng đầu tiên cho việc điều vận tiếp theo trong thiết bị hiển thị theo phương án thứ hai của sáng chế, có thể duy trì độ cân bằng việc thoái hóa giữa tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2). Do đó khi độ cân bằng việc thoái hóa được duy trì giữa tranzito kéo xuống thứ nhất (TD1) và tranzito kéo xuống thứ hai (TD2), có thể làm tăng tuổi thọ thiết bị của thiết bị hiển thị.

Fig.12 là sơ đồ khối thể hiện bảng mạch in điều khiển 70, tranzito kéo lên (TU), và các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN, trong bản mô tả này, 'N' là số nguyên bằng 3 hoặc lớn hơn 3).

Mạch tích hợp được thiết lập lại 40 cấp tín hiệu được thiết lập lại (RESET) đến phần hiệu chỉnh tín hiệu thứ nhất 50.

Bộ điều khiển định thời 30 và mạch tạo ra nguồn cấp năng lượng 60 được bố trí bên trong phần hiệu chỉnh tín hiệu thứ nhất 50. Tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50. Phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), và các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN).

Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), và các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) đến phần hiệu chỉnh tín hiệu thứ hai 130.

Phần hiệu chỉnh tín hiệu thứ hai 130 được cấp với điện áp mở cổng (VGH), điện áp đóng cổng (VGL), nhiều tín hiệu khởi đầu (VST), nhiều tín hiệu đồng hồ (CLK), nhiều tín hiệu thông báo được đánh số chẵn (EVEN), và nhiều tín hiệu thông báo được đánh số lẻ (ODD) từ phần hiệu chỉnh tín hiệu thứ nhất 50. Phần hiệu chỉnh tín hiệu thứ hai 130 tạo ra điện áp mở cổng thứ nhất (VGT1) tương ứng với điện áp mở cổng, tín hiệu đồng hồ thứ q (CLKq), và các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) trên cơ sở nhiều tín hiệu thông báo được đánh số chẵn (EVEN) và nhiều tín hiệu thông báo được đánh số lẻ (ODD).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp điện áp mở cổng thứ nhất (VGT1) đến điện cực cổng của tranzito kéo lên (TU). Phần hiệu chỉnh tín hiệu thứ nhất 50 cấp tín hiệu đồng hồ thứ q (CLKq) đến điện cực thứ nhất của tranzito kéo lên (TU).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) đến các điện cực cổng của các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN).

Phần hiệu chỉnh tín hiệu thứ hai 130 cấp khung thông thường (NF) trong khoảng thời gian thứ nhất (T1) trong đó, thiết bị hiển thị ở trạng thái bật lên, và điện áp nguồn cấp năng lượng ảo (EVDD_POWER) được duy trì ở trạng thái điện áp bật (V ON).

Nếu thiết bị hiển thị bị thay đổi từ trạng thái bật lên đến trạng thái tắt đi, và điện áp nguồn cấp năng lượng ảo (EVDD_POWER) bị thay đổi từ trạng thái điện áp bật (V ON) sang trạng thái điện áp tắt (V OFF), mạch tích hợp được thiết lập lại 40 tạo ra tín hiệu được thiết lập lại (RESET), và cấp tín hiệu được thiết lập lại được tạo ra (RESET) đến phần hiệu chỉnh tín hiệu thứ nhất 50. Nếu tín hiệu được thiết lập lại (RSET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, khoảng thời gian thứ hai (T2) được bắt đầu. Khi khoảng thời gian thứ nhất (T1) bị thay đổi thành khoảng thời gian thứ hai (T2), tín hiệu thông báo điện áp nguồn cấp năng lượng (EVDD_DET) ở vào trạng thái thấp, và phần hiệu chỉnh tín hiệu thứ nhất 50 ở vào trạng thái tắt chuỗi.

Nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130, điện áp cổng mức thấp được đánh số chẵn (VGL_EVEN) cuối cùng được xuất ra khỏi bộ điều vận dữ liệu 20, và sau đó dữ liệu video kỹ thuật số không được xuất ra khỏi bộ điều vận dữ liệu 20. Từ thời điểm ở đó dữ liệu video kỹ thuật số (DATA) không được xuất ra, phần hiệu chỉnh tín hiệu thứ hai 130 không xuất ra các điện áp cổng

mức thấp được đánh số lẻ (VGL_ODD), tín hiệu đồng hồ thứ q (CLK $_q$), và điện áp mở cổng thứ nhất (VGT1) được cấp đến tranzito kéo lên (TU) và tranzito kéo xuống thứ hai (TD2).

Việc định thời điều vận trong các phần hiệu chỉnh tín hiệu thứ nhất và thứ hai 50 và 130 của thiết bị hiển thị theo phương án thứ ba của sáng chế được thiết lập theo cách sao cho tranzito kéo xuống thứ N (TDN) được điều vận cuối cùng. Thiết bị hiển thị theo phương án thứ ba của sáng chế được thiết lập theo cách sao cho thiết bị hiển thị bị tắt đi cho đến sau khi khung được đánh số bội N được điều vận cuối cùng bằng cách sử dụng tín hiệu được thiết lập lại (RESET). Các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận một cách tuần tự mỗi khung. Vì lý do này, thiết bị hiển thị theo phương án thứ ba của sáng chế được thiết lập theo cách sao cho thiết bị hiển thị được điều vận cho đến khi khung được đánh số bội N được điều vận cuối cùng bằng cách sử dụng tín hiệu được thiết lập lại (RESET), nhờ đó tranzito kéo xuống thứ N (TDN) được điều vận cuối cùng.

Tín hiệu được thiết lập lại (RESET) được tạo ra trong mạch tích hợp được thiết lập lại 40, và tín hiệu được thiết lập lại (RESET) được cấp đến bộ điều khiển định thời 30 được bố trí bên trong phần hiệu chỉnh tín hiệu thứ nhất 50. Nếu tín hiệu được thiết lập lại tín hiệu (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, bộ điều vận dữ liệu 20 được duy trì ở trạng thái bật lên dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130. Bộ điều vận dữ liệu 20 duy trì trạng thái trôi nổi của các đường dữ liệu ($D1 \sim Dm$) để ngăn chặn khung định trước từ đang được chèn cho đến khi tranzito kéo xuống thứ N (TDN) được điều vận cuối cùng, hoặc để ngăn chặn hình ảnh có ý nghĩa từ đang được hiển thị cho đến khi tranzito kéo xuống thứ N (TDN) được điều vận cuối cùng.

Ví dụ, nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, phần hiệu chỉnh tín hiệu thứ hai 130 điều khiển bộ điều vận dữ liệu 20 để chèn khung màu đen (BF). Dưới sự điều khiển của phần hiệu chỉnh tín hiệu thứ hai 130, khung màu đen (BF) có thể đang được chèn cho đến thời điểm điều vận cuối cùng tranzito kéo xuống thứ N (TDN). Nếu khung đầu ra cuối cùng không phải là khung được đánh số bội N, phần hiệu chỉnh tín hiệu thứ hai 130 bổ sung khung màu đen được đánh số từ 1 đến (N-1) (BF) cho đến khi nó trở thành khung được đánh số bội N. Nếu khung đầu ra cuối cùng tương ứng với khung được đánh số bội N, khung màu đen (BF) không được chèn.

Trong thiết bị hiển thị theo phương án thứ ba của sáng chế, tranzito được sử dụng cuối cùng cho việc điều vận trước đó được thiết lập đến tranzito thứ N (TDN). Do đó, ngay cả khi tranzito thứ nhất (TD1) được điều vận đầu tiên cho việc điều vận tiếp theo, có thể duy trì sự cân bằng việc thoái hóa trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN). Do đó khi sự cân bằng việc thoái hóa được duy trì trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN), có thể làm tăng tuổi thọ thiết bị của thiết bị hiển thị.

Fig.13 là sơ đồ khối thể hiện bảng mạch in điều khiển 70, tranzito kéo lên (TU), và các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN).

Không giống thiết bị hiển thị theo phương án thứ ba của sáng chế, thiết bị hiển thị theo phương án thứ tư của sáng chế không được thiết lập theo cách sao cho tranzito kéo xuống thứ N (TDN) được điều vận cuối cùng. Khi bảng hiển thị 10 được bật lên, tranzito kéo xuống mà không được sử dụng cuối cùng cho việc điều vận trước đó được bật lên đầu tiên.

Thiết bị hiển thị theo phương án thứ tư của sáng chế cần thông tin về tranzito được điều vận cuối cùng trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~

TDN). Với mục đích này, nếu tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50 của thiết bị hiển thị theo phương án thứ tư của sáng chế này, phần hiệu chỉnh tín hiệu thứ nhất 50 phát hiện rằng khung đầu ra cuối cùng ở thời điểm cuối cùng tương ứng với khung được đánh số lẻ hoặc khung được đánh số chẵn. Đối với việc phát hiện khung đầu ra cuối cùng ở thời điểm cuối cùng, có thể tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng.

Thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ khi bảng hiển thị 10 bị tắt đi. Ví dụ, như được thể hiện trên Fig.13, thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80 ở thời điểm khi thiết bị hiển thị ở vào trạng thái tắt chuỗi, và thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được nạp từ tập 80 khi thiết bị hiển thị được bật lên, nhưng không chỉ hạn chế ở kết cấu này. Ví dụ, thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng có thể được lưu trữ trong bộ nhớ bên trong của phần hiệu chỉnh tín hiệu thứ nhất 50 được thể hiện trên Fig.12.

Để tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng, phần hiệu chỉnh tín hiệu thứ nhất 50 phát hiện ra số lượng các khung được điều vận, nghĩa là, số lượng các khung mà được xuất ra trong khoảng thời gian bật lên tương ứng với số lẻ hoặc số chẵn. Nhằm mục đích này, phần hiệu chỉnh tín hiệu thứ nhất 50 sử dụng đối trọng bên trong để đếm số lượng các khung được điều vận.

Theo phương án thứ tư của sáng chế, nếu thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80, như được thể hiện trên Fig.13, phần hiệu chỉnh tín hiệu thứ nhất 50 cấp các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) đến tập 80 ở thời điểm khi tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50. Theo phương án thứ tư của sáng chế, nếu thông tin về tranzito của các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong phần hiệu chỉnh tín hiệu thứ nhất 50, phần hiệu chỉnh tín hiệu thứ nhất 50 tạo ra thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng bằng cách sử dụng các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) được tạo ra trong phần hiệu chỉnh tín hiệu thứ nhất 50 ở thời điểm khi tín hiệu được thiết lập lại (RESET) được cấp đến phần hiệu chỉnh tín hiệu thứ nhất 50, và sau đó chứa thông tin được tạo ra trong bộ nhớ bên trong.

Nếu thông tin về tranzito trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN) được điều vận cuối cùng ở thời điểm cuối cùng được lưu trữ trong tập 80, phần hiệu chỉnh tín hiệu thứ nhất 50 truyền các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) đến tập 80 qua việc sử dụng của mặt phân giới I2C tương ứng với mặt phân giới mà truyền thông tin đến tập 80 và tiếp nhận thông tin từ tập 80. Tập 80 chứa thông tin thứ tự khung được lưu trữ trong các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN).

Nếu bật lên thiết bị hiển thị sau trạng thái tắt, tập 80 cấp các điện áp cổng mức thấp thứ nhất đến thứ N trước đó được lưu trữ (PVGL1 ~ PVGLN) đến phần hiệu chỉnh tín hiệu thứ nhất 50. Do đó, tập 80 phát hiện điện áp trong số các điện áp cổng mức thấp thứ nhất đến thứ N (VGL1 ~ VGLN) tương ứng với điện áp được cấp cuối

cùng từ các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN). Nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp thứ k (VGLk, $1 \leq k \leq N$) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ k (TDk) được sử dụng cuối cùng.

Dựa trên kết quả phát hiện, phần hiệu chỉnh tín hiệu thứ nhất 50 bắt đầu truyền động tranzito kéo xuống mà được định vị chỉ ở phía sau tranzito kéo xuống được điều vận cuối cùng.

Nếu nó bị tắt dưới điều kiện mà điện áp cổng mức thấp thứ k (VGLk) được cấp cuối cùng vào đó, thiết bị hiển thị bị tắt cho đến sau khi tranzito kéo xuống thứ k (TDk) được sử dụng cuối cùng. Trong trường hợp này, tranzito kéo xuống thứ (k+1) (TDk+1) được bật lên đầu tiên và được điều vận.

Do đó khi tranzito kéo xuống mà được định vị ngay ở phía sau tranzito kéo xuống được điều vận cuối cùng đối với việc điều vận nêu trên được sử dụng đầu tiên cho việc điều vận tiếp theo trong thiết bị hiển thị theo phương án thứ tư của sáng chế, có thể duy trì sự cân bằng việc thoái hóa trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN). Do đó khi sự cân bằng việc thoái hóa được duy trì trong số các tranzito kéo xuống thứ nhất đến thứ N (TD1 ~ TDN), có thể làm tăng tuổi thọ thiết bị của thiết bị hiển thị.

Theo sáng chế này, tuổi thọ thiết bị của bộ điều vận cổng tăng lên bằng cách duy trì sự cân bằng việc thoái hóa trong số nhiều tranzito kéo xuống.

Sẽ là rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật là các cải biến và các thay đổi khác nhau có thể được thực hiện trong thiết bị hiển thị của sáng chế mà không lệch khỏi ý tưởng hoặc phạm vi của sáng chế. Do đó, dự định rằng sáng chế này bao phủ các cải biến và các thay đổi của sáng chế khiến cho chúng

nằm trong phạm vi của các điểm yêu cầu bảo hộ kèm theo và các phương án tương đương của chúng.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

bảng hiển thị để hiển thị hình ảnh;

bộ điều vận công để cấp tín hiệu công đến bảng hiển thị, bộ điều vận công bao gồm nhiều tầng, mỗi tầng bao gồm nhiều tranzito kéo xuống;

bộ điều khiển định thời để cấp nhiều tín hiệu điều khiển công đến bộ điều vận công; và

mạch tích hợp được thiết lập lại để cấp tín hiệu được thiết lập lại đến bộ điều khiển định thời,

trong đó, bộ điều khiển định thời được tạo kết cấu để điều vận bảng hiển thị cho đến khi khung được đánh số chặn, và để vào chế độ thiết lập lại cho đến sau khi một tranzito kéo xuống cuối cùng định trước trong số nhiều tranzito kéo xuống bên trong bộ điều vận công được điều vận, trong khung được đánh số chặn cuối cùng dựa vào tín hiệu được thiết lập lại được cấp từ mạch tích hợp được thiết lập lại, nhiều tranzito kéo xuống được điều vận một cách tuần tự sao cho chỉ một tranzito kéo xuống trong số nhiều tranzito kéo xuống trong mỗi tầng được điều vận trong mỗi khung,

trong đó, bộ điều khiển định thời được tạo kết cấu để hiển thị hình ảnh màu đen trong khung được đánh số chặn cuối cùng khi khung được đánh số lẻ cuối cùng được điều vận bởi tín hiệu được thiết lập lại, và không hiển thị hình ảnh tương ứng với dữ liệu video kỹ thuật số khi khung được đánh số chặn cuối cùng được điều vận bởi tín hiệu được thiết lập lại,

trong đó, mỗi tầng bao gồm các tranzito kéo xuống thứ nhất đến thứ N, 'N' là số nguyên bằng 3 hoặc nhiều hơn 3, và

trong đó, bộ điều khiển định thời được tạo kết cấu để điều vận bảng hiển thị đến N khung được đánh số bội, và để vào chế độ thiết lập lại sau khi tranzito kéo xuống thứ N trong số các tranzito kéo xuống thứ nhất đến thứ N cuối cùng được điều vận dựa vào tín hiệu được thiết lập lại.

2. Thiết bị hiển thị theo điểm 1, trong đó, thiết bị này còn bao gồm bảng mạch in điều khiển để điều vận và điều khiển thiết bị hiển thị, bảng mạch in điều khiển này bao gồm:

mạch tích hợp được thiết lập lại;

mạch hiệu chỉnh tín hiệu thứ nhất bao gồm bộ điều khiển định thời trong đó và được cấp với tín hiệu được thiết lập lại; và

mạch hiệu chỉnh tín hiệu thứ hai để cấp điện áp cổng mức thấp được đánh số chặn đến điện cực cổng của tranzito kéo xuống thứ nhất của nhiều tranzito kéo xuống, và cấp điện áp cổng mức thấp được đánh số lẻ đến điện cực cổng của tranzito kéo xuống thứ hai của nhiều tranzito kéo xuống, dựa vào các tín hiệu thông báo được đánh số chặn và được đánh số lẻ được cấp từ mạch hiệu chỉnh tín hiệu thứ nhất.

3. Thiết bị hiển thị theo điểm 1, trong đó, thiết bị hiển thị ở trạng thái được tắt sau khi khung được đánh số chặn cao nhất được điều vận, dựa vào tín hiệu được thiết lập lại.

4. Thiết bị hiển thị theo điểm 2, trong đó, khi tín hiệu được thiết lập lại được cấp đến mạch hiệu chỉnh tín hiệu thứ nhất, dữ liệu video kỹ thuật số không được xuất ra khỏi mạch hiệu chỉnh tín hiệu thứ hai sau khi xuất ra điện áp cổng mức thấp được đánh số chẵn cao nhất.

5. Thiết bị hiển thị theo điểm 2, trong đó, khung màu đen được chèn cho đến thời điểm điều vận tranzito kéo xuống thứ hai sau khi điện áp cổng mức thấp được đánh số lẻ cuối cùng được cấp.

6. Thiết bị hiển thị theo điểm 2, trong đó, khi tín hiệu được thiết lập lại được cấp đến mạch hiệu chỉnh tín hiệu thứ nhất, các tín hiệu thông báo được đánh số chẵn và được đánh số lẻ được tạo ra trong mạch hiệu chỉnh tín hiệu thứ nhất được cấp đến một tập.

7. Thiết bị hiển thị theo điểm 1, trong đó, thiết bị này còn bao gồm bảng mạch in điều khiển để điều vận và điều khiển thiết bị hiển thị, bảng mạch in điều khiển này bao gồm:

mạch tích hợp được thiết lập lại;

mạch hiệu chỉnh tín hiệu thứ nhất được bố trí bộ điều khiển định thời trong đó và được cấp tín hiệu được thiết lập lại; và

mạch hiệu chỉnh tín hiệu thứ hai để cấp các điện áp cổng mức thấp thứ nhất đến thứ N, 'N' là số nguyên bằng 3 hoặc lớn hơn 3, đến các điện cực cổng của các tranzito kéo xuống thứ nhất đến thứ N của nhiều tranzito kéo xuống, dựa vào các tín

hiệu thông báo được đánh số chẵn và được đánh số lẻ được cấp từ mạch hiệu chỉnh tín hiệu thứ nhất.

8. Thiết bị hiển thị theo điểm 7, trong đó, khi tín hiệu được thiết lập lại được cấp đến mạch hiệu chỉnh tín hiệu thứ nhất, dữ liệu video kỹ thuật số không được xuất ra khỏi mạch hiệu chỉnh tín hiệu thứ hai sau khi xuất ra điện áp cổng mức thấp thứ N.

9. Thiết bị hiển thị theo điểm 7, trong đó, khung màu đen được chèn cho đến thời điểm điều vận tranzito kéo xuống thứ N.

10. Thiết bị hiển thị theo điểm 7, trong đó, khi tín hiệu được thiết lập lại được cấp đến mạch hiệu chỉnh tín hiệu thứ nhất, mạch hiệu chỉnh tín hiệu thứ nhất này cấp các điện áp cổng mức thấp thứ nhất đến thứ N đến tập.

11. Thiết bị hiển thị theo điểm 1, trong đó, bộ điều khiển định thời được tạo kết cấu để hiển thị hình ảnh màu đen cho đến thời điểm điều vận tranzito kéo xuống thứ N trong N khung được đánh số bội.

12. Thiết bị hiển thị bao gồm:

bảng hiển thị để hiển thị hình ảnh;

bộ điều vận cổng để cấp tín hiệu cổng đến bảng hiển thị, bộ điều vận cổng bao gồm nhiều tầng, mỗi tầng bao gồm nhiều tranzito kéo xuống;

bộ điều khiển định thời để cấp nhiều tín hiệu điều khiển công đến bộ điều vận công; và

mạch tích hợp được thiết lập lại để cấp tín hiệu được thiết lập lại đến bộ điều khiển định thời,

trong đó, bộ điều khiển định thời được tạo kết cấu để vào chế độ thiết lập lại cho đến sau khi tranzito kéo xuống cuối cùng được định trước trong số nhiều tranzito kéo xuống bên trong bộ điều vận công được điều vận, dựa vào tín hiệu được thiết lập lại được cấp từ mạch tích hợp được thiết lập lại, nhiều tranzito kéo xuống được điều vận một cách tuần tự sao cho chỉ một tranzito kéo xuống trong số nhiều tranzito kéo xuống trong mỗi tầng được điều vận trong mỗi khung, và

trong đó, bộ điều khiển định thời được tạo kết cấu để thứ nhất điều vận tranzito kéo xuống khác mà cuối cùng không được sử dụng trong việc điều vận trước đó trong số nhiều tranzito kéo xuống khi bảng hiển thị được bật lên lại sau chế độ thiết lập lại.

13. Thiết bị hiển thị theo điểm 12, trong đó:

mỗi tầng bao gồm tranzito kéo xuống thứ nhất và tranzito kéo xuống thứ hai,

trong đó, bộ điều khiển định thời được tạo kết cấu để vào chế độ thiết lập lại cho đến sau khi tranzito kéo xuống thứ nhất được điều vận dựa vào tín hiệu được thiết lập lại, và để thứ nhất điều vận tranzito kéo xuống thứ hai khi bảng hiển thị được bật lên lại sau chế độ thiết lập lại.

14. Thiết bị hiển thị theo điểm 12, trong đó:

mỗi tầng bao gồm các tranzito kéo xuống thứ nhất đến thứ N, 'N' là số nguyên bằng 3 hoặc nhiều hơn 3, và

trong đó, bộ điều khiển định thời được tạo kết cấu để vào chế độ thiết lập lại cho đến sau khi tranzito kéo xuống thứ k trong số các tranzito kéo xuống thứ nhất đến thứ N, 'k' lớn hơn hoặc bằng 1 và nhỏ hơn hoặc bằng N, cuối cùng là được điều vận dựa vào tín hiệu được thiết lập lại, và để thứ nhất điều vận tranzito kéo xuống thứ (k+1) trong số các tranzito kéo xuống thứ nhất đến thứ N khi bảng hiển thị được bật lên lại sau chế độ thiết lập lại.

15. Thiết bị hiển thị theo điểm 14, trong đó, thiết bị này còn bao gồm bảng mạch in điều khiển để điều vận và điều khiển thiết bị hiển thị, bảng mạch in điều khiển này bao gồm:

mạch tích hợp được thiết lập lại;

mạch hiệu chỉnh tín hiệu thứ nhất được bố trí bộ điều khiển định thời trong đó và được cấp tín hiệu được thiết lập lại; và

mạch hiệu chỉnh tín hiệu thứ hai để cấp các điện áp cổng mức thấp thứ nhất đến thứ N đến các điện cực cổng của các tranzito kéo xuống thứ nhất đến thứ N, dựa vào các tín hiệu thông báo được đánh số chẵn và được đánh số lẻ được cấp từ mạch hiệu chỉnh tín hiệu thứ nhất.

16. Thiết bị hiển thị theo điểm 15, trong đó, khi tín hiệu được thiết lập lại được cấp đến mạch hiệu chỉnh tín hiệu thứ nhất, mạch hiệu chỉnh tín hiệu thứ nhất này cấp các điện áp cổng mức thấp thứ nhất đến thứ N đến tập.

FIG. 1

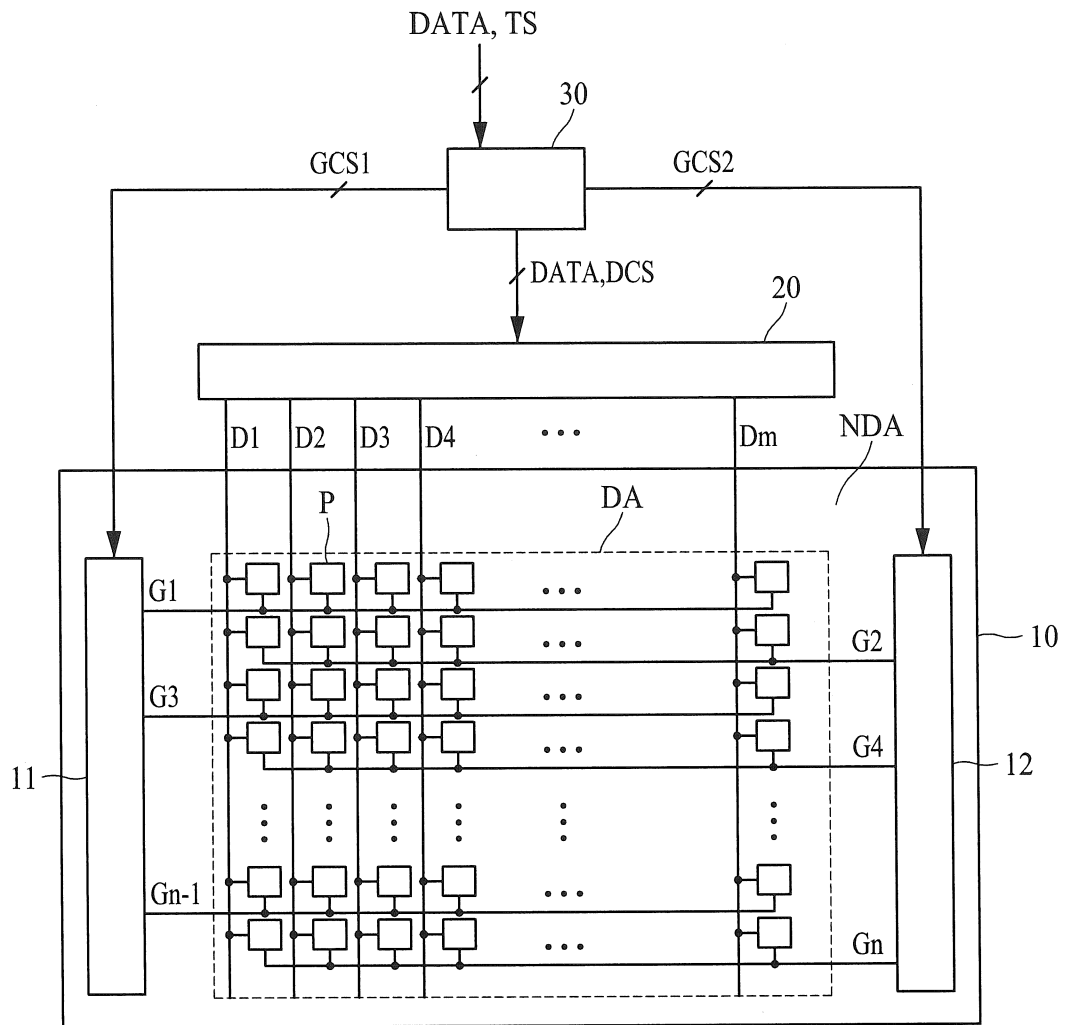


FIG. 2

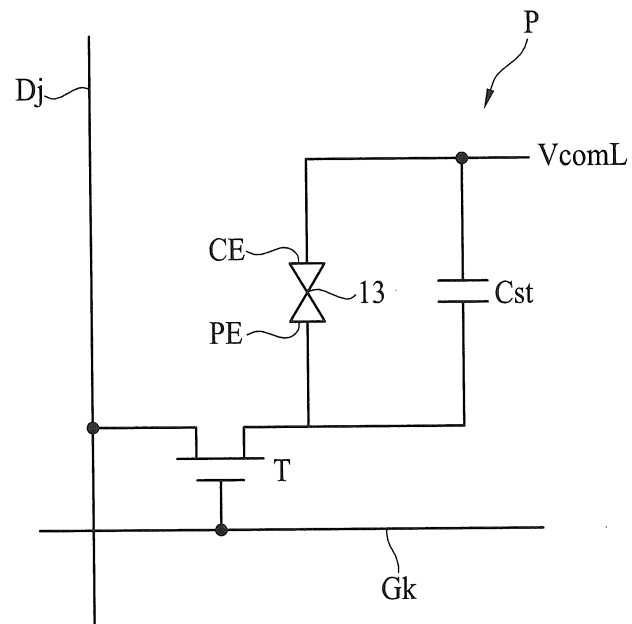


FIG. 3

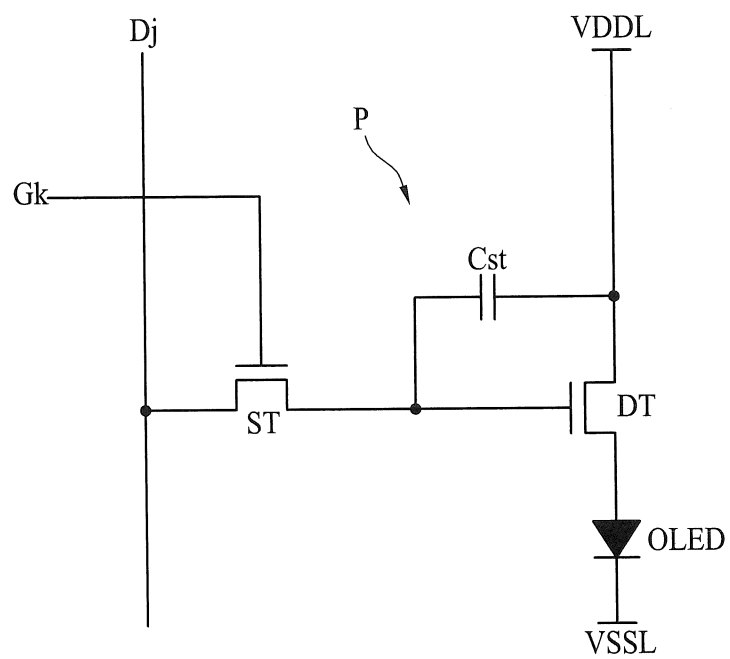


FIG. 4

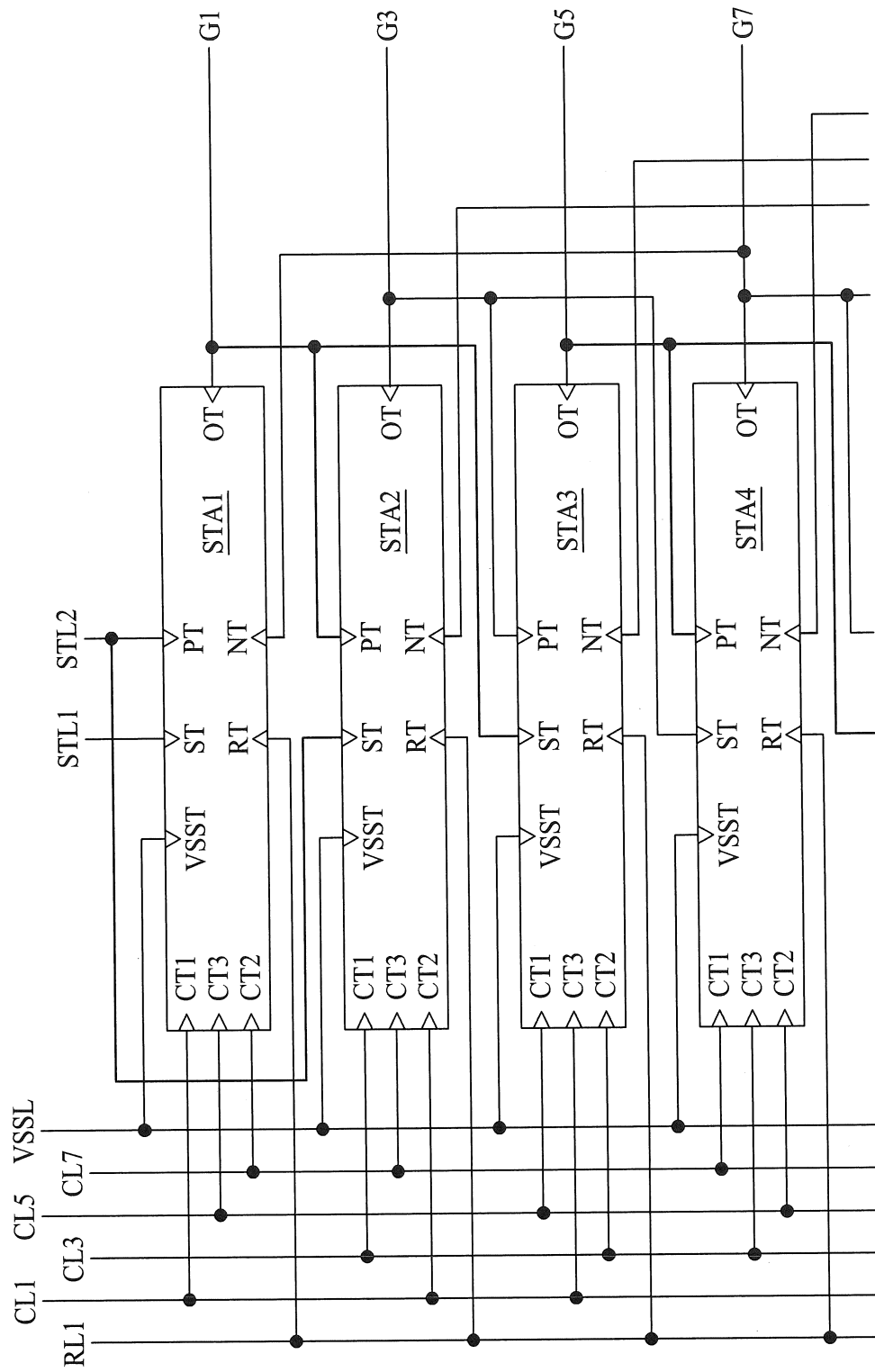


FIG. 5

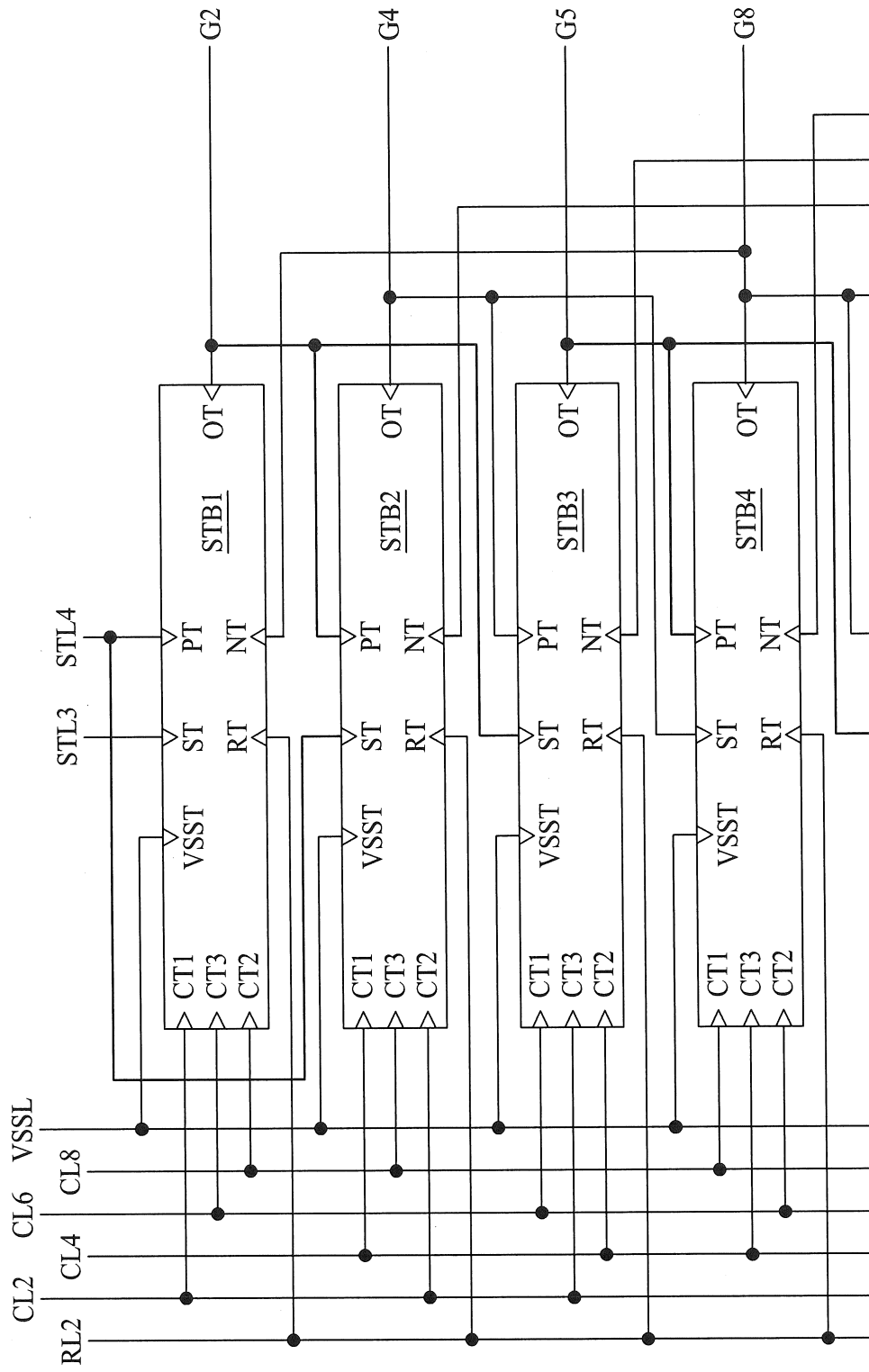


FIG. 6

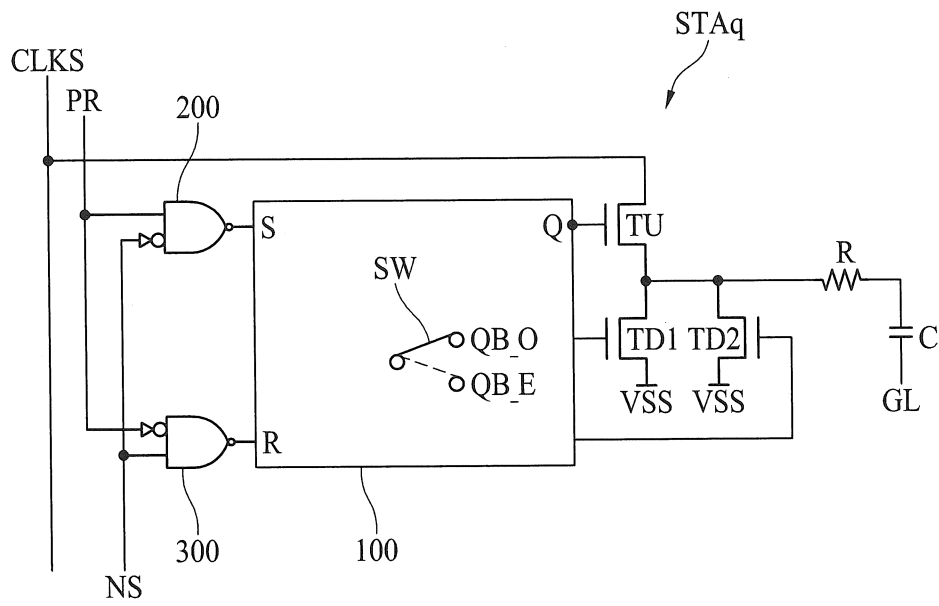


FIG. 7

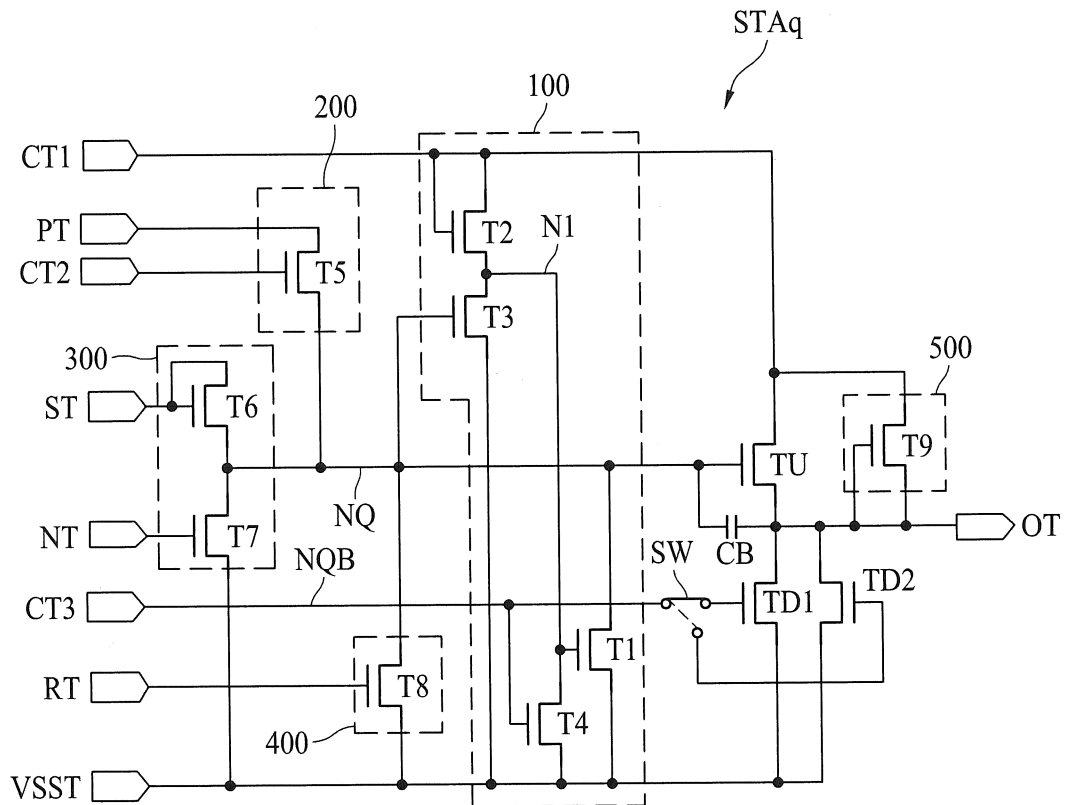


FIG. 8

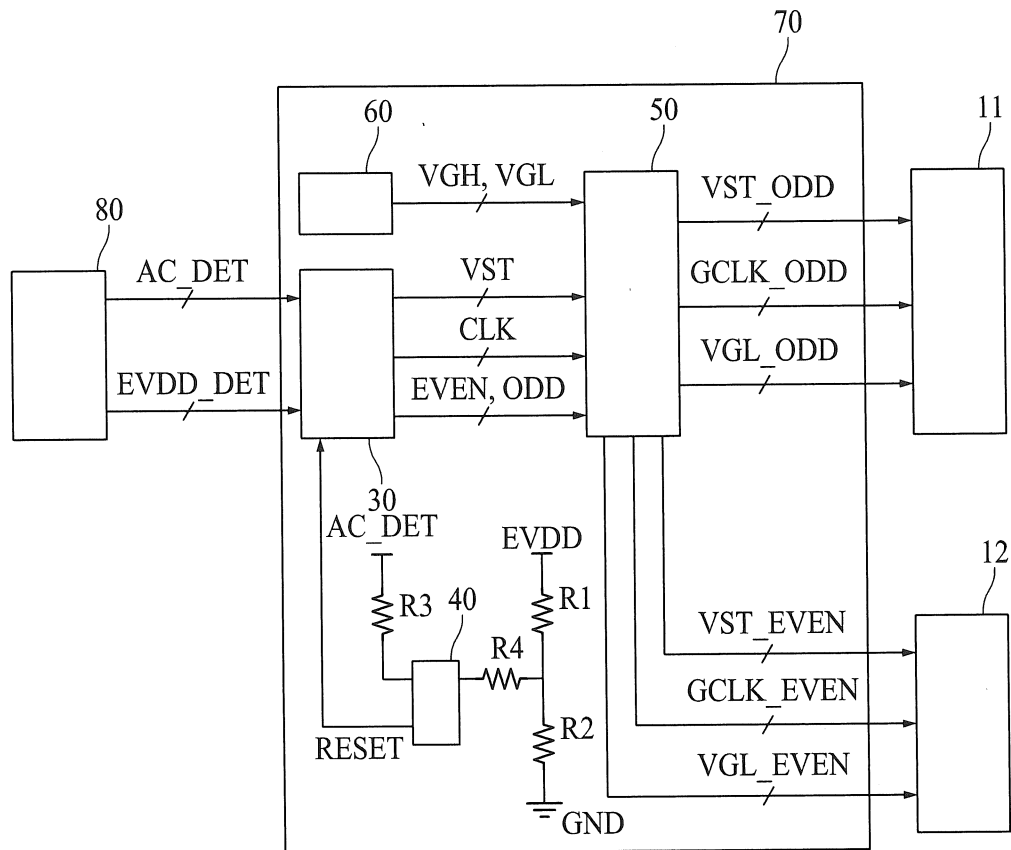


FIG. 9

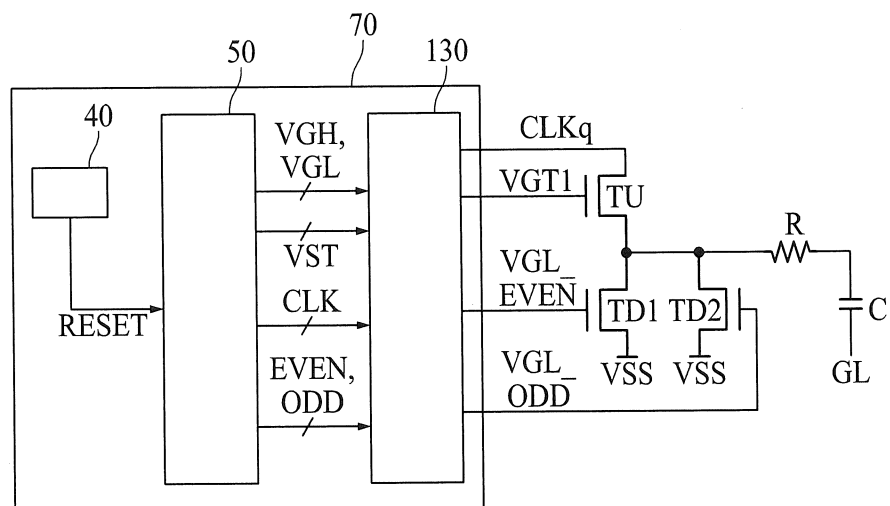


FIG. 10

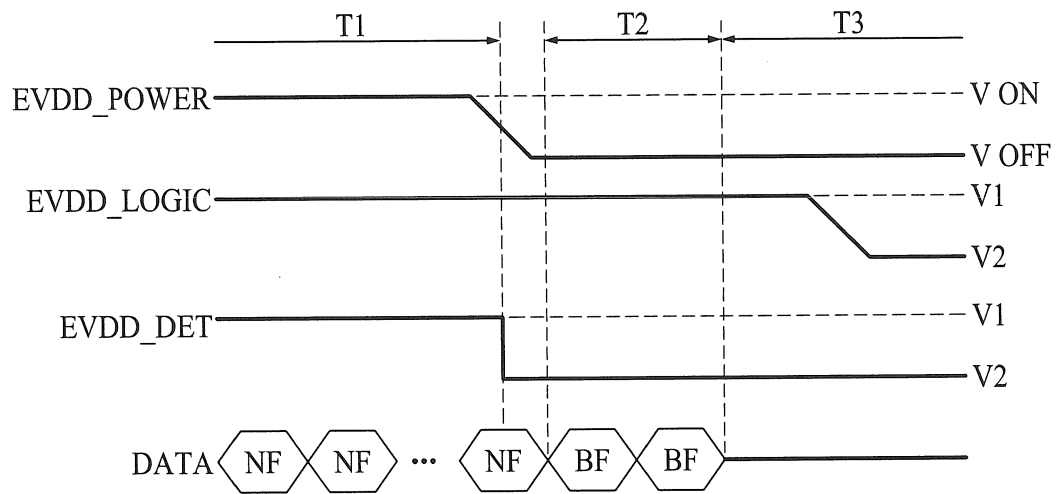


FIG. 11

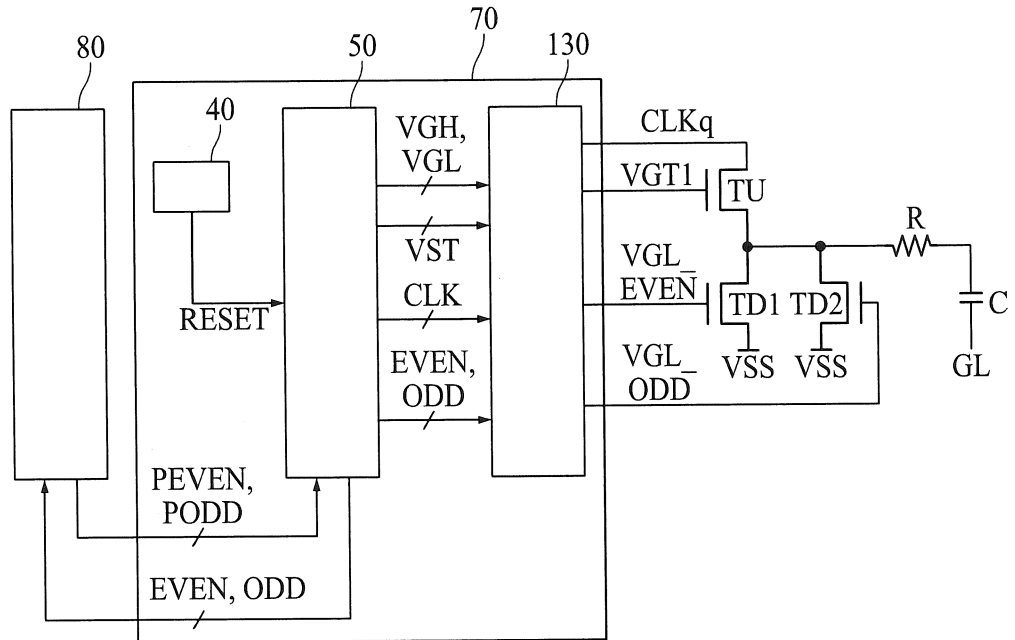


FIG. 12

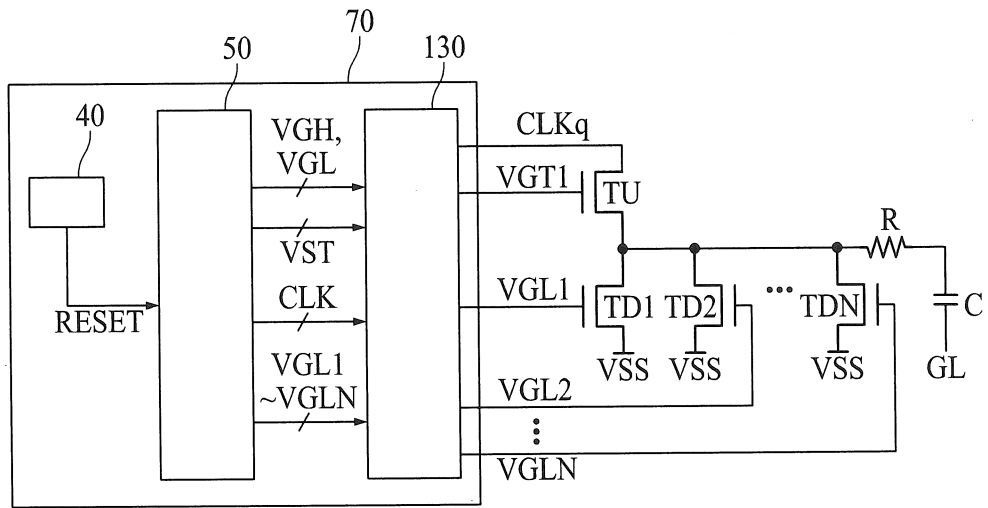


FIG. 13

