



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0034248

(51)⁷ G06F -003/041; G09G -003/20

(13) B

(21) 1-2018-02656

(22) 19/06/2018

(30) 10-2017-0077562 19/06/2017 KR

(45) 26/12/2022 417

(43) 25/12/2018 369A

(73) Samsung Display Co., Ltd. (KR)

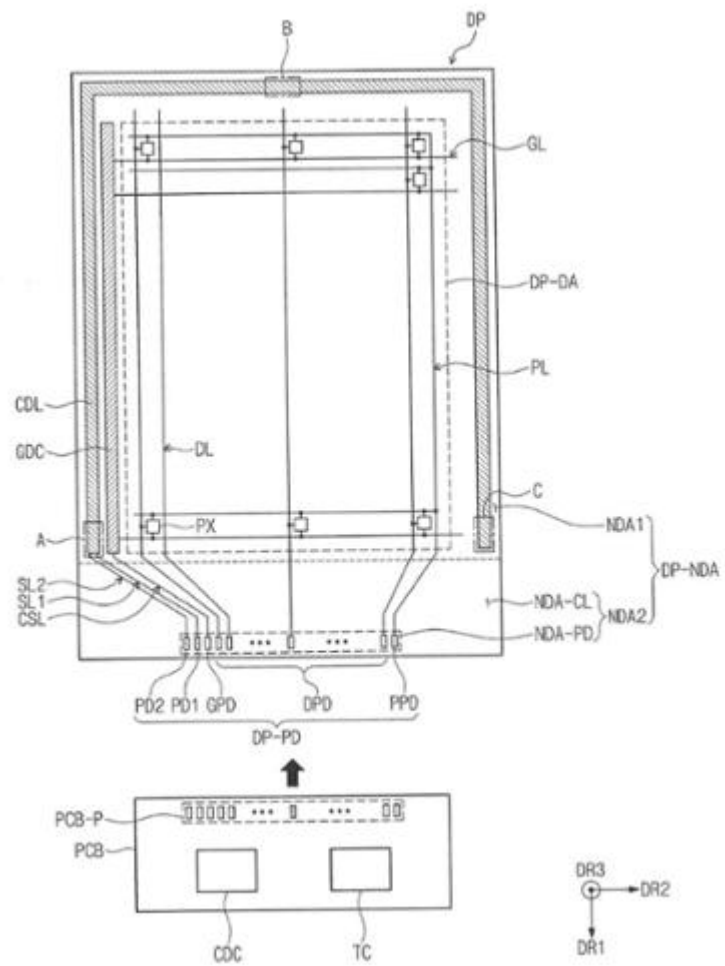
1, Samsung-Ro, Giheung-Gu, Yongin-Si, Gyeonggi-Do, Republic of Korea

(72) Wonse LEE (KR); Hyunwoong KIM (KR); Joong-Soo MOON (KR); Ae SHIN (KR); Ji-eun LEE (KR); Kwangmin KIM (KR); Seungkyu LEE (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) BỘ HIỂN THỊ

(57) Sáng chế đề cập đến bộ hiển thị. Bảng hiển thị có thể bao gồm đường dây dò được chồng lên khu vực không hiển thị, các đế hàn dò được nối với đường dây dò, và đường dây đầu vào nối đế hàn đầu vào trong số các đế hàn dò với đường dây dò. Đường dây dò có thể bao gồm phần thứ nhất, được bố trí ở mức khác với mức của đường dây đầu vào và bao gồm đầu được nối với đường dây đầu vào thông qua lỗ tiếp xúc thứ nhất trong vùng tiếp xúc thứ nhất, và phần thứ hai, được bố trí ở mức khác với mức của phần thứ nhất và được nối với phần thứ nhất thông qua lỗ tiếp xúc thứ hai trong vùng tiếp xúc thứ hai. Khoảng cách giữa phần thứ nhất và thứ hai trong khu vực không tiếp xúc có thể nhỏ hơn khoảng cách giữa lỗ tiếp xúc thứ nhất và phần thứ hai.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bộ hiển thị, và cụ thể là, đến bộ hiển thị có độ bền được cải thiện.

Tình trạng kỹ thuật của sáng chế

Gần đây, các bộ hiển thị khác nhau, chẳng hạn như bộ hiển thị tinh thể lỏng, bộ hiển thị phát sáng điện trường hữu cơ, bộ hiển thị điện âm, bộ hiển thị plasma, và bộ hiển thị điện di đang được phát triển.

Trong quy trình chế tạo bộ hiển thị, nhiều vấn đề khác nhau, chẳng hạn như đứt kết nối hoặc đoạn mạch của đường dẫn tín hiệu hiển thị hoặc khuyết tật điểm ảnh, có thể xảy ra trong bộ hiển thị. Quy trình kiểm tra hoặc thử nghiệm được thực hiện để loại bỏ trước các vấn đề này.

Bằng cách đo các thuộc tính của các đường liên kết thử nghiệm được tạo thành trên khu vực cụ thể hoặc khu vực trống bổ sung của bộ hiển thị, có thể kiểm tra các đặc tính điện của bộ hiển thị và nhờ đó ngăn ngừa hoặc loại bỏ hư hại của kết cấu liên kết hoặc các linh kiện điện tử của bộ hiển thị.

Bản chất kỹ thuật của sáng chế

Một số phương án theo sáng chế đề xuất bộ hiển thị có độ bền được cải thiện.

Theo một số phương án của sáng chế, bộ hiển thị có thể bao gồm bảng hiển thị bao

gồm khu vực hiển thị và khu vực không hiển thị bao quanh khu vực hiển thị, khi được quan sát trên hình chiếu bằng. Bảng hiển thị có thể bao gồm bộ phát sáng hữu cơ được bố trí trong khu vực hiển thị, các cụm mạch được tạo kết cấu để điều khiển bộ phát sáng hữu cơ, đường dây dò được chồng lên khu vực không hiển thị, các đế hàn dò được nối với đường dây dò, và đường dây đầu vào nối đế hàn đầu vào trong số các đế hàn dò với đường dây dò. Đường dây dò có thể bao gồm phần đường dây thứ nhất được bố trí ở mức khác với mức của đường dây đầu vào, phần đường dây thứ nhất bao gồm phần đầu, được nối với đường dây đầu vào thông qua lỗ tiếp xúc liên kết thứ nhất trong vùng tiếp xúc thứ nhất, và phần đường dây thứ hai được bố trí ở mức khác với mức của phần đường dây thứ nhất và được nối với phần đường dây thứ nhất thông qua lỗ tiếp xúc liên kết thứ hai trong vùng tiếp xúc thứ hai. Khi được quan sát trên hình chiếu bằng, phần đường dây thứ nhất có thể được bố trí gần với khu vực hiển thị hơn phần đường dây thứ hai, và khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc có thể nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc.

Theo một số phương án, khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc có thể nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ hai và phần đường dây thứ hai trong khu vực không tiếp xúc.

Theo một số phương án, bảng hiển thị có thể còn bao gồm đường dây đầu ra nối đế hàn đầu ra của các đế hàn dò với đường dây dò, và phần đường dây thứ hai có thể bao gồm phần đầu được nối với phần đường dây thứ nhất, và phần đầu đối diện được nối với đường dây đầu ra.

Theo một số phương án, phần đường dây thứ hai và đường dây đầu ra có thể được tạo ra dưới dạng nguyên khối.

Theo một số phương án, khi được quan sát trên hình chiếu bằng, ít nhất phần thuộc đường dây dò có thể có hình dạng uốn nhiều lần dưới dạng nhánh.

Theo một số phương án, đường dây đầu vào và đường dây đầu ra có thể được bố trí ở cùng mức như mức của phần đường dây thứ hai.

Theo một số phương án, bộ hiển thị có thể còn bao gồm phần đường dây thứ ba nối đường dây đầu ra và phần đường dây thứ hai với nhau. Phần đường dây thứ ba có thể bao gồm đầu, mà có thể được nối với đầu đối diện của phần đường dây thứ hai thông qua lỗ tiếp xúc liên kết thứ ba, và đầu đối diện, mà có thể được nối với đường dây đầu ra thông qua lỗ tiếp xúc liên kết thứ tư.

Theo một số phương án, phần đường dây thứ nhất có thể được bố trí ở cùng mức như mức của phần đường dây thứ ba.

Theo một số phương án, khi được quan sát trên hình chiếu bằng, phần đường dây thứ ba có thể được bố trí gần với khu vực hiển thị hơn phần đường dây thứ hai.

Theo một số phương án, ít nhất một trong số các lỗ tiếp xúc liên kết thứ nhất và thứ hai có thể được tạo ra nhiều.

Theo một số phương án, lỗ tiếp xúc liên kết thứ nhất có thể bao gồm các lỗ tiếp xúc liên kết thứ nhất, một số lỗ trong số các lỗ này có các kích thước khác nhau.

Theo một số phương án, lỗ tiếp xúc liên kết thứ hai có thể bao gồm các lỗ tiếp xúc liên kết thứ hai, một số lỗ trong số các lỗ này có các kích thước khác nhau.

Theo một số phương án, khu vực không hiển thị có thể bao gồm khu vực không hiển thị thứ nhất bao quanh khu vực hiển thị, đường dây dò được bố trí trong khu vực không hiển thị thứ nhất, và khu vực không hiển thị thứ hai được nối với khu vực không hiển thị thứ nhất, khu vực không hiển thị thứ hai bao gồm khu vực đế hàn, trên đó các đế hàn dò có thể được bố trí, và khu vực đường dây tín hiệu, trên đó đường dây đầu vào và đường dây đầu ra có thể được bố trí.

Theo một số phương án, đường dây dò có thể được bố trí trong khu vực không hiển thị thứ nhất và khu vực đường dây tín hiệu của khu vực không hiển thị thứ hai, và đường dây đầu vào và đường dây đầu ra có thể được nối với đường dây dò, trong khu vực đường dây tín hiệu.

Theo một số phương án, khu vực không hiển thị có thể bao gồm khu vực uốn, và bảng hiển thị có thể được uốn quanh trục uốn trong khu vực uốn.

Theo một số phương án, mỗi đường trong số đường dây dò, đường dây đầu vào, và đường dây đầu ra có thể được tạo ra nhiều. Mỗi đường trong số các đường dây dò có thể bao gồm đường dây dò thứ nhất được bố trí liền kề với khu vực bên của khu vực hiển thị, và đường dây dò thứ hai được bố trí liền kề với khu vực bên đối diện của khu vực hiển thị. Các đường dây dò thứ nhất và thứ hai có thể được nối với đường tương ứng trong số các đường dây đầu vào và đầu ra.

Theo một số phương án, các cụm mạch có thể bao gồm tranzito thứ nhất bao gồm

điện cực đầu vào thứ nhất, điện cực đầu ra thứ nhất, cực điều khiển thứ nhất, và mẫu hình bán dẫn thứ nhất, và tranzito thứ hai bao gồm điện cực đầu vào thứ hai, điện cực đầu ra thứ hai, cực điều khiển thứ hai, và mẫu hình bán dẫn thứ hai. Các cực điều khiển thứ nhất và thứ hai có thể được làm đứt kết nối điện với các mẫu hình bán dẫn thứ nhất và thứ hai bằng ít nhất một lớp cách điện. Cực điều khiển thứ nhất có thể chồng lên mẫu hình bán dẫn thứ nhất, khi được quan sát trên hình chiếu bằng, và cực điều khiển thứ hai có thể chồng lên mẫu hình bán dẫn thứ hai, khi được quan sát trên hình chiếu bằng.

Theo một số phương án, phần đường dây thứ nhất có thể được bố trí ở cùng mức như mức của điện cực đầu vào thứ nhất và điện cực đầu ra thứ nhất.

Theo một số phương án, phần đường dây thứ hai, cực điều khiển thứ nhất, và cực điều khiển thứ hai có thể được bố trí ở cùng mức.

Theo một số phương án, cực điều khiển thứ hai có thể được bố trí trên mẫu hình bán dẫn thứ hai.

Theo một số phương án, cực điều khiển thứ nhất có thể được bố trí dưới mẫu hình bán dẫn thứ nhất.

Theo một số phương án, các cụm mạch có thể còn bao gồm điện cực trên, mà được bố trí trên, và được làm đứt kết nối điện với, cực điều khiển thứ hai, khi được quan sát trên hình chiếu bằng. Điện cực trên có thể được bố trí chồng lên cực điều khiển thứ hai để định ra tụ điện.

Theo một số phương án, phần đường dây thứ hai có thể được bố trí ở cùng mức

như mức của cực điều khiển thứ hai, và đường dây đầu vào và đường dây đầu ra có thể được bố trí ở cùng mức như mức của cực điều khiển thứ nhất và điện cực trên.

Theo một số phương án, khoảng cách giữa lỗ tiếp xúc liên kết thứ nhất và phần đường dây thứ hai và khoảng cách giữa lỗ tiếp xúc liên kết thứ hai và phần đường dây thứ hai có thể lớn hơn hoặc bằng $50\mu\text{m}$.

Theo một số phương án của sáng chế, bộ hiển thị có thể bao gồm bảng hiển thị bao gồm khu vực hiển thị và khu vực không hiển thị bao quanh khu vực hiển thị, khi được quan sát trên hình chiếu bằng. Bảng hiển thị có thể bao gồm đường dây dò, mà được bố trí trên khu vực không hiển thị để bao quanh khu vực hiển thị, và trong đó các khu vực tiếp xúc và khu vực không tiếp xúc liền kề với các khu vực tiếp xúc được định ra, các đế hàn dò được nối với đường dây dò, và đường dây đầu vào và đường dây đầu ra được nối với các đế hàn dò. Đường dây dò có thể bao gồm phần đường dây thứ nhất được bố trí ở mức khác với mức của đường dây đầu vào, phần đường dây thứ nhất bao gồm phần đầu được nối với đường dây đầu vào thông qua lỗ tiếp xúc liên kết được tạo thành trong vùng tiếp xúc thứ nhất của các khu vực tiếp xúc, và phần đường dây thứ hai được bố trí ở mức khác với mức của phần đường dây thứ nhất, phần đường dây thứ hai bao gồm phần đầu, được nối với phần đường dây thứ nhất thông qua lỗ tiếp xúc liên kết được tạo thành trong vùng tiếp xúc thứ hai của các khu vực tiếp xúc, và phần đầu đối diện, được nối với đường dây đầu ra. Khoảng cách giữa phần đường dây thứ nhất ở các khu vực tiếp xúc và phần đường dây thứ hai có thể lớn hơn khoảng cách giữa phần đường dây thứ nhất ở khu vực không tiếp xúc và phần đường dây thứ hai.

Theo một số phương án, các lỗ tiếp xúc liên kết có thể được bố trí trong mỗi khu vực trong số các khu vực tiếp xúc.

Theo một số phương án, một số lỗ trong số các lỗ tiếp xúc liên kết có thể có các kích thước khác nhau.

Theo một số phương án của sáng chế, bộ hiển thị có thể bao gồm bảng hiển thị bao gồm khu vực hiển thị và khu vực không hiển thị bao quanh khu vực hiển thị, khi được quan sát trên hình chiếu bằng. Bảng hiển thị có thể bao gồm bộ phát sáng hữu cơ được bố trí trong khu vực hiển thị, các cụm mạch được tạo kết cấu để điều khiển bộ phát sáng hữu cơ, đường dây dò được bố trí trong khu vực không hiển thị, để hàn đầu vào và để hàn đầu ra được nối với đường dây dò, và đường dây đầu vào nối để hàn đầu vào với đường dây dò. Đường dây dò có thể bao gồm phần đường dây thứ nhất được bố trí ở mức khác với mức của đường dây đầu vào, phần đường dây thứ nhất bao gồm phần đầu được nối với đường dây đầu vào thông qua lỗ tiếp xúc liên kết thứ nhất trong vùng tiếp xúc thứ nhất, và phần đường dây thứ hai được bố trí ở mức khác với mức của phần đường dây thứ nhất, phần đường dây thứ hai bao gồm phần đầu, được nối với phần đường dây thứ nhất thông qua lỗ tiếp xúc liên kết thứ hai trong vùng tiếp xúc thứ hai, và phần đầu đối diện, được nối với để hàn đầu ra. Khi được quan sát trên hình chiếu bằng, phần đường dây thứ nhất có thể được bố trí gần với khu vực hiển thị hơn phần đường dây thứ hai, và khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc có thể nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ nhất và phần đường dây thứ hai.

Theo một số phương án, khoảng cách giữa phần đường dây thứ nhất và phần

đường dây thứ hai có thể nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ hai và phần đường dây thứ hai.

Theo một số phương án của sáng chế, bộ hiển thị có thể bao gồm bảng hiển thị bao gồm khu vực hiển thị và khu vực không hiển thị bao quanh khu vực hiển thị, khi được quan sát trên hình chiếu bằng. Bảng hiển thị có thể bao gồm bộ phát sáng hữu cơ được bố trí trong khu vực hiển thị, các cụm mạch được tạo kết cấu để điều khiển bộ phát sáng hữu cơ, đường dây dò được bố trí trong khu vực không hiển thị, các đế hàn dò được nối với đường dây dò, và đường dây đầu vào và đường dây đầu ra nối các đế hàn dò với đường dây dò. Đường dây dò có thể bao gồm phần đường dây thứ nhất được bố trí ở mức khác với mức của đường dây đầu vào, phần đường dây thứ nhất bao gồm phần đầu được nối với đường dây đầu vào thông qua lỗ tiếp xúc liên kết thứ nhất trong vùng tiếp xúc thứ nhất, phần đường dây thứ hai được bố trí ở mức khác với mức của phần đường dây thứ nhất, phần đường dây thứ hai bao gồm phần đầu được nối với phần đầu đối diện của phần đường dây thứ nhất thông qua lỗ tiếp xúc liên kết thứ hai trong vùng tiếp xúc thứ hai, và phần đường dây thứ ba được bố trí ở mức khác với mức của phần đường dây thứ nhất, phần đường dây thứ ba bao gồm phần đầu, được nối với phần đầu đối diện của phần đường dây thứ hai thông qua lỗ tiếp xúc liên kết thứ ba, và phần đầu đối diện, được nối với đường dây đầu ra thông qua lỗ tiếp xúc liên kết thứ tư. Khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc có thể nhỏ hơn khoảng cách giữa một lỗ trong số các lỗ tiếp xúc liên kết thứ nhất đến thứ tư và phần đường dây thứ hai.

Mô tả vắn tắt các hình vẽ

Các phương án ví dụ sẽ được hiểu rõ ràng hơn nhờ phần mô tả ngắn gọn sau đây có dựa vào các hình vẽ kèm theo. Các hình vẽ kèm theo thể hiện các phương án ví dụ, không giới hạn như được mô tả ở đây.

FIG.1 là hình vẽ phối cảnh của bộ hiển thị theo một số phương án của sáng chế.

FIG.2 là hình vẽ mặt cắt của bộ hiển thị được thể hiện trên FIG.1.

FIG.3 là hình vẽ mặt cắt của bảng hiển thị được thể hiện trên FIG.2.

FIG.4 là hình chiếu bằng của bảng hiển thị được thể hiện trên FIG.3.

FIG.5 là sơ đồ mạch tương đương của điểm ảnh theo một số phương án của sáng chế.

FIG.6 là hình vẽ mặt cắt phóng to của bảng hiển thị theo một số phương án của sáng chế.

FIG.7 là hình vẽ phóng to của khu vực ‘A’ trên FIG.4.

FIG.8 là hình vẽ phóng to của khu vực ‘B’ trên FIG.4.

FIG.9 là hình vẽ phóng to của khu vực ‘C’ trên FIG.4.

FIG.10 là hình vẽ phối cảnh của bộ hiển thị theo các phương án khác của sáng chế.

FIG.11 là hình chiếu bằng của bảng hiển thị theo các phương án khác của sáng chế.

FIG.12 là hình chiếu bằng của bảng hiển thị theo các phương án khác của sáng chế.

FIG.13 là hình vẽ phóng to của khu vực ‘B’ trên FIG.12.

FIG.14 là hình chiếu bằng của bảng hiển thị theo các phương án khác của sáng chế.

FIG.15 là hình vẽ phóng to của khu vực ‘A’ trên FIG.14.

FIG.16 là hình vẽ phóng to của khu vực ‘A’ theo các phương án khác của sáng chế.

FIG.17 là hình vẽ phóng to của vùng tiếp xúc thứ nhất theo các phương án khác của sáng chế.

FIG.18 là hình vẽ mặt cắt phóng to của bảng hiển thị theo các phương án khác của sáng chế.

FIG.19 là hình vẽ mặt cắt phóng to của bảng hiển thị theo các phương án khác của sáng chế.

Nên lưu ý rằng các hình vẽ này nhằm minh họa các đặc tính chung của các phương pháp, kết cấu và/hoặc các vật liệu được sử dụng trong các phương án ví dụ nhất định và nhằm bổ sung cho phần mô tả bằng văn bản được nêu dưới đây. Tuy nhiên, các hình vẽ này không nhằm định tỷ xích và có thể không phản ánh một cách chính xác kết cấu chính xác hoặc các đặc tính hoạt động của phương án đã cho bất kỳ, và không nên được diễn giải là định ra hoặc giới hạn khoảng giá trị hoặc thuộc tính được bao hàm bởi các phương án ví dụ. Ví dụ, các độ dày tương đối và cách bố trí các phần tử, lớp, khu vực và/hoặc các chi tiết kết cấu có thể được thu nhỏ hoặc phóng đại để dễ nhìn. Việc sử dụng các số

chỉ dẫn giống hoặc tương tự nhau trên các hình vẽ khác nhau nhằm biểu thị sự có mặt của các phần tử hoặc dấu hiệu giống hoặc tương tự nhau.

Mô tả chi tiết sáng chế

Bây giờ, các phương án ví dụ theo sáng chế sẽ được mô tả đầy đủ hơn có dựa vào các hình vẽ kèm theo, trong đó các phương án ví dụ được thể hiện. Tuy nhiên, các phương án ví dụ theo sáng chế có thể được thực hiện theo nhiều hình thức khác nhau và không nên được hiểu là bị giới hạn ở các phương án được nêu ở đây; đúng hơn, các phương án này được cung cấp sao cho bản mô tả này được hoàn chỉnh và thấu đáo, và sẽ truyền tải hoàn toàn nội dung của các phương án ví dụ cho người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng. Trên các hình vẽ, các độ dày của các lớp và các khu vực có thể được phóng đại để dễ nhìn. Các số chỉ dẫn giống nhau trên hình vẽ chỉ các phần tử giống nhau, và do đó, phần mô tả chúng sẽ được lược bỏ.

Cần hiểu là khi phần tử được gọi là “được nối” hoặc “được ghép nối” với một phần tử khác, thì nó có thể được nối với hoặc được ghép nối với phần tử khác này một cách trực tiếp hoặc các phần tử xen giữa có thể có mặt. Ngược lại, khi phần tử được gọi là “được nối trực tiếp” hoặc “được ghép nối trực tiếp” với phần tử khác, thì không có các phần tử xen giữa hiện diện. Các số chỉ dẫn giống nhau biểu thị các phần tử giống nhau từ đầu đến cuối. Khi được sử dụng trong bản mô tả này, thuật ngữ “và/hoặc” bao gồm kết hợp bất kỳ và tất cả các kết hợp của một hoặc nhiều hơn một chi tiết trong số các chi tiết được liệt kê có liên quan. Các từ ngữ khác được dùng để mô tả mối tương quan giữa các phần tử hoặc các lớp nên được diễn giải theo cách giống nhau (ví dụ, “ở giữa” đối lập với

“trực tiếp ở giữa”, “liền kề” đối lập với “trực tiếp liền kề”, “ở trên” đối lập với “trực tiếp ở trên”).

Cần hiểu là, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, v.v., có thể được sử dụng trong bản mô tả này để mô tả các phần tử, thành phần, khu vực, lớp và/hoặc đoạn khác nhau, nhưng các phần tử, thành phần, khu vực, lớp và/hoặc đoạn này không bị giới hạn bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một phần tử, thành phần, vùng, lớp hoặc đoạn với một phần tử, thành phần, vùng, lớp hoặc đoạn khác. Do đó, phần tử, thành phần, vùng, lớp hoặc đoạn thứ nhất được thảo luận dưới đây có thể được gọi là phần tử, thành phần, khu vực, lớp hoặc đoạn thứ hai, mà không tách khỏi nội dung của các phương án ví dụ.

Các thuật ngữ chỉ quan hệ về không gian, chẳng hạn như “dưới”, “ở dưới”, “nằm dưới”, “trên”, “ở trên” và thuật ngữ tương tự, có thể được sử dụng ở đây để dễ dàng cho việc mô tả nhằm mô tả mối tương quan của phần tử hoặc dấu hiệu này với (các) phần tử hoặc dấu hiệu khác như được minh họa trên hình vẽ. Sẽ được hiểu là các thuật ngữ chỉ quan hệ về không gian nhằm bao hàm các định hướng khác nhau của thiết bị trong khi sử dụng hoặc vận hành ngoài các định hướng được thể hiện trên các hình vẽ. Ví dụ, nếu thiết bị trên các hình vẽ được quay ngược, thì các phần tử được mô tả “ở dưới” hoặc “nằm dưới” các phần tử hoặc dấu hiệu khác sẽ được định hướng là “ở trên” các phần tử hoặc dấu hiệu khác này. Do đó, thuật ngữ làm ví dụ “ở dưới” có thể bao hàm cả hướng ở trên và ở dưới. Thiết bị này có thể được định hướng theo cách khác (xoay 90 độ hoặc theo các định hướng khác), và các từ mô tả quan hệ về không gian được sử dụng ở đây nên được diễn giải phù hợp.

Trong bản mô tả này, thuật ngữ học chỉ được sử dụng nhằm mục đích mô tả các phương án cụ thể và không nhằm giới hạn các phương án ví dụ. Khi được sử dụng trong bản mô tả này, danh từ dạng số ít cũng bao gồm cả dạng số nhiều, trừ phi văn cảnh quy định rõ ràng là khác. Cũng cần hiểu là các thuật ngữ “gồm” và “bao gồm”, nếu được sử dụng ở đây, định rõ sự có mặt của các dấu hiệu, tổng thể, bước, công đoạn, các phần tử và/hoặc thành phần đã nêu nhưng không loại trừ sự có mặt hoặc bổ sung một hoặc nhiều hơn một dấu hiệu, tổng thể, bước, công đoạn, phần tử, thành phần và/hoặc nhóm khác của chúng.

Trừ phi được quy định khác, tất cả các thuật ngữ (bao gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng trong bản mô tả này có ý nghĩa giống như thường được hiểu bởi người có trình độ trung bình trong lĩnh vực kỹ thuật mà các phương án ví dụ theo sáng chế thuộc về. Cũng cần hiểu là các thuật ngữ như các thuật ngữ được định nghĩa trong các từ điển thông dụng cần hiểu là có ý nghĩa giống với ý nghĩa của chúng trong văn cảnh của kỹ thuật có liên quan và sẽ không được hiểu theo nghĩa lý tưởng hóa hoặc quá máy móc, trừ phi được quy định rõ ràng như vậy trong bản mô tả này.

FIG.1 là hình vẽ phối cảnh của bộ hiển thị DD theo một số phương án của sáng chế.

Dựa vào FIG.1, bộ hiển thị DD có thể bao gồm bề mặt hiển thị DD-IS, mà được sử dụng để hiển thị hình ảnh IM. Bề mặt hiển thị DD-IS có thể song song với cả hai hướng khác nhau (ví dụ, hướng thứ nhất DR1 và hướng thứ hai DR2). Hướng pháp tuyến của bề mặt hiển thị DD-IS (cụ thể là, hướng chiều dày của bộ hiển thị DD) sẽ được gọi là hướng thứ ba DR3.

Sau đây, hướng thứ ba DR3 có thể được sử dụng để phân biệt bề mặt trước hoặc đỉnh của mỗi phần tử với bề mặt sau hoặc đáy. Tuy nhiên, các hướng được biểu thị bởi hướng thứ nhất đến thứ ba DR1, DR2, và DR3 có thể là các khái niệm tương đối và có thể không bị giới hạn ở ví dụ nêu trên, và theo các phương án nhất định, các hướng này có thể được thay đổi để biểu thị các hướng khác, chẳng hạn.

Như được thể hiện trên FIG.1, bề mặt hiển thị DD-IS có thể bao gồm khu vực hiển thị DD-DA, mà được sử dụng để hiển thị hình ảnh IM, và khu vực không hiển thị DD-NDA, mà được bố trí liền kề với khu vực hiển thị DD-DA. Khu vực không hiển thị DD-NDA có thể được tạo kết cấu để không hiển thị hình ảnh IM. Trên bề mặt hiển thị DD-IS, khu vực không hiển thị DD-NDA có thể được định ra bao quanh khu vực hiển thị DD-DA. Để làm ví dụ về hình ảnh IM, các hình biểu tượng được thể hiện trên FIG.1.

FIG.2 là hình vẽ mặt cắt của bộ hiển thị được thể hiện trên FIG.1.

FIG.2 minh họa là mặt cắt dọc được định ra bởi hướng thứ hai DR2 và thứ ba DR3. Để mô tả kết cấu xếp chồng của tám chức năng và/hoặc các cụm chức năng cấu thành bộ hiển thị DD, FIG.2 được minh họa theo cách đơn giản hóa.

Dựa vào FIG.2, bộ hiển thị DD có thể bao gồm bảng hiển thị DP, lớp cảm ứng đầu vào ISL, tấm chống phản quang RPP, và tấm cửa sổ WP. Lớp cảm ứng đầu vào ISL có thể được bố trí trên bảng hiển thị DP. Lớp cảm ứng đầu vào ISL và bảng hiển thị DP có thể được tạo ra dưới dạng kết cấu được tích hợp hoặc nguyên khối, nhờ đó cấu thành mô đun hiển thị DM. Mô đun hiển thị DM, tấm chống phản quang RPP, và tấm cửa sổ WP có thể được ghép nối với nhau bằng lớp kết dính trong suốt quang học OCA.

Bảng hiển thị DP có thể được tạo kết cấu để tạo ra hình ảnh được hiển thị ra bên ngoài, và lớp cảm ứng đầu vào ISL có thể được tạo kết cấu để thu được thông tin tọa độ về đầu vào bên ngoài (ví dụ, sự kiện chạm). Mặc dù không được thể hiện trên các hình vẽ, theo các phương án nhất định, bộ hiển thị DD có thể còn bao gồm kết cấu bảo vệ được bố trí trên bề mặt đáy của bảng hiển thị DP. Kết cấu bảo vệ và bảng hiển thị DP có thể được ghép nối với nhau bằng lớp kết dính.

Theo một số phương án của sáng chế, bảng hiển thị DP có thể là bảng hiển thị kiểu phát sáng, nhưng sáng chế không bị giới hạn ở kiểu bảng hiển thị DP cụ thể. Ví dụ, bảng hiển thị DP có thể là bảng hiển thị phát sáng hữu cơ hoặc bảng hiển thị phát sáng chấm lượng tử. Lớp phát sáng của bảng hiển thị phát sáng hữu cơ có thể bao gồm vật liệu phát sáng hữu cơ. Lớp phát sáng của bảng hiển thị phát sáng chấm lượng tử có thể bao gồm các chấm lượng tử và/hoặc các thanh lượng tử. Để đơn giản, phần mô tả sau đây sẽ đề cập đến ví dụ trong đó bảng hiển thị DP là bảng hiển thị phát sáng hữu cơ.

Tấm chống phản quang RPP có thể được tạo kết cấu để giảm bớt độ phản xạ của ánh sáng bên ngoài tới tấm cửa sổ WP từ không gian bên ngoài. Mặc dù không được thể hiện, theo các phương án nhất định, tấm chống phản quang RPP có thể bao gồm bộ phận làm chậm pha và bộ phận phân cực. Bộ phận làm chậm pha có thể có dạng màng hoặc dạng lớp phủ tinh thể lỏng và có thể bao gồm bộ phận làm chậm pha $\lambda/2$ và/hoặc $\lambda/4$. Bộ phận phân cực cũng có thể có dạng màng hoặc dạng lớp phủ tinh thể lỏng. Bộ phận phân cực có dạng màng có thể bao gồm màng nhựa tổng hợp kéo dài, trong đó bộ phận phân cực có dạng lớp phủ tinh thể lỏng có thể bao gồm các tinh thể lỏng được bố trí với sự định hướng cụ thể. Tấm chống phản quang RPP có thể còn bao gồm màng bảo vệ, ngoài bộ

phận làm chậm pha và bộ phận phân cực.

Mặc dù không được thể hiện, theo các phương án nhất định, tấm chống phản quang RPP có thể còn bao gồm các bộ phận lọc màu và lưới đen, mà được bố trí liền kề với các bộ phận lọc màu.

Tấm cửa sổ WP có thể bao gồm màng gốc WP-BS và mẫu hình chặn ánh sáng WP-BZ. Màng gốc WP-BS có thể bao gồm lớp nền thủy tinh và/hoặc màng nhựa tổng hợp. Màng gốc WP-BS có thể không bị giới hạn ở kết cấu đơn lớp. Ví dụ, theo các phương án nhất định, màng gốc WP-BS có thể bao gồm hai hoặc nhiều hơn hai màng được gắn kết với nhau bằng màng kết dính.

Mẫu hình chặn ánh sáng WP-BZ có thể là lớp hữu cơ có màu. Mẫu hình chặn ánh sáng WP-BZ có thể được tạo thành bằng phương pháp phủ, chẳng hạn. Mặc dù không được thể hiện trên các hình vẽ, tấm cửa sổ WP có thể còn bao gồm lớp phủ chức năng được bố trí trên màng gốc WP-BS. Lớp phủ chức năng có thể bao gồm lớp chống bám vân tay, lớp chống phản quang, lớp phủ cứng, và các lớp tương tự.

FIG.3 là hình vẽ mặt cắt của bảng hiển thị DP được thể hiện trên FIG.2.

Dựa vào FIG.3, bảng hiển thị DP có thể bao gồm lớp gốc BL, lớp cụm mạch DP-CL được bố trí trên lớp gốc BL, lớp bộ hiển thị DP-OLED, và lớp bao màng mỏng TFE. Mặc dù không được thể hiện trên các hình vẽ, bảng hiển thị DP có thể còn bao gồm các lớp chức năng, chẳng hạn như lớp chống phản quang và lớp điều chỉnh hệ số khúc xạ.

Lớp gốc BL có thể được tạo thành bằng hoặc bao gồm màng nhựa tổng hợp. Ví dụ,

lớp gốc BL có thể bao gồm ít nhất một trong số các nhựa polyimit. Tuy nhiên, sáng chế không bị giới hạn ở vật liệu cụ thể dùng cho lớp gốc BL. Ví dụ, lớp gốc BL có thể được tạo thành bằng hoặc bao gồm lớp nền thủy tinh, lớp nền kim loại, hoặc lớp nền composit hữu cơ/vô cơ.

Lớp cụm mạch DP-CL có thể bao gồm ít nhất một lớp cách điện và ít nhất một cụm mạch. Sau đây, lớp cách điện trong lớp cụm mạch DP-CL sẽ được gọi là lớp cách điện trung gian. Lớp cách điện trung gian có thể bao gồm ít nhất một lớp vô cơ trung gian và/hoặc ít nhất một lớp hữu cơ trung gian. Cụm mạch có thể bao gồm các đường dẫn tín hiệu, các mạch kích điểm ảnh, và các bộ phận tương tự. Cách tạo thành lớp cụm mạch DP-CL có thể bao gồm bước tạo thành lớp cách điện, lớp bán dẫn, và lớp dẫn điện bằng cách sử dụng quy trình phủ hoặc lắng và tạo mẫu hình lớp cách điện, lớp bán dẫn, và lớp dẫn điện bằng cách sử dụng quy trình in litô và khắc mòn.

Lớp bộ hiển thị DP-OLED có thể được bố trí trong khu vực hiển thị DP-DA. Khu vực hiển thị DP-DA của bảng hiển thị DP có thể tương ứng với khu vực hiển thị DD-DA của bộ hiển thị DD. Lớp bộ hiển thị DP-OLED có thể bao gồm các linh kiện phát sáng. Lớp bộ hiển thị DP-OLED có thể bao gồm các điốt phát sáng hữu cơ. Lớp bộ hiển thị DP-OLED có thể còn bao gồm lớp hữu cơ, chẳng hạn như lớp xác định điểm ảnh.

Lớp bao màng mỏng TFE có thể được bố trí bịt kín lớp bộ hiển thị DP-OLED. Lớp bao màng mỏng TFE có thể bao gồm ít nhất một lớp cách điện. Theo một số phương án, lớp bao màng mỏng TFE có thể bao gồm ít nhất một lớp vô cơ (sau đây, gọi là lớp bao vô cơ). Lớp bao vô cơ có thể được sử dụng để bảo vệ lớp bộ hiển thị DP-OLED khỏi hơi ẩm

hoặc oxy. Lớp bao vô cơ có thể bao gồm ít nhất một trong số lớp silic nitrua, lớp silic oxynitrua, lớp silic oxit, lớp titan oxit, hoặc lớp nhôm oxit, nhưng sáng chế không bị giới hạn ở đó.

Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này. Chẳng hạn, theo các phương án nhất định, lớp bao màng mỏng TFE có thể bao gồm ít nhất một lớp hữu cơ (sau đây, gọi là lớp bao hữu cơ). Lớp bao hữu cơ có thể được sử dụng để bảo vệ lớp bộ hiển thị DP-OLED khỏi chất bẩn chẳng hạn như các hạt bụi. Lớp bao hữu cơ có thể bao gồm lớp hữu cơ acrylic, nhưng sáng chế không bị giới hạn ở đó.

FIG.4 là hình chiếu bằng của bảng hiển thị được thể hiện trên FIG.3.

Dựa vào FIG.4, bảng hiển thị DP có thể bao gồm khu vực hiển thị DP-DA và khu vực không hiển thị DP-NDA, khi được quan sát trên hình chiếu bằng. Như được mô tả ở trên, khu vực hiển thị DP-DA của bảng hiển thị DP có thể tương ứng với khu vực hiển thị DD-DA của bộ hiển thị DD. Khu vực không hiển thị DP-NDA của bảng hiển thị DP có thể tương ứng với khu vực không hiển thị DD-NDA của bộ hiển thị DD.

Theo các phương án này, khu vực không hiển thị DP-NDA có thể được định ra dọc theo mép của khu vực hiển thị DP-DA để bao quanh khu vực hiển thị DP-DA.

Ví dụ, khu vực không hiển thị DP-NDA có thể bao gồm khu vực không hiển thị thứ nhất NDA1 và khu vực không hiển thị thứ hai NDA2. Khu vực không hiển thị thứ nhất NDA1 có thể được bố trí bao quanh khu vực hiển thị DP-DA. Đường dây dò CDL được mô tả dưới đây có thể được bố trí trong khu vực không hiển thị thứ nhất NDA1.

Khu vực không hiển thị thứ hai NDA2 có thể được bố trí ở phía bên của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ nhất DR1 và có thể được nối với khu vực không hiển thị thứ nhất NDA1. Khu vực không hiển thị thứ hai NDA2 có thể bao gồm khu vực đường dây tín hiệu NDA-CL và khu vực đế hàn NDA-PD. Khu vực đế hàn NDA-PD có thể được bố trí ở khu vực đầu của khu vực không hiển thị thứ hai NDA2 theo hướng thứ nhất DR1. Tuy nhiên, sáng chế không bị giới hạn ở vị trí cụ thể của khu vực đế hàn NDA-PD.

Bảng hiển thị DP có thể bao gồm mạch kích GDC, các đường dẫn tín hiệu DL, GL, PL, CSL, SL1, và SL2, đường dây dò CDL, các đế hàn tín hiệu DP-PD, và các điểm ảnh PX.

Các điểm ảnh PX có thể được bố trí trong khu vực hiển thị DP-DA. Mỗi điểm ảnh trong số các điểm ảnh PX có thể bao gồm điốt phát sáng hữu cơ và mạch kích điểm ảnh được nối với điốt này. Mạch kích GDC, các đường dẫn tín hiệu DL, GL, PL, CSL, SL1, và SL2, các đế hàn tín hiệu DP-PD, và mạch kích điểm ảnh có thể được bao gồm trong lớp cụm mạch DP-CL được thể hiện trên FIG.3.

Mạch kích GDC có thể được bố trí trong khu vực không hiển thị thứ nhất NDA1. Mạch kích GDC có thể bao gồm mạch kích quét. Mạch kích quét có thể được tạo kết cấu để tạo ra các tín hiệu quét và liên tục kết xuất các tín hiệu quét đến các đường dây quét GL sẽ được mô tả dưới đây. Ngoài ra, mạch kích quét có thể được tạo kết cấu để kết xuất các tín hiệu điều khiển khác đến mạch kích của điểm ảnh PX.

Mạch kích quét có thể bao gồm các tranzito màng mỏng được tạo thành bằng cùng

quy trình như quy trình dùng cho mạch kích của điểm ảnh PX (ví dụ, bằng quy trình silic đa tinh thể nhiệt độ thấp (LTPS) hoặc quy trình oxit đa tinh thể nhiệt độ thấp (LTPO)).

Đường dây dò CDL có thể được bố trí bên ngoài mạch kích GDC. Ví dụ, đường dây dò CDL có thể được bố trí ở khu vực ngoài cùng của khu vực không hiển thị thứ nhất NDA1. Đường dây dò CDL sẽ được mô tả chi tiết hơn dựa vào các hình vẽ từ FIG.6 đến FIG.9.

Các đường dẫn tín hiệu DL, GL, PL, CSL, SL1, và SL2 có thể bao gồm các đường dây quét GL, các đường dẫn dữ liệu DL, đường dây điện PL, đường dẫn tín hiệu điều khiển CSL, đường dây đầu vào SL1, và đường dây đầu ra SL2.

Mỗi đường trong số các đường dây quét GL có thể được nối với điểm ảnh tương ứng trong số các điểm ảnh PX, và mỗi đường trong số các đường dẫn dữ liệu DL có thể được nối với điểm ảnh tương ứng trong số các điểm ảnh PX. Đường dây điện PL có thể được nối với các điểm ảnh PX. Đường dẫn tín hiệu điều khiển CSL có thể được sử dụng để cấp các tín hiệu điều khiển đến mạch kích quét. Các đế hàn tín hiệu DP-PD có thể được nối với các phần đầu của các đường dẫn tín hiệu DL, GL, PL, CSL, SL1, và SL2. Các đế hàn tín hiệu DP-PD có thể bao gồm đế hàn tín hiệu quét GPD, đế hàn điện PPD, các đế hàn tín hiệu hiển thị DPD, và các đế hàn dò PD1 và PD2.

Đế hàn tín hiệu quét GPD có thể được nối với đường dẫn tín hiệu điều khiển CSL. Đế hàn điện PPD có thể được nối với đường dây điện PL. Các đế hàn tín hiệu hiển thị DPD có thể được nối với đường tương ứng trong số các đường dẫn dữ liệu DL. Các đế hàn dò PD1 và PD2 có thể được nối với đường dây dò CDL.

Về cơ bản, hầu hết các đường dẫn tín hiệu DL, GL, PL, CSL, SL1, và SL2 có thể là các đường dẫn tín hiệu DL, GL, và PL được nối với các điểm ảnh PX. Các đường dẫn tín hiệu DL, GL, và PL được nối với mỗi điểm ảnh PX có thể được nối với các tranzito T1 và T2 (ví dụ, xem FIG.5 và FIG.6) của điểm ảnh PX. Mỗi đường trong số các đường dẫn tín hiệu DL, GL, và PL được nối với điểm ảnh PX có thể được tạo ra có kết cấu đơn lớp hoặc đa lớp, có thể được tạo ra dưới dạng nguyên khối, hoặc có thể bao gồm hai hoặc nhiều hơn hai phần. Trong trường hợp hai hoặc nhiều hơn hai phần, các phần này có thể được bố trí để tạo thành hai hoặc nhiều hơn hai lớp khác nhau và có thể được nối với nhau thông qua lỗ tiếp xúc, mà được tạo thành xuyên qua lớp cách điện ở giữa chúng.

Như được thể hiện trên FIG.4, bảng mạch PCB được nối điện với bảng hiển thị DP có thể được bố trí. Bảng mạch PCB có thể là bảng mạch rắn hoặc mềm. Bảng mạch PCB có thể được ghép nối trực tiếp với bảng hiển thị DP hoặc có thể được nối với bảng hiển thị DP thông qua bảng mạch bổ sung.

Mạch kích định thời TC và mạch dò CDC có thể được bố trí trên bảng mạch PCB. Mạch kích định thời TC có thể được tạo kết cấu để điều khiển hoạt động của bảng hiển thị DP, và mạch dò CDC có thể được tạo kết cấu để đo điện trở của đường dây dò CDL và sau đó kiểm tra liệu có vết rạn nứt hay không, dựa trên kết quả đo. Mỗi mạch trong số mạch kích định thời TC và mạch dò CDC có thể được tạo ra dưới dạng chip mạch tích hợp và có thể được gắn trên bảng mạch PCB. Mặc dù không được thể hiện trên hình vẽ, mạch cảm biến đầu vào (không được thể hiện trên hình vẽ) để điều khiển lớp cảm ứng đầu vào ISL có thể còn được bố trí trên bảng mạch PCB.

Bảng mạch PCB có thể bao gồm các đế hàn bảng mạch PCB-P được nối điện với bảng hiển thị DP. Mặc dù không được thể hiện, bảng mạch PCB có thể còn bao gồm các đường dẫn tín hiệu, mà được bố trí để nối các đế hàn bảng mạch PCB-P với mạch kích định thời TC và/hoặc mạch dò CDC.

Tuy nhiên, sáng chế không bị giới hạn ở các vị trí cụ thể của mạch kích định thời TC và mạch dò CDC. Ví dụ, mặc dù không được thể hiện trên các hình vẽ, theo các phương án nhất định, mạch kích định thời TC và mạch dò CDC có thể được gắn trên khu vực không hiển thị DP-NDA của bảng hiển thị DP.

FIG.5 là sơ đồ mạch tương đương của điểm ảnh theo một số phương án của sáng chế.

FIG.5 minh họa ví dụ, trong đó một đường dây quét GL, một đường dẫn dữ liệu DL, một đường dây điện PL, và một điểm ảnh PX được nối vào các đường này được bố trí. Tuy nhiên, kết cấu của điểm ảnh PX không bị giới hạn ở điều được thể hiện trên FIG.5, và theo các phương án nhất định, kết cấu này có thể được thay đổi khác nhau.

Điốt phát sáng hữu cơ OLED có thể là điốt kiểu phát xạ mặt đỉnh hoặc điốt kiểu phát xạ mặt đáy. Điểm ảnh PX có thể bao gồm tranzito thứ nhất hoặc tranzito chuyển mạch T1, tranzito thứ hai hoặc tranzito điều khiển T2, và tụ điện Cst, mà được sử dụng làm mạch kích điểm ảnh để kích điốt phát sáng hữu cơ OLED. Điện áp công suất thứ nhất ELVDD có thể được cấp cho tranzito thứ hai T2, và điện áp công suất thứ hai ELVSS có thể được cấp cho điốt phát sáng hữu cơ OLED. Điện áp công suất thứ hai ELVSS có thể thấp hơn điện áp công suất thứ nhất ELVDD.

Nếu tín hiệu quét được cấp đến đường dây quét GL, tranzito thứ nhất T1 có thể kết xuất tín hiệu dữ liệu được cấp đến đường dẫn dữ liệu DL đáp ứng lại tín hiệu quét. Tụ điện Cst có thể được nạp để có điện áp tương ứng với tín hiệu dữ liệu được truyền từ tranzito thứ nhất T1. Tranzito thứ hai T2 có thể được nối với điốt phát sáng hữu cơ OLED. Tranzito thứ hai T2 có thể điều khiển dòng điện kích truyền qua điốt phát sáng hữu cơ OLED, dựa trên lượng điện tích được lưu trữ trong tụ điện Cst.

Mạch tương đương trên FIG.5 chỉ là một mạch trong số các mạch tương đương khả thi của điểm ảnh, nhưng sáng chế không bị giới hạn ở đó. Điểm ảnh PX có thể được tạo kết cấu còn bao gồm ít nhất một tranzito hoặc ít nhất một tụ điện. Theo các phương án nhất định, điốt phát sáng hữu cơ OLED có thể được ghép nối với đường dây điện PL và tranzito thứ hai T2.

FIG.6 là hình vẽ mặt cắt phóng to của bảng hiển thị theo một số phương án của sáng chế.

Dựa vào FIG.6, lớp cụm mạch DP-CL, lớp bộ hiển thị DP-OLED, và lớp bao màng mỏng TFE có thể được bố trí liên tục trên lớp gốc BL. Theo các phương án này, lớp cụm mạch DP-CL có thể bao gồm lớp đệm BFL được tạo thành bằng lớp vô cơ, lớp vô cơ trung gian thứ nhất 10, lớp vô cơ trung gian thứ hai 20, và lớp hữu cơ trung gian 30 được tạo thành bằng lớp hữu cơ. Lớp vô cơ và hữu cơ có thể không bị giới hạn ở các vật liệu cụ thể, và theo các phương án nhất định, lớp đệm BFL có thể được bố trí hoặc được lược bỏ một cách tùy ý.

Tranzito thứ nhất T1 và tranzito thứ hai T2 có thể lần lượt bao gồm mẫu hình bán

dẫn OSP1 (sau đây, gọi là mẫu hình bán dẫn thứ nhất) và mẫu hình bán dẫn OSP2 (sau đây, gọi là mẫu hình bán dẫn thứ hai), các mẫu hình này được bố trí trên lớp đệm BFL. Mẫu hình bán dẫn thứ nhất OSP1 và mẫu hình bán dẫn thứ hai OSP2 có thể được tạo thành bằng hoặc chứa ít nhất một vật liệu trong số silic vô định hình, poly silic, hoặc oxit kim loại các vật liệu bán dẫn.

Lớp vô cơ trung gian thứ nhất 10 có thể được bố trí trên mẫu hình bán dẫn thứ nhất OSP1 và mẫu hình bán dẫn thứ hai OSP2. Tranzito thứ nhất T1 và tranzito thứ hai T2 có thể lần lượt bao gồm cực điều khiển GE1 (sau đây, gọi là cực điều khiển thứ nhất) và cực điều khiển GE2 (sau đây, gọi là cực điều khiển thứ hai), các cực này được bố trí trên lớp vô cơ trung gian thứ nhất 10. Cực điều khiển thứ nhất GE1 và cực điều khiển thứ hai GE2 có thể được tạo thành bằng cách sử dụng quy trình in litô giống như quy trình để tạo thành các đường dây quét GL trên FIG.5.

Lớp vô cơ trung gian thứ hai 20 có thể được bố trí trên lớp vô cơ trung gian thứ nhất 10 để che phủ cực điều khiển thứ nhất GE1 và cực điều khiển thứ hai GE2. Tranzito thứ nhất T1 có thể bao gồm điện cực đầu vào DE1 (sau đây, gọi là điện cực đầu vào thứ nhất) và điện cực đầu ra SE1 (sau đây, gọi là điện cực đầu ra thứ nhất) được bố trí trên lớp vô cơ trung gian thứ hai 20, và tranzito thứ hai T2 có thể bao gồm điện cực đầu vào DE2 (sau đây, gọi là điện cực đầu vào thứ hai) và điện cực đầu ra SE2 (sau đây, gọi là điện cực đầu ra thứ hai) được bố trí trên lớp vô cơ trung gian thứ hai 20.

Lỗ tiếp xúc thứ nhất CH1 và lỗ tiếp xúc thứ hai CH2 có thể được tạo thành xuyên qua cả lớp vô cơ trung gian thứ nhất 10 và thứ hai 20, và điện cực đầu vào thứ nhất DE1

và điện cực đầu ra thứ nhất SE1 có thể lần lượt được nối với hai phần khác nhau của mẫu hình bán dẫn thứ nhất OSP1 thông qua các lỗ tiếp xúc thứ nhất CH1 và thứ hai CH2. Lỗ tiếp xúc thứ ba CH3 và lỗ tiếp xúc thứ tư CH4 có thể được tạo thành xuyên qua cả lớp vô cơ trung gian thứ nhất 10 và thứ hai 20, và điện cực đầu vào thứ hai DE2 và điện cực đầu ra thứ hai SE2 có thể lần lượt được nối với hai phần khác nhau của mẫu hình bán dẫn thứ hai OSP2 thông qua các lỗ tiếp xúc thứ ba CH3 và thứ tư CH4.

Trên FIG.6, tranzito thứ nhất T1 và tranzito thứ hai T2 được minh họa có kết cấu cổng trên, trong đó các cực điều khiển thứ nhất và thứ hai GE1 và GE2 lần lượt được bố trí trên các mẫu hình bán dẫn thứ nhất và thứ hai OSP1 và OSP2, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, theo các phương án nhất định, ít nhất một trong số tranzito thứ nhất T1 và tranzito thứ hai T2 có thể được cải biến để có kết cấu cổng dưới. Điều này sẽ được mô tả chi tiết hơn dựa vào FIG.19.

Lớp hữu cơ trung gian 30 có thể được bố trí trên lớp vô cơ trung gian thứ hai 20 để che phủ điện cực đầu vào thứ nhất DE1, điện cực đầu vào thứ hai DE2, điện cực đầu ra thứ nhất SE1, và điện cực đầu ra thứ hai SE2. Lớp hữu cơ trung gian 30 có thể được bố trí to có a bề mặt phẳng.

Lớp bộ hiển thị DP-OLED có thể được bố trí trên lớp hữu cơ trung gian 30. Lớp bộ hiển thị DP-OLED có thể bao gồm lớp xác định điểm ảnh PDL và điốt phát sáng hữu cơ OLED. Lớp xác định điểm ảnh PDL có thể được tạo thành bằng hoặc chứa vật liệu hữu cơ. Điện cực thứ nhất AE có thể được bố trí trên lớp hữu cơ trung gian 30. Điện cực thứ nhất AE có thể được nối với điện cực đầu ra thứ hai SE2 thông qua lỗ tiếp xúc thứ năm

CH5 xuyên qua lớp hữu cơ trung gian 30. Khoảng hở OP có thể được định ra trong lớp xác định điểm ảnh PDL. Khoảng hở OP của lớp xác định điểm ảnh PDL có thể được bố trí để làm lộ ra ít nhất phần thuộc điện cực thứ nhất AE. Theo các phương án nhất định, lớp xác định điểm ảnh PDL có thể được lược bỏ.

Điểm ảnh PX có thể được bố trí trong khu vực hiển thị DP-DA. Khu vực hiển thị DP-DA có thể bao gồm khu vực phát sáng PXA và khu vực không phát sáng NPXA liên kề với khu vực phát sáng PXA. Khu vực không phát sáng NPXA có thể được bố trí bao quanh khu vực phát sáng PXA. Theo các phương án này, khu vực phát sáng PXA có thể được định ra tương ứng với khu vực của điện cực thứ nhất AE được lộ ra bởi khoảng hở OP.

Theo các phương án nhất định, khu vực phát sáng PXA có thể được chồng lên ít nhất một trong số tranzito thứ nhất T1 và thứ hai T2. Ví dụ, khoảng hở OP có thể được mở rộng, và không chỉ điện cực thứ nhất AE mà còn lớp phát sáng EML sẽ được mô tả dưới đây cũng có thể được mở rộng.

Lớp phát sáng EML có thể được bố trí trên khu vực tương ứng với khoảng hở OP. Nói cách khác, lớp phát sáng EML có thể có kết cấu được cách ly được tạo ra đối với mỗi điểm trong số các điểm ảnh PX. Lớp phát sáng EML có thể chứa vật liệu hữu cơ và/hoặc vật liệu vô cơ. Lớp phát sáng EML có thể được tạo kết cấu để tạo ra ánh sáng màu cụ thể.

Theo các phương án này, lớp phát sáng EML được minh họa có kết cấu được tạo mẫu hình, nhưng thông thường, lớp phát sáng EML có thể được bố trí trên các điểm ảnh PX. Ở đây, lớp phát sáng EML có thể được tạo kết cấu để tạo ra ánh sáng màu trắng.

Ngoài ra, lớp phát sáng EML có thể có kết cấu đa lớp được gọi là ‘cặp đôi’.

Điện cực thứ hai CE có thể được bố trí trên lớp phát sáng EML. Thông thường, điện cực thứ hai CE có thể được bố trí trên các điểm ảnh PX.

Lớp bao màng mỏng TFE có thể được bố trí trên điện cực thứ hai CE. Thông thường, lớp bao màng mỏng TFE có thể được bố trí trên các điểm ảnh PX. Theo các phương án này, lớp bao màng mỏng TFE có thể được bố trí để che phủ điện cực thứ hai CE một cách trực tiếp. Theo một số phương án, lớp bọc có thể được bố trí giữa lớp bao màng mỏng TFE và điện cực thứ hai CE, nhờ đó che phủ điện cực thứ hai CE. Ở đây, lớp bao màng mỏng TFE có thể được bố trí che phủ lớp bọc một cách trực tiếp.

Theo một số phương án của sáng chế, mặc dù không được thể hiện trên các hình vẽ, lớp bộ hiển thị DP-OLED có thể còn bao gồm lớp điều khiển lỗ trống (không được thể hiện trên hình vẽ) và lớp điều khiển electron (không được thể hiện trên hình vẽ), mà được bố trí trên và dưới lớp phát sáng EML.

FIG.7 là hình vẽ phóng to của khu vực ‘A’ trên FIG.4, và FIG.8 là hình vẽ phóng to của khu vực ‘B’ trên FIG.4. FIG.9 là hình vẽ phóng to của khu vực ‘C’ trên FIG.4.

Để thuận tiện cho việc minh họa, một số khu vực của đường dây dò CDL, mà lần lượt được biểu thị bằng các ký hiệu chỉ dẫn ‘A’, ‘B’, và ‘C’ trên FIG.4, được minh họa phóng to trên các hình vẽ từ FIG.7 đến FIG.9.

Trên FIG.6, hình vẽ mặt cắt được cắt dọc theo đường I-I' trên FIG.7 được minh họa.

Dựa vào FIG.4 và FIG.6 đến FIG.9, đường dây dò CDL có thể được bố trí trên khu

vực không hiển thị thứ nhất NDA1 để bao quanh khu vực hiển thị DP-DA. Ví dụ, theo các phương án này, đường dây dò CDL có thể được bố trí trên các khu vực thuộc khu vực không hiển thị thứ nhất NDA1, ngoại trừ khu vực liền kề với khu vực không hiển thị thứ hai NDA2.

Đường dây dò CDL có thể được nối với đường dây đầu vào SL1 và đường dây đầu ra SL2. Đường dây đầu vào SL1 và đường dây đầu ra SL2 có thể được nối với các đế hàn dò PD1 và PD2. Một cách chi tiết, đường dây đầu vào SL1 có thể được nối với đế hàn đầu vào PD1, và đường dây đầu ra SL2 có thể được nối với đế hàn đầu ra PD2. Đế hàn đầu vào PD1 và đế hàn đầu ra PD2 có thể được nối với mạch dò CDC.

Theo một số phương án, mạch dò CDC có thể được nối với ít nhất một đế hàn trong số các đế hàn tín hiệu hiển thị DPD. Mạch dò CDC có thể được tạo kết cấu để so sánh dữ liệu thu được bằng cách đo điện trở của đường dây dò CDL, và cấp tín hiệu đến một đế hàn trong số các đế hàn tín hiệu hiển thị DPD khi vết rạn nứt xảy ra. Tín hiệu có thể được sử dụng để điều khiển các điểm ảnh PX được nối với đế hàn tín hiệu hiển thị DPD. Nói cách khác, tín hiệu cảnh báo sự xảy ra vết rạn nứt có thể được hiển thị trên khu vực hiển thị DP-DA.

Theo các phương án này, đế hàn đầu vào PD1 và đế hàn đầu ra PD2 có thể được bố trí theo hướng thứ hai DR2, ở khu vực bên của khu vực đế hàn NDA-PD. Ngoài ra, đường dây đầu vào SL1 và đường dây đầu ra SL2, mà lần lượt được nối với đế hàn đầu vào PD1 và đế hàn đầu ra PD2, có thể được kéo dài dọc về phía khu vực bên của bảng hiển thị DP theo hướng thứ hai DR2 và có thể được nối với đường dây dò CDL được bố trí trong khu

vực không hiển thị thứ nhất NDA1. Sáng chế không bị giới hạn ở các vị trí cụ thể của đế hàn đầu vào PD1 và đế hàn đầu ra PD2.

Theo các phương án này, đường dây dò CDL có thể bao gồm phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2. Phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể kéo dài dọc theo mép khu vực thuộc khu vực hiển thị DP-DA. Phần đường dây thứ nhất CDL1 có thể được bố trí gần với khu vực hiển thị DP-DA hơn phần đường dây thứ hai CDL2.

Phần đường dây thứ nhất CDL1 có thể được nối với đường dây đầu vào SL1. Ví dụ, đầu của phần đường dây thứ nhất CDL1 có thể được nối với đường dây đầu vào SL1, ở khu vực bên của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ hai DR2.

Phần đường dây thứ nhất CDL1 và đường dây đầu vào SL1 có thể được bố trí ở các mức khác nhau. Phần đường dây thứ nhất CDL1 có thể được nối với đường dây đầu vào SL1 thông qua lỗ tiếp xúc liên kết thứ nhất CD-CH1.

Ví dụ, phần đường dây thứ nhất CDL1 có thể được bố trí ở cùng mức như mức của các điện cực đầu vào DE1 và DE2 và các điện cực đầu ra SE1 và SE2 của tranzito thứ nhất T1 và thứ hai T2. Đường dây đầu vào SL1 và đường dây đầu ra SL2 có thể được bố trí ở cùng mức như mức của các cực điều khiển GE1 và GE2 của tranzito thứ nhất T1 và thứ hai T2.

Theo một số phương án, bảng hiển thị DP có thể còn bao gồm ít nhất một phần gờ chắn (ví dụ, xem DM1 và DM2 trên FIG.6) được bố trí trên khu vực không hiển thị DP-NDA. Các phần gờ chắn DM1 và DM2 có thể được bố trí gần với khu vực hiển thị DP-

DA hơn đường dây dò CDL. Mặc dù không được thể hiện trên FIG.4, các phần gờ chắn DM1 và DM2 có thể kéo dài dọc theo mép khu vực thuộc khu vực hiển thị DP-DA. Các phần gờ chắn DM1 và DM2 có thể ngăn không cho lớp bao màng mỏng TFE chảy tràn ra ngoài các phần gờ chắn DM1, DM2.

Như được thể hiện trên FIG.7, khi được quan sát trên hình chiếu bằng, khu vực, trong đó lỗ tiếp xúc liên kết thứ nhất CD-CH1 được tạo thành, sẽ được gọi là vùng tiếp xúc thứ nhất AR-CH1. Theo các phương án này, lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể được tạo thành bằng quy trình khắc mòn bằng cách sử dụng plasma.

Như được thể hiện trên FIG.9, phần đường dây thứ nhất CDL1 có thể được nối với phần đường dây thứ hai CDL2. Ví dụ, đầu đối diện của phần đường dây thứ nhất CDL1 có thể được nối với đầu của phần đường dây thứ hai CDL2, ở khu vực bên đối diện của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ hai DR2.

Phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể được bố trí ở các mức khác nhau. Phần đường dây thứ nhất CDL1 có thể được nối với phần đường dây thứ hai CDL2 thông qua lỗ tiếp xúc liên kết thứ hai CD-CH2. Phần đường dây thứ hai CDL2 có thể được bố trí ở cùng mức như mức của đường dây đầu vào SL1 và đường dây đầu ra SL2.

Khi được quan sát trên hình chiếu bằng, khu vực, trong đó lỗ tiếp xúc liên kết thứ hai CD-CH2 được tạo thành, sẽ được gọi là vùng tiếp xúc thứ hai AR-CH2. Các khu vực còn lại trên đường dây dò CDL, ngoại trừ vùng tiếp xúc thứ nhất AR-CH1 và thứ hai AR-CH2, sẽ được gọi là khu vực không tiếp xúc AR-NCH. Theo các phương án này, lỗ tiếp

xúc liên kết thứ hai CD-CH₂ có thể được tạo thành bằng quy trình khắc mòn bằng cách sử dụng plasma.

Theo các phương án này, phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể được bố trí ở các mức khác nhau. Ví dụ, phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể được tạo thành bằng hoặc chứa các vật liệu khác nhau. Theo đó, có thể triệt tiêu hoặc ngăn không cho phần đường dây thứ nhất CDL1 và thứ hai CDL2 được ghép nối về mặt điện dung với nhau.

Phần đường dây thứ hai CDL2 có thể được tạo ra dưới dạng mẫu hình điện đầy được xếp mật độ cao bao gồm các đoạn thẳng, mỗi trong số các đoạn này được kéo dài từ đoạn kia (ví dụ, theo góc vuông). Nói cách khác, phần đường dây thứ hai CDL2 có hình dạng được uốn nhiều lần dưới dạng nhánh. Do kết cấu uốn được tạo thành bằng các đoạn thẳng của phần đường dây thứ hai CDL2, nên phần đường dây thứ hai CDL2 có thể có diện tích chiếm chỗ lớn trên khu vực không hiển thị thứ nhất NDA1, ngay cả khi nó không có độ dày lớn. Điều này khiến cho có thể phát hiện vết rạn nứt trên khu vực ngoài của bảng hiển thị DP một cách chính xác hơn.

Theo các phương án này, các phần được uốn của phần đường dây thứ hai CDL2 có thể được bố trí theo hướng kéo dài của phần đường dây thứ nhất CDL1 hoặc dọc theo mép ngoài của khu vực hiển thị DP-DA, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, các hình dạng, các hướng uốn và kéo dài, và số lần uốn của các phần được uốn của phần đường dây thứ hai CDL2 có thể được thay đổi khác nhau.

Phần đường dây thứ hai CDL2 có thể được nối với đường dây đầu ra SL2. Ví dụ,

đầu đối diện của phần đường dây thứ hai CDL2 có thể được nối với đường dây đầu ra SL2, ở khu vực bên của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ hai DR2.

Phần đường dây thứ hai CDL2 có thể được bố trí ở cùng mức như mức của đường dây đầu ra SL2. Ngoài ra, phần đường dây thứ hai CDL2 và đường dây đầu ra SL2 có thể được bố trí để tạo thành một khối ở cùng mức.

Theo các phương án này, khoảng cách giữa phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể được thay đổi phụ thuộc vào việc liệu có các khu vực tiếp xúc AR-CH1 và AR-CH2 hay không.

Một cách chi tiết, khoảng cách giữa phần đường dây thứ nhất CDL1 được bố trí trong vùng tiếp xúc thứ nhất AR-CH1 hoặc thứ hai AR-CH2 và phần đường dây thứ hai CDL2 được bố trí trong khu vực không tiếp xúc AR-NCH sẽ được gọi là khoảng cách thứ nhất D1. Ngoài ra, khoảng cách giữa phần đường dây thứ nhất CDL1 và thứ hai CDL2 được bố trí trong khu vực không tiếp xúc AR-NCH sẽ được gọi là khoảng cách thứ hai D2. Theo các phương án này, khoảng cách thứ nhất D1 có thể lớn hơn khoảng cách thứ hai D2.

Nói cách khác, khoảng cách D1 giữa lỗ tiếp xúc liên kết thứ nhất CD-CH1 trong vùng tiếp xúc thứ nhất AR-CH1 và phần đường dây thứ hai CDL2 trong khu vực không tiếp xúc (không được thể hiện trên hình vẽ) có thể lớn hơn khoảng cách D2 giữa phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 trong khu vực không tiếp xúc AR-NCH. Khoảng cách D1 giữa lỗ tiếp xúc liên kết thứ hai CD-CH2 trong vùng tiếp xúc thứ hai AR-CH2 và phần đường dây thứ hai CDL2 trong khu vực không tiếp xúc

(không được thể hiện trên hình vẽ) có thể lớn hơn khoảng cách D2 giữa phần đường dây thứ nhất CDL1 và thứ hai CDL2 trong khu vực không tiếp xúc (không được thể hiện trên hình vẽ).

Theo các phương án này, khoảng cách thứ nhất D1 càng lớn thì càng tốt. Nếu khoảng cách thứ nhất D1 được tăng, thì có thể giảm bớt tần suất phóng tĩnh điện (ESD) xảy ra ở đường dây dò CDL. Theo một số phương án, khoảng cách thứ nhất D1 có thể được thiết lập bằng khoảng cách lớn nhất mà phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 có thể cách xa khỏi nhau trên khu vực không hiển thị thứ nhất NDA1.

Theo một số phương án, khoảng cách thứ nhất D1 có thể lớn hơn hoặc bằng xấp xỉ $50\mu\text{m}$, và khoảng cách thứ hai D2 có thể nhỏ hơn hoặc bằng xấp xỉ $10\mu\text{m}$.

Mặc dù không được thể hiện, theo các phương án nhất định, các đường bổ sung có thể còn được bố trí giữa phần đường dây thứ nhất CDL1 và khu vực hiển thị DP-DA. Trong trường hợp này, khoảng cách thứ ba, mà được xác định là khoảng cách giữa phần đường dây thứ nhất CDL1 trong các khu vực tiếp xúc AR-CH1 và AR-CH2 và các đường bổ sung, có thể lớn hơn khoảng cách thứ tư, mà được xác định là khoảng cách giữa phần đường dây thứ nhất CDL1 trong khu vực không tiếp xúc AR-NCH và các đường bổ sung. Ví dụ, khoảng cách thứ ba có thể lớn hơn hoặc bằng xấp xỉ $50\mu\text{m}$, và khoảng cách thứ tư có thể nhỏ hơn hoặc bằng xấp xỉ $10\mu\text{m}$.

Nói chung, sự phóng tĩnh điện (ESD) có thể xảy ra thường xuyên ở các khu vực tiếp xúc AR-CH1 và AR-CH2. Một cách chi tiết, các điện tích có thể được tích lũy ở đầu

của mỗi phần trong số phần đường dây thứ nhất CDL1, phần đường dây thứ hai CDL2 và các đường dây đầu vào SL1 được bố trí trong các khu vực tiếp xúc AR-CH1 và AR-CH2. Trong trường hợp này, nếu quy trình khắc mòn plasma được thực hiện để tạo thành các lỗ tiếp xúc liên kết thứ nhất CD-CH1 và thứ hai CD-CH2, các vật liệu phản ứng trong plasma có thể được nạp các điện tích được tích lũy ở đầu của mỗi phần trong số phần đường dây thứ nhất CDL1, phần đường dây thứ hai CDL2 và các đường dây đầu vào SL1.

Không giống như các phương án được mô tả ở trên theo sáng chế, trong trường hợp khoảng cách giữa phần đường dây thứ nhất CDL1 và phần đường dây thứ hai CDL2 đều, do sự phóng tĩnh điện (ESD), mà có thể xảy ra ở các khu vực tiếp xúc AR-CH1 và AR-CH2, nên vết rạn nứt có thể được tạo thành trong phần đường dây thứ hai CDL2 được bố trí trong khu vực không tiếp xúc AR-NCH. Ngược lại, theo một số phương án của sáng chế, khoảng cách D1 giữa lỗ tiếp xúc liên kết thứ nhất CD-CH1 trong vùng tiếp xúc thứ nhất AR-CH1 và phần đường dây thứ hai CDL2 trong khu vực không tiếp xúc AR-NCH có thể lớn hơn khoảng cách D2 giữa phần đường dây thứ nhất CDL1 và thứ hai CDL2 trong khu vực không tiếp xúc AR-NCH. Trong trường hợp này, có thể triệt tiêu hoặc ngăn không cho vết rạn nứt xảy ra trong phần đường dây thứ hai CDL2. Nói cách khác, có thể cải thiện độ bền hoặc độ tin cậy của bộ hiển thị.

FIG.10 là hình vẽ phối cảnh của mô đun hiển thị DM-1 theo các phương án khác của sáng chế, và FIG.11 là hình chiếu bằng của bảng hiển thị DP-1 theo các phương án khác của sáng chế.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ

dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này. Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Dựa vào FIG.10 và FIG.11, mô đun hiển thị DM-1 có thể bao gồm các khu vực được định ra phụ thuộc vào chế độ hoạt động của mô đun này. Ví dụ, mô đun hiển thị DM-1 có thể bao gồm khu vực thứ nhất NBA1, khu vực thứ hai NBA2, và khu vực thứ ba BA giữa khu vực thứ nhất NBA1 và thứ hai NBA2. Khu vực thứ ba BA có thể được tạo kết cấu để được uốn quanh trục uốn BX và có thể là khu vực được tạo kết cấu để có độ cong thay đổi. Khu vực thứ nhất NBA1, khu vực thứ hai NBA2, và khu vực thứ ba BA có thể lần lượt được gọi là khu vực không uốn thứ nhất NBA1, khu vực không uốn thứ hai NBA2, và khu vực uốn BA. Theo các phương án này, khu vực không uốn thứ nhất NBA1 có thể chồng lên khu vực không hiển thị thứ nhất NDA1 và khu vực hiển thị DP-DA, và khu vực uốn BA và khu vực không uốn thứ hai NBA2 có thể chồng lên khu vực không hiển thị thứ hai NDA2.

Mô đun hiển thị DM-1 có thể được tạo kết cấu để được uốn theo cách uốn ra ngoài, cho phép bề mặt hiển thị DD-IS được lộ ra bên ngoài. Theo các phương án này, có thể giảm bớt diện tích khung viền của bộ hiển thị.

FIG.12 là hình chiếu bằng của bảng hiển thị DP-2 theo các phương án khác của sáng chế, và FIG.13 là hình vẽ phóng to của khu vực 'B' trên FIG.12.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này.

Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Dựa vào FIG.12 và FIG.13, theo các phương án khác của sáng chế, các đường dây dò CDL-2 có thể được bố trí.

Ví dụ, các đường dây dò CDL-2 có thể bao gồm đường dây dò thứ nhất CDLA và đường dây dò thứ hai CDLB. Đường dây dò thứ nhất CDLA có thể được bố trí ở khu vực bên của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ hai DR2 để bao quanh khu vực bên của khu vực hiển thị DP-DA theo hướng thứ hai DR2.

Đường dây dò thứ hai CDLB có thể được bố trí ở khu vực bên đối diện của khu vực không hiển thị thứ nhất NDA1 theo hướng thứ hai DR2 để bao quanh khu vực bên đối diện của khu vực hiển thị DP-DA theo hướng thứ hai DR2.

Theo các phương án này, các đường dây đầu vào SL1 và đầu ra SL2 của đường dây dò thứ nhất CDLA có thể được bố trí ở khu vực bên của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2, và các đường dây đầu vào SL1 và đầu ra SL2 của đường dây dò thứ hai CDLB có thể được bố trí ở khu vực bên đối diện của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2.

Ngoài ra, theo các phương án này, các đế hàn dò PD1 và PD2 được nối với đường dây dò thứ nhất CDLA có thể được bố trí ở khu vực bên của khu vực đế hàn NDA-PD theo hướng thứ hai DR2, và các đế hàn dò PD1 và PD2 được nối với đường dây dò thứ hai CDLB có thể được bố trí ở khu vực bên đối diện của khu vực đế hàn NDA-PD theo hướng thứ hai DR2.

Về cơ bản, các phần đường dây CDL1 và CDL2 của đường dây dò thứ nhất CDLA có thể có cùng kết cấu như kết cấu của đường dây dò thứ hai CDLB. Do đó, để mô tả ngắn gọn, chỉ khu vực 'B' của đường dây dò thứ nhất CDLA được minh họa trên FIG.13.

Theo các phương án này, ví dụ, trong đó cặp đường dây dò CDLA và CDLB được bố trí, đã được mô tả, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án nhất định, ba hoặc nhiều hơn ba đường dây dò có thể được bố trí trong khu vực không hiển thị DP-NDA.

FIG.14 là hình chiếu bằng của bảng hiển thị DP-3 theo các phương án khác của sáng chế, và FIG.15 là hình vẽ phóng to của khu vực 'A' trên FIG.14.

Dựa vào FIG.14 và FIG.15, bảng hiển thị DP-3 theo các phương án khác của sáng chế có thể bao gồm đường dây dò CDL-3 được bố trí trong khu vực đường dây tín hiệu NDA-CL của khu vực không hiển thị thứ hai NDA2 và khu vực không hiển thị thứ nhất NDA1. Trong khu vực đường dây tín hiệu NDA-CL, đường dây dò CDL-3 có thể được nối với đường dây đầu vào SL1 và đường dây đầu ra SL2.

Theo các phương án này, đầu của phần đường dây thứ nhất CDL1 có thể được nối với đường dây đầu vào SL1, ở khu vực bên của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2.

Đầu đối diện của phần đường dây thứ nhất CDL1 có thể được nối với đầu của phần đường dây thứ hai CDL2, ở khu vực bên đối diện của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2.

Theo các phương án này, đường dây dò CDL-3 có thể còn bao gồm phần đường dây thứ ba CDL3. Phần đường dây thứ ba CDL3 có thể được nối với phần đường dây thứ hai CDL2 và đường dây đầu ra SL2.

Một cách chi tiết, đầu đối diện của phần đường dây thứ hai CDL2 có thể được nối với đầu của phần đường dây thứ ba CDL3, ở khu vực bên của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2.

Phần đường dây thứ ba CDL3 có thể được bố trí ở mức khác với mức của phần đường dây thứ hai CDL2. Phần đường dây thứ ba CDL3 có thể được nối với phần đường dây thứ hai CDL2 thông qua lỗ tiếp xúc liên kết thứ ba CD-CH3. Khi được quan sát trên hình chiếu bằng, khu vực, trong đó lỗ tiếp xúc liên kết thứ ba CD-CH3 được tạo thành, có thể được gọi là khu vực tiếp xúc thứ ba AR-CH3.

Theo các phương án này, phần đường dây thứ ba CDL3 có thể được bố trí ở cùng mức như mức của phần đường dây thứ nhất CDL1. Ví dụ, phần đường dây thứ ba CDL3 có thể được bố trí ở cùng mức như mức của các điện cực đầu vào DE1 và DE2 và các điện cực đầu ra SE1 và SE2 của tranzito thứ nhất T1 và thứ hai T2.

Phần đường dây thứ ba CDL3 có thể được nối với đường dây đầu ra SL2. Một cách chi tiết, đầu của phần đường dây thứ ba CDL3 có thể được nối với đường dây đầu ra SL2, ở khu vực bên của khu vực đường dây tín hiệu NDA-CL theo hướng thứ hai DR2.

Phần đường dây thứ ba CDL3 và đường dây đầu ra SL2 có thể được bố trí ở các mức khác nhau. Phần đường dây thứ ba CDL3 có thể được nối với đường dây đầu ra SL2 thông qua lỗ tiếp xúc liên kết thứ tư CD-CH4. Khi được quan sát trên hình chiếu bằng,

khu vực, trong đó lỗ tiếp xúc liên kết thứ tư CD-CH4 được tạo thành, sẽ được gọi là khu vực tiếp xúc thứ tư AR-CH4.

Theo các phương án này, khoảng cách giữa phần đường dây thứ ba CDL3 được bố trí trong khu vực tiếp xúc thứ ba AR-CH3 hoặc thứ tư AR-CH4 và phần đường dây thứ hai CDL2 được bố trí trong khu vực không tiếp xúc AR-NCH có thể bằng khoảng cách thứ nhất D1. Ngoài ra, khoảng cách giữa phần đường dây thứ ba CDL3 và thứ hai CDL2 được bố trí trong khu vực không tiếp xúc AR-NCH có thể bằng khoảng cách thứ hai D2.

Theo các phương án này, đường dây dò CDL-3 kéo dài đến khu vực đường dây tín hiệu NDA-CL của khu vực không hiển thị thứ hai NDA2 vượt quá khu vực không hiển thị thứ nhất NDA1. Tức là, do diện tích đường dây dò CDL-3 được bố trí trên bảng hiển thị DP được tăng, nên có thể xác định liệu vết rạn nứt có được tạo thành trong bảng hiển thị DP hay không một cách chính xác hơn.

FIG.16 là hình vẽ phóng to của khu vực 'A' theo các phương án khác của sáng chế.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này. Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Để thuận tiện trên hình vẽ minh họa, chỉ một vùng (ví dụ, vùng tiếp xúc thứ nhất AR-CH1) trong số các khu vực tiếp xúc được minh họa trên FIG.16. Để đơn giản, phần mô tả sau đây sẽ chỉ đề cập đến vùng tiếp xúc thứ nhất AR-CH1, nhưng các khu vực tiếp xúc khác có thể được tạo kết cấu để về cơ bản có cùng các dấu hiệu như các dấu hiệu của

vùng tiếp xúc thứ nhất AR-CH1 được mô tả ở đây.

Theo các phương án khác của sáng chế, như được thể hiện trên FIG.16, các lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể được tạo thành trong vùng tiếp xúc thứ nhất AR-CH1. Các lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể được sử dụng để nối đường dây đầu vào SL1 và phần đường dây thứ nhất CDL1 với nhau.

Trong trường hợp này, ngay cả khi một số lỗ trong số các lỗ tiếp xúc CD-CH1 bị hư hại, thì đường dây đầu vào SL1 và phần đường dây thứ nhất CDL1 có thể được nối điện với nhau bằng các lỗ không bị hư hại còn lại trong số các lỗ tiếp xúc CD-CH1. Tức là, như được mô tả ở trên, các lỗ tiếp xúc liên kết CD-CH1 được sử dụng để nối đường dây đầu vào SL1 với phần đường dây thứ nhất CDL1, thì có thể cải thiện độ bền hoặc độ tin cậy của đường dây dò CDL.

FIG.17 là hình vẽ phóng to của vùng tiếp xúc thứ nhất AR-CH1 theo các phương án khác của sáng chế.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này. Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Để thuận tiện trên hình vẽ minh họa, chỉ một vùng (ví dụ, vùng tiếp xúc thứ nhất AR-CH1) trong số các khu vực tiếp xúc được minh họa trên FIG.17. Để đơn giản, phần mô tả sau đây sẽ chỉ đề cập đến vùng tiếp xúc thứ nhất AR-CH1, nhưng các khu vực tiếp xúc khác có thể được tạo kết cấu để về cơ bản có cùng các dấu hiệu như các dấu hiệu của

vùng tiếp xúc thứ nhất AR-CH1 được mô tả ở đây.

Theo các phương án khác của sáng chế, như được thể hiện trên FIG.17, các lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể được tạo thành trong vùng tiếp xúc thứ nhất AR-CH1. Các lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể được sử dụng để nối đường dây đầu vào SL1 và phần đường dây thứ nhất CDL1 với nhau.

Theo các phương án này, các lỗ tiếp xúc liên kết thứ nhất CD-CH1 có thể bao gồm các lỗ tiếp xúc liên kết CH_1, CH_2, CH_3, CH_4, và CH_5 có các kích thước khác nhau. Mặc dù FIG.17 minh họa ví dụ trong đó tất cả các lỗ tiếp xúc liên kết thứ nhất CH_1 - CH_5 được tạo thành có các kích thước khác nhau, ít nhất một số lỗ trong số các lỗ tiếp xúc liên kết thứ nhất CH_1 - CH_5 có thể được tạo ra có các kích thước khác nhau.

FIG.18 là hình vẽ mặt cắt phóng to của bảng hiển thị DP-3 theo các phương án khác của sáng chế.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này. Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Dựa vào FIG.18, lớp cụm mạch DP-CL có thể bao gồm lớp đệm BFL, lớp vô cơ trung gian thứ nhất 10, lớp hữu cơ trung gian 30, và các lớp vô cơ trung gian thứ hai 20-1, 20-2, và 20-3. Các lớp vô cơ trung gian thứ hai 20-1, 20-2, và 20-3 có thể bao gồm lớp trung gian thứ nhất 20-1, lớp trung gian thứ hai 20-2, và lớp trung gian thứ ba 20-3.

Mẫu hình bán dẫn thứ hai OSP2 của tranzito thứ hai T2 có thể được bố trí trên lớp đệm BFL. Lớp vô cơ trung gian thứ nhất 10 có thể được bố trí trên mẫu hình bán dẫn thứ hai OSP2. Cực điều khiển thứ hai GE2 và phần đường dây thứ hai CDL2 có thể được bố trí trên lớp vô cơ trung gian thứ nhất 10. Cực điều khiển thứ hai GE2 có thể được chồng lên khu vực hiển thị DP-DA, và phần đường dây thứ hai CDL2 có thể được chồng lên khu vực không hiển thị DP-NDA.

Lớp trung gian thứ nhất 20-1 có thể được bố trí trên lớp vô cơ trung gian thứ nhất 10 để che phủ cực điều khiển thứ hai GE2 và phần đường dây thứ hai CDL2. Mẫu hình bán dẫn thứ nhất OSP1 của tranzito thứ nhất T1 có thể được bố trí trên lớp trung gian thứ nhất 20-1. Lớp trung gian thứ hai 20-2 có thể được bố trí trên lớp trung gian thứ nhất 20-1 để che phủ mẫu hình bán dẫn thứ nhất OSP1.

Theo các phương án này, lớp cụm mạch DP-CL có thể còn bao gồm điện cực trên UE. Cực điều khiển thứ nhất GE1 và điện cực trên UE có thể được bố trí trên lớp trung gian thứ hai 20-2. Cực điều khiển thứ nhất GE1 có thể được chồng lên mẫu hình bán dẫn thứ nhất OSP1. Điện cực trên UE có thể được chồng lên cực điều khiển thứ hai GE2, khi được quan sát trên hình chiếu bằng. Do điện cực trên UE được bố trí trên cực điều khiển thứ hai GE2, điện cực trên UE và cực điều khiển thứ hai GE2 có thể cấu thành tụ điện. Nói cách khác, điện trường có thể được tạo ra giữa các phần chồng nhau của điện cực trên UE và cực điều khiển thứ hai GE2. Tụ điện có thể tương ứng với tụ điện Cst trên FIG.5.

Theo các phương án này, cực điều khiển thứ hai GE2 có thể được sử dụng không chỉ là phần thuộc tranzito thứ hai T2 mà còn là một điện cực của tụ điện Cst.

Lớp trung gian thứ ba 20-3 có thể được bố trí trên lớp trung gian thứ hai 20-2 để che phủ cực điều khiển thứ nhất GE1 và điện cực trên UE. Các điện cực đầu vào và đầu ra thứ nhất DE1 và SE1 của tranzito thứ nhất T1, các điện cực đầu vào và đầu ra thứ hai DE2 và SE2 của tranzito thứ hai T2, và phần đường dây thứ nhất CDL1 của đường dây dò CDL có thể được bố trí trên lớp trung gian thứ ba 20-3. Các điện cực đầu vào DE1 và DE2 và các điện cực đầu ra SE1 và SE2 của tranzito thứ nhất T1 và thứ hai T2 có thể được chồng lên khu vực hiển thị DP-DA, và phần đường dây thứ nhất CDL1 có thể được chồng lên khu vực không hiển thị DP-NDA.

Điện cực đầu vào thứ nhất DE1 và điện cực đầu ra thứ nhất SE1 có thể lần lượt được nối với hai phần khác nhau của mẫu hình bán dẫn thứ nhất OSP1 thông qua lỗ tiếp xúc thứ nhất CH1 và lỗ tiếp xúc thứ hai CH2, mà được tạo thành xuyên qua cả lớp trung gian thứ hai 20-2 và thứ ba 20-3. Điện cực đầu vào thứ hai DE2 và điện cực đầu ra thứ hai SE2 có thể lần lượt được nối với hai phần khác nhau của mẫu hình bán dẫn thứ hai OSP2 thông qua lỗ tiếp xúc thứ ba CH3 và lỗ tiếp xúc thứ tư CH4, mà được tạo thành xuyên qua lớp vô cơ trung gian thứ nhất 10 và lớp trung gian thứ nhất đến thứ ba 20-1, 20-2, và 20-3.

Lớp hữu cơ trung gian 30 có thể được bố trí trên các lớp vô cơ trung gian thứ hai 20-1, 20-2, và 20-3 để che phủ điện cực đầu vào thứ nhất DE1, điện cực đầu vào thứ hai DE2, điện cực đầu ra thứ nhất SE1, và điện cực đầu ra thứ hai SE2. Lớp hữu cơ trung gian 30 có thể được tạo ra có bề mặt phẳng.

FIG.19 là hình vẽ mặt cắt phóng to của bảng hiển thị DP-4 theo các phương án khác của sáng chế.

Để mô tả ngắn gọn, phần tử đã được mô tả ở trên có thể được xác định bằng số chỉ dẫn tương tự hoặc giống nhau mà không cần lặp lại phần mô tả trùng của các phần tử này. Về cơ bản, các phần tử khác không được mô tả riêng có thể được tạo kết cấu để có cùng các dấu hiệu kỹ thuật như các dấu hiệu theo các phương án được mô tả ở trên.

Dựa vào FIG.19, tranzito thứ nhất T1 theo các phương án khác của sáng chế có thể có kết cấu cổng dưới. Nói cách khác, mẫu hình bán dẫn thứ nhất OSP1 của tranzito thứ nhất T1 có thể được bố trí trên cực điều khiển thứ nhất GE1.

Một cách chi tiết, tranzito thứ nhất T1 có thể bao gồm cực điều khiển thứ nhất GE1 được bố trí trên lớp vô cơ trung gian thứ nhất 10, mẫu hình bán dẫn thứ nhất OSP1 được bố trí trên lớp vô cơ trung gian thứ hai 20, và điện cực đầu vào thứ nhất DE1 và điện cực đầu ra thứ nhất SE1 được bố trí trên lớp hữu cơ trung gian 30. Cực điều khiển thứ nhất GE1 có thể được bố trí giữa lớp vô cơ trung gian thứ nhất 10 và lớp vô cơ trung gian thứ hai 20.

Mẫu hình bán dẫn thứ nhất OSP1 có thể được bố trí trên cực điều khiển thứ nhất GE1. Mẫu hình bán dẫn thứ nhất OSP1 có thể được chồng lên cực điều khiển thứ nhất GE1, khi được quan sát trên hình chiếu bằng. Các điện cực đầu vào và đầu ra thứ nhất DE1 và SE1 có thể được bố trí trên lớp vô cơ trung gian thứ hai 20 để che phủ một phần hai phần của mẫu hình bán dẫn thứ nhất OSP1. Mặc dù không được thể hiện, tranzito thứ nhất T1 có thể còn bao gồm lớp tiếp xúc thuận trở mà được tạo thành giữa mẫu hình bán dẫn thứ nhất OSP1 và các điện cực đầu vào và đầu ra thứ nhất DE1 và SE1.

Tranzito thứ hai T2 có thể tương ứng với tranzito thứ hai T2 được thể hiện trên

FIG.6. Để mô tả ngắn gọn, phần mô tả của các phần tử trùng lặp được mô tả ở trên có thể được lược bỏ.

Theo các phương án này, phần đường dây thứ nhất CDL1 có thể được bố trí ở cùng mức như mức của mẫu hình bán dẫn thứ nhất OSP1, điện cực đầu vào thứ nhất DE1 và điện cực đầu ra thứ nhất SE1.

Theo một số phương án của sáng chế, có thể cải thiện độ bền của bộ hiển thị.

Trong khi các phương án ví dụ của sáng chế đã được thể hiện và được mô tả một cách cụ thể, người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng sẽ hiểu rằng các biến thể về hình thức và chi tiết có thể được thực hiện trong các phương án này mà không cần lệch khỏi nguyên lý và phạm vi của bộ yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Bộ hiển thị, bao gồm bảng hiển thị bao gồm khu vực hiển thị và khu vực không hiển thị bao quanh khu vực hiển thị, khi được quan sát trên hình chiếu bằng,

trong đó bảng hiển thị bao gồm:

bộ phát sáng hữu cơ được bố trí trong khu vực hiển thị;

các cụm mạch được tạo kết cấu để điều khiển bộ phát sáng hữu cơ;

đường dây dò được chồng lên khu vực không hiển thị;

các đế hàn dò được nối với đường dây dò; và

đường dây đầu vào nối đế hàn đầu vào trong số các đế hàn dò với đường dây dò,

trong đó đường dây dò bao gồm:

phần đường dây thứ nhất được bố trí ở mức khác với mức của đường dây đầu vào, phần đường dây thứ nhất bao gồm phần đầu, được nối với đường dây đầu vào thông qua lỗ tiếp xúc liên kết thứ nhất trong vùng tiếp xúc thứ nhất; và

phần đường dây thứ hai được bố trí ở mức khác với mức của phần đường dây thứ nhất và được nối với phần đường dây thứ nhất thông qua lỗ tiếp xúc liên kết thứ hai trong vùng tiếp xúc thứ hai,

trong đó, khi được quan sát trên hình chiếu bằng, phần đường dây thứ nhất được bố trí gần với khu vực hiển thị hơn phần đường dây thứ hai, và

khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc.

2. Bộ hiển thị theo điểm 1, trong đó khoảng cách giữa phần đường dây thứ nhất và phần đường dây thứ hai trong khu vực không tiếp xúc nhỏ hơn khoảng cách giữa lỗ tiếp xúc liên kết thứ hai và phần đường dây thứ hai trong khu vực không tiếp xúc.

3. Bộ hiển thị theo điểm 1, trong đó bảng hiển thị còn bao gồm đường dây đầu ra nối để hàn đầu ra trong số các để hàn dò với đường dây dò, và

phần đường dây thứ hai bao gồm phần đầu, được nối với phần đường dây thứ nhất, và phần đầu đối diện, được nối với đường dây đầu ra.

4. Bộ hiển thị theo điểm 3, trong đó phần đường dây thứ hai và đường dây đầu ra được tạo ra dưới dạng nguyên khối.

5. Bộ hiển thị theo điểm 3, trong đó, khi được quan sát trên hình chiếu bằng, ít nhất phần thuộc đường dây dò có hình dạng được uốn nhiều lần dưới dạng nhánh.

6. Bộ hiển thị theo điểm 3, trong đó đường dây đầu vào và đường dây đầu ra được bố trí ở cùng mức như mức của phần đường dây thứ hai.

7. Bộ hiển thị theo điểm 3, còn bao gồm phần đường dây thứ ba nối đường dây đầu ra và phần đường dây thứ hai với nhau,

trong đó phần đường dây thứ ba bao gồm đầu, được nối với đầu đối diện của phần đường dây thứ hai thông qua lỗ tiếp xúc liên kết thứ ba, và

đầu đối diện, được nối với đường dây đầu ra thông qua lỗ tiếp xúc liên kết thứ tư.

8. Bộ hiển thị theo điểm 7, trong đó phần đường dây thứ nhất được bố trí ở cùng mức như mức của phần đường dây thứ ba.

9. Bộ hiển thị theo điểm 7, trong đó, khi được quan sát trên hình chiếu bằng, phần đường dây thứ ba được bố trí gần với khu vực hiển thị hơn phần đường dây thứ hai.

10. Bộ hiển thị theo điểm 3, trong đó ít nhất một trong số các lỗ tiếp xúc liên kết thứ nhất và thứ hai được tạo ra nhiều.

FIG. 1

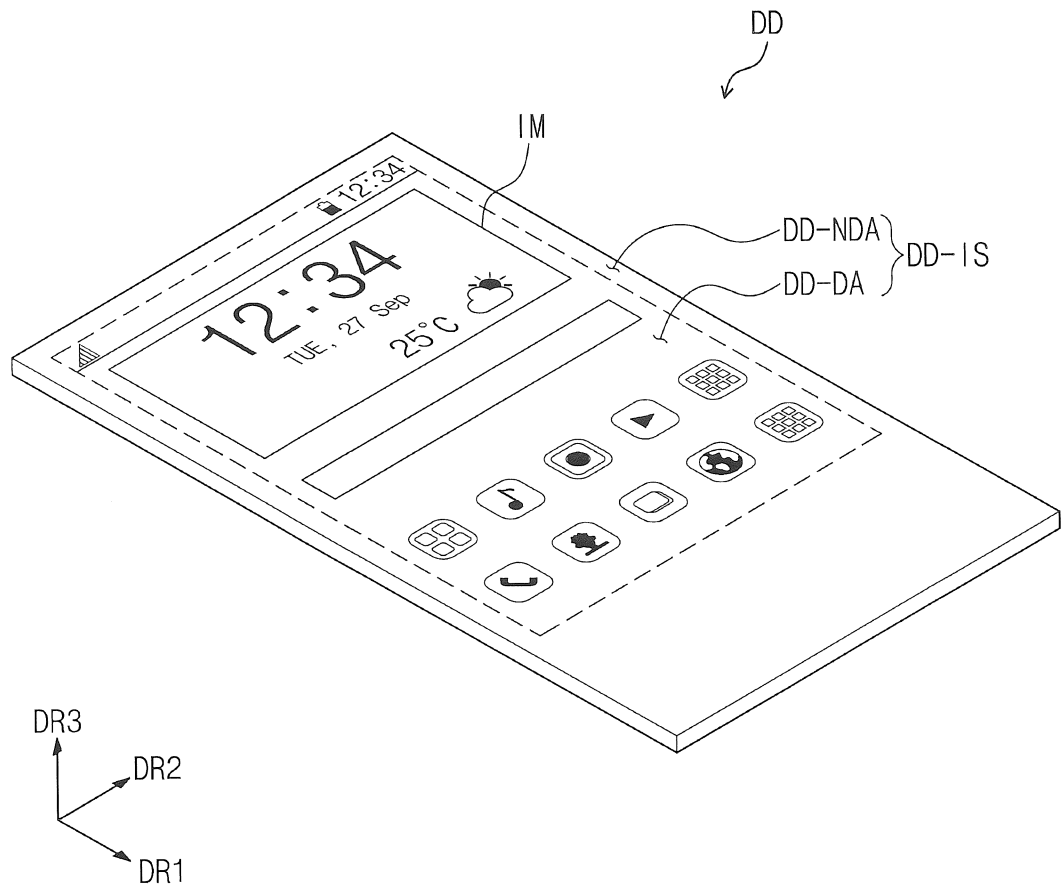


FIG. 2

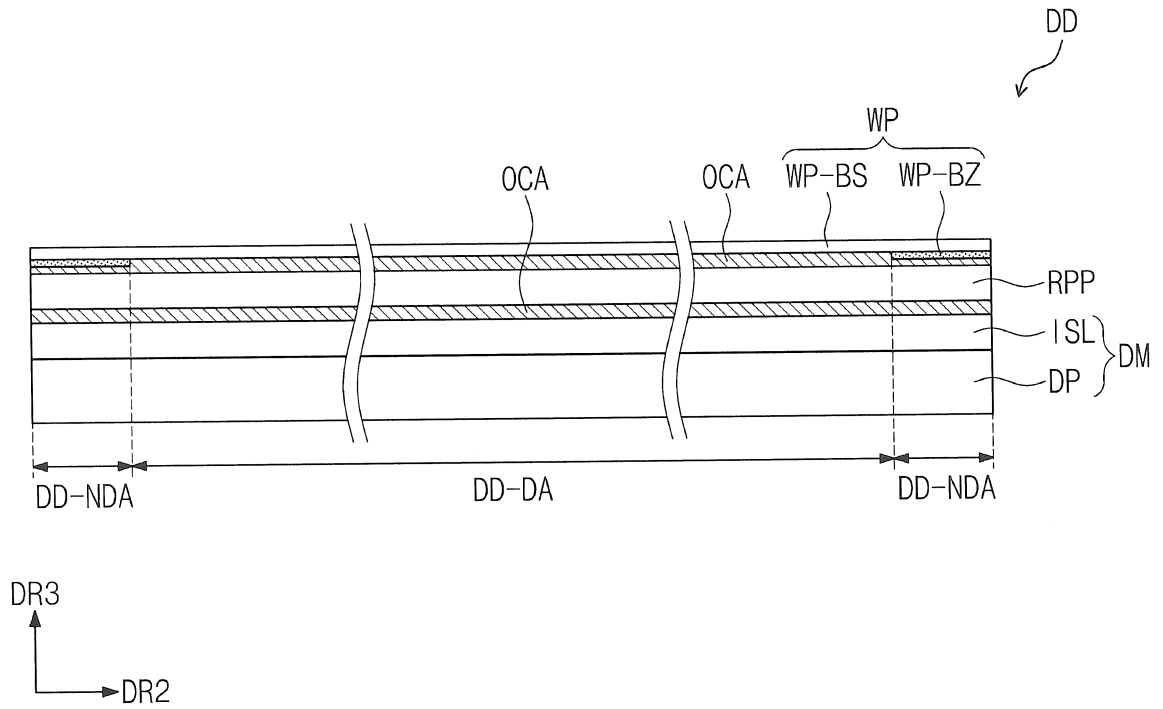


FIG. 3

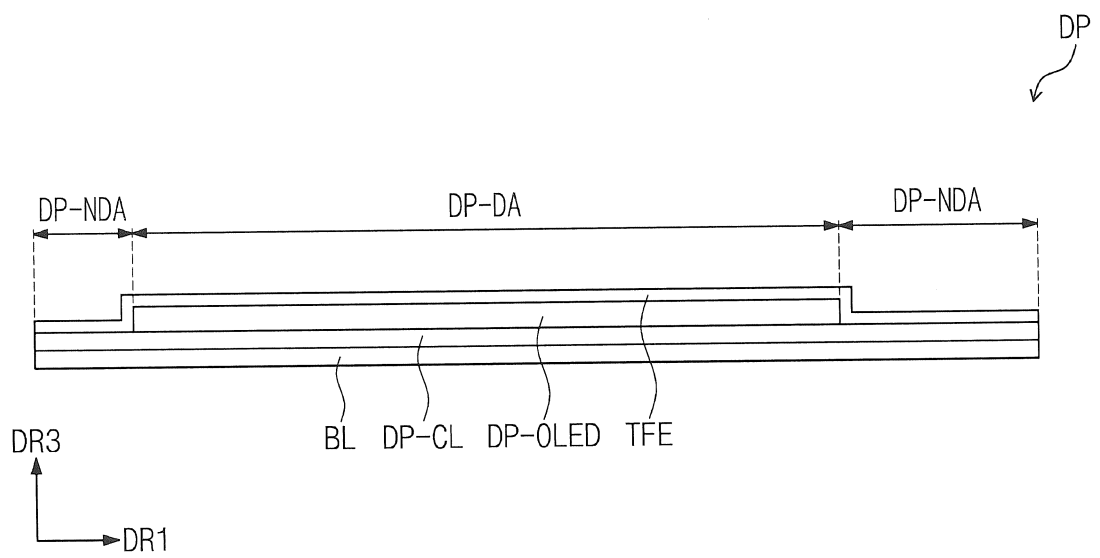


FIG. 4

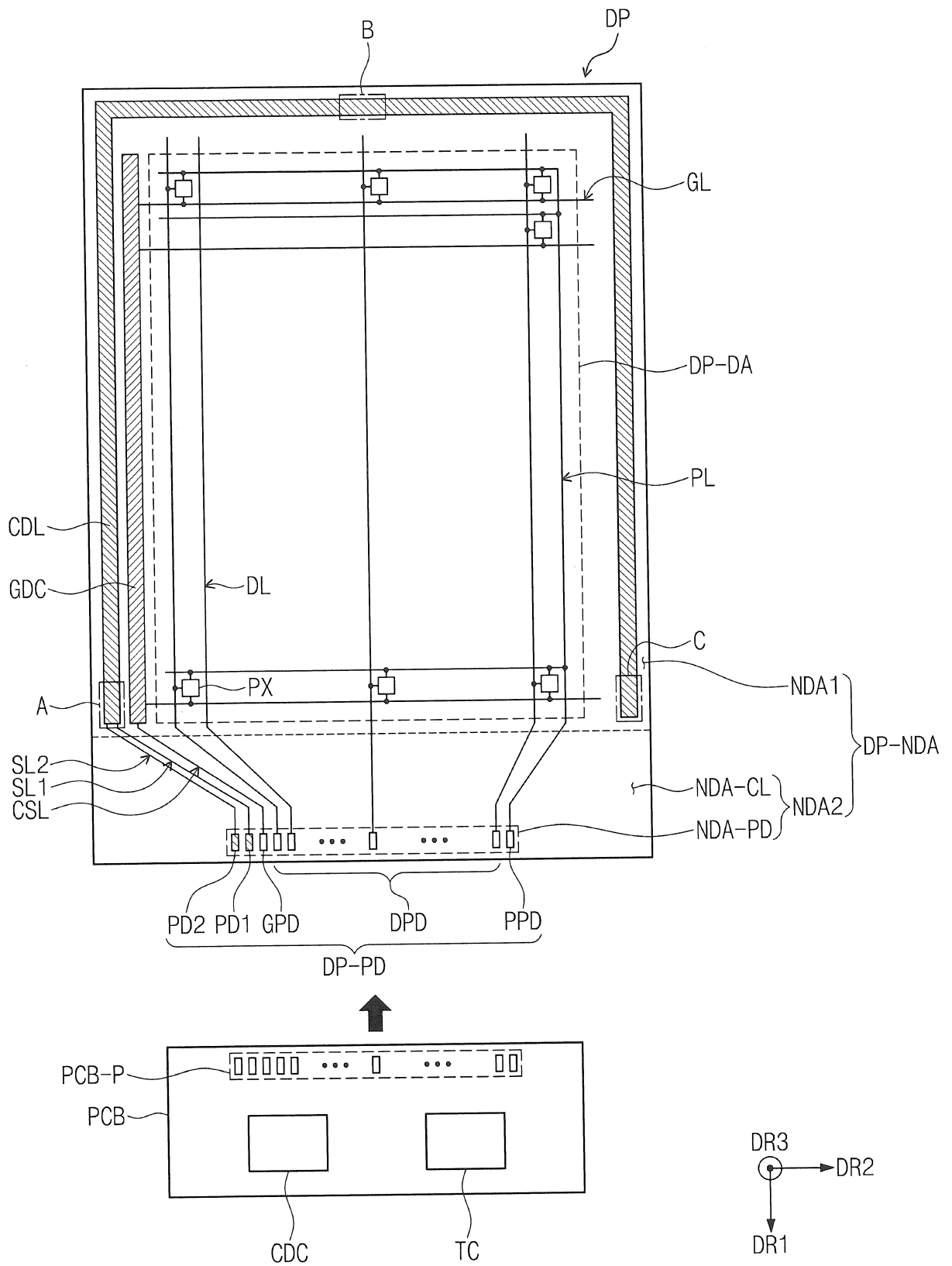


FIG. 5

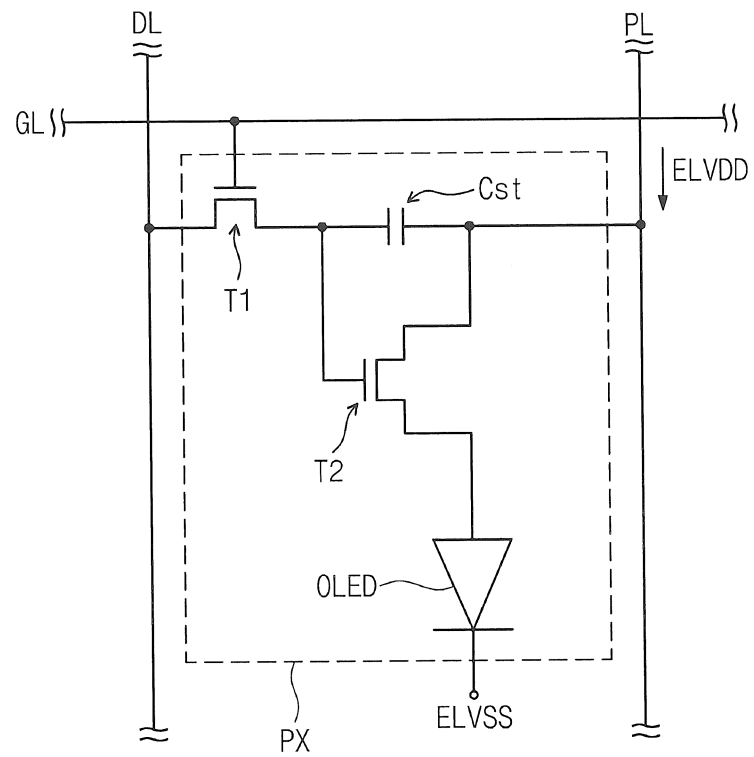


FIG. 6

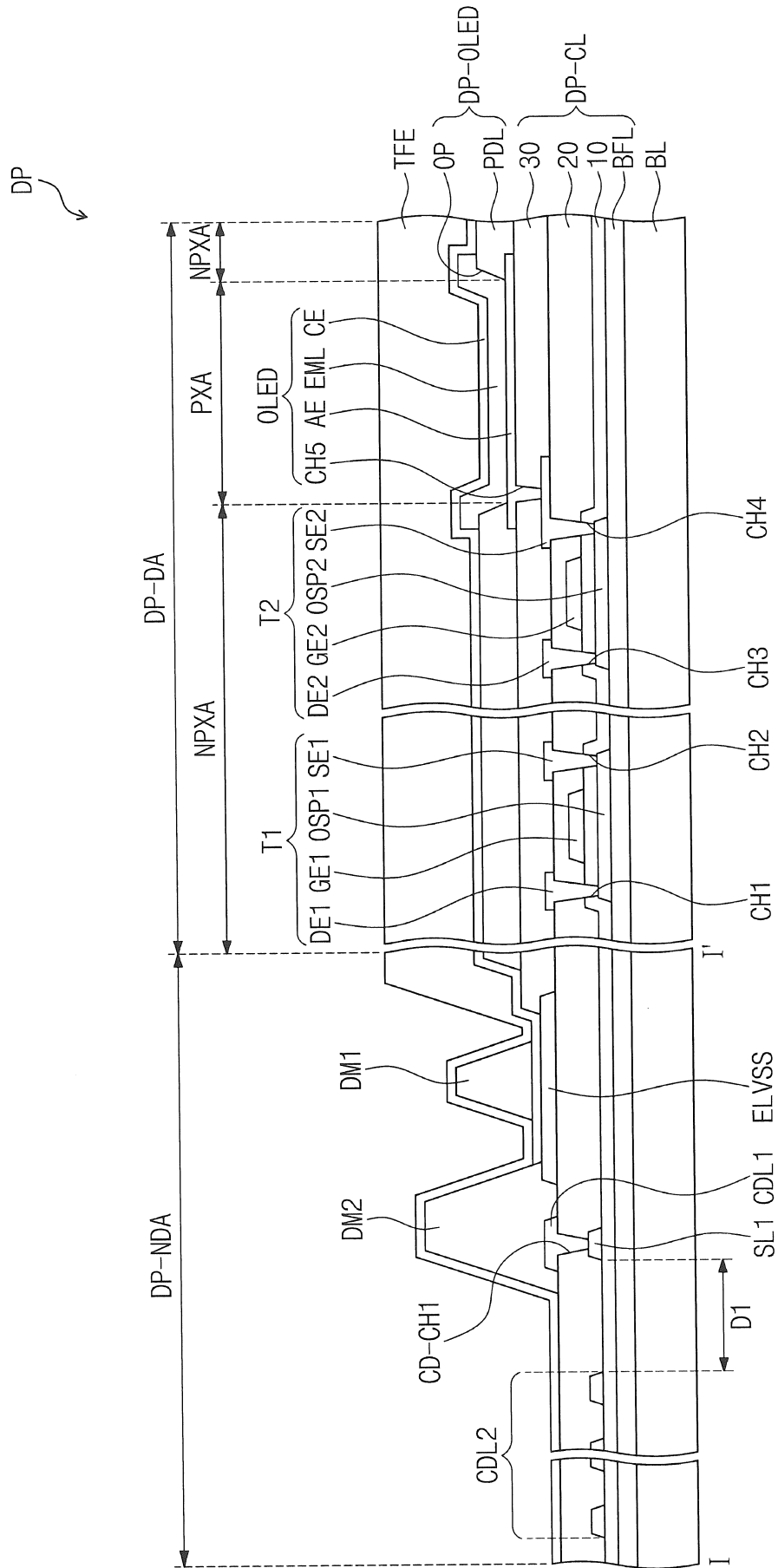


FIG. 7

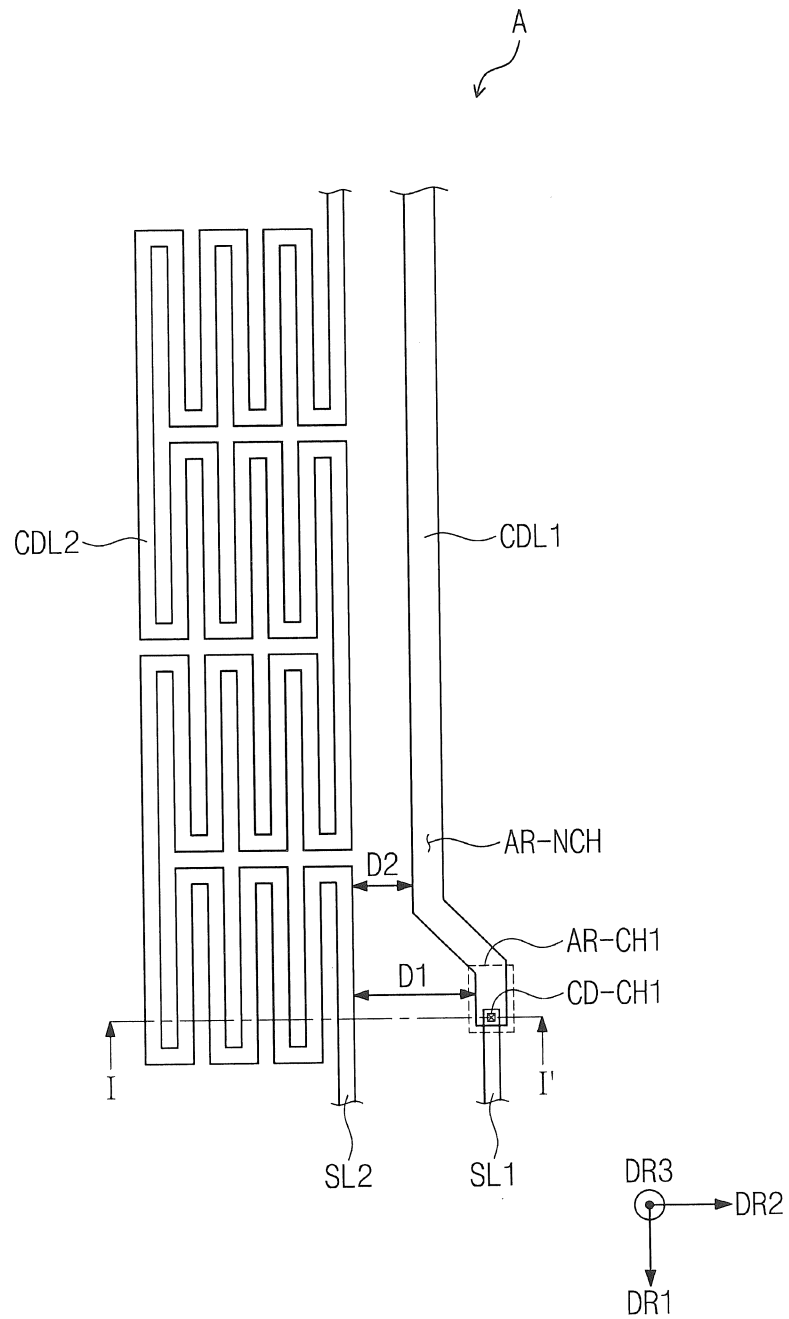


FIG. 8

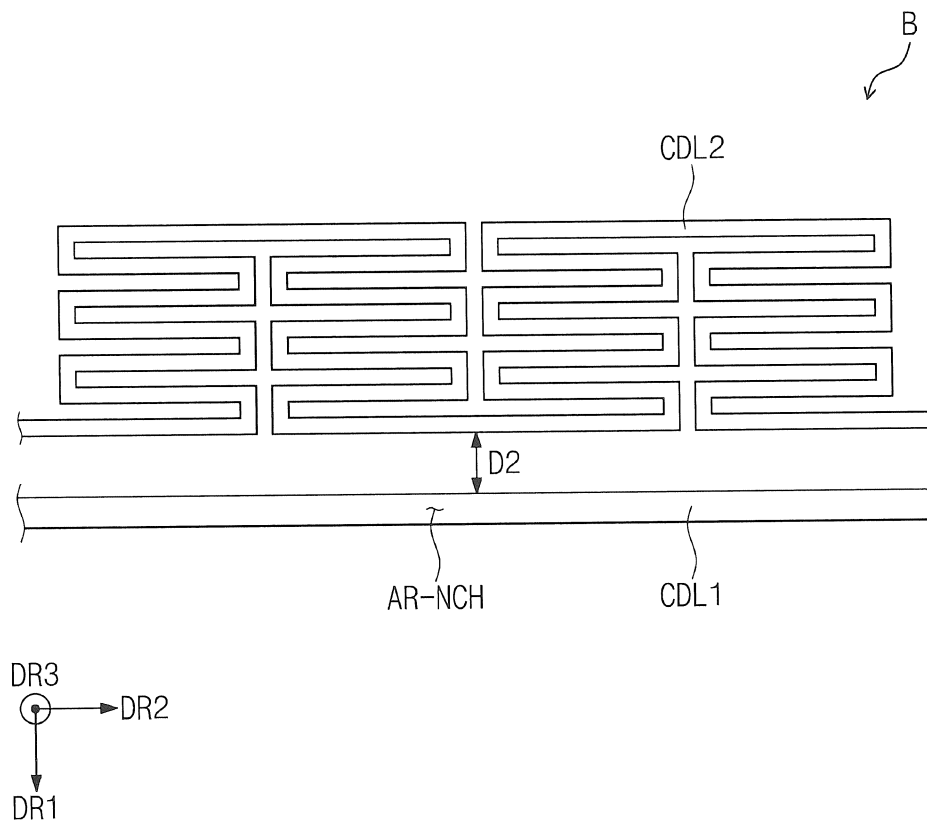


FIG. 9

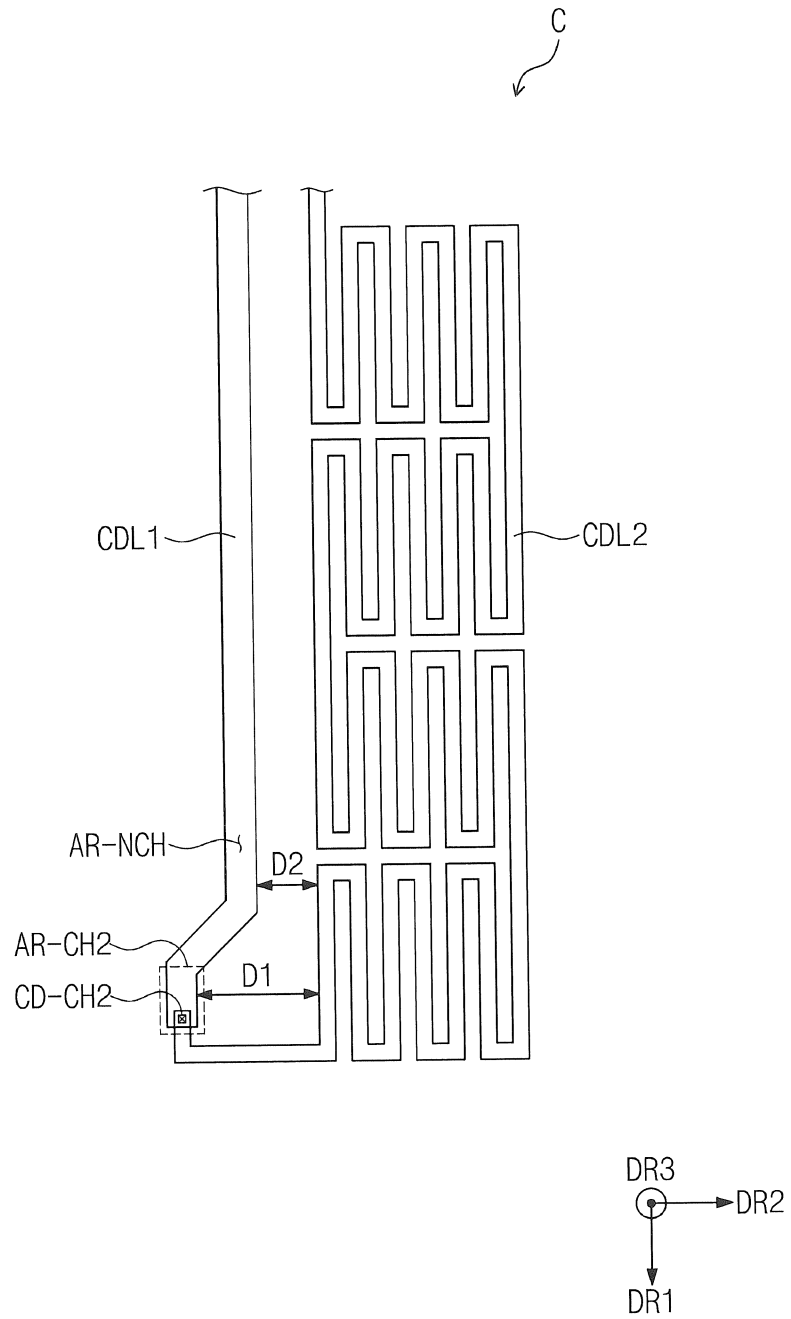


FIG. 10

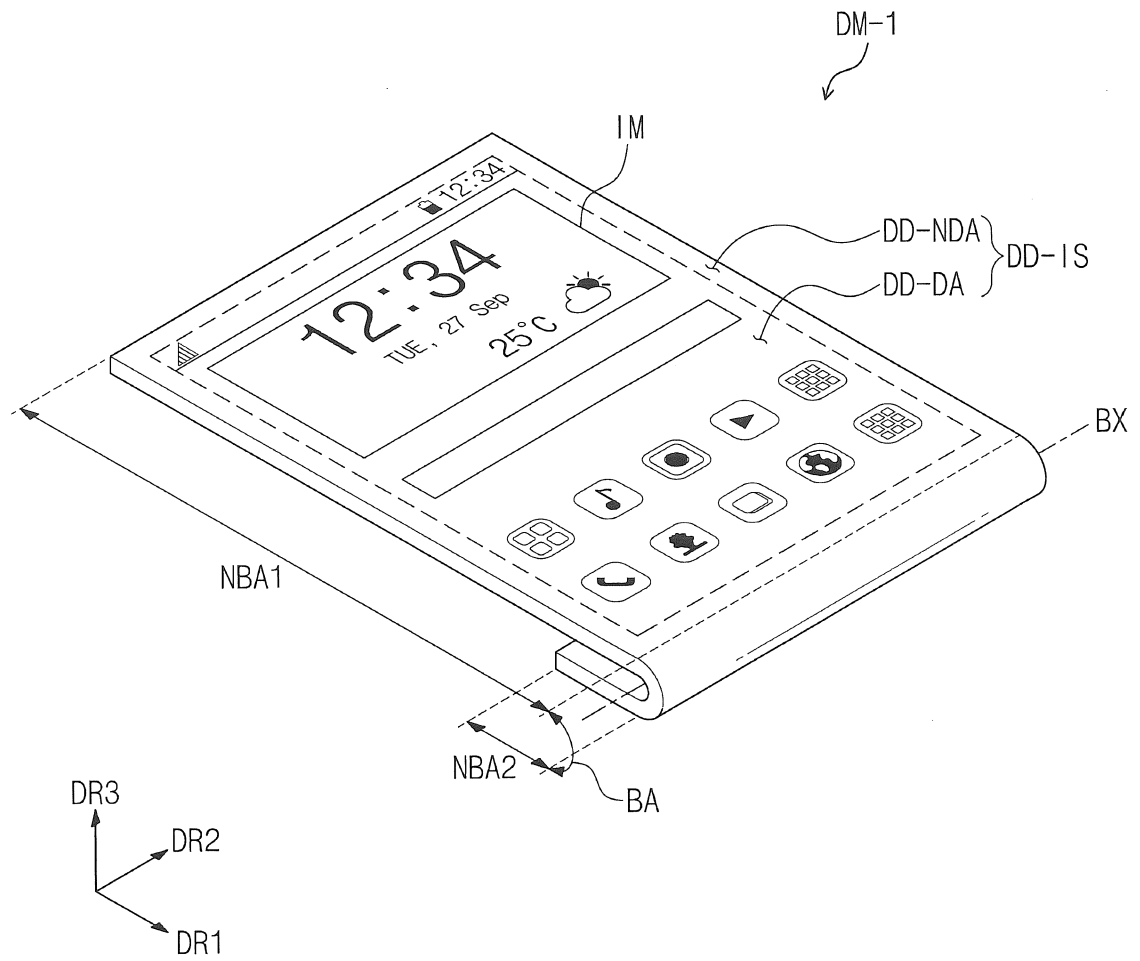


FIG. 11

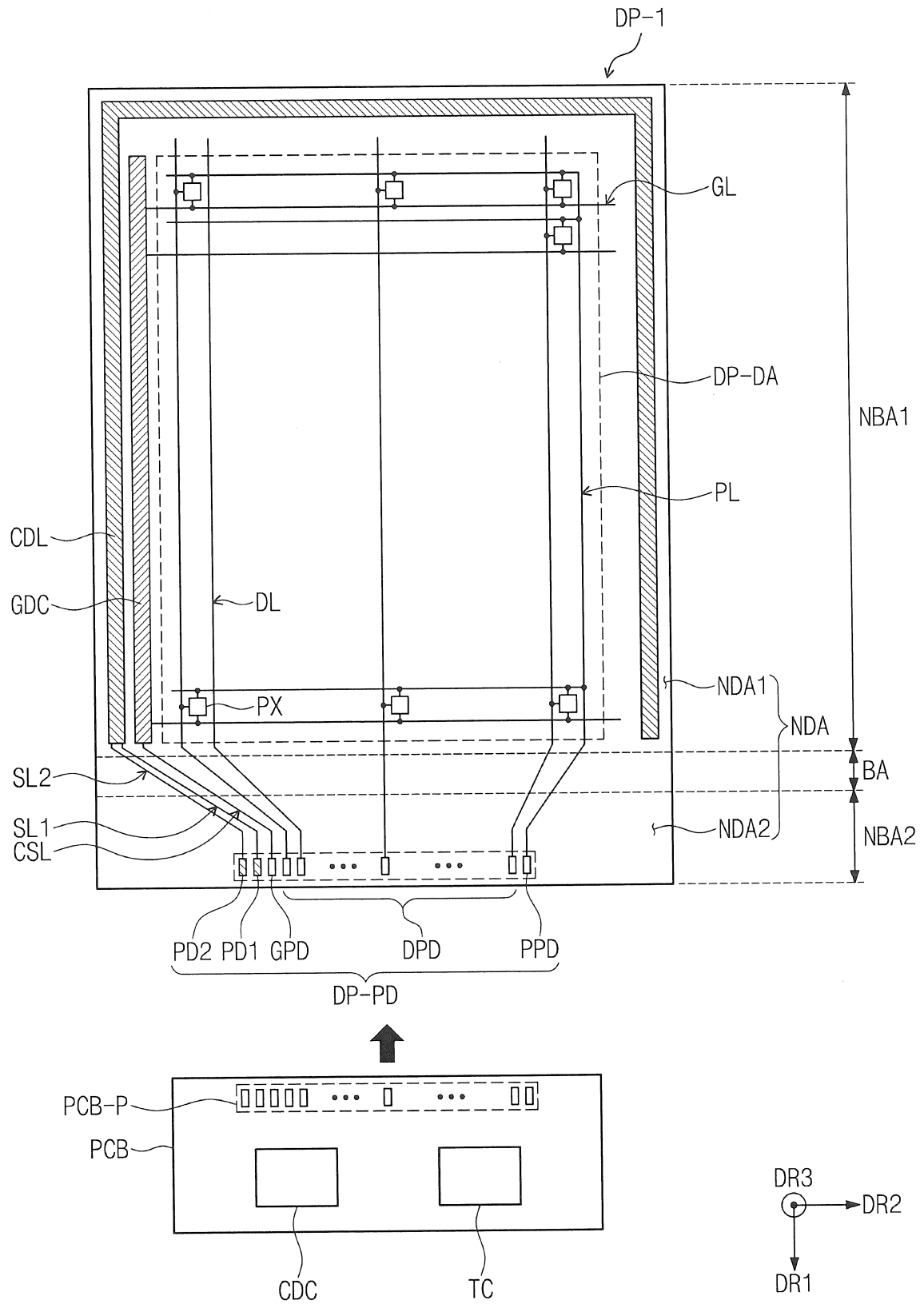


FIG. 12

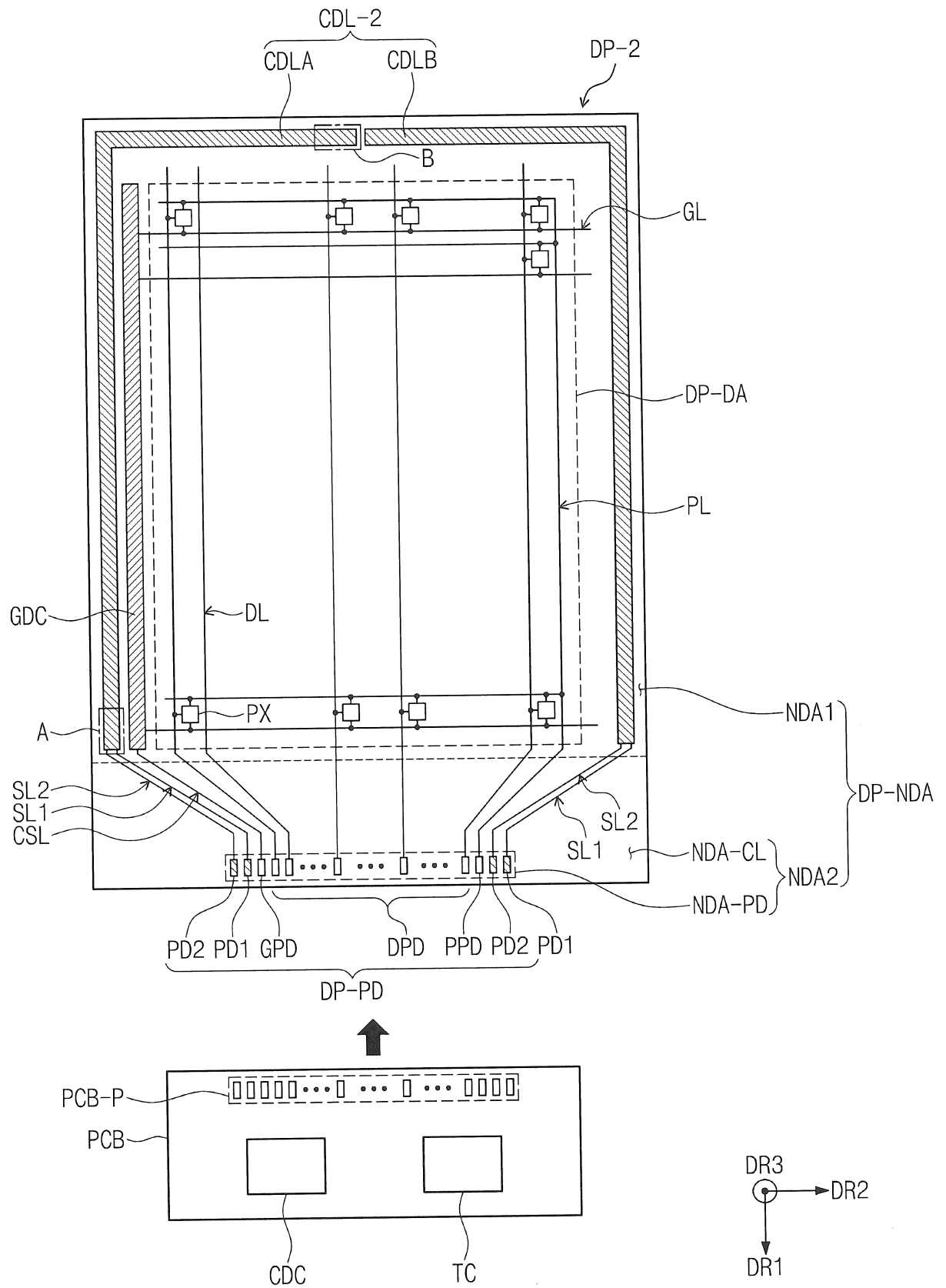


FIG. 13

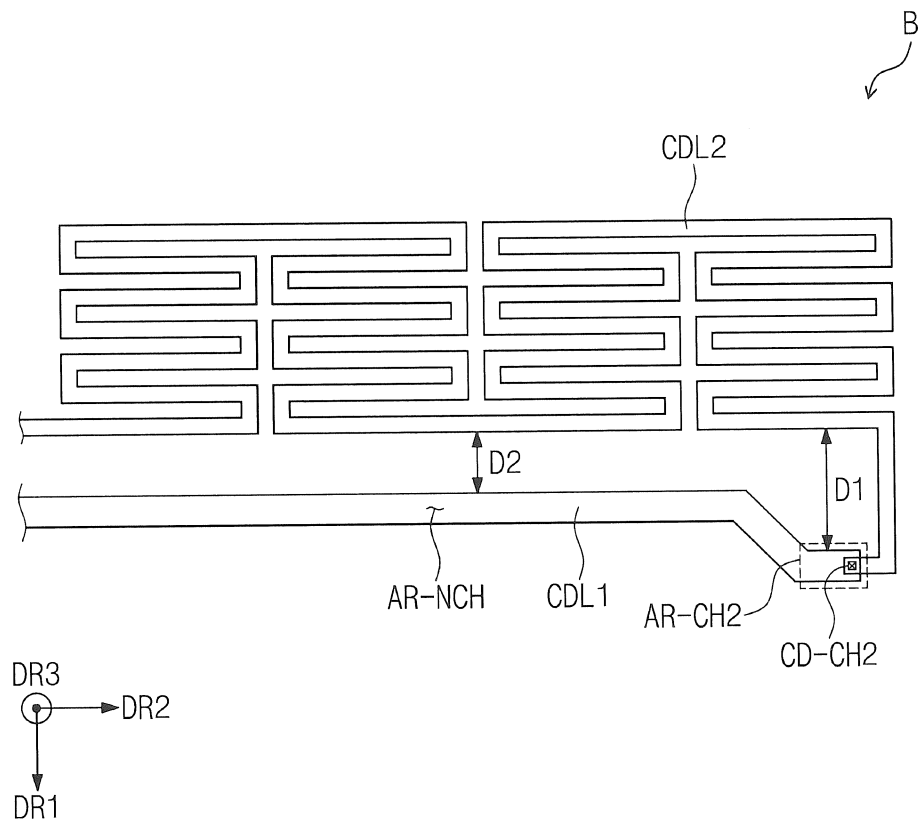


FIG. 14

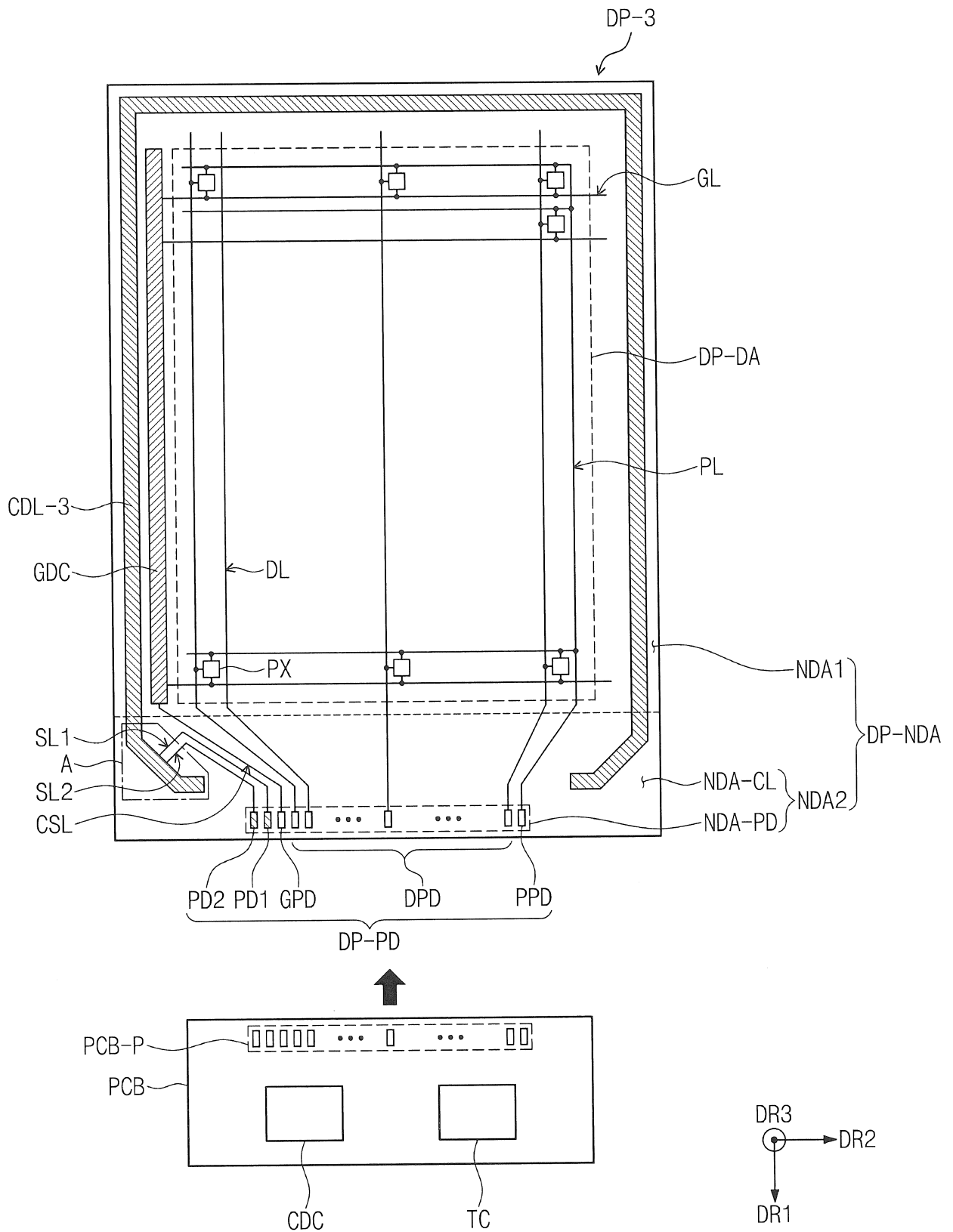


FIG. 15

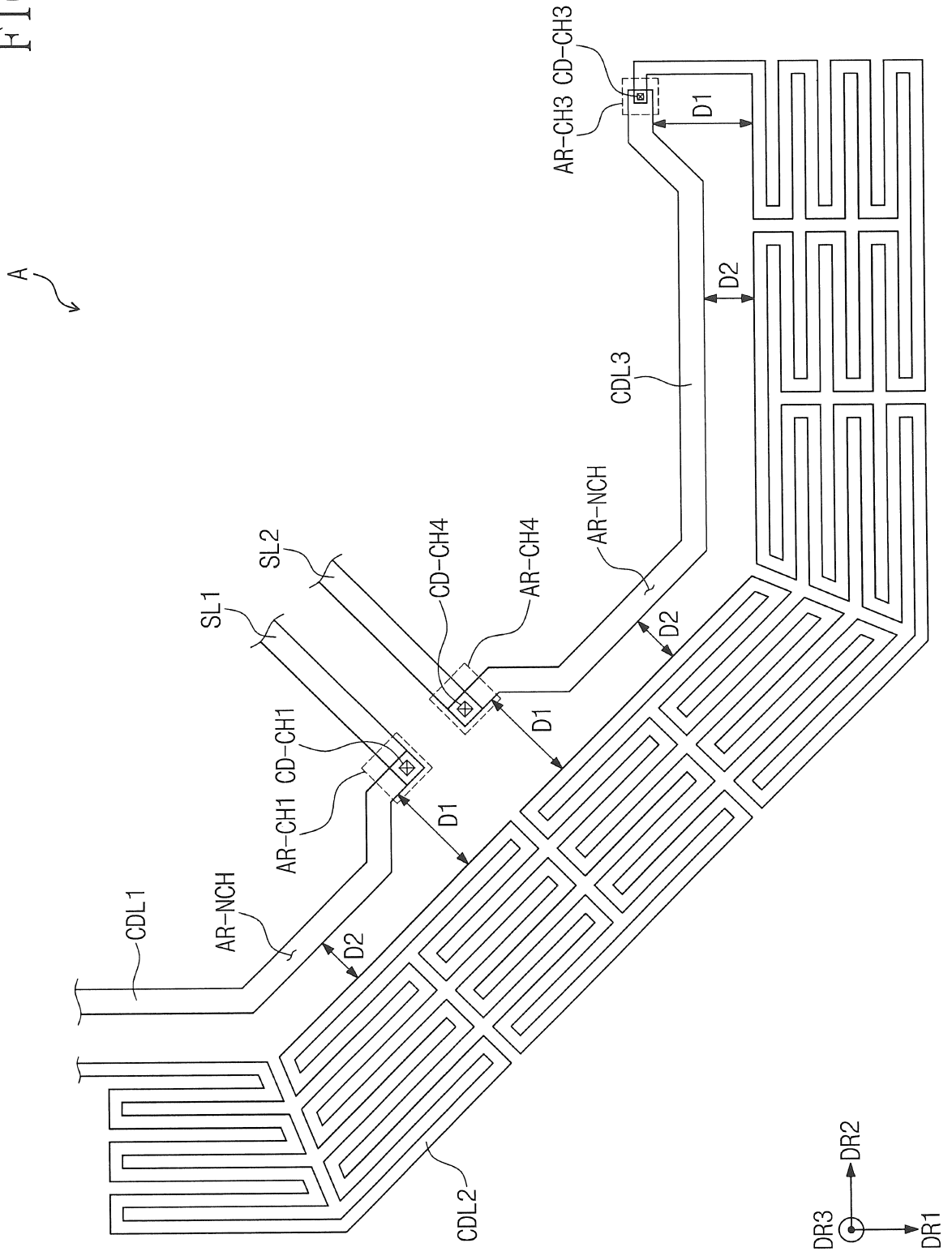


FIG. 16

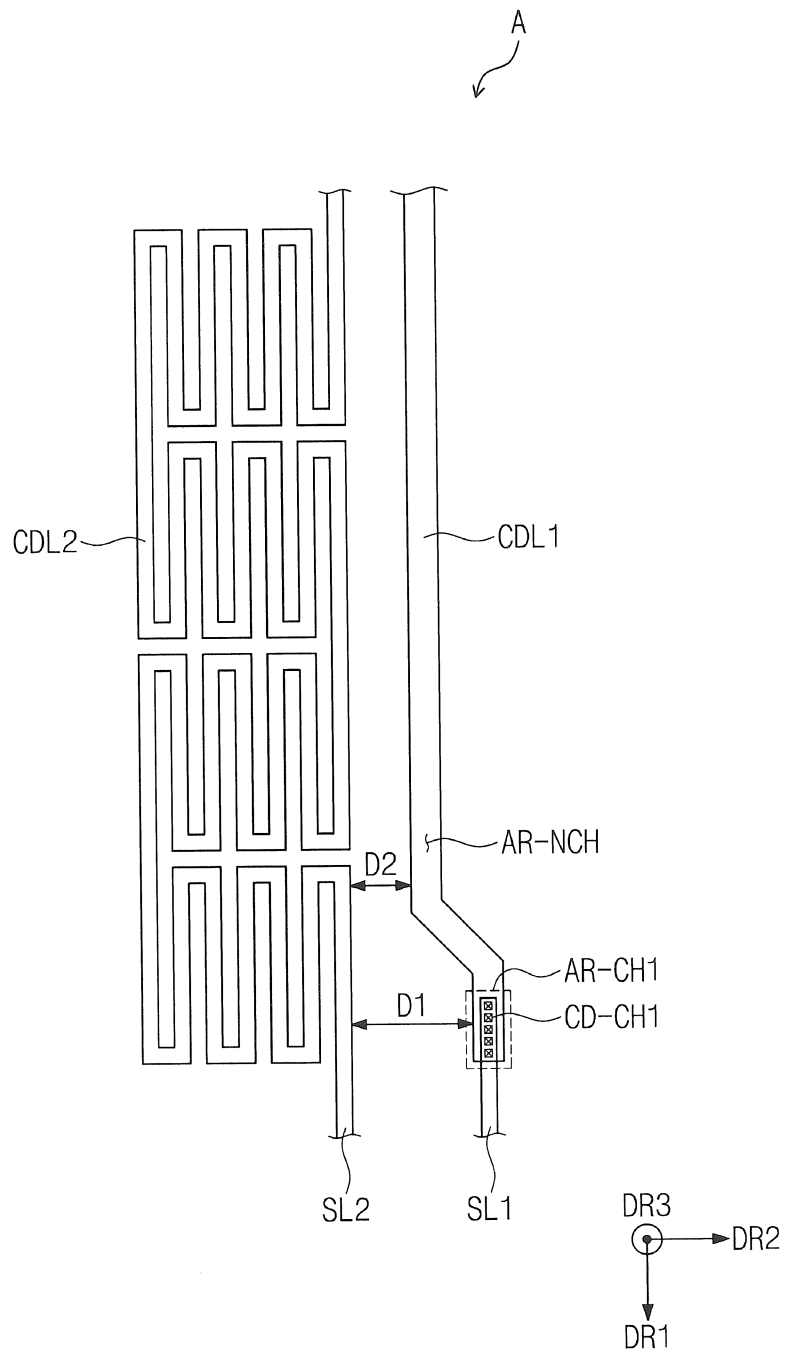


FIG. 17

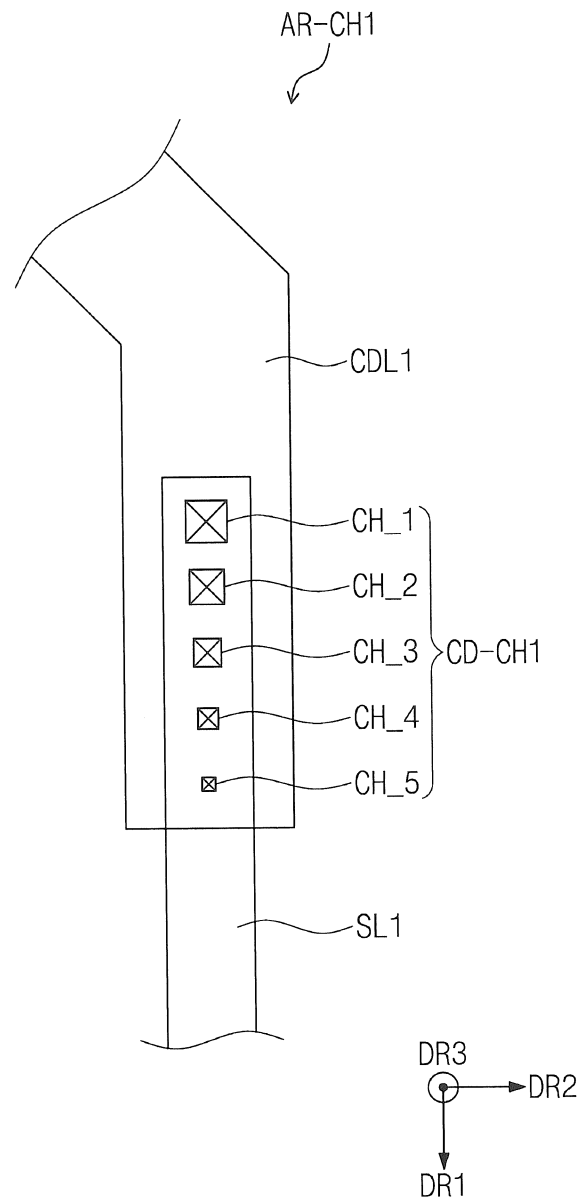


FIG. 18

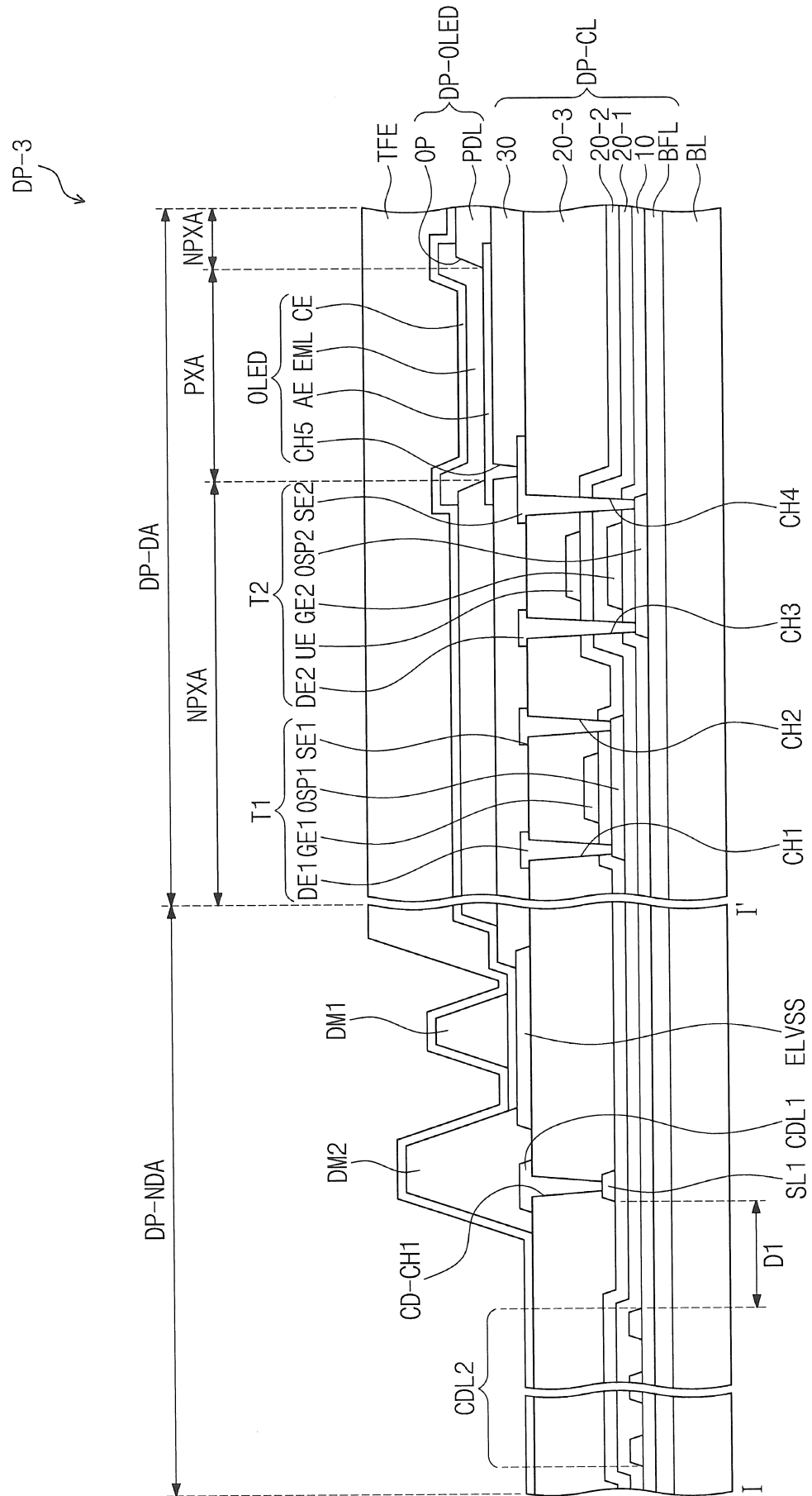


FIG. 19

