



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0034150

(51)⁸ H03M 13/11; H04L 1/00

(13) B

(21) 1-2019-02852

(22) 25/05/2017

(86) PCT/CN2017/086017 25/05/2017

(87) WO 2018/082290 11/05/2018

(30) PCT/RU2016/000746 03/11/2016 RU

(45) 25/11/2022 416

(43) 26/08/2019 377A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

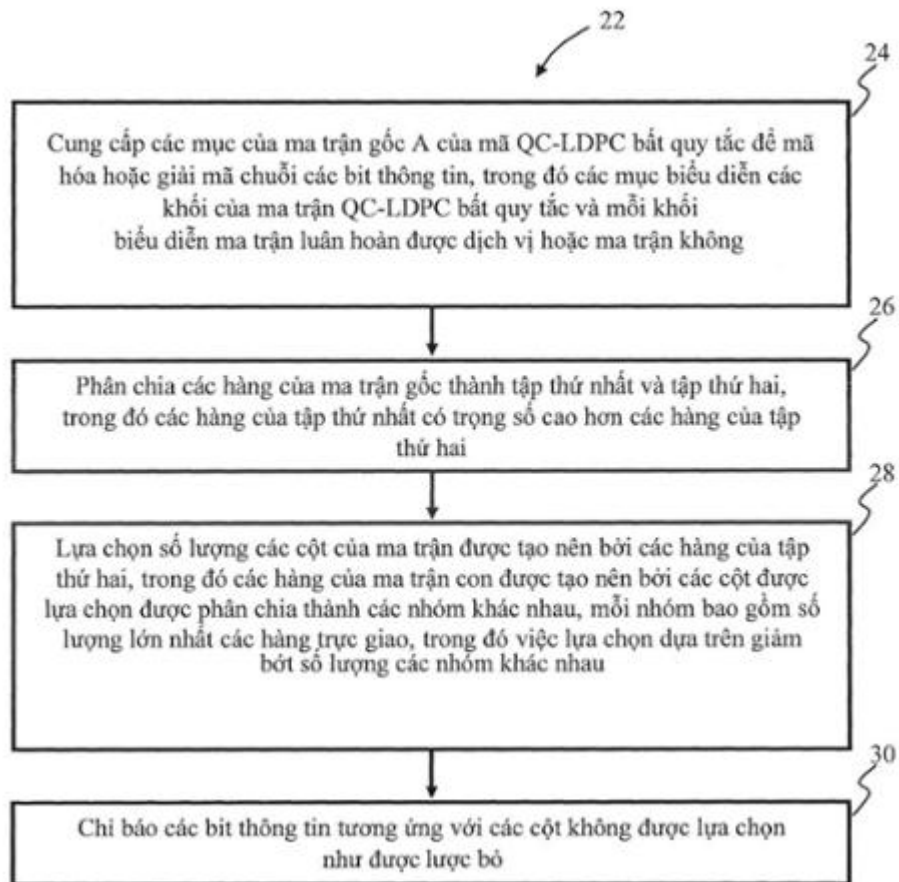
Huawei Administration Building, Bantian, Longgang District Shenzhen, Guangdong
518129, P.R. China

(72) SHUTKIN, Yurii Sergeevich (RU); PANTELEEV, Pavel Anatolyevich (RU);
LETUNOVSKIY, Aleksey Alexandrovich (RU); GASANOV, Elyar Eldarovich
(RU); KALACHEV, Gleb Vyacheslavovich (RU); MAZURENKO, Ivan
Leonidovich (RU).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ TRUYỀN THÔNG KHÔNG DÂY, PHƯƠNG PHÁP TRUYỀN THÔNG
KHÔNG DÂY VÀ PHƯƠNG TIỆN LƯU TRỮ BẤT BIẾN ĐỌC ĐƯỢC BỞI MÁY
TÍNH

(57) Sáng chế đề cập đến thiết bị truyền thông không dây, phương pháp truyền thông không dây và phương tiện lưu trữ bất biến đọc được bởi máy tính. Các khía cạnh của sáng chế đề xuất các giải pháp mã hóa kênh. Chuỗi các bit thông tin được mã hóa hoặc được giải mã dựa vào ma trận gốc. Ma trận gốc có nhiều hàng và nhiều cột. Các cột bao gồm ít nhất một cột được lược bỏ và các cột không được lược bỏ. Các hàng bao gồm tập hợp các hàng thứ nhất và tập hợp các hàng thứ hai. Các hàng của tập hợp thứ hai bao gồm ít nhất một nhóm. Mỗi nhóm bao gồm ít nhất hai hàng liên tiếp. Ít nhất hai hàng liên tiếp gồm có phần thứ nhất và phần thứ hai. Phần thứ nhất ít nhất là một cột được lược bỏ và các hàng của phần thứ nhất là không trực giao, và phần thứ hai là các cột không được lược bỏ, và các hàng của phần thứ hai là trực giao.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực truyền thông, và cụ thể, sáng chế đề cập đến các kỹ thuật để mã hóa và giải mã dữ liệu.

Tình trạng kỹ thuật của sáng chế

Các mã kiểm tra chẵn lẻ mật độ thấp (LDPC- Low density parity check) là các mã kênh được sử dụng trong các sơ đồ sửa lỗi tiến (FEC- forward error correcting). Các mã LDPC được biết đến vì hiệu suất tốt của chúng và đã thu được rất nhiều sự chú ý trong những năm gần đây. Điều này là do khả năng của chúng để đạt được hiệu suất gần đến giới hạn Shannon, khả năng để thiết kế các mã đạt được độ song song hóa cao trong phần cứng, và sự hỗ trợ về tốc độ dữ liệu cao của chúng. Do đó, rất nhiều trong số các chuẩn viễn thông hoạt động hiện thời có các mã LDPC trong sơ đồ FEC lớp vật lý của chúng. Các mã LDPC được coi là chuẩn mã hóa của hệ thống truyền thông thế hệ tiếp theo.

Mã kiểm tra chẵn lẻ mật độ thấp gần như tuần hoàn (QC-LDPC) dựa vào ma trận gốc của ma trận QC-LDPC bất quy tắc, ma trận gốc được tạo nên bởi các cột và các hàng, các cột được phân chia thành một hoặc nhiều cột tương ứng với các nút khả biến được lược bỏ (nghĩa là các nút khả biến tương ứng với các bit thông tin được sử dụng bởi bộ mã hóa nhưng không được truyền đến hoặc được xử lý hiệu quả như không được thu bởi bộ giải mã) và các cột tương ứng với các nút khả biến không được lược bỏ, và các hàng được phân chia thành các hàng mật độ cao (nghĩa là các hàng có trọng số ở trên trọng số thứ nhất) và các hàng mật độ thấp (nghĩa là các hàng có trọng số ở dưới trọng số thứ hai, trong đó trọng số thứ hai bằng hoặc nhỏ hơn trọng số thứ nhất).

Trong khi các phương pháp mã hóa kênh đã biết đã chứng minh được là thực hiện tốt trong nhiều bối cảnh khác nhau rộng rãi, vẫn có nghiên cứu đang

được tiến hành để đề xuất các giải pháp tinh vi đạt được thông lượng dữ liệu cao với các tài nguyên mã hóa/giải mã tốt.

Bản chất kỹ thuật của sáng chế

Theo khía cạnh thứ nhất của sáng chế, sáng chế đề xuất phương pháp, trong đó phương pháp bao gồm các bước: cung cấp các mục của ma trận gốc của mã QC-LDPC bất quy tắc để mã hóa hoặc giải mã chuỗi các bit thông tin, trong đó các mục biểu diễn các khối của ma trận QC-LDPC bất quy tắc và mỗi khối biểu diễn ma trận dịch vị tuần hoàn hoặc ma trận không, phân chia các hàng của ma trận gốc thành tập thứ nhất và tập thứ hai, trong đó các hàng của tập thứ nhất có trọng số cao hơn các hàng của tập thứ hai, lựa chọn số lượng các cột của ma trận được tạo nên bởi các hàng của tập thứ hai, trong đó các hàng của ma trận con được tạo nên bởi các cột được lựa chọn được phân chia thành các nhóm khác nhau, mỗi nhóm bao gồm số lượng lớn nhất các hàng trực giao, trong đó việc lựa chọn dựa vào số lượng các nhóm khác nhau, và chỉ báo các bit thông tin tương ứng với các cột không được lựa chọn như được lược bỏ.

Việc lược bỏ các bit thông tin tương ứng với một hoặc nhiều cột trọng số cao của ma trận QC-LDPC bất quy tắc cho phép giải mã phân lớp liên quan đến các nhóm khác nhau của các hàng con (hoặc các vector hàng) trực giao “còn lại” kết hợp với giải mã tràn liên quan đến các cột trọng số cao, bằng cách này đạt được mức độ song song cao trong việc giải mã trong khi duy trì mã chất lượng cao. Do đó, việc lựa chọn các cột không cần được lược bỏ cố gắng giữ số lượng các nhóm khác nhau của các hàng con (hoặc các vector hàng) trực giao cao nhất có thể trong khi tránh các bit thông tin tương ứng với quá nhiều cột (ví dụ, nhiều hơn ngưỡng được đưa ra) cần được lược bỏ.

Về mặt này, lưu ý rằng thuật ngữ “ma trận luân hoàn” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ cụ thể đề cập đến ma trận bậc hai có kích thước $N \times N$, ví dụ, ma trận đơn vị, trong đó mỗi vector hàng được dịch chuyển một phần tử sang bên phải so với vector hàng trước. Hơn nữa, thuật ngữ “kích thước luân hoàn” đề cập đến kích thước N của luân hoàn. Hơn nữa,

thuật ngữ “ma trận gốc” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ cụ thể đề cập đến mảng được gắn nhãn với các trị số dịch vị. Mỗi trị số dịch vị của ma trận gốc đưa ra số lần mà các hàng của luân hoàn, ví dụ, ma trận đơn vị, cần được dịch chuyển (về bên phải) một cách tuần hoàn để tạo ra ma trận con tương ứng của ma trận QC-LDPC được xác định bởi ma trận gốc.

Hơn nữa, lưu ý rằng mã QC-LDPC và mã LDPC thường được sử dụng luân phiên, tuy nhiên người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng có thể hiểu ý nghĩa của chúng. Thuật ngữ “trọng số” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ cụ thể đề cập đến số lượng các mục trong hàng hoặc cột của ma trận gốc được gắn nhãn với các trị số dịch vị, nghĩa là các mục trong các hàng hoặc các cột của ma trận gốc không biểu diễn các ma trận không, mà bằng số lượng “1s” trong các hàng và các cột tương ứng của ma trận QC-LDPC. Về mặt này, lưu ý rằng thuật ngữ “trọng số” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ có thể được thay thế bởi các thuật ngữ “mức độ nút” hoặc “mật độ” mà có ý nghĩa tương tự hoặc giống nhau. Hơn nữa, thuật ngữ “được lược bỏ” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ liên quan đến các bit thông tin (hoặc các nút khả biến tương ứng hoặc các cột tương ứng) cụ thể chỉ báo rằng các bit thông tin chỉ được sử dụng bởi bộ mã hóa nhưng không được truyền đến hoặc được xử lý hiệu quả như không được thu bởi bộ giải mã. Hơn nữa, thuật ngữ “tương ứng” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ liên quan đến các cột, các nút, và các bit thông tin cụ thể đề cập đến việc ánh xạ giữa các cột và các nút khả biến/các bit thông tin theo các thuật ngữ của biểu diễn đồ thị Tanner của ma trận QC-LDPC.

Hơn nữa, cần lưu ý rằng các trị số tạo nên “ma trận” không cần được lưu trữ theo cách vật lý hoặc xuất hiện dưới dạng ma trận (hoặc mảng), hoặc được sử dụng trong đại số ma trận trong suốt quá trình liên quan đến ma trận. Thay vào đó thuật ngữ “ma trận” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ có thể tương đương đề cập đến tập các trị số (nguyên) có các chỉ

số hàng và cột được gán hoặc đề cập đến tập các trị số (nguyên) được lưu trữ trong mảng bộ nhớ (lôgic). Hơn nữa, nếu không liên quan đến đại số ma trận hoặc nếu các thủ tục đại số ma trận tương ứng được xác định lại một cách thích hợp, khái niệm của các hàng và các cột thậm chí có thể được thay đổi hoặc được tự do lựa chọn. Tuy nhiên, trong suốt phần mô tả và các điểm yêu cầu bảo hộ, nó được bám theo các khái niệm và ký hiệu toán học thường được sử dụng trong lĩnh vực kỹ thuật và chúng sẽ được hiểu là bao hàm các khái niệm và ký hiệu toán học tương đương.

Theo cách thực hiện có thể thứ nhất của phương pháp theo khía cạnh thứ nhất, số lượng các cột không được lựa chọn là một hoặc hai.

Do đó, có thể có số lượng tương đối nhỏ các cột không được lựa chọn mà, tuy nhiên, có trọng số tương đối cao (ví dụ, cao hơn hai lần hoặc ba lần trọng số trung bình của các cột được lựa chọn), bằng cách này cung cấp “khả năng kết nối” tốt của các nhóm của các hàng con (hoặc các vector hàng) trực giao trong khi cho phép một cách hiệu quả mức độ song song cao trong khi giải mã do số lượng tương đối nhỏ các cột mà cần “được chia tách” (hoặc được phân chia thành các tập hoặc các nhóm không xếp chồng) để đạt được tính trực giao trong các nhóm của các hàng con (hoặc các vector hàng) còn lại (được lựa chọn).

Theo cách thực hiện có thể thứ hai của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện thứ nhất của khía cạnh thứ nhất, việc lựa chọn số lượng các cột của ma trận được tạo nên bởi các hàng của tập thứ hai bao gồm việc sắp thứ tự hoặc lập nhóm các cột của ma trận được tạo nên bởi các hàng của tập thứ hai bởi trọng số và lựa chọn các cột có các trọng số ở dưới ngưỡng.

Do đó, các nhóm có số lượng lớn các hàng con (hoặc các vector hàng) trực giao có thể đạt được, mà cho phép mức độ song song cao hơn trong khi giải mã.

Theo cách thực hiện có thể thứ ba của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện thứ nhất hoặc thứ hai của khía cạnh thứ nhất, ma trận bao gồm tập con của các cột của ma trận được tạo nên bởi các hàng của tập thứ nhất có cấu trúc tam giác hoặc đường chéo kép.

Do đó, phần mật độ cao của ma trận QC-LDPC bất quy tắc tạo điều kiện cho việc mã hóa bằng cách có phần chẵn lẻ có cấu trúc tam giác hoặc đường chéo kép. Điều này cũng nâng cao độ cảm của mã đối với khả năng thích ứng tốc độ như số lượng các hàng (và các cột tương ứng nếu, ví dụ, loại bỏ một hàng sẽ để lại một cột trống) được loại bỏ từ phần mật độ thấp cho phép thay đổi tốc độ của mã mà không, tuy nhiên, chạm vào một cách hiệu quả các thuộc tính mã hóa/giải mã của phần mật độ cao. Về mặt này, phương pháp cũng có thể bao gồm bước loại bỏ số lượng các hàng (và các cột tương ứng) của tập thứ hai của ma trận QC-LDPC bất quy tắc để thích ứng tốc độ của mã QC-LDPC bất quy tắc.

Theo cách thực hiện có thể thứ tư của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện bất kỳ trong số các cách thực hiện từ thứ nhất đến thứ ba của khía cạnh thứ nhất, ma trận bao gồm tập con của các cột của ma trận được tạo nên bởi các hàng của tập thứ hai có cấu trúc ma trận hình tam giác hoặc đồng nhất.

Do đó, việc mã hóa có thể được thực hiện theo thủ tục hai bước bao gồm mã hóa chuỗi đưa vào dựa vào các cột con (hoặc các vector cột) của phần mật độ cao và mã hóa chuỗi đưa ra được mã hóa dựa vào các cột con (hoặc các vector cột) của phần mật độ thấp, bằng cách này sử dụng quy trình mã hóa tương tự Raptor.

Theo cách thực hiện có thể thứ năm của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện bất kỳ trong số các cách thực hiện từ thứ nhất đến thứ tư của khía cạnh thứ nhất, các hàng của ma trận được tạo nên bởi các cột của ma trận được tạo nên bởi các hàng của tập thứ nhất mà tương ứng với các bit thông tin không được lược bỏ được phân chia thành các nhóm khác nhau, mỗi nhóm bao gồm các hàng trực giao.

Do đó, các nhóm (hoặc các tập con) của các hàng con (hoặc các vector hàng) trực giao có thể được tạo nên trong tập mật độ cao và trong tập mật độ thấp mà cho phép mức độ song song cao hơn nữa trong khi giải mã.

Theo cách thực hiện có thể thứ sáu của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện bất kỳ trong số các cách thực hiện từ thứ nhất đến thứ năm của khía cạnh thứ nhất, phương pháp còn bao gồm các bước: xác định từ mã tương ứng với chuỗi các bit thông tin dựa vào các mục được cung cấp của ma trận gốc và truyền từ mã ngoại trừ các bit thông tin được chỉ báo như được lược bỏ.

Do đó, tốc độ của mã QC-LDPC có thể được nâng cao.

Theo cách thực hiện có thể thứ bảy của phương pháp theo khía cạnh thứ nhất như trên hoặc theo cách thực hiện bất kỳ trong số các cách thực hiện từ thứ nhất đến thứ sáu của khía cạnh thứ nhất, phương pháp còn bao gồm bước giải mã chuỗi các bit thông tin thu được dựa vào các mục được cung cấp của ma trận gốc và thông tin về các bit thông tin được lược bỏ, trong đó việc giải mã bao gồm các thao tác giải mã phân lớp và làm tràn, trong đó các lớp tương ứng với các nhóm khác nhau.

Do đó, hội tụ giải mã có thể được nâng cao trong khi duy trì độ song song cao của quy trình giải mã. Về mặt này, lưu ý rằng thuật ngữ “giải mã phân lớp” như được sử dụng trong suốt phần mô tả và các điểm yêu cầu bảo hộ cụ thể đề cập đến quy trình giải mã trong đó các hàng của lớp được xử lý song song nhưng các lớp được xử lý (một cách đáng kể) liên tiếp.

Theo khía cạnh thứ hai của sáng chế, sáng chế đề xuất bộ giải mã, bộ giải mã bao gồm bộ nhớ không tạm thời lưu trữ các mục của ma trận gốc của mã QC-LDPC bất quy tắc, trong đó các cột của ma trận gốc được phân chia thành tập thứ nhất và tập thứ hai, tập thứ nhất bao gồm một hoặc nhiều cột và các cột của tập thứ hai tạo nên ma trận bao gồm các nhóm của các hàng trực giao, trong đó bộ giải mã được tạo cấu hình để giải mã chuỗi các bit thông tin thu được dựa vào quy trình giải mã tràn đối với các nút khả biến tương ứng với một hoặc nhiều cột của tập thứ nhất và quy trình giải mã phân lớp đối với các nút tương ứng với các cột của tập thứ hai.

Do đó, hội tụ giải mã có thể được nâng cao trong khi cho phép duy trì chất lượng mã và độ song song cao của quy trình giải mã, bằng cách này cho phép thông lượng cao ở tỷ lệ lỗi thấp.

Theo cách thực hiện có thể thứ nhất của bộ giải mã theo khía cạnh thứ hai, các nút khả biến tương ứng với một hoặc nhiều cột của tập thứ nhất được chỉ báo như được lược bỏ.

Do đó, tốc độ của mã QC-LDPC bất quy tắc có thể được nâng cao.

Theo cách thực hiện có thể thứ hai của bộ giải mã theo khía cạnh thứ hai như trên hoặc theo cách thực hiện thứ nhất của khía cạnh thứ hai, số lượng các cột trong tập thứ nhất là một hoặc hai.

Do đó, có thể có số lượng tương đối nhỏ các cột trong tập thứ nhất mà, tuy nhiên, có thể có trọng số tương đối cao (ví dụ, cao hơn hai lần hoặc ba lần trọng số trung bình của các cột của tập thứ hai), bằng cách này nâng cao “khả năng kết nối” của các lớp.

Theo cách thực hiện có thể thứ ba của bộ giải mã theo khía cạnh thứ hai như trên hoặc theo cách thực hiện thứ nhất hoặc thứ hai của khía cạnh thứ hai, các hàng của ma trận gốc được phân chia thành tập thứ nhất và tập thứ hai, trong đó các hàng của tập thứ nhất có trọng số cao hơn các hàng của tập thứ hai.

Điều này làm cho mã nhạy hơn nữa với việc thích ứng tốc độ bằng cách loại bỏ (hoặc bỏ qua) các hàng của tập thứ hai (và các cột tương ứng của tập thứ hai) mà không làm suy giảm một cách đáng kể chất lượng của mã.

Theo cách thực hiện có thể thứ tư của bộ giải mã theo cách thực hiện thứ ba của khía cạnh thứ hai, ma trận bao gồm tập con của các cột của ma trận được tạo nên bởi các hàng của tập thứ nhất có cấu trúc tam giác hoặc đường chéo kép.

Do đó, phần mật độ cao của ma trận QC-LDPC bất quy tắc tạo điều kiện cho việc mã hóa bằng cách có phần chẵn lẻ có cấu trúc tam giác hoặc đường chéo kép.

Theo cách thực hiện có thể thứ năm của bộ giải mã theo cách thực hiện thứ ba hoặc thứ tư của khía cạnh thứ hai, ma trận bao gồm tập con của các cột

của ma trận được tạo nên bởi các hàng của tập thứ hai có cấu trúc ma trận hình tam giác hoặc đồng nhất.

Do đó, việc mã hóa có thể được thực hiện nhờ sử dụng quy trình mã hóa tương tự Raptor mà giảm bớt hoặc ngăn ngừa sự cần thiết yêu cầu truyền lại bởi bộ giải mã.

Theo cách thực hiện có thể thứ sáu của bộ giải mã theo cách thực hiện bất kỳ trong số các cách thực hiện từ thứ ba đến thứ năm của khía cạnh thứ hai, các hàng của ma trận được tạo nên bằng cách xếp chồng các mục của các cột của tập thứ hai và các hàng của tập thứ nhất được phân chia thành các nhóm khác nhau, mỗi nhóm bao gồm các hàng trực giao.

Do đó, mức độ song song cao hơn trong khi giải mã có thể đạt được.

Theo khía cạnh thứ ba của sáng chế, sáng chế đề xuất phương tiện đọc được bởi máy tính không tạm thời để lưu trữ các lệnh mà, khi được thực hiện bởi máy tính làm cho máy tính cung cấp ma trận gốc của ma trận QC-LDPC bất quy tắc, ma trận gốc được tạo nên bởi các cột và các hàng, các cột được phân chia thành một hoặc nhiều cột tương ứng với các nút khả biến được lược bỏ và các cột tương ứng với các nút khả biến không được lược bỏ, và các hàng được phân chia thành các hàng thứ nhất có trọng số ở trên trọng số thứ nhất và các hàng thứ hai có trọng số ở dưới trọng số thứ hai, trong đó trọng số thứ hai bằng hoặc nhỏ hơn trọng số thứ nhất, trong đó sự xếp chồng của các hàng thứ hai và các cột tương ứng với các nút khả biến không được lược bỏ được phân chia thành các nhóm của các vector hàng trực giao.

Việc lược bỏ các nút khả biến tương ứng với một hoặc nhiều các cột trọng số cao của ma trận gốc của ma trận QC-LDPC bất quy tắc cho phép giải mã phân lớp liên quan đến các nhóm khác nhau của các hàng con (hoặc các vector hàng) trực giao “còn lại” kết hợp với giải mã tràn liên quan đến các cột trọng số cao, bằng cách này đạt được mức độ song song cao trong việc giải mã trong khi duy trì mã chất lượng cao.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ giản lược của bối cảnh ứng dụng có thể theo sáng chế;
 Fig.2 là hình minh họa giản lược của hệ thống truyền thông kỹ thuật số;
 Fig.3 là lưu đồ của quy trình cung cấp mã QC-LDPC bất quy tắc để mã hóa hoặc giải mã chuỗi các bit thông tin;
 Fig.4 là hình vẽ cấu trúc của ma trận gốc của mã QC-LDPC bất quy tắc;
 Fig.5 là hình vẽ thể hiện ma trận gốc của mã QC-LDPC bất quy tắc;
 Fig.5a là hình vẽ thể hiện ma trận gốc khác của mã QC-LDPC bất quy tắc;
 Fig.6 là đồ thị gốc của ma trận gốc;
 Fig.7 là đồ thị gốc khác của ma trận gốc;
 Fig.8 là hình vẽ thể hiện phần thứ nhất của lưu đồ của quy trình giải mã;
 Fig.9 là hình vẽ thể hiện phần thứ hai của lưu đồ của quy trình giải mã;
 Fig.10 là hình vẽ thể hiện phần thứ ba của lưu đồ của quy trình giải mã;
 Fig.11 là hình vẽ thể hiện lập lịch của cách thực hiện phần cứng thứ nhất của quy trình giải mã; và
 Fig.12 là hình vẽ thể hiện lập lịch của cách thực hiện phần cứng thứ hai của quy trình giải mã.

Mô tả chi tiết sáng chế

Fig.1 là hình vẽ thể hiện bối cảnh ứng dụng có thể theo sáng chế. Như được thể hiện trên Fig.1, ít nhất một trong số thiết bị đầu cuối (chẳng hạn như, thiết bị người dùng - UE) được kết nối với mạng truy cập radio (viết tắt là RAN) và mạng lõi (viết tắt là CN). Công nghệ được mô tả theo sáng chế có thể được áp dụng đến hệ thống truyền thông 5G, hoặc các hệ thống truyền thông không dây khác sử dụng các công nghệ truy cập radio khác nhau, ví dụ, các hệ thống sử dụng đa truy cập phân chia theo mã (Code Division Multiple Access), đa truy cập phân chia theo tần số (Frequency Division Multiple Access), đa truy cập phân chia theo thời gian (Time Division Multiple Access), đa truy cập phân chia theo tần số trực giao (orthogonal frequency division multiple access), đa truy cập phân chia theo tần số trực giao sóng mang con (single carrier frequency

division multiple access), và các công nghệ truy cập radio khác. Ngoài ra, công nghệ được mô tả theo sáng chế có thể còn được áp dụng đến hệ thống truyền thông phát triển. Theo cách thực hiện có thể, thiết bị đầu cuối có thể kết nối với mạng hệ thống con đa phương tiện IP qua mạng truy cập radio và mạng lõi.

Thuật ngữ “thiết bị đầu cuối” được đề cập đến theo sáng chế có thể bao gồm thiết bị cầm tay, thiết bị trên xe, thiết bị đeo được, thiết bị tính toán, hoặc thiết bị xử lý khác được kết nối với môđem không dây, trong đó thiết bị có chức năng truyền thông không dây, và các dạng khác nhau của các thiết bị người dùng (User Equipment - UE), các trạm di động (Mobile station - MS), các thiết bị đầu cuối (terminal), thiết bị đầu cuối (Terminal Equipment), và tương tự.

Mạng truy cập radio bao gồm ít nhất một trạm gốc. Trạm gốc (Base Station - BS) là thiết bị được triển khai trong mạng truy cập radio và được tạo cấu hình để cung cấp chức năng truyền thông không dây cho UE. Trạm gốc có thể bao gồm các dạng khác nhau của các trạm gốc cỡ lớn, các trạm gốc cỡ nhỏ, các trạm chuyển tiếp, các điểm truy cập, và tương tự. Đối với các công nghệ truy cập radio khác nhau, các tên gọi của thiết bị có chức năng của trạm gốc có thể khác nhau.

Fig.2 thể hiện sơ đồ khối minh họa hệ thống truyền thông kỹ thuật số 10 trong đó các quy trình của sáng chế có thể được thực hiện. Hệ thống truyền thông kỹ thuật số 10 bao gồm phía truyền bao gồm bộ mã hóa 12 và phía thu bao gồm bộ giải mã 14. Bộ mã hóa hoặc bộ giải mã có thể được thực hiện bởi ít nhất một bộ xử lý, ví dụ, được thực hiện bởi tập chip (chipset). Ít nhất một bộ xử lý hoặc tập chip có thể được cài đặt trong trạm gốc hoặc thiết bị đầu cuối. Đầu vào của bộ mã hóa 12 ở phía truyền là, ví dụ, chuỗi thông tin IS_1 của k bit mà chuỗi dư của r bit được thêm vào trong thao tác mã hóa được thực hiện bởi bộ mã hóa 12, bằng cách này tạo ra chuỗi thông tin được mã hóa IS_2 của $k + r = n$ bit mà có thể được chuyển tiếp đến bộ điều biến 16.

Bộ điều biến 16 có thể biến đổi chuỗi được mã hóa IS_2 thành vector tín hiệu được điều biến CH_IN mà được truyền lần lượt qua kênh không dây hoặc

có dây 18 chẳng hạn như, ví dụ, dây dẫn, cáp quang, kênh radio, kênh vi sóng hoặc kênh hồng ngoại. Vì kênh 18 thường được đưa qua các nhiễu loạn, đầu ra kênh CH_OUT có thể khác với đầu vào kênh CH_IN.

Ở phía thu, vector đầu ra kênh CH_OUT có thể được xử lý bởi bộ giải điều biến 20 mà tạo ra một số tỷ lệ khả năng. Bộ giải mã 14 có thể sử dụng phần dư trong chuỗi thông tin IS_3 thu được trong thao tác giải mã được thực hiện bởi bộ giải mã 14 để sửa các lỗi trong chuỗi thông tin IS_3 thu được và tạo ra chuỗi thông tin được giải mã IS_4 (tham khảo M. P. C. Fossorier và các tác giả khác, “Reduced Complexity Iterative Decoding of Low-Density Parity Check Codes Based on Belief Propagation (Giảm bớt độ phức tạp giải mã lặp của mã kiểm tra chẵn lẻ mật độ thấp dựa vào sự lan truyền tin cậy)”, IEEE TRANSACTIONS ON COMMUNICATIONS (các tiến trình IEEE về truyền thông), 1999, tập 47, số 5, trang 673-680, và J. Chen và các tác giả khác, “Improved min-sum decoding algorithms for irregular LDPC codes (Các thuật toán giải mã min-sum nâng cao cho các mã LDPC bất quy tắc)”, tiến trình của 2005 IEEE INTERNATIONAL SYMPOSIUM ON INFORMATION THEORY (Hội nghị khoa học Quốc tế IEEE 2005 về lý thuyết thông tin), trang 449-453, tháng 9, 2005). Chuỗi thông tin được giải mã IS_4 là sự đánh giá của chuỗi thông tin được mã hóa IS_2 mà (sự đánh giá của) chuỗi thông tin IS_1 có thể được trích xuất từ đó.

Thao tác mã hóa và thao tác giải mã có thể được điều khiển bởi mã LDPC. Trong công thức chung của mã hóa kênh, mã LDPC có thể sử dụng ma trận sinh G cho thao tác mã hóa được thực hiện bởi bộ mã hóa 12 và ma trận kiểm tra chẵn lẻ H cho thao tác giải mã được thực hiện bởi bộ giải mã 14. Đối với mã LDPC có chuỗi thông tin IS_1 có kích thước $1 \times k$, từ mã IS_2 có kích thước $1 \times n$, và chuỗi dư (chẵn lẻ) của $r = (n - k)$ bit, ma trận sinh G có kích thước $k \times n$ và ma trận kiểm tra chẵn lẻ H có kích thước $r \times n = (n - k) \times n$.

Ma trận kiểm tra chẵn lẻ $H_{r \times n}$ và ma trận sinh $G_{k \times n}$ được hưởng thuộc tính trực giao, trong đó nêu rõ rằng đối với ma trận sinh $G_{k \times n}$ bất kỳ có k hàng độc lập tuyến tính có tồn tại ma trận kiểm tra chẵn lẻ $H_{r \times n}$ có $r = (n - k)$ hàng độc lập

tuyến tính. Do đó, hàng bất kỳ của ma trận sinh $G_{k \times n}$ trực giao với các hàng của ma trận kiểm tra chẵn lẻ $H_{r \times n}$ sao cho phương trình dưới đây được thỏa mãn:

$$G_{k \times n} \cdot H_{r \times n}^T = 0 \quad (1)$$

Thao tác mã hóa có thể được thực hiện bằng cách nhân chuỗi thông tin IS_1 và ma trận sinh $G_{k \times n}$, trong đó kết quả của phép nhân là chuỗi thông tin được mã hóa IS_2 :

$$IS_2 = IS_1 \cdot G_{k \times n} \quad (2)$$

Ở phía thu, do thuộc tính trực giao giữa ma trận sinh $G_{k \times n}$ và ma trận kiểm tra chẵn lẻ $H_{r \times n}$, phương trình dưới đây sẽ được thỏa mãn:

$$H_{r \times n} \cdot IS_4^T = 0 \quad (3)$$

trong đó IS_4 là chuỗi thông tin thu được được giải mã có kích thước $1 \times n$. Nếu phương trình trên được xác minh, chuỗi thông tin đánh giá IS_4 có thể được giả sử là đúng.

Một khi ma trận kiểm tra chẵn lẻ $H_{r \times n}$ được tạo ra, có thể thu nhận ma trận sinh $G_{k \times n}$ và ngược lại. Theo đó, quy trình bất kỳ của việc xác định ma trận kiểm tra chẵn lẻ $H_{r \times n}$ có thể được ánh xạ đến quy trình tương đương của việc thu nhận ma trận sinh $G_{k \times n}$ và ngược lại, để cho quy trình bất kỳ được bộc lộ trong suốt phần mô tả và các điểm yêu cầu bảo hộ liên quan đến việc xác định ma trận kiểm tra chẵn lẻ $H_{r \times n}$ sẽ được hiểu là bao hàm quy trình tương đương của việc thu nhận ma trận sinh $G_{k \times n}$ và ngược lại.

Hơn nữa, nên lưu ý rằng các mã LDPC có ma trận kiểm tra chẵn lẻ $H_{r \times n}$ của cấu trúc cụ thể chẳng hạn như, ví dụ, ma trận kiểm tra chẵn lẻ $H_{r \times n}$ có phần

chẵn lẻ của cấu trúc đường chéo đôi cho phép việc mã hóa của chuỗi thông tin IS_1 nhờ (chỉ) sử dụng ma trận kiểm tra chẵn lẻ $H_{r \times n}$ sao cho việc thu nhận ma trận sinh $G_{k \times n}$ có thể không cần bắt buộc (tham khảo T. J. Richardson và R. L. Urbanke, “Efficient encoding of low-density parity-check codes (Mã hóa hiệu quả các mã kiểm tra chẵn lẻ mật độ thấp)”, IEEE TRANSACTIONS ON INFORMATION THEORY (Tiến trình IEEE về lý thuyết thông tin), tập 47, số phát hành 2, trang 638–656, tháng Tám năm 2002).

Dạng cụ thể của ma trận kiểm tra chẵn lẻ $H_{r \times n}$ là ma trận QC-LDPC thông thường ${}^{reg}H_{r \times n}^{QC}$ mà có thể được phân chia thành các ma trận con bậc hai $I(p_{j,l})$, nghĩa là các ma trận luân hoàn (hoặc viết tắt là “các luân hoàn”), mà có thể, ví dụ, được thu nhận từ việc dịch chuyển sang bên phải một cách tuần hoàn $N \times N$ ma trận đơn vị $I(0)$ theo $p_{j,l}$ vị trí:

$${}^{reg}H_{r \times n}^{QC} = \begin{bmatrix} I(p_{0,0}) & I(p_{0,1}) & \cdots & I(p_{0,L-1}) \\ I(p_{1,0}) & I(p_{1,1}) & & I(p_{1,L-1}) \\ \vdots & \vdots & \ddots & \vdots \\ I(p_{J-1,0}) & I(p_{J-1,1}) & \cdots & I(p_{J-1,L-1}) \end{bmatrix} \quad (4)$$

có $N = n / L$ (tham khảo M. P. C. Fossorier, “Quasi-Cyclic Low-Density Parity-Check Codes from Circulant Permutation Matrices (Mã kiểm tra chẵn lẻ mật độ thấp gần như tuần hoàn của các ma trận hoán vị luân hoàn)”, IEEE TRANSACTIONS ON INFORMATION THEORY (tiến trình IEEE về lý thuyết thông tin), tập 50, số phát hành 8, trang 1788–1793, tháng Tám 2004). Do đó, ma trận QC-LDPC thông thường ${}^{reg}H_{r \times n}^{QC}$ có thể được xác định bởi ma trận gốc B mà thỏa mãn:

$$B = \begin{bmatrix} p_{0,0} & p_{0,1} & \cdots & p_{0,L-1} \\ p_{1,0} & p_{1,1} & & p_{1,L-1} \\ \vdots & \vdots & \ddots & \vdots \\ p_{J-1,0} & p_{J-1,1} & \cdots & p_{J-1,L-1} \end{bmatrix} \quad (5)$$

Hơn nữa, ma trận gốc B của ma trận QC-LDPC bất quy tắc $^{irreg} H_{r \times n}^{QC}$ có thể được thu nhận bởi $^{irreg} H_{r \times n}^{QC} = B \circ M_{mask}$ trong đó “ $\circ$ ” biểu thị tích số Hadamard và

$$M_{mask} = \begin{bmatrix} m_{0,0} & m_{0,1} & \dots & m_{0,L-1} \\ m_{1,0} & m_{1,1} & & m_{1,L-1} \\ \vdots & \vdots & \ddots & \vdots \\ m_{J-1,0} & m_{J-1,1} & \dots & m_{J-1,L-1} \end{bmatrix} \quad (6)$$

biểu thị ma trận mặt nạ có $m_{j,l} \in \{0,1\}$. Theo cách khác, ma trận gốc B của ma trận QC-LDPC bất quy tắc $^{irreg} H_{r \times n}^{QC}$ có thể được thu nhận bằng cách gán nhãn (chỉ) một phần ma trận gốc B có các trị số dịch vị $p_{j,l} \in \{0 \dots N\}$ có các mục không được gán nhãn (mà đôi khi được biểu diễn bởi trị số “-1” hoặc dấu hoa thị “*”) biểu diễn các ma trận không có kích thước $N \times N$.

Do đó, để sử dụng mã QC-LDPC trong bộ mã hóa 12 và bộ giải mã 14, bộ mã hóa 12 và bộ giải mã 14 có thể được đề xuất có luân hoàn, các trị số dịch vị, nghĩa là, các trị số tương ứng với các mục được gán nhãn của ma trận gốc B, và (một cách tùy chọn) ma trận mặt nạ M_{mask} . Ví dụ, thiết bị được tạo cấu hình để chọn các trị số dịch vị để xác định ma trận QC-LDPC $H_{r \times n}^{QC}$ có thể cung cấp các trị số dịch vị đến bộ mã hóa 12 và/hoặc bộ giải mã 14. Hơn nữa, bộ mã hóa 12 và bộ giải mã 14 cũng có thể được đề xuất có ma trận mặt nạ M_{mask} để tạo ra một hoặc nhiều ma trận QC-LDPC bất quy tắc $^{irreg} H_{r \times n}^{QC}$.

Hơn nữa, cần lưu ý rằng ma trận QC-LDPC H^{QC} (và mã LDPC bất kỳ nói chung hơn) cũng có thể được mô tả bởi đồ thị lưỡng cực tương đương của nó (“đồ thị Tanner”), trong đó mỗi cạnh của Đồ thị Tanner kết nối một nút khả biến của các nút khả biến với một nút kiểm tra của các nút kiểm tra. Ví dụ, ma trận QC-LDPC $H_{r \times n}^{QC}$ của r hàng và n cột có thể được biểu diễn bởi đồ thị lưỡng cực tương đương của nó có r nút kiểm tra và n nút khả biến mà có các cạnh giữa các nút kiểm tra và các nút khả biến nếu có tương ứng “1s” trong ma trận QC-LDPC $H_{r \times n}^{QC}$ (tham khảo R. Tanner, “A Recursive Approach to Low Complexity Codes (Phương pháp đệ quy đối với các mã độ phức tạp thấp)”, tiến trình IEEE về lý thuyết thông tin, tập 27, số 5, trang 533-547, tháng Chín, 1981).

Về mặt này, cần lưu ý rằng các nút khả biến biểu diễn các bit từ mã và các nút kiểm tra biểu diễn các phương trình kiểm tra chẵn lẻ.

Fig.3 là lưu đồ của quy trình 22 cung cấp mã QC-LDPC bất quy tắc để mã hóa hoặc giải mã chuỗi các bit thông tin, chẳng hạn như chuỗi thông tin IS_1 và IS_3 , một cách tương ứng. Quy trình 22 có thể, ví dụ, được thực hiện bởi máy tính. Ví dụ, quy trình 22 có thể được thực hiện bởi các lệnh được thực hiện bởi máy tính được lưu trữ một cách không đổi mà, nếu được thực hiện bởi máy tính, làm máy tính thực hiện quy trình 22. Ma trận gốc B được đề xuất của mã QC-LDPC bất quy tắc có thể, ví dụ, được cung cấp đến bộ mã hóa 12 và bộ giải mã 14 của hệ thống truyền thông kỹ thuật số 10 và được sử dụng để mã hóa hoặc giải mã các thao tác được thực hiện bởi bộ mã hóa 12 và bộ giải mã 14, một cách tương ứng, nghĩa là, để mã hóa hoặc giải mã chuỗi các bit thông tin.

Quy trình 22 cung cấp mã QC-LDPC bất quy tắc để mã hóa hoặc giải mã chuỗi các bit thông tin có thể bắt đầu ở bước 24 với việc cung cấp các mục của ma trận gốc B của mã QC-LDPC bất quy tắc, trong đó các mục biểu diễn các khối của ma trận QC-LDPC bất quy tắc và mỗi khối biểu diễn ma trận dịch vị tuần hoàn hoặc ma trận không. Cấu trúc có thể của ma trận gốc B được thể hiện trên Fig.4. Nó bao gồm ma trận gốc “lõi” trong phần mật độ cao (được chỉ báo trong phần màu xám ở phía trên bên trái của Fig.4). Ma trận gốc lõi có phần chẵn lẻ có cấu trúc đường chéo đôi để dễ dàng mã hóa. Nếu cần tốc độ cao nhất, chuỗi thông tin sẽ được mã hóa nhờ sử dụng chỉ các trị số dịch vị của ma trận gốc lõi. Nếu các tốc độ thấp hơn có thể chấp nhận được, các hàng và các cột bổ sung có thể được thêm vào ma trận gốc. Như được thể hiện trên Fig.4, sự xếp chồng giữa các hàng và các cột bổ sung có thể tạo nên ma trận đơn vị mặc dù dạng tam giác dưới là cũng có thể. Các hàng bổ sung thường có trọng số thấp hơn các hàng của ma trận gốc lõi và cung cấp (kết hợp với các cột ‘tương ứng’ được thêm vào) cho các bit chẵn lẻ bổ sung trong từ mã để được truyền.

Nên lưu ý rằng ma trận gốc B là ma trận có m hàng và n cột, trong đó m và n là các số nguyên. Ma trận gốc B có thể được mở rộng bằng cách bao gồm nhiều cột và hàng hơn. Ví dụ, ma trận gốc B là ma trận có 46 hàng và 68 cột,

hoặc ma trận gốc B là ma trận có 90 hàng và 112 cột, v.v.. Sáng chế không giới hạn kích thước của ma trận gốc.

Phần mở rộng bao gồm một, hai, ba cột trọng số cao trở lên mà thường có trọng số cao hơn một cách đáng kể tất cả các cột khác của phần mở rộng. Ví dụ, một, hai, hoặc tất cả các cột trọng số cao có thể không có ô trống nào, nghĩa là không có các mục biểu diễn ma trận không. Như được thể hiện trên Fig.4, các nút khả biến tương ứng với hai cột trọng số cao được chỉ báo như được lược bỏ và các hàng con “còn lại” được nhóm thành các lớp (không xếp chồng) của các hàng con (hoặc các vector hàng) trực giao.

Fig.5 thể hiện ví dụ số của các mục được cung cấp của ma trận gốc B có kích thước 19x35 (19 hàng và 35 cột) trong đó các mục được gắn nhãn (các ô) của ma trận gốc B được chỉ báo bởi các trị số dịch vị tương ứng và các mục không được gắn nhãn (tương ứng với các ma trận không) được bỏ trống. Như được thể hiện trên Fig.5, các hàng của ma trận gốc B có thể được phân chia thành phần phía trên có trọng số trên 17 và phần phía dưới có trọng số dưới 9, nghĩa là ít hơn một nửa trọng số của các hàng của phần phía trên. Do đó, ma trận gốc B được thể hiện trên Fig.5 có thể được phân chia thành phần mật độ cao bao gồm các hàng từ 1 đến 3 và phần mật độ thấp bao gồm các hàng từ 4 đến 19 như được chỉ báo ở bước 26 của quy trình 22 được thể hiện trên Fig.3.

Hơn nữa, như được thể hiện trên Fig.5, các hàng của ma trận con được tạo nên bởi sự xếp chồng của các cột từ 2 đến 35 và phần mật độ thấp có thể được phân chia thành các lớp (hoặc các nhóm) của các hàng trực giao, trong đó mỗi lớp bao gồm khoảng số lượng tương tự các ô. Hơn nữa, phần mật độ cao bao gồm ma trận con đường chéo đôi cho phép dễ dàng mã hóa chuỗi các bit thông tin dựa vào các cột khác không của phần mật độ cao. Hơn nữa, phần mật độ thấp cung cấp phần mở rộng tương tự Raptor có phần chẵn lẻ có dạng tam giác dưới cho phép dễ dàng mã hóa từ mã.

Fig.5a thể hiện ví dụ số của các mục được cung cấp của ma trận gốc B có kích thước 46 x 68 (46 hàng và 68 cột). Trên Fig 5a, các cột 1 và cột 2 được lược bỏ. Đối với các cột từ 3 đến 68, bắt đầu từ hàng 9, có các nhóm của các

hàng trực giao. Các hàng trực giao là các hàng không được xếp chồng từ quan điểm phía cột. Ví dụ, hàng 9 và hàng 10 là trực giao, và hàng 11 và hàng 12 là trực giao.

Fig.6 và Fig.7 thể hiện các cách thực hiện khác nhau của các đồ thị gốc của các ma trận gốc. Thuật ngữ “đồ thị gốc” của sáng chế này bao gồm số lượng các hộp vuông, có mỗi hộp vuông biểu diễn một phần tử trong ma trận kiểm tra chẵn lẻ gốc. Mỗi phần tử khác không của ma trận kiểm tra chẵn lẻ gốc được biểu diễn bởi hộp được đánh dấu. Mỗi hộp được đánh dấu được liên kết với trị số dịch vị trong ma trận gốc. Trên các Fig.6 và Fig.7, cột 1 và cột 2 là các cột được lược bỏ. Nên lưu ý rằng cột được lược bỏ có thể là một hoặc nhiều cột.

Cụ thể là, Fig.6 thể hiện ví dụ về đồ thị gốc của ma trận gốc có 14 hàng và 36 cột. Đối với các cột không được lược bỏ (nghĩa là, ngoại trừ cột 1 và cột 2), bắt đầu từ hàng 7, nghĩa là từ hàng 7 đến 14, các hàng này là các hàng gần như trực giao không giao nhau. Cụ thể là, bắt đầu từ hàng 7, mỗi nhóm của các hàng (ví dụ, mỗi hai hàng liên kề) là hàng gần như trực giao không giao nhau. Như được thể hiện trên Fig.6, các hộp được đánh dấu không được xếp chồng. Ví dụ, hàng 7 và hàng 8 là trực giao, hàng 9 và hàng 10 là trực giao, hàng 11 và hàng 12 là trực giao, và hàng 13 và hàng 14 là trực giao. Các hàng này, các hàng (7, 8), (9, 10) và (11, 12) được gọi là các hàng trực giao. Đối với các hàng trực giao, hộp được đánh dấu của mỗi hàng không được xếp chồng từ quan điểm phía cột. Nhóm cũng có thể được gọi là nhóm trực giao.

Theo phương án này, các hàng của tập thứ nhất là các hàng từ 1 đến 6, và các hàng của tập thứ hai là bắt đầu từ hàng 7 đến hàng 14. Theo cách thực hiện này, nếu các hàng từ 1 đến 6 được coi là các hàng của ma trận gốc lõi, và các hàng từ 7 đến 14 được coi là các hàng của phần mở rộng, tất cả các hàng của phần mở rộng là các hàng gần như trực giao không giao nhau. Nếu các hàng từ 1 đến 5 được coi là các hàng của ma trận gốc lõi, và các hàng từ 6 đến 14 được coi là các hàng của phần mở rộng, hầu hết các hàng của phần mở rộng ra khỏi ma trận gốc lõi là các hàng gần như trực giao không giao nhau.

Nên lưu ý rằng nhóm trực giao trên Fig.6 bao gồm hai hàng. Nhóm trực giao cũng có thể bao gồm nhiều hơn hai hàng. Các nhóm trực giao khác nhau có thể có số lượng các hàng giống nhau hoặc số lượng các hàng khác nhau.

Fig.7 thể hiện đồ thị gốc của ma trận gốc có 13 hàng và 35 cột. Trên Fig.7, các nhóm trực giao của phần mở rộng các hàng bắt đầu từ hàng 8. Ví dụ, hàng 8 và hàng 9 là trực giao, hàng 10 và hàng 11 là trực giao, và hàng 12 và hàng 13 là trực giao. Các nhóm trực giao trên Fig.7 bao gồm hai hàng trực giao liên kề, nghĩa là hàng 8 và hàng 9, hàng 10 và hàng 11, và hàng 12 và hàng 13. Theo phương án này, mỗi nhóm có hai hàng trực giao. Cũng có thể sửa đổi để làm cho mỗi nhóm có các số lượng của các hàng khác nhau, ví dụ, ba hàng trực giao, hoặc bốn hàng trực giao và v.v.

Như được thể hiện thêm ở bước 28 của quy trình 22 được minh họa trên Fig.3, cột 1 của ma trận gốc B được lược bỏ. Sau khi mã hóa chuỗi các bit thông tin bởi bộ mã hóa 12 dựa vào các mục được cung cấp của ma trận gốc B và truyền từ mã tương ứng (ngoại trừ các bit thông tin tương ứng với các nút được lược bỏ) bằng kênh 18 đến bộ giải mã 14, bộ mã hóa 14 có thể giải mã lặp các bit thông tin thu được nhờ sử dụng quy trình giải mã Min-Sum được chuẩn hóa kết hợp làm tràn và các bước giải mã phân lớp như được minh họa bởi các bước A, B, và C của Fig.8, Fig.9, và Fig.10. Hơn nữa, trong quy trình giải mã, có thể lợi dụng thực tế là các trị số dịch vị của cột được lược bỏ mà tương ứng với phần được mở rộng của ma trận (được thể hiện trong phần màu xám tối trên Fig.5) có thể được thiết đặt đến không nhờ sử dụng các thao tác dịch vị hàng và cột. Hơn nữa, độ song song của thao tác giải mã có thể được nâng cao bằng cách cung cấp cho các nhóm của các hàng trực giao trong phần đặc mà các bước giải mã phân lớp được áp dụng đến (nghĩa là, phần tương ứng với các cột không được lược bỏ).

Như được chỉ báo bởi bước A được thể hiện trên Fig.8, tỷ lệ hợp lý lôgarit (llr-s) của các cột được lược bỏ được tính toán nhờ sử dụng các công thức dưới đây có llr , sg0_j , sg_j , min_j , submin_j , col_j , v2c_j , csg_j , c2v_j , nsg0_j , cmin_j , psg_j , pmin_j ,

p_{submin_j} , p_{col_j} , n_{sg_j} , n_{min_j} , n_{submin_j} , n_{col_j} , và c_{2v_j} là các vector của độ dài N và α chỉ báo thông số tỷ lệ của quy trình giải mã Min-Sum được chuẩn hóa:

- llr biểu thị vector của llr -s của nút được lược bỏ, mà có thể được lưu trữ trong các thanh ghi mạch tích hợp chuyên dụng (ASIC).
- sg_{0_j} biểu thị các dấu hiệu của các biến để kiểm tra các tin nhắn (v_{2c}) của các nút được lược bỏ và hàng thứ j nằm trong nhóm, mà có thể được lưu trữ trong bộ nhớ truy cập ngẫu nhiên (RAM).
- sg_j , min_j , $submin_j$, col_j biểu thị các phép nhân của các dấu hiệu, các số nhỏ nhất, các số nhỏ nhất con và trung bình các số nhỏ nhất trên cơ sở không trong hàng thứ j của nhóm trực giao được đưa ra có $1 \leq j \leq n$. Tất cả các trị số này có thể được tính toán trước khi bắt đầu quy trình giải mã và được lưu trữ trong bộ nhớ.
- p_{sg_j} , p_{min_j} , p_{submin_j} , p_{col_j} biểu thị các phép nhân được cập nhật của các dấu hiệu, các số nhỏ nhất, các số nhỏ nhất con và trung bình các số nhỏ nhất trong hàng thứ j của nhóm trực giao hiện thời. Các trị số này cần được xác định đối với mỗi cột ngoại trừ cột được lược bỏ.

Đầu tiên, c_{sg_j} , $|c_{2v_j}|$, và c_{2v} được tính toán đối với $1 \leq j \leq n$ bởi:

- $c_{sg_j} = sg_j * sg_{0_j}$,
- $|c_{2v_j}| = (col_j == 0) ? submin_j : min_j$, và
- $c_{2v} = c_{sg} * |c_{2v}|$.

Sau đó, $n_{sg_{0_j}}$, c_{min_j} , và v_{2c_j} được tính toán bởi:

- $n_{sg_{0_j}} = \text{sign}(v_{2c_j})$,
- $c_{min_j} = |v_{2c_j}| * \alpha$,
- $v_{2c_j} = llr - c_{2v_j}$.

Bây giờ, như được chỉ báo bởi bước B được thể hiện trên Fig.9, các số nhỏ nhất, các số nhỏ nhất con và trung bình các số nhỏ nhất mới, cũng như các dấu hiệu của cột được lược bỏ trong mỗi hàng của nhóm trực giao hiện thời được tính toán đối với $1 \leq j \leq n$ bởi:

- $sg_{0_j} = n_{sg_{0_j}}$
- $n_{sg_j} = n_{sg_{0_j}} * p_{sg_j}$,

- $ncol_j = (cmin_j > pmin_j) ? pcol_j : 0$,
- $nmin_j = (cmin_j > pmin_j) ? pmin_j : cmin_j$, và
- $nsubmin_j = (cmin_j > pmin_j) ? ((cmin_j > psubmin_j) ? psubmin_j : cmin_j) : pmin_j$.

Các trị số này được lưu trữ trong bộ nhớ trong đó sg_j , min_j , $submin_j$, col_j , và $sg0_j$ thay thế các trị số được lưu trữ hiện thời cho việc giải mã lặp lại tiếp theo.

Cuối cùng, $psum$, $c2vsum$, và $llr-s$ mới của nút được lược bỏ được tính toán như được chỉ báo bởi bước C được thể hiện trên Fig.10 bởi:

- $psum = psg_1 * pmin_1 + \dots + psg_n * pmin_n$,
- $c2vsum = c2v_1 + \dots + c2v_n$, và
- $llr = llr - c2vsum + psum$.

Hơn nữa, sơ đồ được đề xuất có thể được thực hiện một cách hiệu quả trong phần cứng cũng như sẽ trở nên rõ ràng từ ví dụ dưới đây trong đó mỗi nhóm của các hàng trục giao được xử lý theo 3 chu kỳ đồng hồ, tất cả $llr-s$ được lưu trữ trong các thanh ghi, số lượng các bộ xử lý khả dụng bằng số lượng các cột của ma trận QC-LDPC và sg_j , min_j , $submin_j$, col_j được tải đến các thanh ghi trước khi chu kỳ đồng hồ thứ nhất bắt đầu.

Quy trình xử lý của các cột không được lược bỏ được thực hiện nhờ sử dụng sơ đồ tương tự, và quy trình xử lý của cột được lược bỏ được thực hiện theo các công thức được mô tả ở trên:

Chu kỳ đồng hồ 1. Đối với tất cả các cột ngoại trừ cột được lược bỏ, $c2v$ tin nhắn được tính toán. $c2v$ tin nhắn được tính toán bị trừ đi $llr-s$, sao cho $v2c$ tin nhắn được thu nhận mà được lưu trữ trong các thanh ghi tương tự trong đó $llr-s$ đã được lưu trữ. $v2c$ tin nhắn được thu nhận được sử dụng để xác định $nsg0$ và $cmin$ được sử dụng để xác định một phần các số nhỏ nhất. Ngoài ra, ở chu kỳ đồng hồ 1, $llr-s$ của các cột được lược bỏ của nhóm trước được thu nhận theo đó. Sau đó, các $llr-s$ này được dịch vị và được lưu trữ trên các thanh ghi. Kết quả là, $llr-s$ của các cột được lược bỏ được tính toán 1 chu kỳ đồng hồ sau $llr-s$ của các

cột khác, tuy nhiên chúng cũng được sử dụng 1 chu kỳ đồng hồ sau đó (ở chu kỳ đồng hồ thứ hai).

Chu kỳ đồng hồ 2. Các số nhỏ nhất (nghĩa là p_{sgj} , p_{minj} , $p_{subminj}$, p_{colj}) được tính toán từ một phần các số nhỏ nhất. Ngoài ra, n_{sg0} , c_{min} và c_{2v} được tính toán cho cột được lược bỏ. Sau đó, các trị số của n_{sgj} , n_{minj} , $n_{subminj}$, n_{colj} được tính toán và được lưu trữ trong bộ nhớ.

Chu kỳ đồng hồ 3. Từ các trị số thu nhận được của n_{sgj} , n_{minj} , $n_{subminj}$, n_{colj} đối với tất cả các cột ngoại trừ các cột được lược bỏ, c_{2v} tin nhắn mới có thể được tính toán. Sau đó, các trị số này được cộng với v_{2c} -tin nhắn và llr -s của tất cả các cột không được lược bỏ được thu nhận. llr -s được thu nhận sau đó được lưu trữ trong các thanh ghi. Ngoài ra, ở chu kỳ đồng hồ này, p_{sum} và c_{2vsum} được tính toán.

Nếu có nhiều hơn một cột của ma trận gốc được chỉ báo như được lược bỏ, quy trình giải mã Min-Sum được sửa đổi ở trên cần được mở rộng theo đó. Ví dụ, việc xử lý hai cột được lược bỏ có thể được thực hiện theo sơ đồ dưới đây:

Chu kỳ đồng hồ 1a) Đối với tất cả các cột không được lược bỏ c_{2v} tin nhắn được tính toán. c_{2v} tin nhắn bị trừ đi llr -s. Kết quả là, v_{2c} tin nhắn thu nhận được có thể được lưu trữ trên các thanh ghi tương tự như llr -s. v_{2c} tin nhắn này có thể được sử dụng để có được các trị số của n_{sg0} và c_{min} . Các trị số này được sử dụng để có được một phần các số nhỏ nhất.

Chu kỳ đồng hồ 1b) Đồng thời ở chu kỳ đồng hồ thứ nhất llr -s của 2 cột được lược bỏ có thể được thu nhận đối với nhóm trực giao trước. Sau đó, các llr -s này có thể được dịch vị và được lưu trữ trong các thanh ghi. Kết quả là, llr -s đối với các cột được lược bỏ có thể được thu nhận 1 chu kỳ đồng hồ sau đó tuy nhiên không gây ra vấn đề gì bởi vì chúng được yêu cầu ở 1 chu kỳ đồng hồ sau đó.

Chu kỳ đồng hồ 2a) các số nhỏ nhất được thu thập từ một phần các số nhỏ nhất, nghĩa là các trị số cho p_{sgj} , p_{minj} , $p_{subminj}$, và p_{colj} được thu nhận.

Chu kỳ đồng hồ 2b) Ở chu kỳ đồng hồ này nsg_0 , $cmin$ và $c2v$ được tính toán đối với 2 cột được lược bỏ. Sau đó, các trị số của nsg_j , $nmin_j$, $nsubmin_j$, và $ncol_j$ được tính toán và được lưu trữ trong bộ nhớ.

Chu kỳ đồng hồ 3a) Từ các trị số thu nhận được của nsg_j , $nmin_j$, $nsubmin_j$, $ncol_j$ đối với tất cả các cột không được lược bỏ, các tin nhắn $c2v$ được tính toán, mà sau đó sẽ được cộng với $v2c$ tin nhắn, $llr-s$ của tất cả các cột không được lược bỏ được đưa ra. $llr-s$ được dịch vị và được lưu trữ trong các thanh ghi.

Chu kỳ đồng hồ 3b). Ở chu kỳ đồng hồ này, các tin nhắn $nc2v$ và các tổng $c2vsum$ và $nc2vsum$ được tính toán.

Nếu sử dụng sơ đồ được mô tả ở trên, bộ xử lý đặc biệt để lược bỏ các nút có thể được yêu cầu đối với các bước 1a), 2a), 3a), và đồng thời bộ xử lý có thể được yêu cầu đối với mỗi cột không được lược bỏ mà thực hiện các thao tác 1b), 2b), 3b). Nếu ma trận QC-LDPC có m nhóm của các hàng con trực giao, $3*m$ xung nhịp cho mỗi lần lặp có thể được yêu cầu. Mỗi bộ xử lý con 1a), 2a), 3a), 1b), 2b), 3b) sẽ có một lần ngưng chạy đối với 2 xung nhịp từ 3 khả dụng.

Sơ đồ hiệu quả nhớ hơn nữa khác có thể được sử dụng với 4 xung nhịp cho mỗi bộ xử lý nhưng ít bộ xử lý hơn (1 bộ xử lý cho các cột được lược bỏ và một bộ xử lý cho bốn cột không được lược bỏ).

Nhịp Ia) Các phép tính từ 1a) được thực hiện đối với một phần tư thứ nhất của các cột không được lược bỏ.

Nhịp Ib) $llr-s$ của các cột được lược bỏ của hàng thứ nhất của nhóm trước được tính toán. Sau đó, $llr-s$ được dịch vị và được lưu trữ trong các thanh ghi.

Nhịp IIa) Các hoạt động của 2a) được thực hiện đối với các cột không được lược bỏ và các hoạt động của 1a) được thực hiện đối với một phần tư thứ hai của các cột không được lược bỏ.

Nhịp IIb) nsg_0 , $cmin$ và $c2v$ được tính toán đối với các cột được lược bỏ và nsg_j , $nmin_j$, $nsubmin_j$, và $ncol_j$ được thu nhận và được lưu trữ trong các thanh ghi.

Nhịp IIIa) Các hành động của 3a) được thực hiện đối với một phần tư thứ nhất của các cột không được lược bỏ. Các hành động của 2a) được thực hiện đối

với một phần tư thứ hai của các cột không được lược bỏ. Các hành động của 1a) được thực hiện đối với một phần tư thứ ba của các cột không được lược bỏ.

Nhịp IIIb) Các trị số của nsg_j , $nmin_j$, $nsubmin_j$, và $ncol_j$ được xác định và được lưu trữ trong bộ nhớ. Ngoài ra, các tổng $c2vsum$ được tính toán.

Nhịp IVa) Các hành động của 3a) được thực hiện đối với một phần tư thứ hai của các cột không được lược bỏ. Các hành động của 2a) được thực hiện đối với một phần tư thứ ba của các cột không được lược bỏ. Các hành động của 1a) được thực hiện đối với một phần tư thứ tư của các cột không được lược bỏ.

Nhịp IVb) Các tin nhắn $nc2v$ và các tổng $nc2vsum$ được tính toán.

Một cách khái quát của phương pháp này là có thể, nếu, ví dụ, số lượng các bộ xử lý được giảm bớt và thông lượng được giảm bớt một cách tương ứng.

Khi chỉ báo các bước xử lý bằng các chữ A-I:

- A - Tính toán $c2v$ đối với các nút không được lược bỏ. Xác định và lưu trữ $v2c$ trong các thanh ghi thay thế $llr-s$. Tính toán $nsg0$ và $cmin$. Tính toán một phần các số nhỏ nhất.
- B – Lấy các số nhỏ nhất từ một phần các số nhỏ nhất, nghĩa là psg_j , $pmin_j$, $psubmin_j$, $pcol_j$.
- C – Tính toán $c2v$ mới từ nsg_j , $nmin_j$, $nsubmin_j$, $ncol_j$ đối với tất cả các nút không được lược bỏ, cộng chúng lại với $v2c$ để thu nhận $llr-s$ của các cột này, dịch vị chúng và lưu trữ trong các thanh ghi.
- D - Tính toán $nsg0$, $cmin$ và $c2v$ đối với các nút được lược bỏ.
- E - Xác định nsg_j , $nmin_j$, $nsubmin_j$, và $ncol_j$.
- F - Tính toán $c2vsum$.
- G - Tính toán $nc2vsum$.
- H - Tính toán $nc2v$.
- I - Tính toán $llr-s$ của các cột được lược bỏ. Dịch vị và lưu trữ chúng trong các thanh ghi.

và có, ví dụ, ba nhóm của các hàng con trực giao (trong phần mật độ cao và mật độ thấp), mỗi nhóm bao gồm hai hàng trực giao được biểu thị như sau:

- 1-2 –nhóm thứ nhất

- 3-4 –nhóm thứ hai
- 5-6 –nhóm thứ ba

và mười hai cột không được lược bỏ có:

- j.1 – một nửa thứ nhất của các ô không trống trong hàng thứ j, $1 \leq j \leq 6$ và
- j.2 – một nửa thứ hai của các ô không trống của hàng thứ j, $1 \leq j \leq 6$,

trong đó các hành động A, B, và C được thực hiện đối với các cột không được lược bỏ và các hành động D, E, F, G, H, và I được thực hiện đối với các cột được lược bỏ, Fig.11 và Fig.12 thể hiện lập lịch cho sơ đồ 3 chu kỳ đồng hồ và lập lịch cho sơ đồ 4 chu kỳ đồng hồ. Như có thể thấy được từ Fig.11 và Fig.12, độ song song cao có thể đạt được.

Hơn nữa, cần lưu ý rằng ngoài việc cho phép bộ mã hóa 12 và bộ giải mã 14 thực hiện các thao tác mã hóa và giải mã trên cơ sở ma trận gốc B được đề xuất, bộ mã hóa 12 và bộ giải mã 14 cũng có thể sử dụng ma trận gốc B được đề xuất để dẫn ra các nút con QC-LDPC bất quy tắc của các tốc độ khác nhau thích hợp với các bối cảnh truyền khác nhau, ví dụ, các bối cảnh truyền khác nhau trên quan điểm chất lượng kênh và/hoặc các yêu cầu thông lượng, bằng cách, ví dụ, loại bỏ (hoặc bỏ qua) các hàng của phần mật độ thấp và/hoặc các cột của phần chẵn lẻ của ma trận gốc B được đề xuất.

Ít nhất một bộ xử lý được tạo cấu hình để thực hiện các chức năng của bộ mã hóa hoặc bộ giải mã, hoặc trạm gốc, thiết bị đầu cuối, hoặc thiết bị mạng lõi theo sáng chế có thể là bộ xử lý trung tâm (CPU), bộ xử lý đa năng, bộ xử lý tín hiệu kỹ thuật số (DSP), mạch tích hợp chuyên dụng (ASIC), mảng cổng lập trình được dạng trường (FPGA) hoặc thiết bị logic lập trình được khác, thiết bị logic tranzito, thành phần phần cứng, hoặc sự kết hợp bất kỳ của chúng. Bộ điều khiển/bộ xử lý có thể thực hiện hoặc thực thi các khối, các môđun, và các mạch logic ví dụ khác nhau được mô tả dựa vào nội dung được bộc lộ theo sáng chế. Theo cách khác, bộ xử lý có thể là sự kết hợp của các bộ xử lý thực hiện chức năng tính toán, ví dụ, sự kết hợp của một hoặc nhiều bộ vi xử lý, hoặc sự kết hợp của của DSP và bộ vi xử lý.

Các bước theo phương pháp hoặc thuật toán được mô tả dựa vào nội dung được bộc lộ theo sáng chế có thể được thực hiện trực tiếp nhờ sử dụng phần cứng, môđun phần mềm được thực hiện bởi bộ xử lý, hoặc sự kết hợp của chúng. Môđun phần mềm có thể được bố trí trong bộ nhớ RAM, bộ nhớ tia chớp, bộ nhớ ROM, bộ nhớ EPROM, bộ nhớ EEPROM, thanh ghi, đĩa cứng, đĩa di động, CD-ROM, hoặc dạng khác bất kỳ của các phương tiện lưu trữ đã biết trong lĩnh vực kỹ thuật. Ví dụ, phương tiện lưu trữ được ghép nối với bộ xử lý, sao cho bộ xử lý có thể đọc thông tin từ phương tiện lưu trữ hoặc ghi thông tin vào phương tiện lưu trữ. Chắc chắn là, phương tiện lưu trữ cũng có thể là thành phần của bộ xử lý. Bộ xử lý và phương tiện lưu trữ có thể được bố trí trong ASIC. Ngoài ra, ASIC có thể được bố trí trong thiết bị người dùng. Chắc chắn là, bộ xử lý và phương tiện lưu trữ có thể tồn tại trong thiết bị người dùng như là các thành phần riêng biệt.

Các thông số liên quan đến ma trận gốc, ma trận gốc, hoặc ma trận được mở rộng dựa vào ma trận gốc có thể được lưu trữ trong bộ nhớ. Bộ nhớ có thể độc lập có ít nhất một bộ xử lý. Bộ nhớ cũng có thể được tích hợp trong ít nhất một bộ xử lý. Bộ nhớ là một loại của phương tiện lưu trữ đọc được bởi máy tính.

Tất cả hoặc một số phương án nêu trên có thể được thực hiện bởi phần mềm, phần cứng, phần sụn, hoặc sự kết hợp bất kỳ của chúng. Khi chương trình phần mềm được sử dụng để thực hiện các phương án, các phương án có thể được thực hiện một cách hoàn toàn hoặc một phần dưới dạng sản phẩm chương trình máy tính. Sản phẩm chương trình máy tính bao gồm một hoặc nhiều lệnh máy tính. Khi các lệnh chương trình máy tính được tải và được thực hiện trên máy tính, thủ tục hoặc các chức năng theo các phương án của sáng chế được tạo ra tất cả hoặc một phần. Máy tính có thể là máy tính đa dụng, máy tính chuyên dụng, mạng máy tính, hoặc các thiết bị lập trình được khác. Các lệnh máy tính có thể được lưu trữ trong phương tiện lưu trữ đọc được bởi máy tính hoặc có thể được truyền từ phương tiện lưu trữ đọc được bởi máy tính đến phương tiện lưu trữ đọc được bởi máy tính khác. Ví dụ, các lệnh máy tính có thể được truyền từ trang mạng, máy tính, máy chủ, hoặc trung tâm dữ liệu đến trang mạng khác,

máy tính, máy chủ, hoặc trung tâm dữ liệu theo cách có dây (ví dụ, cáp đồng trục, cáp quang, hoặc đường dây thuê bao kỹ thuật số (DSL)) hoặc không dây (ví dụ, hồng ngoại, radio, và vi sóng, hoặc tương tự). Phương tiện lưu trữ đọc được bởi máy tính có thể là phương tiện sử dụng được bất kỳ truy cập được bởi máy tính, hoặc thiết bị lưu trữ dữ liệu, chẳng hạn như máy chủ hoặc trung tâm dữ liệu, tích hợp một hoặc nhiều phương tiện sử dụng được. Phương tiện sử dụng được có thể là phương tiện từ (ví dụ, đĩa mềm, đĩa cứng, hoặc băng từ), phương tiện quang (ví dụ, đĩa đa năng kỹ thuật số (DVD)), phương tiện bán dẫn (ví dụ, ổ bán dẫn (SSD)), hoặc tương tự.

Phần mô tả ở trên của sáng chế được đề xuất để cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng bất kỳ thực hiện hoặc sử dụng sáng chế. Các sự sửa đổi khác nhau đến sáng chế sẽ dễ dàng được hiểu rõ bởi những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng, và các nguyên tắc chung được xác định ở đây có thể được áp dụng tới các sự thay đổi khác mà không trệch khỏi bản chất hoặc phạm vi của sáng chế. Do đó, sáng chế không nhằm giới hạn các ví dụ và các cách thực hiện được mô tả ở đây nhưng cần được phù hợp với phạm vi rộng nhất phù hợp với các nguyên tắc và các dấu hiệu kỹ thuật mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị truyền thông không dây, bao gồm:

ít nhất một bộ xử lý có cấu trúc để mã hóa chuỗi các bit thông tin nhờ sử dụng ma trận,

trong đó:

ma trận được xác định theo ma trận gốc,

ma trận gốc bao gồm nhiều hàng và nhiều cột,

các cột bao gồm ít nhất một cột được lược bỏ và nhiều cột không được lược bỏ,

các hàng bao gồm bao gồm tập hợp của các hàng thứ nhất và tập hợp của các hàng thứ hai,

tập hợp của các hàng thứ hai bao gồm ít nhất một nhóm, mỗi trong số ít nhất một nhóm bao gồm ít nhất hai hàng liên tiếp, ít nhất hai hàng liên tiếp bao gồm phần thứ nhất và phần thứ hai liên quan đến cột,

phần thứ nhất là một phần của ít nhất một cột được lược bỏ, và các hàng của phần thứ nhất là không trực giao, và

phần thứ hai là một phần của các cột không được lược bỏ, và các hàng của phần thứ hai là trực giao.

2. Thiết bị theo điểm 1, trong đó ít nhất một nhóm là hai nhóm hoặc nhiều hơn, và hai nhóm hoặc nhiều hơn là liên tiếp.

3. Thiết bị theo điểm 2, trong đó mỗi nhóm bao gồm số lượng hàng liên tiếp lớn nhất là trực giao trong phần thứ hai.

4. Thiết bị theo điểm 1, trong đó tất cả các hàng liên kế đối với các cột không được lược bỏ trong phần cuối cùng của tập hợp của các hàng thứ hai là trực giao.

5. Thiết bị theo điểm 1, trong đó mỗi hai hàng liên kế đối với các cột không được lược bỏ trong tập hợp thứ hai là trực giao.

6. Thiết bị theo điểm 1, trong đó ma trận gốc bao gồm 46 hàng và 68 cột.

7. Thiết bị theo điểm 1, trong đó ít nhất một cột được lược bỏ là hai cột được lược bỏ.

8. Thiết bị theo điểm 1, trong đó cột thứ nhất và cột thứ hai là các cột được lược bỏ.

9. Thiết bị theo điểm 1, trong đó ít nhất một cột được lược bỏ có trọng số cao hơn so với các cột không được lược bỏ.

10. Thiết bị theo điểm 1, trong đó tập hợp của các hàng thứ nhất bắt đầu từ hàng thứ nhất và tập hợp của các hàng thứ hai bắt đầu từ hàng thứ tư hoặc bắt đầu từ hàng lớn hơn hàng thứ tư.

11. Thiết bị theo điểm 1, trong đó các hàng của tập hợp của các hàng thứ nhất có trọng số cao hơn so với các hàng của tập hợp của các hàng thứ hai.

12. Thiết bị theo điểm 1, trong đó ít nhất một bộ xử lý còn có cấu trúc để:

xác định từ mã mà tương ứng với chuỗi của các bit thông tin dựa trên ma trận gốc; và

truyền từ mã ngoại trừ các bit thông tin mà tương ứng với ít nhất một cột được lược bỏ.

13. Thiết bị theo điểm 1, trong đó tập hợp con của các cột của ma trận được tạo thành bởi tập hợp của các hàng thứ nhất có cấu trúc đường chéo kép hoặc tam giác, và trong đó tập hợp con của các cột của ma trận được tạo thành bởi tập hợp của các hàng thứ hai có cấu trúc tam giác hoặc ma trận đồng nhất.

14. Thiết bị theo điểm 1, còn bao gồm bộ nhớ có cấu trúc để lưu trữ các tham số được kết hợp với ma trận gốc.

15. Phương pháp truyền thông không dây, bao gồm:

thu nhận chuỗi các bit thông tin cần được mã hóa; và

mã hóa chuỗi của các bit thông tin nhờ sử dụng ma trận;

trong đó:

ma trận được xác định theo ma trận cơ sở,

ma trận gốc bao gồm nhiều hàng và cột, các cột bao gồm ít nhất một cột được lược bỏ và nhiều cột không được lược bỏ,

các hàng bao gồm tập hợp của các hàng thứ nhất và tập hợp của các hàng thứ hai,

tập hợp của các hàng thứ hai bao gồm ít nhất một nhóm, mỗi trong số ít nhất một nhóm bao gồm ít nhất hai hàng liên tiếp,

ít nhất hai hàng liên tiếp bao gồm phần thứ nhất và phần thứ hai liên quan đến cột,

phần thứ nhất là một phần của ít nhất một cột được lược bỏ, và các hàng của phần thứ nhất là không trực giao, và

phần thứ hai là một phần của các cột không được lược bỏ, và các hàng của phần thứ hai là trực giao.

16. Phương pháp theo điểm 15, trong đó ít nhất một nhóm là hai nhóm hoặc nhiều hơn, và hai nhóm hoặc nhiều hơn là liên tiếp.

17. Phương pháp theo điểm 15, trong đó mỗi hai hàng liên kế đối với các cột không được lược bỏ trong tập hợp thứ hai của các hàng là trực giao.

18. Phương pháp theo điểm 15, trong đó các cột thứ nhất và thứ hai là các cột được lược bỏ.

19. Phương pháp theo điểm 15, trong đó ít nhất một cột được lược bỏ có trọng số cao hơn so với các cột không được lược bỏ.

20. Phương pháp theo điểm 15, trong đó tập hợp của các hàng thứ nhất có trọng số cao hơn tập hợp của các hàng thứ hai.

21. Phương pháp theo điểm 15, còn bao gồm:

xác định từ mã mà tương ứng với chuỗi của các bit thông tin dựa trên ma trận gốc; và

truyền từ mã ngoại trừ các bit thông tin mà tương ứng với ít nhất một cột được lược bỏ.

22. Thiết bị truyền thông không dây, bao gồm:

ít nhất một bộ xử lý có cấu trúc để giải mã chuỗi các bit thông tin nhờ sử dụng ma trận;

trong đó:

ma trận được xác định theo ma trận cơ sở,

ma trận gốc bao gồm nhiều hàng và nhiều cột,

các cột bao gồm ít nhất một cột được lược bỏ và nhiều cột không được lược bỏ,

các hàng bao gồm bao gồm tập hợp của các hàng thứ nhất và tập hợp của các hàng thứ hai,

tập hợp của các hàng thứ hai bao gồm ít nhất một nhóm, mỗi trong số ít nhất một nhóm bao gồm ít nhất hai hàng liên tiếp,

ít nhất hai hàng liên tiếp bao gồm phần thứ nhất và phần thứ hai liên quan đến cột,

phần thứ nhất là một phần của ít nhất một cột được lược bỏ, và các hàng của phần thứ nhất là không trực giao, và

phần thứ hai là một phần của các cột không được lược bỏ, và các hàng của phần thứ hai là trực giao.

23. Thiết bị theo điểm 22, trong đó ít nhất một nhóm là hai nhóm hoặc nhiều hơn, và hai nhóm hoặc nhiều hơn là liên tiếp.

24. Thiết bị theo điểm 22, trong đó mỗi nhóm bao gồm số lượng hàng liên tiếp lớn nhất là trực giao trong phần thứ hai.

25. Thiết bị theo điểm 22, trong đó mỗi hai hàng liên kế đối với các cột không được lược bỏ trong tập hợp thứ hai của các hàng là trực giao.

26. Thiết bị theo điểm 22, trong đó cột thứ nhất và cột thứ hai là các cột được lược bỏ.

27. Thiết bị theo điểm 22, trong đó ít nhất một cột được lược bỏ có trọng số cao hơn so với các cột không được lược bỏ.

28. Thiết bị theo điểm 22, trong đó ít nhất một bộ xử lý còn có cấu trúc để giải mã chuỗi của các bit thông tin dựa trên xử lý giải mã tràn đối với các nút khả biến mà tương ứng với ít nhất một cột được lược bỏ và xử lý giải mã phân lớp đối với các nút mà tương ứng với các cột không được lược bỏ.

29. Phương tiện lưu trữ bất biến đọc được bởi máy tính, lưu trữ các lệnh, mà khi chạy trên máy tính, cấu hình máy tính để thực hiện các bước bao gồm:

thu nhận chuỗi các bit thông tin cần được mã hóa; và

mã hóa chuỗi của các bit thông tin nhờ sử dụng ma trận;

trong đó:

ma trận được xác định theo ma trận cơ sở,

ma trận gốc bao gồm nhiều hàng và cột,

các cột bao gồm ít nhất một cột được lược bỏ và nhiều cột không được lược bỏ,

các hàng bao gồm bao gồm tập hợp của các hàng thứ nhất và tập hợp của các hàng thứ hai,

tập hợp của các hàng thứ hai bao gồm ít nhất một nhóm, mỗi trong số ít nhất một nhóm bao gồm ít nhất hai hàng liên tiếp,

ít nhất hai hàng liên tiếp bao gồm phần thứ nhất và phần thứ hai liên quan đến cột,

phần thứ nhất là một phần của ít nhất một cột được lược bỏ, và các hàng của phần thứ nhất là không trực giao, và

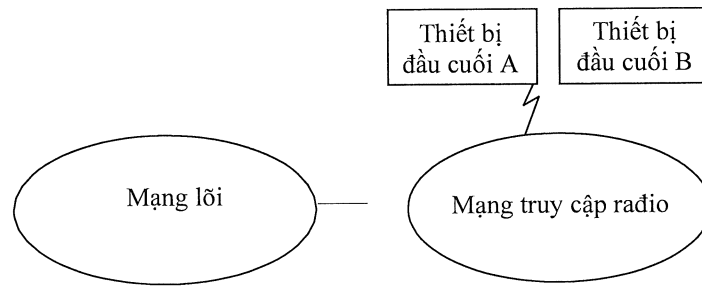
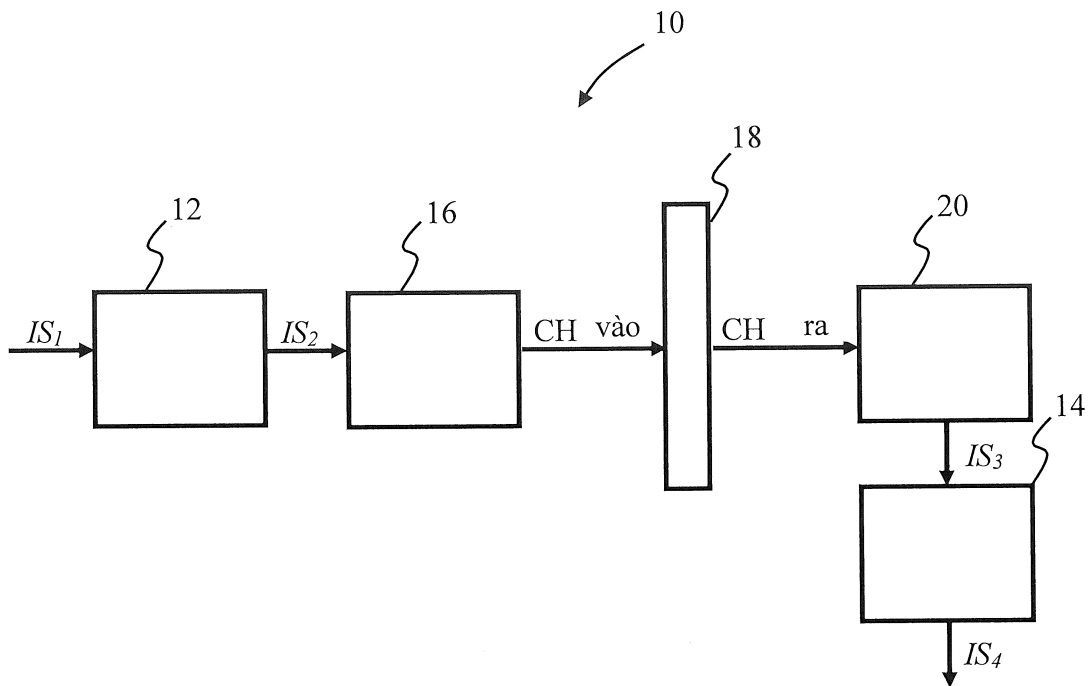
phần thứ hai là một phần của các cột không được lược bỏ, và các hàng của phần thứ hai là trực giao.

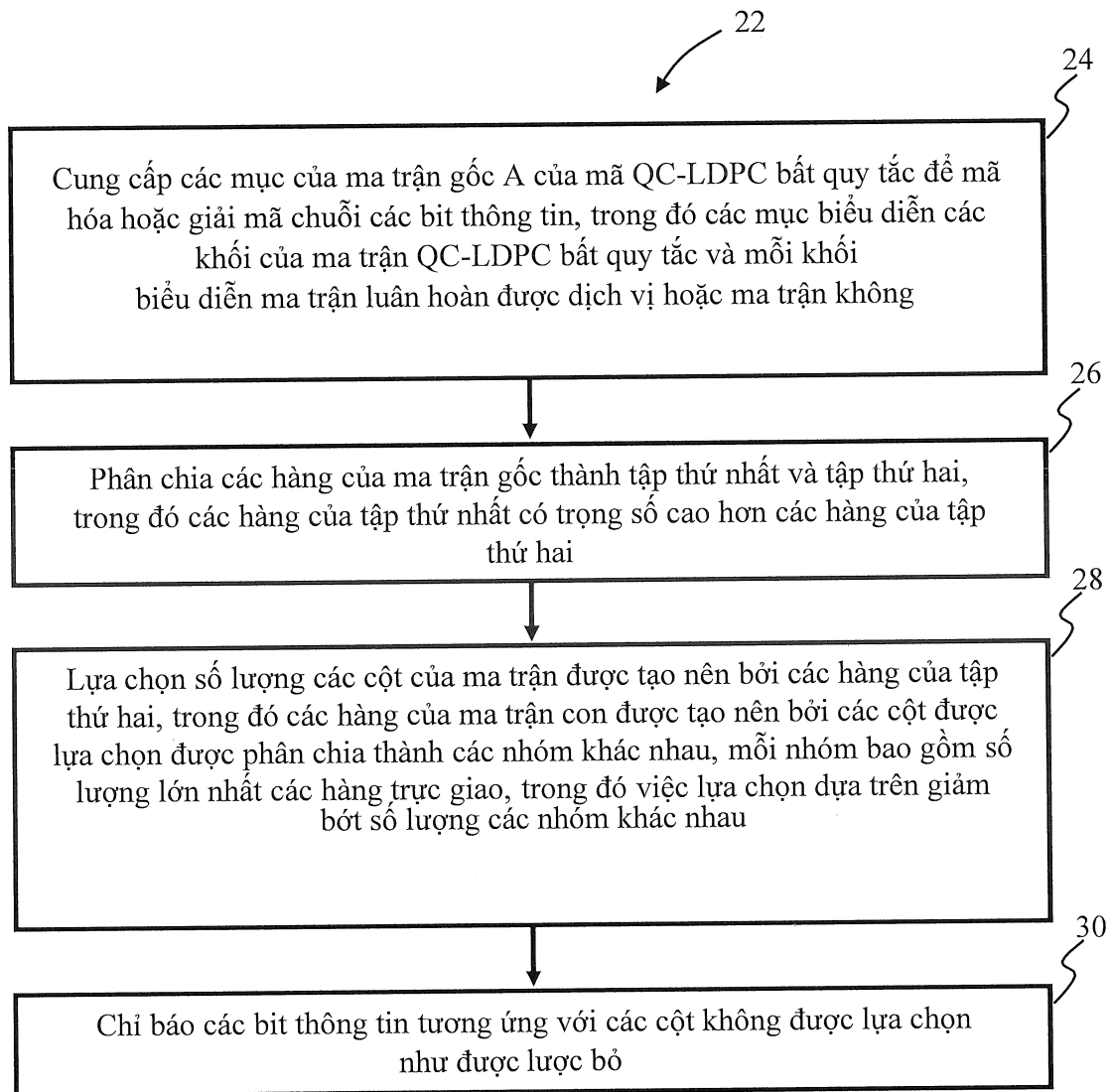
30. Phương tiện lưu trữ bất biến theo điểm 29, còn bao gồm các lệnh, mà khi chạy trên máy tính, cấu hình máy tính để thực hiện các bước còn bao gồm:

xác định từ mã mà tương ứng với chuỗi của các bit thông tin dựa trên ma trận gốc; và

truyền từ mã ngoại trừ các bit thông tin mà tương ứng với ít nhất một cột được lược bỏ.

1/12

**Fig. 1****Fig. 2**

**Fig. 3**

3/12

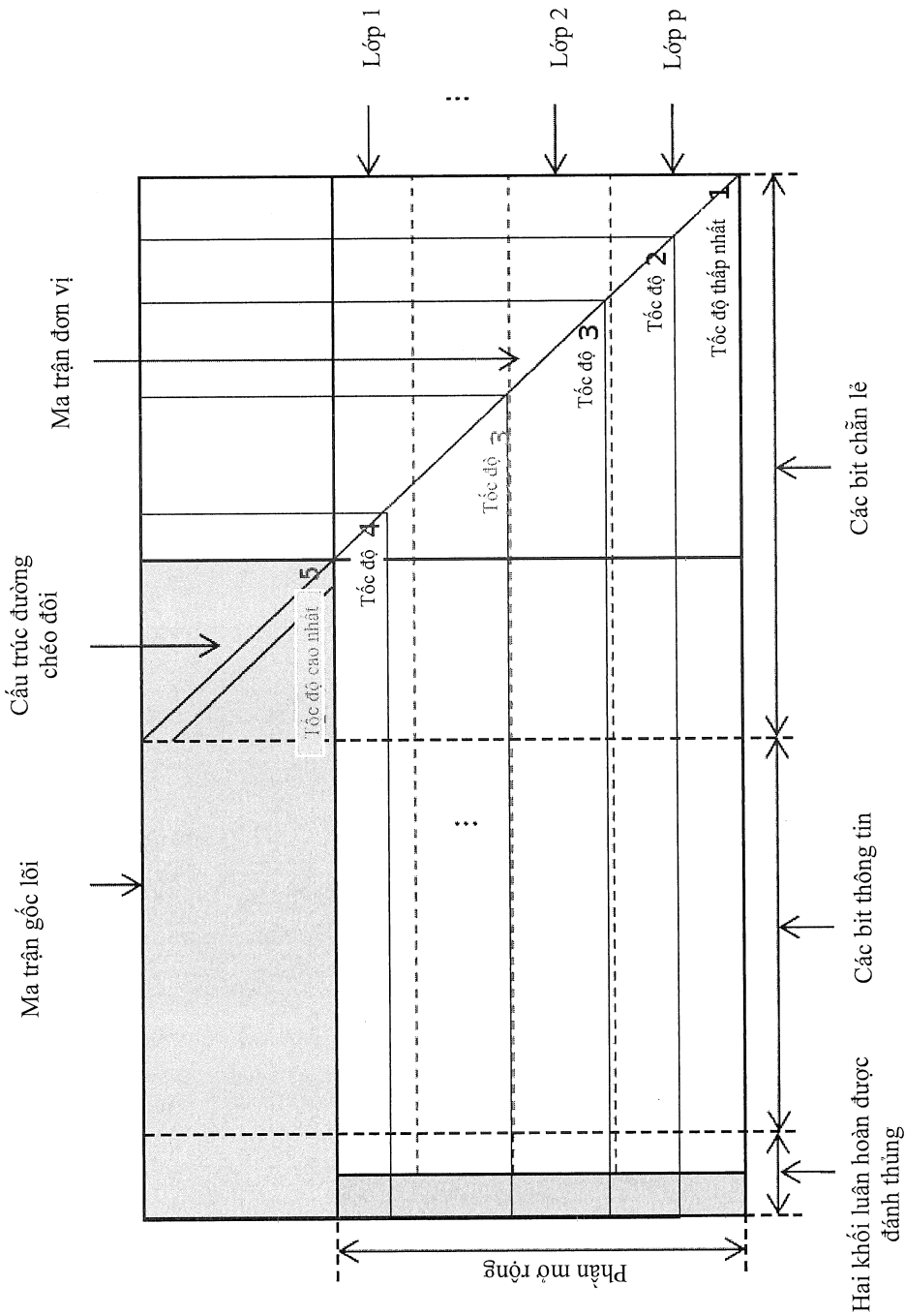


Fig. 4

4/12

Lop	#6	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	
1	18	328	152	346	70	201	181	170	183	334	201	89	76	115	29	121	9	1	0																		
	18	316	194	370	91	360	279	223	290	306	1	192	211	111	318	105		0	0																		
	18	359	324	363	83	45	358	160	42	288	11	320	263	94	329	182	201	1	0																		
4	18	198						196		41	67	315	51	173	129					0																	
	18	246			369	339	270		302									19			0																
	18	241	28	128												319						0															
5	18	17	21	103						346	101	214	39			372							0														
	18	69					9	314						359	318								0														
	18	117			325	109			154									360							0												
6	22	363			129	269	32		108						189			9									0										
	22	235	264	332				180						329														0									
	22	16								176		205				161													0								
7	22	198									259		170																	0							
	22	191															257		120											0							
	22	336			158	152			174									145													0						
7	22	4					179	21						136	89																	0					
	22	112	69	2						368						361																	0				
	22	165									358	155	255																					0			
7	22	96															268		212																0		

Fig. 5

Fig. 5a

[illegible]

6/12

[illegible]

Fig. 6

[illegible]

Fig. 7

8/12

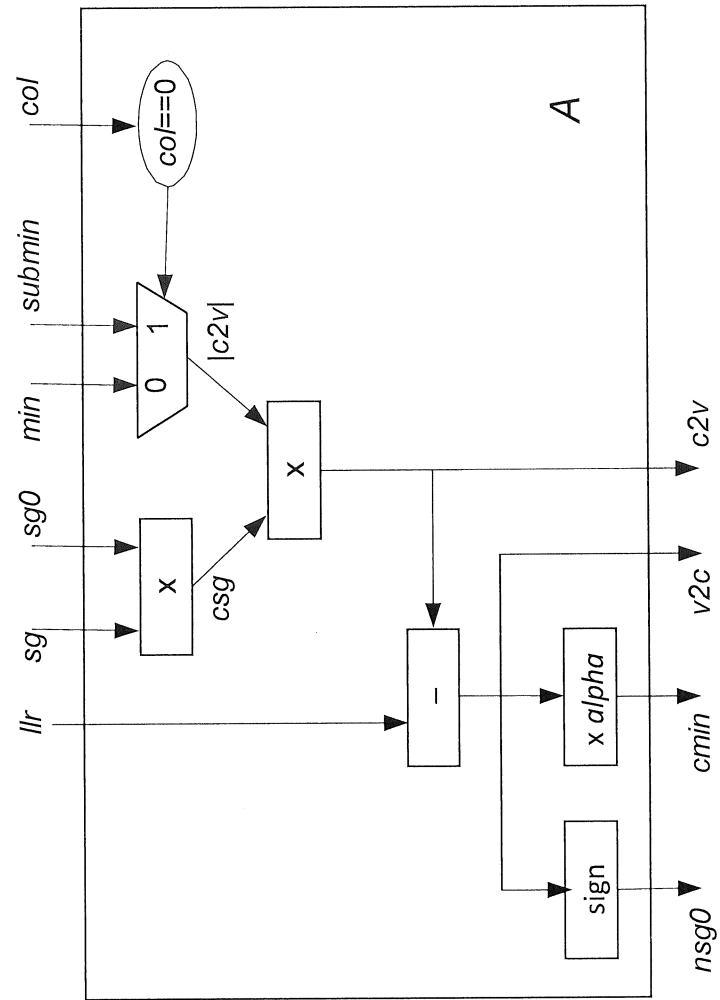


Fig. 8

9/12

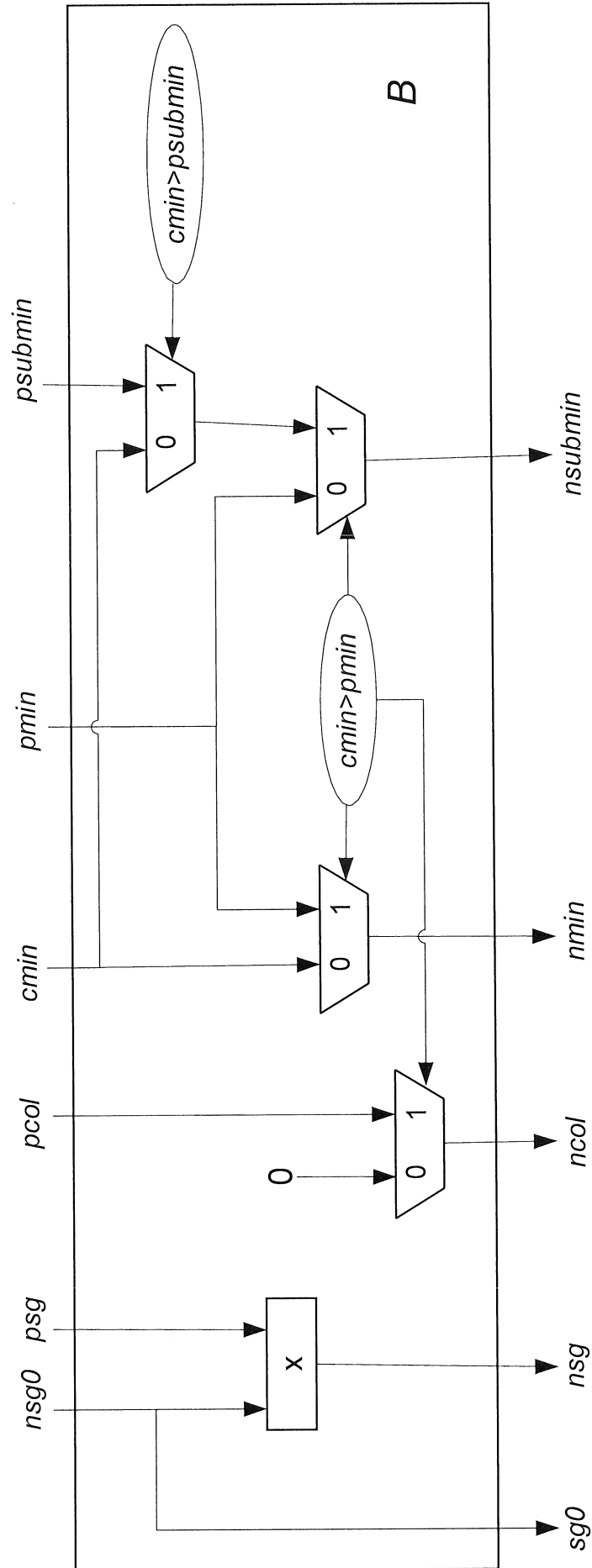


Fig. 9

10/12

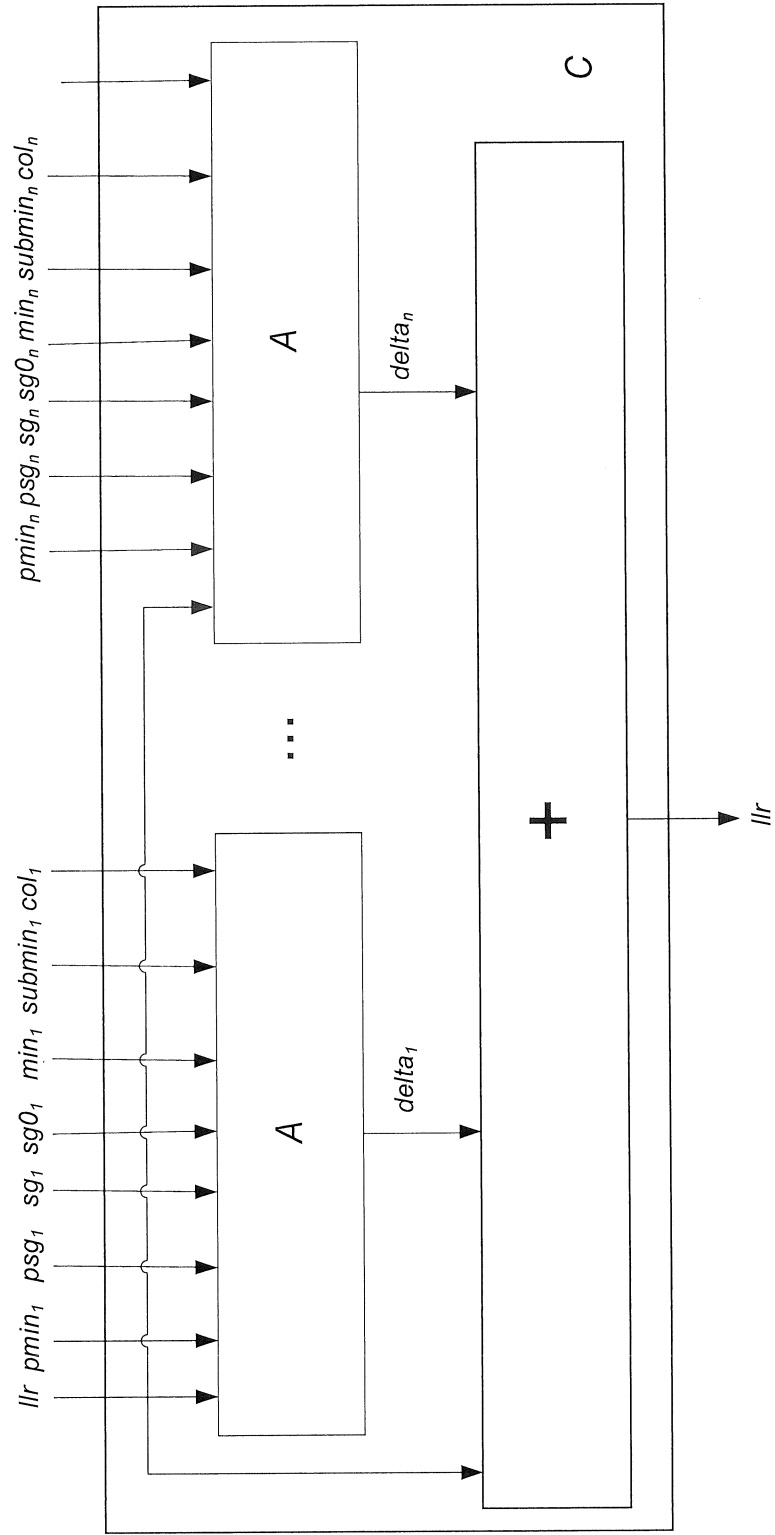


Fig.10

11/12

Nhip	A	B	C	D	E	F	G	H	I
1	1-2								
2		1-2		1-2	1-2				
3			1-2			1-2	1-2	1-2	
4	3-4								1-2
5		3-4		3-4	3-4				
6			3-4			3-4	3-4	3-4	
7	5-6								3-4
8		5-6		5-6	5-6				
9			5-6			5-6	5-6	5-6	
10	1-2								5-6
11		1-2		1-2	1-2				
12			1-2			1-2	1-2	1-2	

Fig.11

12/12

Nhip	A	B	C	D	E	F	G	H	I
1	1.1								
2	1.2	1.1		1-2	1				
3	2.1	1.2	1.1		2	1-2			
4	2.2	2.1	1.2				1-2	1-2	
5	3.1	2.2	2.1						1-2
6	3.2	3.1	2.2	3-4	3				
7	4.1	3.2	3.1		4	3-4			
8	4.2	4.1	3.2				3-4	3-4	
9	5.1	4.2	4.1						3-4
10	5.2	5.1	4.2	5-6	5				
11	6.1	5.2	5.1		6	5-6			
12	6.2	6.1	5.2				5-6	5-6	
13	1.1	6.2	6.1						5-6
14	1.2	1.1	6.2	1-2	1				
15	2.1	1.2	1.1		2	1-2			

Fig.12