



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0033599

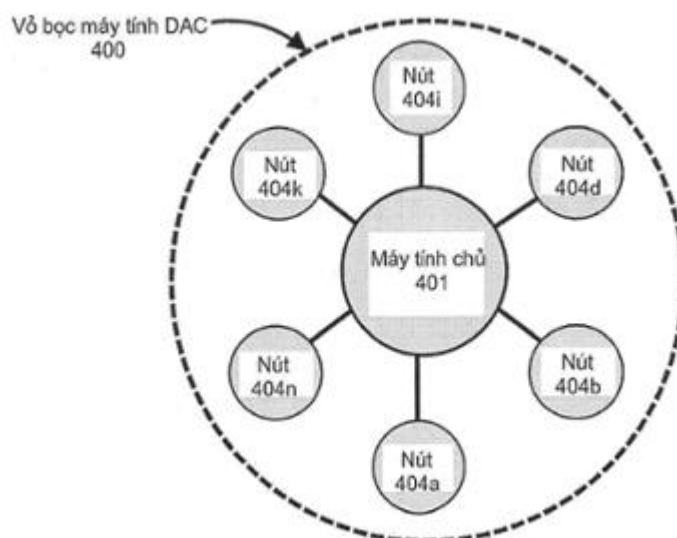
(51)⁷ H04L 12/28

(13) B

- (21) 1-2017-04629 (22) 22/04/2016
(86) PCT/US2016/029056 22/04/2016 (87) WO2016/172634 27/10/2016
(30) 62/151,290 22/04/2015 US; 14/743,752 18/06/2015 US
(45) 25/10/2022 415 (43) 26/02/2018 359A
(73) INTERNATIONAL MICROSYSTEMS, INC. (US)
556 Gibraltar Drive, Milpitas, CA 95035, United States of America
(72) Peter, A. SCHADE (US).
(74) Công ty cổ phần tư vấn Trung Thực (TRUNG THUC.,JSC)

(54) HỆ THỐNG MÁY TÍNH MẢNG PHÂN NHÁNH

(57) Sáng chế đề cập đến hệ thống máy tính mảng phân cấp bao gồm máy tính chủ được nối đến các máy tính nút trong đó mỗi nút có đoạn bộ nhớ. Sơ đồ nối tốc độ cao giữa máy tính chủ và các nút cho phép máy tính chủ hoặc các nút riêng lẻ truy cập có điều kiện vào các đoạn bộ nhớ của nút. Cấu trúc cuối cùng tạo ra máy tính mảng có bộ nhớ đã được phân bố lớn trong đó mỗi đoạn bộ nhớ của bộ nhớ đã được phân bố có bộ phận tính toán đã được kết hợp; toàn bộ mảng được chứa trong vỏ bọc kiểu máy chủ dạng phiến. Máy tính mảng có cấu trúc này tạo ra sự gia tăng theo tuyến tính của tốc độ xử lý tương ứng với số lượng nút.



Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập tới hệ thống máy tính và cụ thể là đề cập tới máy tính mạng phân cấp.

Tình trạng kỹ thuật của sáng chế

Mạng các máy tính chuyên môn hóa đã xuất hiện ở đầu thế kỷ 21 được gọi là các máy chủ phiên mà hầu hết thường được tìm thấy trong các cụm máy chủ xử lý dữ liệu trên nền web như thư điện tử, như được bộc lộ trong Patent Mỹ số 6.411,506. Các phiên trong các máy chủ phiên là các máy tính chủ tương đối nhỏ được nhóm trong khung chung được gọi là vỏ bọc phiên. Trong vỏ bọc phiên thông thường, các phiên này chia sẻ bộ nguồn chung và buýt dữ liệu mà lắp phương tiện dùng cho các phiên để tiếp nhận và truyền dữ liệu và các lệnh. Ngoài ra, nằm trong vỏ bọc phiên là máy chủ chuyển mạch, đôi khi được gọi là mô đun quản lý, mà hạt động như bộ điều khiển công việc dùng cho các phiên, như được bộc lộ trong Patent Mỹ số 7,209,347.

Ví dụ về máy chủ phiên được thể hiện trên Fig.1. Khung phiên 100, bao gồm các phiên máy chủ tháo được 101a-n. Các phiên 101 chia sẻ bảng nối đa năng chung 102 mà lắp nguồn của phiên từ nguồn điện 103 và buýt truyền thông chia sẻ 104 mà thường là buýt Ethernet. Tất cả các lệnh ngoài và dữ liệu được chia sẻ trên buýt truyền thông bên trong 104. Một hoặc nhiều mô đun quản lý 105 phối hợp các hoạt động của phiên máy chủ. Kết nối bên ngoài của buýt truyền thông 106 tạo ra các phiên có sự truy cập vào nguồn bộ nhớ chung 107 như bộ lưu trữ gắn vào mạng (NAS - Network Attached Storage). Các phiên 101a-n thường có bộ nhớ riêng của chúng 108a-n dùng cho quá trình xử lý cục bộ của chúng.

Cải biến đối với mô đun quản lý phiên máy chủ là sự bổ sung sau vào các vỏ bọc phiên và được bổ sung để cho phép các phiên máy chủ truy cập tập hợp chung của các thiết bị buýt nối tiếp đa năng (USB - Universal Serial Bus) như các thiết bị có bộ nhớ USB, như được bộc lộ trong Patent Mỹ số 7,412,544. Trong patent được trích dẫn, phương tiện được lắp để kết

nối mỗi phiên với các cổng thiết bị USB ngoài với máy chủ phiên mô đun quản lý dùng như cầu giữa các phiên này và các cổng máy chủ USB bao quanh phiên máy chủ. Do có nhiều loại thiết bị USB như bàn phím, chuột, ổ CD-ROM, và các thanh USB, các máy chủ phiên có thể đem lại nhiều chức năng bổ sung. Sơ đồ đã được đơn giản hóa về việc sử dụng các thiết bị USB ngoài trong máy chủ phiên được thể hiện trên Fig.2. Mạng vào/ra (I/O - Input/Output) bổ sung được thể hiện trên Fig.2, 110, cộng với phần cứng bổ sung trong máy chủ phiên mô đun quản lý, 105, cho phép các thiết bị USB 112a-m truyền thông với các phiên máy chủ 101a-n.

Mặc dù các máy chủ phiên có thể được xem như mảng các máy tính, song chúng không được xem là “máy tính mảng” mà thường biểu thị một nhóm máy tính được ghép chặt với nhau cả trong việc thi hành phần cứng và phần mềm, như được bộc lộ trong “A Decade of RCS” Proc. IEEE Conf. on Design, Automation and Test in Europe (2001). Sự khác biệt chủ yếu của máy tính mảng là “cấu trúc” của mảng mà thể hiện đường liên kết giữa các nút máy tính khác nhau tạo thành mảng.

Bài đánh giá về các máy tính mảng cấu trúc trong tài liệu tham khảo 4 thể hiện sự đa dạng của việc triển khai phần cứng và phần mềm phức tạp được gắn liền với các giải pháp xử lý mảng trong quá khứ. Một ví dụ hay về máy tính xử lý mảng thực tế là máy APL song song được Jurgen Sauermann xây dựng vào khoảng năm 1990, “A Parallel APL Machine” 1990 ACM 089791-371. Fig.3 thể hiện sơ đồ khối đã được đơn giản hóa của máy Sauermann. Máy Sauermann 300 có tất cả các bộ phận của máy tính mảng trong đó bộ xử lý chính 301 được ghép chặt với mảng của các bộ xử lý phụ 304 thông qua mạng truyền thông chung 303 và bộ nhớ hai mang chuyển 302 mà được chia sẻ đến máy tính chủ và các bộ xử lý phụ. Các bộ xử lý này còn được nối đến mạng của mảng của FPGA 305 mà thực hiện các tính toán toán học. Máy Sauermann được dành riêng cho nhiệm vụ cụ thể của các chương trình xử lý được viết bằng ngôn ngữ mật mã máy tính, APL. Một số máy Sauermann đã được bưu điện Đức xây dựng và sử dụng thành công.

Mặc dù dự án thành công, song hệ thống máy Sauermann không dễ dàng thích ứng với các ứng dụng khác. Phần cứng và phần mềm chuyên dụng của nó thường là việc xử lý mảng. Hệ thống này được đề cập vì sáng chế xuất phát từ sự quan tâm về ứng dụng đích của

máy Sauermann và dẫn đến cố gắng để thể hiện cấu trúc xử lý mảng mà có thể được sử dụng rộng rãi từ cả quan điểm phần mềm và phần cứng và đồng thời tạo ra cấu trúc mà thích ứng cao đối với các sự tiến bộ trong tương lai về phần cứng và phần mềm máy tính.

Ngoài việc bố trí các bộ phận tính toán trong các mảng đã được kết nối lớn, phương pháp gần đây hơn đã xây dựng các bộ xử lý đã được tích hợp duy nhất mà có CPU nhiều lõi, như được bộc lộ trong “Multicore Processors – A Necessity” của tác giả Bryan Schauer (csa-discoveryguides-multicore review, 9-2008). Các bộ xử lý nhiều lõi như bộ xử lý được Intel và AMD cung cấp có thể tăng tốc độ tính toán một cách đáng kể. Nhưng các bộ xử lý này cần phần cứng và phần mềm chuyên dùng để tận dụng được thiết kế nhiều lõi. Ngoài ra, các bộ xử lý này có nhược điểm chính là làm tăng độ phức tạp của việc lập trình và làm chậm khả năng tính toán; cụ thể là, việc truy cập của tất cả các lõi vào bộ lưu trữ ngoài là qua một kênh vật lý.

Mục tiêu chính của máy tính mảng để đem lại sức mạnh xử lý của một máy tính và tạo ra máy có N máy tính mà tốc độ xử lý của nó nhanh hơn N lần so với một máy tính. Mục tiêu đơn giản này dẫn đến nhiều giải pháp phần mềm và phần cứng mà thường dẫn đến các giải pháp phức tạp hoặc đắt tiền.

Sáng chế đề xuất phương tiện tạo ra máy tính mảng được chứa trong vỏ bọc kiểu máy chủ dạng phẳng mà đạt được sự gia tăng tuyến tính về sức mạnh xử lý với các nút máy tính bổ sung trong khi tạo ra mô hình lập trình đơn giản đối với việc xử lý mảng bằng cách sử dụng hệ thống máy tính phân cấp với các nút máy tính phân nhánh và cấu trúc bộ nhớ đã được phân bố mới.

Bản chất kỹ thuật của sáng chế

Hệ thống máy tính mảng phân cấp bao gồm máy tính chủ với bộ nhớ đã được phân đoạn lớn mà được phân đoạn bằng cách sử dụng các kênh dữ liệu tốc độ cao phân nhánh mà nối máy tính chủ với mảng các nút máy tính mà các đoạn bộ nhớ được nối trực tiếp đến đó. Máy tính chủ lập bản đồ các đoạn bộ nhớ dưới dạng mảng các khối lưu trữ có dung lượng lớn trong đó mỗi đoạn bộ nhớ ánh xạ riêng đến hoặc máy tính chủ hoặc đến nút máy tính mà

đoạn bộ nhớ được nối trực tiếp đến đó.

Các nút máy tính thực hiện vai trò như các máy chủ đang đợi lệnh từ máy tính chủ của máy khách của chúng và được sử dụng để xử lý dữ liệu trong đoạn bộ nhớ đã được chia sẻ kết hợp của chúng nhờ lệnh từ máy tính chủ.

Cấu trúc đã được mô tả cũng có thể được xem như bộ lưu trữ đã được phân bố trong đó mỗi đoạn bộ nhớ của bộ nhớ này có thể được truy cập riêng bởi máy tính chủ hoặc chỉ một phần tử của mảng các nút máy tính. Các bộ điều khiển nhiều bộ nhớ mà lưu trữ trong mảng các nút máy tính tạo ra tốc độ truy cập bộ nhớ khác thường và có khả năng mở rộng mảng lưu trữ một cách dễ dàng.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ thể hiện vỏ bọc máy chủ phiên thông thường theo giải pháp kỹ thuật đã biết.

Fig.2 là hình vẽ thể hiện máy chủ phiên mà lắp cổng USB truy cập vào các phiên máy chủ theo giải pháp kỹ thuật đã biết.

Fig.3 là hình vẽ thể hiện máy Sauermann Parallel APL của giải pháp kỹ thuật đã biết.

Fig.4 là hình vẽ của hệ thống máy tính DAC thể hiện kết nối giữa máy tính chủ và các máy tính nút.

Fig.5A là hình vẽ thể hiện máy tính chủ DAC được nối đến mảng của các đoạn bộ nhớ.

Fig.5B là hình vẽ thể hiện máy tính chủ DAC được nối đến mảng các nút máy tính.

Fig.6 là hình vẽ thể hiện máy tính DAC hai cấp theo phương án được ưu tiên trong đó một kênh nhiều dụng cụ USB giữa máy tính chủ cấp 1 và mỗi máy tính nút cấp 2 tạo ra cả liên kết bộ nhớ và liên kết truyền thông giữa máy tính chủ và bộ xử lý nút đã được kết nối của nó.

Mô tả chi tiết sáng chế

Nói chung, sáng chế đề cập tới hệ thống máy tính và cụ thể là đề cập tới máy tính

mảng phân cấp. Phần mô tả dưới đây được thể hiện để cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này thực hiện và sử dụng sáng chế và tạo ra phạm vi áp dụng sáng chế và các yêu cầu của nó. Những thay đổi khác nhau đối với phương án được ưu tiên và các nguyên tắc chung và các dấu hiệu được thể hiện trong bản mô tả này sẽ trở nên rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật này. Do đó, sáng chế không được dự định là chỉ giới hạn ở phương án được thể hiện mà được chấp thuận ở phạm vi rộng nhất phù hợp với nguyên tắc và dấu hiệu được thể hiện trong bản mô tả này.

Từ viết tắt, “DAC”, sẽ được sử dụng để mô tả sáng chế. Tên gọi này bắt nguồn gốc từ thuật ngữ, “Disjoint Array Computer”, do máy tính DAC là máy tính mảng song song trong đó mảng bao gồm các nút máy tính được nối đến máy tính chủ bằng cách sử dụng các kênh dữ liệu tốc độ cao mà không chia sẻ buýt chung. Nghĩa là, các nút máy tính là phân nhánh. Fig.4 thể hiện máy tính DAC hai mức phân cấp 400 theo phương án của sáng chế.

Như được thể hiện trên Fig.4, các đường dữ liệu tốc độ cao 402a-n tạo ra hai chức năng (a) kênh truyền thông giữa máy tính chủ và mỗi máy trong số các máy tính nút 403a-n, và (b) tạo ra máy tính chủ có số lượng N đoạn bộ nhớ lưu trữ có dung lượng lớn 404a-n. Mỗi đoạn bộ nhớ 404a-n chỉ có thể được lập địa chỉ bởi máy tính chủ 401 hoặc theo cách khác có thể được lập địa chỉ bởi các nút máy tính riêng lẻ 403a-n. Bằng cách sử dụng các kênh truyền thông 402a-n, máy tính chủ và các nút mà mức độ tính toán sẽ có truy cập duy nhất đến các đoạn bộ nhớ lưu trữ có dung lượng lớn 404a-n. Máy tính DAC 400 được thể hiện trên Fig.4 cung cấp cấu trúc ánh xạ bộ nhớ duy nhất trong đó nó cho phép tạo ra bộ nhớ đã được phân đoạn lớn đối với máy chủ cấp một 401 nhờ đó các đoạn bộ nhớ được truy cập bằng cách sử dụng các kênh dữ liệu phân nhánh tốc độ cao 402a-n được nối đến các nút máy tính 403a-n.

Fig.5A thể hiện cách bộ nhớ đã được chia sẻ triển khai đến máy tính chủ khi máy tính chủ có truy cập duy nhất đến tất cả trong số N đoạn bộ nhớ. Fig.5B thể hiện cách máy tính chủ xem mảng của các nút cấp 2 khi tất cả trong số các nút này có truy cập duy nhất đến các đoạn bộ nhớ.

Phương án này của sáng chế đề xuất phương tiện tạo ra cấu trúc lưu trữ có dung lượng cực lớn đã được phân bố bằng cách cho phép nhiều khối có nhiều bộ nhớ mà mỗi khối

này có bộ điều khiển chính nó được xem như sự lưu trữ trong bộ nhớ lớn đã được phân bố được điều khiển bởi một bộ quản lý bộ nhớ. Do đó, cấu trúc bộ nhớ DAC tạo ra sự lưu trữ trong bộ nhớ có khả năng mở rộng theo tuyến tính bằng cách sử dụng khối bộ nhớ tương đối nhỏ tăng lên. Ví dụ, nếu máy tính DAC được thể hiện trên Fig.4 có 32 nút, mỗi nút lại có các ổ SSD Flash có dung lượng 1TB và các ổ này được thay thế bằng ổ SSD có dung lượng 4TB, như được thấy bởi máy tính DAC một cấp thì tổng bộ nhớ được tăng từ 32TB thành 256TB.

Lợi ích chủ yếu của bộ lưu trữ đã được phân bố cấu trúc với mỗi đoạn bộ nhớ có bộ điều khiển của chính nó là mỗi đoạn bộ nhớ có thể được truy cập nhanh hơn nhiều nếu cùng một lượng lưu trữ được lưu trữ trong một bộ nhớ lớn được truy cập bởi một bộ điều khiển bộ nhớ.

Lợi ích chủ yếu thứ hai là các nút máy tính được nối chặt chẽ với dữ liệu mà chúng được giao nhiệm vụ xử lý và việc nối này loại trừ sự xung đột bất kỳ với nút bất kỳ khác hoặc máy tính chủ.

Tính chất kép của các đoạn bộ nhớ riêng lẻ cần có ở máy tính chủ hoặc theo cách khác ở nút máy tính đã được cách ly là bộ phận quan trọng của thiết kế DAC. Nó cho phép các chương trình phần mềm trong cả máy tính chủ và các máy tính nút để sở hữu hoàn toàn bộ nhớ khi chúng đang được truy cập và không phải giải quyết các vấn đề tương tác thường gắn liền với bộ nhớ nhiều công.

Hệ thống đã được mô tả trên đây và được thể hiện trên Fig.4 và Fig.5A và Fig.5B được người nộp đơn gọi là hệ thống máy tính phân nhánh bằng cách sử dụng bộ nhớ phân nhánh.

Do cùng một vùng của bộ nhớ đã được chia sẻ của DAC được thể hiện trên Fig.4 sẽ không được truy cập cùng một lúc bởi cả máy tính chủ 401 và một nút trong số các nút máy tính 404, các phương tiện phải được lắp giữa máy tính chủ và nút máy tính xác định bất kỳ mà cho phép máy tính chủ điều phối sự truy cập duy nhất vào bộ nhớ đã được chia sẻ.

Fig.6 thể hiện một phiên bản của phương án được ưu tiên được thể hiện trên Fig.4 của hệ thống máy tính DAC trong đó kênh dữ liệu tốc độ cao giữa máy tính cấp một 600 và nút cấp 2 603 là kênh nối tiếp USB 602. Theo phương án này, cổng thiết bị USB 604 của nút máy tính được nối đến cổng chủ USB 601 của máy tính chủ. Trình điều khiển cổng thiết bị USB

của nút hỗ trợ cấu trúc nhiều dụng cụ ba đường USB mà cho phép máy tính chủ nhìn thấy cổng chủ USB 601 của nó khi được nối đến ba dụng cụ USB khác nhau; cụ thể là thiết bị I/O 604b của khối lưu trữ bộ nhớ, cổng Ethernet 604a, và cổng TTY 604c. Theo phương án cụ thể này, thiết bị I/O 604b của khối USB ánh xạ đến ổ lưu trữ vật lý của nút máy tính 606. Cổng Ethernet ảo 604a của dụng cụ USB có thể được sử dụng như là kênh ra lệnh giữa máy tính chủ và nút máy tính. Cổng TTY 604c của dụng cụ USB có thể được sử dụng bởi máy tính chủ để nhận dạng và khởi chạy nút máy tính.

Mặc dù các kết nối USB được sử dụng trong phương án nêu trên để kết nối máy tính chủ với các nút máy tính, song các buýt vật lý khác với các trình điều khiển phần mềm hỗ trợ có thể được sử dụng để kết nối máy tính chủ với các máy tính nút theo cách tương tự nêu trên bao gồm việc sử dụng sự tùy chỉnh của FPGA được nối đến các buýt PCIe tương ứng trên máy tính chủ và các máy tính nút.

Các máy chủ phiên web thường được sử dụng để xử lý lưu lượng web tốc độ cao. Hệ thống máy chủ phiên đã được mô tả trên đây giống với máy tính DAC theo phương án được ưu tiên được thể hiện trên Fig.4. Hệ thống theo cả hai phương án này thường được thiết kế để lắp vừa trong giá đỡ máy chủ tiêu chuẩn. Cấu trúc theo cả hai phương án đều sử dụng bộ nguồn chung để cấp nguồn cho các nút xử lý riêng lẻ. Hệ thống theo cả hai phương án đều có bộ quản lý để điều khiển các nút xử lý.

Tuy nhiên, có các sự khác biệt cơ bản giữa máy chủ phiên web tiêu chuẩn và máy tính DAC theo phương án được ưu tiên mà đã được thể hiện. Kênh truyền thông chính của máy chủ phiên để truyền dữ liệu là buýt tốc độ cao được nối đến tất cả các phiên có mô đun quản lý phiên. Ngoài ra, máy tính DAC sử dụng các kênh dữ liệu cách ly giữa máy tính chủ của nó và các nút máy tính. Ngoài ra, cấu trúc bộ nhớ của máy tính DAC là bộ nhớ lưu trữ mới được sử dụng để cung cấp cả bộ nhớ đã được phân đoạn lớn dành cho máy tính chủ DAC và theo cách khác các đoạn bộ nhớ chính nhỏ hơn dành cho các nút máy tính DAC. Và cuối cùng, các nút của DAC không truy cập trực tiếp vào bộ nhớ ngoài bên ngoài vỏ bọc máy tính DAC trong khi các phiên máy chủ web lại lập địa chỉ trực tiếp đến bộ nhớ ngoài qua kết nối mạng như mạng Ethernet.

Hệ thống máy tính DAC phân cấp đạt được tính đơn giản tuyệt vời trong cả thiết kế

phần cứng và phần mềm bằng cách giữ lại hoàn toàn tính trực giao của bộ nhớ và sự truyền thông giữa máy tính chủ DAC và các nút máy tính DAC.

Ngoài ra, vị trí vật lý của bộ nhớ lưu trữ đã được phân đoạn ở các nút máy tính cho phép bộ lưu trữ cực lớn được điều khiển một cách dễ dàng bởi vô số bộ điều khiển bộ nhớ.

Mặc dù sáng chế đã được mô tả dựa vào các phương án đã được thể hiện, song người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ dễ dàng nhận ra rằng có thể có các sự thay đổi đối với các phương án của sáng chế và các sự thay đổi này sẽ nằm trong bản chất và phạm vi của sáng chế. Do vậy, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể thực hiện nhiều sự biến đổi mà không nằm ngoài phạm vi được xác định bởi các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Hệ thống máy tính mảng phân nhánh (DAC-Disjoint Array Computer), bao gồm:

máy tính trung tâm kết nối kiểu truyền thông với các máy tính nút phân nhánh trong mạng nhờ các kênh truyền thông phân nhánh, trong đó chỉ máy tính trung tâm có truy cập trực tiếp đến từng máy trong số các máy tính nút phân nhánh qua các kênh truyền thông phân nhánh;

trong đó mỗi kênh truyền thông phân nhánh được cấu thành từ kênh lệnh và kênh dữ liệu, trong đó kênh lệnh tạo ra sự truyền thông giữa máy tính trung tâm và các máy tính nút phân nhánh, và trong đó kênh dữ liệu tạo ra sự truy cập đến các đoạn bộ nhớ của các máy tính nút phân nhánh;

trong đó đoạn bộ nhớ đã cho bất kỳ là tiếp cận được bởi máy tính trung tâm hoặc bởi máy tính nút phân nhánh cụ thể mà nó được kết nối vào đó qua các lệnh gửi bởi máy tính trung tâm trên kênh lệnh phân nhánh song không bao giờ là tiếp cận được một cách trực tiếp và được cách ly hoàn toàn về mặt vật lý khỏi tất cả máy tính nút phân nhánh khác;

trong đó việc lựa chọn sự truy cập dành riêng đến đoạn bộ nhớ của một máy trong số các máy tính nút phân nhánh hoặc máy tính trung tâm duy nhất được xác định bởi máy tính trung tâm;

trong đó các máy tính nút phân nhánh tác động như các máy chủ có khách chung là máy tính trung tâm; và

trong đó cả máy tính trung tâm lẫn các máy tính nút phân nhánh chia sẻ vỏ bọc.

2. Hệ thống DAC theo điểm 1, trong đó máy tính trung tâm và các máy tính nút phân nhánh được cấp điện từ nguồn điện trung tâm trong vỏ bọc.

3. Hệ thống DAC theo điểm 1, trong đó máy tính trung tâm còn truyền thông các lệnh và tiếp nhận trạng thái từ các máy tính nút phân nhánh qua kênh nối tiếp USB.

4. Hệ thống DAC theo điểm 1, trong đó hệ thống này còn bao gồm các cổng thiết bị USB nằm trên từng máy trong số các máy tính nút phân nhánh phân cách với các cổng chủ USB trên máy tính trung tâm;

trong đó mỗi cổng trong số các cổng chủ USB trên máy tính trung tâm được ánh xạ vào đoạn bộ nhớ trên từng máy trong số các máy tính nút phân nhánh là bộ nhớ vật lý lắp vào từng máy trong số các máy tính nút phân nhánh.

5. Hệ thống DAC theo điểm 4, trong đó các cổng thiết bị USB của các máy tính nút phân nhánh xuất hiện dưới dạng các thiết bị USB nhiều dụng cụ đối với máy tính trung tâm tạo ra các thiết bị lưu trữ USB và các kênh truyền thông USB đến máy tính trung tâm.

6. Hệ thống DAC theo điểm 5, trong đó các thiết bị USB nhiều dụng cụ trên các máy tính nút phân nhánh như được nhìn bởi máy tính trung tâm có các cổng Ethernet ảo USB đặc tả giao diện trình điều khiển mạng từ xa (RNDIS-Remote Network Driver Interface Specification).

7. Hệ thống DAC theo điểm 5, trong đó các thiết bị USB nhiều dụng cụ trên các máy tính nút phân nhánh như được nhìn bởi máy tính trung tâm có các cổng nối tiếp ảo USB kiểu chế độ điều khiển trừu tượng (ACM Abstract Control Model) theo lớp thiết bị truyền thông (Communication Device Class).

8. Hệ thống DAC theo điểm 1, trong đó các máy tính nút phân nhánh sử

dùng các cổng truyền thông mảng cổng lập trình được dạng trường (FPGA - Field-Programmable Gate Array) có nguồn gốc từ các FPGA kết nối với các cổng bộ phận ngoại vi cực nhanh (PCIe - Peripheral Component Interconnect express) nằm trên các máy tính nút phân nhánh, các cổng truyền thông FPGA có các cổng truyền thông tương thích với máy tính trung tâm; trong đó máy tính trung tâm truy cập các đoạn bộ nhớ mà được lắp một cách riêng rẽ vào mỗi máy tính trong số các máy tính nút phân nhánh.

9. Hệ thống DAC theo điểm 1,

trong đó trong đó cấu trúc bộ nhớ của bộ lưu trữ đã được phân bố được tạo ra bằng cách sử dụng hệ thống máy tính phân cấp của của máy tính trung tâm kết nối kiểu truyền thông với các máy tính nút phân nhánh;

trong đó mỗi trong số các máy tính nút phân nhánh có một hoặc nhiều thiết bị lưu trữ mà được ánh xạ dưới dạng các cơ cấu lưu trữ lập địa chỉ được một cách riêng biệt bởi máy tính trung tâm; và

trong đó tập hợp của các máy tính nút phân nhánh mà mỗi máy có một hoặc nhiều thiết bị lưu trữ tạo ra bộ nhớ lưu trữ phân bố lớn dành cho máy tính trung tâm.

10. Hệ thống DAC theo điểm 1, trong đó máy tính trung tâm được kết nối kiểu truyền thông với máy tính phân cách mà tạo ra sự truy cập đến các mạng máy tính bên ngoài và dịch chuyển dữ liệu kết cấu giữa các mạng máy tính bên ngoài và hệ thống DAC theo điểm 1.

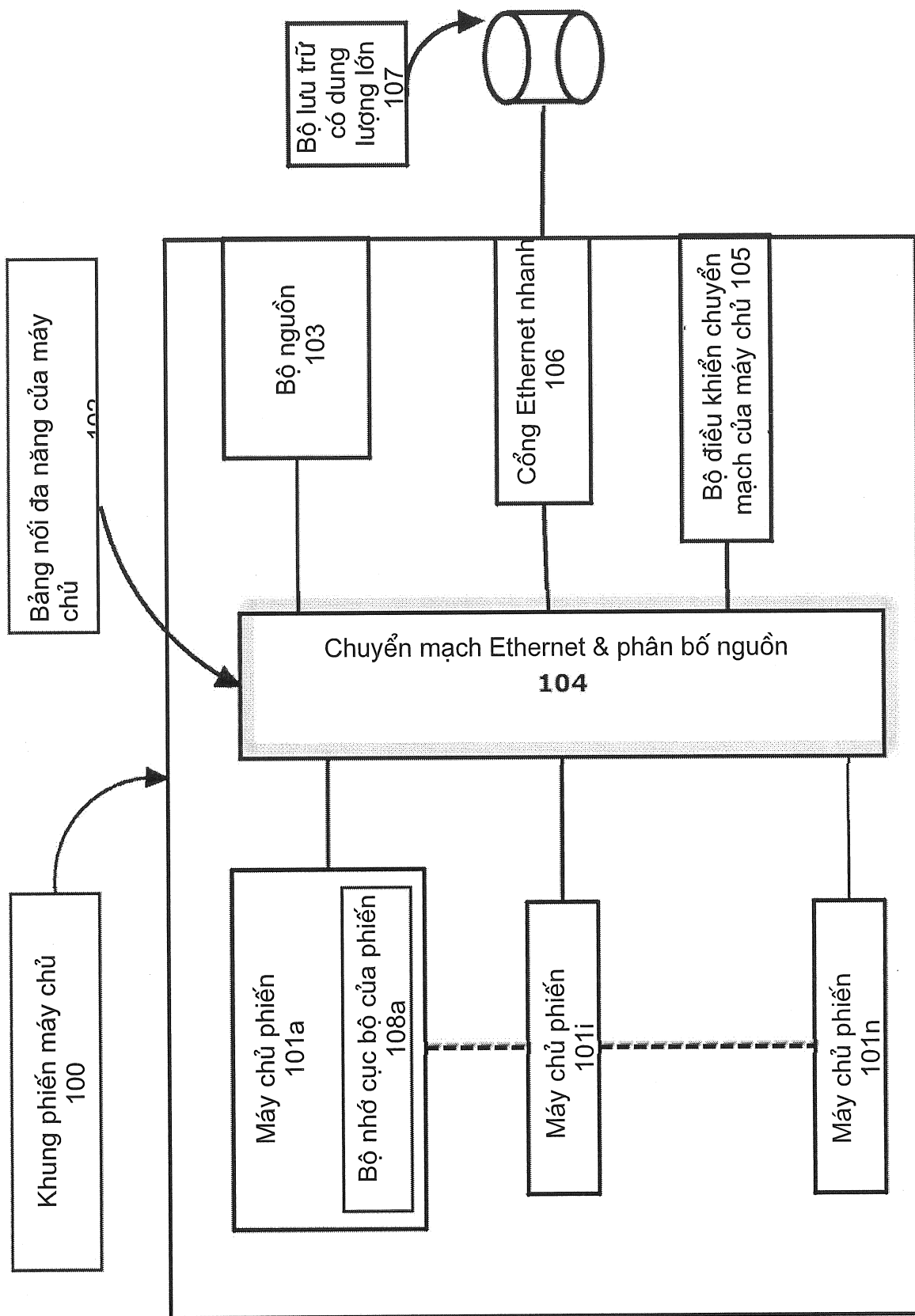


Fig.1: Giải pháp kỹ thuật đã biết

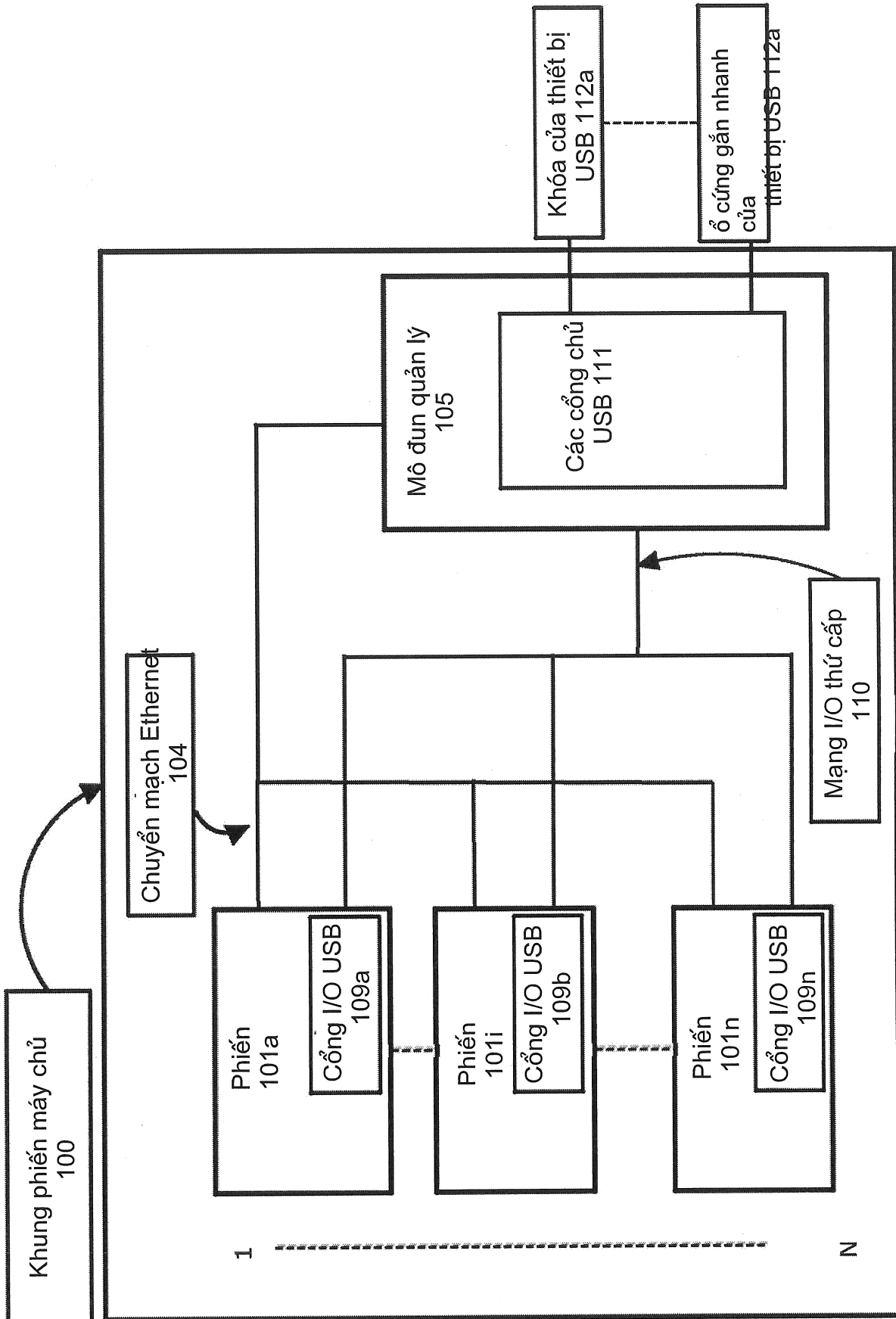


Fig.2: Giải pháp kỹ thuật đã biết

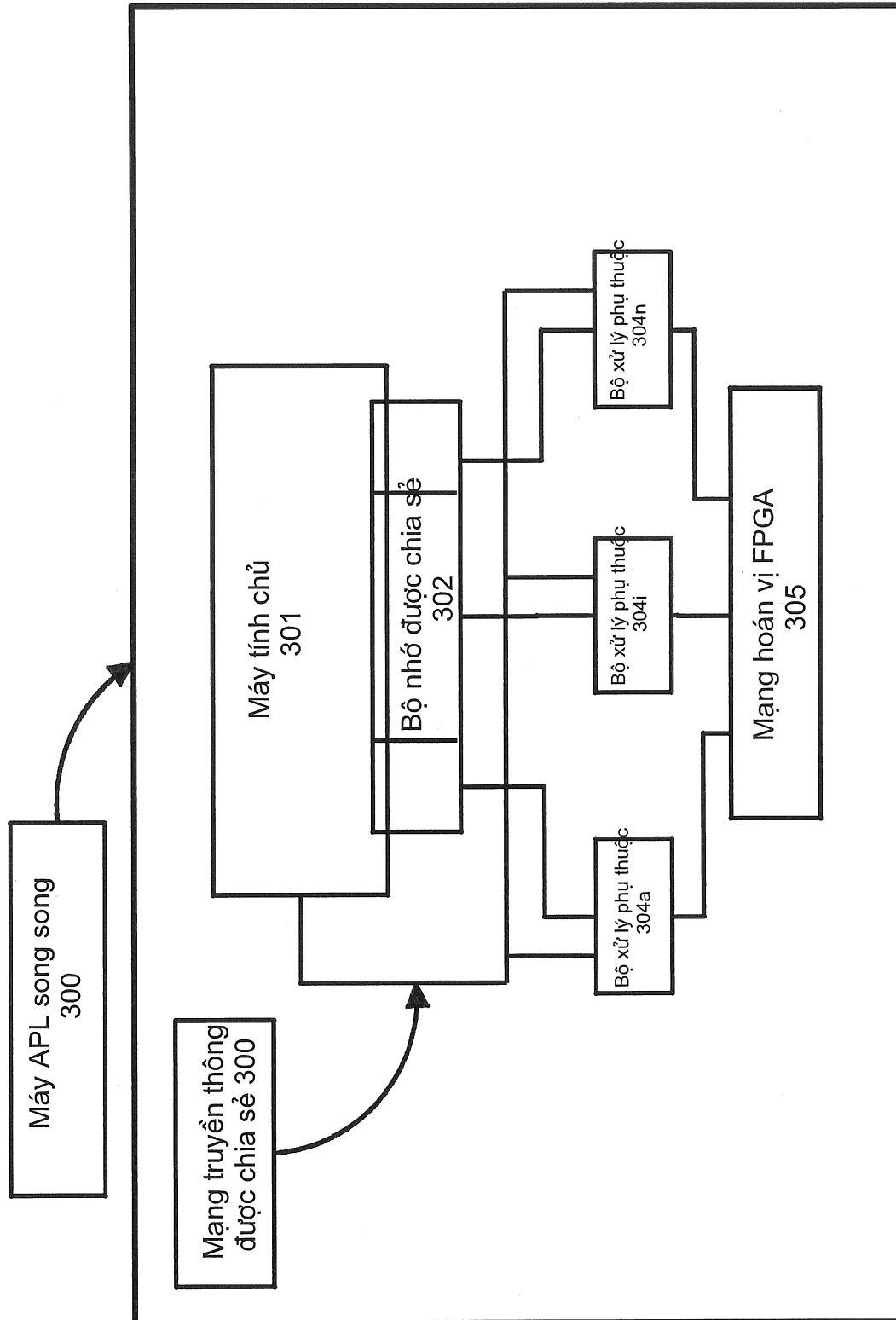


Fig.3: Giải pháp kỹ thuật đã biết

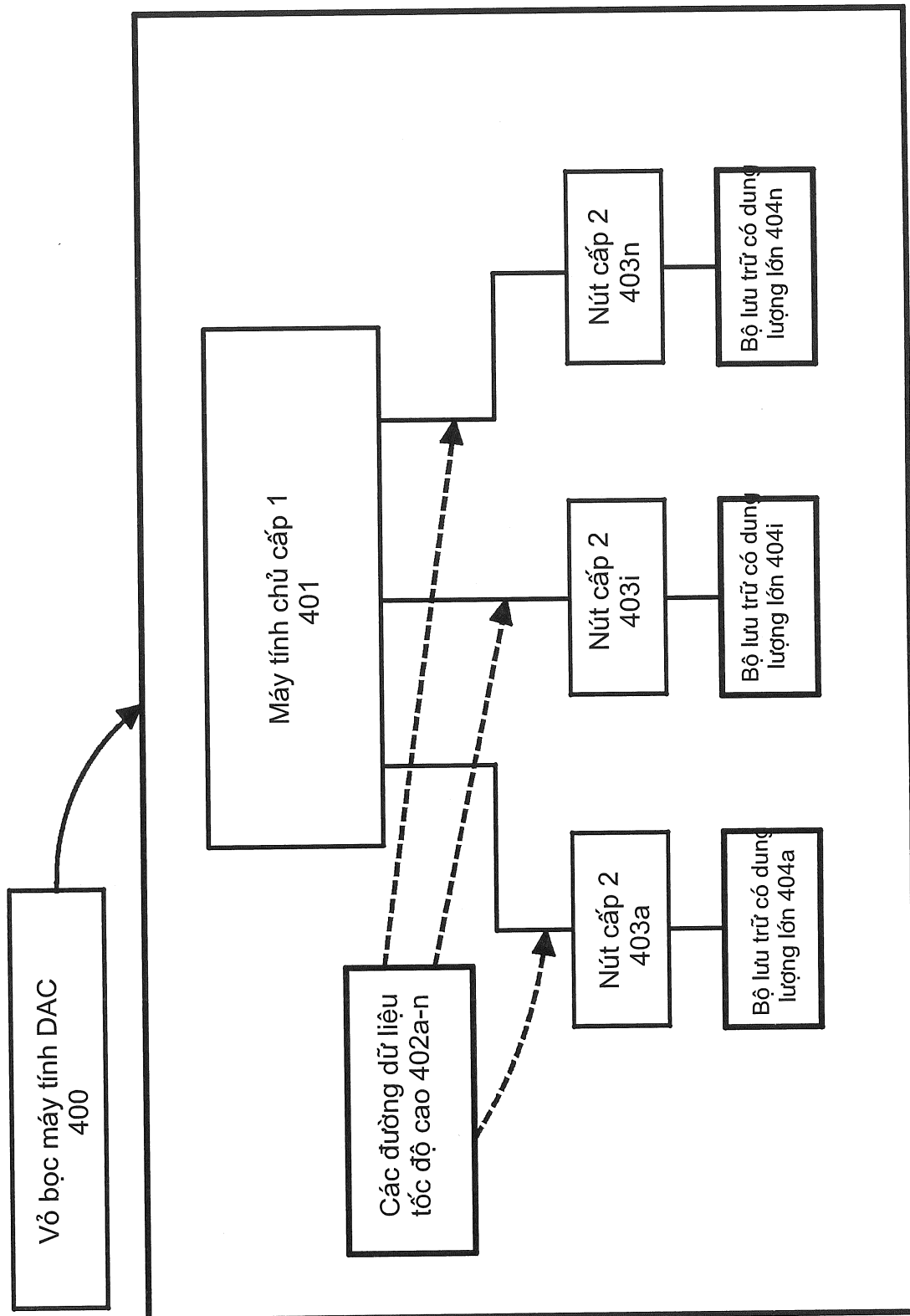


Fig.4

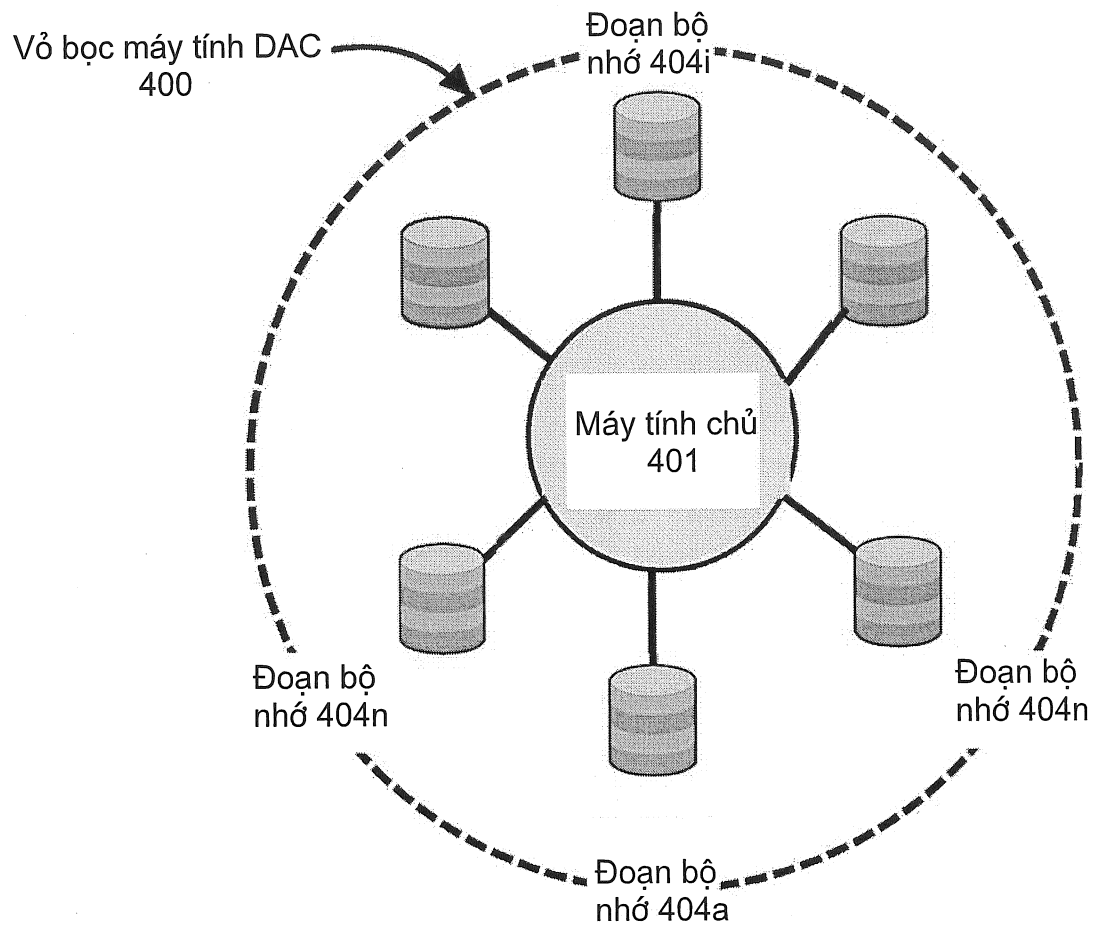


Fig.5a

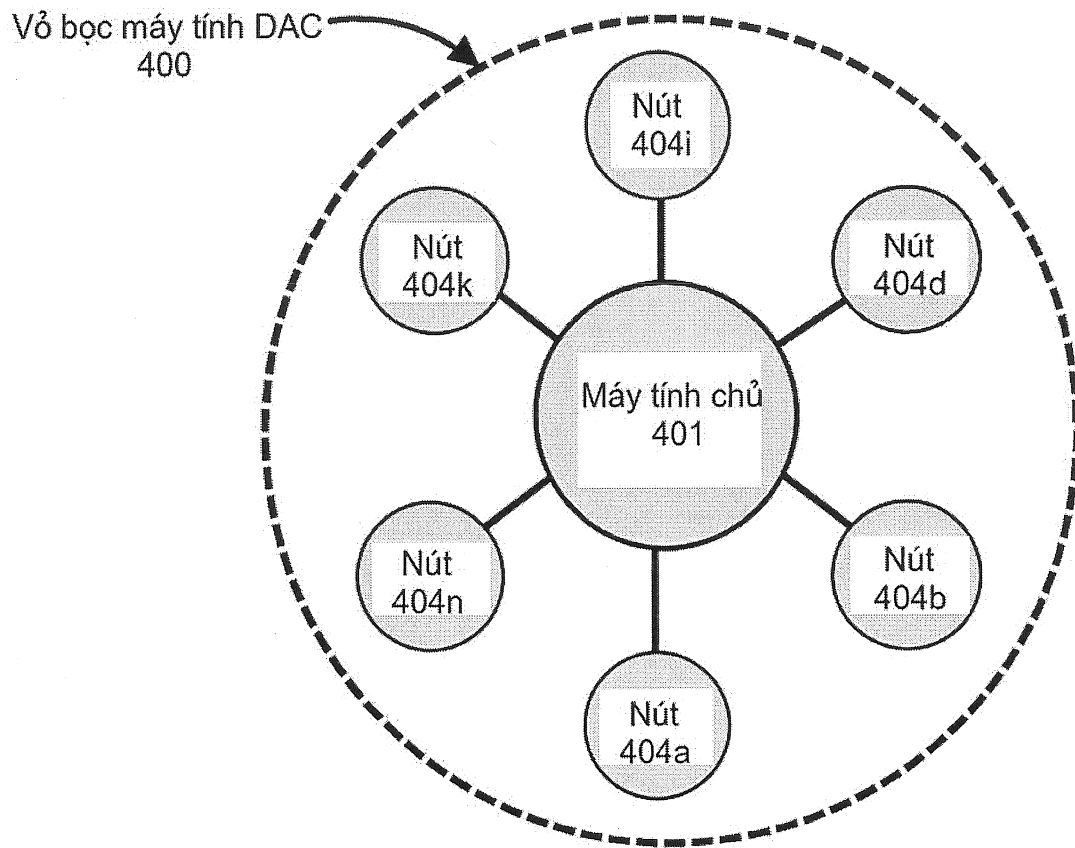


Fig.5b

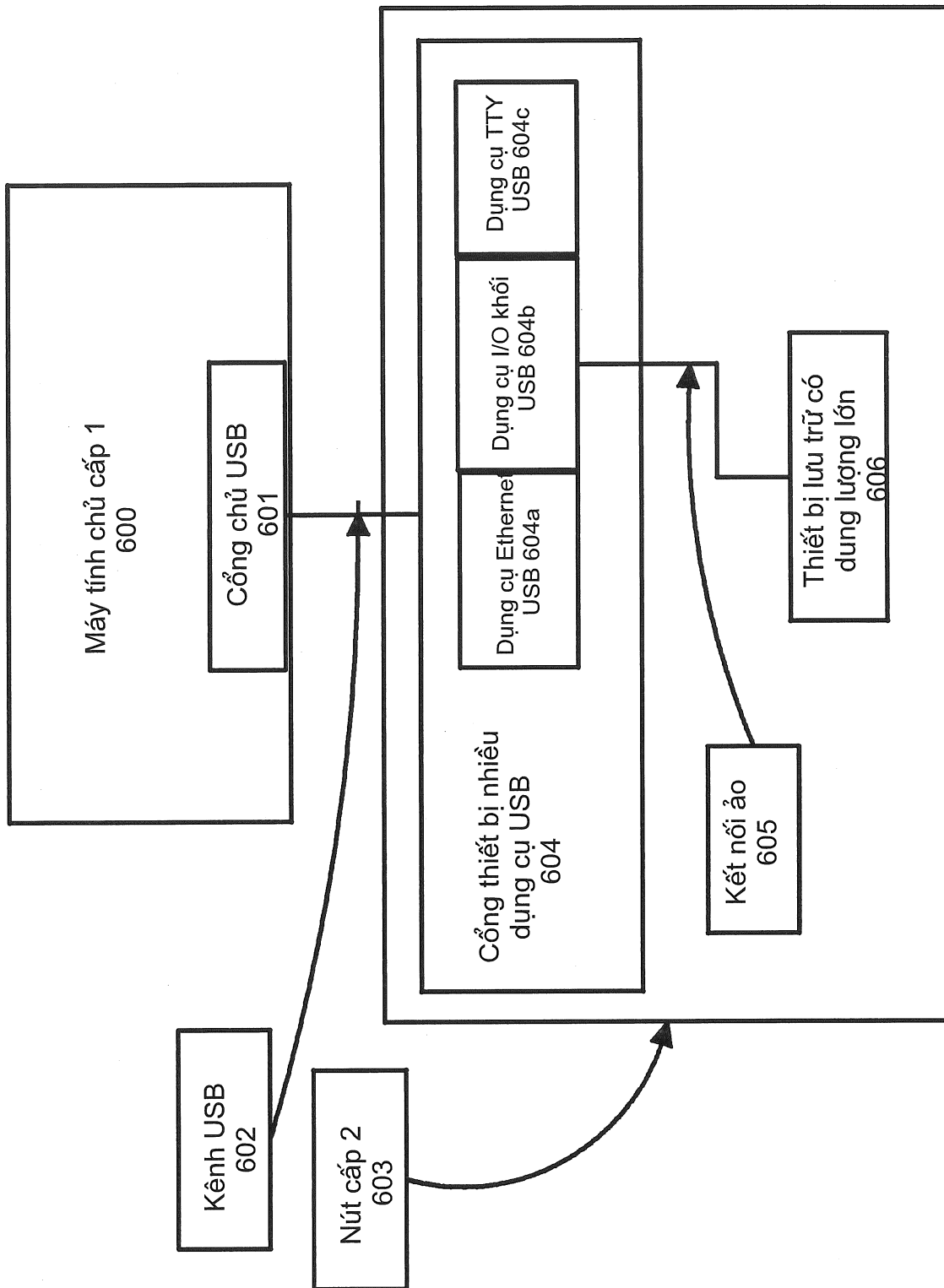


Fig.6