



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0033374

(51)⁷ G02F 1/136

(13) B

(21) 1-2017-04331

(22) 31/10/2017

(30) 10-2016-0143999 31/10/2016 KR

(45) 26/09/2022 414

(43) 25/05/2018 362A

(73) LG Display Co., Ltd. (KR)

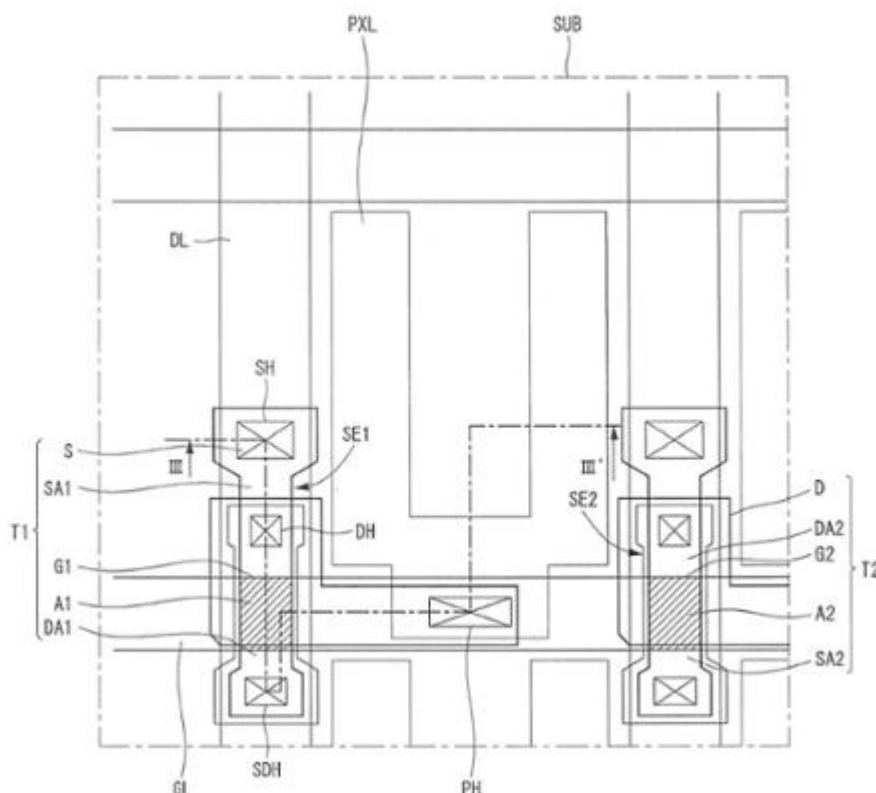
LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) Sul LEE (KR); Sunhwa LEE (KR); Seongjun CHO (KR).

(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ HIỂN THỊ TINH THỂ LỎNG

(57) Sáng chế đề cập đến thiết bị hiển thị tinh thể lỏng. Sáng chế đề cập đến thiết bị hiển thị tinh thể lỏng bao gồm: đường nối cổng trên đế; lớp cách ly cổng thứ nhất trên đường nối cổng này; lớp bán dẫn thứ nhất giao với đường nối cổng trên lớp cách ly cổng thứ nhất này; lớp cách ly cổng thứ hai trên lớp bán dẫn thứ nhất này; lớp bán dẫn thứ hai giao với đường nối cổng trên lớp cách ly cổng thứ hai này; lớp cách ly trung gian trên lớp bán dẫn thứ hai này; đường dữ liệu được nối với lớp bán dẫn thứ nhất trên lớp cách ly trung gian này; và điện cực máng được nối với lớp bán dẫn thứ hai trên lớp cách ly trung gian này.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị tinh thể lỏng có độ phân giải siêu cao có tranzito màng mỏng bù. Cụ thể là, sáng chế đề cập đến cấu trúc điểm ảnh để bảo đảm tỷ số lỗ mở cao cho thiết bị hiển thị tinh thể lỏng có độ phân giải siêu cao mà trong đó có bao gồm tranzito màng mỏng bổ sung để bù cho các đặc tuyến thông/ngắt của tranzito màng mỏng để điều vận điểm ảnh.

Tình trạng kỹ thuật của sáng chế

Ngày nay, khi xã hội thông tin phát triển, thì các yêu cầu về các thiết bị hiển thị để hiển thị thông tin cũng đang tăng lên. Do đó, các thiết bị hiển thị dùng tấm nền phẳng (hay FPD - Flat Panel Display) khác nhau đã được phát triển để khắc phục nhiều nhược điểm của ống tia âm cực (hay CRT - Cathode Ray Tube), chẳng hạn trọng lượng lớn và thể tích lớn. Các thiết bị hiển thị dùng tấm nền phẳng bao gồm thiết bị hiển thị tinh thể lỏng (hay LCD - Liquid Crystal Display), thiết bị hiển thị phát xạ trường (hay FED - Field Emission Display), thiết bị dùng tấm nền hiển thị plasma (hay PDP - Plasma Display Panel), thiết bị hiển thị phát sáng hữu cơ (hay OLED - Organic Light Emitting Display) và thiết bị hiển thị điện di (hay ED - Electrophoresis Display).

Tấm nền hiển thị của thiết bị hiển thị dùng tấm nền phẳng có thể bao gồm để tranzito màng mỏng có tranzito màng mỏng được phân bố trong mỗi vùng điểm ảnh mà được xếp thành mảng theo kiểu ma trận. Ví dụ, thiết bị hiển thị tinh thể lỏng sẽ hiển thị dữ liệu video bằng cách điều khiển độ truyền sáng của lớp tinh thể lỏng nhờ sử dụng điện trường. Theo chiều của điện trường, thì LCD có thể được phân loại thành hai kiểu chính; một là kiểu điện trường đứng, và còn lại là kiểu điện trường ngang.

Đối với LCD kiểu điện trường đứng, thì điện cực chung, mà được tạo ra trên đế trên, và điện cực điểm ảnh, mà được tạo ra trên đế dưới, là quay mặt vào nhau để hình thành điện trường có chiều vuông góc với mặt đế. Lớp tinh thể lỏng có cấu trúc tinh thể lỏng dạng xoắn (Twisted Nematic - TN), mà được bố trí giữa đế trên và đế dưới, là

được điều vận bởi điện trường đứng. LCD kiểu điện trường đứng có ưu điểm là tỷ số mở rộng cao hơn, còn nhược điểm là góc nhìn hẹp hơn, vào khoảng 90 độ.

Đối với LCD kiểu điện trường ngang, thì điện cực chung và điện cực điểm ảnh là được tạo ra song song nhau trên cùng một đế. Lớp tinh thể lỏng, mà được bố trí giữa đế trên và đế dưới, là được điều vận trong chế độ chuyển hướng trong mặt phẳng (hay IPS - In Plane Switching) bởi điện trường song song với mặt đế. LCD kiểu điện trường ngang có ưu điểm là góc nhìn rộng hơn, trên 160 độ, và tốc độ đáp ứng nhanh hơn so với LCD kiểu điện trường đứng. Tuy nhiên, LCD kiểu điện trường ngang có thể có các nhược điểm chẳng hạn như tỷ số mở rộng thấp và tỷ số truyền ánh sáng nền thấp.

Ở LCD kiểu IPS, ví dụ, để tạo thành điện trường trong mặt phẳng, thì khe hở giữa điện cực chung và điện cực điểm ảnh có thể lớn hơn khe hở (hay “khe hở tế bào” - Cell Gap) giữa đế trên và đế dưới, và để đạt được đủ cường độ của điện trường, thì điện cực chung và điện cực điểm ảnh có thể có mẫu dạng dải với độ rộng nhất định. Giữa điện cực điểm ảnh và điện cực chung của LCD kiểu IPS, thì điện trường ngang với đế được tạo ra. Tuy nhiên, ngay trên điện cực điểm ảnh và điện cực chung này thì không có điện trường nào. Tức là các phân tử tinh thể lỏng nằm ngay trên các điện cực điểm ảnh và các điện cực chung thì không được điều vận, mà vẫn còn lại ở các điều kiện ban đầu (chiều đồng chỉnh ban đầu). Do các phân tử tinh thể lỏng ở điều kiện ban đầu đó không thể điều khiển được độ truyền sáng một cách phù hợp, nên tỷ số mở rộng và sự phát sáng có thể bị giảm.

Để giải quyết các nhược điểm này của LCD kiểu IPS, thì LCD kiểu chuyển hướng bằng trường vân (hay FFS - Fringe Field Switching), mà được điều vận bằng điện trường vân, đã được đề xuất. LCD kiểu FFS này bao gồm điện cực chung và điện cực điểm ảnh có lớp cách ly giữa chúng. Điện cực điểm ảnh và điện cực chung chồng nhau theo chiều đứng. Hoặc, điện cực điểm ảnh và điện cực chung không chồng nhau mà được phân cách bằng khe hở hẹp hơn so với khe hở giữa đế trên và đế dưới. Nhờ đó, điện trường vân, có dạng parabôn, được tạo ra trong không gian giữa điện cực chung và điện cực điểm ảnh, cũng như trên các điện cực này. Do đó, phần lớn các phân tử tinh thể lỏng giữa đế trên và đế dưới có thể được điều vận bởi trường vân này. Kết quả là, có thể tăng tỷ số mở rộng và sự phát sáng đáng trước.

Fig.1 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng có lớp oxit bán dẫn trong thiết bị hiển thị tinh thể lỏng kiểu trường vân theo giải pháp đã biết. Fig.2 là hình vẽ thể hiện mặt cắt của cấu trúc đế tranzito màng mỏng trên Fig.1 khi cắt theo đường I-I' theo giải pháp đã biết này.

Đế tranzito màng mỏng có lớp bán dẫn oxit kim loại trên Fig.1 và Fig.2 bao gồm đường nối cổng GL và đường dữ liệu DL giao nhau, với lớp cách ly cổng GI giữa chúng, trên đế dưới SUB, và tranzito màng mỏng T được tạo ra tại mỗi phần giao nhau. Vùng điểm ảnh được xác định bởi cấu trúc giao nhau của đường nối cổng GL và đường dữ liệu DL này. Ở vùng điểm ảnh này, điện cực điểm ảnh PXL và điện cực chung COM được tạo ra, với lớp thụ động hoá thứ hai PAS2 giữa chúng, để tạo thành điện trường vân. Điện cực điểm ảnh PXL có thể có hình chữ nhật tương ứng với vùng điểm ảnh, và điện cực chung COM có thể có các khúc song song nhau và cách nhau một khoảng cách định trước.

Điện cực chung COM được nối với đường chung CL mà được bố trí song song với đường nối cổng GL. Điện cực chung COM được cấp điện áp tham chiếu (hay “điện áp chung”) qua đường chung CL.

Đáp lại tín hiệu cổng được cấp vào đường nối cổng GL, thì tranzito màng mỏng T sẽ cấp và giữ tín hiệu điểm ảnh mà được cấp qua đường dữ liệu DL đến điện cực điểm ảnh PXL. Để làm thế, thì tranzito màng mỏng T bao gồm điện cực cổng G được làm nhô ra từ đường nối cổng GL, điện cực nguồn S được làm nhô ra từ đường dữ liệu DL, điện cực máng D quay mặt vào điện cực nguồn S và nối với điện cực điểm ảnh PXL, và lớp bán dẫn SE. Lớp bán dẫn SE có vùng kênh (bán dẫn) A mà chồng với điện cực cổng G trên lớp cách ly cổng GI và được xác định giữa điện cực nguồn S và điện cực máng D.

Lớp bán dẫn SE này bao gồm chất silic đa tinh thể. Phần giữa của lớp bán dẫn SE, mà chồng với điện cực cổng G, được xác định là vùng kênh A. Các vùng còn lại của chất bán dẫn đa tinh thể này, ngoại trừ vùng kênh A, là được làm dẫn điện bằng phương pháp xử lý plasma; một vùng tiếp xúc với điện cực nguồn S qua lỗ tiếp xúc nguồn SH và vùng còn lại tiếp xúc với điện cực máng D qua lỗ tiếp xúc máng DH. Lớp bán dẫn đa tinh thể SE bao gồm vùng nguồn SA tiếp xúc với điện cực nguồn S, vùng máng DA tiếp xúc với điện cực máng D và vùng kênh A chồng với điện cực

cổng G giữa vùng nguồn SA và vùng máng DA.

Đối với LCD kiểu chuyển hướng bằng trường vân, thì điện cực điểm ảnh PXL được chồng với điện cực chung COM. Điện dung tích trữ được hình thành tại vùng chồng nhau này. Do đó, để tích điện hoàn toàn cho điện dung tích trữ này, thì tranzito màng mỏng có các đặc tuyến để điều khiển lượng dòng điện lớn. Đối với LCD kiểu trường vân, khi tính đến hiệu suất và các điều kiện, thì tốt hơn nếu tranzito màng mỏng có cấu trúc cổng trên cùng có chất bán dẫn đa tinh thể.

Tranzito màng mỏng cổng trên cùng có chất bán dẫn đa tinh thể sẽ được mô tả dựa vào Fig.2. Lớp bán dẫn SE được tạo ra trước tiên trên đế SUB. Lớp cách ly cổng GI được lắng lên đế SUB đã có lớp bán dẫn SE này. Điện cực cổng G được tạo ra trên lớp cách ly cổng GI sao cho chồng với phần giữa của lớp bán dẫn SE để xác định vùng kênh A.

Lớp cách ly trung gian IN được lắng lên điện cực cổng G sao cho trùm lên toàn bộ bề mặt của đế SUB. Lỗ tiếp xúc nguồn SH mà để lộ ra vùng nguồn SA của lớp bán dẫn SE, và lỗ tiếp xúc máng DH mà để lộ ra vùng máng DA, được tạo ra bằng cách đâm xuyên qua lớp cách ly trung gian IN và lớp cách ly cổng GI. Điện cực nguồn S mà tiếp xúc với vùng nguồn SA qua lỗ tiếp xúc nguồn SH, và điện cực máng D mà tiếp xúc với vùng máng DA qua lỗ tiếp xúc máng DH, là được tạo ra trên lớp cách ly trung gian IN.

Lớp thụ động hoá thứ nhất PAS1 được lắng lên tranzito màng mỏng T kiểu cổng trên cùng này sao cho trùm lên toàn bộ bề mặt của đế SUB. Lỗ tiếp xúc điểm ảnh PH được tạo ra để làm lộ ra một phần của điện cực máng D bằng cách đâm xuyên qua lớp thụ động hoá thứ nhất PAS1.

Điện cực điểm ảnh PXL, mà được tạo ra trên lớp thụ động hoá thứ nhất PAS1, tiếp xúc với điện cực máng D qua lỗ tiếp xúc điểm ảnh PH. Điện cực chung COM được tạo ra trên lớp thụ động hoá thứ hai PAS2 vốn trùm lên điện cực điểm ảnh PXL, sao cho điện cực chung COM và điện cực điểm ảnh PXL chồng nhau. Điện trường vân được tạo ra giữa điện cực điểm ảnh PXL và điện cực chung COM. Ngoài ra, điện dung tích trữ được hình thành tại lớp thụ động hoá thứ hai PAS2 giữa điện cực điểm ảnh PXL và điện cực chung COM chồng nhau này. Các phân tử chất tinh thể lỏng, mà được xếp thành mảng theo chiều ngang giữa đế tranzito màng mỏng và đế bộ lọc màu,

được làm xoay do tính dị hướng điện môi của chất tinh thể lỏng mà được điều khiển bởi điện trường vân này. Theo lượng xoay của các phân tử tinh thể lỏng, tại vùng điểm ảnh, thì độ truyền sáng được thay đổi để thang màu xám có thể được tái hiện.

Tranzito màng mỏng có chất bán dẫn đa tinh thể này có các đặc tuyến mà trong đó đặc trưng dòng điện khi ngắt dễ dàng bị giảm. Để bù cho đặc trưng dòng điện khi ngắt bị giảm này, thì cần phải có tranzito màng mỏng bù.

Dưới đây, thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù sẽ được mô tả dựa vào Fig.3. Fig.3 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo giải pháp đã biết.

Đế tranzito màng mỏng có tranzito màng mỏng bù này bao gồm các vùng điểm ảnh được xác định bởi đường nối cổng GL và đường dữ liệu DL giao nhau trên đế dưới SUB. Ở mỗi vùng điểm ảnh, điện cực điểm ảnh PXL và điện cực chung COM được tạo ra để hình thành điện trường vân chồng nhau, với lớp cách ly cổng GI giữa chúng. Điện cực điểm ảnh PXL có hình chữ nhật tương ứng với vùng điểm ảnh, và điện cực chung COM có các khúc song song nhau và được xếp thành mảng.

Ít nhất một tranzito màng mỏng T1 được bố trí tại mỗi vùng điểm ảnh. Ngoài ra, tranzito màng mỏng bù T2 được bố trí để bù cho đặc trưng dòng điện khi ngắt của tranzito màng mỏng T1. Điện cực máng D1 của tranzito màng mỏng T1 tiếp xúc với điện cực nguồn S2 của tranzito màng mỏng bù T2.

Phần sau đây sẽ mô tả cấu trúc của đế tranzito màng mỏng có tranzito màng mỏng T1 và tranzito màng mỏng bù T2 được mắc nối tiếp. Trên đế SUB, các vùng điểm ảnh được xác định bởi cấu trúc giao nhau của các đường nối cổng GL chạy theo chiều ngang (chiều thứ nhất) và đường dữ liệu DL chạy theo chiều đứng (chiều thứ hai).

Điện cực cổng thứ nhất G1 của tranzito màng mỏng T1 được làm nhô ra từ đường nối cổng GL theo chiều ngược lại với vùng điểm ảnh. Điện cực nguồn thứ nhất S1 của tranzito màng mỏng T1 được làm nhô ra từ đường dữ liệu DL đến điện cực cổng thứ nhất G1. Lớp bán dẫn SE được kéo dài bắt đầu từ một phần đầu, là vùng nguồn thứ nhất SA1 mà được nối với điện cực nguồn thứ nhất S1 của tranzito màng mỏng T1, đến phần đầu còn lại, là vùng máng thứ hai DA2 mà được nối với điện cực

máng thứ hai D2 của tranzito màng mỏng bù T2. Lớp bán dẫn SE giao lần lượt với điện cực cổng thứ nhất G1 của tranzito màng mỏng T1 và điện cực cổng thứ hai G2 của tranzito màng mỏng bù T2. Điện cực máng thứ nhất D1 của tranzito màng mỏng T1 không được tạo thành từ lớp kim loại. Vùng máng thứ nhất DA1 hoạt động như điện cực máng thứ nhất D1 của tranzito màng mỏng T1. Vùng máng thứ nhất DA1 là một phần của lớp bán dẫn SE mà được kéo dài từ vùng kênh thứ nhất A1 vốn chồng với điện cực cổng thứ nhất G1, và quay mặt vào vùng nguồn thứ nhất SA1.

Điện cực cổng thứ hai G2 của tranzito màng mỏng bù T2 là một phần của đường nối cổng DL. Điện cực nguồn thứ hai S2 của tranzito màng mỏng bù T2 không được tạo thành từ lớp kim loại nêu trên. Vùng nguồn thứ hai SA2 của lớp bán dẫn SE, mà được kéo dài từ vùng máng thứ nhất DA1, hoạt động như điện cực nguồn thứ hai S2 của tranzito màng mỏng bù T2. Điện cực máng thứ hai D2 của tranzito màng mỏng bù T2 được nối với vùng máng thứ hai DA2 của lớp bán dẫn SE. Lớp bán dẫn SE giao với điện cực cổng thứ hai G2, một phần của đường nối cổng GL, và được kéo dài đến vùng điểm ảnh. Vùng kênh thứ hai A2 chồng với điện cực cổng thứ hai G2. Vùng máng thứ hai DA2 được kéo dài từ vùng kênh thứ hai A2 và quay mặt vào vùng nguồn thứ hai SA2.

Để mắc tranzito màng mỏng T1 nối tiếp vào tranzito màng mỏng bù T2, thì điện cực cổng thứ nhất G1 của tranzito màng mỏng T1 được làm nhô ra từ đường nối cổng GL đến vùng điểm ảnh lân cận nằm tại hàng kế tiếp. Lớp bán dẫn SE được kéo dài từ vùng điểm ảnh lân cận đến vùng điểm ảnh này. Lớp bán dẫn SE chồng với điện cực cổng thứ nhất G1 và sau đó là với điện cực cổng thứ hai G2, một phần của đường nối cổng GL. Điện cực máng thứ hai D2 của tranzito màng mỏng bù T2 nối với điện cực điểm ảnh PXL mà được tạo ra ở vùng điểm ảnh này.

Điện cực điểm ảnh PXL chồng với điện cực chung COM mà có lớp thụ động hoá PAS giữa chúng, trong cấu trúc mặt cắt ngang. Điện cực chung COM được nối với đường chung mà song song với đường nối cổng GL. Điện áp chung (hay điện áp mức thấp), để điều vận tinh thể lỏng, được cấp vào điện cực chung COM qua đường chung CL. Điện trường vân ngang được hình thành giữa điện cực điểm ảnh PXL và điện cực chung COM. Ngoài ra, điện dung tích trữ được hình thành tại vùng chồng nhau giữa điện cực điểm ảnh PXL và điện cực chung COM. Các phân tử tinh thể lỏng, mà được

xếp thành mảng theo chiều phẳng giữa đế tranzito màng mỏng và đế bộ lọc màu, được làm xoay nhờ tính dị hướng điện môi mà được điều khiển bởi điện trường vân ngang này. Theo lượng xoay của các phân tử tinh thể lỏng, thì lượng truyền sáng, tức độ sáng, được thay đổi để tái hiện thang màu xám.

Đối với thiết bị hiển thị tinh thể lỏng có độ phân giải nhỏ hơn hoặc bằng 300 PPI (hay Pixel Per Inch - điểm ảnh trên mỗi incho), thì vùng điểm ảnh có kích thước tương đối lớn, nên tỷ số kích thước giữa tranzito màng mỏng T1 và tranzito màng mỏng bù T2 là không quá cao. Ngoài ra, thiết bị hiển thị tinh thể lỏng kiểu trường vân sẽ tạo thành điện dung tích trữ tại vùng chồng nhau giữa điện cực điểm ảnh PXL và điện cực chung COM, nên cũng không cần thêm diện tích. Do đó, tỷ số lỗ mở không bị giảm do kích thước của tranzito màng mỏng bù.

Cấu trúc trên Fig.3 được áp dụng cho thiết bị hiển thị tinh thể lỏng có độ phân giải nhỏ hơn hoặc bằng 300 PPI. Điện cực cổng thứ hai G2 của tranzito màng mỏng bù T2 được tạo ra tại một phần của đường nối cổng GL. Tỷ lệ diện tích của tranzito màng mỏng T1 và tranzito màng mỏng bù T2 so với vùng điểm ảnh sẽ được giữ ở giá trị đủ thấp để bảo đảm tỷ số lỗ mở mong muốn. Tuy nhiên, đối với thiết bị hiển thị tinh thể lỏng có độ phân giải lớn hơn hoặc bằng 300 PPI, thì sẽ khó bảo đảm được các tỷ số lỗ mở và/hoặc độ sáng tối đa đủ lớn.

Đối với thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải trên 300 PPI (thậm chí là trên 500 PPI), thì kích thước của vùng điểm ảnh bị giảm đáng kể so với thiết bị hiển thị tinh thể lỏng có độ phân giải nhỏ hơn hoặc bằng 300 PPI. Tuy nhiên, kích thước của các tranzito màng mỏng T1 và T2 lại không được giảm để giữ được các đặc tuyến thích hợp. Tức là, đối với thiết bị hiển thị tinh thể lỏng mật độ siêu cao, thì tỷ lệ diện tích của tranzito màng mỏng so với vùng điểm ảnh bị tăng lên đáng kể. Các vùng dành cho các tranzito màng mỏng T1 và T2 là các vùng không có lỗ mở, nên các vùng này là nguyên nhân chính của sự giảm tỷ số lỗ mở. Cần phải có cấu trúc mới để làm tăng tỷ số lỗ mở cho thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải trên 500 PPI.

Bản chất kỹ thuật của sáng chế

Để khắc phục các nhược điểm nêu trên, thì mục đích của sáng chế là đề xuất thiết

bị hiển thị tinh thể lỏng có tranzito màng mỏng bù để bù cho đặc trưng dòng điện khi ngắt của tranzito màng mỏng mà có chất bán dẫn đa tinh thể. Cụ thể là, mục đích khác của sáng chế là đề xuất thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải trên 500 PPI, và có tỷ số lỗ mở cao mà có chất bán dẫn đa tinh thể.

Để thực hiện mục đích nêu trên, theo một phương án, sáng chế đề xuất thiết bị hiển thị tinh thể lỏng mật độ siêu cao, thiết bị này bao gồm: đường nối cổng trên đế; lớp cách ly cổng thứ nhất trên đường nối cổng này; lớp bán dẫn thứ nhất giao với đường nối cổng trên lớp cách ly cổng thứ nhất này; lớp cách ly cổng thứ hai trên lớp bán dẫn thứ nhất này; lớp bán dẫn thứ hai giao với đường nối cổng trên lớp cách ly cổng thứ hai này; lớp cách ly trung gian trên lớp bán dẫn thứ hai này; đường dữ liệu được nối với lớp bán dẫn thứ nhất trên lớp cách ly trung gian này; và điện cực máng được nối với lớp bán dẫn thứ hai trên lớp cách ly trung gian này.

Theo một số phương án, thiết bị hiển thị tinh thể lỏng này còn bao gồm: lớp phẳng trên đường dữ liệu và điện cực máng; điện cực chung trên lớp phẳng này; lớp thụ động hoá trên điện cực chung này; và điện cực điểm ảnh được nối với điện cực máng trên lớp thụ động hoá này.

Theo một số phương án, lớp bán dẫn thứ nhất bao gồm: vùng nguồn thứ nhất được nối với đường dữ liệu; vùng kênh thứ nhất chồng với đường nối cổng; và vùng máng thứ nhất quay mặt vào vùng nguồn thứ nhất qua vùng kênh thứ nhất.

Theo một số phương án, lớp bán dẫn thứ hai bao gồm: vùng nguồn thứ hai được nối với vùng máng thứ nhất; vùng kênh thứ hai chồng với đường nối cổng; và vùng máng thứ hai quay mặt vào vùng nguồn thứ hai qua vùng kênh thứ hai.

Theo một số phương án, lớp bán dẫn thứ nhất có dạng khúc thứ nhất song song và chồng với đường dữ liệu; và lớp bán dẫn thứ hai có dạng khúc thứ hai chồng với lớp bán dẫn thứ nhất.

Theo một số phương án, điện cực máng có hình chữ 'L' chồng với đường dữ liệu và đường nối cổng.

Theo một số phương án, lớp bán dẫn thứ nhất có dạng khúc thứ nhất song song và chồng với đường dữ liệu; và lớp bán dẫn thứ hai có dạng khúc thứ hai đi vòng quanh lớp bán dẫn thứ nhất.

Theo một số phương án, đầu này của lớp bán dẫn thứ nhất được nối với đầu kia

của lớp bán dẫn thứ hai để tạo thành hình chữ ‘V’.

Theo một số phương án, điện cực máng có hình chữ nhật và được kéo dài từ vùng máng thứ hai đến đường nối cổng.

Theo phương án khác, sáng chế đề xuất thiết bị hiển thị tinh thể lỏng, thiết bị này bao gồm: lớp bán dẫn thứ nhất trên đế; lớp cách ly trên lớp bán dẫn thứ nhất này; lớp bán dẫn thứ hai trên lớp cách ly này; điện cực cổng chồng với các phần tâm của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai; điện cực nguồn được nối với vùng thứ nhất của lớp bán dẫn thứ nhất; và điện cực máng được nối với vùng thứ hai của lớp bán dẫn thứ hai, trong đó vùng thứ hai của lớp bán dẫn thứ nhất được nối với vùng thứ nhất của lớp bán dẫn thứ hai.

Theo một số phương án, thiết bị hiển thị tinh thể lỏng này còn bao gồm: lớp cách ly cổng bên dưới lớp bán dẫn thứ nhất; và lớp cách ly trung gian trên lớp bán dẫn thứ hai, trong đó điện cực cổng được bố trí bên dưới lớp cách ly cổng, và trong đó điện cực nguồn và điện cực máng được bố trí trên lớp cách ly trung gian.

Theo một số phương án, lớp cách ly bao gồm lớp cách ly thứ nhất và lớp cách ly thứ hai được xếp chồng tuần tự lên nhau; điện cực cổng được bố trí giữa lớp cách ly thứ nhất và lớp cách ly thứ hai; và điện cực nguồn và điện cực máng được bố trí trên lớp cách ly trung gian.

Theo một số phương án, thiết bị hiển thị tinh thể lỏng này còn bao gồm lớp cách ly trung gian trên lớp bán dẫn thứ hai, và lớp cách ly trung gian này bao gồm lớp cách ly thứ nhất và lớp cách ly thứ hai được xếp chồng tuần tự lên nhau; điện cực cổng được bố trí giữa lớp cách ly thứ nhất và lớp cách ly thứ hai; và điện cực nguồn và điện cực máng được bố trí trên lớp cách ly thứ hai.

Theo một số phương án, thiết bị hiển thị tinh thể lỏng này còn bao gồm: lớp phẳng trên điện cực nguồn và điện cực máng; điện cực chung trên lớp phẳng này; lớp thụ động hoá trên điện cực chung này; và điện cực điểm ảnh được nối với điện cực máng trên lớp thụ động hoá này. Theo phương án khác, điện cực cổng có thể được xác định bởi phần của đường nối cổng mà chồng với các phần tâm của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai.

Để tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng theo sáng chế bao gồm tranzito màng mỏng bù tại mỗi vùng điểm ảnh để bù cho đặc trưng dòng điện khi

ngắt của chất bán dẫn đa tinh thể, để có thể thu được chất lượng hình ảnh video tốt hơn. Thiết bị hiển thị tinh thể lỏng theo sáng chế có cấu trúc để giảm thiểu sự giảm tỷ số lỗ mở mà có thể bị gây ra khi có bao gồm tranzito màng mỏng bù ở mỗi vùng điểm ảnh. Do đó, sáng chế có ưu điểm là bảo đảm được tỷ số lỗ mở cao cho thiết bị hiển thị tinh thể lỏng mật độ siêu cao mà có độ phân giải trên 300 PPI hoặc trên 500 PPI.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, vốn để cho phép hiểu thêm về sáng chế và được kết hợp và cấu thành một phần của bản mô tả này, thể hiện các phương án thực hiện sáng chế, và cùng với phần mô tả, có chức năng giải thích các nguyên lý của sáng chế.

Fig.1 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng mà được bao gồm trong thiết bị hiển thị tinh thể lỏng kiểu trường vân theo giải pháp đã biết.

Fig.2 là hình vẽ thể hiện mặt cắt của cấu trúc đế tranzito màng mỏng trên Fig.1 khi cắt theo đường I-I' theo giải pháp đã biết này.

Fig.3 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo giải pháp đã biết.

Fig.4 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ nhất của sáng chế.

Fig.5 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.4 khi cắt theo đường cắt II-II'.

Fig.6 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ hai của sáng chế.

Fig.7 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.6 khi cắt theo đường cắt III-III'.

Fig.8 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ ba của sáng chế.

Fig.9 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.8 khi cắt theo đường cắt IV-IV'.

Fig.10 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ tư của sáng chế.

Fig.11 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ năm của sáng chế.

Mô tả chi tiết các phương án thực hiện sáng chế

Các phương án ưu tiên của sáng chế sẽ được mô tả dựa vào các hình vẽ kèm theo. Các số chỉ dẫn giống nhau được dùng để chỉ các phần tử giống nhau trong suốt phần mô tả chi tiết này. Tuy nhiên, sáng chế không bị giới hạn ở các phương án này, mà có thể có những phương án thay đổi hoặc những phương án cải biến khác nhau mà không làm thay đổi nguyên lý kỹ thuật của sáng chế. Ở các phương án sau đây, tên gọi của các phần tử được chọn để tạo thuận lợi cho việc mô tả, và có thể khác với tên gọi thực tế.

<Phương án thực hiện thứ nhất>

Sau đây, phương án thứ nhất của sáng chế sẽ được mô tả dựa vào Fig.4 và Fig.5. Fig.4 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ nhất của sáng chế. Fig.5 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.4 khi cắt theo đường cắt II-II'. Fig.4 và Fig.5 là các hình vẽ thể hiện đế tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng mật độ siêu cao trên 400 PPI có tranzito màng mỏng bù.

Đế tranzito màng mỏng theo phương án thứ nhất này của sáng chế bao gồm các vùng điểm ảnh, trên đế SUB, và được xác định bởi đường nối cổng GL và đường dữ liệu DL giao nhau, với lớp cách ly trung gian IN giữa chúng. Mỗi vùng điểm ảnh đều bao gồm điện cực điểm ảnh PXL và điện cực chung COM chồng nhau, với lớp thụ động hoá thứ hai PAS2 giữa chúng để hình thành điện trường vân. Điện cực chung COM có thể được tạo ra sao cho bao trùm lên phần lớn vùng điểm ảnh, và điện cực điểm ảnh PXL có thể được tạo ra sao cho bao gồm các khúc (hay các ngón tay) song song nhau và được xếp thành mảng. Đối với đế tranzito màng mỏng mật độ cao là 400

PPI, thì kích thước điểm ảnh là nhỏ nên điện cực điểm ảnh có thể có hai hoặc ba khúc.

Mỗi vùng điểm ảnh đều có một tranzito màng mỏng điều vận T1. Ngoài ra, vùng điểm ảnh này bao gồm một tranzito màng mỏng bù T2 để bù cho đặc trưng dòng điện khi ngắt của tranzito màng mỏng điều vận T1. Điện cực máng của tranzito màng mỏng điều vận T1 được nối với điện cực nguồn của tranzito màng mỏng bù T2.

Mối nối nối tiếp của tranzito màng mỏng điều vận T1 và tranzito màng mỏng bù T2 sẽ được mô tả. Trên đế SUB, các vùng điểm ảnh được xác định bởi cấu trúc giao nhau của các đường nối cổng GL chạy theo chiều ngang và đường dữ liệu DL chạy theo chiều đứng.

Theo phương án thứ nhất, để tăng tỷ lệ diện tích của vùng lỗ mở so với vùng điểm ảnh, thì điện cực cổng không được tạo ra dưới dạng nhô ra từ đường nối cổng, mà được tạo ra bằng một phần của chính đường nối cổng. Tức là, tranzito màng mỏng được tạo ra bằng cách chồng lớp bán dẫn SE với một phần của đường nối cổng.

Ví dụ, lớp bán dẫn SE có khúc thứ nhất giao với đường nối cổng GL và chồng song song với đường dữ liệu DL. Đầu bắt đầu của lớp bán dẫn SE tiếp xúc với đường dữ liệu DL. Sau đó, phần chồng nhau của khúc thứ nhất của lớp bán dẫn SE với đường nối cổng GL được xác định là vùng kênh thứ nhất A1 của tranzito màng mỏng điều vận T1. Lớp bán dẫn SE có khúc thứ hai uốn từ đầu kết thúc của khúc thứ nhất đến vùng điểm ảnh của hàng kế tiếp và song song với đường nối cổng GL. Lớp bán dẫn SE có khúc thứ ba uốn từ đầu kết thúc của khúc thứ hai đến vùng điểm ảnh này khi giao với đường nối cổng GL và lại song song với đường dữ liệu DL. Sau đó, phần chồng nhau của khúc thứ ba của lớp bán dẫn SE với đường nối cổng GL được xác định là vùng kênh thứ hai A2 của tranzito màng mỏng bù T2.

Cụ thể là, lớp bán dẫn SE được tạo ra trên đế SUB. Lớp bán dẫn SE bao gồm khúc thẳng đứng thứ nhất VS1 được bố trí chồng với một phần của đường dữ liệu DL. Khúc thẳng đứng thứ nhất VS1 giao với đường nối cổng GL khi bắt đầu từ vùng điểm ảnh của hàng trên đến vùng điểm ảnh của hàng dưới qua đường nối cổng GL này. Lớp bán dẫn SE còn bao gồm khúc nằm ngang HS kéo dài từ khúc thẳng đứng thứ nhất VS1 đến vùng điểm ảnh của hàng dưới. Lớp bán dẫn SE còn bao gồm khúc thẳng đứng thứ hai VS2 được nối với khúc nằm ngang khi kéo dài từ vùng điểm ảnh của hàng dưới đến vùng điểm ảnh của hàng trên qua đường nối cổng GL. Khúc thẳng

đứng thứ hai VS2 giao với đường nối cổng GL.

Trên đế SUB đã có lớp bán dẫn SE, thì lớp cách ly cổng GI và đường nối cổng GL được tạo ra bằng cách lắng tuần tự chất cách ly cổng và chất kim loại cổng rồi sau đó tạo mẫu cho chúng. Đường nối cổng GL có hai phần chồng nhau với lớp bán dẫn SE trên mỗi vùng điểm ảnh. Hai phần chồng nhau này của đường nối cổng GL với lớp bán dẫn SE được xác định lần lượt làm điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2. Cụ thể là, phần chồng nhau của đường nối cổng GL với khúc thẳng đứng thứ nhất VS1 của lớp bán dẫn SE được xác định là điện cực cổng thứ nhất G1 của tranzito màng mỏng điều vận T1. Phần chồng nhau của đường nối cổng GL với khúc thẳng đứng thứ hai VS2 của lớp bán dẫn SE được xác định là điện cực cổng thứ hai G2 của tranzito màng mỏng bù T2.

Lớp bán dẫn SE có thể được chia thành hai vùng; một vùng được bao trùm bởi (hoặc chồng với) lớp cách ly cổng GI và đường nối cổng GL, vùng còn lại thì được để lộ ra. Vùng được để lộ ra mà không được bao trùm lên bởi đường nối cổng GL là được làm dẫn điện bằng cách pha tạp hoặc tiêm các tạp chất. Kết quả là, các vùng của lớp bán dẫn SE mà được bao trùm lên bởi đường nối cổng GL được xác định là các vùng kênh A1 và A2. Cụ thể là, phần chồng nhau của lớp bán dẫn SE với điện cực cổng thứ nhất G1 được xác định là vùng kênh thứ nhất A1 của tranzito màng mỏng điều vận T1. Phần chồng nhau của lớp bán dẫn SE với điện cực cổng thứ hai G2 được xác định là vùng kênh thứ hai A2 của tranzito màng mỏng bù T2.

Lớp cách ly trung gian IN được lắng lên toàn bộ bề mặt của đế SUB mà đã có đường nối cổng GL mà có các điện cực cổng G1 và G2. Các vùng được làm dẫn điện (không được bao trùm lên bởi đường nối cổng GL) của lớp bán dẫn SE được xác định là các vùng nguồn và các vùng máng. Cụ thể là, phần bắt đầu của khúc thẳng đứng thứ nhất VS1 mà nằm ở phía trên từ vùng kênh thứ nhất A1 thì được xác định là vùng nguồn thứ nhất SA1 của tranzito màng mỏng điều vận T1. Phần kết thúc của khúc thẳng đứng thứ nhất VS1 mà nằm ở phía dưới từ vùng kênh thứ nhất A1 thì được xác định là vùng máng thứ nhất DA1 của tranzito màng mỏng điều vận T1. Phần bắt đầu của khúc thẳng đứng thứ hai VS2 mà nằm ở phía dưới từ vùng kênh thứ hai A2 thì được xác định là vùng nguồn thứ hai SA2 của tranzito màng mỏng bù T2. Phần kết thúc của khúc thẳng đứng thứ hai VS2 mà nằm ở phía trên từ vùng kênh thứ hai A2 thì

được xác định là vùng máng thứ hai DA2 của tranzito màng mỏng bù T2. Khúc nằm ngang HS bao gồm, như một thân, vùng máng thứ nhất DA1 của tranzito màng mỏng điều vận T1 và vùng nguồn thứ hai SA2 của tranzito màng mỏng bù T2.

Lớp cách ly trung gian IN có lỗ tiếp xúc nguồn SH để lộ ra một phần của vùng nguồn thứ nhất SA1 của tranzito màng mỏng điều vận T1 và lỗ tiếp xúc máng DH để lộ ra một phần của vùng máng thứ hai DA2 của tranzito màng mỏng bù T2. Trên lớp cách ly trung gian IN, đường dữ liệu DL, được làm từ chất kim loại nguồn-máng, được bố trí giao với đường nối cổng GL. Để giảm diện tích của vùng không có lỗ mở, thì các điện cực nguồn không được tạo ra một cách riêng biệt, mà một phần của đường dữ liệu DL được dùng làm các điện cực nguồn. Cụ thể là, phần tiếp xúc của đường dữ liệu DL với khúc thẳng đứng thứ nhất VS1 của lớp bán dẫn SE qua lỗ tiếp xúc nguồn SH là điện cực nguồn S1 của tranzito màng mỏng điều vận T1. Ngược lại, điện cực máng D2 được tạo ra một cách riêng biệt để tiếp xúc với vùng máng thứ hai DA2 của tranzito màng mỏng bù T2 qua lỗ tiếp xúc máng DH. Điện cực máng D2 được bố trí ở phần dưới của vùng điểm ảnh.

Lớp thụ động hoá thứ nhất PAS1 được lắng lên toàn bộ bề mặt của đế SUB sao cho trùm lên tranzito màng mỏng điều vận T1 và tranzito màng mỏng bù T2. Điện cực chung COM được tạo ra trên lớp thụ động hoá thứ nhất PAS1 sao cho trùm lên toàn bộ bề mặt của đế SUB. Tốt hơn nếu điện cực chung COM bao trùm lên phần lớn bề mặt của đế SUB để giảm thiểu điện trở bề mặt của điện cực chung COM và để cách điện các tranzito màng mỏng T1 và T2 và các đường dây. Tốt hơn nữa nếu điện cực chung COM bao trùm phần lớn bề mặt của đế SUB ngoại trừ lỗ tiếp xúc điểm ảnh PH vốn để nối điện cực máng D2 của tranzito màng mỏng bù T2 với điện cực điểm ảnh PXL mà được bố trí bên trên điện cực chung COM.

Lớp thụ động hoá thứ hai PAS2 được lắng lên điện cực chung COM sao cho trùm lên toàn bộ bề mặt của đế SUB. Bằng cách tạo mẫu cho lớp thụ động hoá thứ hai PAS2 và lớp thụ động hoá thứ nhất PAS1, thì tạo ra được lỗ tiếp xúc điểm ảnh PH để làm lộ ra một phần của điện cực máng D2 của tranzito màng mỏng bù T2. Tốt hơn nếu lỗ tiếp xúc điểm ảnh PH nằm cách khỏi lỗ tiếp xúc máng DH một khoảng cách định trước. Điện cực điểm ảnh PXL, mà nối với điện cực máng D2 qua lỗ tiếp xúc điểm ảnh PH, được bố trí trên lớp thụ động hoá thứ hai PAS2. Để tạo thành điện trường vận

giữa điện cực chung COM và điện cực điểm ảnh PXL, thì tốt hơn nếu điện cực điểm ảnh PXL bao gồm nhiều khúc.

Để tranzito màng mỏng theo phương án thứ nhất áp dụng được cho thiết bị hiển thị tinh thể lỏng mật độ cao có độ phân giải từ 300 PPI đến 400 PPI. Để đạt tới độ phân giải khoảng 400 PPI, thì vùng điểm ảnh sẽ nhỏ đáng kể. Ví dụ, số lượng khúc cho điện cực điểm ảnh PXL sẽ là 2 hoặc 3 khúc.

Cấu trúc của đế tranzito màng mỏng theo phương án thứ nhất này áp dụng được cho thiết bị hiển thị tinh thể lỏng mật độ cao bằng cách giảm tỷ số của vùng không hiển thị so với vùng điểm ảnh. Tuy nhiên, cũng có hạn chế nếu áp dụng cấu trúc theo phương án thứ nhất cho thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải lớn hơn hoặc bằng 500 PPI và có tranzito màng mỏng bù được mắc nối tiếp với tranzito màng mỏng điều vận. Tức là, cần phải có cấu trúc mới mà phù hợp cho thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải 500 PPI đến 800 PPI. Phần dưới đây sẽ mô tả đế tranzito màng mỏng mà trong đó tỷ lệ vùng không có lỗ mở của vùng điểm ảnh được giảm thiểu để tạo ra thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải 500 PPI đến 800 PPI.

<Phương án thực hiện thứ hai>

Sau đây, phương án thứ hai của sáng chế sẽ được mô tả dựa vào Fig.6 và Fig.7. Fig.6 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ hai của sáng chế. Fig.7 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.6 khi cắt theo đường cắt III-III'.

Như được thể hiện trên Fig.6, đế tranzito màng mỏng theo phương án thứ hai của sáng chế bao gồm đường nối cổng GL và đường dữ liệu DL được bố trí trên đế SUB. Đường nối cổng GL chạy theo chiều ngang (chiều thứ nhất) trên đế SUB. Đường dữ liệu DL chạy theo chiều đứng (chiều thứ hai) trên đế SUB.

Các vùng điểm ảnh được xác định theo kiểu ma trận bởi cấu trúc giao nhau của các đường dữ liệu DL và các đường nối cổng GL. Mỗi vùng điểm ảnh đều bao gồm tranzito màng mỏng thứ nhất T1, tranzito màng mỏng thứ hai T2 và điện cực điểm ảnh PXL. Ở đây, một trong số tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 là tranzito màng mỏng điều vận để điều vận điện cực điểm ảnh PXL, và

tranzito còn lại là tranzito màng mỏng bù để bù cho tranzito màng mỏng điều vận.

Tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 được bố trí dọc theo đường dữ liệu DL mà ở đó đường nối cổng GL giao với đường dữ liệu DL. Cụ thể là, tranzito màng mỏng thứ nhất T1 bao gồm lớp bán dẫn thứ nhất SE1 có dạng khúc giao với đường nối cổng GL. Tranzito màng mỏng thứ hai T2 bao gồm lớp bán dẫn thứ hai SE2 có dạng khúc giao với đường nối cổng GL. Lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2 chồng nhau.

Cụ thể hơn, lớp bán dẫn thứ nhất SE1 có khúc thẳng đứng chồng và song song với đường dữ liệu DL. Lớp bán dẫn thứ nhất SE1 có khúc bắt đầu từ vị trí trên của đường nối cổng GL, giao với đường nối cổng GL, và kết thúc tại vị trí dưới của đường nối cổng GL. Đầu bắt đầu mà nằm phía trên từ đường nối cổng GL là được nối với đường dữ liệu DL.

Phần chồng nhau giữa lớp bán dẫn thứ nhất SE1 với đường nối cổng GL được xác định là vùng kênh thứ nhất A1. Phần chồng nhau giữa đường nối cổng GL với vùng kênh thứ nhất A1 được xác định là điện cực cổng thứ nhất G1. Phần trên của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1 đến vùng bên trên của đường nối cổng GL, được xác định là vùng nguồn thứ nhất SA1. Phần của đường dữ liệu DL mà tiếp xúc với vùng nguồn thứ nhất SA1 thì được xác định là điện cực nguồn S. Tức là, điện cực nguồn S không được làm nhô ra từ đường dữ liệu DL, mà một phần của đường dữ liệu DL hoạt động như điện cực nguồn S. Phần dưới của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1 đến vùng bên dưới của đường nối cổng GL, được xác định là vùng máng thứ nhất DA1. Tranzito màng mỏng thứ nhất T1 bao gồm điện cực nguồn S, vùng nguồn thứ nhất SA1, vùng kênh thứ nhất A1, điện cực cổng thứ nhất G1 và vùng máng thứ nhất DA1.

Lớp bán dẫn thứ hai SE2 cũng có khúc thẳng đứng chồng và song song với đường dữ liệu DL. Lớp bán dẫn thứ hai SE2 này có khúc bắt đầu từ vị trí dưới của đường nối cổng GL, giao với đường nối cổng GL, và kết thúc tại vị trí trên của đường nối cổng GL.

Vùng chồng nhau của lớp bán dẫn thứ hai SE2 với đường nối cổng GL được xác định là vùng kênh thứ hai A2. Vùng chồng nhau của đường nối cổng GL với vùng kênh thứ hai A2 được xác định là điện cực cổng thứ hai G2. Vùng kéo dài của lớp bán

dẫn thứ hai SE2 từ vùng kênh thứ hai A2 đến vùng bên dưới của đường nối cổng GL được xác định là vùng nguồn thứ hai SA2. Vùng kéo dài của lớp bán dẫn thứ hai SE2 từ vùng kênh thứ hai A2 đến vùng bên trên của đường nối cổng GL được xác định là vùng máng thứ hai DA2. Điện cực máng D được nối với vùng máng thứ hai DA2. Tranzito màng mỏng thứ hai T2 bao gồm vùng nguồn thứ hai SA2, vùng kênh thứ hai A2, điện cực cổng thứ hai G2, vùng máng thứ hai DA2 và điện cực máng D.

Điện cực máng D có thể có hình chữ 'L' khi chồng với đường dữ liệu DL và đường nối cổng GL. Do điện cực máng D chồng với đường dữ liệu DL và đường nối cổng GL, nên có thể bảo đảm rằng vùng lỗ mở sẽ có tỷ lệ diện tích lớn nhất ở vùng điểm ảnh.

Điện cực máng D và điện cực điểm ảnh PXL được bố trí tại vùng điểm ảnh. Ví dụ, điện cực điểm ảnh PXL có thể bao gồm nhiều khúc được bố trí song song nhau. Tuy không được thể hiện trên hình chiếu bằng, nhưng điện cực chung được lắng lên đế SUB để trùm lên phần lớn bề mặt của đế SUB. Trong trường hợp đó, điện cực chung COM có thể được bố trí bên dưới vùng điểm ảnh PXL. Hoặc, điện cực chung COM có thể bao gồm nhiều khúc được bố trí song song nhau. Trong trường hợp này, điện cực điểm ảnh PXL có thể được bố trí bên dưới điện cực chung COM và có hình chữ nhật tương ứng với vùng điểm ảnh.

Cấu trúc mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng theo phương án thứ hai của sáng chế sẽ được mô tả dựa vào Fig.7. Điện cực cổng thứ nhất G1 được bố trí trên đế SUB. Điện cực cổng thứ nhất G1 không được làm nhô ra từ đường nối cổng GL, mà một phần của đường nối cổng GL chính là điện cực cổng thứ nhất G1. Điện cực cổng thứ nhất G1 cũng được dùng làm điện cực cổng thứ hai G2. Tức là, điện cực cổng thứ nhất G1 và điện cực cổng thứ hai được xác định từ cùng một phần của đường nối cổng GL.

Lớp cách ly cổng thứ nhất GI1 được lắng lên điện cực cổng thứ nhất G1 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp bán dẫn thứ nhất SE1 được bố trí trên lớp cách ly cổng thứ nhất GI1 này. Lớp bán dẫn thứ nhất SE1 có dạng khúc giao với điện cực cổng thứ nhất G1. Phần chồng nhau của lớp bán dẫn thứ nhất SE1 với điện cực cổng thứ nhất G1 được xác định là vùng kênh thứ nhất A1. Một phần sườn mà kéo dài từ vùng kênh thứ nhất A1 được xác định là vùng nguồn thứ nhất SA1, và phần sườn

còn lại mà kéo dài từ vùng kênh thứ nhất A1 này được xác định là vùng máng thứ nhất DA1.

Lớp cách ly cổng thứ hai GI2 được lắng lên lớp bán dẫn thứ nhất SE1 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp cách ly cổng thứ hai GI2 có lỗ tiếp xúc nguồn-máng SDH để để lộ ra một phần của vùng máng thứ nhất DA1. Lớp bán dẫn thứ hai SE2 được bố trí trên lớp cách ly cổng thứ hai GI2. Lớp bán dẫn thứ hai SE2 có dạng khúc giao với điện cực cổng thứ hai G2. Ở đây, điện cực cổng thứ hai G2 cũng là điện cực cổng thứ nhất G1.

Tức là, cùng một điện cực cổng có vai trò như phần tử cổng cho lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2. Phần chồng nhau của lớp bán dẫn thứ hai SE2 với điện cực cổng thứ hai G2 được xác định là vùng kênh thứ hai A2. Một phần sườn mà kéo dài từ vùng kênh thứ hai A2 được xác định là vùng nguồn thứ hai SA2, và phần sườn còn lại mà kéo dài từ vùng kênh thứ hai A2 này được xác định là vùng máng thứ hai DA2. Vùng nguồn thứ hai SA2 tiếp xúc với vùng máng thứ nhất DA1 qua lỗ tiếp xúc nguồn-máng SDH.

Lớp cách ly trung gian IN được lắng lên lớp bán dẫn thứ hai SE2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp cách ly trung gian IN này có lỗ tiếp xúc máng DH để làm lộ ra một phần của vùng máng thứ hai DA2. Ngoài ra, lỗ tiếp xúc nguồn SH được tạo ra bằng cách đâm xuyên qua lớp cách ly trung gian IN và lớp cách ly cổng thứ hai GI2, để làm lộ ra một phần của vùng nguồn thứ nhất SA1.

Đường dữ liệu DL và điện cực máng D được tạo ra trên lớp cách ly trung gian IN. Đường dữ liệu DL tiếp xúc với vùng nguồn thứ nhất SA1 qua lỗ tiếp xúc nguồn SH. Phần tiếp xúc của đường dữ liệu DL với vùng nguồn thứ nhất SA1 được xác định là điện cực nguồn S. Điện cực máng D tiếp xúc với vùng máng thứ hai DA2 qua lỗ tiếp xúc máng DH. Tức là, tranzito màng mỏng thứ nhất T1 được mắc nối tiếp với tranzito màng mỏng thứ hai T2. Ngoài ra, do tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 chồng nhau theo chiều đứng, với lớp cách ly cổng thứ hai GI2 giữa chúng trên mặt cắt ngang, nên chúng được bố trí trong cùng một vùng trên hình chiếu bằng.

Lớp phẳng PAC được lắng lên đường dữ liệu DL và điện cực máng D sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp phẳng PAC này có thể có chất hữu cơ. Hoặc,

lớp phẳng PAC này có thể bao gồm lớp vô cơ có chất vô cơ và lớp hữu cơ có chất hữu cơ được xếp chồng tuần tự lên nhau. Lỗ tiếp xúc điểm ảnh PH, để làm lộ ra một phần của điện cực máng D, được tạo ra tại lớp phẳng PAC.

Điện cực chung COM được tạo ra trên lớp phẳng PAC này. Điện cực chung COM có thể có dạng tấm tròn lên phần lớn bề mặt của đế SUB ngoại trừ lỗ tiếp xúc điểm ảnh PH. Lớp thụ động hoá PAS được lắng lên điện cực chung COM sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp thụ động hoá này có lỗ tiếp xúc điểm ảnh PH. Tức là, lỗ tiếp xúc điểm ảnh PH được tạo ra bằng cách đâm xuyên qua lớp phẳng PAC và lớp thụ động hoá PAS tại cùng một vị trí.

Điện cực điểm ảnh PXL được tạo ra trên lớp thụ động hoá PAS này. Điện cực điểm ảnh PXL tiếp xúc với điện cực máng D qua lỗ tiếp xúc điểm ảnh PH. Điện cực điểm ảnh PXL có nhiều khúc chồng với điện cực chung COM trong vùng điểm ảnh. Điện trường vẫn được hình thành giữa điện cực điểm ảnh PXL và điện cực chung COM để điều vận chất tinh thể lỏng.

Đế tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng theo phương án thứ hai này bao gồm hai tranzito màng mỏng. Do có tranzito màng mỏng để điều vận điện cực điểm ảnh, và tranzito màng mỏng bù để bù cho các phần tử, nên có thể đạt được hiệu suất vượt trội. Do xếp chồng hai tranzito màng mỏng này theo chiều đứng, nên diện tích dành cho các tranzito màng mỏng này có thể được giảm thiểu trong vùng điểm ảnh. Ngoài ra, các tranzito màng mỏng này được bố trí chồng với đường dữ liệu, nên diện tích dành cho tranzito màng mỏng có thể được giảm thiểu trong vùng điểm ảnh. Do đó, tỷ số lỗ mở có thể được tối đa hoá. Đặc biệt là, đối với thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải khoảng 800 PPI, thì diện tích vùng điểm ảnh là cực kỳ nhỏ. Nếu các tranzito màng mỏng được bố trí trong vùng điểm ảnh cực kỳ nhỏ đó, thì tỷ số lỗ mở sẽ thấp. Tuy nhiên, theo phương án thứ hai này, do các tranzito màng mỏng được bố trí chồng với đường dữ liệu, nên tỷ số lỗ mở có thể đạt giá trị tối đa.

<Phương án thứ ba>

Sau đây, phương án thứ ba của sáng chế sẽ được mô tả dựa vào Fig.8 và Fig.9. Fig.8 là hình vẽ thể hiện hình chiếu bằng của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ ba của sáng chế.

Fig.9 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị trên Fig.8 khi cắt theo đường cắt IV-IV’.

Như được thể hiện trên Fig.8, đế tranzito màng mỏng theo phương án thứ ba này bao gồm đường nối cổng GL và đường dữ liệu DL được bố trí trên đế SUB. Đường nối cổng GL chạy theo chiều ngang (chiều thứ nhất) trên đế SUB. Đường dữ liệu DL chạy theo chiều đứng (chiều thứ hai) trên đế SUB.

Các vùng điểm ảnh được xác định theo kiểu ma trận bởi cấu trúc giao nhau của các đường dữ liệu DL và các đường nối cổng GL. Mỗi vùng điểm ảnh đều bao gồm tranzito màng mỏng thứ nhất T1, tranzito màng mỏng thứ hai T2 và điện cực điểm ảnh PXL. Ở đây, một trong số tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 là tranzito màng mỏng điều vận để điều vận điện cực điểm ảnh PXL, và tranzito còn lại là tranzito màng mỏng bù để bù cho tranzito màng mỏng điều vận.

Tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 được bố trí dọc theo đường dữ liệu DL mà ở đó đường nối cổng GL giao với đường dữ liệu DL. Cụ thể là, tranzito màng mỏng thứ nhất T1 bao gồm lớp bán dẫn thứ nhất SE1 có dạng khúc giao với đường nối cổng GL. Tranzito màng mỏng thứ hai T2 bao gồm lớp bán dẫn thứ hai SE2 có dạng khúc giao với đường nối cổng GL. Lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2 có thể tạo thành hình chữ ‘V’ do không chồng h lẫn lên nhau.

Cụ thể hơn, lớp bán dẫn thứ nhất SE1 có khúc thẳng đứng chồng và song song với đường dữ liệu DL. Lớp bán dẫn thứ nhất SE1 có khúc bắt đầu từ vị trí trên của đường nối cổng GL, giao với đường nối cổng GL, và kết thúc tại vị trí dưới của đường nối cổng GL. Đầu bắt đầu mà nằm phía trên từ đường nối cổng GL là được nối với đường dữ liệu DL.

Phần chồng nhau giữa lớp bán dẫn thứ nhất SE1 với đường nối cổng GL được xác định là vùng kênh thứ nhất A1. Phần chồng nhau giữa đường nối cổng GL với vùng kênh thứ nhất A1 được xác định là điện cực cổng thứ nhất G1. Phần trên của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1 đến vùng bên trên của đường nối cổng GL, được xác định là vùng nguồn thứ nhất SA1. Phần của đường dữ liệu DL mà tiếp xúc với vùng nguồn thứ nhất SA1 thì được xác định là điện cực nguồn S. Tức là, điện cực nguồn S không được làm nhô ra từ đường dữ liệu DL, mà

một phần của đường dữ liệu DL hoạt động như điện cực nguồn S. Phần dưới của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1 đến vùng bên dưới của đường nối cổng GL, được xác định là vùng máng thứ nhất DA1. Vùng máng thứ nhất DA1 quay mặt vào vùng nguồn thứ nhất SA1 qua vùng kênh thứ nhất A1. Tranzito màng mỏng thứ nhất T1 bao gồm điện cực nguồn S, vùng nguồn thứ nhất SA1, vùng kênh thứ nhất A1, điện cực cổng thứ nhất G1 và vùng máng thứ nhất DA1.

Lớp bán dẫn thứ hai SE2 có khúc nghiêng kéo dài từ đường dữ liệu DL đến vùng điểm ảnh. Cụ thể là, lớp bán dẫn thứ hai SE2 có khúc nghiêng bắt đầu từ vị trí dưới của đường nối cổng GL, giao với đường nối cổng GL, và kết thúc bên trong vùng điểm ảnh mà nằm tại vị trí trên của đường nối cổng GL. Lớp bán dẫn thứ hai SE2 có khúc nghiêng để đi vòng quanh lớp bán dẫn thứ nhất SE1 sao cho vùng kênh thứ hai A2 không chồng với vùng kênh thứ nhất A1.

Vùng chồng nhau của lớp bán dẫn thứ hai SE2 với đường nối cổng GL được xác định là vùng kênh thứ hai A2. Vùng chồng nhau của đường nối cổng GL với vùng kênh thứ hai A2 được xác định là điện cực cổng thứ hai G2. Vùng kéo dài của lớp bán dẫn thứ hai SE2 từ vùng kênh thứ hai A2 đến vùng bên dưới của đường nối cổng GL được xác định là vùng nguồn thứ hai SA2. Vùng kéo dài của lớp bán dẫn thứ hai SE2 từ vùng kênh thứ hai A2 đến vùng bên trên của đường nối cổng GL được xác định là vùng máng thứ hai DA2. Điện cực máng D được nối với vùng máng thứ hai DA2. Tranzito màng mỏng thứ hai T2 bao gồm vùng nguồn thứ hai SA2, vùng kênh thứ hai A2, điện cực cổng thứ hai G2, vùng máng thứ hai DA2 và điện cực máng D.

Điện cực máng D có thể có hình chữ nhật kéo dài từ vùng điểm ảnh đến đường nối cổng GL sao cho một phần đầu chồng với đường nối cổng GL. Do điện cực máng D chồng với đường nối cổng GL, nên có thể bảo đảm rằng vùng lỗ mở sẽ có tỷ lệ diện tích lớn nhất ở vùng điểm ảnh.

Điện cực máng D và điện cực điểm ảnh PXL được bố trí tại vùng điểm ảnh. Ví dụ, điện cực điểm ảnh PXL có thể bao gồm nhiều khúc được bố trí song song nhau. Tuy không được thể hiện trên hình chiếu bằng, nhưng điện cực chung được lắng lên đế SUB để trùm lên phần lớn bề mặt của đế SUB. Trong trường hợp đó, điện cực chung COM có thể được bố trí bên dưới vùng điểm ảnh PXL. Hoặc, điện cực chung COM có thể bao gồm nhiều khúc được bố trí song song nhau. Trong trường hợp này,

điện cực điểm ảnh PXL có thể được bố trí bên dưới điện cực chung COM và có hình chữ nhật tương ứng với vùng điểm ảnh.

Cấu trúc mặt cắt ngang của đế tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng theo phương án thứ ba của sáng chế sẽ được mô tả dựa vào Fig.9. Điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 được bố trí trên đế SUB. Điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 không được làm nhô ra từ đường nối cổng GL, mà một phần của đường nối cổng GL lần lượt là điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2.

Lớp cách ly cổng thứ nhất GI1 được lắng lên điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp bán dẫn thứ nhất SE1 được bố trí trên lớp cách ly cổng thứ nhất GI1 này. Lớp bán dẫn thứ nhất SE1 có dạng khúc giao với điện cực cổng thứ nhất G1. Phần chồng nhau của lớp bán dẫn thứ nhất SE1 với điện cực cổng thứ nhất G1 được xác định là vùng kênh thứ nhất A1. Một phần sườn mà kéo dài từ vùng kênh thứ nhất A1 được xác định là vùng nguồn thứ nhất SA1, và phần sườn còn lại mà kéo dài từ vùng kênh thứ nhất A1 này được xác định là vùng máng thứ nhất DA1.

Lớp cách ly cổng thứ hai GI2 được lắng lên lớp bán dẫn thứ nhất SE1 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp cách ly cổng thứ hai GI2 có lỗ tiếp xúc nguồn-máng SDH để để lộ ra một phần của vùng máng thứ nhất DA1. Lớp bán dẫn thứ hai SE2 được bố trí trên lớp cách ly cổng thứ hai GI2. Lớp bán dẫn thứ hai SE2 có dạng khúc nghiêng giao với điện cực cổng thứ hai G2. Phần chồng nhau của lớp bán dẫn thứ hai SE2 với điện cực cổng thứ hai G2 được xác định là vùng kênh thứ hai A2. Một phần sườn mà kéo dài từ vùng kênh thứ hai A2 được xác định là vùng nguồn thứ hai SA2, và phần sườn còn lại mà kéo dài từ vùng kênh thứ hai A2 này được xác định là vùng máng thứ hai DA2. Vùng nguồn thứ hai SA2 tiếp xúc với vùng máng thứ nhất DA1 qua lỗ tiếp xúc nguồn-máng SDH.

Lớp cách ly trung gian IN được lắng lên lớp bán dẫn thứ hai SE2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp cách ly trung gian IN này có lỗ tiếp xúc máng DH để làm lộ ra một phần của vùng máng thứ hai DA2. Ngoài ra, lỗ tiếp xúc nguồn SH được tạo ra bằng cách đâm xuyên qua lớp cách ly trung gian IN và lớp cách ly cổng thứ hai GI2, để làm lộ ra một phần của vùng nguồn thứ nhất SA1.

Đường dữ liệu DL và điện cực máng D được tạo ra trên lớp cách ly trung gian IN. Đường dữ liệu DL tiếp xúc với vùng nguồn thứ nhất SA1 qua lỗ tiếp xúc nguồn SH. Phần tiếp xúc của đường dữ liệu DL với vùng nguồn thứ nhất SA1 được xác định là điện cực nguồn S. Điện cực máng D tiếp xúc với vùng máng thứ hai DA2 qua lỗ tiếp xúc máng DH. Tức là, tranzito màng mỏng thứ nhất T1 được mắc nối tiếp với tranzito màng mỏng thứ hai T2.

Lớp phẳng PAC được lắng lên đường dữ liệu DL và điện cực máng D sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp phẳng PAC này có thể có chất hữu cơ. Hoặc, lớp phẳng PAC này có thể bao gồm lớp vô cơ có chất vô cơ và lớp hữu cơ có chất hữu cơ được xếp chồng tuần tự lên nhau. Lỗ tiếp xúc điểm ảnh PH, để làm lộ ra một phần của điện cực máng D, được tạo ra tại lớp phẳng PAC.

Điện cực chung COM được tạo ra trên lớp phẳng PAC này. Điện cực chung COM có thể có dạng tấm trùm lên phần lớn bề mặt của đế SUB ngoại trừ lỗ tiếp xúc điểm ảnh PH. Lớp thụ động hoá PAS được lắng lên điện cực chung COM sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp thụ động hoá này có lỗ tiếp xúc điểm ảnh PH. Tức là, lỗ tiếp xúc điểm ảnh PH được tạo ra bằng cách đâm xuyên qua lớp phẳng PAC và lớp thụ động hoá PAS tại cùng một vị trí.

Điện cực điểm ảnh PXL được tạo ra trên lớp thụ động hoá PAS này. Điện cực điểm ảnh PXL tiếp xúc với điện cực máng D qua lỗ tiếp xúc điểm ảnh PH. Điện cực điểm ảnh PXL có nhiều khúc chồng với điện cực chung COM trong vùng điểm ảnh. Điện trường vẫn được hình thành giữa điện cực điểm ảnh PXL và điện cực chung COM để điều vận chất tinh thể lỏng.

Để tranzito màng mỏng dành cho thiết bị hiển thị tinh thể lỏng theo phương án thứ ba này bao gồm hai tranzito màng mỏng. Do có tranzito màng mỏng để điều vận điện cực điểm ảnh, và tranzito màng mỏng bù để bù cho các phân tử, nên có thể đạt được hiệu suất vượt trội.

Theo phương án thứ ba này, hai tranzito màng mỏng được xếp theo chiều đứng nhưng chúng không chồng lên nhau. So với phương án thứ hai thì diện tích dành cho các tranzito màng mỏng sẽ lớn hơn một ít nên tỷ số lỗ mở sẽ thấp hơn một ít so với phương án thứ hai. Tuy nhiên, theo phương án thứ hai, do hai vùng kênh A1 và A2 chồng với cùng một đường nối cổng, nên sẽ hình thành một lượng lớn điện dung ký

sinh. Theo phương án thứ ba này, do vùng kênh thứ nhất A1 và vùng kênh thứ hai A2 không chồng nhau nên điện dung ký sinh sẽ không hình thành, hoặc được giảm bớt, nên các tranzito màng mỏng có thể đạt được hiệu suất tốt hơn nhiều.

Theo phương án thứ ba này, các đặc tuyến của các tranzito màng mỏng có thể ổn định, và có thể đạt được tỷ số lỗ mở cao bằng cách giảm diện tích vùng không có lỗ mở trong vùng điểm ảnh. Đặc biệt là đối với thiết bị hiển thị tinh thể lỏng mật độ siêu cao có độ phân giải khoảng 800 PPI, thì có thể đồng thời đạt được hiệu suất vượt trội và tỷ số lỗ mở cao.

<Phương án thứ tư>

Những phần mô tả nêu trên đã mô tả cấu trúc cổng dưới cùng của các tranzito màng mỏng. Ngoài ra, phần nêu trên đã mô tả rằng điện cực cổng thứ nhất G1 của tranzito màng mỏng thứ nhất T1 và điện cực cổng thứ hai G2 của tranzito màng mỏng thứ hai T2 là được xác định dưới dạng một phần của cùng một đường nối cổng GL. Dưới đây, các trường hợp khác sẽ được mô tả. Các dấu hiệu về cấu trúc này có thể được phân biệt một cách chính xác trên các mặt cắt ngang chứ không phải trên các hình chiếu bằng. Do đó, để cho thuận tiện, thì Fig.6 và/hoặc Fig.8 sẽ được dùng làm hình chiếu bằng. Các trường hợp mà sẽ được mô tả dưới đây cũng có thể được áp dụng cho phương án thứ hai và phương án thứ ba.

Phương án thứ tư của sáng chế sẽ được mô tả dựa vào Fig.10. Fig.10 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ tư của sáng chế.

Như được thể hiện trên Fig.10, lớp bán dẫn thứ nhất SE1 được tạo ra trên đế SUB. Lớp cách ly cổng thứ nhất GI1 được lắng lên lớp bán dẫn thứ nhất SE1 này sao cho trùm lên toàn bộ bề mặt của đế SUB. Điện cực cổng thứ nhất G1 được tạo ra trên lớp cách ly cổng thứ nhất GI1 này. Điện cực cổng thứ nhất G1 không được làm nhô ra từ đường nối cổng GL, mà một phần của đường nối cổng GL trở thành điện cực cổng thứ nhất G1. Điện cực cổng thứ nhất G1 sẽ được dùng làm điện cực cổng thứ hai G2. Tức là, cùng một phần của đường nối cổng GL sẽ trở thành điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2.

Lớp bán dẫn thứ nhất SE1 có dạng khúc giao với điện cực cổng thứ nhất G1. Phần chồng nhau giữa lớp bán dẫn thứ nhất SE1 với đường nối cổng GL được xác

định là vùng kênh thứ nhất A1. Một phần sườn của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1, được xác định là vùng nguồn thứ nhất SA1. Phần sườn còn lại của lớp bán dẫn thứ nhất SE1, mà kéo dài từ vùng kênh thứ nhất A1, được xác định là vùng máng thứ nhất DA1.

Lớp cách ly cổng thứ hai GI2 được lắng lên điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lỗ tiếp xúc nguồn-máng SDH được tạo ra, để làm lộ ra một phần của vùng máng thứ nhất DA1, bằng cách đâm xuyên qua lớp cách ly cổng thứ hai GI2 và lớp cách ly cổng thứ nhất GI1. Lớp bán dẫn thứ hai SE2 được tạo ra trên lớp cách ly cổng thứ hai GI2. Lớp bán dẫn thứ hai SE2 có khúc giao với điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2.

Cùng một điện cực cổng thực hiện chức năng cổng cho lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2. Phần chồng nhau của lớp bán dẫn thứ hai SE2 với điện cực cổng thứ hai G2 được xác định là vùng kênh thứ hai A2. Một phần sườn của lớp bán dẫn thứ hai SE2, mà kéo dài từ vùng kênh thứ hai A2, được xác định là vùng nguồn thứ hai SA2. Phần sườn còn lại của lớp bán dẫn thứ hai SE2, mà kéo dài từ vùng kênh thứ hai A2, được xác định là vùng máng thứ hai DA2. Vùng nguồn thứ hai SA2 tiếp xúc với vùng máng thứ nhất DA1 qua lỗ tiếp xúc nguồn-máng SDH.

Lớp cách ly trung gian IN được lắng lên lớp bán dẫn thứ hai SE2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Bằng cách đâm xuyên qua lớp cách ly trung gian IN, thì lỗ tiếp xúc máng DH được tạo ra để làm lộ ra một phần của vùng máng thứ hai DA2. Ngoài ra, bằng cách đâm xuyên qua lớp cách ly trung gian IN, lớp cách ly cổng thứ hai GI2 và lớp cách ly cổng thứ nhất GI1, thì lỗ tiếp xúc nguồn SH được tạo ra để làm lộ ra một phần của vùng nguồn thứ nhất SA1.

Đường dữ liệu DL và điện cực máng D được tạo ra trên lớp cách ly trung gian IN. Đường dữ liệu DL tiếp xúc với vùng nguồn thứ nhất SA1 qua lỗ tiếp xúc nguồn SH. Vùng tiếp xúc của đường dữ liệu DL với vùng nguồn thứ nhất SA1 được xác định là điện cực nguồn S. Điện cực máng D tiếp xúc với vùng máng thứ hai DA2 qua lỗ tiếp xúc máng DH. Tranzito màng mỏng thứ hai T2 được mắc nối tiếp với tranzito màng mỏng thứ nhất T1. Tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 được xếp chồng theo chiều đứng, với lớp cách ly cổng thứ hai GI2 và/hoặc lớp cách ly cổng thứ nhất GI1 giữa chúng. Do đó, hai tranzito màng mỏng này được bố trí

trong diện tích tương ứng với diện tích dành cho một tranzito màng mỏng.

Lớp phẳng PAC được lắng lên đường dữ liệu DL và điện cực máng D sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp phẳng PAC này có thể có chất hữu cơ. Hoặc, lớp phẳng PAC này có thể bao gồm lớp vô cơ có chất vô cơ và lớp hữu cơ có chất hữu cơ được xếp chồng tuần tự lên nhau. Lỗ tiếp xúc điểm ảnh PH, để làm lộ ra một phần của điện cực máng D, được tạo ra tại lớp phẳng PAC.

Điện cực chung COM được tạo ra trên lớp phẳng PAC này. Điện cực chung COM có thể có dạng tấm trùm lên phần lớn bề mặt của đế SUB ngoại trừ lỗ tiếp xúc điểm ảnh PH. Lớp thụ động hoá PAS được lắng lên điện cực chung COM sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp thụ động hoá này có lỗ tiếp xúc điểm ảnh PH. Tức là, lỗ tiếp xúc điểm ảnh PH được tạo ra bằng cách đâm xuyên qua lớp phẳng PAC và lớp thụ động hoá PAS tại cùng một vị trí.

Điện cực điểm ảnh PXL được tạo ra trên lớp thụ động hoá PAS này. Điện cực điểm ảnh PXL tiếp xúc với điện cực máng D qua lỗ tiếp xúc điểm ảnh PH. Điện cực điểm ảnh PXL có nhiều khúc chồng với điện cực chung COM trong vùng điểm ảnh. Điện trường vẫn được hình thành giữa điện cực điểm ảnh PXL và điện cực chung COM để điều vận chất tinh thể lỏng.

Phương án thứ tư này đã mô tả cấu trúc mà trong đó đường nối cổng GL được chèn vào giữa lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2 trên mặt cắt ngang. Kết quả là, tranzito màng mỏng thứ nhất T1 có cấu trúc cổng trên cùng, và tranzito màng mỏng thứ hai T2 có cấu trúc cổng dưới cùng.

<Phương án thứ năm>

Phương án thứ năm của sáng chế sẽ được mô tả dựa vào Fig.11. Fig.11 là hình vẽ thể hiện mặt cắt ngang của đế tranzito màng mỏng dùng cho thiết bị hiển thị tinh thể lỏng có tranzito màng mỏng bù theo phương án thứ năm của sáng chế.

Như được thể hiện trên Fig.11, lớp bán dẫn thứ nhất SE1 được tạo ra trên đế SUB. Lớp cách ly cổng thứ nhất GI1 được lắng lên lớp bán dẫn thứ nhất SE1 này sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp cách ly cổng thứ nhất GI1 có lỗ tiếp xúc nguồn-máng SDH để làm lộ ra một phần của lớp bán dẫn thứ nhất SE1.

Lớp bán dẫn thứ hai SE2 được tạo ra trên lớp cách ly cổng thứ nhất GI1. Lớp bán dẫn thứ hai SE2 tiếp xúc với lớp bán dẫn thứ nhất SE1 qua lỗ tiếp xúc nguồn-máng

SDH. Lớp cách ly cổng thứ hai GI2 được lắng lên lớp bán dẫn thứ hai SE2 này sao cho trùm lên toàn bộ bề mặt của đế SUB.

Đường nối cổng GL được tạo ra trên lớp cách ly cổng thứ hai GI2. Đường nối cổng GL giao với lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2, như đã được mô tả ở phương án thứ hai (Fig.6) hoặc phương án thứ ba (Fig.8). Phần chồng nhau của đường nối cổng GL với lớp bán dẫn thứ nhất SE1 được xác định là điện cực cổng thứ nhất G1. Phần chồng nhau của đường nối cổng GL với lớp bán dẫn thứ hai SE2 được xác định là điện cực cổng thứ hai G2.

Điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 không được làm nhô ra từ đường nối cổng GL, mà một phần của đường nối cổng GL được dùng làm điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2. Khi cùng một phần của đường nối cổng GL có thể chồng với lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2, thì điện cực cổng thứ nhất G1 cũng chính là điện cực cổng thứ hai G2. Hoặc, hai phần của đường nối cổng GL có thể lần lượt chồng với lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2.

Phần chồng nhau của lớp bán dẫn thứ nhất SE1 với điện cực cổng thứ nhất G1 được xác định là vùng kênh thứ nhất A1. Một phần sườn mà kéo dài từ vùng kênh thứ nhất A1 được xác định là vùng nguồn thứ nhất SA1, và phần sườn còn lại mà kéo dài từ vùng kênh thứ nhất A1 này được xác định là vùng máng thứ nhất DA1. Phần chồng nhau của lớp bán dẫn thứ hai SE2 với điện cực cổng thứ hai G2 được xác định là vùng kênh thứ hai A2. Một phần sườn mà kéo dài từ vùng kênh thứ hai A2 được xác định là vùng nguồn thứ hai SA2, và phần sườn còn lại mà kéo dài từ vùng kênh thứ hai A2 này được xác định là vùng máng thứ hai DA2. Vùng nguồn thứ hai SA2 tiếp xúc với vùng máng thứ nhất DA1 qua lỗ tiếp xúc nguồn-máng.

Lớp cách ly trung gian IN được lắng lên đường nối cổng GL mà đã có điện cực cổng thứ nhất G1 và điện cực cổng thứ hai G2 sao cho trùm lên toàn bộ bề mặt của đế SUB. Lỗ tiếp xúc máng DH, để làm lộ ra một phần của vùng máng thứ hai DA2, được tạo ra bằng cách đâm xuyên qua lớp cách ly trung gian IN và lớp cách ly cổng thứ hai GI2. Ngoài ra, bằng cách đâm xuyên qua lớp cách ly trung gian IN, lớp cách ly cổng thứ hai GI2 và lớp cách ly cổng thứ nhất GI1, thì lỗ tiếp xúc nguồn SH được tạo ra để làm lộ ra một phần của vùng nguồn thứ nhất SA1.

Đường dữ liệu DL và điện cực máng D được tạo ra trên lớp cách ly trung gian IN. Đường dữ liệu DL tiếp xúc với vùng nguồn thứ nhất SA1 qua lỗ tiếp xúc nguồn SH. Vùng tiếp xúc của đường dữ liệu DL với vùng nguồn thứ nhất SA1 được xác định là điện cực nguồn S. Điện cực máng D tiếp xúc với vùng máng thứ hai DA2 qua lỗ tiếp xúc máng DH. Tranzito màng mỏng thứ hai T2 được mắc nối tiếp với tranzito màng mỏng thứ nhất T1. Tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 được xếp chồng theo chiều đứng, với lớp cách ly cổng thứ nhất GI1 giữa chúng. Do đó, hai tranzito màng mỏng này được bố trí trong diện tích tương ứng với diện tích dành cho một tranzito màng mỏng.

Lớp phẳng PAC được lắng lên đường dữ liệu DL và điện cực máng D sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp phẳng PAC này có thể có chất hữu cơ. Hoặc, lớp phẳng PAC này có thể bao gồm lớp vô cơ có chất vô cơ và lớp hữu cơ có chất hữu cơ được xếp chồng tuần tự lên nhau. Lỗ tiếp xúc điểm ảnh PH, để làm lộ ra một phần của điện cực máng D, được tạo ra tại lớp phẳng PAC.

Điện cực chung COM được tạo ra trên lớp phẳng PAC này. Điện cực chung COM có thể có dạng tấm trùm lên phần lớn bề mặt của đế SUB ngoại trừ lỗ tiếp xúc điểm ảnh PH. Lớp thụ động hoá PAS được lắng lên điện cực chung COM sao cho trùm lên toàn bộ bề mặt của đế SUB. Lớp thụ động hoá này có lỗ tiếp xúc điểm ảnh PH. Tức là, lỗ tiếp xúc điểm ảnh PH được tạo ra bằng cách đâm xuyên qua lớp phẳng PAC và lớp thụ động hoá PAS tại cùng một vị trí.

Điện cực điểm ảnh PXL được tạo ra trên lớp thụ động hoá PAS này. Điện cực điểm ảnh PXL tiếp xúc với điện cực máng D qua lỗ tiếp xúc điểm ảnh PH. Điện cực điểm ảnh PXL có nhiều khúc chồng với điện cực chung COM trong vùng điểm ảnh. Điện trường vẫn được hình thành giữa điện cực điểm ảnh PXL và điện cực chung COM để điều vận chất tinh thể lỏng.

Theo phương án thứ năm này, đường nối cổng GL được bố trí bên trên lớp bán dẫn thứ nhất SE1 và lớp bán dẫn thứ hai SE2. Kết quả là, tranzito màng mỏng thứ nhất T1 và tranzito màng mỏng thứ hai T2 có cấu trúc cổng trên cùng.

Theo những phân mô tả nêu trên, thì điện cực cổng là một phần của đường nối cổng. Ngoài ra, điện cực cổng thứ nhất và điện cực cổng thứ hai là một phần của đường nối cổng. Mặc dù không được thể hiện trên các hình vẽ, nhưng nếu cần, thì

điện cực bất kỳ trong số điện cực cổng thứ nhất và điện cực cổng thứ hai đều có thể được xác định là một phần của đường nối cổng, và điện cực còn lại có thể được tạo ra theo cách nhô ra từ đường nối cổng. Ví dụ, điện cực cổng thứ nhất có thể là một phần của đường nối cổng và được bố trí bên dưới lớp bán dẫn thứ nhất. Sau đó, điện cực cổng thứ hai có thể được tạo ra nhô ra từ đường nối cổng và được bố trí trên lớp bán dẫn thứ hai. Hoặc, điện cực cổng thứ hai có thể được tạo ra dưới dạng lớp khác rồi sau đó được nối với đường nối cổng qua lỗ tiếp xúc khác.

Mặc dù sáng chế đã được mô tả chi tiết dựa vào các hình vẽ, nhưng những người có kiến thức trung bình trong lĩnh vực cần hiểu rằng sáng chế có thể được thực hiện dưới những dạng cụ thể khác mà không làm thay đổi nguyên lý kỹ thuật hoặc các dấu hiệu cơ bản của sáng chế. Do đó, cần hiểu rằng những phương án nêu trên theo tất cả các khía cạnh là chỉ nhằm mục đích minh họa chứ không nhằm giới hạn sáng chế. Phạm vi của sáng chế được xác định bởi các điểm yêu cầu bảo hộ kèm theo chứ không phải bởi phần mô tả chi tiết sáng chế. Tất cả các phương án thay đổi hoặc cải biến, hoặc những phương án tương đương của chúng, mà được tạo ra trong phạm vi của các điểm yêu cầu bảo hộ này, thì cũng nằm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị tinh thể lỏng bao gồm:

lớp bán dẫn thứ nhất (SE1);

lớp cách ly (GI1, GI2) trên lớp bán dẫn thứ nhất (SE1);

lớp bán dẫn thứ hai (SE2) trên lớp cách ly (GI1, GI2);

đường dữ liệu (DL) được nối với vùng nguồn thứ nhất (SA1) của lớp bán dẫn thứ nhất (SE1); và

điện cực máng (D) được nối với vùng máng thứ hai (DA2) của lớp bán dẫn thứ hai (SE2),

trong đó vùng máng thứ nhất (DA1) của lớp bán dẫn thứ nhất (SE1) được nối với vùng nguồn thứ hai (SA2) của lớp bán dẫn thứ hai (SE2), và

trong đó đường cổng (GL) và vùng kênh thứ nhất (A1) giữa các vùng nguồn và máng thứ nhất (SA1, DA1) của lớp bán dẫn thứ nhất (SE1) chồng lên nhau và đường cổng (GL) và vùng kênh thứ hai (A2) giữa các vùng nguồn và máng thứ hai (SA2, DA2) của lớp bán dẫn thứ hai (SE2) chồng lên nhau.

2. Thiết bị hiển thị tinh thể lỏng theo điểm 1, trong đó một phần của đường dữ liệu (DL) được nối với lớp bán dẫn thứ nhất (SE1) tạo thành điện cực nguồn (S) và/hoặc trong đó một phần của đường cổng (GL) chồng với ít nhất một trong số các phần giữa của lớp bán dẫn thứ nhất và thứ hai (SE1, SE2) tạo thành điện cực cổng (G1, G2).

3. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó lớp bán dẫn thứ nhất (SE1) có hình khúc thứ nhất kéo dài song song với đường dữ liệu (DL) và gần như hoàn toàn chồng với đường dữ liệu (DL).

4. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó lớp bán dẫn thứ hai (SE2) có hình khúc thứ hai chồng gần như hoàn toàn với lớp bán dẫn thứ nhất (SE1).

5. Thiết bị hiển thị tinh thể lỏng theo điểm 4, trong đó điện cực máng (DL) có hình

chữ 'L' chồng với đường dữ liệu (DL) và đường cổng (GL).

6. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó các vùng kênh thứ nhất và thứ hai (A1, A2) của các lớp bán dẫn thứ nhất và thứ hai (SE1, SE2) không chồng.

7. Thiết bị hiển thị tinh thể lỏng theo điểm 6, trong đó lớp bán dẫn thứ nhất (SE1) và lớp bán dẫn thứ hai (SE2) được nối với nhau để tạo thành hình chữ 'V'.

8. Thiết bị hiển thị tinh thể lỏng theo điểm 6 hoặc 7, trong đó điện cực máng (D) có hình chữ nhật được kéo dài từ vùng máng thứ hai (DA2) đến đường cổng (GL).

9. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó vùng máng thứ nhất (DA1) của lớp bán dẫn thứ nhất (SE1) được chồng bởi vùng nguồn thứ hai (SA2) của lớp bán dẫn thứ hai (SE2) và/hoặc trong đó các vùng nguồn thứ nhất và thứ hai (SA1, SA2) và các vùng máng thứ nhất và thứ hai (DA1, DA2) là các phần của lớp bán dẫn thứ nhất và thứ hai (SE1, SE2), một cách lần lượt, mà không chồng với đường cổng (GL).

10. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó thiết bị này còn bao gồm:

lớp cách ly trung gian (IN) trên lớp bán dẫn thứ hai (SE2), trong đó đường dữ liệu (DL) và điện cực máng (D) được bố trí trên lớp cách ly trung gian (IN).

11. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó thiết bị này còn bao gồm:

đế (SUB), trên đó đường cổng (GL) được bố trí;

lớp cách ly cổng thứ nhất (GI1) trên đường cổng (GL), trong đó lớp bán dẫn thứ nhất (SE1) được bố trí trên lớp cách ly cổng thứ nhất (GI1).

12. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm từ 1 đến 11,

trong đó lớp cách ly bao gồm lớp cách ly cổng thứ nhất (GI1) và lớp cách ly cổng thứ hai (GI2) được chồng lên nhau; và trong đó đường cổng (GL) được bố trí giữa lớp cách ly cổng thứ nhất (GI1) và lớp cách ly cổng thứ hai (GI2).

13. Thiết bị hiển thị tinh thể lỏng theo điểm 12, trong đó đường dữ liệu (DL) và điện cực máng (D) được bố trí trên lớp cách ly trung gian (IN).

14. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó thiết bị này còn bao gồm:

lớp phẳng (PAC) trên điện cực nguồn (S) và điện cực máng (D);

điện cực chung (COM) trên lớp phẳng (PAC);

lớp thụ động (PAS) trên điện cực chung (COM); và

điện cực điểm ảnh (PXL) trên lớp thụ động (PAS) và được nối với điện cực máng (D).

15. Thiết bị hiển thị tinh thể lỏng theo điểm bất kỳ trong số các điểm nêu trên, trong đó lớp bán dẫn thứ nhất (SE1) là một phần của tranzito màng mỏng điều vận (T1) và tốt hơn là bao gồm silic polycrystallin, và trong đó lớp bán dẫn thứ hai (SE2) là một phần của tranzito màng mỏng bù (T2) để bù các đặc tính bật/tắt của tranzito màng mỏng điều vận (T1).

Fig.1

Giải pháp đã biết

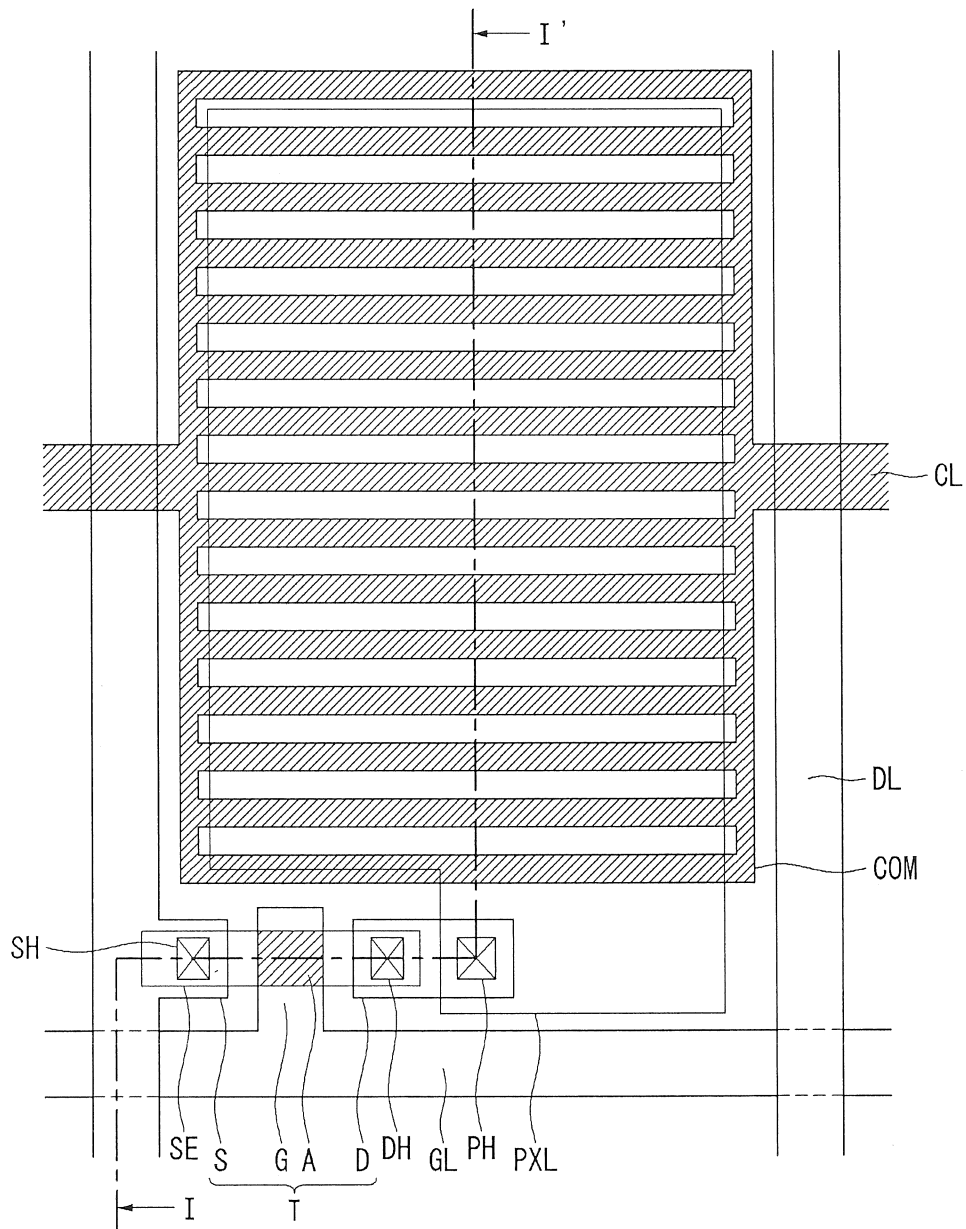


Fig.2

Giải pháp đã biết

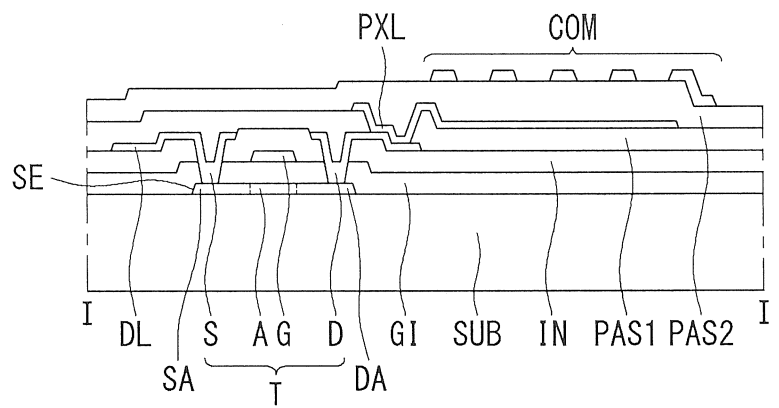


Fig.3
Giải pháp đã biết

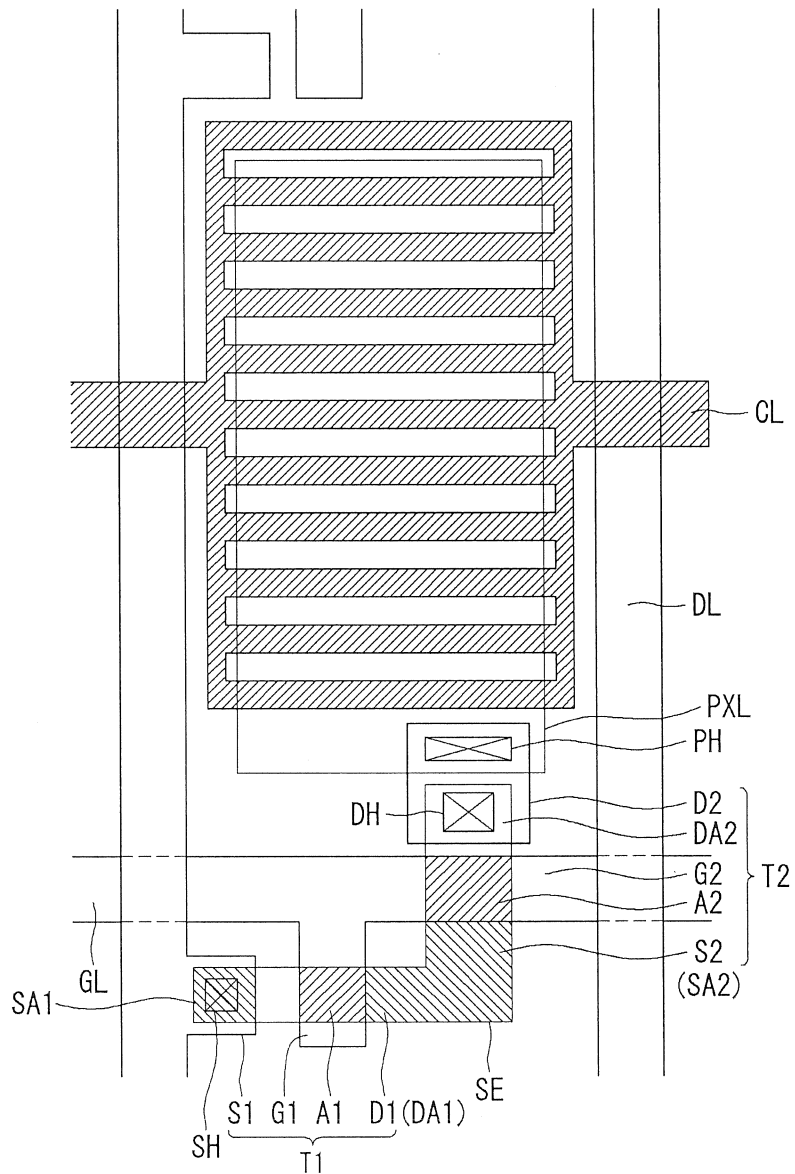


Fig.4

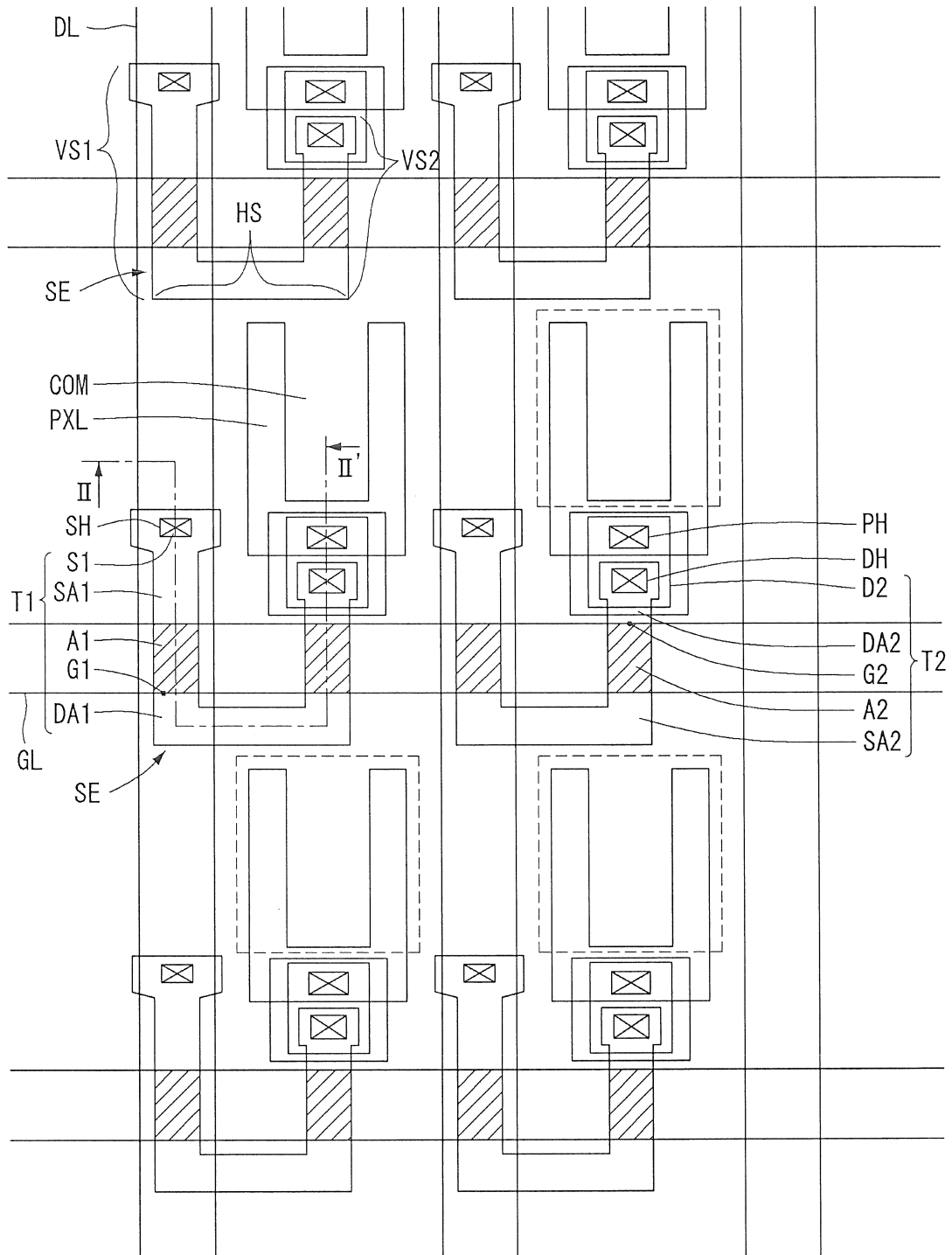


Fig.5

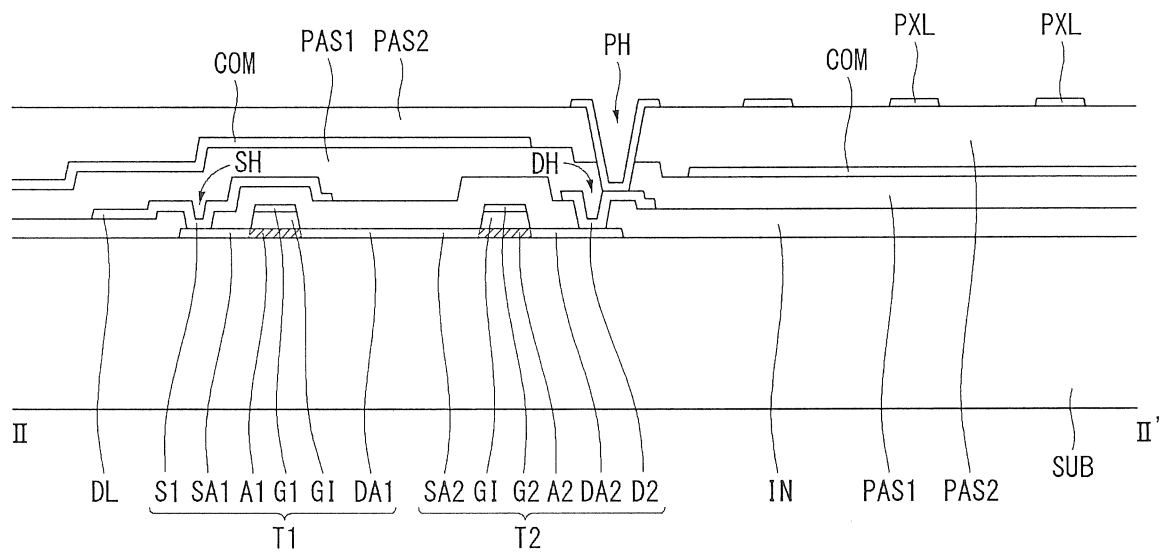


Fig.6

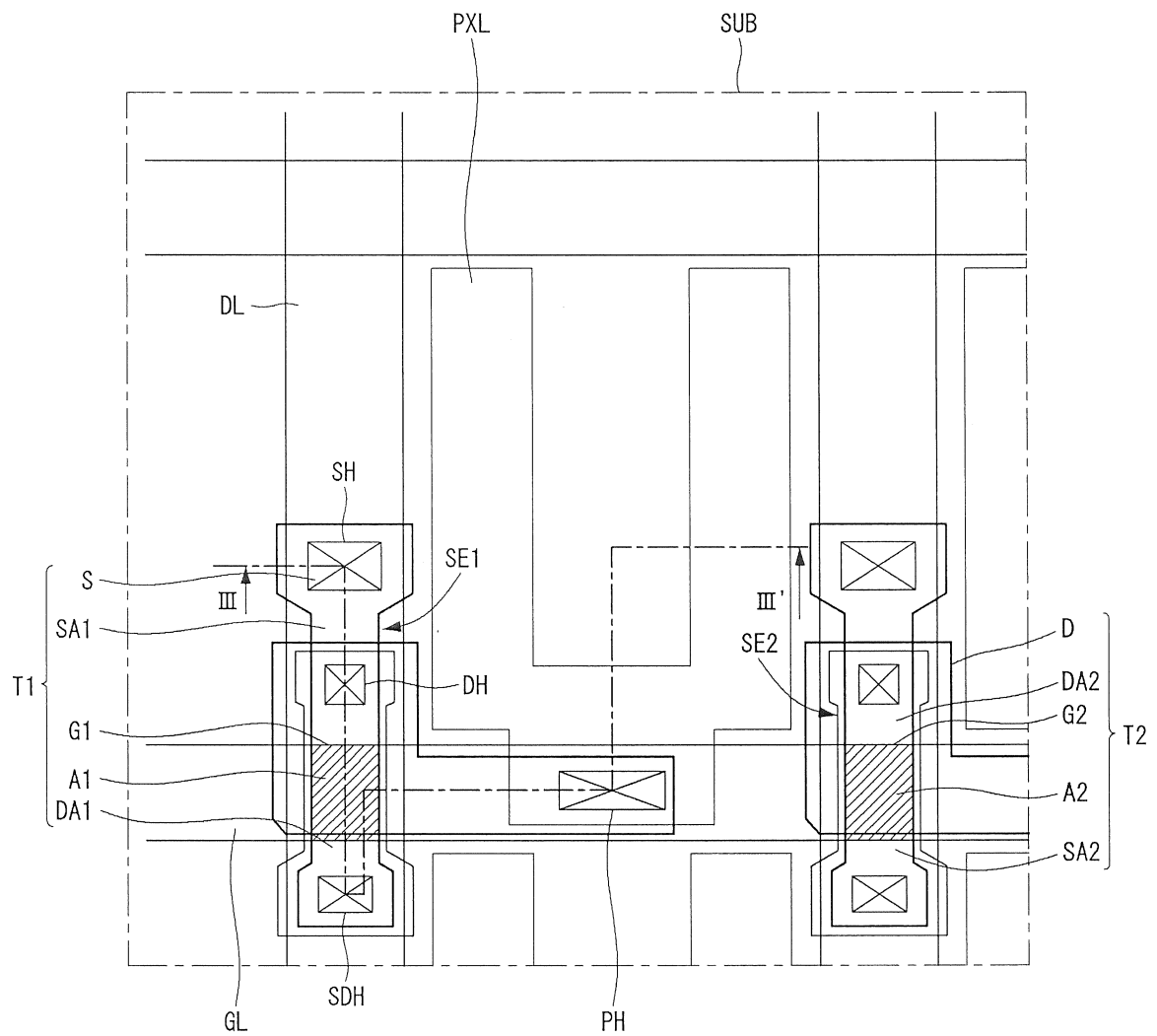


Fig.7

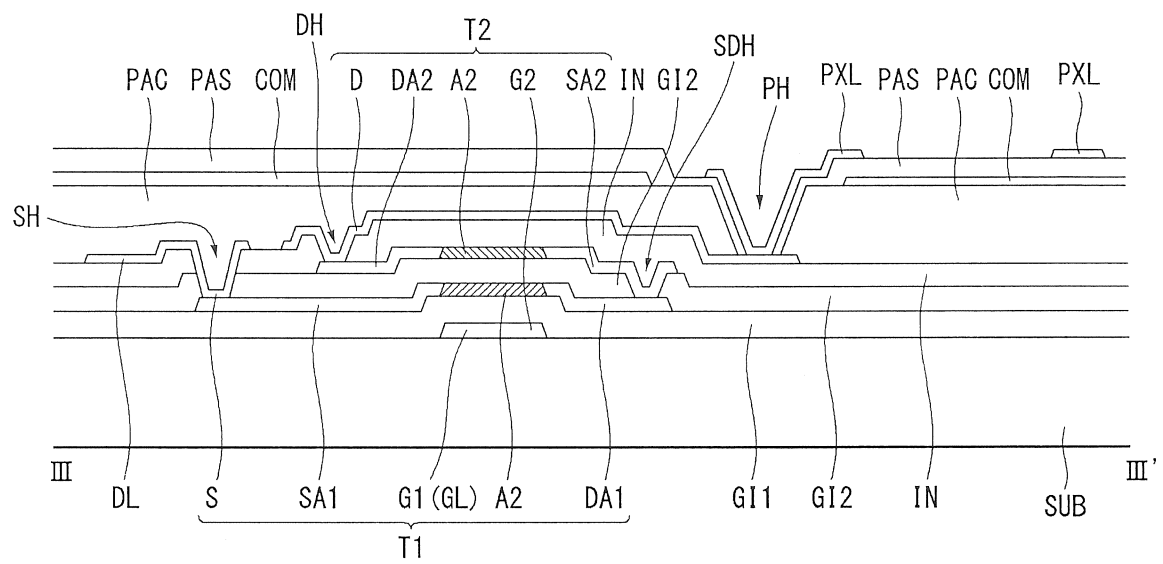
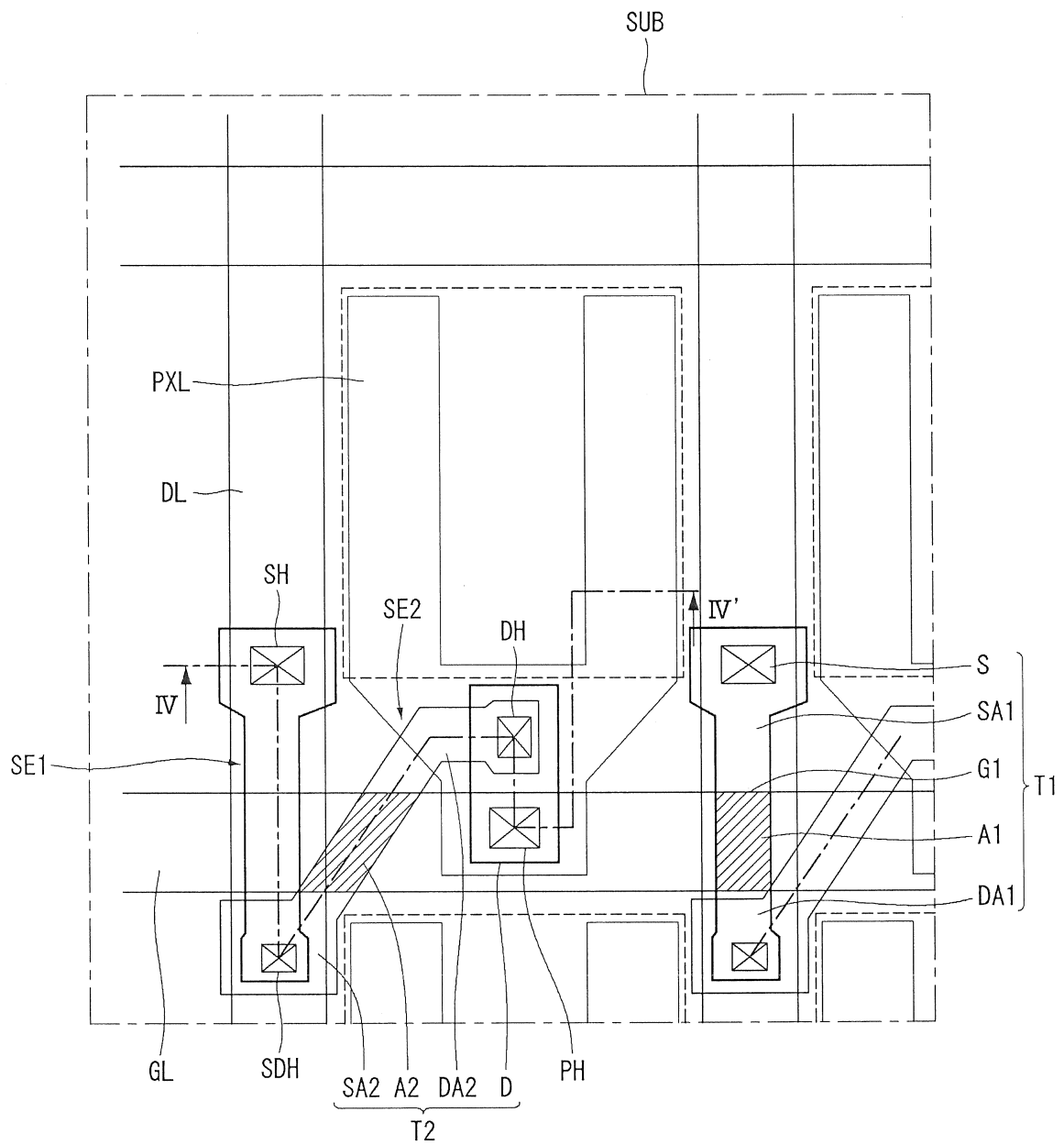


Fig.8



9/10

Fig.9

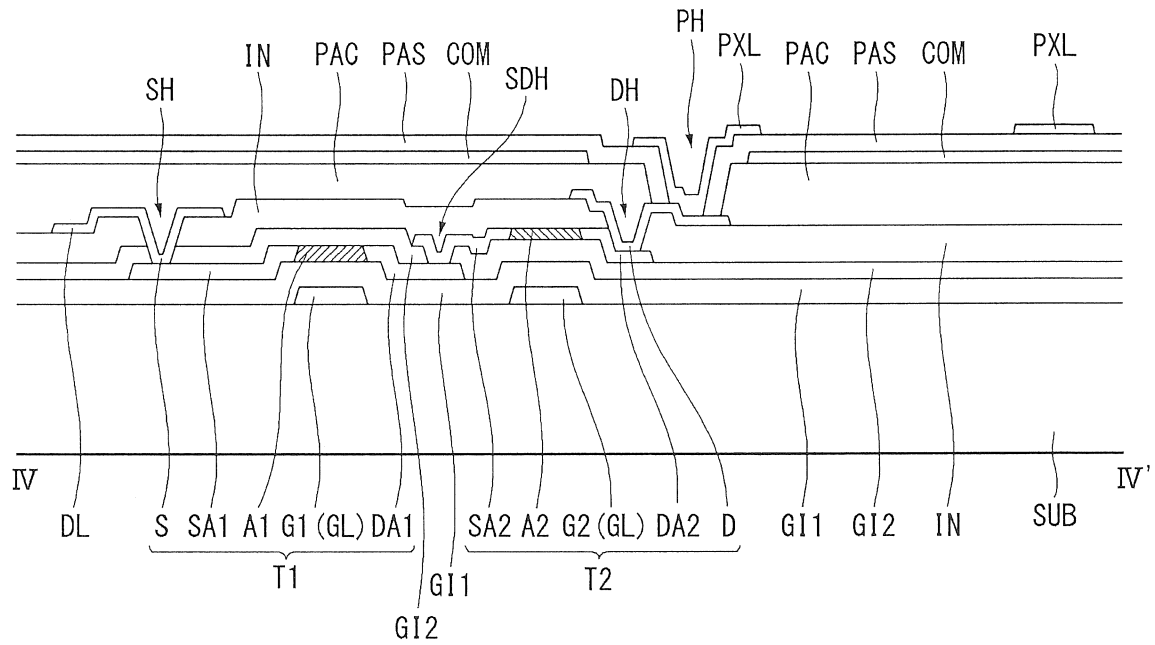


Fig.10

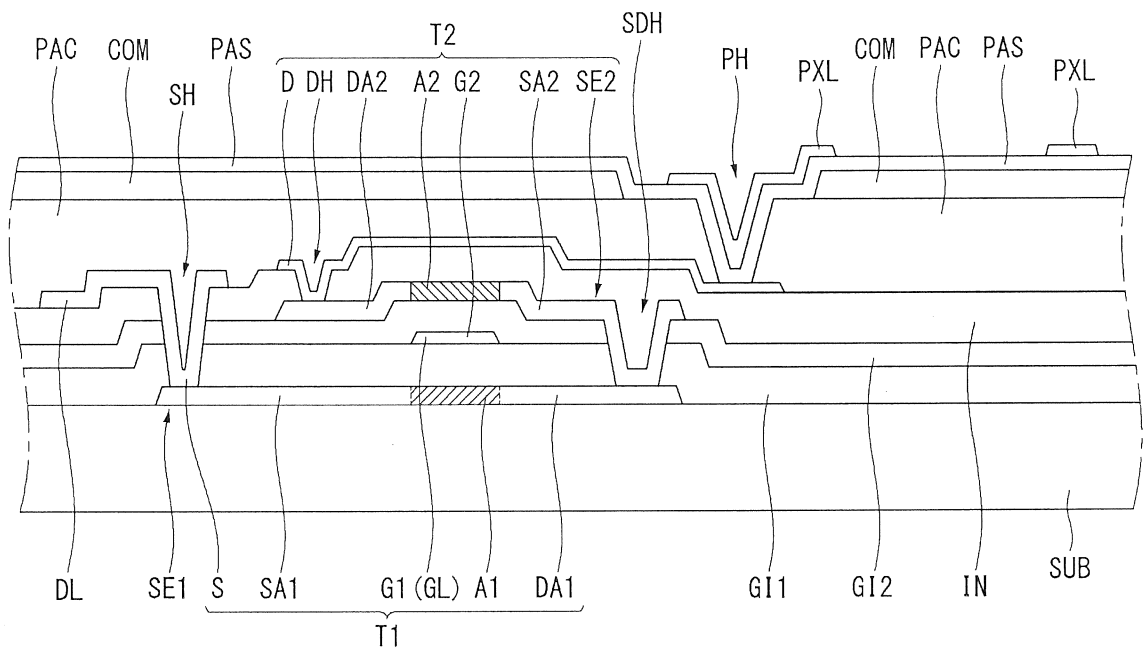


Fig.11

