



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)  
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0033025

(51)<sup>7</sup> G06F 13/28

(13) B

(21) 1-2017-02888

(22) 18/12/2015

(86) PCT/CN2015/097961 18/12/2015

(87) WO 2016/107429 A1 07/07/2016

(30) 201410856607.X 31/12/2014 CN

(45) 25/08/2022 413

(43) 25/10/2017 355A

(73) 1. HUAWEI TECHNOLOGIES CO., LTD. (CN)

Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong 518129, China

2. FUDAN UNIVERSITY (CN)

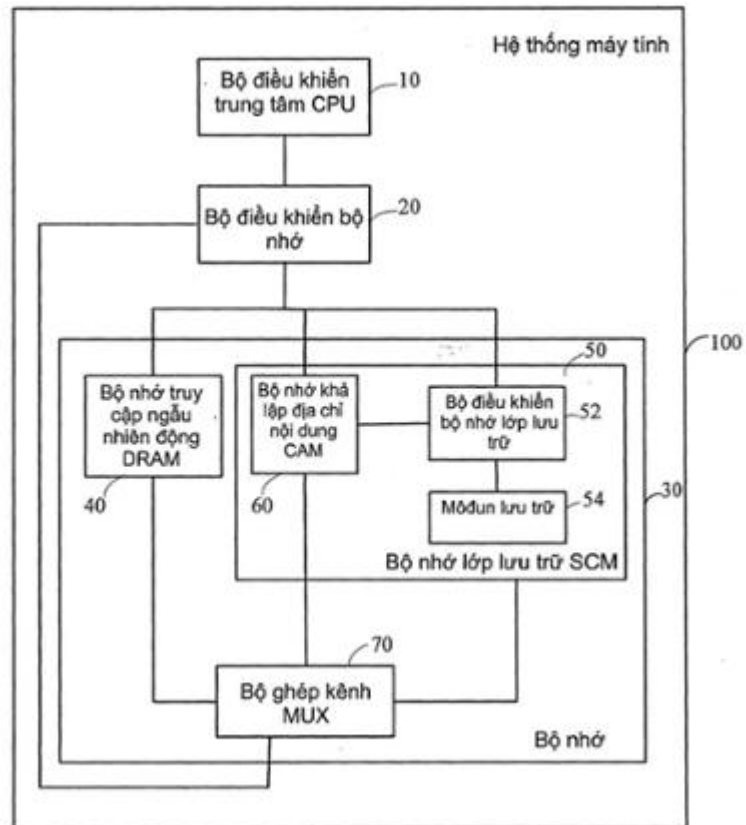
No.220 Handan Road, Yangpu District, Shanghai 200433, China

(72) YANG, Renhua (CN); ZHAO, Junfeng (CN); YANG, Wei (CN); WANG, Yuangang (CN); LIN, Yinyin (CN).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) PHƯƠNG PHÁP TRUY CẬP BỘ NHỚ, BỘ NHỚ LỚP LƯU TRỮ VÀ HỆ THỐNG MÁY TÍNH

(57) Sáng chế đề cập đến phương pháp truy cập bộ nhớ, bộ nhớ lớp lưu trữ, và hệ thống máy tính. Hệ thống máy tính bao gồm bộ điều khiển bộ nhớ và bộ nhớ lại, và bộ nhớ lại bao gồm bộ nhớ truy cập ngẫu nhiên động (dynamic random access memory, viết tắt là DRAM) và bộ nhớ lớp lưu trữ (storage-class memory, viết tắt là SCM). Bộ điều khiển bộ nhớ gửi lệnh truy cập thứ nhất đến DRAM và SCM. Khi xác định là tập ô nhớ thứ nhất mà là của DRAM và địa chỉ thứ nhất trong lệnh truy cập thứ nhất thu được hướng tới bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, SCM có thể thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất. Ngoài ra, SCM biến đổi, theo địa chỉ thứ hai, lệnh truy cập thứ nhất thành lệnh truy cập thứ hai để truy cập SCM, để thực hiện việc truy cập SCM.



### **Lĩnh vực kỹ thuật được đề cập**

Sáng chế đề cập đến lĩnh vực công nghệ máy tính, và cụ thể là đề cập đến phương pháp truy cập bộ nhớ, bộ nhớ lớp lưu trữ và hệ thống máy tính.

### **Tình trạng kỹ thuật của sáng chế**

Bộ nhớ chính thông thường của hệ thống thường bao gồm bộ nhớ truy cập ngẫu nhiên động (Dynamic Random Access Memory, DRAM). DRAM có đặc điểm là cấu trúc đơn giản và tốc độ đọc cao. Ô nhớ cơ sở của DRAM là ô DRAM, và mỗi ô DRAM bao gồm một tranzito và một bộ tụ điện. Ô DRAM sử dụng một lượng điện được lưu trong bộ tụ điện để chỉ báo 0 hoặc 1. Theo cách này, một ô DRAM có thể lưu một bit. Do bộ tụ điện có thể bị dò điện, nếu điện nạp trong bộ tụ điện không đủ, dữ liệu được lưu có thể bị lỗi. Do đó, trong ứng dụng thực tế, bộ tụ điện cần được nạp định kỳ. Nhờ việc nạp và phóng điện bộ tụ điện, ô DRAM có thể được đọc và được ghi và do đó được cập nhật. Nói cách khác, DRAM được làm mới định kỳ. Trong ứng dụng thực tế, các ô DRAM trong DRAM được bố trí và được phân bố vào ma trận, và ma trận được đề cập tới như là khối DRAM. Nhờ sử dụng các bộ mã hóa hàng và cột tương ứng, bit bất kỳ trong khối DRAM có thể được định vị. Nhiều khối DRAM có thể cấu thành một chip DRAM, nhiều chip DRAM có thể cấu thành một dãy DRAM, và nhiều dãy DRAM có thể còn được tích hợp vào một môđun bộ nhớ hai hàng chân cắm (Dual-Inline-Memory-Modules, DIMM).

Hội đồng kỹ thuật thiết bị điện tử (Joint Electron Device Engineering Council, JEDEC) là tổ chức tiêu chuẩn hóa trong lĩnh vực công nghiệp bán dẫn và trạng thái cứng. Theo tiêu chuẩn liên quan đến bộ nhớ được công bố bởi JEDEC, DRAM được yêu cầu làm mới mỗi hàng ít nhất một lần trong 64ms. Nói cách khác, chu kỳ làm mới của DRAM được xác định cụ thể bởi JEDEC là 64ms. Do đó, hiện tại, các DRAM hầu hết được sản xuất theo chuẩn làm mới sau mỗi 64ms mà đảm bảo không bị mất dữ liệu. Trong ứng dụng thực tế, bộ điều khiển DRAM được yêu cầu gửi lệnh làm mới sau mỗi 7,8 $\mu$ s, và mỗi lệnh chịu trách nhiệm làm mới một hàng hoặc nhiều hàng trong khối DRAM, để đảm

bảo là tất cả các hàng trong DRAM đều được làm mới trong 64ms. Do dung lượng của DRAM tăng lên và số lượng các hàng tăng lên, nên số lượng các hàng mà cần được làm mới bởi mỗi thao tác làm mới cũng tăng theo tương ứng, và do đó, điện năng tiêu thụ của hệ thống cũng trở nên cao hơn. Do đó, khi dung lượng của DRAM không ngừng tăng lên, việc làm giảm tần suất làm mới của DRAM là cốt lõi để làm giảm điện năng tiêu thụ của hệ thống. Tuy nhiên, nếu chu kỳ làm mới của DRAM bị kéo dài ra để làm giảm điện năng tiêu thụ của hệ thống, lỗi có thể xảy ra với dữ liệu trong bộ nhớ.

### **Bản chất kỹ thuật của sáng chế**

Các phương án của sáng chế đề xuất phương pháp truy cập bộ nhớ, bộ nhớ lớp lưu trữ, và hệ thống máy tính, mà có thể đảm bảo độ chính xác của dữ liệu trong bộ nhớ trong khi làm giảm điện năng tiêu thụ của hệ thống.

Theo khía cạnh thứ nhất, phương án của sáng chế đề xuất hệ thống máy tính, trong đó hệ thống máy tính bao gồm bộ điều khiển bộ nhớ và bộ nhớ lai, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động (DRAM) và bộ nhớ lớp lưu trữ (storage-class memory, SCM), trong đó

bộ điều khiển bộ nhớ được cấu hình để gửi lệnh truy cập thứ nhất đến DRAM và SCM, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất, và địa chỉ thứ nhất được sử dụng để hướng đến tập ô nhớ thứ nhất cần được truy cập của DRAM;

DRAM được cấu hình để truy cập ô nhớ trong tập ô nhớ thứ nhất theo lệnh truy cập thứ nhất; và

SCM được cấu hình để:

thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ;

xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn;

thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó địa chỉ thứ hai được sử dụng để hướng đến tập ô nhớ thứ hai của SCM;

biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai; và

truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai.

Dựa vào khía cạnh thứ nhất, theo cách thức thực hiện có thể thứ nhất của khía cạnh thứ nhất, SCM được cấu hình cụ thể để:

xác định, theo địa chỉ thứ nhất được lưu trong bộ nhớ định địa chỉ được nội dung CAM, rằng tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó CAM lưu địa chỉ của ô nhớ mà là ở DRAM và có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, ngoại trừ địa chỉ thứ nhất; và

thu, theo địa chỉ thứ nhất và quan hệ ánh xạ được lưu trong CAM giữa địa chỉ thứ nhất và địa chỉ thứ hai, địa chỉ thứ hai có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó ô nhớ trong tập ô nhớ thứ nhất là của DRAM và địa chỉ thứ nhất hướng về và ô nhớ trong tập ô nhớ thứ hai là của SCM và địa chỉ thứ hai hướng về được cấu hình để lưu cùng dữ liệu.

Dựa vào khía cạnh thứ nhất hoặc cách thức thực hiện có thể thứ nhất của khía cạnh thứ nhất, theo cách thức thực hiện có thể thứ hai của khía cạnh thứ nhất, bộ điều khiển bộ nhớ còn được cấu hình để gửi lệnh truy cập thứ ba đến DRAM và SCM, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba, và địa chỉ thứ ba được sử dụng để hướng đến tập ô nhớ thứ ba cần được truy cập của DRAM;

DRAM còn được cấu hình để truy cập ô nhớ trong tập ô nhớ thứ ba theo lệnh truy cập thứ ba; và

SCM còn được cấu hình để:

thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ;

xác định là tập ô nhớ thứ ba không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM; và

xóa lệnh truy cập thứ ba.

Dựa vào cách thức thực hiện có thể thứ hai của khía cạnh thứ nhất, theo cách thức thực hiện có thể thứ ba của khía cạnh thứ nhất, bộ nhớ lai còn bao gồm:

bộ ghép kênh (MUX), được cấu hình để: khi lệnh truy cập thứ nhất là lệnh đọc, xuất ra, đến bộ điều khiển bộ nhớ, dữ liệu được lưu trong ô nhớ trong

tập ô nhớ thứ hai của SCM; hoặc

khi lệnh truy cập thứ ba là lệnh đọc, xuất ra, đến bộ điều khiển bộ nhớ, dữ liệu được lưu trong ô nhớ trong tập ô nhớ thứ ba của DRAM.

Theo khía cạnh thứ hai, phương án của sáng chế đề xuất bộ nhớ lớp lưu trữ SCM, trong đó SCM được ứng dụng với hệ thống máy tính mà bao gồm bộ nhớ lai, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động DRAM và SCM, và SCM bao gồm:

bộ điều khiển SCM, được cấu hình để thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ của hệ thống máy tính, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất, và địa chỉ thứ nhất được sử dụng để hướng đến tập ô nhớ thứ nhất cần được truy cập của DRAM; và

bộ nhớ định địa chỉ được nội dung CAM, được cấu hình để xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, và thu địa chỉ thứ hai có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn, và địa chỉ thứ hai được sử dụng để hướng đến tập ô nhớ thứ hai của SCM, trong đó

bộ điều khiển SCM còn được cấu hình để biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai, và truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai; và

các ô nhớ, được cấu hình để lưu dữ liệu.

Dựa vào khía cạnh thứ hai, theo cách thức thực hiện có thể thứ nhất của khía cạnh thứ hai, CAM được cấu hình cụ thể để:

xác định, theo địa chỉ thứ nhất được lưu trước trong CAM, là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó CAM lưu địa chỉ của ô nhớ mà là ở DRAM và có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, ngoại trừ địa chỉ thứ nhất; và

thu, theo địa chỉ thứ nhất và quan hệ ánh xạ được lưu trong CAM giữa địa chỉ thứ nhất và địa chỉ thứ hai, địa chỉ thứ hai có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó ô nhớ trong tập ô nhớ thứ nhất là của DRAM và địa chỉ

thứ nhất hướng đến và ô nhớ trong tập ô nhớ thứ hai là của SCM và địa chỉ thứ hai hướng đến được cấu hình để lưu cùng dữ liệu.

Dựa vào khía cạnh thứ hai hoặc cách thức thực hiện có thể thứ nhất của khía cạnh thứ hai, theo cách thức thực hiện có thể thứ hai của khía cạnh thứ hai, bộ điều khiển SCM còn được cấu hình để thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba, và địa chỉ thứ ba được sử dụng để hướng đến tập ô nhớ thứ ba cần được truy cập của DRAM;

CAM còn được cấu hình để xác định, theo địa chỉ thứ ba, là tập ô nhớ thứ ba không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM; và

bộ điều khiển SCM còn được cấu hình để xóa lệnh truy cập thứ ba.

Dựa vào cách thức thực hiện có thể thứ hai của khía cạnh thứ hai, theo cách thức thực hiện có thể thứ ba của khía cạnh thứ hai, bộ nhớ lai còn bao gồm bộ ghép kênh MUX, và CAM còn được cấu hình để:

khi lệnh truy cập thứ nhất là lệnh đọc, sau khi được xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, gửi tín hiệu lệnh thứ nhất đến MUX trong bộ nhớ lai, trong đó tín hiệu lệnh thứ nhất được sử dụng để lệnh MUX xuất ra dữ liệu được lưu trong SCM cho bộ điều khiển bộ nhớ.

Theo khía cạnh thứ ba, phương án của sáng chế đề xuất phương pháp truy cập bộ nhớ, trong đó phương pháp được ứng dụng với hệ thống máy tính mà bao gồm bộ nhớ lai, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động DRAM và bộ nhớ lớp lưu trữ SCM, phương pháp được thực hiện bởi SCM, và phương pháp bao gồm các bước:

thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ của hệ thống máy tính, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất, và địa chỉ thứ nhất được sử dụng để hướng đến tập ô nhớ thứ nhất cần được truy cập của DRAM;

xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó chu kỳ làm mới của DRAM dài

hơn chu kỳ làm mới tiêu chuẩn;

thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó địa chỉ thứ hai được sử dụng để hướng đến tập ô nhớ thứ hai của SCM;

biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai; và

truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai.

Dựa vào khía cạnh thứ ba, theo cách thức thực hiện có thể thứ nhất của khía cạnh thứ ba, việc xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM bao gồm:

xác định, theo địa chỉ thứ nhất được lưu trong bộ nhớ định địa chỉ được nội dung CAM, là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó CAM lưu địa chỉ của ô nhớ mà ở DRAM và có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, ngoại trừ địa chỉ thứ nhất.

Dựa vào cách thức thực hiện có thể thứ nhất của khía cạnh thứ ba, theo cách thức thực hiện có thể thứ hai của khía cạnh thứ ba, bước thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất bao gồm:

thu, theo quan hệ ánh xạ, được lưu trong CAM, giữa địa chỉ thứ nhất và địa chỉ thứ hai, địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó ô nhớ trong tập ô nhớ thứ nhất mà là của DRAM và địa chỉ thứ nhất hướng đến và ô nhớ trong tập ô nhớ thứ hai mà là của SCM và địa chỉ thứ hai hướng đến được cấu hình để lưu cùng dữ liệu.

Dựa vào khía cạnh thứ ba, theo cách thức thực hiện có thể thứ ba của khía cạnh thứ ba, phương pháp còn bao gồm:

thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba, và địa chỉ thứ ba được sử dụng để hướng đến tập ô nhớ thứ ba cần được truy cập của DRAM;

xác định là tập ô nhớ thứ ba không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM; và

xóa lệnh truy cập thứ ba.

Dựa vào khía cạnh thứ ba, theo cách thức thực hiện có thể thứ tư của

khía cạnh thứ ba, phương pháp còn bao gồm:

khi lệnh truy cập thứ nhất là lệnh đọc, sau khi được xác định là tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, gửi tín hiệu lệnh thứ nhất đến bộ ghép kênh MUX trong bộ nhớ lai, trong đó tín hiệu lệnh thứ nhất được sử dụng để lệnh MUX xuất ra dữ liệu được lưu trong SCM cho bộ điều khiển bộ nhớ.

Theo khía cạnh thứ tư, phương án của sáng chế đề xuất sản phẩm chương trình máy tính, mà bao gồm phương tiện ghi đọc được bằng máy tính mà lưu mã chương trình, trong đó lệnh được bao gồm trong mã chương trình được sử dụng để thực hiện phương pháp theo khía cạnh thứ ba.

Theo hệ thống máy tính được đề xuất trong các phương án của sáng chế, bộ nhớ truy cập ngẫu nhiên động DRAM và bộ nhớ lớp lưu trữ SCM cùng cấu thành bộ nhớ lai của hệ thống máy tính, và chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn. Khi xác định là tập ô nhớ thứ nhất mà là của DRAM và địa chỉ thứ nhất trong lệnh truy cập thứ nhất thu được hướng đến bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, SCM có thể thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất. Ngoài ra, SCM biến đổi, theo địa chỉ thứ hai, lệnh truy cập thứ nhất thành lệnh truy cập thứ hai để truy cập SCM, để thực hiện truy cập SCM. Hệ thống máy tính được đề xuất trong các phương án của sáng chế có thể đảm bảo độ chính xác của dữ liệu trong khi làm giảm điện năng tiêu thụ cho việc làm mới DRAM.

### **Mô tả vắn tắt các hình vẽ**

Để mô tả các giải pháp kỹ thuật trong các phương án của sáng chế rõ ràng hơn, sau đây sẽ mô tả vắn tắt các hình vẽ kèm theo được yêu cầu để mô tả các phương án. Hiển nhiên là, các hình vẽ kèm theo trong phần mô tả sau đây chỉ thể hiện một số phương án của sáng chế.

Fig.1-A là sơ đồ giản lược của kiến trúc hệ thống máy tính dựa trên bộ nhớ lai theo phương án của sáng chế;

Fig.1-B là sơ đồ giản lược của kiến trúc hệ thống máy tính khác dựa trên bộ nhớ lai theo phương án của sáng chế;

Fig.1-C là sơ đồ giản lược của kiến trúc hệ thống máy tính khác nữa dựa

trên bộ nhớ lai theo phương án của sáng chế;

Fig.2 là lưu đồ giản lược của phương pháp truy cập bộ nhớ theo phương án của sáng chế; và

Fig.3 là lưu đồ giản lược của phương pháp truy cập bộ nhớ theo phương án của sáng chế.

### **Mô tả chi tiết sáng chế**

Để làm cho người có hiểu biết trung bình trong lĩnh vực hiểu rõ các giải pháp kỹ thuật trong sáng chế hơn, phần sau đây sẽ mô tả rõ ràng các giải pháp kỹ thuật trong các phương án của sáng chế dựa vào các hình vẽ kèm theo trong các phương án của sáng chế. Hiển nhiên là, các phương án được mô tả chỉ là một phần chứ không phải là tất cả các phương án của sáng chế.

Phương án của sáng chế đề xuất, dựa trên kiến trúc hệ thống có bộ nhớ lai, phương pháp truy cập bộ nhớ, mà có thể đảm bảo độ chính xác của dữ liệu được lưu trong bộ nhớ trong khi làm giảm điện năng tiêu thụ cho việc làm mới bộ nhớ. Fig.1-A, Fig.1-B, và Fig.1-C là các sơ đồ giản lược của các kiến trúc hệ thống máy tính dựa trên bộ nhớ lai theo phương án này của sáng chế. Theo các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A, Fig.1-B, và Fig.1-C, bộ nhớ truy cập ngẫu nhiên động DRAM và bộ nhớ lớp lưu trữ (SCM) được thể hiện toàn bộ, và cùng được xử lý như bộ nhớ chính của hệ thống máy tính 100. Do các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A, Fig.1-B, và Fig.1-C là tương tự nhau, nên phần sau đây mô tả chi tiết hệ thống máy tính 100 được đề xuất trong phương án này của sáng chế, bằng cách viện dẫn chủ yếu đến Fig.1-A.

Như được thể hiện trên Fig.1-A, bộ xử lý trung tâm (Central Processing Unit, CPU) 10 là lõi tính toán và lõi điều khiển của hệ thống máy tính 100. CPU 10 có thể là mạch tích hợp phạm vi siêu lớn. Hệ điều hành và chương trình phần mềm khác được cài đặt trong CPU 10, sao cho CPU 10 có khả năng truy cập bộ nhớ, bộ nhớ đệm, và đĩa từ. Có thể được hiểu là, trong phương án này của sáng chế, CPU 10 chỉ là ví dụ của bộ xử lý. Ngoài CPU 10, bộ xử lý có thể còn là mạch tích hợp ứng dụng cụ thể khác (Application Specific Integrated Circuit, ASIC), hoặc được cấu hình như một hoặc nhiều mạch tích hợp mà thực hiện

phương án này của sáng chế. CPU 10 có thể bao gồm bộ quản lý bộ nhớ (Memory Management Unit, MMU), và MMU được cấu hình để thực hiện biến đổi từ địa chỉ logic thành địa chỉ bộ nhớ vật lý.

Bộ điều khiển bộ nhớ (Memory Controller) 20 là bộ điều khiển mạch bus, bên trong hệ thống máy tính 100, mà điều khiển bộ nhớ 30 và được cấu hình để quản lý và lập kế hoạch tốc độ truyền dữ liệu từ bộ nhớ 30 đến CPU 10. Nhờ sử dụng bộ điều khiển bộ nhớ 20, bộ nhớ 30 và CPU 10 có thể trao đổi dữ liệu. Bộ điều khiển bộ nhớ 20 có thể là một chip độc lập và được kết nối với CPU 10 nhờ sử dụng bus hệ thống. Người có hiểu biết trung bình trong lĩnh vực có thể biết là bộ điều khiển bộ nhớ 20 cũng có thể được tích hợp vào chip lớn liên quan. Chẳng hạn, bộ điều khiển bộ nhớ 20 có thể được tích hợp vào bộ vi xử lý (chẳng hạn, CPU 10) hoặc được xây dựng trong cầu bắc (northbridge). Vị trí cụ thể của bộ điều khiển bộ nhớ 20 không bị giới hạn trong phương án này của sáng chế. Để thuận tiện cho việc mô tả, trong kiến trúc hệ thống được thể hiện trên Fig.1-A, ví dụ trong đó bộ điều khiển bộ nhớ 20 được cấu hình độc lập được sử dụng để mô tả. Bộ điều khiển bộ nhớ 20 điều khiển logic cần thiết để ghi dữ liệu vào bộ nhớ 30 hoặc đọc dữ liệu từ bộ nhớ 30.

Bộ nhớ 30 là bộ nhớ chính của hệ thống máy tính 100. Bộ nhớ 30 thường được cấu hình để lưu các phần mềm đang chạy trên hệ điều hành, nhập và xuất dữ liệu, thông tin được trao đổi với bộ nhớ ngoài, và tương tự. Để làm tăng tốc độ truy cập của CPU 10, bộ nhớ 30 cần sở hữu ưu điểm là truy cập nhanh. Trong kiến trúc hệ thống máy tính thông thường, bộ nhớ truy cập ngẫu nhiên động (DRAM) thường được sử dụng làm bộ nhớ 30. Do các bộ nhớ lớp lưu trữ (SCM) phát triển, SCM cũng dần được sử dụng làm bộ nhớ do các đặc tính truy cập nhanh và không khả biến.

Như được thể hiện trên Fig.1-A, trong kiến trúc hệ thống với bộ nhớ lai được thể hiện trên Fig.1-A, bộ nhớ 30 có thể bao gồm bộ nhớ truy cập ngẫu nhiên động (DRAM) 40 và bộ nhớ lớp lưu trữ (SCM) 50. CPU 10 có thể truy cập DRAM 40 và SCM 50 ở tốc độ cao nhờ sử dụng bộ điều khiển bộ nhớ 20, và thực hiện thao tác đọc hoặc thao tác ghi trên ô nhớ bất kỳ trong DRAM 40 hoặc SCM 50.

Như được mô tả ở trên, DRAM 40 sử dụng lượng điện được lưu trong bộ tụ điện để chỉ báo 0 hoặc 1. Do bộ tụ điện có thể bị rò điện, nếu điện nạp trong bộ tụ điện không đủ, dữ liệu được lưu có thể bị lỗi. Do đó, bộ điều khiển bộ nhớ 20 làm mới dữ liệu trong DRAM 40 ở các khoảng thời gian không đổi, để ô DRAM 40 không mất dữ liệu. Ngoài ra, DRAM 40 là không khả biến. Khi hệ thống máy tính 100 bị tắt nguồn, thông tin trong DRAM 40 không được lưu lại. DRAM 40 có thể bao gồm nhiều chip DRAM. Trong ứng dụng thực tế, DRAM 40 có thể tồn tại ở dạng môđun bộ nhớ hai hàng chân cắm (DIMM).

SCM 50 là bộ nhớ không khả biến thế hệ mới. SCM 50 có tốc độ truy cập có thể so sánh với tốc độ truy cập của bộ nhớ thông thường (chẳng hạn, DRAM 40), và còn có đặc tính là độ tin cậy cao của sản phẩm bán dẫn. Hơn nữa, khi dữ liệu được ghi, dữ liệu có thể được ghi vào SCM 50 trực tiếp mà không phải xóa dữ liệu trước đó trong SCM 50. SCM 50 bao gồm bộ nhớ không khả biến thế hệ tiếp theo (Non-Volatile Memory, NVM) đại diện cho bộ nhớ thay đổi pha (Phase Change Memory, PCM), bộ nhớ truy cập ngẫu nhiên dựa trên điện trở (Resistive Random Access Memory, RRAM), bộ nhớ truy cập ngẫu nhiên từ (Magnetic Random Access Memory, MRAM), bộ nhớ truy cập ngẫu nhiên sắt điện (Ferroelectric Random Access Memory, FRAM), hoặc tương tự. NVM thế hệ tiếp theo có đặc điểm là truy cập nhanh và có thể định địa chỉ được bởi byte, nhờ dữ liệu được ghi vào bộ nhớ không khả biến theo các đơn vị bit. Do đó, SCM 50 có thể được lắp vào bộ nhớ bus, và được sử dụng làm bộ nhớ để truy cập trực tiếp bởi CPU 10. Sự khác nhau so với DRAM thông thường là SCM 50 là không khả biến. Khi hệ thống máy tính 100 được tắt nguồn, thông tin trong SCM 50 vẫn tồn tại.

SCM 50 có thể bao gồm bộ điều khiển bộ nhớ lớp lưu trữ SCM 52 và môđun lưu trữ 54. Bộ điều khiển SCM 52 được cấu hình để truy cập môđun lưu trữ 54, quản lý dữ liệu được lưu trong môđun lưu trữ 54, hoặc tương tự. Chẳng hạn, bộ điều khiển SCM 52 có thể truy cập môđun lưu trữ 54 theo lệnh truy cập bộ nhớ thu được được chuyển tiếp bởi bộ điều khiển bộ nhớ 20, để ghi dữ liệu vào môđun lưu trữ 54 hoặc đọc dữ liệu từ môđun lưu trữ 54. Ngoài ra, bộ điều khiển SCM 52 có thể còn được cấu hình để điều khiển trình tự thời gian dữ liệu

được ghi vào môđun lưu trữ 54, và v.v.. Bộ điều khiển SCM 52 có thể bao gồm mạch điều khiển, bộ xử lý trung tâm CPU, và mạch tích hợp ứng dụng cụ thể (ASIC), hoặc được cấu hình làm một hoặc nhiều mạch tích hợp mà thực hiện phương án này của sáng chế.

Môđun lưu trữ 54 được cấu hình để lưu dữ liệu. Môđun lưu trữ 54 có thể bao gồm nhiều ô nhớ. Chẳng hạn, môđun lưu trữ 54 có thể là mảng lưu trữ mà bao gồm nhiều ô nhớ. Trong phương án này của sáng chế, các ô nhớ trong môđun lưu trữ 54 đề cập đến ô nhớ nhỏ nhất được sử dụng để lưu dữ liệu. Ô nhớ cũng là bộ nhớ nhỏ nhất mà cấu thành mảng lưu trữ. Nói chung, một ô nhớ có thể lưu 1 bit dữ liệu. Chắc chắn là, một số ô nhớ có thể thực hiện lưu nhiều giá trị. Cho các ô nhớ mà có thể thực hiện việc lưu nhiều giá trị, một ô nhớ có thể còn lưu 2 bit dữ liệu. Số lượng cụ thể của bit dữ liệu được lưu trong ô nhớ không bị giới hạn ở đây. Trong phương án này của sáng chế, các ô nhớ trong môđun lưu trữ 54 có thể bao gồm các ô nhớ không khả biến kiểu mới thế hệ tiếp theo như các ô nhớ thay đổi pha, các ô nhớ từ, hoặc các ô nhớ điện trở.

Trong phương án này của sáng chế, để thuận tiện cho việc mô tả, chi phí năng lượng gây ra do các thao tác đọc và các thao tác ghi trên DRAM 40 hoặc SCM 50 được đề cập tới như là điện năng tiêu thụ động, và chi phí năng lượng gây ra trong suốt khoảng thời gian của thao tác không đọc hoặc không ghi trên DRAM 40 hoặc SCM 50 được đề cập tới như là điện năng tiêu thụ tĩnh. Chi phí năng lượng gây ra bởi thao tác đọc trên SCM 50 có thể so sánh với chi phí năng lượng gây ra bởi thao tác ghi trên DRAM 40, trong khi chi phí năng lượng gây ra bởi thao tác ghi trên SCM 50 lớn hơn chi phí năng lượng gây ra bởi thao tác đọc trên DRAM 40. Do đó, điện năng tiêu thụ động của SCM 50 lớn hơn điện năng tiêu thụ động của DRAM 40. Tuy nhiên, DRAM 40 cần được làm mới nhưng SCM 50 không cần được làm mới. Do đó, điện năng tiêu thụ tĩnh của DRAM 40 lớn hơn điện năng tiêu thụ tĩnh của SCM 50. Trong ứng dụng thực tế, nếu bộ nhớ 30 bao gồm chỉ SCM 50 hoặc bao gồm lượng lớn các SCM 50, điện năng tiêu thụ động cao quá mức của hệ thống xảy ra, và các chi phí của hệ thống cũng tương đối cao. Để làm giảm điện năng tiêu thụ của hệ thống và các chi phí của hệ thống, trong hệ thống máy tính 100 được mô tả trong phương án này của

sáng chế, số lượng các DRAM 40 được sử dụng trong bộ nhớ 30 lớn hơn số lượng các SCM 50 được sử dụng trong bộ nhớ 30. Theo cách này, dung lượng của DRAM 40 lớn hơn dung lượng của SCM 50. Chẳng hạn, trong bộ nhớ 30, tỷ lệ số lượng DRAM 40 được sử dụng so với số lượng SCM 50 được sử dụng có thể là 10:1, 20:1, hoặc tương tự. Tỷ lệ số lượng cụ thể của DRAM 40 được sử dụng so với số lượng SCM 50 được sử dụng không bị giới hạn trong phương án này của sáng chế, miễn là số lượng DRAM 40 được sử dụng lớn hơn số lượng SCM 50 được sử dụng. Trong ứng dụng thực tế, DRAM 40 có thể được sử dụng kết hợp với SCM 50 theo yêu cầu thực tế. Dung lượng của DRAM 40 lớn hơn dung lượng của SCM 50. Do đó, DRAM 40 có thể được sử dụng làm bộ nhớ chính, và SCM 50 có thể được sử dụng làm bộ nhớ phụ. Theo cách này, lượng lớn dữ liệu được lưu trong DRAM 40, và chỉ lượng nhỏ dữ liệu được lưu trong SCM 50.

Người có hiểu biết trung bình trong lĩnh vực có thể biết là, hiện tại, các chip DRAM hầu hết được sản xuất theo chu kỳ làm mới chuẩn hóa cụ thể là 64ms. Chu kỳ làm mới đề cập đến thời gian lưu giữ của mỗi ô nhớ (chẳng hạn, ô DRAM) trong chip DRAM. Thời gian lưu giữ đề cập tới thời gian mà ô nhớ giữ dữ liệu. Một khi vượt quá thời gian lưu giữ, dữ liệu được lưu trong ô nhớ bị mất. Để ngăn dữ liệu được lưu trong chip DRAM không bị mất, chip DRAM cần được làm mới theo chu kỳ làm mới. Tuy nhiên, được nhận thấy trong ứng dụng thực tế là, do thời gian lưu giữ của mỗi ô nhớ (chẳng hạn, ô DRAM) trong chip DRAM dao động, nên 64ms thực tế là thời gian lưu giữ kém nhất của ô nhớ. Do đó, trong phương án này của sáng chế, điện năng tiêu thụ của hệ thống và thời gian trễ mà bị gây ra bởi việc làm mới DRAM có thể được làm giảm xuống bằng cách kéo dài chu kỳ làm mới. Tuy nhiên, chu kỳ làm mới kéo dài theo cách đơn giản của chip DRAM có thể gây ra việc lỗi dữ liệu.

Để đảm bảo độ chính xác của dữ liệu trong khi làm giảm điện năng tiêu thụ của hệ thống, trong kiến trúc hệ thống máy tính được thể hiện trên phương án này của sáng chế, bộ nhớ 30 có thể còn bao gồm bộ nhớ định địa chỉ được nội dung (CAM) 60. CAM 60 là thiết bị lưu trữ dành riêng, và có khả năng thực hiện nhiều tra cứu song song một cách nhanh chóng. CAM 60 có thể bao gồm

thiết bị lưu trữ loại không khả biến, sao cho CAM 60 là không khả biến. Chắc chắn là, có thể được hiểu là CAM 60 cũng có thể bao gồm thiết bị lưu trữ loại không không khả biến, mà không bị giới hạn ở đây. Trong phương án này của sáng chế, ví dụ trong đó CAM 60 bao gồm thiết bị lưu trữ loại không khả biến được sử dụng để mô tả. CAM 60 có thể chứa quan hệ ánh xạ giữa địa chỉ DRAM 40 không đủ điều kiện và địa chỉ SCM 50. Địa chỉ DRAM không đủ điều kiện đề cập tới địa chỉ của ô nhớ (chẳng hạn, ô DRAM) mà ở trong DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới. Có nhiều địa chỉ DRAM không đủ điều kiện. Trong phương án này của sáng chế, địa chỉ của ô nhớ mà có thời gian lưu giữ ngắn có thể được ánh xạ tới SCM 50, sao cho việc truy cập vào ô nhớ mà có thời gian lưu giữ ngắn được biến đổi để truy cập SCM 50 để đảm bảo độ chính xác của dữ liệu. Có thể được hiểu là, nếu CAM 60 bao gồm thiết bị lưu trữ loại không không khả biến, quan hệ ánh xạ giữa địa chỉ DRAM 40 không đủ điều kiện và địa chỉ SCM 50 có thể được lưu trước trong bộ nhớ ngoài. Khi hệ thống được bật nguồn, quan hệ ánh xạ giữa địa chỉ DRAM 40 không đủ điều kiện và địa chỉ SCM 50 có thể thu được từ bộ nhớ ngoài, và quan hệ ánh xạ được ghi vào CAM 60.

Do phương án này của sáng chế được ứng dụng với kiến trúc hệ thống máy tính dựa trên bộ nhớ lai, bộ nhớ 30 có thể còn bao gồm bộ ghép kênh (multiplexer, MUX) 70. MUX 70 có thể lựa chọn, theo sự kiểm soát tín hiệu lựa chọn, một dòng dữ liệu từ nhiều dòng dữ liệu làm tín hiệu đầu ra. Trong phương án này của sáng chế, đầu vào của MUX 70 được kết nối với cả DRAM 40 và SCM 50, và đầu ra của MUX 70 được kết nối với bộ điều khiển bộ nhớ 20. Khi dữ liệu cần được đọc từ bộ nhớ 30, MUX 70 có thể lựa chọn xuất dữ liệu được lưu trong DRAM 40 đến bộ điều khiển bộ nhớ 20, hoặc xuất dữ liệu được lưu trong SCM 50 đến bộ điều khiển bộ nhớ 20. Chẳng hạn, MUX 70 có thể bao gồm bộ đệm được sử dụng để đệm cho dữ liệu được xuất từ DRAM 40, và bộ đệm được sử dụng để đệm cho dữ liệu được xuất từ SCM 50.

Cần lưu ý là vị trí cụ thể của CAM 60 không bị giới hạn trong phương án này của sáng chế. Chẳng hạn, trong một trường hợp, trong các hệ thống máy tính được thể hiện trên Fig.1-A và Fig.1-C, CAM 60 có thể được đặt ở SCM 50

và được sử dụng làm thành phần của SCM 50. Trong trường hợp khác, trong hệ thống máy tính được thể hiện trên Fig.1-B, CAM 60 có thể là thành phần lưu trữ độc lập với SCM 50. Ngoài ra, quan hệ kết nối giữa CAM 60 và thành phần khác không bị giới hạn trong phương án này của sáng chế. Chẳng hạn, trong một trường hợp, như được thể hiện trên Fig.1-A và Fig.1-B, CAM 60 có thể được kết nối với tất cả trong số bộ điều khiển bộ nhớ 20, bộ điều khiển SCM 52, và bộ ghép kênh 70. Trong trường hợp khác, như được thể hiện trên Fig.1-C, CAM 60 có thể còn được kết nối với chỉ bộ điều khiển SCM 52 và MUX 70.

Trong ứng dụng thực tế, trong một trường hợp, như được thể hiện trên Fig.1-A và Fig.1-C, bộ điều khiển SCM 52, môđun lưu trữ 54, và CAM 60 có thể được tích hợp trong một chip. Trong trường hợp khác, như được thể hiện trên Fig.1-B, CAM 60 có thể là chip độc lập, và bộ điều khiển SCM 52 và môđun lưu trữ 54 có thể được tích hợp trong một chip. Trong trường hợp khác nữa, CAM 60 và bộ điều khiển SCM 52 có thể được tích hợp trong một chip, và môđun lưu trữ 54 có thể là chip độc lập. Các dạng phần cứng của CAM 60, bộ điều khiển SCM 52, và môđun lưu trữ 54 không bị giới hạn trong phương án này của sáng chế. Ngoài ra, bộ điều khiển SCM 52, môđun lưu trữ 54, CAM 60, và MUX 70 có thể cũng được tích hợp như một chip để cấu thành, cùng với DRAM 40, DIMM. Các dạng phần cứng của DRAM 40, CAM 60, SCM 50, và MUX 70 cũng không bị giới hạn trong phương án này của sáng chế.

Trong các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A đến Fig.1-C theo phương án này của sáng chế, để đảm bảo độ chính xác của dữ liệu trong khi làm giảm các chi phí của hệ thống và điện năng tiêu thụ của hệ thống, bộ điều khiển bộ nhớ 20 có thể chủ yếu truy cập DRAM 40, và bộ điều khiển SCM 52 thực hiện thao tác truy cập theo lệnh truy cập của bộ điều khiển bộ nhớ 20 chỉ khi CAM 60 xác định là việc truy cập SCM 50 được yêu cầu. Nói cách khác, khi việc truy cập vào bộ nhớ 30 được yêu cầu, SCM 50 không thực hiện mọi lệnh truy cập được phân phối bởi bộ điều khiển bộ nhớ 20 mà thực hiện lệnh truy cập được phân phối bởi bộ điều khiển bộ nhớ 20 theo tín hiệu được xuất ra bởi CAM 60 chỉ khi CAM 60 xác định là việc truy cập SCM 50 được yêu cầu.

Cần lưu ý là, trong hệ thống máy tính được đề xuất trong phương án này của sáng chế, ngoài các thành phần được thể hiện trên Fig.1-A, Fig.1-B, và Fig.1-C, hệ thống máy tính 100 có thể còn bao gồm các thành phần khác như giao diện truyền thông và đĩa từ được sử dụng làm bộ nhớ ngoài, mà không bị giới hạn ở đây. Dựa trên phần mô tả nêu trên về các kiến trúc hệ thống máy tính dựa trên bộ nhớ lai theo phương án này của sáng chế, phần sau đây mô tả chi tiết phương pháp truy cập bộ nhớ được đề xuất trong các phương án của sáng chế. Do các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A, Fig.1-B, và Fig.1-C là tương tự, nên để thuận tiện cho việc mô tả, phần sau đây mô tả chi tiết phương pháp truy cập bộ nhớ được đề xuất trong các phương án của sáng chế, bằng cách chủ yếu viện dẫn đến kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A.

Fig.2 là lưu đồ của phương pháp truy cập bộ nhớ theo phương án của sáng chế. Phương pháp có thể được áp dụng với hệ thống máy tính 100 được thể hiện trên Fig.1-A. Phương pháp có thể được thực hiện bởi SCM 50 trên Fig.1-A. Cụ thể là, phương pháp có thể được thực hiện bởi bộ điều khiển SCM 52 trong SCM 50. Như được thể hiện trên Fig.2, phương pháp có thể bao gồm các bước sau đây.

Ở bước 200, bộ điều khiển SCM 52 thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ 20, trong đó lệnh truy cập thứ nhất bao gồm địa chỉ thứ nhất. Lệnh truy cập thứ nhất được sử dụng để truy cập bộ nhớ 30, và địa chỉ thứ nhất được sử dụng để hướng đến tập ô nhớ cần được truy cập của DRAM 40. Người có hiểu biết trung bình trong lĩnh vực có thể biết là, khi CPU 10 cần truy cập bộ nhớ, địa chỉ logic có thể được biến đổi thành địa chỉ vật lý của bộ nhớ nhờ sử dụng MMU trong CPU 10. Bộ điều khiển bộ nhớ 20 có thể định địa chỉ bộ nhớ 30 theo địa chỉ vật lý mà là kết quả từ việc biến đổi bởi MMU, để thu dữ liệu được lưu trong bộ nhớ 30 hoặc ghi dữ liệu vào bộ nhớ 30. Trong kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A theo các phương án của sáng chế, do dung lượng của DRAM 40 lớn hơn dung lượng của SCM 50, DRAM 40 có thể được sử dụng làm bộ nhớ chính và SCM 50 có thể được sử dụng làm bộ nhớ phụ. Khi bộ điều khiển bộ nhớ 20 cần truy cập bộ nhớ 30, bộ điều khiển bộ nhớ

20 có thể gửi lệnh truy cập đến DRAM 40 và SCM 50. Theo cách này, tất cả các địa chỉ được mang trong lệnh truy cập được gửi bởi CPU 10 đến bộ điều khiển bộ nhớ 20 có thể là địa chỉ mà hướng đến khoảng trống vật lý được cung cấp bởi DRAM 40. Trong phương án này của sáng chế, địa chỉ thứ nhất có thể hướng đến khoảng trống vật lý được cung cấp bởi nhiều tập ô nhớ cần được truy cập trong DRAM 40.

Như được mô tả ở trên, các ô DRAM trong DRAM 40 được bố trí và được phân bố vào ma trận, và ma trận được đề cập tới như là khối DRAM. Khi việc truy cập bộ nhớ 30 được yêu cầu, bộ điều khiển bộ nhớ 20 có thể định vị ô DRAM bất kỳ trong khối DRAM theo địa chỉ thứ nhất nhờ sử dụng các bộ giải mã hàng và cột tương ứng. Cần lưu ý là địa chỉ thứ nhất có thể là một địa chỉ, hoặc có thể là vùng địa chỉ. Chẳng hạn, khi lệnh truy cập bộ nhớ là lệnh ghi, địa chỉ thứ nhất có thể là địa chỉ bắt đầu của dữ liệu cần được ghi. Khi lệnh truy cập bộ nhớ là lệnh đọc, địa chỉ thứ nhất có thể bao gồm địa chỉ bắt đầu cần được truy cập và kích thước của khoảng trống địa chỉ cần được truy cập. Trong phương án này của sáng chế, độ chi tiết của khoảng trống lưu trữ mà là của bộ nhớ và địa chỉ thứ nhất hướng tới có thể là byte, hoặc dòng, hoặc trang. Theo cách này, khoảng trống lưu trữ mà là của bộ nhớ và địa chỉ thứ nhất hướng tới có thể bao gồm ít nhất một byte, hoặc bao gồm ít nhất một dòng, hoặc bao gồm ít nhất một trang. Tập ô nhớ mà địa chỉ thứ nhất hướng tới có thể bao gồm một ô nhớ, hoặc có thể bao gồm nhiều ô nhớ, mà không bị giới hạn ở đây.

Ở bước 205, bộ điều khiển SCM 52 xác định là tập ô nhớ mà là của DRAM 40 và địa chỉ thứ nhất hướng tới bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM. Chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn. Trong phương án này của sáng chế, DRAM 40 được sử dụng làm bộ nhớ chính. Hơn nữa, được xác định trong quá trình nghiên cứu công nghệ là các thời gian lưu giữ của hầu hết các ô DRAM trong DRAM 40 dài hơn chu kỳ làm mới tiêu chuẩn của DRAM. Do đó, để làm giảm điện năng tiêu thụ tĩnh của DRAM 40, số lần mà DRAM 40 được làm mới có thể được giảm xuống bằng cách kéo dài chu kỳ làm mới của DRAM 40. Trong kỹ thuật đã biết, chu kỳ làm mới tiêu chuẩn của DRAM được xác định cụ thể bởi Hội đồng kỹ

thuật thiết bị điện tử (JEDEC) là 64ms, và các DRAM được sản xuất theo chu kỳ làm mới tiêu chuẩn. Trong phương án này của sáng chế, chu kỳ làm mới có thể được xác định cụ thể cho DRAM 40 để làm giảm số lần mà DRAM 40 được làm mới. Chu kỳ làm mới cụ thể cho DRAM 40 dài hơn chu kỳ làm mới tiêu chuẩn xác định-tiêu chuẩn của DRAM. Chẳng hạn, nếu chu kỳ làm mới tiêu chuẩn là 64ms, chu kỳ làm mới của DRAM 40 được xác định trong phương án này của sáng chế có thể là 128ms hoặc 256ms. Có thể được hiểu là, với việc phát triển của các công nghệ, chu kỳ làm mới tiêu chuẩn của DRAM có thể còn dài hơn chu kỳ 64ms được xác định hiện tại. Trong trường hợp này, chu kỳ làm mới của DRAM 40 được xác định trong phương án này của sáng chế cũng có thể dài hơn. Chu kỳ làm mới cụ thể của DRAM 40 không bị giới hạn cụ thể ở đây, miễn là chu kỳ làm mới cụ thể của DRAM 40 dài hơn chu kỳ làm mới xác định tiêu chuẩn của DRAM.

Có thể được hiểu là, trong phương án này của sáng chế, do chu kỳ làm mới của DRAM 40 được kéo dài ra, nên ô nhớ (cell) mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM 40 có thể bị mất dữ liệu. Do đó, trong phương án này của sáng chế, ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM có thể được nhận biết trước, và địa chỉ của ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM được lưu trong CAM 60 được thể hiện trên Fig.1-A đến Fig.1-C. Do đó, ở bước 205, bộ điều khiển SCM 52 có thể xác định cụ thể, nhờ sử dụng CAM 60, liệu tập ô nhớ thứ nhất mà là của DRAM 40 và địa chỉ thứ nhất hướng tới có bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM hay không. Chẳng hạn, CAM 60 truy vấn xem liệu đề mục dữ liệu được lưu trong CAM 60 có bao gồm địa chỉ thứ nhất hay không, và nếu đề mục dữ liệu được lưu trong CAM 60 bao gồm địa chỉ thứ nhất, chỉ báo là địa chỉ thứ nhất hợp với CAM 60, và tập ô nhớ thứ nhất mà là của DRAM 40 và địa chỉ thứ nhất hướng tới bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM.

Trong ứng dụng thực tế, trong một trường hợp, trong các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A và Fig.1-B, CAM 60 được kết nối với

cả bộ điều khiển bộ nhớ 20 và bộ điều khiển SCM 52. Khi bộ điều khiển bộ nhớ 20 gửi lệnh truy cập thứ nhất đến DRAM 40 và SCM 50, bộ điều khiển bộ nhớ 20 có thể gửi đồng thời địa chỉ thứ nhất trong lệnh truy cập thứ nhất đến CAM 60. CAM 60 so sánh địa chỉ thứ nhất được nhập bởi bộ điều khiển bộ nhớ 20 với các đề mục dữ liệu được lưu trong CAM 60. Khi được xác định là đề mục dữ liệu được lưu trong CAM 60 bao gồm địa chỉ thứ nhất, CAM 60 có thể xuất ra, đến SCM 52, địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất và được lưu trong CAM 60. Trong trường hợp khác nữa, trong kiến trúc hệ thống máy tính được thể hiện trên Fig.1-C, CAM 60 không được kết nối trực tiếp với bộ điều khiển bộ nhớ 20. Khi bộ điều khiển SCM 52 thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ 20, bộ điều khiển SCM 52 có thể gửi địa chỉ thứ nhất được mang trong lệnh truy cập thứ nhất đến CAM 60, để truy vấn xem liệu CAM 60 có lưu đề mục dữ liệu mà bao gồm địa chỉ thứ nhất hay không. Nếu CAM 60 xác định là đề mục dữ liệu được lưu trong CAM 60 bao gồm địa chỉ thứ nhất, CAM 60 có thể xuất ra, đến SCM 52, địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất và được lưu trong CAM 60.

Trong ứng dụng thực tế, khi CAM 60 xác định là đề mục dữ liệu được lưu trong CAM 60 bao gồm địa chỉ thứ nhất, CAM 60 có thể còn gửi tín hiệu lệnh thứ nhất đến MUX 70. Tín hiệu lệnh thứ nhất được sử dụng để lệnh MUX 70 đợi SCM 50 xuất dữ liệu. Có thể được hiểu là, nếu lệnh truy cập thứ nhất là lệnh đọc, MUX 70 có thể xuất ra, theo tín hiệu lệnh thứ nhất được gửi bởi CAM 60, dữ liệu được lưu trong SCM 50 đến bộ điều khiển bộ nhớ 20. Nếu lệnh truy cập thứ nhất là lệnh ghi, MUX 70 có thể không xuất dữ liệu đến bộ điều khiển bộ nhớ 20 khi dữ liệu không được thu trong thời gian đặt trước.

Ngoài ra, tốc độ mà DRAM đọc dữ liệu cao hơn tốc độ mà SCM thực hiện thao tác đọc, và trong phương án này của sáng chế, DRAM 40 được sử dụng làm bộ nhớ chính, và trình tự thời gian để lệnh truy cập bộ nhớ có thể được xác định theo giới hạn thời gian truy cập cho DRAM. Do đó, nếu lệnh truy cập thứ nhất là lệnh đọc, để đảm bảo độ chính xác của dữ liệu, khi CAM 60 xác định là, theo địa chỉ thứ nhất, tập ô nhớ mà là của DRAM 40 và địa chỉ thứ nhất hướng tới bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của

DRAM, CAM 60 có thể còn gửi lệnh duy trì đến bộ điều khiển bộ nhớ 20. Lệnh duy trì được sử dụng để lệnh bộ điều khiển bộ nhớ 20 duy trì thời gian đợi đặt trước để đợi thu dữ liệu được xuất ra bởi SCM 50. Có thể được hiểu là, trong các kiến trúc hệ thống máy tính được thể hiện trên Fig.1-A và Fig.1-B, CAM 60 có thể gửi trực tiếp lệnh duy trì đến bộ điều khiển bộ nhớ 20. Trong kiến trúc hệ thống máy tính được thể hiện trên Fig.1-C, CAM 60 có thể gửi lệnh duy trì đến bộ điều khiển bộ nhớ 20 nhờ sử dụng bộ điều khiển SCM 52; hoặc bộ điều khiển SCM 52 gửi lệnh duy trì đến bộ điều khiển bộ nhớ theo cách chủ động khi bộ điều khiển SCM 52 thu địa chỉ thứ hai được gửi bởi CAM 60, mà không bị giới hạn ở đây.

Có thể được hiểu là, trong ứng dụng thực tế, địa chỉ thứ nhất có thể là một số địa chỉ trong vùng địa chỉ cần được truy cập trong lệnh truy cập thứ nhất. Lệnh truy cập thứ nhất có thể còn bao gồm địa chỉ mà khác với địa chỉ thứ nhất và không hướng đến ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM.

Ở bước 210, bộ điều khiển SCM 52 thu địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất. Địa chỉ thứ hai được sử dụng để hướng đến tập ô nhớ thứ hai của SCM 50. Như được mô tả ở trên, trong phương án này của sáng chế, địa chỉ của ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM có thể được lưu trước trong CAM 60. Do ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM gây ra sự mất dữ liệu, để đảm bảo tính chính xác và tính đầy đủ của dữ liệu được lưu trong bộ nhớ 30, trong phương án này của sáng chế, khoảng trống vật lý được cung cấp bởi ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM có thể được ánh xạ với khoảng trống vật lý được cung cấp trong SCM 50. Nói cách khác, ô nhớ trong SCM 50 được sử dụng làm ô nhớ sao lưu của ô nhớ mà ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM. Theo cách này, dữ liệu mà cần được ghi vào ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM có thể cũng được ghi vào ô nhớ trong SCM 50, để ngăn việc mất một phần dữ liệu.

Cụ thể là, quan hệ ánh xạ giữa địa chỉ của ô nhớ được nhận biết mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM và địa chỉ trong SCM 50 có thể được thành lập. Địa chỉ trong DRAM 40 và địa chỉ trong SCM 50 mà có quan hệ ánh xạ chung được sử dụng để lưu cùng dữ liệu. Trong ứng dụng thực tế, trong quy trình khởi động hệ thống, địa chỉ của ô nhớ được nhận biết mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM có thể được ghi vào CAM 60, và quan hệ ánh xạ giữa địa chỉ của ô nhớ được nhận biết mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM và địa chỉ của ô nhớ trong SCM 50 có thể được lưu trong CAM 60. Để thuận tiện cho việc mô tả, trong phương án này của sáng chế, địa chỉ của ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM được đề cập tới như là địa chỉ DRAM không đủ điều kiện. Trong phương án này của sáng chế, quan hệ ánh xạ giữa địa chỉ DRAM không đủ điều kiện và địa chỉ SCM có thể được lưu trong CAM 60. Chẳng hạn, quan hệ ánh xạ giữa địa chỉ DRAM không đủ điều kiện và địa chỉ SCM có thể được thể hiện trong bảng 1:

Bảng 1

| Địa chỉ DRAM không đủ điều kiện | Địa chỉ SCM |
|---------------------------------|-------------|
| ADDR0                           | SCM_ADDR0   |
| ADDR1                           | SCM_ADDR1   |
| ADDR2                           | SCM_ADDR2   |
| ADDR3                           | SCM_ADDR3   |
| ...                             | ...         |

Trong bảng 1, địa chỉ DRAM không đủ điều kiện được sử dụng để chỉ báo địa chỉ của ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM. Địa chỉ SCM được sử dụng để chỉ báo địa chỉ mà có quan hệ ánh xạ với địa chỉ DRAM không đủ điều kiện và hướng tới khoảng trống vật lý trong SCM 50. Như được thể hiện trong bảng 1, ADDR0 và SCM\_ADDR0 là cặp địa chỉ có quan hệ ánh xạ. ADDR0 và SCM\_ADDR0

được sử dụng để lưu cùng dữ liệu. Tương tự, ADDR1 và SCM\_ADDR1 cũng có quan hệ ánh xạ và được sử dụng để lưu cùng dữ liệu. Phần mô tả thêm nữa không được đề cập ở đây. Trong phương án này của sáng chế, địa chỉ DRAM không đủ điều kiện có thể là địa chỉ của ít nhất một byte. Địa chỉ DRAM không đủ điều kiện có thể còn là vùng địa chỉ. Vùng địa chỉ có thể bao gồm một dòng hoặc nhiều dòng địa chỉ, ngoại trừ địa chỉ của ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới cụ thể của DRAM. Chắc chắn là, địa chỉ không đủ điều kiện của DRAM có thể còn hướng đến một trang hoặc nhiều trang, mà không bị giới hạn ở đây.

Ở bước này, CAM 60 có thể xác định, theo bảng 1 nêu trên, liệu địa chỉ thứ nhất có là địa chỉ DRAM không đủ điều kiện hay không. Nếu địa chỉ thứ nhất là địa chỉ DRAM không đủ điều kiện, có thể còn được xác định, theo bảng 1, địa chỉ thứ hai có quan hệ ánh xạ với địa chỉ thứ nhất. Địa chỉ thứ hai là địa chỉ của ô nhớ trong tập ô nhớ thứ hai của SCM 50. Trong phương án được thể hiện trên Fig.2, ví dụ trong đó địa chỉ thứ nhất là địa chỉ DRAM không đủ điều kiện được sử dụng. Chẳng hạn, địa chỉ thứ nhất là ADDR1 trong bảng 1, CAM 60 có thể xuất, đến bộ điều khiển SCM 52, địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất, nghĩa là, SCM\_ADDR1.

Trong phương án này của sáng chế, để đảm bảo độ chính xác của dữ liệu, ô nhớ trong tập ô nhớ thứ nhất mà là của DRAM và địa chỉ thứ nhất hướng tới và ô nhớ trong tập ô nhớ thứ hai mà là của SCM và địa chỉ thứ hai hướng tới được cấu hình để lưu cùng dữ liệu. Ngoài ra, tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ hai không thấp hơn tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ nhất. Chẳng hạn, tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ nhất có thể là 1kB (Byte). Sau đó, tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ hai không thấp hơn 1kB.

Cần lưu ý là, địa chỉ DRAM không đủ điều kiện được lưu trong CAM 60 có thể được nhận biết theo chu kỳ làm mới được kéo dài khi DRAM rời nhà máy. Cho một DRAM, địa chỉ DRAM không đủ điều kiện là xác định. Trong quy trình khởi động hệ thống, địa chỉ SCM có quan hệ ánh xạ với địa chỉ DRAM không đủ điều kiện có thể được điều chỉnh. Nói cách khác, quan hệ ánh xạ trong

bảng 1 nêu trên không cố định. Chẳng hạn, sau khi quan hệ ánh xạ được điều chỉnh, quan hệ ánh xạ giữa SCM\_ADDR3 và ADDRA0 có thể được thành lập, mà không bị giới hạn ở đây.

Ở bước 215, bộ điều khiển SCM 52 biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai. Lệnh truy cập thứ hai bao gồm địa chỉ thứ hai. Cụ thể là, sau khi thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ 20, bộ điều khiển SCM 52 có thể đệm cho lệnh truy cập thứ nhất trước, và sau khi thu địa chỉ thứ hai được xuất bởi CAM 60, bộ điều khiển SCM 52 có thể thay thế địa chỉ thứ hai cho địa chỉ thứ nhất làm địa chỉ cần được truy cập trong lệnh truy cập thứ nhất, sao cho lệnh truy cập thứ nhất có thể được biến đổi thành lệnh truy cập thứ hai. Địa chỉ cần được truy cập được mang trong lệnh truy cập thứ hai là địa chỉ thứ hai. Chẳng hạn, lệnh truy cập thứ nhất được đọc (ADDR1, 1kB), và lệnh truy cập thứ hai mà thu được từ việc biến đổi được đọc (SCM\_ADDR1, 1kB). ADDR1 được sử dụng để chỉ báo địa chỉ thứ nhất cần được truy cập, SCM\_ADDR1 được sử dụng để chỉ báo địa chỉ thứ hai, và 1kB được sử dụng để chỉ báo kích cỡ của dữ liệu cần được đọc.

Ở bước 220, bộ điều khiển SCM 52 truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai. Chẳng hạn, nếu lệnh truy cập bộ nhớ là lệnh ghi dữ liệu, bộ điều khiển bộ nhớ 20 có thể ghi, theo địa chỉ thứ hai, dữ liệu vào các ô nhớ trong tập ô nhớ thứ hai mà là của SCM 50 và địa chỉ thứ hai hướng tới. Nếu lệnh truy cập bộ nhớ là lệnh đọc dữ liệu, bộ điều khiển bộ nhớ 20 có thể đọc dữ liệu từ các ô nhớ trong tập ô nhớ thứ hai mà là của SCM 50 và địa chỉ thứ hai hướng tới.

Theo phương pháp truy cập bộ nhớ được đề xuất trong phương án này của sáng chế, chu kỳ làm mới của DRAM 40 dài hơn chu kỳ làm mới xác định tiêu chuẩn, và quan hệ ánh xạ giữa địa chỉ của ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM 40 và địa chỉ của ô nhớ trong SCM 50 được thành lập trước trong CAM 60. Do đó, khi xác định là lệnh truy cập bao gồm truy cập ô nhớ DRAM không đủ điều kiện (nghĩa là, ô DRAM), bộ điều khiển SCM 52 có thể biến đổi truy cập DRAM thành truy cập SCM 50. Với phương pháp được đề xuất trong phương án này của sáng chế, tính chính xác

của dữ liệu có thể được đảm bảo trong khi điện năng tiêu thụ cho việc làm mới DRAM được giảm xuống.

Ngoài ra, theo phương pháp truy cập bộ nhớ được đề xuất trong phương án này của sáng chế, DRAM 40 được sử dụng làm bộ nhớ chính để truy cập. Do đó, DRAM 40 thực hiện mọi lệnh được phân phối bởi bộ điều khiển bộ nhớ 20. Theo cách này, trong quy trình trong đó bộ điều khiển SCM 52 truy cập SCM 50 theo lệnh truy cập được phân phối bởi bộ điều khiển bộ nhớ, DRAM 40 cũng thực hiện lệnh truy cập. Ô nhớ mà là ở DRAM 40 và có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM 40 chỉ là phần nhỏ trong số tất cả các ô nhớ trong DRAM 40. Do đó, với phương pháp được thể hiện trong phương án này của sáng chế, bộ điều khiển SCM 52 thực hiện các thao tác truy cập trên SCM 50 cho chỉ một số lệnh theo phương pháp được thể hiện trên Fig.2. Ngoài ra, do tốc độ ghi và đọc của DRAM 40 là tương đối cao, nên phương pháp được thể hiện trong phương án này của sáng chế có thể làm giảm các chi phí của hệ thống mà không làm chậm tốc độ truy cập hệ thống, và cũng có thể đảm bảo tốc độ truy cập hệ thống trong khi làm giảm điện năng tiêu thụ của hệ thống.

Fig.3 là lưu đồ của phương pháp theo phương án của sáng chế. Phương pháp có thể vẫn được áp dụng với hệ thống máy tính 100 được thể hiện trên Fig.1-A đến Fig.1-C. Phần sau đây mô tả chi tiết, bằng cách chủ yếu viện dẫn đến Fig.1-A, phương pháp truy cập bộ nhớ được thể hiện trên Fig.3. Phương pháp có thể được thực hiện bởi SCM 50 trên Fig.1-A. Cụ thể là, phương pháp có thể được thực hiện bởi bộ điều khiển SCM 52 trong SCM 50. Như được thể hiện trên Fig.3, phương pháp có thể bao gồm các bước sau đây.

Ở bước 300, bộ điều khiển SCM 52 thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ. Lệnh truy cập thứ ba mang địa chỉ thứ ba, và địa chỉ thứ ba được sử dụng để hướng đến tập ô nhớ thứ ba cần được truy cập của DRAM. Trong ứng dụng thực tế, bộ điều khiển bộ nhớ 20 có thể gửi lệnh truy cập thứ ba đến DRAM 40 và SCM 50 một cách đồng thời. Trong các kiến trúc hệ thống được thể hiện trong các phương án của sáng chế, DRAM 40 được sử dụng làm bộ nhớ chính. Do đó, DRAM 40 cần thực hiện tất cả các lệnh truy cập được phân phối bởi bộ điều khiển bộ nhớ, sau đó địa chỉ thứ ba trong lệnh thứ

ba là địa chỉ mà hướng tới ô nhớ trong DRAM 40. Bước 300 tương tự với bước 200 được thể hiện trên Fig.2, và chi tiết tham khảo phần mô tả của bước 200, và không mô tả thêm ở đây nữa.

Ở bước 305, bộ điều khiển SCM 52 xác định liệu tập ô nhớ thứ ba có bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM hay không. Chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn. Nếu bộ điều khiển SCM 52 xác định là tập ô nhớ thứ ba không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, phương pháp tiến tới bước 310; và trái lại, phương pháp tiến tới bước 315. Cụ thể là, bộ điều khiển SCM 52 có thể xác định, nhờ sử dụng CAM 60, liệu tập ô nhớ thứ ba có bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM hay không. Nếu địa chỉ thứ ba hợp với CAM 60, CAM 60 xuất, đến bộ điều khiển SCM 52, địa chỉ thứ tư có quan hệ ánh xạ với địa chỉ thứ ba, mà chỉ báo là tập ô nhớ thứ ba bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM. Nếu địa chỉ thứ ba không hợp với CAM 60, chỉ báo là tập ô nhớ thứ ba không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM. Bước 305 tương tự với bước 205 được thể hiện trên Fig.2, và chi tiết tham khảo phần mô tả của bước 205, và không mô tả thêm ở đây nữa.

Ở bước 310, bộ điều khiển SCM 52 xóa lệnh truy cập thứ ba. Trong ứng dụng thực tế, sau khi thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ 20, bộ điều khiển SCM 52 không thực hiện lệnh truy cập thứ ba ngay lập tức, nhưng đệm cho lệnh truy cập thứ ba trước. Do đó, ở bước 305, nếu bộ điều khiển SCM 52 không thu được địa chỉ thứ tư được gửi bởi CAM 60, chỉ báo là bộ điều khiển SCM 52 xác định, nhờ sử dụng CAM 60, là tập ô nhớ thứ ba mà địa chỉ thứ ba trong lệnh truy cập thứ ba hướng tới không bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM. Trong trường hợp này, bộ điều khiển SCM 52 có thể xóa lệnh truy cập thứ ba, và không truy cập SCM theo lệnh truy cập thứ ba.

Ở bước 315, bộ điều khiển SCM 52 thu địa chỉ thứ tư mà có quan hệ ánh xạ với địa chỉ thứ ba. Địa chỉ thứ tư được sử dụng để hướng đến tập ô nhớ thứ tư của SCM 50. Ở bước 320, bộ điều khiển SCM 52 biến đổi lệnh truy cập thứ ba

thành lệnh truy cập thứ tư theo địa chỉ thứ tư. Lệnh truy cập thứ tư bao gồm địa chỉ thứ tư. Ở bước 325, bộ điều khiển SCM 52 truy cập SCM 50 theo lệnh truy cập thứ tư. Cụ thể là, bộ điều khiển SCM 52 truy cập ô nhớ trong tập ô nhớ thứ tư trong SCM 50 theo lệnh truy cập thứ tư. Có thể được hiểu là, bước 315 đến bước 325 là tương tự với bước 210 đến bước 220 được thể hiện trên Fig.2 một cách tương ứng, và chi tiết tham khảo phần mô tả tương ứng của các bước liên quan trong phương án được thể hiện trên Fig.2, và không mô tả thêm ở đây nữa.

Phương án của sáng chế còn đề xuất sản phẩm chương trình máy tính để xử lý dữ liệu, mà bao gồm phương tiện ghi có thể đọc được bằng máy tính mà lưu mã chương trình, trong đó lệnh được chứa trong mã chương trình này được sử dụng để thực hiện phương pháp được mô tả trong một trong số các phương án phương pháp nêu trên. Người có hiểu biết trung bình trong lĩnh vực có thể hiểu là phương tiện ghi nêu trên có thể bao gồm phương tiện ghi có thể đọc được bằng máy loại không tạm thời bất kỳ mà có thể lưu mã chương trình, như ổ đĩa cực nhanh USB, đĩa cứng có thể mang theo, đĩa từ, đĩa quang, bộ nhớ truy cập ngẫu nhiên (RAM), đĩa trạng thái cứng (SSD), hoặc bộ nhớ không khả biến.

Cần lưu ý là các phương án được đề xuất bởi đơn này chỉ là các ví dụ. Người có hiểu biết trung bình trong lĩnh vực có thể biết rõ là, để thuận tiện và ngắn gọn phần mô tả, trong các phương án nêu trên, các phương án được mô tả với các sự nhấn mạnh khác nhau, và với phần không được mô tả chi tiết trong một phương án, tham khảo phần mô tả liên quan trong phương án khác. Các dấu hiệu được bộc lộ trong các phương án của sáng chế, các điểm yêu cầu bảo hộ, và các hình vẽ kèm theo có thể tồn tại độc lập, hoặc tồn tại trong sự kết hợp. Các dấu hiệu được mô tả ở dạng phần cứng trong các phương án của sáng chế có thể được thực hiện bởi phần mềm, và ngược lại, mà không bị giới hạn ở đây.

## YÊU CẦU BẢO HỘ

1. Hệ thống máy tính, trong đó hệ thống máy tính bao gồm bộ điều khiển bộ nhớ và bộ nhớ lai, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động (Dynamic Random Access Memory, viết tắt là DRAM) và bộ nhớ lớp lưu trữ (storage-class memory, viết tắt là SCM), trong đó:

bộ điều khiển bộ nhớ được tạo cấu hình để gửi lệnh truy cập thứ nhất tới DRAM và SCM, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất mà định địa chỉ tập ô nhớ thứ nhất của DRAM;

DRAM được tạo cấu hình để truy cập ô nhớ trong tập ô nhớ thứ nhất theo lệnh truy cập thứ nhất; và

SCM được tạo cấu hình để:

thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ;

xác định rằng tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn;

thu được địa chỉ thứ hai mà định địa chỉ tập ô nhớ thứ hai của SCM, địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất;

biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai; và

truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai.

2. Hệ thống máy tính theo điểm 1, trong đó địa chỉ thứ nhất được lưu trữ trong bộ nhớ định địa chỉ được nội dung (content addressable memory, viết tắt là CAM), trong đó tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM được xác định theo địa chỉ thứ nhất, trong đó CAM lưu trữ một hoặc nhiều địa chỉ của một hoặc nhiều ô nhớ trong DRAM, một hoặc nhiều ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, một hoặc nhiều địa chỉ bao gồm địa chỉ thứ nhất, trong đó quan hệ ánh xạ được lưu trữ trong CAM, trong đó địa chỉ thứ hai thu được theo địa chỉ thứ nhất và quan hệ ánh xạ, trong đó ô nhớ trong tập ô nhớ thứ nhất của DRAM và ô nhớ trong tập ô nhớ thứ hai của SCM được tạo cấu hình để lưu trữ cùng dữ liệu.

3. Hệ thống máy tính theo điểm 1, trong đó:

bộ điều khiển bộ nhớ còn được tạo cấu hình để gửi lệnh truy cập thứ ba tới DRAM và SCM, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba mà định địa chỉ tập ô nhớ thứ ba của DRAM;

DRAM còn được tạo cấu hình để truy cập ô nhớ trong tập ô nhớ thứ ba theo lệnh truy cập thứ ba; và

SCM còn được tạo cấu hình để:

thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ; và

xóa lệnh truy cập thứ ba khi tập ô nhớ thứ ba không bao gồm ô nhớ mà thời gian lưu giữ của nó ngắn hơn chu kỳ làm mới của DRAM.

4. Hệ thống máy tính theo điểm 3, trong đó bộ nhớ lai còn bao gồm:

bộ ghép kênh (multiplexer, viết tắt là MUX), được tạo cấu hình để: xuất ra, tới bộ điều khiển bộ nhớ, dữ liệu được lưu trữ trong ô nhớ trong tập ô nhớ thứ hai của SCM khi lệnh truy cập thứ nhất là lệnh đọc.

5. Hệ thống máy tính theo điểm 4, trong đó bộ ghép kênh MUX còn được tạo cấu hình để:

xuất ra, tới bộ điều khiển bộ nhớ, dữ liệu được lưu trữ trong ô nhớ trong tập ô nhớ thứ ba của DRAM khi lệnh truy cập thứ ba là lệnh đọc.

6. Hệ thống máy tính theo điểm 1, trong đó tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ hai không nhỏ hơn tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ nhất.

7. Bộ nhớ lớp lưu trữ (storage-class memory, viết tắt là SCM) trong bộ nhớ lai của hệ thống máy tính, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động (DRAM) mà có chu kỳ làm mới dài hơn chu kỳ làm mới tiêu chuẩn, và trong đó SCM bao gồm:

bộ điều khiển SCM, được tạo cấu hình để

thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ của hệ thống máy tính, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất mà định địa chỉ tập ô nhớ thứ nhất của DRAM, và

biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất khi tập ô nhớ thứ nhất bao

gồm ô nhớ mà thời gian lưu giữ của nó ngắn hơn chu kỳ làm mới của DRAM, trong đó địa chỉ thứ hai mà định địa chỉ tập ô nhớ thứ hai của SCM, và

truy cập ô nhớ trong tập ô nhớ thứ hai của SCM theo lệnh truy cập thứ hai, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai;

bộ nhớ định địa chỉ được nội dung (CAM), được tạo cấu hình thu được địa chỉ thứ hai.

8. SCM theo điểm 7, trong đó địa chỉ thứ nhất được lưu trữ trước trong CAM, trong đó một hoặc nhiều địa chỉ mà định địa chỉ một hoặc nhiều ô nhớ trong DRAM, một hoặc nhiều ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, một hoặc nhiều địa chỉ bao gồm địa chỉ thứ nhất, trong đó địa chỉ thứ hai thu được theo địa chỉ thứ nhất và quan hệ ánh xạ, và trong đó CAM còn được tạo cấu hình để:

xác định, theo địa chỉ thứ nhất, rằng tập ô nhớ thứ nhất bao gồm ô nhớ mà thời gian lưu giữ của nó ngắn hơn chu kỳ làm mới của DRAM,

trong đó ô nhớ trong tập ô nhớ thứ nhất được định địa chỉ bởi địa chỉ thứ nhất trong DRAM và ô nhớ trong tập ô nhớ thứ hai được định địa chỉ bởi địa chỉ thứ hai trong SCM được tạo cấu hình để lưu trữ cùng dữ liệu.

9. SCM theo điểm 7, trong đó:

bộ điều khiển SCM còn được tạo cấu hình để thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba mà định địa chỉ tập ô nhớ thứ ba của DRAM;

CAM còn được tạo cấu hình để xác định, theo địa chỉ thứ ba, rằng tập ô nhớ thứ ba không bao gồm ô nhớ mà thời gian lưu giữ của nó ngắn hơn chu kỳ làm mới của DRAM; và

bộ điều khiển SCM còn được tạo cấu hình để xóa lệnh truy cập thứ ba.

10. SCM theo điểm 7, trong đó bộ nhớ lai còn bao gồm bộ ghép kênh MUX, và CAM còn được tạo cấu hình để:

gửi tín hiệu lệnh thứ nhất tới MUX trong bộ nhớ lai để lệnh MUX xuất ra dữ liệu được lưu trữ trong SCM tới bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ nhất là lệnh đọc, và trong đó tín hiệu lệnh thứ nhất được gửi sau khi được xác định rằng tập ô nhớ thứ nhất bao gồm ô nhớ mà thời gian lưu giữ của

nó ngắn hơn chu kỳ làm mới của DRAM.

11. SCM theo điểm 7, trong đó tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ hai không nhỏ hơn tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ nhất.

12. Phương pháp truy cập bộ nhớ dùng cho hệ thống máy tính có bộ nhớ lai, trong đó bộ nhớ lai bao gồm bộ nhớ truy cập ngẫu nhiên động (DRAM) và bộ nhớ lớp lưu trữ (SCM), và trong đó phương pháp được thực hiện bởi SCM và bao gồm các bước:

thu lệnh truy cập thứ nhất được gửi bởi bộ điều khiển bộ nhớ của hệ thống máy tính, trong đó lệnh truy cập thứ nhất mang địa chỉ thứ nhất mà định địa chỉ tập ô nhớ thứ nhất của DRAM;

biến đổi lệnh truy cập thứ nhất thành lệnh truy cập thứ hai theo địa chỉ thứ hai mà có quan hệ ánh xạ với địa chỉ thứ nhất, trong đó tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, trong đó chu kỳ làm mới của DRAM dài hơn chu kỳ làm mới tiêu chuẩn, trong đó lệnh truy cập thứ hai bao gồm địa chỉ thứ hai, và trong đó địa chỉ thứ hai mà định địa chỉ tập ô nhớ thứ hai của SCM; và

truy cập ô nhớ trong tập ô nhớ thứ hai theo lệnh truy cập thứ hai.

13. Phương pháp theo điểm 12, trong đó địa chỉ thứ nhất được lưu trữ trong bộ nhớ định địa chỉ được nội dung (CAM), trong đó tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM được xác định theo địa chỉ thứ nhất,

trong đó CAM lưu trữ một hoặc nhiều địa chỉ của một hoặc nhiều ô nhớ trong DRAM, một hoặc nhiều ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM, một hoặc nhiều địa chỉ bao gồm địa chỉ thứ nhất.

14. Phương pháp theo điểm 13, trong đó địa chỉ thứ hai thu được theo địa chỉ thứ nhất và quan hệ ánh xạ giữa địa chỉ thứ nhất và địa chỉ thứ hai, trong đó quan hệ ánh xạ được lưu trữ trong CAM, trong đó ô nhớ trong tập ô nhớ thứ nhất được định địa chỉ bởi địa chỉ thứ nhất trong DRAM và ô nhớ trong tập ô nhớ thứ hai được định địa chỉ bởi địa chỉ thứ hai trong SCM được tạo cấu hình để lưu trữ cùng dữ liệu.

15. Phương pháp theo điểm 12, trong đó phương pháp này còn bao gồm bước: thu lệnh truy cập thứ ba được gửi bởi bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ ba mang địa chỉ thứ ba mà định địa chỉ tập ô nhớ thứ ba của DRAM, trong đó tập ô nhớ thứ ba không bao gồm ô nhớ mà thời gian lưu giữ của nó ngắn hơn chu kỳ làm mới của DRAM; và

xóa lệnh truy cập thứ ba.

16. Phương pháp theo điểm 12, trong đó phương pháp này còn bao gồm bước: gửi tín hiệu lệnh thứ nhất tới bộ ghép kênh MUX trong bộ nhớ lai để lệnh MUX xuất ra dữ liệu được lưu trữ trong SCM tới bộ điều khiển bộ nhớ, trong đó lệnh truy cập thứ nhất là lệnh đọc, và trong đó tín hiệu lệnh thứ nhất được gửi sau khi được xác định rằng tập ô nhớ thứ nhất bao gồm ô nhớ mà có thời gian lưu giữ ngắn hơn chu kỳ làm mới của DRAM.

17. Phương pháp theo điểm 12, trong đó tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ hai không nhỏ hơn tổng dung lượng lưu trữ của ô nhớ trong tập ô nhớ thứ nhất.

1/5

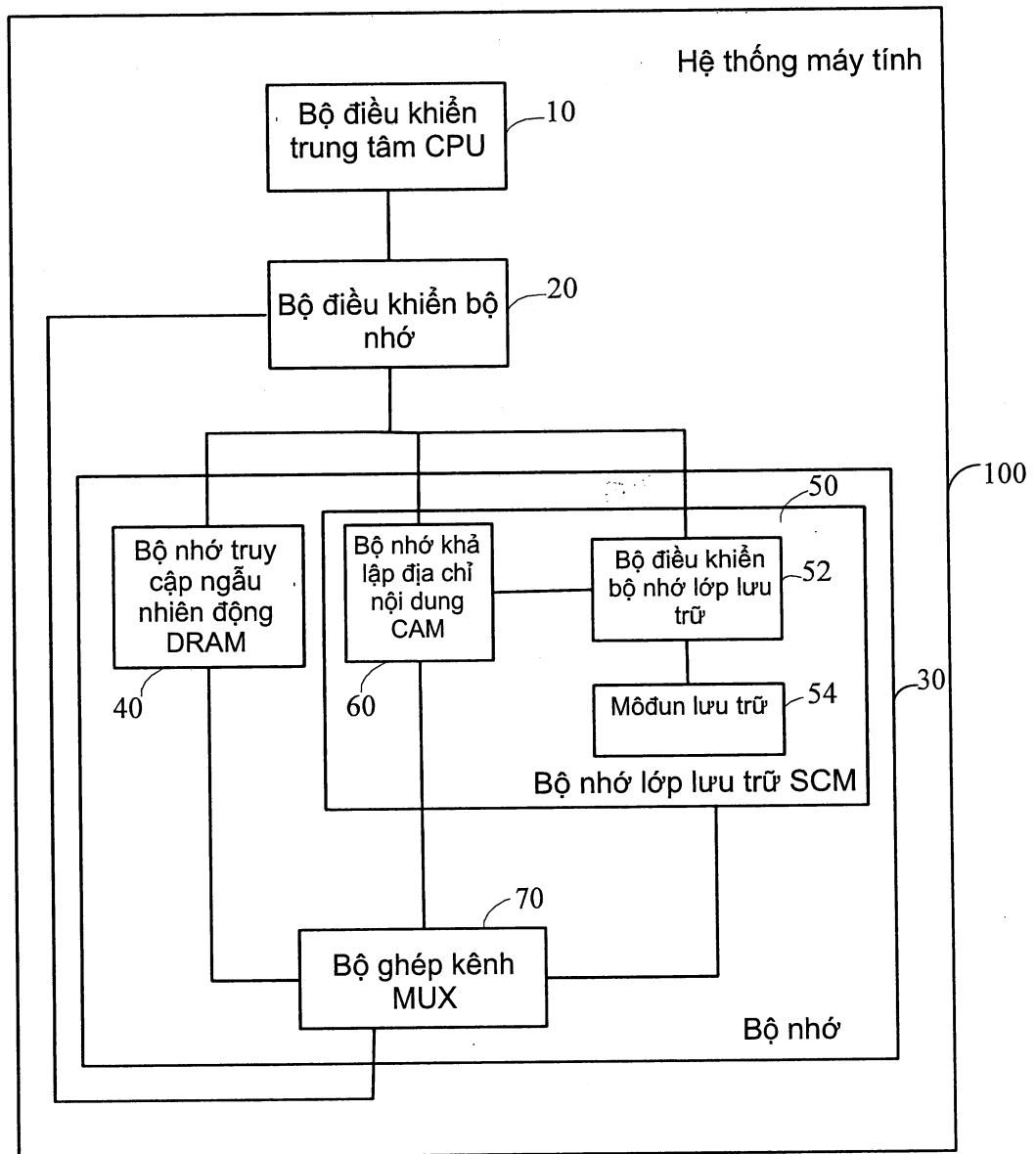


FIG. 1-A

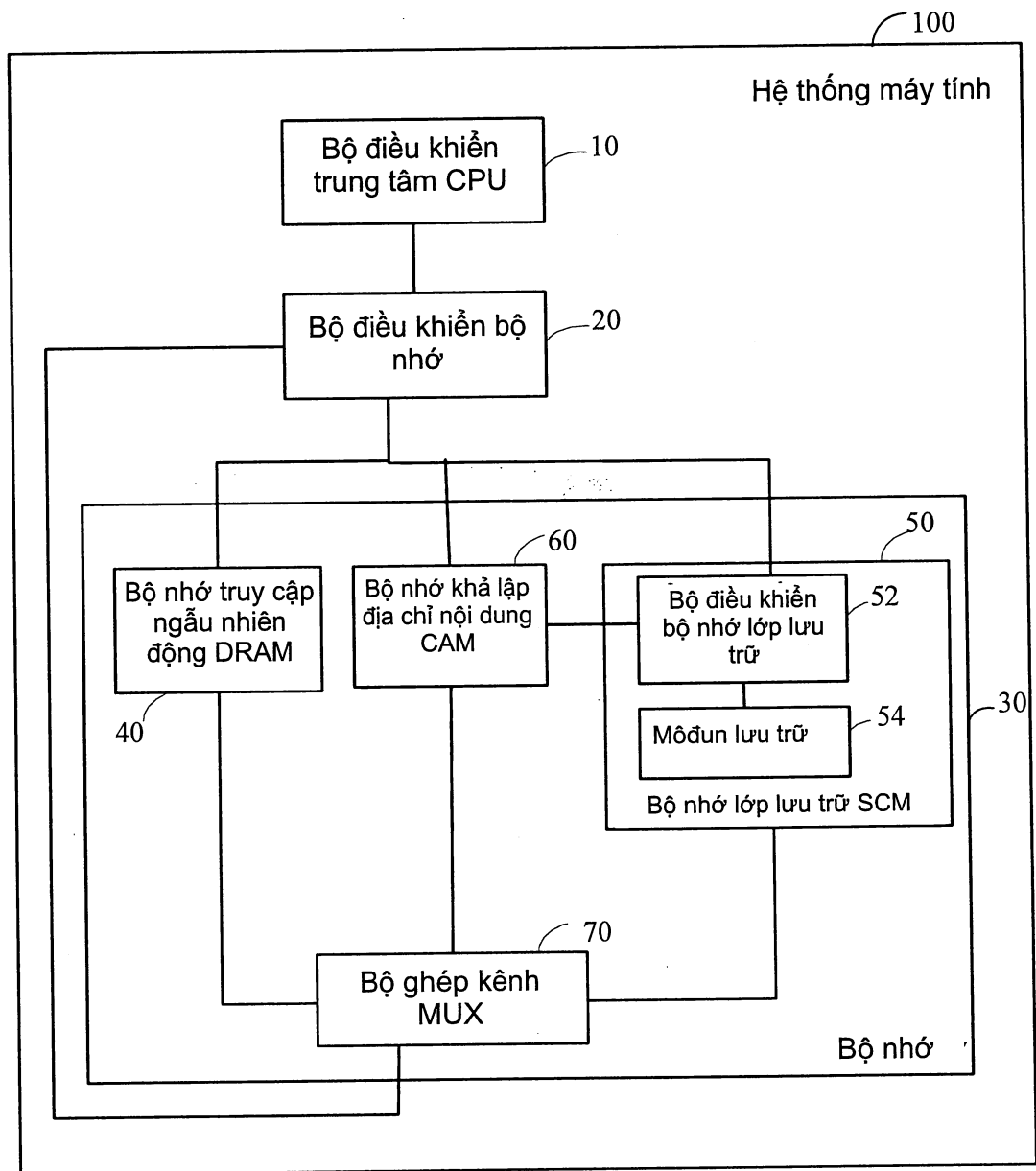


FIG. 1-B

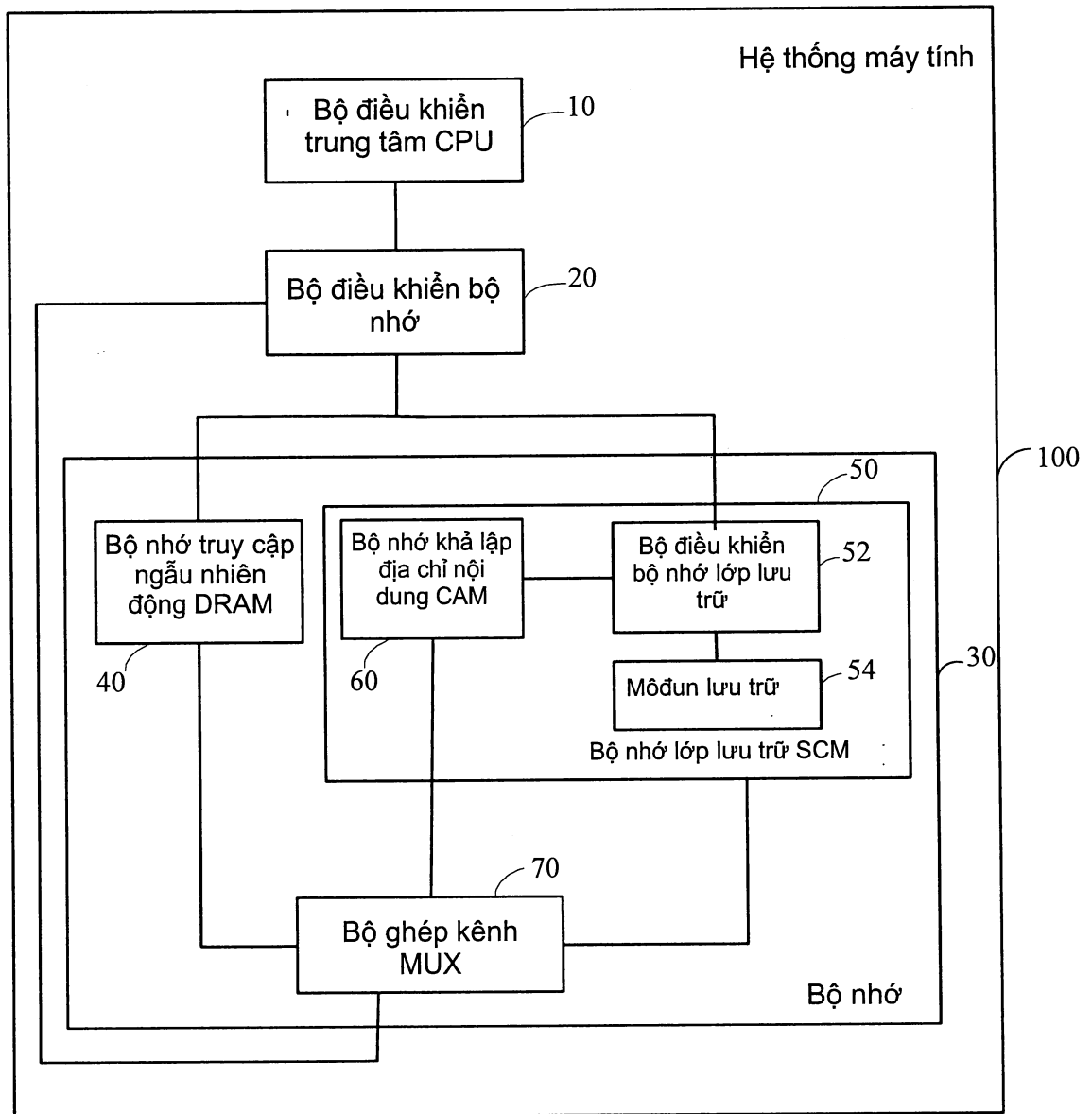


FIG. 1-C

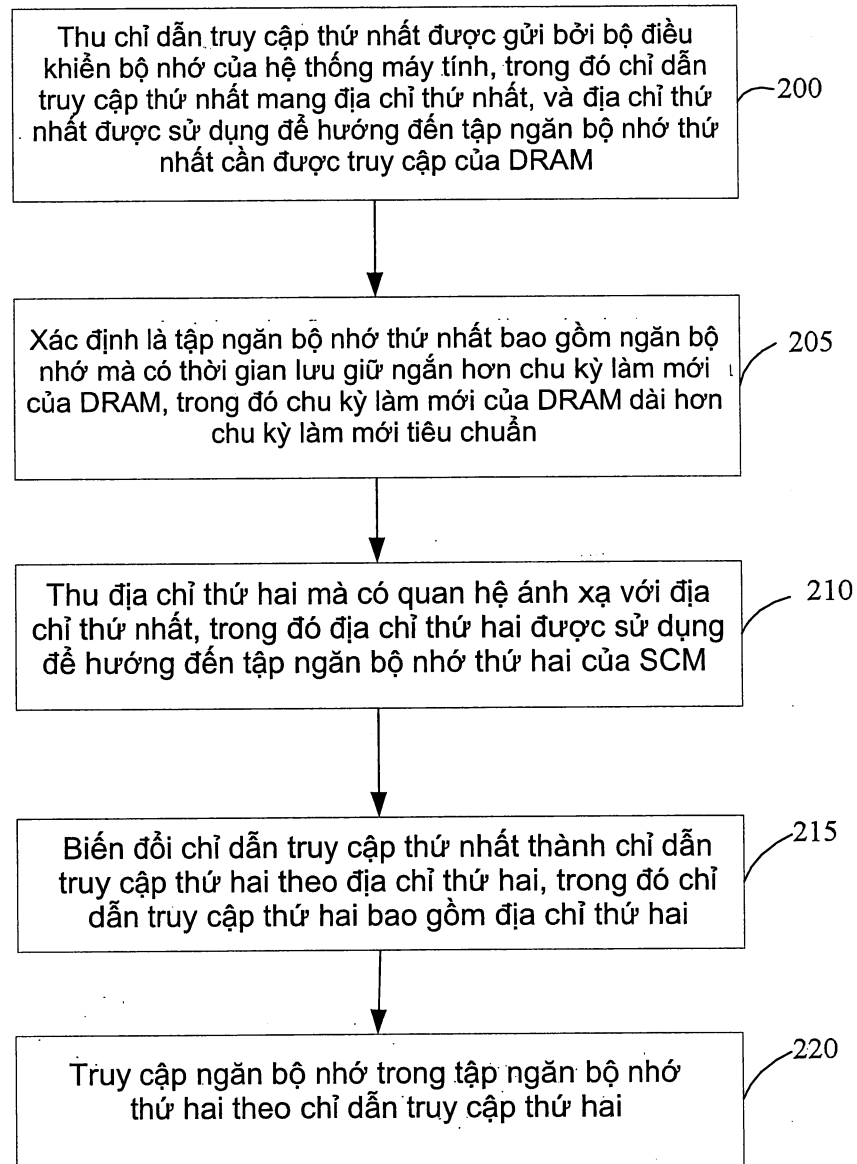


FIG. 2

5/5

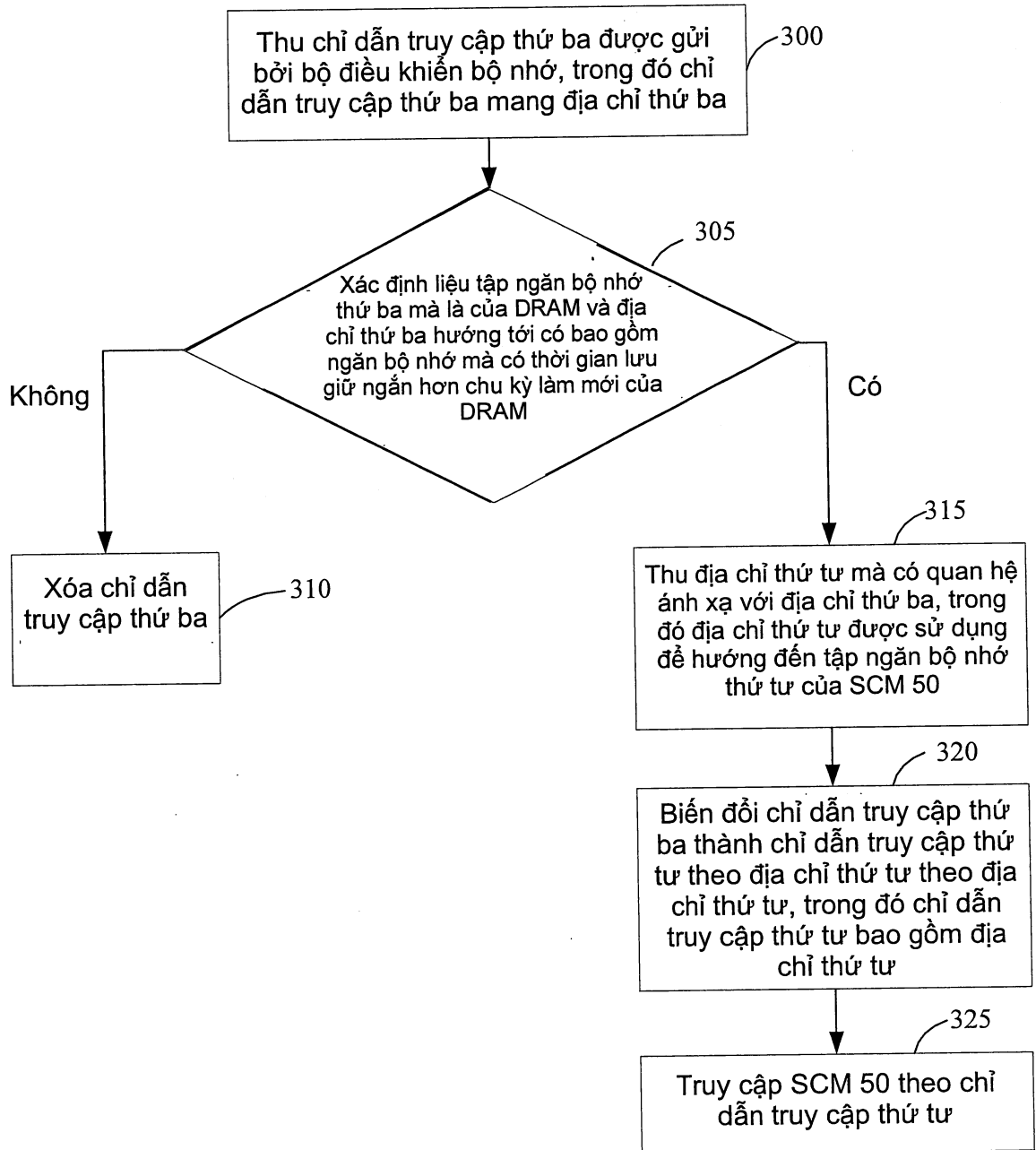


FIG. 3