



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0032750

(51)⁷ H01L 27/00

(13) B

(21) 1-2018-01063

(22) 14/03/2018

(30) 10-2017-0032016 14/03/2017 KR; 10-2017-0094876 26/07/2017 KR

(45) 25/07/2022 412

(43) 25/09/2018 366A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

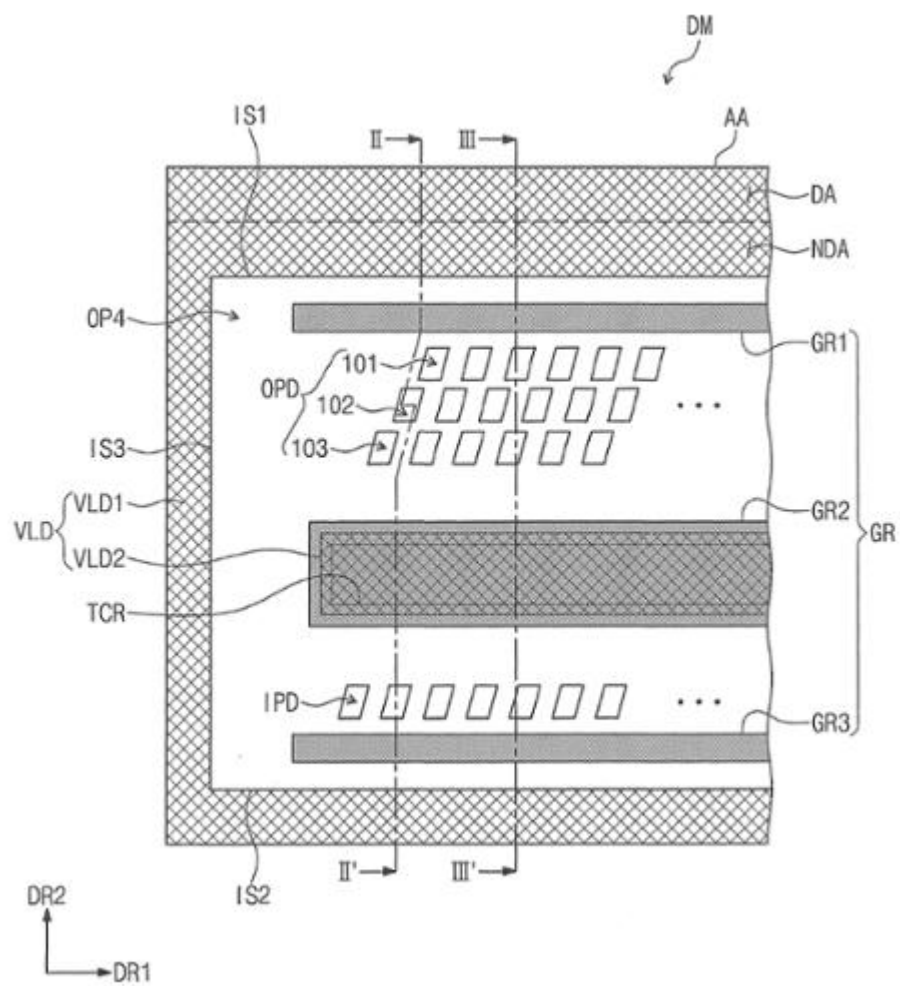
1, Samsung-Ro, Giheung-Gu, Yongin-Si, Gyeonggi-Do, Republic of Korea

(72) Kiwook KIM (KR); Kyongtae PARK (KR); Hyesong KWUN (KR); Dae-won LEE (KR); Donghoon JEONG (KR); Won-kyu KWAK (KR); Kwangmin KIM (KR); Joongsoo MOON (KR); Changkyu JIN (KR); Kyu-sik CHO (KR); Sungho CHO (KR).

(74) Công ty TNHH Tâm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề cập đến thiết bị hiển thị. Thiết bị hiển thị bao gồm lớp nền bao gồm khu vực hiển thị và khu vực không hiển thị, lớp phần tử hiển thị, nhóm đệm, lớp điện cực tiếp xúc, và lớp cách điện tiếp xúc. Lớp phần tử hiển thị bao gồm các phần tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng. Nhóm đệm có thể bao gồm các đệm đầu ra được bố trí trên lớp nền và được bố trí trong khu vực không hiển thị trong hình chiếu bằng. Lớp điện cực tiếp xúc được bố trí trên lớp phần tử hiển thị. Lớp cách điện tiếp xúc được bố trí trên lớp phần tử hiển thị và tiếp xúc lớp điện cực tiếp xúc. Mẫu hình lõm được bố trí trong lớp cách điện tiếp xúc được xếp chồng lên khu vực không hiển thị, và mẫu hình lõm không được xếp chồng lên nhóm đệm.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị, và cụ thể, thiết bị hiển thị dẻo.

Tình trạng kỹ thuật của sáng chế

Các thiết bị hiển thị khác nhau được phát triển để sử dụng trong các thiết bị đa phương tiện như máy thu hình, điện thoại di động, máy tính bảng, hệ thống định hướng, máy chơi trò chơi và thiết bị tương tự. Theo tiến trình phát triển kỹ thuật gần đây, thiết bị hiển thị dẻo ngày càng phát triển, chẳng hạn.

Bản chất kỹ thuật của sáng chế

Khi thiết bị hiển thị dẻo được uốn cong, sức căng được tác động vào thiết bị hiển thị dẻo, do đó gây hư hại cho các bộ phận bên trong.

Theo một số phương án làm ví dụ của sáng chế, lớp cách điện tiếp xúc có thể có mẫu hình lõm có khả năng ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc và lớp cách điện xen giữa, gây ra đoản mạch giữa các đệm đầu ra và đầu vào.

Theo một số phương án làm ví dụ của sáng chế, thiết bị hiển thị có thể bao gồm lớp nền, các đường tín hiệu, lớp phần tử hiển thị, nhóm đệm, lớp cách điện trung gian, lớp điện cực tiếp xúc, và lớp cách điện tiếp xúc.

Theo một phương án làm ví dụ, lớp nền có thể bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị.

Theo một phương án làm ví dụ, các đường tín hiệu có thể được bố trí trên lớp nền.

Theo một phương án làm ví dụ, lớp phần tử hiển thị có thể được bố trí trên các đường tín hiệu và có thể bao gồm các phần tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, nhóm đệm có thể bao gồm các đệm đầu ra, được nối điện với các đường tín hiệu và được bố trí trong khu vực không hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, lớp cách điện trung gian có thể được bố trí

giữa các đường tín hiệu và lớp phân tử hiển thị để hở các đệm đầu ra.

Theo một phương án làm ví dụ, lớp điện cực tiếp xúc có thể được bố trí trên lớp phân tử hiển thị.

Theo một phương án làm ví dụ, lớp cách điện tiếp xúc có thể được bố trí trên lớp phân tử hiển thị. Lớp cách điện tiếp xúc có thể tiếp xúc lớp điện cực tiếp xúc và có thể xác định mẫu hình lõm trong khu vực không hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, mẫu hình lõm có thể được đặt giữa các đệm đầu ra và lớp cách điện trung gian trong hình chiếu bằng.

Theo các phương án làm ví dụ khác của sáng chế, thiết bị hiển thị có thể bao gồm lớp nền, các đường tín hiệu, lớp phân tử hiển thị, nhóm đệm, chip mạch điều khiển, lớp điện cực tiếp xúc, và lớp cách điện tiếp xúc.

Theo một phương án làm ví dụ, lớp nền có thể bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị.

Theo một phương án làm ví dụ, các đường tín hiệu có thể được bố trí trên lớp nền.

Theo một phương án làm ví dụ, lớp phân tử hiển thị có thể được bố trí trên các đường tín hiệu và có thể bao gồm các phân tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, nhóm đệm có thể bao gồm các đệm đầu ra, được nối điện với các đường tín hiệu và được bố trí trong khu vực không hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, chip mạch điều khiển có thể tiếp xúc nhóm đệm và có thể cung cấp các tín hiệu cho các đường tín hiệu.

Theo một phương án làm ví dụ, lớp điện cực tiếp xúc có thể được bố trí trên lớp phân tử hiển thị.

Theo một phương án làm ví dụ, lớp cách điện tiếp xúc có thể được bố trí trên lớp phân tử hiển thị để xác định mẫu hình lõm trong khu vực không hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, mẫu hình lõm có thể không được xếp chồng lên nhóm đệm và có thể được xếp chồng lên chip mạch điều khiển.

Vẫn theo các phương án làm ví dụ khác của sáng chế, thiết bị hiển thị có thể bao gồm lớp nền, lớp phần tử hiển thị, nhóm đệm, lớp điện cực tiếp xúc, và lớp cách điện tiếp xúc.

Theo một phương án làm ví dụ, lớp nền có thể bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị.

Theo một phương án làm ví dụ, lớp phần tử hiển thị có thể được bố trí trên lớp nền và có thể bao gồm các phần tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, nhóm đệm có thể được bố trí trên lớp nền và có thể bao gồm các đệm đầu ra, được bố trí trong khu vực không hiển thị trong hình chiếu bằng.

Theo một phương án làm ví dụ, lớp điện cực tiếp xúc có thể được bố trí trên lớp phần tử hiển thị.

Theo một phương án làm ví dụ, lớp cách điện tiếp xúc có thể được bố trí trên lớp phần tử hiển thị và tiếp xúc lớp điện cực tiếp xúc.

Theo một phương án làm ví dụ, mẫu hình lõm có thể được bố trí trong lớp cách điện tiếp xúc được xếp chồng lên khu vực không hiển thị, và mẫu hình lõm có thể không được xếp chồng lên nhóm đệm.

Mô tả vắn tắt các hình vẽ

Các phương án làm ví dụ sẽ được hiểu rõ ràng từ mô tả ngắn gọn sau đây được kết hợp với các hình vẽ kèm theo. Các hình vẽ kèm theo này thể hiện không giới hạn, các phương án làm ví dụ như được mô tả ở đây.

Fig.1 là hình chiếu bằng của thiết bị hiển thị theo phương án làm ví dụ của sáng chế.

Fig.2 là sơ đồ mạch tương đương của một điểm ảnh.

Fig.3 là hình vẽ mặt cắt ngang minh họa một phần của panen hiển thị tương ứng với một điểm ảnh.

Fig.4 là hình chiếu bằng minh họa bộ cảm biến tiếp xúc trên Fig.3.

Fig.5 là hình vẽ mặt cắt ngang theo đường I-I' trên Fig.4.

Fig.6 là hình chiếu bằng phóng to minh họa khu vực 'AA' của thiết bị hiển thị được thể hiện trên Fig.1.

Fig.7 là hình vẽ mặt cắt ngang theo đường I-I' trên Fig.6.

Fig.8 là hình chiếu bằng phóng to minh họa phương án làm ví dụ của hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo sáng chế.

Fig.9 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.8.

Fig.10 là hình vẽ mặt cắt ngang làm ví dụ minh họa thiết bị hiển thị theo ví dụ so sánh của sáng chế.

Fig.11 là hình ảnh thể hiện mặt cắt thẳng đứng của thiết bị hiển thị theo ví dụ so sánh.

Fig.12 là hình ảnh thể hiện hư hại bị phát sinh trong thiết bị đầu cuối di động bao gồm thiết bị hiển thị theo ví dụ so sánh.

Fig.13 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo sáng chế.

Fig.14 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.13.

Fig.15 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo sáng chế.

Fig.16 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo sáng chế.

Fig.17 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo sáng chế.

Fig.18 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.17.

Fig.19 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác

của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.20 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.21 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.22 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.21.

Fig.23 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.24 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.23.

Fig.25 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.26 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.25.

Fig.27 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.28 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.27.

Fig.29 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.30 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.29.

Fig.31 là hình chiếu bằng phóng to minh họa phương án làm ví dụ khác của hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo sáng chế.

Fig.32 và Fig.33 là các hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.31.

Mô tả chi tiết sáng chế

Các phương án làm ví dụ theo sáng chế giờ đây sẽ được mô tả đầy đủ hơn với tham chiếu đến các hình vẽ kèm theo, trong đó các phương án làm ví dụ được thể hiện. Các phương án làm ví dụ theo sáng chế có thể, tuy nhiên, được bao gồm trong nhiều dạng khác nhau và không nên hiểu là bị giới hạn với các phương án làm ví dụ được nêu ở đây, tốt hơn là, các phương án này được đề xuất để sáng chế sẽ trở nên thông suốt và toàn diện, và sẽ truyền tải đầy đủ khái niệm của các phương án làm ví dụ cho người có hiểu biết trung bình trong lĩnh vực kỹ thuật này. Trên các hình vẽ, các độ dày của các lớp và các miền được phóng đại để làm rõ. Các số tham chiếu giống nhau trên các hình vẽ thể hiện các thành phần tương tự, và do đó mô tả của chúng sẽ được lược bỏ.

Lưu ý rằng các hình vẽ được dự tính để minh họa các tính chất thông thường của các phương pháp, cấu trúc và/hoặc vật liệu được sử dụng trong các phương án làm ví dụ nhất định và để bổ sung cho mô tả được viết được đưa ra sau đây. Tuy nhiên, các hình vẽ này không theo tỷ lệ và không thể phản ánh chính xác các đặc tính cấu trúc và hiệu năng chính xác của phương án đã cho bất kỳ, và không được giải thích là xác định hoặc làm giới hạn phạm vi của các giá trị hoặc các tính chất được bao gồm bởi các phương án làm ví dụ. Ví dụ, các độ dày tương đối và sự định vị của các phân tử, lớp, miền và/hoặc các thành phần cấu trúc có thể được thu nhỏ hoặc được phóng đại để làm rõ. Việc sử dụng các số tham chiếu tương tự hoặc giống nhau trong các hình vẽ khác nhau được dự tính để chỉ báo sự có mặt của thành phần hoặc dấu hiệu tương tự hoặc giống nhau.

Cần hiểu rằng khi thành phần được gọi là “được nối” hoặc “được gắn” với thành phần khác, nó có thể được nối hoặc được gắn trực tiếp với thành phần khác hoặc có thể có mặt thành phần xen kẽ. Ngược lại, khi thành phần được gọi là “được nối trực tiếp” hoặc “được gắn trực tiếp” với thành phần khác, không có mặt thành phần xen kẽ. Các số tham chiếu giống nhau chỉ báo các thành phần tương tự xuyên suốt. Như được sử dụng ở đây thuật ngữ “và/hoặc” bao gồm bao gồm kết hợp bất kỳ hoặc tất cả kết hợp của một hoặc nhiều mục được liệt kê liên quan. Các từ khác được sử dụng để mô tả tương quan giữa các thành phần hoặc lớp cần được giải thích theo cách tương tự (ví dụ, “giữa” so với “chính giữa”,

“liền kề” so với “liền kề sát”, “trên” so với “ngay bên trên”).

Cần hiểu rằng, mặc dù các thuật ngữ “thứ nhất”, “thứ hai” v.v. có thể được sử dụng ở đây để mô tả các yếu tố, thành phần, miền, lớp và/hoặc mặt cắt khác nhau, các yếu tố, thành phần, miền, lớp và/hoặc mặt cắt này, không bị giới hạn với các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt một yếu tố, thành phần, miền, lớp hoặc mặt cắt với yếu tố, thành phần, miền, lớp hoặc mặt cắt khác. Do đó, yếu tố, thành phần, miền, lớp hoặc mặt cắt thứ nhất được đề cập sau đây có thể được gọi là yếu tố, thành phần, miền, lớp hoặc mặt cắt thứ hai mà không vượt ra ngoài việc hiểu sáng chế.

Các thuật ngữ liên quan đến không gian “bên dưới”, “ở dưới”, “ở dưới thấp”, “trên”, “bên trên” và tương tự, có thể được sử dụng ở đây để mô tả mô tả các tương quan một yếu tố hoặc dấu hiệu với (các) yếu tố hoặc (các) dấu hiệu khác như được minh họa trên các hình vẽ. Cần hiểu rằng các thuật ngữ liên quan đến không gian được dự tính bao gồm các định hướng khác nhau của thiết bị trong việc sử dụng hoặc hoạt động, ngoài hướng được minh họa trên các hình vẽ. Ví dụ, nếu thiết bị trên hình vẽ được đảo lại, các thành phần được mô tả là “bên dưới” hoặc “ở dưới” các thành phần hoặc dấu hiệu khác có thể được đặt “ở trên” thành phần và dấu hiệu khác. Theo đó, thuật ngữ minh họa “bên dưới” có thể bao gồm cả hai hướng bên trên và bên dưới. Thiết bị có thể được định hướng khác đi (được quay 90 độ hoặc các định hướng khác), và các từ mô tả liên quan đến không gian được sử dụng ở đây được giải thích theo đó.

Thuật ngữ được sử dụng ở đây để mô tả các phương án cụ thể và không nhằm làm giới hạn của các phương án làm ví dụ. Như được sử dụng ở đây, các dạng số ít “một” cũng nhằm bao gồm các dạng số nhiều, trừ khi ngữ cảnh chỉ ra hoàn toàn khác đi. Cũng cần hiểu rằng các thuật ngữ “bao gồm”, “gồm”, “gồm có” và/hoặc “có”, khi được sử dụng trong bản mô tả này, chỉ ra sự có mặt của các dấu hiệu, số nguyên, bước, hoạt động, yếu tố, và/hoặc các thành phần được nêu, nhưng không loại trừ sự có mặt hoặc bổ sung của một hoặc nhiều dấu hiệu, số nguyên, bước, hoạt động, yếu tố, thành phần khác, và/hoặc nhóm của chúng.

“Khoảng”, “xấp xỉ” được sử dụng ở đây gồm giá trị được nêu và giá trị

trung bình nằm trong miền độ lệch chấp nhận được đối với giá trị cụ thể như được xác định bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, xem xét phép đo theo yêu cầu và sai số liên quan đến phép đo của đại lượng cụ thể (nghĩa là, các giới hạn của hệ thống đo). Ví dụ, “khoảng” có thể có nghĩa ở trong khoảng một hoặc nhiều độ lệch chuẩn, hoặc khoảng $\pm 30\%$, 20% , 10% , 5% của giá trị được nêu.

Các phương án làm ví dụ theo sáng chế được mô tả ở đây với tham chiếu đến các minh họa mặt cắt ngang là các minh họa dạng sơ đồ của các phương án được lý tưởng hóa (và các cấu trúc trung gian) của các phương án làm ví dụ. Như vậy, các biến thể từ các hình dạng minh họa làm kết quả, ví dụ, các kỹ thuật sản xuất và/hoặc các dung sai, được mong đợi. Do đó, các phương án làm ví dụ của sáng chế không nên được hiểu là bị giới hạn với các hình dạng cụ thể của vùng như được minh họa ở đây nhưng bao gồm độ lệch của hình dạng, ví dụ, do kết quả của công đoạn sản xuất

Trừ khi được định nghĩa khác đi, tất cả thuật ngữ (gồm các thuật ngữ kỹ thuật và khoa học) được sử dụng ở đây có cùng nghĩa như được hiểu thông thường bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật mà các phương án làm ví dụ của sáng chế đề cập đến. Cũng cần hiểu rằng các thuật ngữ, như nghĩa của chúng được định nghĩa trong các từ điển thông dụng, cần được giải thích là có nghĩa phù hợp với nghĩa của chúng trong ngữ cảnh của lĩnh vực kỹ thuật liên quan, và sẽ không được giải thích với nghĩa lý tưởng hoặc quá trang trọng, trừ khi được định nghĩa rõ ràng ở đây.

Fig.1 là hình chiếu bằng của thiết bị hiển thị DM theo một số phương án làm ví dụ của sáng chế.

Tham chiếu đến Fig.1, thiết bị hiển thị DM có thể bao gồm panen hiển thị DP, chip mạch điều khiển IC, và bảng mạch in dẻo FPC.

Panen hiển thị DP có thể là panen hiển thị kiểu phát quang, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, panen hiển thị DP có thể là panen hiển thị phát quang hữu cơ hoặc panen hiển thị phát quang chấm lượng tử, chẳng hạn. Panen hiển thị phát quang hữu cơ có thể bao gồm vật liệu

phát quang hữu cơ được sử dụng làm lớp phát quang. Panen hiển thị phát quang chấm lượng tử có thể bao gồm các chấm lượng tử và các thanh lượng tử được sử dụng làm lớp phát quang. Để đơn giản, mô tả sau đây sẽ đề cập đến ví dụ trong đó panen hiển thị DP là panen hiển thị phát quang hữu cơ.

Panen hiển thị DP có thể bao gồm khu vực hiển thị DA và khu vực không hiển thị NDA liền kề với khu vực hiển thị DA. Khu vực không hiển thị NDA không thể hiển thị hình ảnh. Theo một phương án làm ví dụ, khu vực hiển thị DA có thể có, ví dụ, dạng hình chữ nhật. Khu vực không hiển thị NDA có thể bao quanh khu vực hiển thị DA. Tuy nhiên, sáng chế không bị giới hạn ở đó, và các hình dạng của khu vực hiển thị DA và khu vực không hiển thị NDA có thể được thay đổi khác nhau.

Sau đây, hướng của cạnh ngắn của panen hiển thị DP sẽ được gọi là hướng thứ nhất DR1, hướng của cạnh dài của panen hiển thị DP sẽ được gọi là hướng thứ hai DR2, và hướng trục giao với bề mặt trên của panen hiển thị DP, nghĩa là, hướng vuông góc với hướng thứ nhất DR1 và hướng thứ hai DR2, sẽ được gọi là hướng thứ ba.

Panen hiển thị DP có thể bao gồm nhiều đường tín hiệu và nhiều điểm ảnh PX.

Các đường tín hiệu có thể bao gồm đường quét GL, đường dữ liệu DL, và đường điện PL. Số lượng mỗi trong số đường quét, đường dữ liệu và đường điện GL, DL, và PL được bố trí trong panen hiển thị DP có thể là hai hoặc nhiều hơn hai, nhưng để thuận lợi trong việc minh họa, mỗi trong số đường quét, đường dữ liệu, và đường điện GL, DL, và PL được minh họa đơn lẻ trên Fig.1. Đường quét GL, đường dữ liệu DL, và đường điện PL có thể được nối với điểm ảnh PX. Ngoài ra, Fig.1 minh họa ví dụ trong đó đường quét GL, đường dữ liệu DL, và đường điện PL được nối với chip mạch điều khiển IC. Tuy nhiên, sáng chế không bị giới hạn ở đó, và một số đường quét GL, đường dữ liệu DL, và đường điện PL có thể được nối với bảng mạch in dẻo FPC để nhận các tín hiệu điều khiển.

Các đường tín hiệu có thể được tạo ra bằng cách tạo mẫu hình lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, được bố trí ở các cấp độ khác nhau. Cấu

trúc chồng của các lớp dẫn điện thứ nhất và thứ hai sẽ được mô tả chi tiết hơn sau đây.

Panen hiển thị DP có thể bao gồm mạch điều khiển quét (không được thể hiện) được bố trí trong khu vực không hiển thị NDA. Mạch điều khiển quét (không được thể hiện) có thể được sử dụng để thu tín hiệu điều khiển từ chip mạch điều khiển IC hoặc bảng mạch in dẻo FPC và sau đó đưa tín hiệu quét vào đường quét GL.

Điểm ảnh PX có thể được nối với đường quét GL và đường dữ liệu DL và có thể được sử dụng để hiển thị hình ảnh. Theo một phương án làm ví dụ, điểm ảnh PX có thể hiển thị một trong số các màu đỏ, xanh lục, và xanh lam, chẳng hạn. Tuy nhiên, sáng chế không bị giới hạn ở đó, và ví dụ, điểm ảnh PX có thể hiển thị một trong số các màu khác (ví dụ, trắng), trừ các màu đỏ, xanh lục, và xanh lam. Mặc dù Fig.1 minh họa ví dụ trong đó điểm ảnh PX có dạng hình chữ nhật, sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, điểm ảnh PX có thể có ít nhất một trong số các hình dạng khác nhau, như các hình tứ giác, tròn, elip.

Chip mạch điều khiển IC có thể được gắn với khu vực không hiển thị NDA của panen hiển thị DP. Chip mạch điều khiển IC có thể cung cấp các tín hiệu khác nhau, mong muốn để điều khiển panen hiển thị DP, đến panen hiển thị DP. Chip mạch điều khiển IC có thể được sử dụng làm mạch điều khiển nguồn để cung cấp các tín hiệu dữ liệu đến đường dữ liệu DL. Tuy nhiên, sáng chế không bị giới hạn ở đó, và chip mạch điều khiển IC cũng có thể đóng vai trò làm mạch điều khiển quét để cung cấp các tín hiệu quét đến đường quét GL. Theo một phương án làm ví dụ, chip mạch điều khiển IC có thể là mạch tích hợp, trong đó mạch điều khiển nguồn và mạch điều khiển quét được tích hợp, ví dụ, và trong trường hợp này, mạch điều khiển quét có thể được loại bỏ khỏi panen hiển thị DP.

Theo một số phương án làm ví dụ, chip mạch điều khiển IC có thể được bố trí (ví dụ, được gắn) trên panen hiển thị DP theo cách chip trên panen (chip-on-panel - COP), chẳng hạn.

Bảng mạch in dẻo FPC có thể được nối với phần cuối của panen hiển thị DP theo hướng thứ hai DR2. Bảng mạch in dẻo FPC có thể được nối trực tiếp với các đường tín hiệu được bố trí trong panen hiển thị DP hoặc có thể được nối với chip mạch điều khiển IC để truyền các tín hiệu từ bên ngoài đến panen hiển thị DP.

Fig.2 là sơ đồ mạch tương đương của điểm ảnh PX. Fig.2 minh họa ví dụ của điểm ảnh PX được nối với đường quét GL, đường dữ liệu DL, và đường điện PL. Cấu trúc của điểm ảnh PX không bị giới hạn với ví dụ này và có thể được thay đổi khác nhau

Theo một phương án làm ví dụ, điốt phát quang hữu cơ OLED có thể là điốt kiểu phát xạ trên hoặc điốt kiểu phát xạ dưới, chẳng hạn. Điểm ảnh PX có thể bao gồm tranzito chuyển mạch OR thứ nhất T1, tranzito điều khiển OR thứ hai T2, và tụ điện Cst, được sử dụng làm mạch điều khiển điểm ảnh để điều khiển điốt phát quang hữu cơ OLED. Điện áp thứ nhất ELVDD có thể là tranzito thứ hai T2, và điện áp thứ hai ELVSS có thể là điốt phát quang hữu cơ OLED. Điện áp thứ hai ELVSS có thể nhỏ hơn điện áp thứ nhất ELVDD.

Nếu tín hiệu quét được tác động vào đường quét GL, tranzito thứ nhất T1 có thể kết xuất tín hiệu dữ liệu được tác động vào đường dữ liệu DL đáp lại tín hiệu quét. Tụ điện Cst có thể được nạp để có điện áp tương ứng với tín hiệu dữ liệu, được truyền từ tranzito thứ nhất T1.

Tranzito thứ hai T2 có thể được nối với điốt phát quang hữu cơ OLED. Tranzito thứ hai T2 có thể điều khiển dòng điện kích thích chạy qua điốt phát quang hữu cơ OLED, dựa trên lượng điện tích được trữ trong tụ điện Cst. Điốt phát quang hữu cơ OLED có thể phát sáng, khi tranzito thứ hai T2 trong chu kỳ bật.

Fig.3 là hình vẽ mặt cắt ngang minh họa một phần của panen hiển thị tương ứng với điểm ảnh PX.

Panen hiển thị DP có thể bao gồm lớp nền SUB, lớp thiết bị mạch CL, lớp phần tử hiển thị DPL, lớp bao màng mỏng TFE, và bộ cảm biến tiếp xúc TS. Mặc dù không được thể hiện, panen hiển thị DP có thể còn bao gồm lớp chống phản

xạ và/hoặc thành phần cửa sổ, được bố trí trên bộ cảm biến tiếp xúc TS.

Lớp nền SUB có thể bao gồm ít nhất một màng nhựa. Lớp nền SUB có thể dẻo. Theo một phương án làm ví dụ, lớp nền SUB có thể là hoặc bao gồm lớp nền nhựa, lớp nền thủy tinh, lớp nền kim loại, hoặc lớp nền bao gồm vật liệu hỗn hợp hữu cơ/vô cơ. Khu vực hiển thị DA và khu vực không hiển thị NDA được mô tả với tham chiếu đến Fig.1 có thể được xác định trong lớp nền SUB theo cùng cách thức.

Lớp thiết bị mạch CL có thể bao gồm các đường tín hiệu (ví dụ, đường quét GL, đường dữ liệu DL, và đường điện PL) được mô tả với tham chiếu đến Fig.2. Ngoài ra, lớp thiết bị mạch CL có thể bao gồm tranzito thứ nhất T1, tranzito thứ hai T2, và tụ điện Cst. Tranzito thứ nhất T1 sẽ được mô tả làm ví dụ với tham chiếu đến Fig.3.

Lớp thiết bị mạch CL có thể bao gồm lớp chặn BR, lớp hoạt động ACT, lớp cách điện cổng GI, cực cổng GE, lớp cách điện xen giữa ILD, các điện cực đầu vào SE và đầu ra DE, và lớp cách điện trung gian VLD.

Lớp chặn BR có thể được bố trí trên lớp nền SUB để ngăn ngừa chất bên ngoài khỏi xâm nhập vào các lớp được bố trí trên lớp chặn BR.

Mặc dù không được thể hiện, panen hiển thị DP có thể còn bao gồm lớp đệm (không được thể hiện) được bố trí trên lớp chặn BR. Lớp đệm (không được thể hiện) cũng có thể tăng cường các đặc tính kết dính giữa lớp nền SUB và lớp trên đó. Lớp chặn BR và lớp đệm (không được thể hiện) có thể được bố trí tùy ý ở trong hoặc được loại bỏ khỏi panen hiển thị DP.

Lớp hoạt động ACT có thể được bố trí trên lớp chặn BR. Lớp hoạt động ACT có thể đóng vai trò làm vùng kênh của tranzito thứ nhất T1. Theo một phương án làm ví dụ, lớp hoạt động ACT có thể chứa hoặc bao gồm ít nhất một trong số silic vô định hình, poly silic, hoặc các vật liệu bán dẫn oxit kim loại, chẳng hạn.

Lớp cách điện cổng GI có thể được bố trí trên lớp hoạt động ACT. Lớp cách điện cổng GI có thể ngắt điện cực cổng GE khỏi lớp hoạt động ACT.

Cực cổng GE có thể được bố trí trên lớp cách điện cổng GI. Cực cổng GE

có thể được xếp chồng lên lớp hoạt động ACT.

Lớp dẫn điện thứ nhất (không được thể hiện) gồm các đường tín hiệu có thể được bố trí ở cùng cấp độ với cực cổng GE.

Lớp cách điện xen giữa ILD có thể được bố trí trên cực cổng GE. Lớp cách điện xen giữa ILD có thể ngắt điện cực cổng GE khỏi các điện cực đầu vào SE và đầu ra DE. Lớp cách điện xen giữa ILD có thể chứa hoặc bao gồm vật liệu vô cơ. Theo một phương án làm ví dụ, vật liệu vô cơ có thể bao gồm silic nitrua, silic oxynitrua, và silic oxit, chẳng hạn.

Các điện cực đầu vào SE và đầu ra DE có thể được bố trí trên lớp cách điện xen giữa ILD. Các điện cực đầu vào SE và đầu ra DE có thể được nối điện với lớp hoạt động ACT lần lượt qua các lỗ tiếp xúc thứ nhất CH1 và thứ hai CH2, được xác định trong lớp cách điện xen giữa ILD và lớp cách điện cổng GI.

Lớp dẫn điện thứ hai (không được thể hiện) gồm các đường tín hiệu có thể được bố trí ở cùng cấp độ với các điện cực đầu vào SE và đầu ra DE.

Theo các phương án được mô tả ở trên, panen hiển thị DP được mô tả có cấu trúc cổng trên trong đó cực cổng GE được bố trí trên lớp hoạt động ACT, nhưng theo các phương án làm ví dụ khác, panen hiển thị DP có thể có cấu trúc cổng đáy trong đó cực cổng GE được bố trí ở dưới lớp hoạt động ACT.

Lớp cách điện trung gian VLD có thể được bố trí trên các điện cực đầu vào SE và đầu ra DE. Lớp cách điện trung gian VLD có thể có bề mặt trên phẳng. Lớp cách điện trung gian VLD có thể chứa hoặc bao gồm vật liệu hữu cơ. Theo một phương án làm ví dụ, vật liệu hữu cơ có thể bao gồm ít nhất một trong số nhựa acrylic, nhựa metacryl, nhựa polyisopren, nhựa vinyl, nhựa epoxy, nhựa uretan, nhựa xenluloza, nhựa siloxan, nhựa polyimit, nhựa polyamit, hoặc nhựa perylen, chẳng hạn.

Lớp phân tử hiển thị DPL có thể được bố trí trên lớp cách điện trung gian VLD. Lớp phân tử hiển thị DPL có thể bao gồm lớp xác định điểm ảnh PDL và phân tử hiển thị. Theo một số phương án làm ví dụ, phân tử hiển thị có thể là điôt phát quang hữu cơ OLED. Điôt phát quang hữu cơ OLED có thể bao gồm điện cực thứ nhất AE, lớp điều khiển lỗ trống HCL, lớp phát quang EML, lớp điều

khí điện tử ECL, và điện cực thứ hai CE.

Lớp xác định điểm ảnh PDL có thể bao gồm hoặc chứa vật liệu hữu cơ. Điện cực thứ nhất AE có thể được bố trí trên lớp cách điện trung gian VLD. Điện cực thứ nhất AE có thể được nối với điện cực đầu ra DE thông qua lỗ tiếp xúc thứ ba CH3 thâm nhập lớp cách điện trung gian VLD. Lớp xác định điểm ảnh PDL có thể xác định khoảng hở thứ nhất OP1. Khoảng hở thứ nhất OP1 của lớp xác định điểm ảnh PDL có thể để hở ít nhất một phần của điện cực thứ nhất AE.

Điểm ảnh PX có thể được bố trí trong vùng điểm ảnh trong hình chiếu bằng. Vùng điểm ảnh có thể bao gồm khu vực phát quang PXA và khu vực không phát quang NPXA liền kề với khu vực phát quang PXA. Khu vực không phát quang NPXA có thể bao quanh khu vực phát quang PXA. Theo phương án làm ví dụ được minh họa, khu vực phát quang PXA có thể được xác định để tương ứng với khu vực của điện cực thứ nhất AE được để hở với khoảng hở thứ nhất OP1.

Lớp điều khiển lỗ trống HCL có thể thường được bố trí trong khu vực phát quang PXA và khu vực không phát quang NPXA. Mặc dù không được thể hiện, lớp chung, như lớp điều khiển lỗ trống HCL, có thể thường được bố trí trong nhiều điểm ảnh PX.

Lớp phát quang EML có thể được bố trí trên lớp điều khiển lỗ trống HCL. Lớp phát quang EML có thể được bố trí trong khu vực tương ứng với khoảng hở thứ nhất OP1. Nói cách khác, lớp phát quang EML có thể bao gồm các mẫu hình lần lượt được bố trí tách biệt trong các điểm ảnh PX. Lớp phát quang EML có thể bao gồm vật liệu hữu cơ và/hoặc vật liệu vô cơ. Theo phương án làm ví dụ được minh họa, lớp phát quang EML được minh họa để có cấu trúc được tạo mẫu hình, nhưng theo các phương án làm ví dụ khác, lớp phát quang EML có thể thường được bố trí để mở rộng nhiều điểm ảnh PX. Trong trường hợp này, lớp phát quang EML có thể phát ánh sáng trắng. Theo các phương án làm ví dụ khác, lớp phát quang EML có thể có cấu trúc đa lớp.

Lớp điều khiển điện tử ECL có thể được bố trí trên lớp phát quang EML. Mặc dù không được thể hiện, lớp điều khiển điện tử ECL có thể thường được bố

trí trong nhiều điểm ảnh PX.

Điện cực thứ hai CE có thể được bố trí trên lớp điều khiển điện tử ECL. Điện cực thứ hai CE có thể thường được bố trí trong nhiều điểm ảnh PX.

Lớp bao màng mỏng TFE có thể được bố trí trên điện cực thứ hai CE. Lớp bao màng mỏng TFE có thể thường được bố trí trong nhiều điểm ảnh PX. Theo phương án làm ví dụ được minh họa, lớp bao màng mỏng TFE có thể che trực tiếp điện cực thứ hai CE. Theo các phương án làm ví dụ khác, lớp phủ có thể còn được bố trí giữa lớp bao màng mỏng TFE và điện cực thứ hai CE để che điện cực thứ hai CE. Ở đây, lớp bao màng mỏng TFE có thể che trực tiếp lớp phủ.

Lớp bao màng mỏng TFE có thể bao gồm ít nhất một lớp vô cơ (sau đây, lớp bao vô cơ). Lớp bao màng mỏng TFE có thể còn bao gồm ít nhất một lớp hữu cơ (sau đây, lớp bao hữu cơ). Lớp bao vô cơ có thể được sử dụng để bảo vệ lớp phần tử hiển thị DPL khỏi độ ẩm hoặc oxy, và lớp bao hữu cơ có thể được sử dụng để bảo vệ lớp phần tử hiển thị DPL khỏi vật liệu nhiễm bẩn như các hạt bụi. Theo một phương án làm ví dụ, lớp bao vô cơ có thể chứa hoặc bao gồm ít nhất một trong số silic nitrua, silic oxynitrua, silic oxit, titan oxit, hoặc nhôm oxit, chẳng hạn. Lớp bao hữu cơ có thể chứa hoặc bao gồm ít nhất một trong số các vật liệu hữu cơ gốc acrylic, ví dụ, nhưng sáng chế không bị giới hạn ở đó.

Bộ cảm biến tiếp xúc TS có thể được bố trí trên lớp bao màng mỏng TFE. Bộ cảm biến tiếp xúc TS có thể thu thông tin phối trí về vị trí của đầu vào bên ngoài.

Theo một số phương án làm ví dụ, bộ cảm biến tiếp xúc TS có thể được bố trí ngay trên lớp bao màng mỏng TFE. Trong bản mô tả, cụm từ “được bố trí trực tiếp” được sử dụng để biểu diễn là hai lớp được bố trí liên tiếp để một lớp tiếp xúc phần trên của lớp còn lại, không có bước tạo ra lớp kết dính bổ sung giữa hai lớp.

Bộ cảm biến tiếp xúc TS có thể cảm biến đầu vào bên ngoài, ví dụ, theo cách cảm biến điện dung tĩnh điện. Tuy nhiên, sáng chế không bị giới hạn với phương pháp cảm biến riêng của bộ cảm biến tiếp xúc TS. Theo các phương án làm ví dụ khác, bộ cảm biến tiếp xúc TS có thể cảm biến đầu vào bên ngoài theo

cách cảm ứng điện từ hoặc cách cảm biến áp lực, chẳng hạn.

Bộ cảm biến tiếp xúc TS có thể có cấu trúc đa lớp. Bộ cảm biến tiếp xúc TS có thể bao gồm một hoặc nhiều lớp dẫn điện. Bộ cảm biến tiếp xúc TS có thể chứa một hoặc nhiều lớp cách điện.

Fig.4 là hình chiếu bằng minh họa bộ cảm biến tiếp xúc trên Fig.3, và Fig.5 là hình vẽ mặt cắt ngang theo đường I-I' trên Fig.4.

Bộ cảm biến tiếp xúc TS có thể bao gồm lớp điện cực tiếp xúc TML và lớp cách điện tiếp xúc TSL. Lớp cách điện tiếp xúc TSL có thể tiếp xúc lớp điện cực tiếp xúc TML.

Lớp điện cực tiếp xúc TML có thể bao gồm lớp điện cực tiếp xúc thứ nhất TML1 và lớp điện cực tiếp xúc thứ hai TML2. Lớp cách điện tiếp xúc TSL có thể bao gồm lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2.

Lớp điện cực tiếp xúc thứ hai TML2 có thể được bố trí trên lớp điện cực tiếp xúc thứ nhất TML1.

Mỗi trong số các lớp điện cực tiếp xúc thứ nhất TML1 và thứ hai TML2 có thể có cấu trúc đơn lớp hoặc cấu trúc đa lớp bao gồm ít nhất một lớp dẫn điện. Lớp dẫn điện của cấu trúc đa lớp có thể bao gồm ít nhất hai lớp dẫn điện được chọn từ các lớp dẫn điện trong suốt và lớp kim loại. Lớp dẫn điện của cấu trúc đa lớp có thể bao gồm ít nhất hai lớp kim loại chứa các kim loại khác nhau. Theo một phương án làm ví dụ, các lớp dẫn điện trong suốt có thể chứa hoặc bao gồm ít nhất một trong số indi thiếc oxit ("ITO"), indi kẽm oxit ("IZO"), kẽm oxit (ZnO), indi thiếc kẽm oxit ("ITZO"), PEDOT, dây nano kim loại, hoặc graphene, chẳng hạn. Theo một phương án làm ví dụ, lớp kim loại có thể chứa hoặc bao gồm ít nhất một trong số molybden, bạc, titan, đồng, nhôm, hoặc các hợp kim của chúng, chẳng hạn. Theo một phương án làm ví dụ, mỗi trong số lớp điện cực tiếp xúc thứ nhất TML1 và lớp điện cực tiếp xúc thứ hai TML2 có thể có cấu trúc ba lớp bao gồm hai lớp titan và một lớp nhôm được đặt ở giữa, chẳng hạn.

Lớp cách điện tiếp xúc thứ nhất TSL1 có thể được bố trí giữa lớp điện cực tiếp xúc thứ nhất TML1 và lớp điện cực tiếp xúc thứ hai TML2. Lớp cách điện

tiếp xúc thứ hai TSL2 có thể được bố trí giữa lớp trên cùng (ví dụ, lớp bao màng mỏng TFE) của panen hiển thị DP và lớp điện cực tiếp xúc thứ nhất TML1. Tuy nhiên, sáng chế không bị giới hạn ở đó, và theo các phương án làm ví dụ khác, lớp cách điện tiếp xúc thứ hai TSL2 có thể được lược bỏ tùy ý.

Lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2 có thể chứa hoặc bao gồm vật liệu vô cơ. Theo một phương án làm ví dụ, vật liệu vô cơ có thể bao gồm silic nitrua, silic oxynitrua, và silic oxit, chẳng hạn.

Bộ cảm biến tiếp xúc TS có thể còn bao gồm lớp phẳng hóa PAS được bố trí trên lớp điện cực tiếp xúc thứ hai TML2. Lớp phẳng hóa PAS có thể có bề mặt phẳng và có thể chứa hoặc bao gồm vật liệu hữu cơ.

Như được thể hiện trên Fig.4, bộ cảm biến tiếp xúc TS có thể bao gồm các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5, các đường tín hiệu tiếp xúc thứ nhất SL1-1 đến SL1-5, được nối với các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5, các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4, các đường tín hiệu tiếp xúc thứ hai SL2-1 đến SL2-4, được nối với các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4, và các đệm tiếp xúc TS-PD, được nối với các đường tín hiệu tiếp xúc thứ nhất SL1-1 đến SL1-5 và các đường tín hiệu tiếp xúc thứ hai SL2-1 đến SL2-4.

Mỗi trong số các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5 có thể có dạng lưới, trong đó nhiều khoảng hở tiếp xúc được xác định. Mỗi trong số các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5 có thể bao gồm nhiều bộ cảm biến tiếp xúc thứ nhất SP1 và nhiều phần nối thứ nhất CP1. Các bộ cảm biến tiếp xúc thứ nhất SP1 có thể được bố trí theo hướng thứ nhất DR1. Mỗi trong số các phần nối thứ nhất CP1 có thể nối hai bộ liền kề trong số các bộ cảm biến tiếp xúc thứ nhất SP1 với nhau. Mặc dù không được thể hiện, các đường tín hiệu tiếp xúc thứ nhất SL1-1 đến SL1-5 có thể có dạng lưới.

Các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4 có thể được ngắt điện khỏi các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5 và có thể đi qua các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5. Mỗi trong số các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4 có thể có dạng lưới, trong đó nhiều khoảng hở tiếp xúc được xác định. Mỗi trong số các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4 có thể bao

gồm nhiều bộ cảm biến tiếp xúc thứ hai SP2 và nhiều phần nổi thứ hai CP2. Các bộ cảm biến tiếp xúc thứ hai SP2 có thể được bố trí theo hướng thứ hai DR2. Mỗi trong số các phần nổi thứ hai CP2 có thể nối hai bộ liền kề trong số các bộ cảm biến tiếp xúc thứ hai SP2 với nhau. Các đường tín hiệu tiếp xúc thứ hai SL2-1 đến SL2-4 cũng có thể có dạng lưới.

Các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5 có thể được ghép nối điện dung với các điện cực tiếp xúc thứ hai TE2-1 đến TE2-4. Các tín hiệu cảm biến tiếp xúc được tác động vào các điện cực tiếp xúc thứ nhất TE1-1 đến TE1-5 có thể thay đổi điện dung giữa các bộ cảm biến tiếp xúc thứ nhất SP1 và các bộ cảm biến tiếp xúc thứ hai SP2.

Theo ví dụ về phương án làm ví dụ được minh họa, các phần nổi thứ nhất CP1 có thể được bố trí từ lớp điện cực tiếp xúc thứ nhất TML1, và các bộ cảm biến tiếp xúc thứ nhất SP1, và các phần nổi thứ hai CP2 có thể được bố trí từ lớp điện cực tiếp xúc thứ hai TML2.

Tuy nhiên, sáng chế không bị giới hạn ở đó, và một vài trong số các bộ cảm biến tiếp xúc thứ nhất SP1, các phần nổi thứ nhất CP1, các đường tín hiệu tiếp xúc thứ nhất SL1-1 đến SL1-5, các bộ cảm biến tiếp xúc thứ hai SP2, các phần nổi thứ hai CP2, và các đường tín hiệu tiếp xúc thứ hai SL2-1 đến SL2-4 có thể được bố trí từ lớp điện cực tiếp xúc thứ nhất TML1 được thể hiện trên Fig.5, và các đường tín hiệu tiếp xúc còn lại có thể được bố trí từ lớp điện cực tiếp xúc thứ hai TML2 được thể hiện trên Fig.5.

Fig.6 là hình chiếu bằng phóng to minh họa khu vực 'AA' của thiết bị hiển thị được thể hiện trên Fig.1.

Tham chiếu đến Fig.1 và Fig.6, panen hiển thị DP có thể còn bao gồm nhóm đệm PDG và mạch thử nghiệm TCR, được bố trí trong khu vực không hiển thị NDA.

Nhóm đệm PDG có thể bao gồm các đệm đầu vào IPD và các đệm đầu ra OPD. Các đệm đầu ra OPD có thể được bố trí gần khu vực hiển thị DA hơn so với các đệm đầu vào IPD đến khu vực hiển thị DA. Chip mạch điều khiển IC có thể được nối điện với panen hiển thị DP thông qua các đệm đầu vào IPD và các

đệm đầu ra OPD.

Panen hiển thị DP có thể còn bao gồm các đường đệm đầu ra OPL và các đường đệm đầu vào IPL. Các đường đệm đầu ra OPL có thể nối các đệm đầu ra OPD với một vài trong số các đường tín hiệu (ví dụ, các đường dữ liệu DL). Các đường đệm đầu vào IPL có thể nối các đệm đầu vào IPD với bảng mạch in dẻo FPC.

Chip mạch điều khiển IC có thể thu các tín hiệu, được truyền từ bảng mạch in dẻo FPC, thông qua các đường đệm đầu vào IPL và các đệm đầu vào IPD. Chip mạch điều khiển IC có thể cung cấp các tín hiệu cho ít nhất một trong số đường quét GL, đường dữ liệu DL, và đường điện PL thông qua các đệm đầu ra OPD và các đường đệm đầu ra OPL.

Các đệm đầu ra OPD có thể được bố trí thành nhiều hàng. Fig.6 minh họa ví dụ trong đó các đệm đầu ra OPD được bố trí thành ba hàng, nhưng sáng chế không bị giới hạn ở đó. Các đệm đầu ra OPD có thể được bố trí thành hai hoặc ít hơn hai hàng hoặc bốn hoặc nhiều hơn bốn hàng.

Fig.6 minh họa ví dụ trong đó các đệm đầu vào IPD được bố trí thành một hàng, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các đệm đầu vào IPD có thể được bố trí thành nhiều hàng.

Mạch thử nghiệm TCR có thể được xếp chồng lên chip mạch điều khiển IC, trong khu vực không hiển thị NDA. Panen hiển thị DP có thể còn bao gồm các đường đệm thử nghiệm TPL nối mạch thử nghiệm TCR với các đệm đầu ra OPD.

Mạch thử nghiệm TCR có thể cung cấp các tín hiệu để thử nghiệm các đặc tính hoạt động của panen hiển thị DP đến panen hiển thị DP thông qua các đường đệm thử nghiệm TPL và các đệm đầu ra OPD, ở giai đoạn cuối trước khi vận chuyển sản phẩm. Sau khi vận chuyển sản phẩm, mạch thử nghiệm TCR có thể bị khử kích hoạt.

Theo một số phương án làm ví dụ của sáng chế, mạch thử nghiệm TCR có thể được xếp chồng lên chip mạch điều khiển IC, không xếp chồng lên một phần của khu vực không hiển thị NDA không được xếp chồng lên chip mạch điều

hiển IC. Theo đó, có thể giảm kích thước của khu vực không hiển thị NDA và sử dụng khu vực bị chiếm dụng bởi panen hiển thị DP hiệu quả hơn.

Lớp cách điện trung gian VLD có thể để hở nhóm đệm PDG, và điều này có thể khiến nó có thể cho phép nhóm đệm PDG tiếp xúc chip mạch điều khiển IC. Lớp cách điện trung gian VLD có thể che đi mạch thử nghiệm TCR và có thể bảo vệ mạch thử nghiệm TCR.

Theo một số phương án làm ví dụ, lớp cách điện tiếp xúc TSL (ví dụ, tham chiếu đến Fig.5) có thể xác định ít nhất một mẫu hình lõm, được bố trí gần nhóm đệm PDG trong hình chiếu bằng. Điều này sẽ được mô tả chi tiết hơn sau đây.

Fig.7 là hình vẽ mặt cắt ngang theo đường I-I' trên Fig.6. Cấu trúc mặt cắt của một trong số các đệm đầu ra OPD sẽ được mô tả với tham chiếu đến Fig.7. Các đệm đầu ra OPD và các đệm đầu vào IPD có thể có gần như cùng cấu trúc.

Tham chiếu đến Fig.1, Fig.6, và Fig.7, panen hiển thị DP có thể bao gồm mẫu đệm dữ liệu DPP, tiếp xúc đệm đầu ra OPD, và mẫu đệm cổng GPP.

Mẫu đệm cổng GPP có thể được bố trí ở cùng cấp độ với cực cổng GE được thể hiện trên Fig.3, mẫu đệm dữ liệu DPP có thể được bố trí ở cùng cấp độ với các điện cực đầu vào SE và đầu ra DE được thể hiện trên Fig.3, và đệm đầu ra OPD có thể được bố trí ở cùng cấp độ với một trong số lớp điện cực tiếp xúc thứ nhất TML1 và lớp điện cực tiếp xúc thứ hai TML2 được thể hiện trên Fig.5. Theo một phương án làm ví dụ, đệm đầu ra OPD có thể được bố trí ở cùng cấp độ với lớp điện cực tiếp xúc thứ hai TML2, chẳng hạn. Theo các phương án làm ví dụ khác, mẫu đệm dữ liệu DPP có thể được lược bỏ khi cần thiết.

Các đường đệm đầu ra OPL và các đường đệm thử nghiệm TPL có thể được bố trí ở cùng cấp độ với mẫu đệm cổng GPP và có thể được nối điện với mẫu đệm cổng GPP.

Lớp cách điện xen giữa ILD có thể xác định khoảng hở thứ hai OP2 hở ít nhất một phần của mẫu đệm cổng GPP, và mẫu đệm cổng GPP và mẫu đệm dữ liệu DPP có thể tiếp xúc với nhau qua khoảng hở thứ hai OP2.

Lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai

TSL2 có thể xác định khoảng hở thứ ba OP3 hở ít nhất một phần của mẫu đệm dữ liệu DPP, và đệm đầu ra OPD và mẫu đệm dữ liệu DPP có thể tiếp xúc với nhau qua khoảng hở thứ ba OP3.

Theo một số phương án làm ví dụ, lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2 có thể bao gồm gần như cùng vật liệu, và các mẫu hình lõm có cùng hình dạng có thể được bố trí trong lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2. Do đó, trong mô tả sau đây, lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2 sẽ không được mô tả riêng biệt, nhưng sẽ được mô tả là lớp cách điện tiếp xúc TSL. Cụm từ “mẫu hình lõm được bố trí trong lớp cách điện tiếp xúc TSL” có thể có nghĩa là mẫu hình lõm thâm nhập cả lớp cách điện tiếp xúc thứ nhất TSL1 và lớp cách điện tiếp xúc thứ hai TSL2, chẳng hạn.

Fig.8 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo một số phương án làm ví dụ của sáng chế, và Fig.9 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.8.

Tham chiếu đến Fig.8 và Fig.9, mẫu hình lõm GR có thể được bố trí trong lớp cách điện tiếp xúc TSL. Mẫu hình lõm GR có thể là lỗ thâm nhập lớp cách điện tiếp xúc TSL. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mẫu hình lõm GR có thể thâm nhập lớp cách điện tiếp xúc TSL và xác định một phần hốc trong lớp cách điện xen giữa ILD.

Mẫu hình lõm GR có thể được xếp chồng lên khu vực không hiển thị NDA và có thể được bố trí gần nhóm đệm PDG (tham chiếu đến Fig.6) trong hình chiếu bằng. Mẫu hình lõm GR có thể được xếp chồng lên chip mạch điều khiển IC trong hình chiếu bằng.

Trong hình chiếu bằng, mẫu hình lõm có thể được bố trí giữa các đệm đầu ra và lớp cách điện trung gian. Nghĩa là, trong hình chiếu bằng, khoảng cách giữa mẫu hình lõm GR và nhóm đệm PDG có thể ngắn hơn khoảng cách giữa nhóm đệm PDG và lớp cách điện trung gian VLD. Hình dạng của mẫu hình lõm GR sẽ được mô tả chi tiết hơn sau đây.

Lớp cách điện trung gian VLD có thể bao gồm lớp cách điện trung gian

thứ nhất VLD1 và lớp cách điện trung gian thứ hai VLD2.

Lớp cách điện trung gian thứ nhất VLD1 có thể được đặt cách xa lớp cách điện trung gian thứ hai VLD2. Trong hình chiếu bằng và theo hướng thứ hai DR2, lớp cách điện trung gian thứ hai VLD2 có thể được bố trí giữa các đệm đầu ra OPD và các đệm đầu vào IPD. Lớp cách điện trung gian thứ hai VLD2 có thể được xếp chồng lên chip mạch điều khiển IC và che đi mạch thử nghiệm TCR. Lớp cách điện trung gian thứ nhất VLD1 có thể là phần còn lại của lớp cách điện trung gian VLD, trừ lớp cách điện trung gian thứ hai VLD2.

Lớp cách điện trung gian thứ nhất VLD1 có thể xác định khoảng hở thứ tư OP4, và nhóm đệm PDG có thể được để hở thông qua khoảng hở thứ tư OP4. Trong hình chiếu bằng, khoảng hở thứ tư OP4 có thể có dạng hình chữ nhật, giống với chip mạch điều khiển IC. Theo một phương án làm ví dụ, khoảng hở thứ tư OP4 có thể có các bề mặt bên phía trong thứ nhất đến thứ tư, chẳng hạn. Như được thể hiện trên Fig.8, khoảng hở thứ tư OP4 có thể bao gồm bề mặt bên phía trong thứ nhất IS1, được đặt liền kề với khu vực hiển thị DA và kéo dài theo hướng thứ nhất DR1, bề mặt bên phía trong thứ hai IS2, song song với bề mặt bên phía trong thứ nhất IS1, và bề mặt bên phía trong thứ ba IS3 nối các bề mặt bên phía trong thứ nhất IS1 và thứ hai IS2 với nhau. Mặc dù bề mặt bên phía trong thứ tư (không được thể hiện) không được thể hiện trên Fig.8, bề mặt bên phía trong thứ tư có thể đối diện bề mặt bên phía trong thứ ba IS3 và có thể nối các bề mặt bên phía trong thứ nhất IS1 và thứ hai IS2 với nhau.

Theo một số phương án làm ví dụ, mẫu hình lõm GR có thể bao gồm các mẫu hình lõm thứ nhất GR1 đến thứ ba GR3.

Mẫu hình lõm thứ nhất GR1 có thể kéo dài giữa các đệm đầu ra OPD và bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1.

Các đệm đầu ra OPD có thể được bố trí để tạo các hàng thứ nhất đến thứ ba 101, 102, và 103, liền kề với khu vực hiển thị DA theo thứ tự được nêu, và ở đây, mẫu hình lõm thứ nhất GR1 có thể kéo dài giữa hàng thứ nhất 101 của các đệm đầu ra và bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ nhất GR1 có thể có dạng tuyến tính kéo dài

thẳng theo hướng thứ nhất DR1.

Mẫu hình lõm thứ nhất GR1 có thể để hở lớp cách điện xen giữa ILD.

Mẫu hình lõm thứ hai GR2 có thể để hở lớp cách điện trung gian thứ hai VLD2 và lớp cách điện xen giữa ILD. Nói cách khác, lớp cách điện tiếp xúc TSL không thể được xếp chồng lên lớp cách điện trung gian thứ hai VLD2. Các đệm đầu ra OPD và các đệm đầu vào IPD không thể được để hở với mẫu hình lõm thứ hai GR2.

Mẫu hình lõm thứ ba GR3 có thể kéo dài giữa các đệm đầu vào IPD và bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ ba GR3 có thể có dạng tuyến tính kéo dài thẳng theo hướng thứ nhất DR1.

Fig.9 minh họa ví dụ trong đó các mẫu hình lõm thứ nhất GR1 đến thứ ba GR3 được tạo ra thông qua lớp cách điện tiếp xúc TSL, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án làm ví dụ, các mẫu hình lõm thứ nhất GR1 đến thứ ba GR3 có thể tạo ra một phần hốc trong lớp cách điện xen giữa ILD.

Tham chiếu đến Fig.9, thiết bị hiển thị DM có thể còn bao gồm phần bấu BMP. Phần bấu BMP có thể được gắn với bề mặt của chip mạch điều khiển IC đối diện panen hiển thị DP. Phần bấu BMP có thể chứa hoặc bao gồm vật liệu dẫn điện. Chip mạch điều khiển IC có thể nhận tín hiệu điện áp và dòng điện thông qua phần bấu BMP.

Chip mạch điều khiển IC có thể được bố trí (ví dụ, được gắn) trên panen hiển thị DP bằng cách bố trí màng dẫn điện dị hướng ACF giữa chip mạch điều khiển IC và panen hiển thị DP và thực hiện quá trình ép nhiệt. Màng dẫn điện dị hướng ACF có thể bao gồm nhiều quả cầu dẫn điện 150 và vật liệu kết dính 151 bao quanh quả cầu dẫn điện 150. Quả cầu dẫn điện 150 có thể nối điện phần bấu BMP với các đệm đầu vào và đầu ra IPD và OPD.

Như được thể hiện trên Fig.9, đệm đầu ra OPD có thể tiếp xúc mẫu đệm dữ liệu đầu ra DPP1 thông qua khoảng hở thứ năm OP5 được bố trí trong lớp cách điện tiếp xúc TSL, và mẫu đệm dữ liệu đầu ra DPP1 có thể tiếp xúc mẫu đệm cổng đầu ra GPP1 thông qua khoảng hở thứ sáu OP6 được bố trí trong lớp

cách điện xen giữa ILD.

Đệm đầu vào IPD có thể tiếp xúc mẫu đệm dữ liệu đầu vào DPP2 thông qua khoảng hở thứ bảy OP7 được bố trí trong lớp cách điện tiếp xúc TSL, và mẫu đệm dữ liệu đầu vào DPP2 có thể tiếp xúc mẫu đệm công đầu vào GPP2 thông qua khoảng hở thứ tám OP8 được bố trí trong lớp cách điện xen giữa ILD.

Đệm đầu ra OPD và đệm đầu vào IPD có thể có gần như cùng cấu trúc như trên Fig.7, và phần mô tả chi tiết của chúng sẽ được lược bỏ.

Trên Fig.9, mạch thử nghiệm TCR có thể bao gồm ít nhất một trong số mẫu thử nghiệm thứ nhất TCR1 và mẫu thử nghiệm thứ hai TCR2. Mẫu thử nghiệm thứ nhất TCR1 có thể được bố trí ở cùng cấp độ với mẫu đệm công đầu ra GPP1 và mẫu đệm công đầu vào GPP2. Mẫu thử nghiệm thứ hai TCR2 có thể được bố trí ở cùng cấp độ với mẫu đệm dữ liệu đầu ra DPP1 và mẫu đệm dữ liệu đầu vào DPP2.

Fig.10 là hình vẽ mặt cắt ngang minh họa ví dụ về thiết bị hiển thị theo ví dụ so sánh của sáng chế, Fig.11 là hình ảnh thể hiện mặt cắt thẳng đứng của thiết bị hiển thị theo ví dụ so sánh, và Fig.12 là hình ảnh thể hiện hư hại bị phát sinh trong thiết bị đầu cuối di động bao gồm thiết bị hiển thị theo ví dụ so sánh.

Thiết bị hiển thị trên Fig.10 được giả sử có cùng cấu trúc như trên Fig.9, trừ mẫu hình lõm GR trên Fig.9. Hình vẽ mặt cắt ngang trên Fig.10 tương ứng với đường III-III' trên Fig.8. Số tham chiếu của mỗi thành phần trên Fig.10 được cho bằng cách cộng với "-1" vào số tham chiếu của một trong số thiết bị hiển thị tương ứng trên Fig.9.

Vì cả lớp cách điện xen giữa ILD-1 và lớp cách điện tiếp xúc TSL-1 bao gồm vật liệu vô cơ, cường độ kết dính ở giữa có thể tương đối yếu. Do đó, lớp cách điện tiếp xúc TSL-1 có thể bị tách hoặc tháo dễ dàng khỏi lớp cách điện xen giữa ILD-1.

Theo một phương án làm ví dụ, vết nứt CRK có thể phát sinh trong lớp cách điện tiếp xúc TSL-1, chẳng hạn. Vết nứt CRK có thể bị phát sinh do nhiều nguyên nhân. Vết nứt CRK trong lớp cách điện tiếp xúc TSL-1 có thể bị phát sinh do áp lực được tác động vào lớp cách điện tiếp xúc TSL-1 từ quả cầu dẫn

điện 150-1 trong quá trình nén chip mạch điều khiển IC-1, chẳng hạn. Ngoài ra, khi panen hiển thị dẻo DP được uốn cong, vết nứt CRK có thể bị phát sinh trong lớp cách điện tiếp xúc TSL-1.

Dưới môi trường nhiệt độ cao và độ ẩm cao, lớp cách điện trung gian VLD-1 bao gồm vật liệu hữu cơ có thể hấp thụ độ ẩm thông qua vết nứt CRK và có thể được giãn nở nhiệt, và trong trường hợp này, lớp cách điện tiếp xúc TSL-1 có thể được tách hoặc tháo từ lớp cách điện xen giữa ILD-1. Fig.11 thể hiện lớp cách điện tiếp xúc TSL-1 và lớp cách điện xen giữa ILD-1, được tách biệt với nhau với khoảng cách thứ nhất DT.

Trong trường hợp mà đường chất lỏng PTH được bố trí giữa lớp cách điện tiếp xúc TSL-1 và lớp cách điện xen giữa ILD-1, các phân tử nước có thể được dịch chuyển đến các đệm liền kề qua đường chất lỏng PTH, do đó gây đoản mạch giữa các đệm. Cụ thể, đối với panen hiển thị phân giải cao DP, khoảng cách giữa các đệm đầu ra OPD có thể rất nhỏ, và do đó, có thể gây ra đoản mạch dễ dàng giữa các đệm liền kề trong số các đệm đầu ra OPD qua đường chất lỏng PTH. Fig.10 minh họa ví dụ về sự đoản mạch xảy ra giữa hai đệm đầu ra OPD liền kề.

Nếu sự đoản mạch xảy ra giữa các đệm liền kề trong số các đệm đầu ra OPD, hư hại có thể phát sinh ở dạng đường thẳng đứng, như được minh họa trong khu vực 'BB' trên Fig.12. Phụ thuộc vào kết hợp nào giữa các đệm đầu vào và đầu ra IPD và OPD gây đoản mạch, sự hư hại trong thiết bị hiển thị DM-1 theo ví dụ so sánh có thể xảy ra trong các dạng khác nhau, trừ hư hại theo đường thẳng đứng được thể hiện trên Fig.12.

Tham chiếu ngược lại Fig.8 và Fig.9, thiết bị hiển thị DM có thể bao gồm lớp cách điện tiếp xúc TSL, trong đó mẫu hình lõm GR được tạo ra, và ở đây, mẫu hình lõm GR có thể ngăn ngừa vấn đề phân lớp không phát sinh giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD hoặc ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị truyền về phía đệm đầu vào IPD và đệm đầu ra OPD.

Lớp cách điện trung gian VLD có thể có độ dày tương đối lớn, so với bất kỳ lớp nào khác được bố trí ở dưới lớp cách điện trung gian VLD, trừ lớp nền

SUB. Theo một phương án làm ví dụ, lớp cách điện trung gian VLD có thể có độ dày bằng hoặc lớn hơn khoảng 10000 ăngstrom (Å), và tất cả lớp chặn BR, lớp hoạt động ACT, lớp cách điện cổng GI, cực cổng GE, lớp cách điện xen giữa ILD, và các điện cực đầu vào SE và đầu ra DE có thể có độ dày bằng hoặc nhỏ hơn khoảng 10000 Å, chẳng hạn.

Vì lớp cách điện trung gian VLD có độ dày tương đối lớn, các phần của lớp cách điện tiếp xúc TSL, được xếp chồng lên các bề mặt bên phía trong (ví dụ, xem IS1 đến IS3) của lớp cách điện trung gian VLD, có thể có độ dày tương đối nhỏ, do đó dễ gây ra vết nứt. Ngoài ra, một phần của lớp cách điện tiếp xúc TSL được xếp chồng lên chip mạch điều khiển IC có thể dễ gây ra vết nứt, do áp lực được tác động trên quả cầu dẫn điện 150 trong quá trình nén chip mạch điều khiển IC. Nói cách khác, khả năng nứt của lớp cách điện tiếp xúc TSL có thể cao ở khu vực được xếp chồng lên lớp cách điện trung gian VLD. Mặc dù vết nứt trong lớp cách điện tiếp xúc TSL, phát sinh ở khu vực được xếp chồng lên lớp cách điện trung gian VLD, có thể dẫn đến vấn đề phân lớp giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, nhưng theo một số phương án làm ví dụ của sáng chế, mẫu hình lõm GR có thể được bố trí ở khu vực có thể ngăn ngừa vấn đề phân lớp này khỏi bị lan truyền về phía các đệm đầu ra OPD và các đệm đầu vào IPD.

Mẫu hình lõm thứ nhất GR1 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ hai DR2 hoặc từ bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu ra OPD.

Mẫu hình lõm thứ hai GR2 có thể để hở lớp cách điện trung gian thứ hai VLD2, nhờ đó ngăn ngừa vết nứt không phát sinh gần lớp cách điện trung gian thứ hai VLD2.

Mẫu hình lõm thứ ba GR3 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ hai DR2 hoặc khỏi bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu vào IPD.

Trong thiết bị hiển thị theo một số phương án làm ví dụ của sáng chế, mẫu hình lõm có thể được bố trí trong lớp cách điện tiếp xúc, và mẫu hình lõm có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, gây đoản mạch giữa các đệm đầu ra OPD và các đệm đầu vào IPD.

Fig.13 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.14 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.13.

Thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14 có thể gần như có cùng đặc tính với thiết bị hiển thị DM được mô tả với tham chiếu đến Fig.8 và Fig.9 trừ khác biệt ở hình dạng của mẫu hình lõm GR-1. Sau đây, hình dạng của mẫu hình lõm GR-1 sẽ được mô tả chi tiết hơn, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ.

Mẫu hình lõm GR-1 có thể bao gồm các mẫu hình lõm thứ nhất GR-11 đến thứ tư GR-14.

Các mẫu hình lõm thứ nhất GR-11 đến thứ tư GR-14 có thể để hở lớp cách điện xen giữa ILD.

Mẫu hình lõm thứ nhất GR-11 có thể kéo dài giữa các đệm đầu ra OPD và bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ nhất GR-11 có thể có dạng đường thẳng kéo dài thẳng theo hướng thứ nhất DR1. Mẫu hình lõm thứ nhất GR-11 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ hai DR2 hoặc từ bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu ra OPD.

Mẫu hình lõm thứ hai GR-12 có thể kéo dài giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu ra OPD. Mẫu hình lõm thứ hai GR-12 có thể có dạng đường thẳng kéo dài thẳng theo hướng thứ nhất DR1. Mẫu hình lõm thứ hai GR-12 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, không bị lan truyền theo hướng thứ hai

DR2 hoặc từ lớp cách điện trung gian thứ hai VLD2 về phía các đệm đầu ra OPD.

Mẫu hình lõm thứ ba GR-13 có thể kéo dài giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu vào IPD. Mẫu hình lõm thứ ba GR-13 có thể có dạng đường thẳng kéo dài thẳng theo hướng thứ nhất DR1. Mẫu hình lõm thứ ba GR-13 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ hai DR2 hoặc từ lớp cách điện trung gian thứ hai VLD2 về phía các đệm đầu vào IPD.

Mẫu hình lõm thứ tư GR-14 có thể kéo dài giữa các đệm đầu vào IPD và bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ tư GR-14 có thể có dạng đường thẳng kéo dài thẳng theo hướng thứ nhất DR1. Mẫu hình lõm thứ tư GR-14 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ hai DR2 hoặc từ bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu vào IPD.

Fig.15 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế.

Thiết bị hiển thị DM2 được mô tả với tham chiếu đến Fig.15 có thể có gần như cùng đặc tính với thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14, trừ khác biệt liên quan đến mẫu hình lõm GR-2. Do đó, hình dạng của mẫu hình lõm GR-2 sẽ được mô tả chi tiết hơn sau đây, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ để tránh thừa.

Mẫu hình lõm GR-2 có thể bao gồm các mẫu hình lõm thứ nhất GR-21 đến thứ sáu GR-26.

Các mẫu hình lõm thứ nhất GR-21 đến thứ tư GR-24 có thể gần như có cùng đặc tính với các mẫu hình lõm thứ nhất GR-11 đến thứ tư GR-14 được mô tả với tham chiếu đến Fig.13, và mô tả chi tiết của chúng sẽ được lược bỏ.

Mẫu hình lõm thứ năm GR-25 có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ ba IS3 của lớp cách điện

trung gian thứ nhất VLD1. Mẫu hình lõm thứ năm GR-25 có thể nối mẫu hình lõm thứ nhất GR-21 đến mẫu hình lõm thứ tư GR-24. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mẫu hình lõm thứ năm GR-25 không thể có dạng đường thẳng nhưng bao gồm nhiều mẫu hình, được đặt cách xa nhau theo hướng thứ hai DR2, khi xét đến việc bố trí các đường nối liền ở dưới. Mẫu hình lõm thứ năm GR-25 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ nhất DR1 hoặc từ lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu ra OPD và các đệm đầu vào IPD.

Mẫu hình lõm thứ sáu GR-26 có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ ba IS3 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ sáu GR-26 có thể nối mẫu hình lõm thứ hai GR-22 đến mẫu hình lõm thứ ba GR-23. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mẫu hình lõm thứ sáu GR-26 có thể bao gồm nhiều mẫu hình, được đặt cách xa nhau theo hướng thứ hai DR2, khi xét đến việc bố trí các đường nối liền ở dưới.

Mặc dù không được thể hiện, mẫu hình lõm GR-2 có thể còn bao gồm mẫu hình lõm thứ bảy (không được thể hiện) và mẫu hình lõm thứ tám (không được thể hiện).

Mẫu hình lõm thứ bảy (không được thể hiện) có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ tư (không được thể hiện) của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ bảy (không được thể hiện) có thể nối mẫu hình lõm thứ nhất GR-21 đến mẫu hình lõm thứ tư GR-24.

Mẫu hình lõm thứ tám (không được thể hiện) có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ tư (không được thể hiện) của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ tám (không được thể hiện) có thể nối mẫu hình lõm thứ hai GR-22 đến mẫu hình lõm thứ ba GR-23.

Fig.16 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm,

được bố trí trong khu vực ‘AA’ trên Fig.1, theo các phương án làm ví dụ khác của sáng chế.

Thiết bị hiển thị DM3 được mô tả với tham chiếu đến Fig.16 có thể gần như có cùng đặc tính với thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14, trừ khác biệt liên quan đến mẫu hình lõm GR-3. Do đó, hình dạng của mẫu hình lõm GR-3 sẽ được mô tả chi tiết hơn sau đây, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ để tránh thừa.

Mẫu hình lõm GR-3 có thể bao gồm các mẫu hình lõm thứ nhất đến thứ sáu GR-31 đến GR-36.

Các mẫu hình lõm thứ nhất GR-31 đến thứ tư GR-34 có thể gần như có cùng đặc tính với các mẫu hình lõm thứ nhất GR-21 đến thứ tư GR-24 được mô tả với tham chiếu đến Fig.13, và mô tả chi tiết của chúng sẽ được lược bỏ.

Mẫu hình lõm thứ năm GR-35 có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ ba IS3 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ năm GR-35 có thể nối mẫu hình lõm thứ nhất GR-31 đến mẫu hình lõm thứ hai GR-32. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mẫu hình lõm thứ năm GR-35 không thể có dạng đường thẳng nhưng bao gồm nhiều mẫu hình, được đặt cách xa nhau theo hướng thứ hai DR2, khi xét đến việc bố trí các đường nối liền ở dưới. Mẫu hình lõm thứ năm GR-35 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ nhất DR1 từ lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu ra OPD.

Mẫu hình lõm thứ sáu GR-36 có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ ba IS3 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ sáu GR-36 có thể nối mẫu hình lõm thứ ba GR-33 với mẫu hình lõm thứ tư GR-34. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mẫu hình lõm thứ sáu GR-36 có thể bao gồm nhiều mẫu hình, được đặt cách xa nhau theo hướng thứ hai DR2, khi xét đến việc bố trí các đường nối liền ở dưới. Mẫu hình lõm thứ sáu GR-36 có thể ngăn ngừa vấn đề phân lớp, có

thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền theo hướng thứ nhất DR1 hoặc từ lớp cách điện trung gian thứ nhất VLD1 về phía các đệm đầu vào IPD.

Mặc dù không được thể hiện, mẫu hình lõm GR-3 có thể còn bao gồm mẫu hình lõm thứ bảy (không được thể hiện) và mẫu hình lõm thứ tám (không được thể hiện).

Mẫu hình lõm thứ bảy (không được thể hiện) có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ tư (không được thể hiện) của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ bảy (không được thể hiện) có thể nối mẫu hình lõm thứ nhất GR-31 với mẫu hình lõm thứ hai GR-32.

Mẫu hình lõm thứ tám (không được thể hiện) có thể kéo dài theo hướng thứ hai DR2 và dọc theo khu vực liền kề với bề mặt bên phía trong thứ tư (không được thể hiện) của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ tám (không được thể hiện) có thể nối mẫu hình lõm thứ ba GR-33 với mẫu hình lõm thứ tư GR-34.

Fig.17 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.18 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.17.

Trong thiết bị hiển thị DM4 theo các phương án làm ví dụ khác của sáng chế, mẫu hình lõm GR-4 có thể bao gồm các mẫu hình lõm thứ nhất GR-41 đến thứ năm GR-45.

Các mẫu hình lõm thứ nhất GR-41 đến thứ tư GR-44 có thể có gần như cùng đặc tính với các mẫu hình lõm thứ nhất GR-11 đến thứ tư GR-14 được mô tả với tham chiếu đến Fig.13 và Fig.14.

Mẫu hình lõm thứ năm GR-45 có thể có gần như cùng đặc tính với mẫu hình lõm thứ hai GR2 được mô tả với tham chiếu đến Fig.8 và Fig.9.

Mẫu hình lõm thứ hai GR-42 có thể được đặt cách xa mẫu hình lõm thứ năm GR-45, và mẫu hình lõm thứ ba GR-43 có thể được đặt cách xa mẫu hình lõm thứ năm GR-45.

Fig.19 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo các phương án làm ví dụ khác của sáng chế.

Thiết bị hiển thị DM5 được mô tả với tham chiếu đến Fig.19 có thể có gần như cùng đặc tính với thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14, trừ khác biệt liên quan đến mẫu hình lõm GR-5. Do đó, hình dạng của mẫu hình lõm GR-5 sẽ được mô tả chi tiết hơn sau đây, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ để tránh thừa.

Mẫu hình lõm GR-5 có thể bao gồm các mẫu hình lõm thứ nhất GR-51 đến thứ tư GR-54.

Mỗi trong số các mẫu hình lõm thứ nhất GR-51 đến thứ tư GR-54 có thể có dạng zíc zắc kéo dài theo hướng thứ nhất DR1. Mỗi trong số các mẫu hình lõm thứ nhất GR-51 đến thứ tư GR-54 có thể bao gồm nhiều mẫu hình dạng tuyến tính được nối với nhau theo ít nhất hai hướng khác nhau. Tuy nhiên, sáng chế không bị giới hạn ở đó, và mỗi trong số các mẫu hình lõm thứ nhất GR-51 đến thứ tư GR-54 có thể bao gồm nhiều mẫu hình dạng cong được nối với nhau.

Fig.20 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo các phương án làm ví dụ khác của sáng chế.

Thiết bị hiển thị DM6 được mô tả với tham chiếu đến Fig.20 có thể gần như có cùng đặc tính với thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14, trừ khác biệt liên quan đến mẫu hình lõm GR-6. Do đó, hình dạng của mẫu hình lõm GR-6 sẽ được mô tả chi tiết hơn sau đây, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ để tránh thừa.

Mẫu hình lõm GR-6 có thể bao gồm các mẫu hình lõm thứ nhất GR-61 đến thứ tám GR-68. Mỗi trong số các mẫu hình lõm thứ nhất GR-61 đến thứ tám GR-68 có thể được tạo ra ở dạng số nhiều.

Các mẫu hình lõm thứ nhất GR-61 và thứ hai GR-62 có thể được bố trí giữa các đệm đầu ra OPD và bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Các mẫu hình lõm thứ nhất GR-61 có thể được

đặt cách xa nhau theo hướng thứ nhất DR1. Các mẫu hình lõm thứ hai GR-62 có thể được đặt cách xa nhau theo hướng thứ nhất DR1.

Khi được đo theo hướng thứ hai DR2 từ các đệm đầu ra OPD liền kề nhất với khu vực hiển thị DA, các mẫu hình lõm thứ nhất GR-61 và các mẫu hình lõm thứ hai GR-62 có thể được bố trí trong hai khu vực khác nhau có các khoảng cách khác nhau. Như được thể hiện trên Fig.20, mẫu hình lõm thứ nhất GR-61 có thể được đặt cách xa các đệm đầu ra OPD, liền kề nhất với khu vực hiển thị DA, với khoảng cách thứ nhất TT1, và mẫu hình lõm thứ hai GR-62 có thể được đặt cách xa các đệm đầu ra OPD, liền kề nhất với khu vực hiển thị DA, với khoảng cách thứ hai TT2 khác với khoảng cách thứ nhất TT1.

Các mẫu hình lõm thứ nhất GR-61 có thể được bố trí giữa các mẫu hình lõm thứ hai GR-62, theo hướng thứ nhất DR1.

Các mẫu hình lõm thứ ba GR-63 và thứ tư GR-64 có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu ra OPD. Các mẫu hình lõm thứ ba GR-63 có thể được đặt cách xa nhau theo hướng thứ nhất DR1. Các mẫu hình lõm thứ tư GR-64 có thể được đặt cách xa nhau theo hướng thứ nhất DR1.

Khi được đo theo hướng thứ hai DR2 từ các đệm đầu ra OPD liền kề nhất với khu vực hiển thị DA, các mẫu hình lõm thứ ba GR-63 và các mẫu hình lõm thứ tư GR-64 có thể được bố trí trong hai khu vực khác nhau có các khoảng cách khác nhau. Như được thể hiện trên Fig.20, mẫu hình lõm thứ ba GR-63 có thể được đặt cách xa các đệm đầu ra OPD, liền kề nhất với khu vực hiển thị DA, với khoảng cách thứ ba TT3, và mẫu hình lõm thứ tư GR-64 có thể được đặt cách xa các đệm đầu ra OPD, liền kề nhất với khu vực hiển thị DA, với khoảng cách thứ tư TT4 khác với khoảng cách thứ ba TT3.

Các mẫu hình lõm thứ ba GR-63 có thể được bố trí giữa các mẫu hình lõm thứ tư GR-64.

Các mẫu hình lõm thứ năm GR-65 và thứ sáu GR-66 có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu vào IPD.

Các mẫu hình lõm thứ năm GR-65 và thứ sáu GR-66 có thể có các hình

dạng tương tự với các hình dạng của các mẫu hình lõm thứ ba GR-63 và thứ tư GR-64, và do đó, phần mô tả chi tiết của chúng sẽ được lược bỏ.

Các mẫu hình lõm thứ bảy GR-67 và thứ tám GR-68 có thể được bố trí giữa các đệm đầu vào IPD và bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1.

Các mẫu hình lõm thứ bảy GR-67 và thứ tám GR-68 có thể có các hình dạng tương tự với các hình dạng của các mẫu hình lõm thứ nhất GR-61 và thứ hai GR-62, và do đó, mô tả chi tiết của chúng sẽ được bỏ qua.

Fig.21 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.22 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.21.

Thiết bị hiển thị DM7 được mô tả với tham chiếu đến Fig.21 có thể gần như có cùng đặc tính với thiết bị hiển thị DM1 được mô tả với tham chiếu đến Fig.13 và Fig.14, trừ khác biệt liên quan đến mẫu hình lõm GR-7. Do đó, hình dạng của mẫu hình lõm GR-7 sẽ được mô tả chi tiết hơn sau đây, và mô tả chi tiết của các thành phần khác sẽ được lược bỏ để tránh thừa.

Mẫu hình lõm GR-7 có thể bao gồm các mẫu hình lõm thứ nhất GR-71 đến thứ năm GR-75.

Các mẫu hình lõm thứ nhất GR-71 đến thứ tư GR-74 có thể gần như có cùng đặc tính với các mẫu hình lõm thứ nhất GR-11 đến thứ tư GR-14 được mô tả với tham chiếu đến Fig.13.

Các mẫu hình lõm thứ năm GR-75 có thể được tạo ra ở dạng số nhiều. Theo một phương án làm ví dụ, nhiều mẫu hình lõm thứ năm GR-75 có thể được xếp chồng lên lớp cách điện trung gian thứ hai VLD2, chẳng hạn. Nhiều mẫu hình lõm thứ năm GR-75 có thể để hở một phần lớp cách điện trung gian thứ hai VLD2. Nhiều mẫu hình lõm thứ năm GR-75 có thể ngăn ngừa vấn đề phân lớp giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, có thể xảy ra trong lớp cách điện tiếp xúc TSL được xếp chồng lên lớp cách điện trung gian thứ hai VLD2, khỏi bị lan truyền về phía khu vực lân cận.

Fig.23 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm,

được bố trí trong khu vực ‘AA’ trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.24 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.23.

Trong thiết bị hiển thị DM8 được thể hiện trên Fig.23, mẫu hình lõm GR-8 có thể bao gồm các mẫu hình lõm thứ nhất GR-81 và thứ hai GR-82.

Mẫu hình lõm thứ nhất GR-81 có thể được xếp chồng lên các đệm đầu ra OPD. Trong hình chiếu bằng, mẫu hình lõm thứ nhất GR-81 có thể che tất cả các đệm đầu ra OPD. Mẫu hình lõm thứ nhất GR-81 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền về phía các đệm đầu ra OPD.

Mẫu hình lõm thứ hai GR-82 có thể được xếp chồng lên các đệm đầu vào IPD. Trong hình chiếu bằng, mẫu hình lõm thứ hai GR-82 có thể che tất cả các đệm đầu vào IPD. Mẫu hình lõm thứ hai GR-82 có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD, khỏi bị lan truyền về phía các đệm đầu vào IPD.

Fig.25 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực ‘AA’ trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.26 là hình vẽ mặt cắt ngang theo đường II-II’ trên Fig.25.

Trong thiết bị hiển thị DM9 được thể hiện trên Fig.25, mẫu hình lõm GR-9 có thể bao gồm các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93.

Mẫu hình lõm thứ nhất GR-91 có thể được bố trí giữa các đệm đầu ra OPD và bề mặt bên phía trong thứ nhất IS1 của lớp cách điện trung gian thứ nhất VLD1. Theo một số phương án làm ví dụ, nhiều mẫu hình lõm thứ nhất GR-91 có thể được bố trí. Mẫu hình lõm thứ nhất GR-91 có thể được đặt ở giữa, nhưng không được xếp chồng lên, các đường đệm đầu ra OPL. Fig.25 minh họa ví dụ trong đó cặp mẫu hình lõm thứ nhất GR-91 được bố trí giữa cặp đường đệm đầu ra OPL liền kề tương ứng, nhưng sáng chế không bị giới hạn ở đó.

Vì mẫu hình lõm thứ nhất GR-91 không được xếp chồng lên các đường đệm đầu ra OPL, lớp cách điện tiếp xúc TSL có thể che các đường đệm đầu ra OPL. Theo đó, mặc dù lớp cách điện tiếp xúc TSL có mẫu hình lõm thứ nhất GR-91, lớp cách điện tiếp xúc TSL có thể được sử dụng để bảo vệ các đường đệm

đầu ra OPL, và ngoài ra, có thể góp phần giảm vấn đề nhiễu tín hiệu, có thể xảy ra khi tụ điện ký sinh được bố trí giữa các đường đệm đầu ra OPL.

Mẫu hình lõm thứ hai GR-92 có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu vào IPD. Mẫu hình lõm thứ hai GR-92 có thể được tạo ra ở dạng số nhiều. Mẫu hình lõm thứ hai GR-92 có thể được đặt ở giữa, nhưng không được xếp chồng lên, các đường đệm thử nghiệm TPL. Fig.25 minh họa ví dụ trong đó cặp mẫu hình lõm thứ hai GR-92 được bố trí giữa cặp đường đệm thử nghiệm TPL liên kề tương ứng, nhưng sáng chế không bị giới hạn ở đó. Mẫu hình lõm thứ hai GR-92 có thể có hiệu quả tương tự với mẫu hình lõm thứ nhất GR-91.

Mẫu hình lõm thứ ba GR-93 có thể được bố trí giữa các đệm đầu vào IPD và bề mặt bên phía trong thứ hai IS2 của lớp cách điện trung gian thứ nhất VLD1. Mẫu hình lõm thứ ba GR-93 có thể được tạo ở dạng số nhiều. Mẫu hình lõm thứ ba GR-93 có thể được đặt ở giữa, nhưng không được xếp chồng lên, các đường đệm đầu vào IPL. Fig.25 minh họa ví dụ trong đó cặp mẫu hình lõm thứ ba GR-93 được bố trí giữa cặp đường đệm đầu vào IPL liên kề tương ứng, nhưng sáng chế không bị giới hạn ở đó. Mẫu hình lõm thứ ba GR-93 có thể có hiệu quả giống với mẫu hình lõm thứ nhất GR-91.

Các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 có thể được bố trí trong lớp cách điện tiếp xúc TSL.

Các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 không thể được xếp chồng lên các đường (ví dụ, các đường đệm đầu ra OPL, các đường đệm thử nghiệm TPL, và các đường đệm đầu vào IPL), được định vị ở cùng cấp độ với mẫu đệm cổng GPP. Do đó, ngay cả khi các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 kéo dài xuống dưới lớp cách điện tiếp xúc TSL, các đường đệm đầu ra OPL, các đường đệm thử nghiệm TPL, và các đường đệm đầu vào IPL không thể được đề hờ bởi các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 và có thể được bảo vệ.

Các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 có thể có các độ sâu lớn hơn độ dày của lớp cách điện tiếp xúc TSL. Theo một phương án làm ví dụ,

các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 có thể được kéo dài để thâm nhập lớp cách điện xen giữa ILD và, ngoài ra, để thâm nhập lớp cách điện cổng GI, chẳng hạn. Fig.26 minh họa ví dụ trong đó các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 thâm nhập lớp cách điện tiếp xúc TSL, lớp cách điện xen giữa ILD, và lớp cách điện cổng GI. Theo các phương án làm ví dụ khác, các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 có thể để hở lớp ở dưới (ví dụ, lớp chặn BR trên Fig.26) được đặt ở dưới lớp cách điện cổng GI.

Trong các phương án trên được mô tả với tham chiếu đến Fig.25 và Fig.26, các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 có thể được bố trí không những trong lớp cách điện tiếp xúc TSL mà còn trong các lớp được bố trí ở dưới lớp cách điện tiếp xúc TSL, và điều đó làm nó có thể ngăn ngừa vấn đề phân lớp hiệu quả hơn, có thể xảy ra giữa lớp cách điện tiếp xúc TSL và lớp cách điện xen giữa ILD khỏi bị lan truyền đến khu vực lân cận.

Fig.27 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.28 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.27.

Trong thiết bị hiển thị DM10 được thể hiện trên Fig.27, mẫu hình lõm GR-10 có thể bao gồm các mẫu hình lõm thứ nhất GR-101 đến thứ sáu GR-106.

Các mẫu hình lõm thứ nhất GR-101 đến thứ ba GR-103 có thể gần như có cùng đặc tính với các mẫu hình lõm thứ nhất GR1 đến thứ ba GR3 được mô tả với tham chiếu đến Fig.8 và Fig.9.

Các mẫu hình lõm thứ tư GR-104 đến thứ sáu GR-106 có thể gần như có cùng đặc tính với các mẫu hình lõm thứ nhất GR-91 đến thứ ba GR-93 được mô tả với tham chiếu đến Fig.25 và Fig.26.

Mẫu hình lõm thứ nhất GR-101 và mẫu hình lõm thứ tư GR-104 có thể được xếp chồng lên nhau. Mẫu hình lõm thứ hai GR-102 và mẫu hình lõm thứ năm GR-105 có thể được xếp chồng lên nhau. Mẫu hình lõm thứ ba GR-103 và mẫu hình lõm thứ sáu GR-106 có thể được xếp chồng lên nhau.

Độ sâu của mỗi trong số các mẫu hình lõm thứ nhất GR-101 đến thứ ba GR-103 có thể nhỏ hơn độ sâu của mỗi trong số các mẫu hình lõm thứ tư GR-104

đến thứ sáu GR-106.

Các mẫu hình lõm thứ nhất GR-101 đến thứ ba GR-103 có thể được bố trí trong lớp cách điện tiếp xúc TSL.

Các mẫu hình lõm thứ tư GR-104 đến thứ sáu GR-106 có thể không những được tạo ra trong trong lớp cách điện tiếp xúc TSL mà còn trong ít nhất một lớp được bố trí ở dưới lớp cách điện tiếp xúc TSL. Fig.28 minh họa ví dụ trong đó các mẫu hình lõm thứ tư GR-104 đến thứ sáu GR-106 thâm nhập lớp cách điện tiếp xúc TSL, lớp cách điện xen giữa ILD, và lớp cách điện cổng GI.

Trong trường hợp mà thiết bị hiển thị DM10 được mô tả với tham chiếu đến Fig.27 được sử dụng, có thể không những đạt hiệu quả kỹ thuật của thiết bị hiển thị DM được mô tả với tham chiếu đến Fig.8 và Fig.9 mà còn đạt hiệu quả kỹ thuật của thiết bị hiển thị DM9 được mô tả với tham chiếu đến Fig. 25 và Fig.26.

Fig.29 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.30 là hình vẽ mặt cắt ngang theo đường II-II' trên Fig.29.

Thiết bị hiển thị DM11 được mô tả với tham chiếu đến Fig.29 và 30 có thể gần như có cùng đặc tính với thiết bị hiển thị DM được mô tả với tham chiếu đến Fig.8 và Fig.9, trừ khác biệt liên quan đến đệm giả DPD.

Fig.29 và Fig.30 minh họa ví dụ trong đó mẫu hình lõm GR-11 bao gồm các mẫu hình lõm thứ nhất GR1 đến thứ ba GR3 được mô tả với tham chiếu đến Fig.8 và Fig.9. Tuy nhiên, sáng chế không bị giới hạn ở đó, và ví dụ, mẫu hình lõm GR-11 trong thiết bị hiển thị DM11 trên Fig.29 và Fig.30 có thể bao gồm một trong số các mẫu hình lõm trên các hình vẽ từ Fig.13 đến Fig.28.

Thiết bị hiển thị DM11 có thể còn bao gồm đệm giả DPD và phần bấu giả DMP. Đệm giả DPD có thể có cùng cấu trúc với đệm đầu ra OPD và đệm đầu vào IPD. Phần bấu giả DMP có thể có cùng cấu trúc với phần bấu BMP. Đệm giả DPD và phần bấu giả DMP có thể tiếp xúc với nhau. Đệm giả DPD không thể được sử dụng để nhận hoặc truyền các tín hiệu mong muốn để vận hành thiết bị hiển thị DM11.

Đệm giả DPD có thể tiếp xúc mẫu đệm dữ liệu giả DDP thông qua khoảng hở thứ chín OP9 được bố trí trong lớp cách điện tiếp xúc TSL, và mẫu đệm dữ liệu giả DDP có thể tiếp xúc mẫu đệm công giả DGP thông qua khoảng hở thứ mười OP10 được bố trí trong lớp cách điện xen giữa ILD.

Đệm giả DPD và phần bấu giả DMP có thể được xếp chồng lên chip mạch điều khiển IC. Trong hình chiếu bằng, đệm giả DPD có thể được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu ra OPD và/hoặc giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu vào IPD. Trong hình chiếu bằng, đệm giả DPD có thể được bố trí giữa mạch thử nghiệm TCR và các đệm đầu ra OPD. Fig.29 minh họa ví dụ trong đó đệm giả DPD bao gồm đệm giả thứ nhất DPD1, được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu ra OPD, và đệm giả thứ hai DPD2, được bố trí giữa lớp cách điện trung gian thứ hai VLD2 và các đệm đầu vào IPD. Số lượng các đệm giả DPD có thể được thay đổi khác nhau

Khi chip mạch điều khiển IC được bố trí (ví dụ, được gắn) trên panen hiển thị, áp lực có thể được tập trung vào các đệm đầu ra OPD và các đệm đầu vào IPD. Do đó, ứng suất có thể được tập trung vào các thành phần của thiết bị hiển thị DM được xếp chồng lên các đệm đầu ra OPD và các đệm đầu vào IPD. Theo các phương án trước được mô tả với tham chiếu đến Fig.29 và Fig.30, đệm giả DPD và phần bấu giả DMP có thể được xếp chồng lên chip mạch điều khiển IC, nhờ đó phân bố áp lực được tập trung vào các đệm đầu ra OPD và các đệm đầu vào IPD.

Fig.31 là hình chiếu bằng phóng to minh họa hình dạng của mẫu hình lõm, được bố trí trong khu vực 'AA' trên Fig.1, theo các phương án làm ví dụ khác của sáng chế, và Fig.32 và Fig.33 là các hình vẽ mặt cắt ngang theo đường II-II' trên Fig.31.

Trong các thiết bị hiển thị DM12 và DM13 trên các hình vẽ từ Fig.31 đến Fig.33, mẫu hình lõm GR-12 được minh họa để có các mẫu hình lõm thứ nhất GR-121 đến thứ tư GR-124 tương tự với các mẫu hình lõm được mô tả với tham chiếu đến Fig.13 và Fig.14. Tuy nhiên, sáng chế không bị giới hạn ở đó, và ví dụ,

trong các thiết bị hiển thị DM12 và DM13 trên các hình vẽ từ Fig.31 đến Fig.33, mẫu hình lõm GR-12 có thể bao gồm một trong số các mẫu hình lõm được mô tả với tham chiếu đến các hình vẽ từ Fig.8 đến Fig.28.

Tham chiếu đến Fig.31 và Fig.32, các lỗ chặn CNT1 và CNT2 được bố trí trong lớp cách điện trung gian thứ hai VLD2 có thể được tạo ra trong thiết bị hiển thị DM12. Các lỗ chặn CNT1 và CNT2 có thể kéo dài theo hướng thứ nhất DR1 trong hình chiếu bằng. Các lỗ chặn CNT1 và CNT2 không thể được xếp chồng lên mạch thử nghiệm TCR. Các lỗ chặn CNT1 và CNT2 có thể bao gồm lỗ chặn thứ nhất CNT1 và lỗ chặn thứ hai CNT2, đối nhau với mạch thử nghiệm TCR được đặt ở giữa trong hình chiếu bằng.

Tham chiếu đến Fig.31 và Fig.33, các lỗ chặn CNT1 và CNT2 được bố trí không những trong lớp cách điện trung gian thứ hai VLD2 mà còn trong lớp cách điện xen giữa ILD có thể được tạo ra trong thiết bị hiển thị DM13. Các lỗ chặn CNT1 và CNT2 có thể thâm nhập cả lớp cách điện trung gian thứ hai VLD2 và lớp cách điện xen giữa ILD.

Theo một số phương án làm ví dụ của sáng chế, thiết bị hiển thị có thể bao gồm lớp cách điện tiếp xúc với mẫu hình lõm. Mẫu hình lõm có thể ngăn ngừa vấn đề phân lớp, có thể xảy ra giữa lớp cách điện tiếp xúc và lớp cách điện xen giữa, gây đứt mạch giữa các đệm đầu ra và đầu vào.

Trong khi các phương án làm ví dụ theo sáng chế được thể hiện và được mô tả cụ thể, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hiểu được các cải biến trong hình thức và chi tiết có thể được tạo ra ở đây không vượt ra ngoài nguyên lý và phạm vi bảo hộ của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị, bao gồm:

lớp nền bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị;

các đường tín hiệu được bố trí trên lớp nền;

lớp phân tử hiển thị được bố trí trên các đường tín hiệu, lớp phân tử hiển thị chứa các phân tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng;

nhóm đệm bao gồm các đệm đầu ra được nối điện với các đường tín hiệu và được bố trí trong khu vực không hiển thị trong hình chiếu bằng;

lớp cách điện trung gian được bố trí giữa các đường tín hiệu và lớp phân tử hiển thị và chồng lấp lên khu vực hiển thị và khu vực không hiển thị, lớp cách điện trung gian xác định khoảng hở để hở nhóm đệm;

lớp điện cực tiếp xúc được bố trí trên lớp phân tử hiển thị và bao gồm các điện cực tiếp xúc chồng lấp lên khu vực hiển thị; và

lớp cách điện tiếp xúc được bố trí trên lớp phân tử hiển thị, lớp cách điện tiếp xúc tiếp xúc lớp điện cực tiếp xúc và xác định mẫu hình lõm trong khu vực không hiển thị trong hình chiếu bằng,

trong đó mẫu hình lõm được đặt giữa các đệm đầu ra và lớp cách điện trung gian trong hình chiếu bằng.

2. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm lớp cách điện xen giữa,

trong đó các đường tín hiệu bao gồm lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai ở trên lớp dẫn điện thứ nhất,

lớp cách điện xen giữa được bố trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, và

mỗi trong số lớp cách điện xen giữa và lớp cách điện tiếp xúc chứa vật liệu vô cơ.

3. Thiết bị hiển thị theo điểm 2, trong đó lớp cách điện tiếp xúc và lớp cách điện xen giữa tiếp xúc một phần với nhau, và mẫu hình lõm để hở lớp cách điện xen giữa.

4. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm:

chip mạch điều khiển được nối điện với nhóm đệm và cung cấp các tín hiệu cho các đường tín hiệu; và

mạch thử nghiệm được xếp chồng lên chip mạch điều khiển và được nối điện với các đệm đầu ra.

5. Thiết bị hiển thị theo điểm 1, trong đó nhóm đệm còn bao gồm các đệm đầu vào được bố trí trong khu vực không hiển thị và được đặt cách xa các đệm đầu ra trong hình chiếu bằng, và

lớp cách điện trung gian bao gồm lớp cách điện trung gian thứ nhất, trong đó khoảng hở để hở nhóm đệm được xác định, và lớp cách điện trung gian thứ hai, được đặt cách xa với lớp cách điện trung gian thứ nhất và được bố trí giữa các đệm đầu vào và các đệm đầu ra trong hình chiếu bằng.

6. Thiết bị hiển thị theo điểm 5, trong đó mẫu hình lõm bao gồm mẫu hình lõm thứ nhất được bố trí giữa các đệm đầu ra và bề mặt bên của khoảng hở của lớp cách điện trung gian thứ nhất liền kề với khu vực hiển thị.

7. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm còn bao gồm mẫu hình lõm thứ hai để hở toàn bộ lớp cách điện trung gian thứ hai.

8. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm còn bao gồm mẫu hình lõm thứ hai được bố trí giữa các đệm đầu ra và lớp cách điện trung gian thứ hai.

9. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm thứ nhất kéo dài theo hướng thứ nhất, và

mẫu hình lõm còn bao gồm mẫu hình lõm thứ hai kéo dài theo hướng thứ hai giao với hướng thứ nhất.

10. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm còn bao gồm:

mẫu hình lõm thứ hai được bố trí giữa các đệm đầu ra và lớp cách điện

trung gian thứ hai; và

mẫu hình lõm thứ ba được đặt cách xa với mẫu hình lõm thứ hai và để hở lớp cách điện trung gian thứ hai.

11. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm thứ nhất kéo dài theo dạng zíc zắc.

12. Thiết bị hiển thị theo điểm 6, trong đó thiết bị này còn bao gồm mẫu hình lõm thứ hai, được bố trí giữa các đệm đầu ra và bề mặt bên của khoảng hở của lớp cách điện trung gian thứ nhất liền kề với khu vực hiển thị và được đặt cách xa với mẫu hình lõm thứ nhất,

trong đó mẫu hình lõm thứ nhất và mẫu hình lõm thứ hai được bố trí trong hai khu vực khác nhau có các khoảng cách khác nhau, khi được đo từ một trong số các đệm đầu ra.

13. Thiết bị hiển thị theo điểm 12, trong đó mẫu hình lõm thứ nhất bao gồm các mẫu hình lõm thứ nhất được đặt cách xa nhau theo hướng thứ nhất,

mẫu hình lõm thứ hai bao gồm nhiều mẫu hình lõm thứ hai được đặt cách xa nhau theo hướng thứ nhất, và

các mẫu hình lõm thứ nhất được đặt giữa các mẫu hình lõm thứ hai theo hướng thứ nhất.

14. Thiết bị hiển thị theo điểm 6, trong đó mẫu hình lõm còn bao gồm các mẫu hình lõm thứ hai để hở một phần của lớp cách điện trung gian thứ hai.

15. Thiết bị hiển thị theo điểm 5, trong đó mẫu hình lõm bao gồm mẫu hình lõm thứ nhất được xếp chồng lên tất cả các đệm đầu ra.

16. Thiết bị hiển thị theo điểm 5, thiết bị này còn bao gồm các đường đệm đầu ra nối các đệm đầu ra với một số đường tín hiệu,

trong đó mẫu hình lõm bao gồm mẫu hình lõm thứ nhất, được bố trí giữa các đệm đầu ra và bề mặt bên của khoảng hở của lớp cách điện trung gian thứ nhất liền kề với khu vực hiển thị và được bố trí giữa các đường đệm liền kề trong số các đường đệm đầu ra.

17. Thiết bị hiển thị theo điểm 5, trong đó độ sâu của mẫu hình lõm thứ nhất lớn hơn độ dày của lớp cách điện tiếp xúc.

18. Thiết bị hiển thị theo điểm 16, trong đó mẫu hình lõm còn bao gồm mẫu hình lõm thứ hai, được bố trí giữa các đệm đầu ra và bề mặt bên của khoảng hở của lớp cách điện trung gian thứ nhất liền kề với khu vực hiển thị và được xếp chồng lên mẫu hình lõm thứ nhất.

19. Thiết bị hiển thị theo điểm 18, trong đó độ sâu của mẫu hình lõm thứ nhất nhỏ hơn độ sâu của mẫu hình lõm thứ hai.

20. Thiết bị hiển thị theo điểm 4, thiết bị này còn bao gồm đệm giả, được xếp chồng lên chip mạch điều khiển và được đặt giữa các đệm đầu ra và mạch thử nghiệm trong hình chiếu bằng.

21. Thiết bị hiển thị theo điểm 5, trong đó lỗ chặn được tạo ra trong lớp cách điện trung gian thứ hai.

22. Thiết bị hiển thị theo điểm 21, thiết bị này còn bao gồm lớp cách điện xen giữa được bố trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai,

trong đó lỗ chặn thâm nhập lớp cách điện xen giữa.

23. Thiết bị hiển thị bao gồm:

lớp nền bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị;

các đường tín hiệu được bố trí trên lớp nền;

lớp phân tử hiển thị được bố trí trên các đường tín hiệu, lớp phân tử hiển thị chứa các phân tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng;

nhóm đệm bao gồm các đệm đầu ra được nối điện với các đường tín hiệu và được bố trí trong khu vực không hiển thị trong hình chiếu bằng;

chip mạch điều khiển tiếp xúc nhóm đệm và cung cấp các tín hiệu cho các đường tín hiệu;

lớp điện cực tiếp xúc được bố trí trên lớp phân tử hiển thị; và

lớp cách điện tiếp xúc được bố trí trên lớp phân tử hiển thị, lớp cách điện tiếp xúc tạo ra mẫu hình lõm trong khu vực không hiển thị trong hình chiếu bằng,

trong đó mẫu hình lõm không được xếp chồng lên nhóm đệm và được xếp chồng lên chip mạch điều khiển, và

khoảng hở xếp chồng lên ít nhất một trong số các đệm đầu ra được tạo ra trong lớp cách điện tiếp xúc.

24. Thiết bị hiển thị theo điểm 23, thiết bị còn bao gồm lớp cách điện xen giữa,

trong đó các đường tín hiệu bao gồm lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai ở trên lớp dẫn điện thứ nhất,

lớp cách điện xen giữa được bố trí giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai, và

mỗi trong số lớp cách điện xen giữa và lớp cách điện tiếp xúc chứa vật liệu vô cơ.

25. Thiết bị hiển thị theo điểm 24, trong đó lớp cách điện tiếp xúc và lớp cách điện xen giữa tiếp xúc một phần với nhau, và mẫu hình lõm để hở lớp cách điện xen giữa.

26. Thiết bị hiển thị theo điểm 23, thiết bị này còn bao gồm mạch thử nghiệm được xếp chồng lên chip mạch điều khiển và được nối điện với các đệm đầu ra,

trong đó nhóm đệm còn bao gồm các đệm đầu vào, được bố trí trong khu vực không hiển thị và đối diện các đệm đầu ra với mạch thử nghiệm được đặt ở giữa trong hình chiếu bằng.

27. Thiết bị hiển thị bao gồm:

lớp nền bao gồm khu vực hiển thị và khu vực không hiển thị bên ngoài khu vực hiển thị;

lớp phân tử hiển thị được bố trí trên lớp nền, lớp phân tử hiển thị chứa các phân tử hiển thị được bố trí trong khu vực hiển thị trong hình chiếu bằng;

nhóm đệm được bố trí trên lớp nền, nhóm đệm gồm các đệm đầu ra được bố trí trong khu vực không hiển thị trong hình chiếu bằng;

lớp điện cực tiếp xúc được bố trí trên lớp phần tử hiển thị; và

lớp cách điện tiếp xúc được bố trí trên lớp phần tử hiển thị và tiếp xúc với lớp điện cực tiếp xúc,

trong đó mẫu hình lõm được bố trí trong lớp cách điện tiếp xúc được xếp chồng lên khu vực không hiển thị, và mẫu hình lõm không được xếp chồng lên nhóm đệm, và

khoảng hở xếp chồng lên ít nhất một trong số các đệm đầu ra được tạo ra trong lớp cách điện tiếp xúc.

FIG. 1

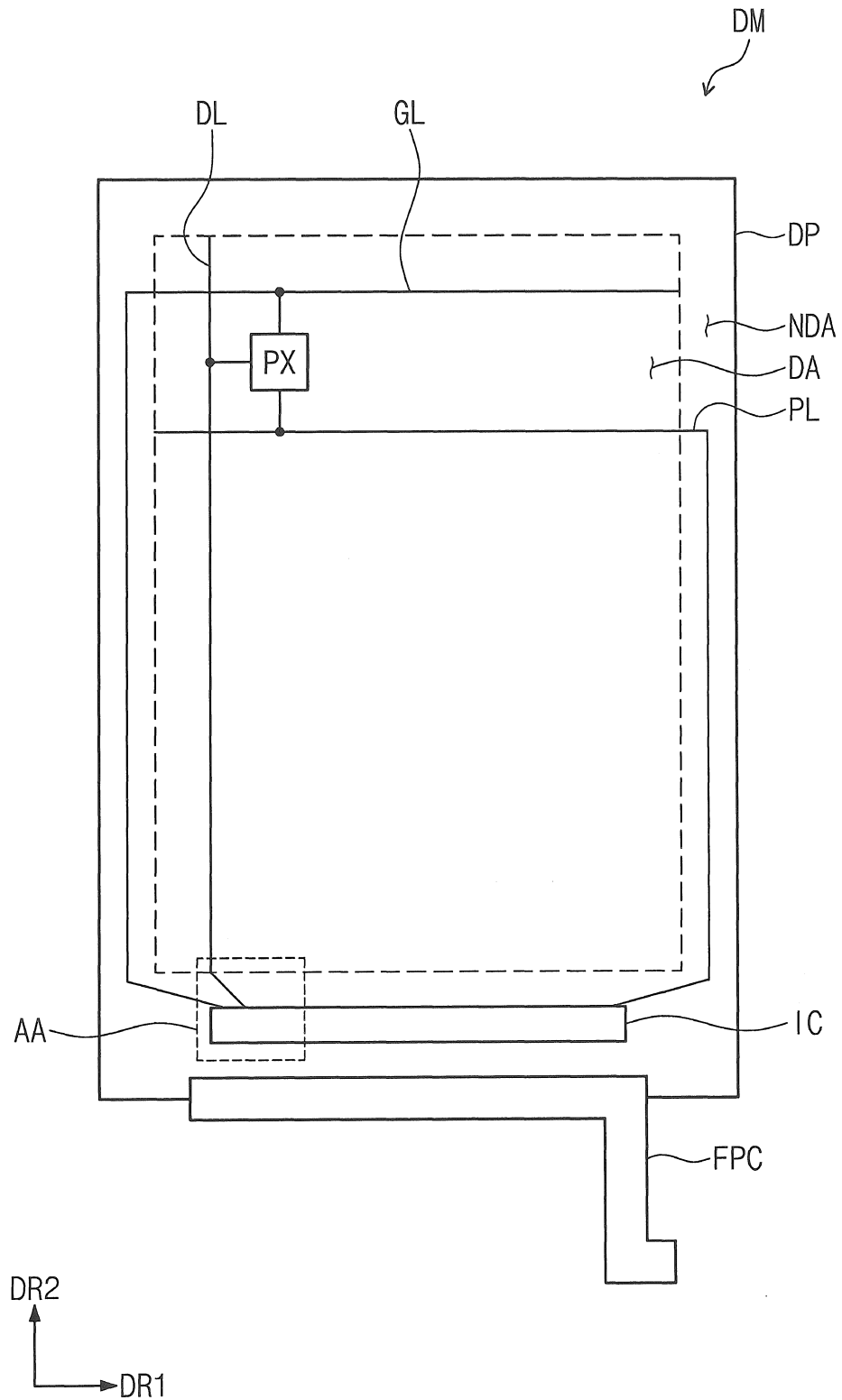


FIG. 2

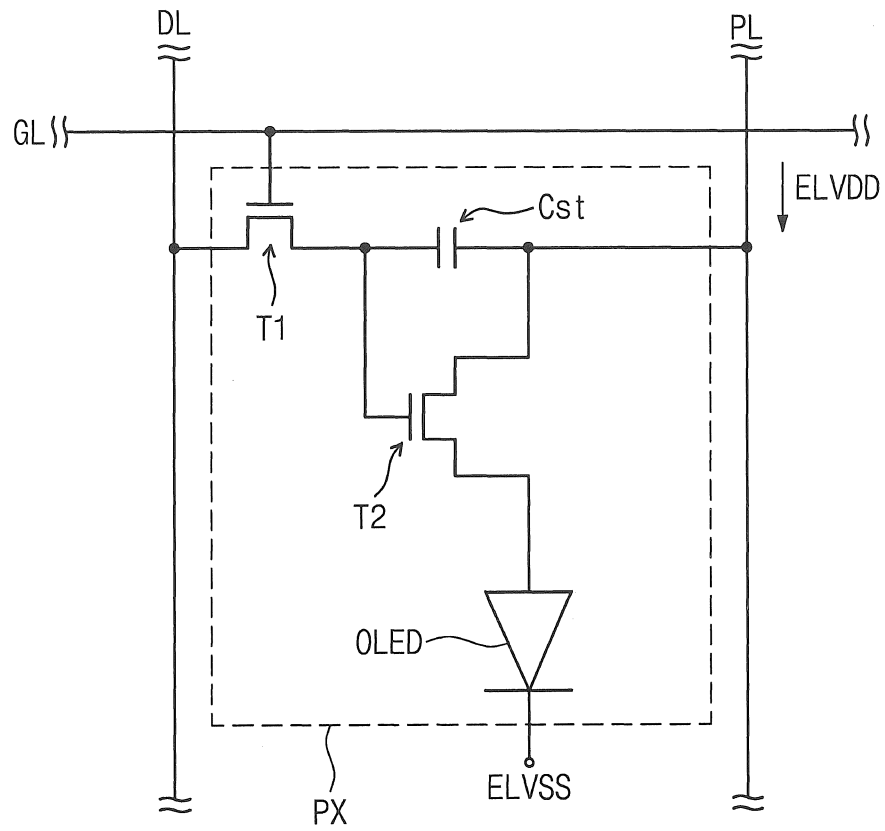


FIG. 3

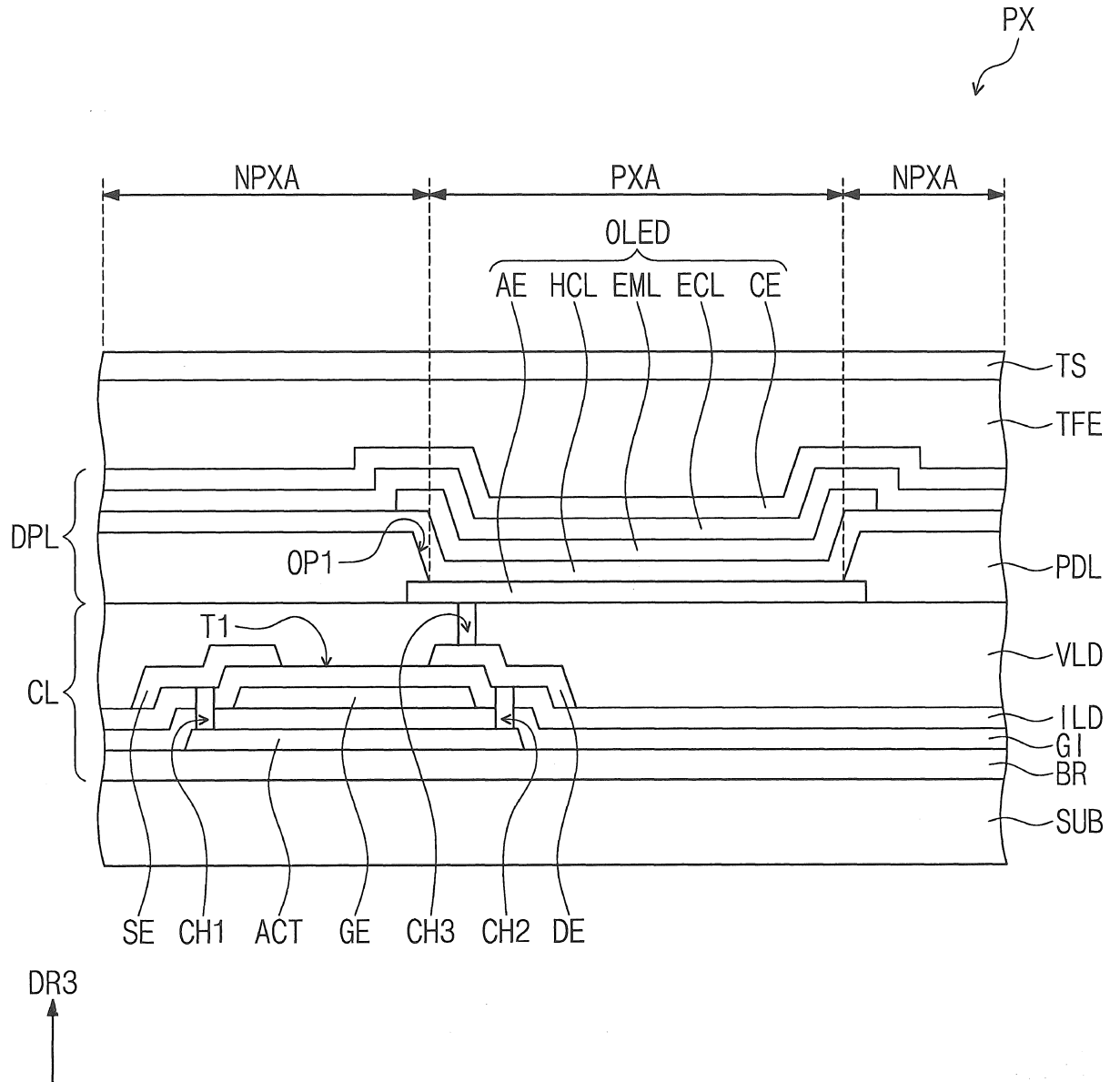


FIG. 4

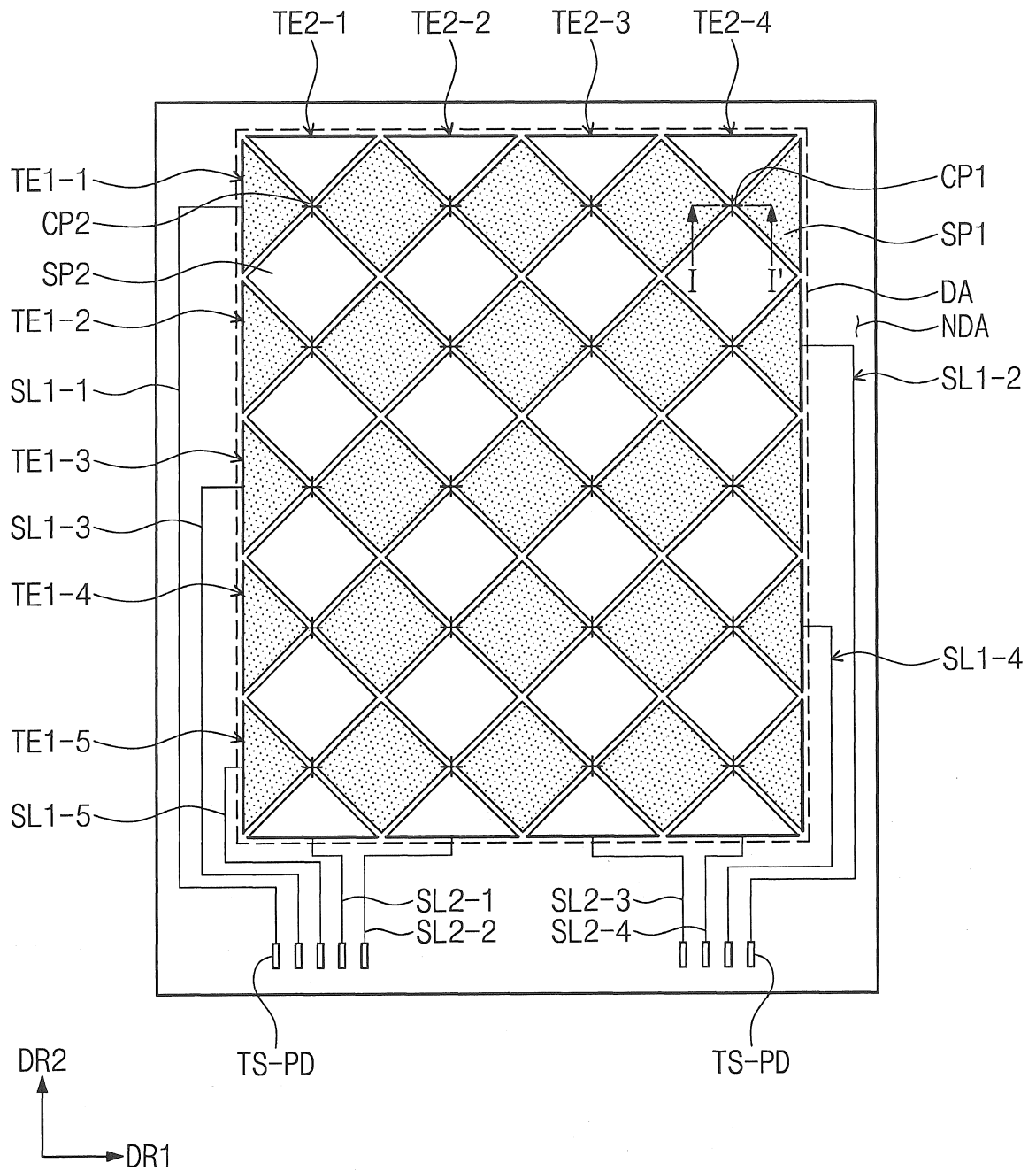


FIG. 5

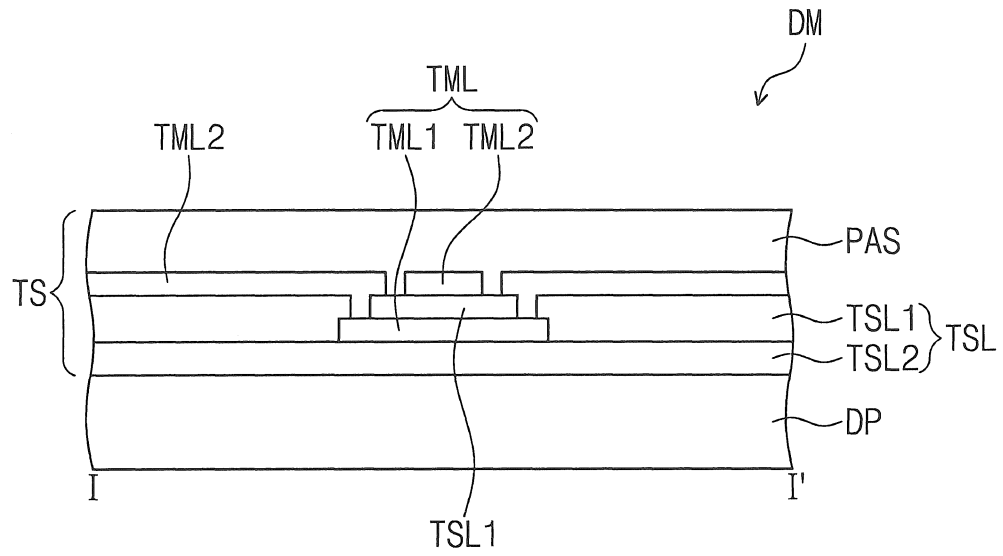


FIG. 6

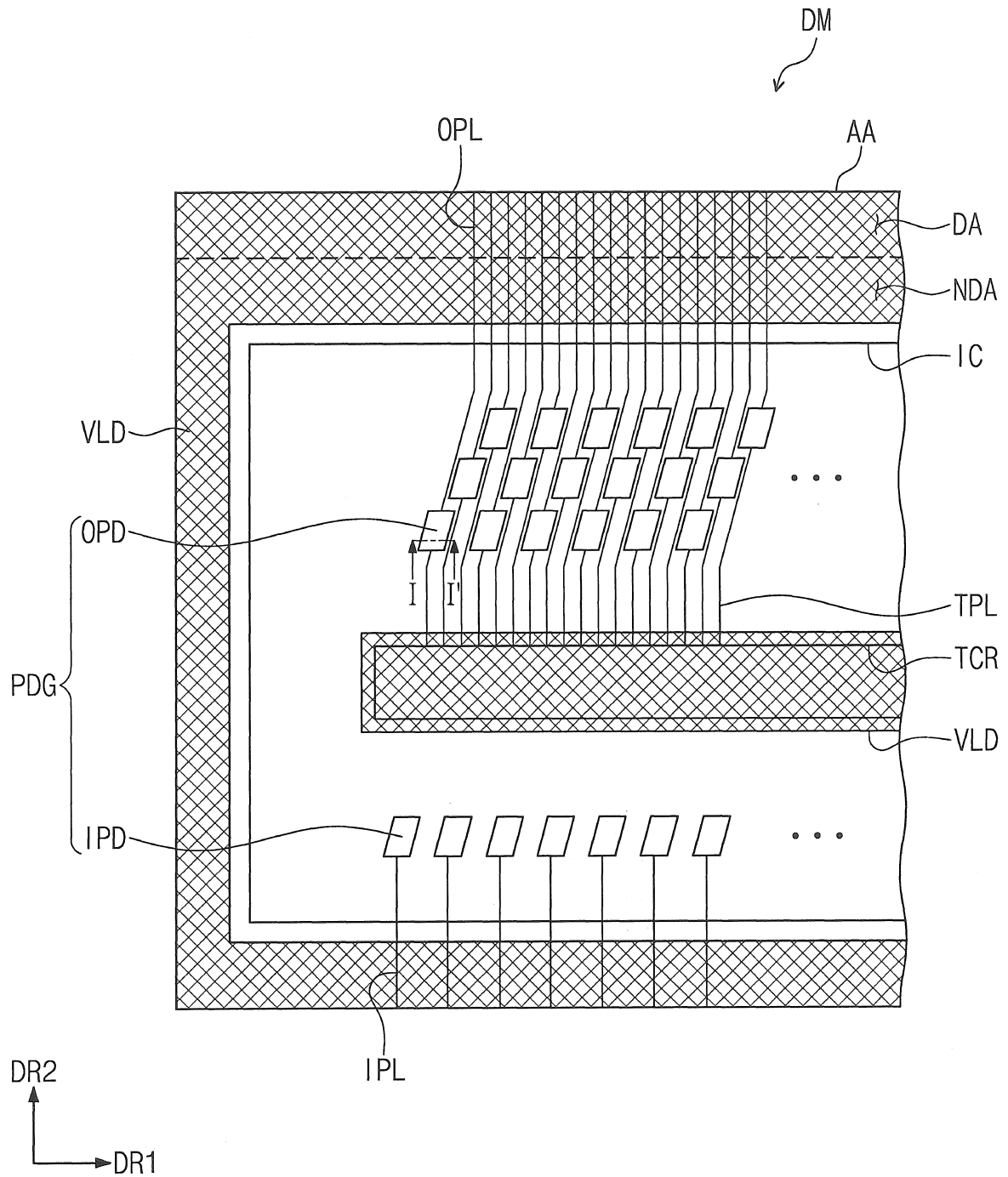


FIG. 7

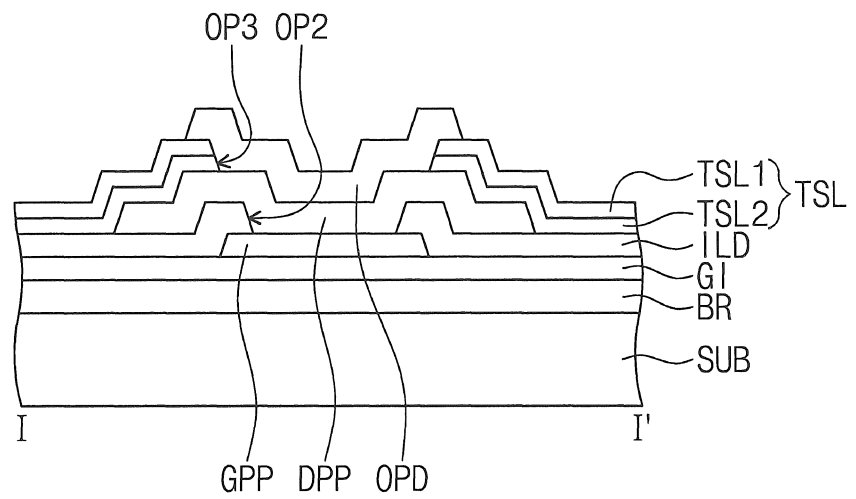


FIG. 8

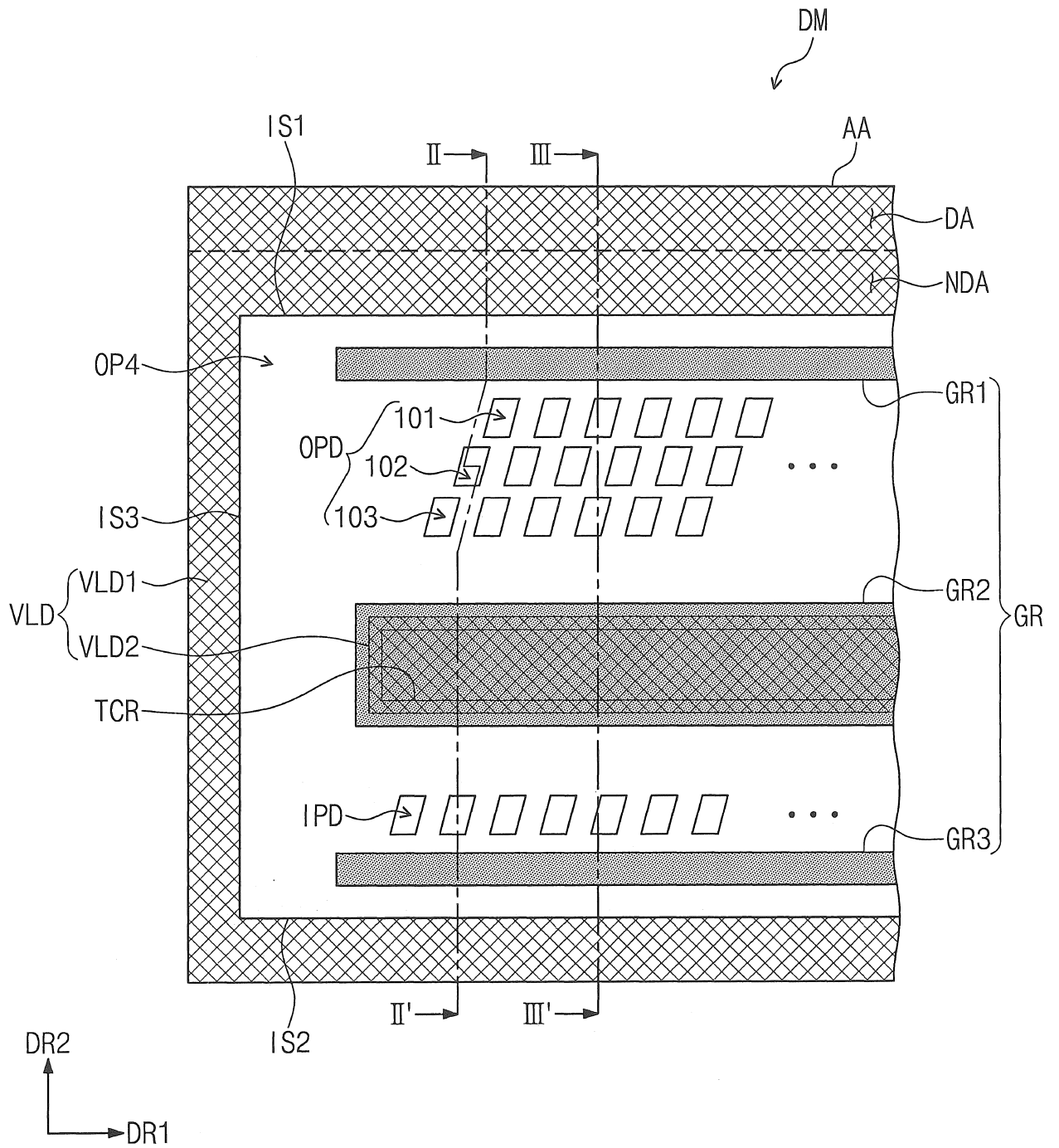


FIG. 9

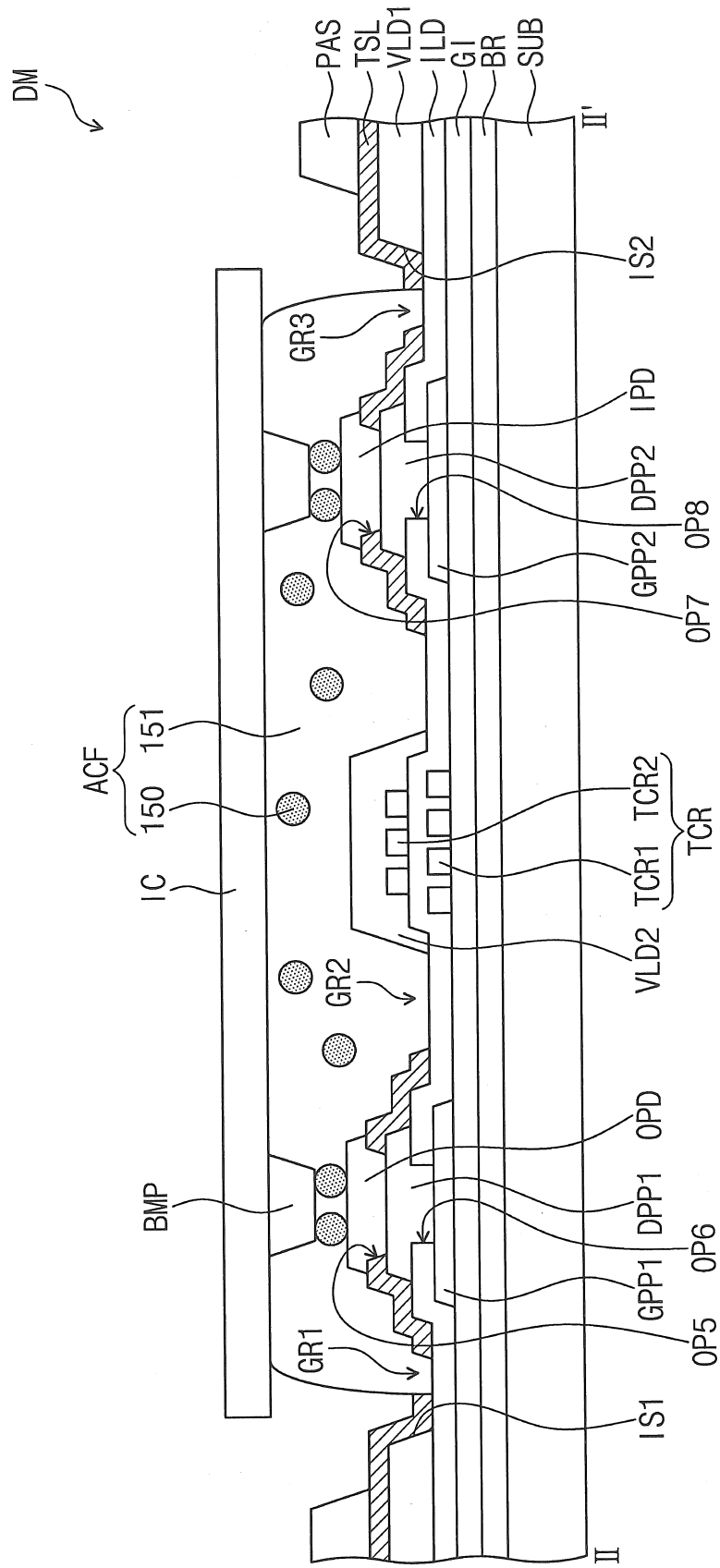


FIG. 10

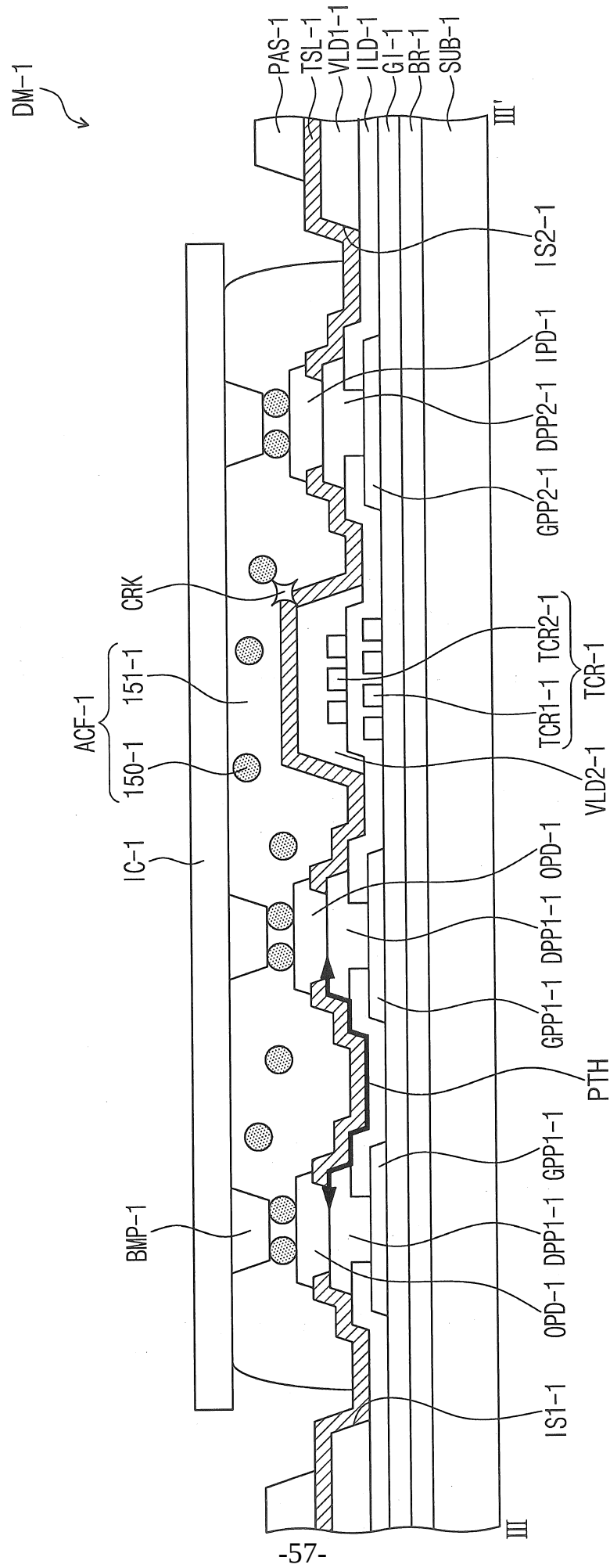


FIG. 11

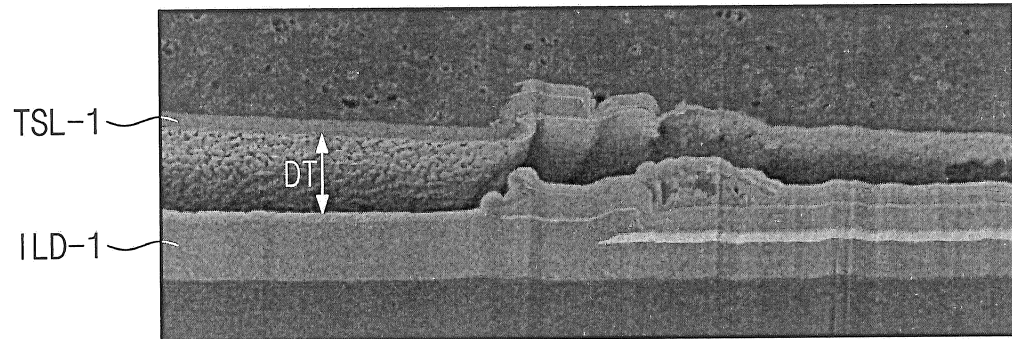


FIG. 12

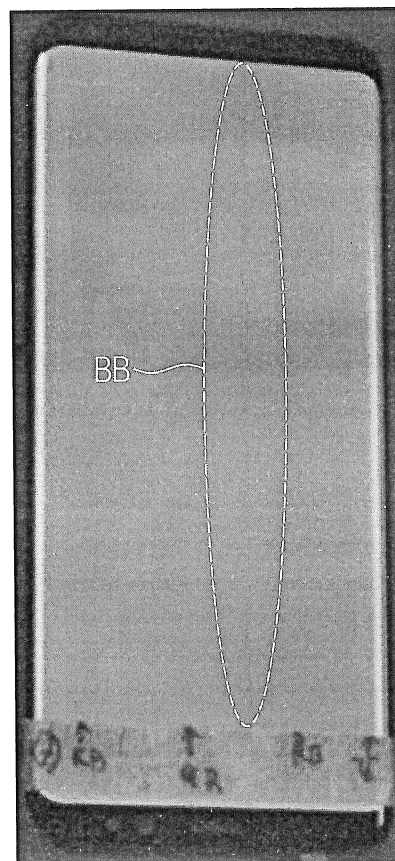


FIG. 13

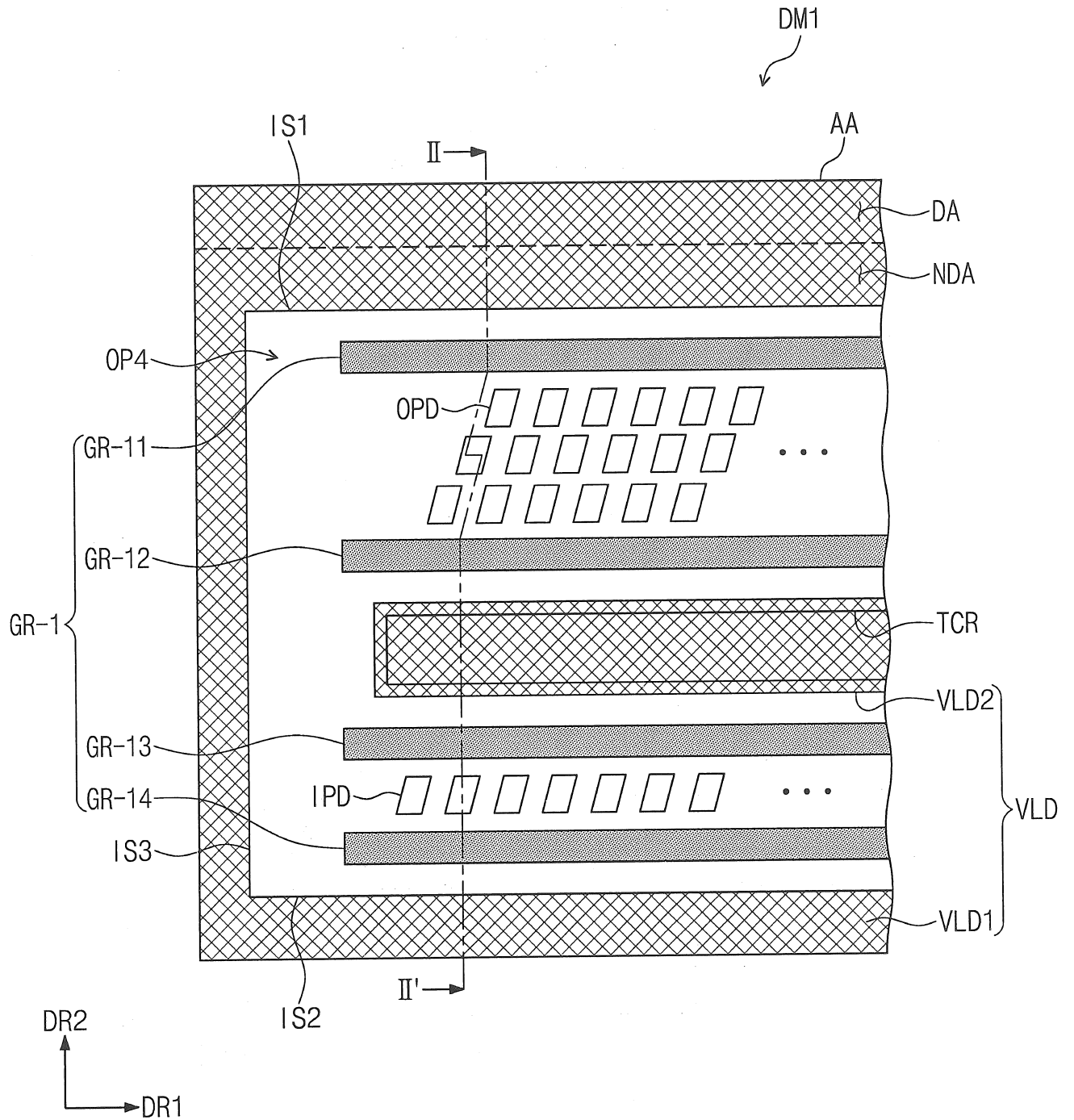


FIG. 14

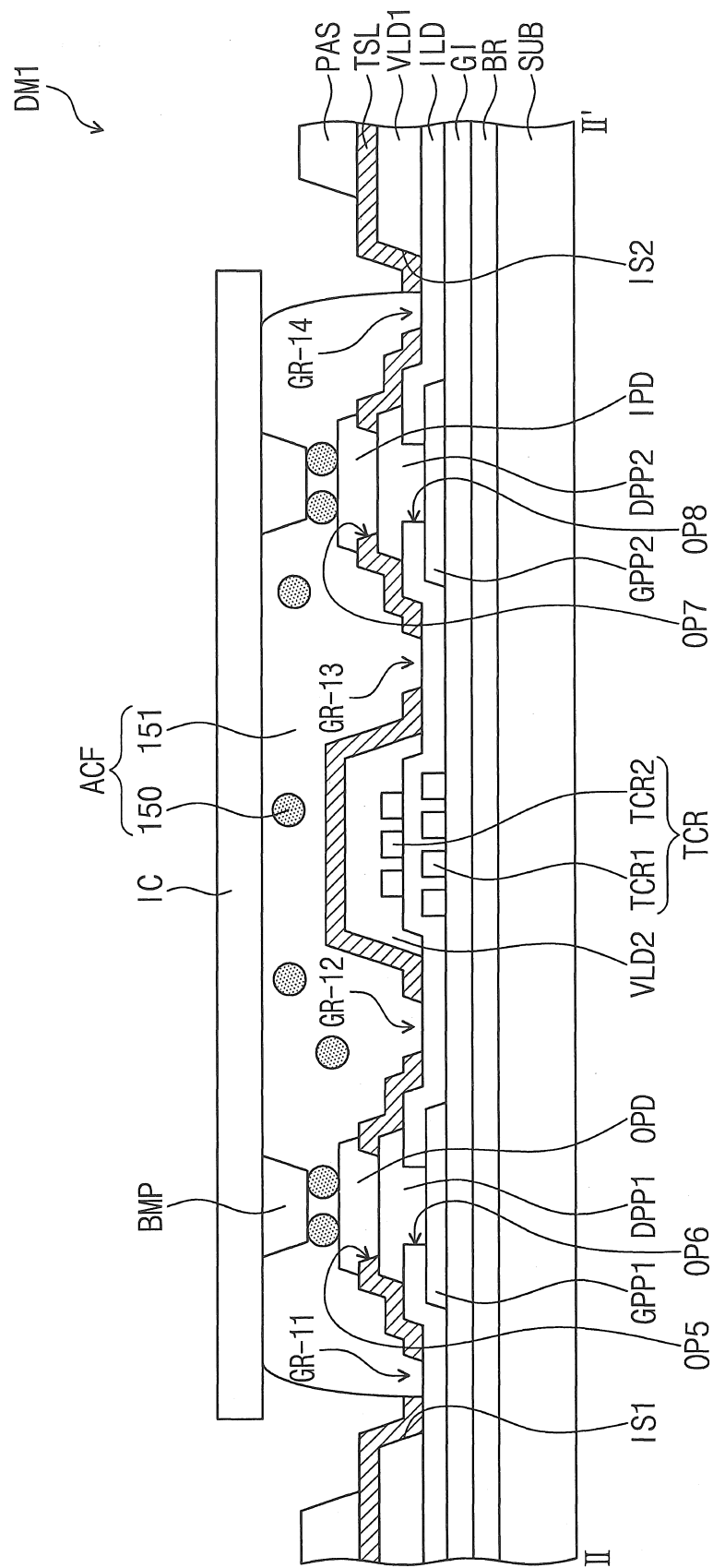


FIG. 15

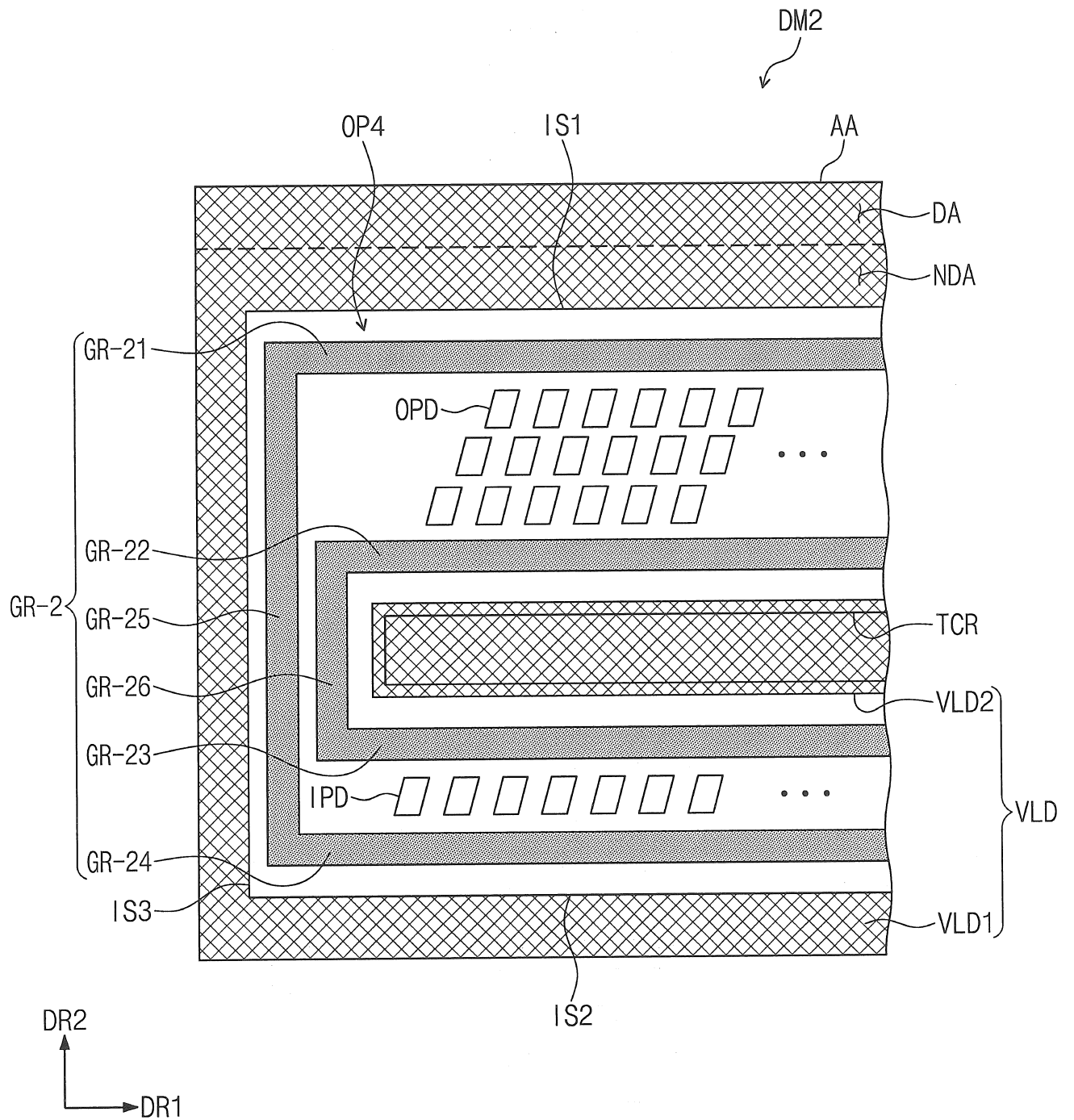


FIG. 16

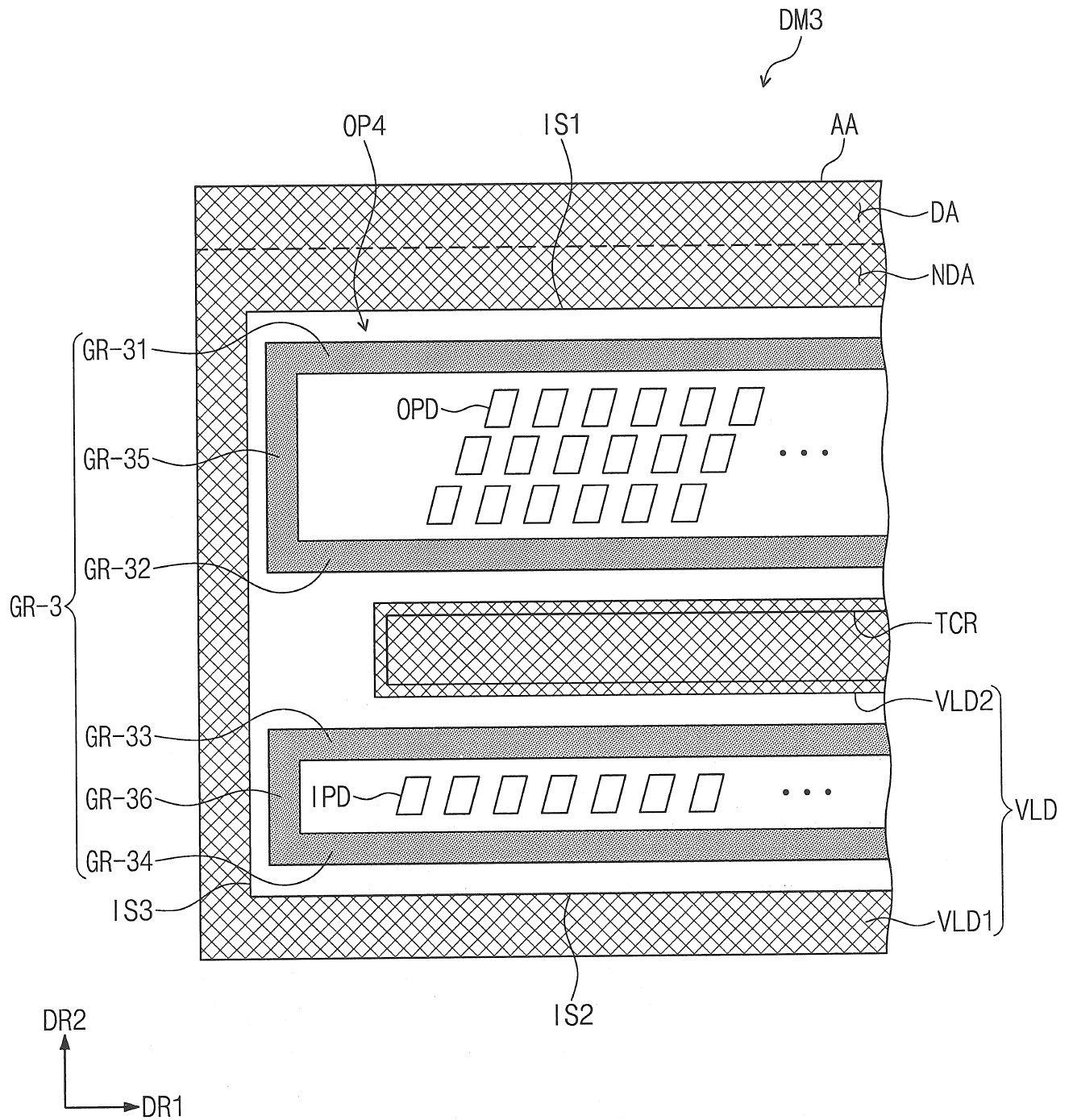


FIG. 17

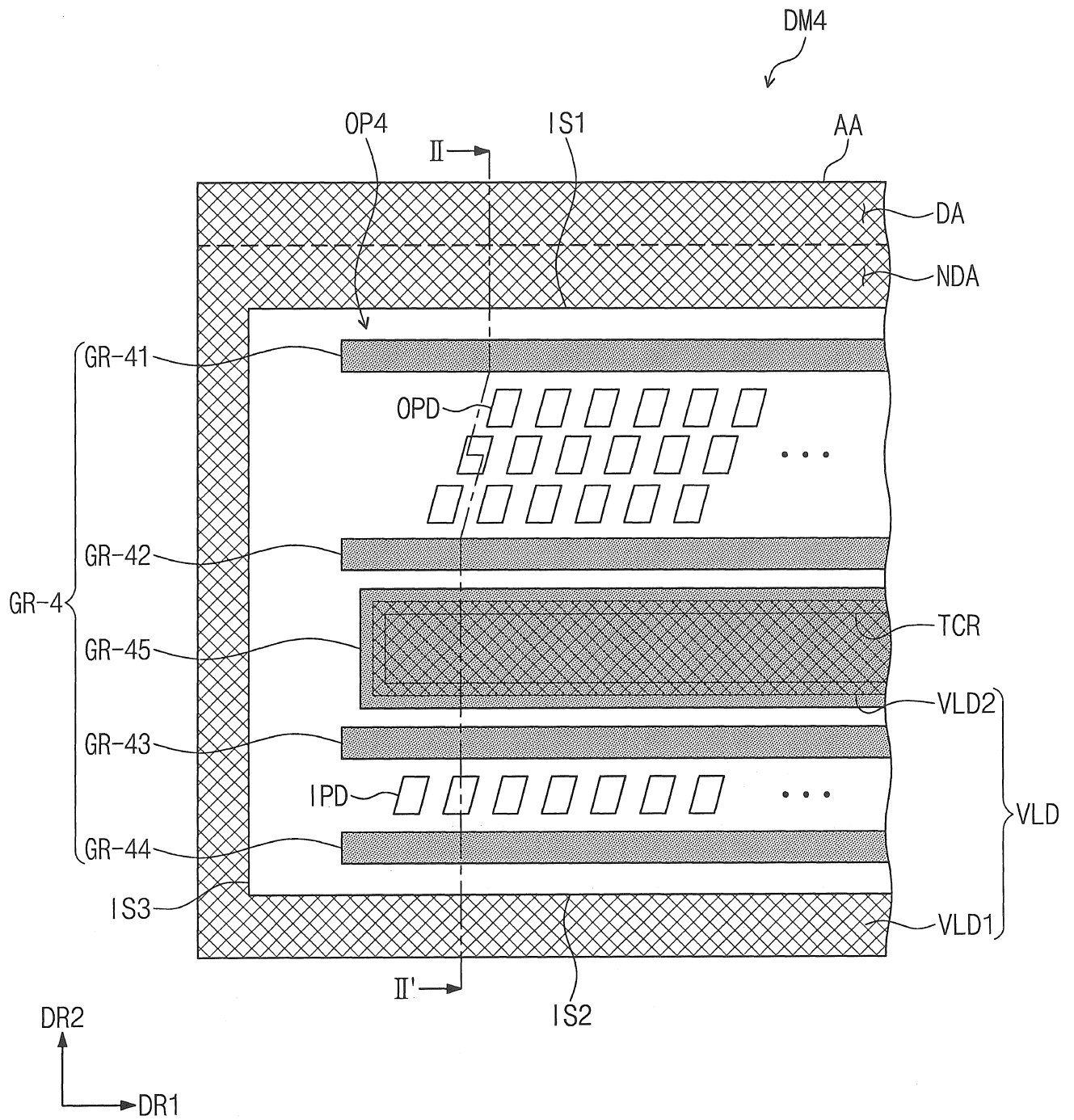


FIG. 18

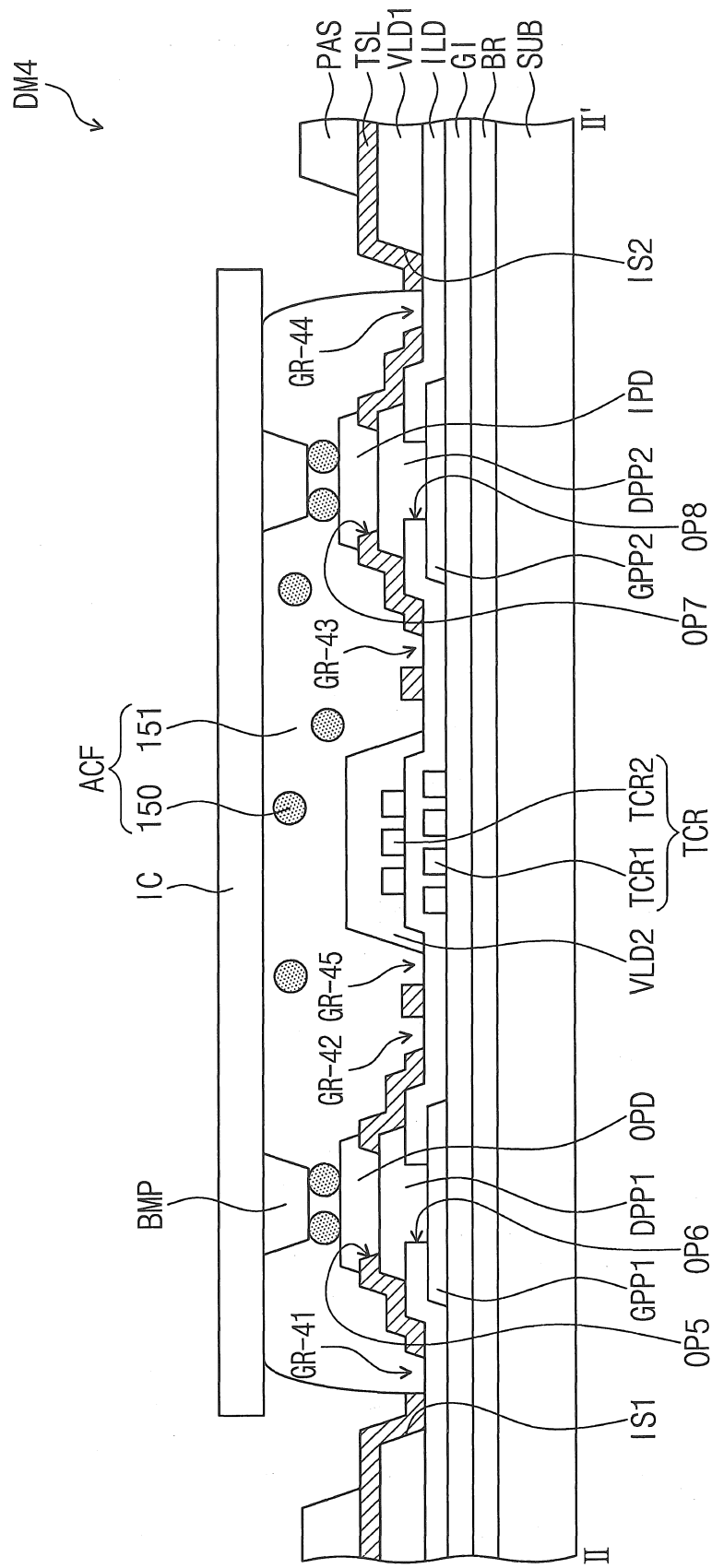


FIG. 19

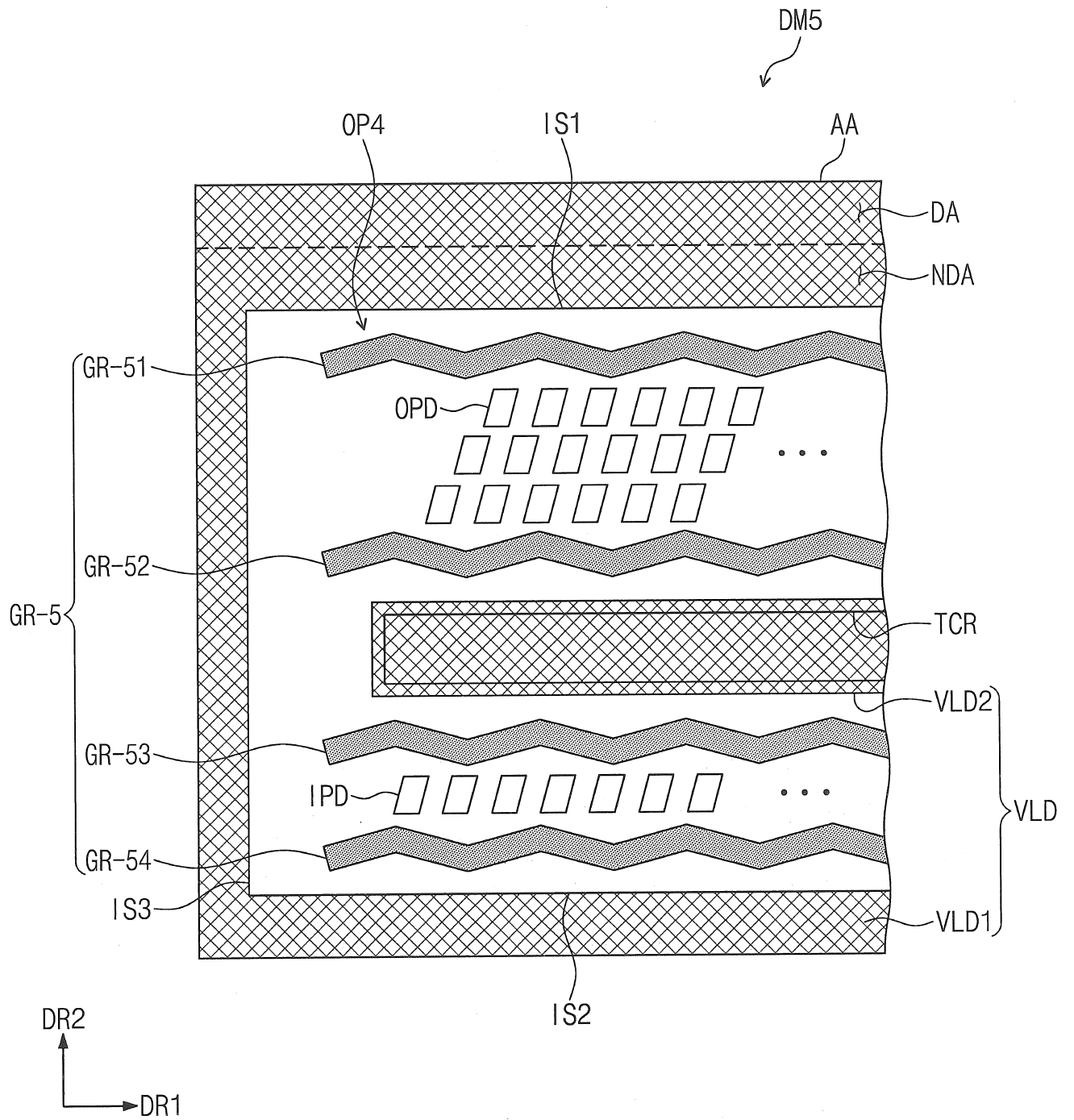


FIG. 20

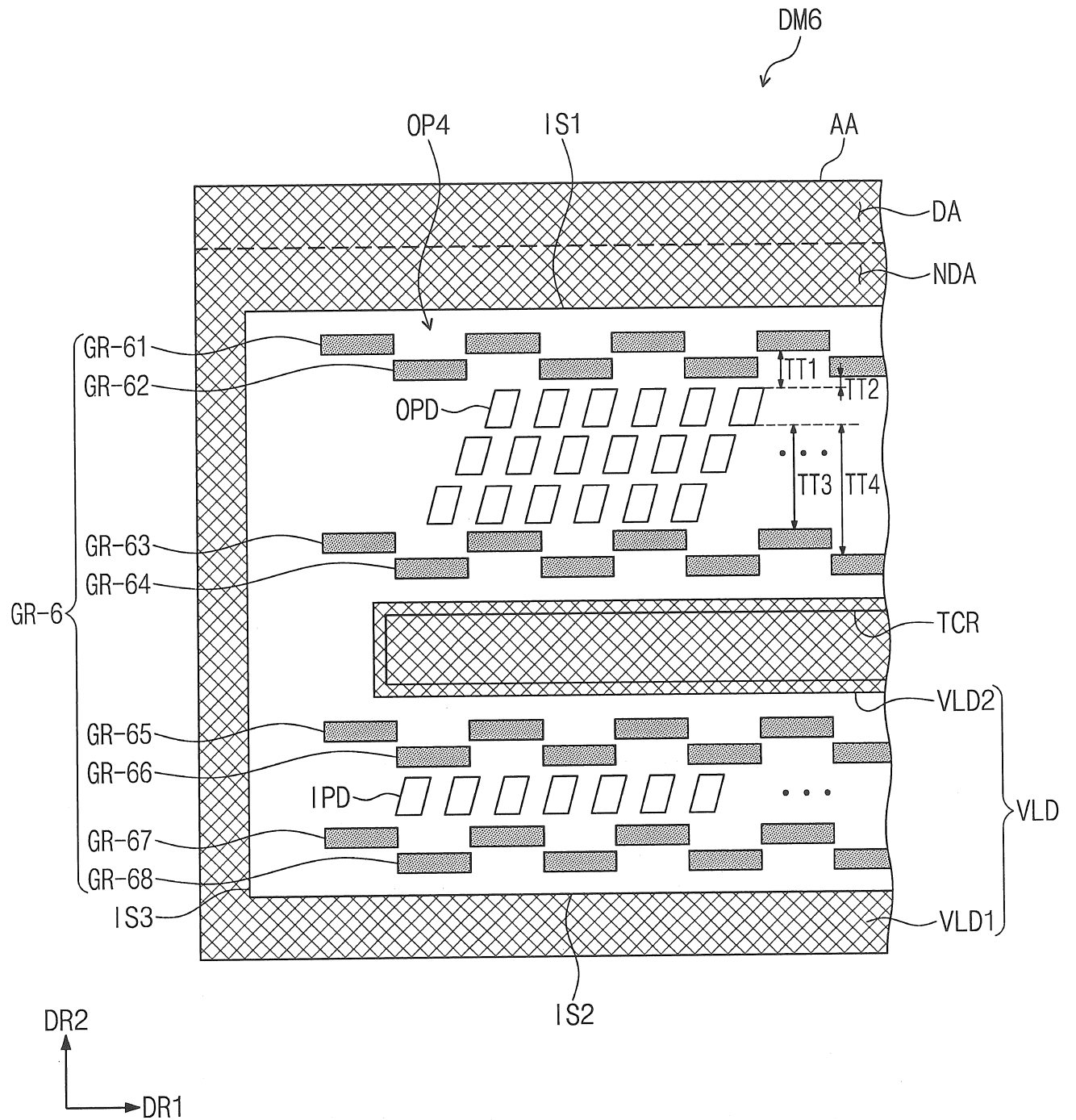


FIG. 21

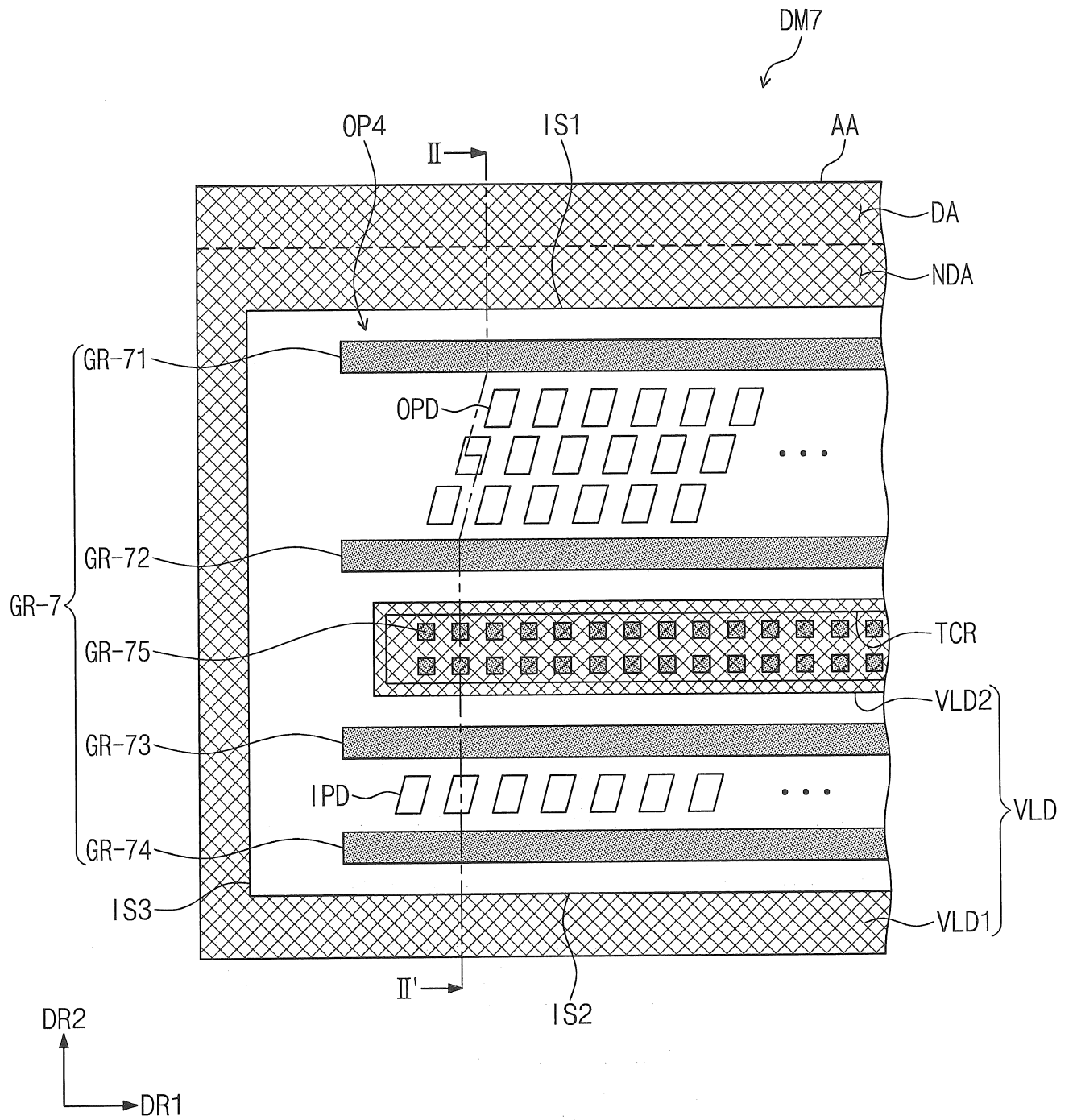


FIG. 23

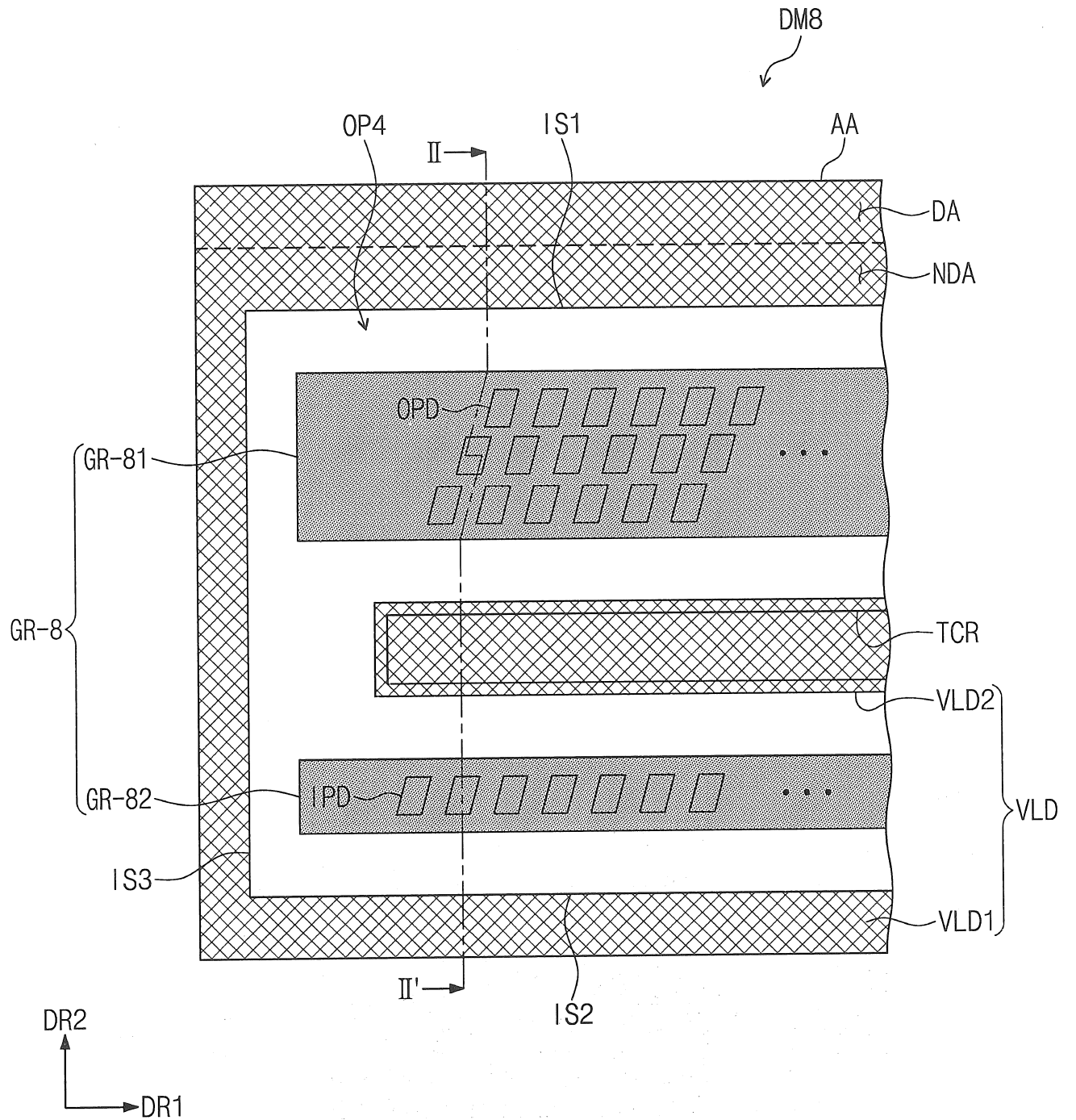


FIG. 24

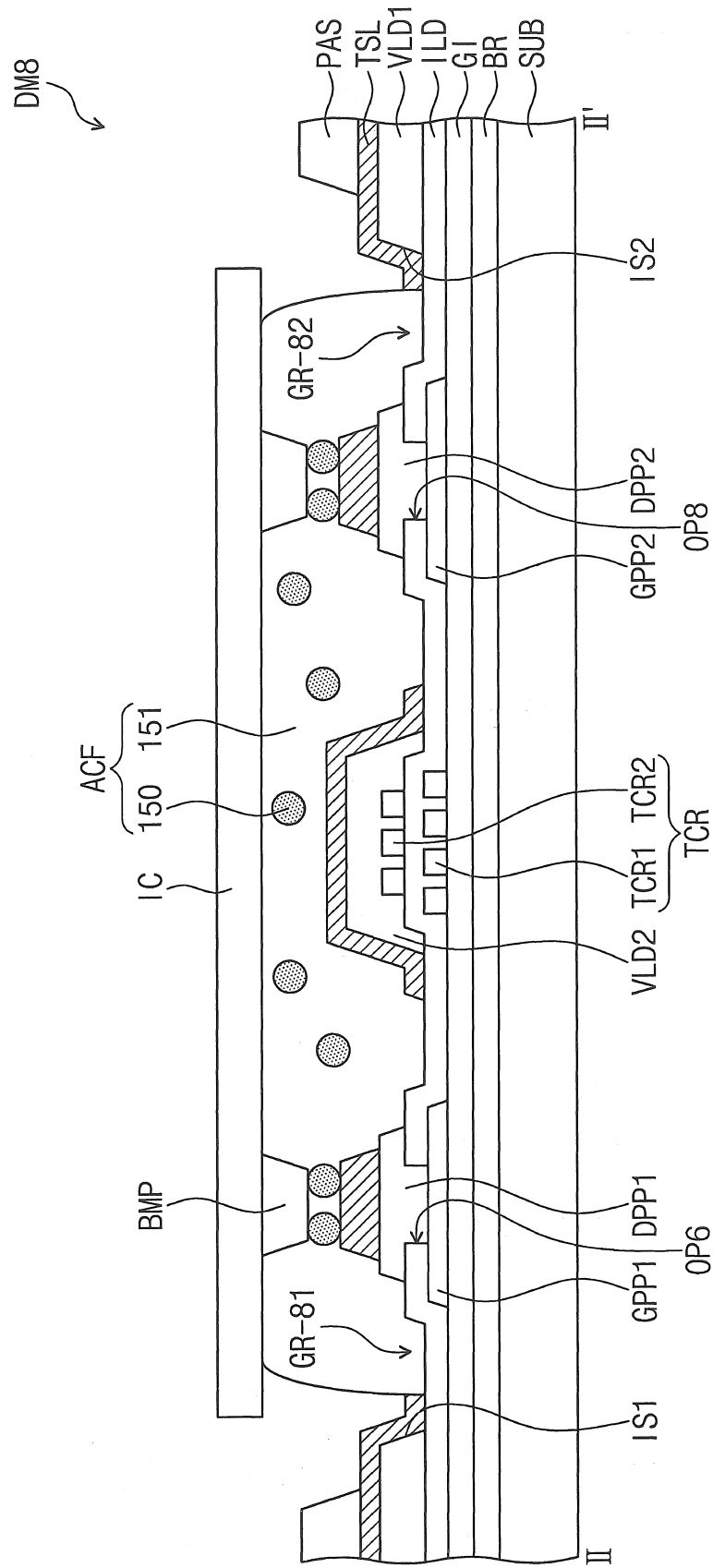


FIG. 25

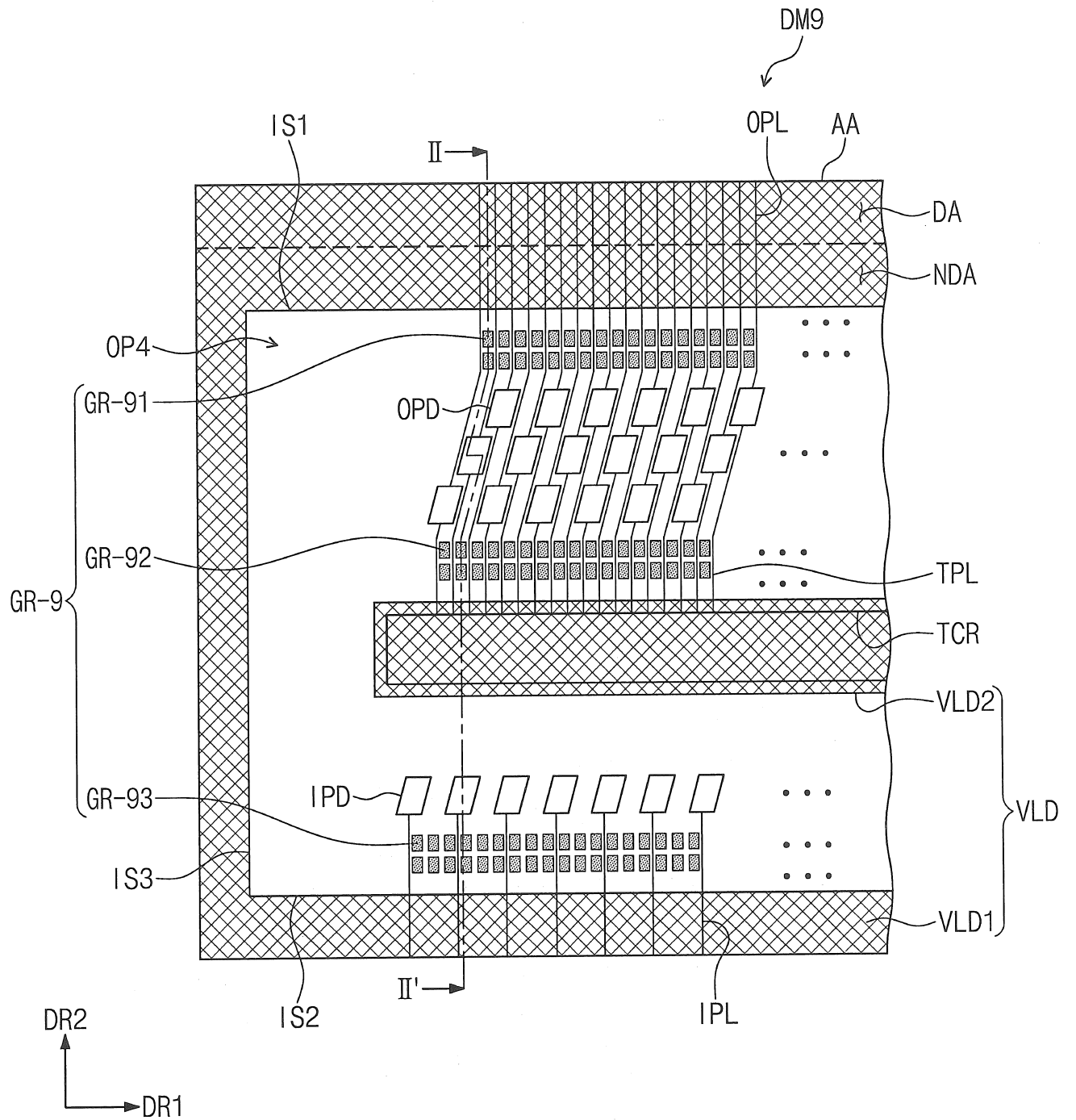


FIG. 27

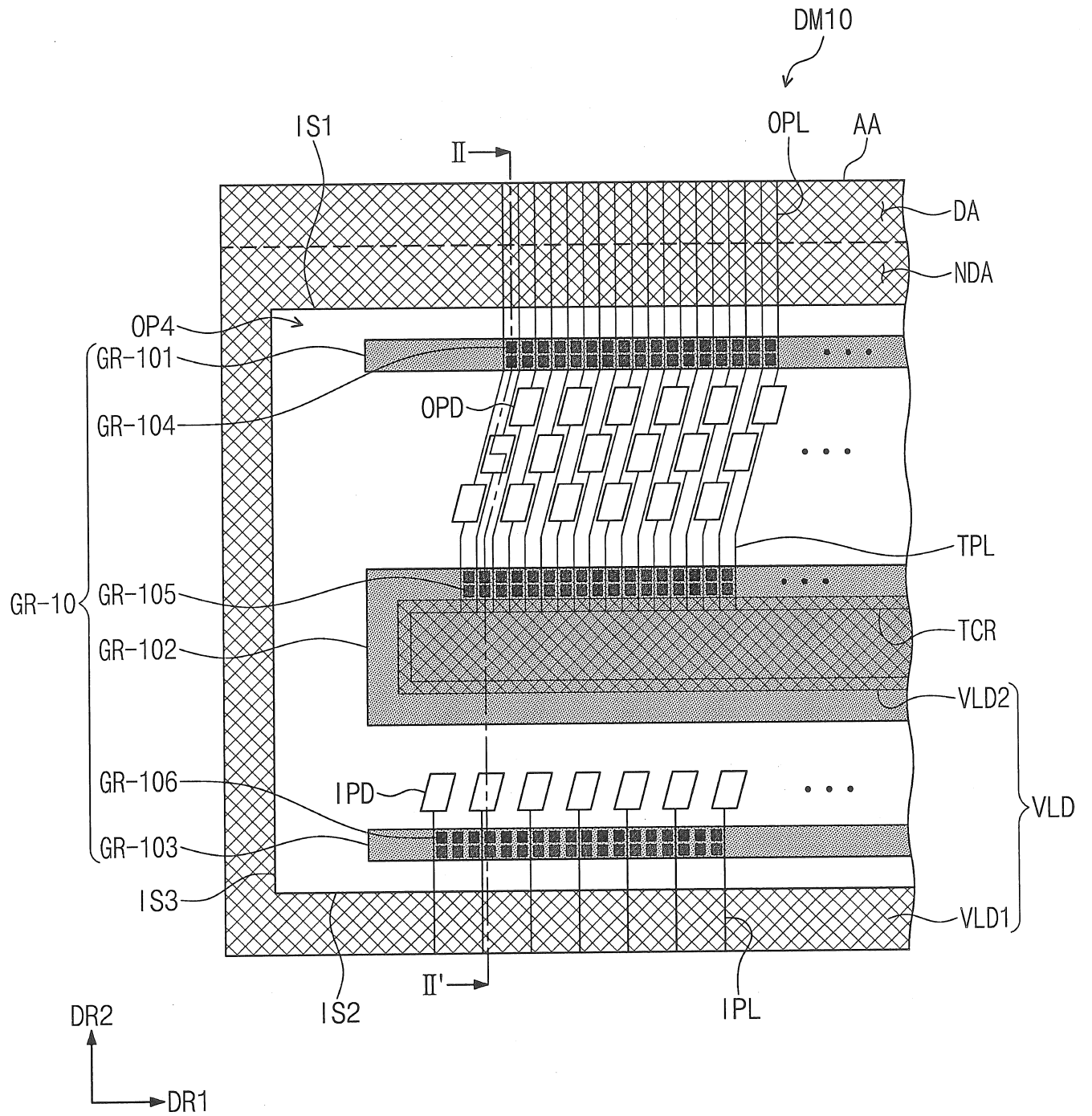


FIG. 28

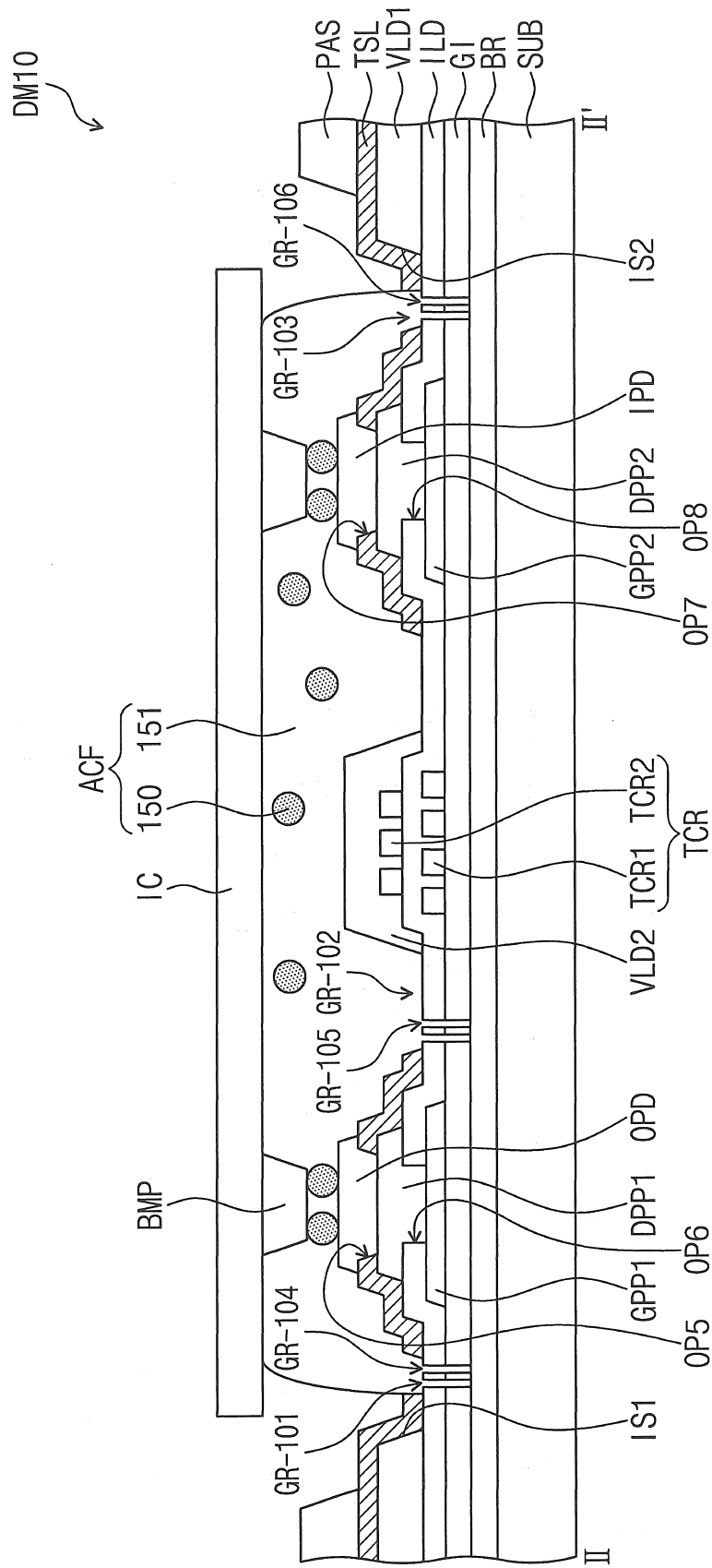


FIG. 29

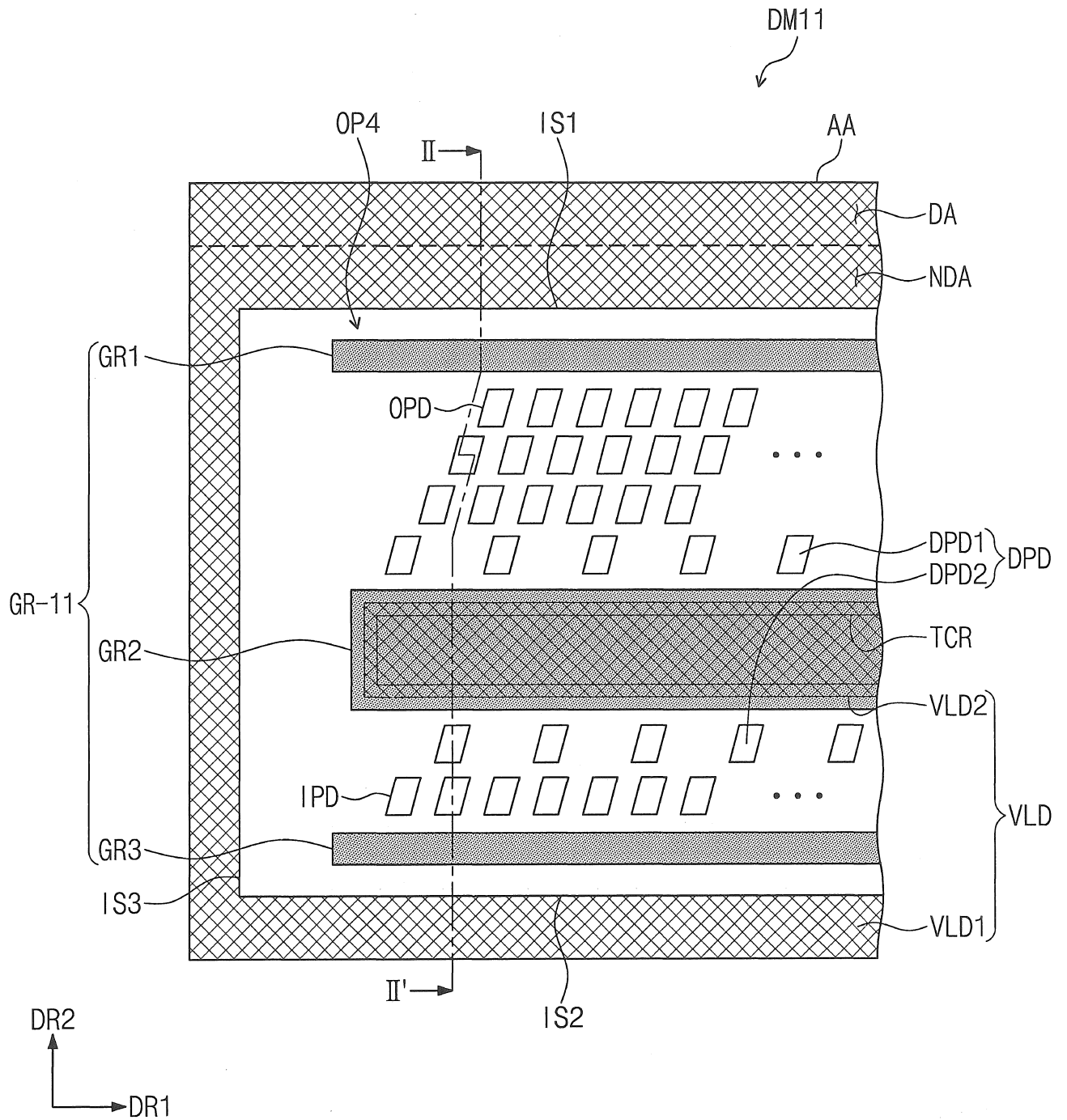


FIG. 30

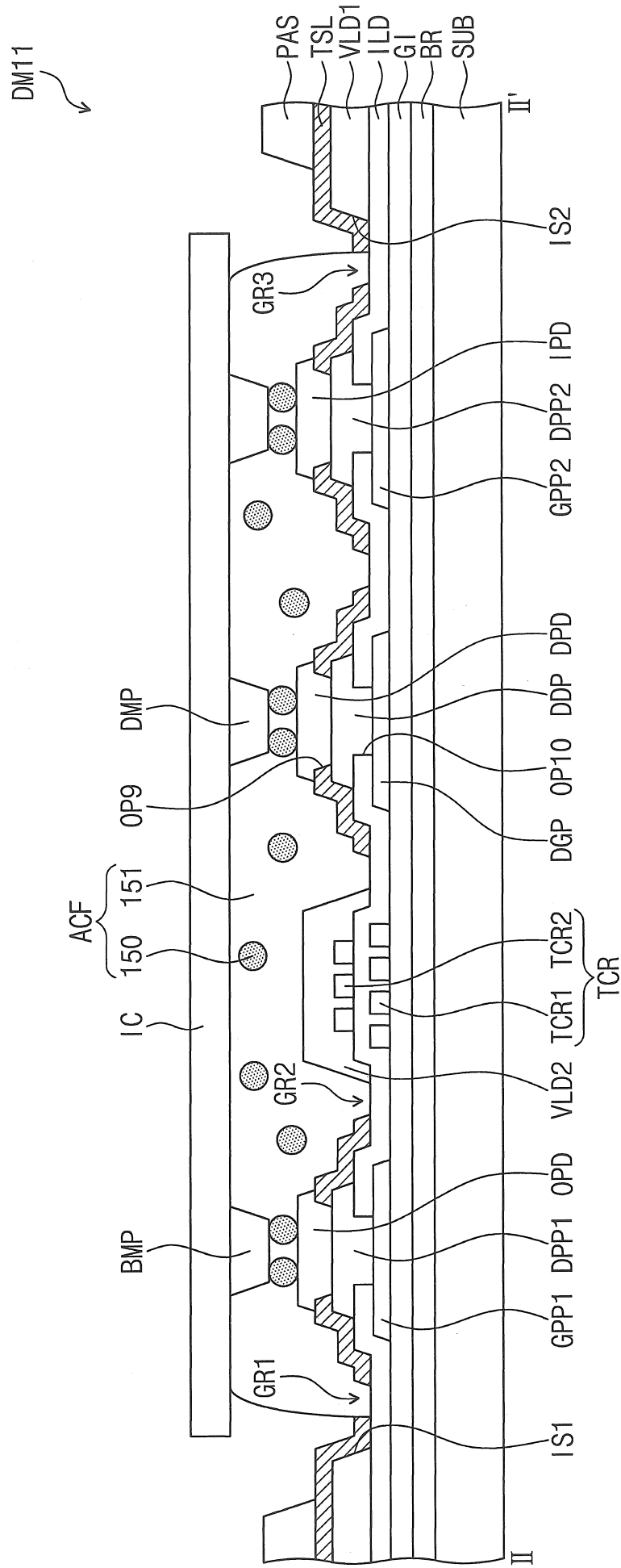


FIG. 31

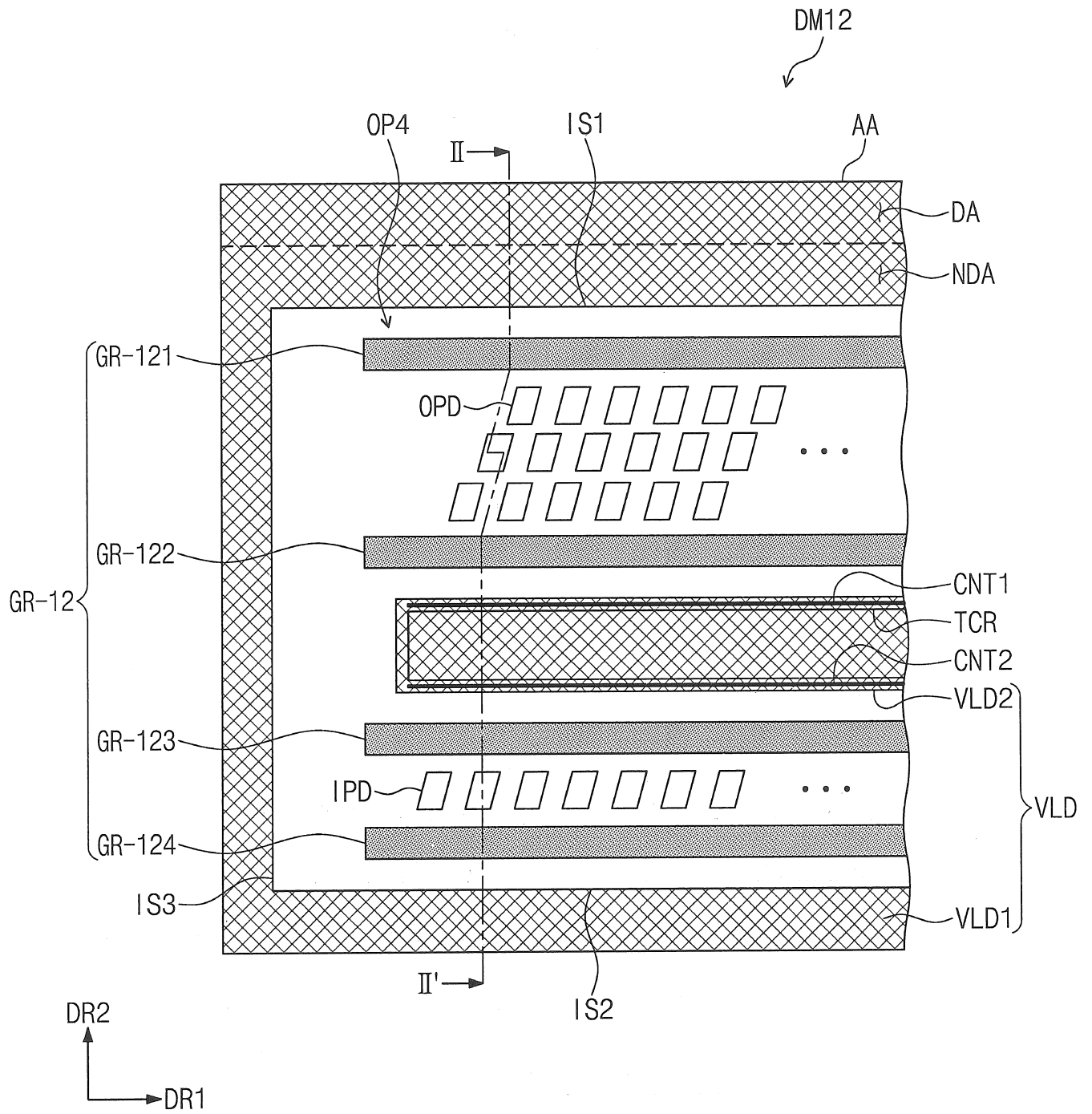


FIG. 32

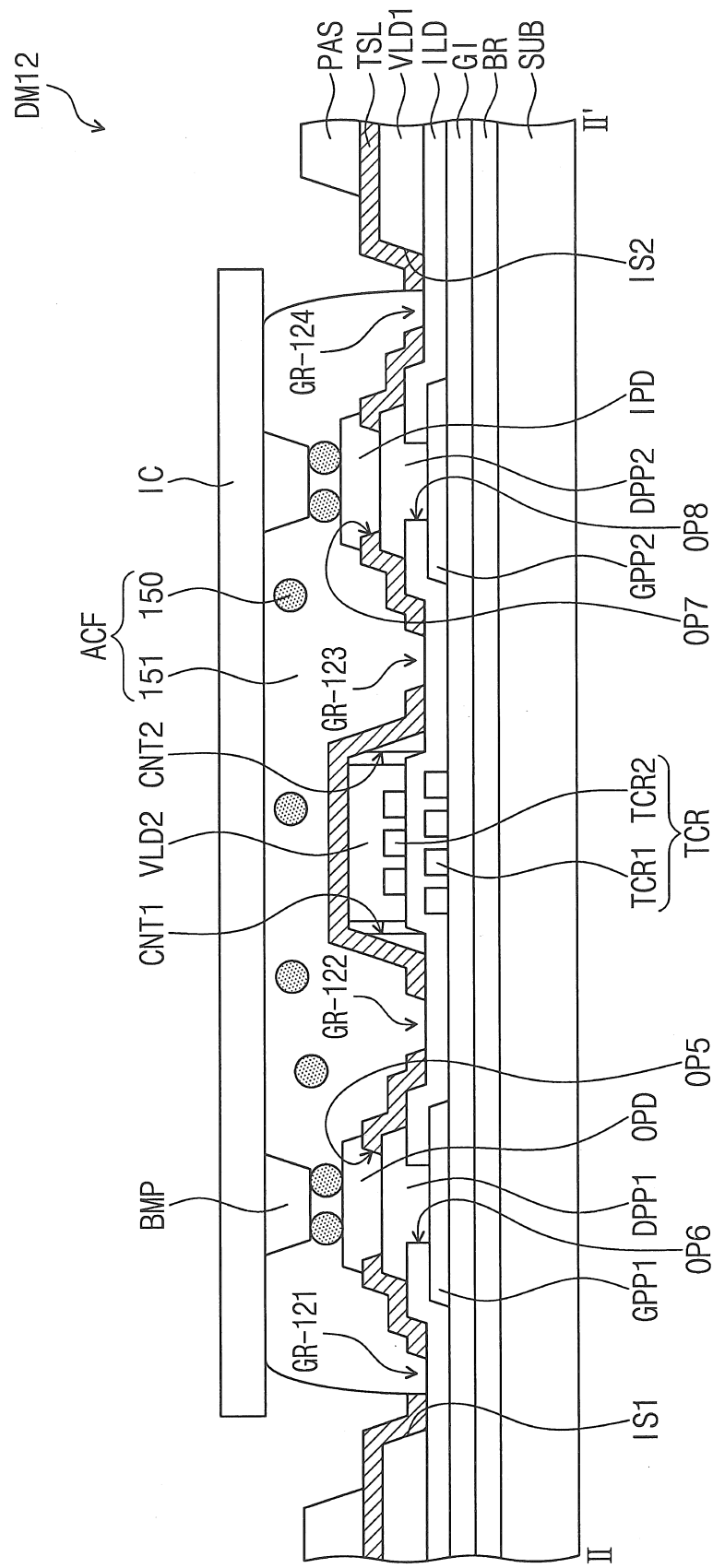


FIG. 33

