



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0032546

(51)⁸

G02F 1/13

(13) B

(21) 1-2018-04481

(22) 18/07/2017

(86) PCT/CN2017/093319 18/07/2017

(87) WO 2019/014825 A1 24/01/2019

(45) 25/07/2022 412

(43) 27/04/2020 385ASC

(73) 1. BOE TECHNOLOGY GROUP CO., LTD. (CN)

No.10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, China

2. CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. (CN)

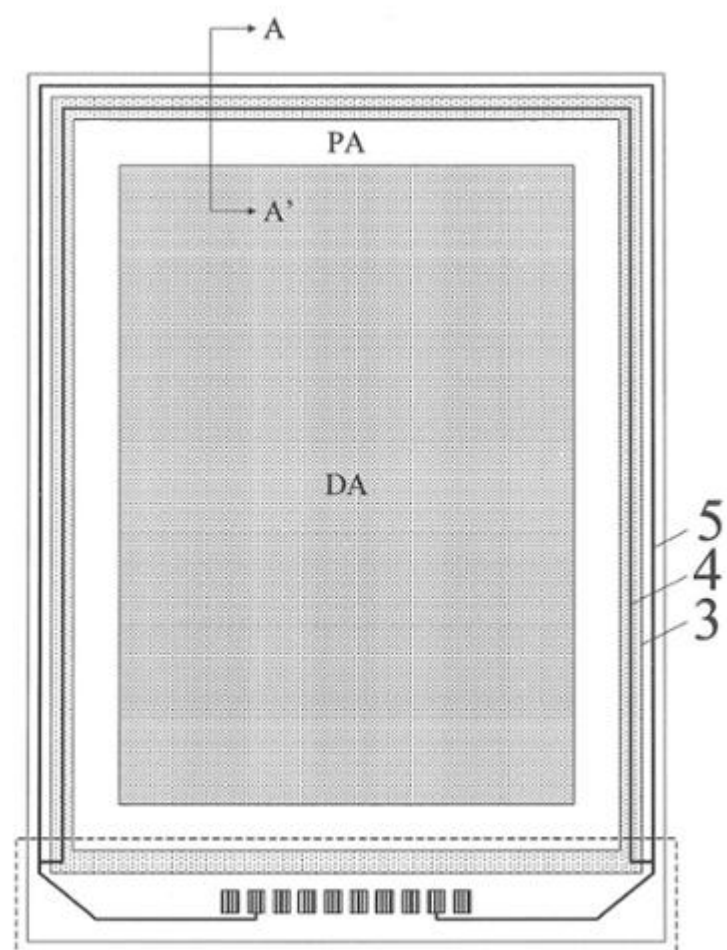
No.1188 Hezuo Rd., (West Zone), Hi-tech Development Zone, Chengdu, Sichuan
611731, China

(72) Zhenli ZHOU (CN); Zhiliang JIANG (CN); Yinan LIANG (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) TẤM HIỂN THỊ, THIẾT BỊ HIỂN THỊ, PHƯƠNG PHÁP DÒ VẾT RÁCH TRONG LỚP BÍT KÍN CỦA TẤM HIỂN THỊ, NỀN VÀ PHƯƠNG PHÁP CHẾ TẠO TẤM HIỂN THỊ

(57) Sáng chế bộc lộ tấm hiển thị. Tấm hiển thị bao gồm nền thứ nhất; nền thứ hai quay mặt với nền thứ nhất; lớp bíт kín giữa nền thứ nhất và nền thứ hai bíт kín nền thứ nhất và nền thứ hai với nhau để tạo thành ô; và lớp dây dẫn điện thứ nhất có dây dẫn điện liên tục thứ nhất được tạo kết cấu để dò vết rách trong lớp bíт kín. Lớp dây dẫn điện thứ nhất tiếp xúc với lớp bíт kín.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập tới kỹ thuật hiển thị, cụ thể hơn, tới tấm hiển thị, thiết bị hiển thị, phương pháp dò vết rách trong lớp bít kín của tấm hiển thị, và phương pháp chế tạo tấm hiển thị.

Tình trạng kỹ thuật của sáng chế

Thiết bị hiển thị như các thiết bị hiển thị tinh thể lỏng (LCD) và các thiết bị hiển thị đi-ốt phát quang (OLED) hữu cơ đã được sử dụng rộng rãi. Thông thường, thiết bị hiển thị tinh thể lỏng bao gồm nền đối tiếp và nền mảng đối mặt với nhau. Các tranzito màng mỏng, các đường cực cổng, các đường dữ liệu, các điện cực điểm ảnh, các điện cực chung, và các đường điện cực chung được bố trí trên nền mảng và nền đối tiếp. Giữa hai nền này, vật liệu tinh thể lỏng được phun để tạo thành lớp tinh thể lỏng. Thông thường, thiết bị hiển thị đi-ốt phát quang hữu cơ bao gồm nền đối tiếp và nền mảng đối mặt với nhau. Nền mảng trong thiết bị hiển thị đi-ốt phát quang hữu cơ bao gồm anốt, lớp phát quang và catốt. Trong thiết bị hiển thị tinh thể lỏng và các thiết bị hiển thị đi-ốt phát quang hữu cơ, nền mảng và nền đối tiếp thường được bít kín với nhau sử dụng chất bít kín khung như vật liệu bít kín hỗn hợp nấu thủy tinh.

Bản chất kỹ thuật của sáng chế

Theo một khía cạnh, sáng chế đề xuất tấm hiển thị, bao gồm nền thứ nhất; nền thứ hai đối mặt với nền thứ nhất; lớp bít kín giữa nền thứ nhất và nền thứ hai bít kín nền thứ nhất và nền thứ hai với nhau để tạo thành ô; và lớp dây dẫn điện thứ nhất bao gồm dây dẫn điện liên tục thứ nhất được tạo kết cấu để dò vết rách trong lớp bít kín; trong đó lớp dây dẫn điện thứ nhất tiếp xúc với lớp bít kín.

Một cách tùy ý, lớp dây dẫn điện thứ nhất nằm trong vùng theo chu vi của tấm hiển thị và gần như bao quanh vùng hiển thị của tấm hiển thị; và phần nhô của lớp bít kín trên nền thứ nhất gần như bao phủ phần nhô của lớp dây dẫn điện thứ nhất.

Một cách tùy ý, phần nhô của lớp dây dẫn điện thứ nhất trên nền thứ nhất gần như ở giữa phần nhô của lớp bít kín ở điểm bất kỳ dọc theo chiều dài của lớp dây dẫn điện thứ nhất trong đó phần nhô của lớp dây dẫn điện thứ nhất và phần nhô của lớp bít kín xếp chồng.

Một cách tùy ý, tấm hiển thị còn bao gồm ít nhất một đầu dính trong vùng dính mạch tích hợp điều khiển, ít nhất một đầu dính này được nối điện với lớp dây dẫn điện thứ nhất.

Một cách tùy ý, tấm hiển thị còn bao gồm lớp dây dẫn điện thứ hai bao gồm dây dẫn điện liên tục thứ hai được tạo kết cấu để dò vết rách trong tấm hiển thị; trong đó lớp dây dẫn điện thứ hai nằm trong vùng theo chu vi của tấm hiển thị; và phần nhô của lớp bít kín trên nền thứ nhất gần như không xếp chồng với phần nhô của lớp dây dẫn điện thứ hai.

Một cách tùy ý, lớp dây dẫn điện thứ nhất bao quanh vùng thứ nhất của tấm hiển thị; lớp dây dẫn điện thứ hai bao quanh vùng thứ hai của tấm hiển thị; và vùng thứ nhất nằm trong vùng thứ hai.

Một cách tùy ý, tấm hiển thị còn bao gồm hai dây dẫn vào lần lượt được nối với hai điểm nối của lớp dây dẫn điện thứ nhất; trong đó mỗi một trong số hai dây dẫn vào nối điện lớp dây dẫn điện thứ nhất với lớp dây dẫn điện thứ hai.

Một cách tùy ý, tấm hiển thị còn bao gồm hai đầu dính trong vùng dính mạch tích hợp điều khiển, hai đầu dính này được nối điện với lớp dây dẫn điện thứ hai; trong đó lớp dây dẫn điện thứ nhất được nối điện với hai đầu dính qua hai dây dẫn vào và lớp dây dẫn điện thứ hai.

Một cách tùy ý, chiều rộng dây của lớp dây dẫn điện thứ nhất bằng từ xấp xỉ $1/200$ tới xấp xỉ $1/50$ chiều rộng của lớp bít kín; và chiều dày dây của lớp dây dẫn điện thứ nhất bằng từ xấp xỉ $1/20$ tới xấp xỉ $1/5$ chiều dày của lớp bít kín.

Một cách tùy ý, chiều rộng dây của lớp dây dẫn điện thứ nhất nằm trong khoảng từ xấp xỉ $2,5\mu\text{m}$ tới xấp xỉ $10\mu\text{m}$; và chiều dày dây của lớp dây dẫn điện thứ nhất nằm trong khoảng từ $0,25\mu\text{m}$ tới xấp xỉ $1\mu\text{m}$.

Một cách tùy ý, lớp dây dẫn điện thứ nhất nằm trên một mặt của lớp bít kín cách xa với nền thứ hai.

Một cách tùy ý, tấm hiển thị là tấm hiển thị đi-ốt phát quang hữu cơ; nền thứ nhất bao gồm nền chân thứ nhất, lớp cách cực của trên nền chân thứ nhất, lớp điện cực của trên một mặt của lớp cách cực của cách xa với nền chân thứ nhất, và lớp điện môi trung gian trên một mặt của lớp điện cực của cách xa với lớp cách cực của; và lớp dây dẫn điện thứ nhất nằm trên một mặt của lớp bít kín gần lớp điện môi trung gian.

Một cách tùy ý, lớp bít kín là lớp bít kín thủy tinh frít bao gồm vật liệu bít kín thủy tinh frít.

Một cách tùy ý, phần nhô của dây dẫn điện liên tục thứ nhất trên nền thứ nhất có mẫu hình dạng sóng vuông.

Theo một khía cạnh khác, sáng chế đề xuất thiết bị hiển thị bao gồm tấm hiển thị mô tả trong bản mô tả này.

Theo một khía cạnh khác, sáng chế đề xuất phương pháp dò vết rách trong lớp bít kín của tấm hiển thị mô tả trong bản mô tả này, bao gồm các bước đo điện trở của dây dẫn điện liên tục thứ nhất; trong đó điện trở này lớn hơn giá trị giới hạn biểu thị sự xuất hiện của vết rách trong lớp bít kín.

Theo một khía cạnh khác, sáng chế đề xuất nền, bao gồm lớp bít kín; và lớp dây dẫn điện thứ nhất bao gồm dây dẫn điện liên tục thứ nhất được tạo kết cấu để dò vết rách trong lớp bít kín; trong đó lớp dây dẫn điện thứ nhất tiếp xúc với lớp bít kín.

Một cách tùy ý, lớp dây dẫn điện thứ nhất nằm trong vùng theo chu vi của nền và gần như bao quanh vùng hiển thị của nền; và phần nhô của lớp bít kín trên nền gần như bao phủ phần nhô của lớp dây dẫn điện thứ nhất.

Một cách tùy ý, nền còn bao gồm lớp dây dẫn điện thứ hai bao gồm dây dẫn điện liên tục thứ hai được tạo kết cấu để dò vết rách trong nền; trong đó lớp dây dẫn điện thứ hai nằm trong vùng theo chu vi của nền; và phần nhô của lớp

bít kín trên nền gần như không xếp chồng với phần nhô của lớp dây dẫn điện thứ hai.

Theo một khía cạnh khác, sáng chế đề xuất phương pháp chế tạo tấm hiển thị, bao gồm các bước tạo nền thứ nhất; tạo nền thứ hai; tạo lớp vật liệu bít kín trên nền thứ hai, lớp vật liệu bít kín được tạo trong vùng theo chu vi của nền thứ hai và bao kín vùng hiển thị của nền thứ hai; tạo lớp dây dẫn điện thứ nhất bao gồm dây dẫn điện liên tục thứ nhất trên nền thứ nhất, lớp dây dẫn điện thứ nhất được tạo trong vùng theo chu vi của nền thứ nhất và bao quanh vùng thứ nhất của nền thứ nhất; và lắp ráp nền thứ nhất và nền thứ hai vào trong ô bằng cách dính lớp vật liệu bít kín lên trên nền thứ nhất, nhờ đó tạo thành lớp bít kín bít kín vùng hiển thị của tấm hiển thị; trong đó lớp dây dẫn điện thứ nhất được tạo để tiếp xúc với lớp bít kín.

Mô tả vắn tắt các hình vẽ

Các hình vẽ sau đây chỉ là các ví dụ để minh họa các mục đích của các phương án thực hiện được bộc lộ và không nhằm để giới hạn phạm vi của sáng chế.

Fig.1 là hình chiếu bằng của tấm hiển thị theo một vài phương án thực hiện sáng chế.

Fig.2 là hình vẽ mặt cắt theo đường A-A' của tấm hiển thị trên Fig.1.

Fig.3 là a hình vẽ phóng to của vùng bao quanh bởi các đường nét chấm trên Fig.1.

Fig.4 là hình vẽ dạng sơ đồ minh họa mẫu hình của lớp dây dẫn điện thứ nhất theo một vài phương án thực hiện sáng chế.

Fig.5 là hình vẽ dạng sơ đồ minh họa mẫu hình của lớp dây dẫn điện thứ nhất theo một vài phương án thực hiện sáng chế.

Fig.6 là hình vẽ dạng sơ đồ minh họa mẫu hình của lớp dây dẫn điện thứ nhất theo một vài phương án thực hiện sáng chế.

Fig.7 là hình vẽ dạng sơ đồ minh họa mẫu hình của lớp dây dẫn điện thứ nhất theo một vài phương án thực hiện sáng chế.

Mô tả chi tiết các phương án thực hiện sáng chế

Sáng chế sẽ được mô tả cụ thể hơn dưới đây dựa vào các phương án thực hiện sau đây. Chú ý rằng, phần mô tả sau đây của một vài phương án thực hiện được thể hiện trong bản mô tả này chỉ nhằm mục đích minh họa và mô tả. Các phương án thực hiện đưa ra ở đây không được dự tính để nêu hết mọi khía cạnh hoặc để giới hạn sáng chế ở các dạng chính xác đã bộc lộ.

Trong các tấm hiển thị thông thường, lớp bít kín bít kín nền mỏng và nền đối tiếp với nhau để tạo thành ô. Lớp bít kín cách ly các phần tử hiển thị trong vùng hiển thị của tấm hiển thị với oxy bên ngoài và ẩm. Thông thường, lớp bít kín được làm bằng vật liệu bít kín hỗn hợp nấu thủy tinh, mà có khả năng chống ẩm và ôxy cao. Tuy nhiên, vật liệu bít kín hỗn hợp nấu thủy tinh, tương tự vật liệu bít kín khác, là vật liệu giòn dễ bị vỡ và gặp các hư hại khác. Thông thường, lần lớp bít kín bao gồm các vết rách siêu nhỏ mà không dễ phát hiện khi kiểm tra bằng mắt. Các vết rách siêu nhỏ này có thể nhanh chóng mở rộng qua lớp bít kín, nghĩa là, tạo thành vết rách đi qua toàn bộ chiều rộng của lớp bít kín, sau đó trong quá trình chế tạo hoặc trong quá trình sử dụng bởi người tiêu dùng. Các phương pháp và các thiết bị dò thông thường không mang lại cách hiệu quả để kiểm tra và dò các vết rách siêu nhỏ này trong lớp bít kín.

Do đó, sáng chế đề xuất, trong đó, tấm hiển thị, thiết bị hiển thị, phương pháp dò vết rách trong lớp bít kín của tấm hiển thị, và phương pháp chế tạo tấm hiển thị mà gần như giải quyết một hoặc nhiều vấn đề do các giới hạn và các nhược điểm của giải pháp kỹ thuật đã biết. Theo một khía cạnh, sáng chế đề xuất tấm hiển thị. Theo một vài phương án thực hiện, tấm hiển thị bao gồm nền thứ nhất; nền thứ hai đối mặt với nền thứ nhất; lớp bít kín giữa nền thứ nhất và nền thứ hai bít kín nền thứ nhất và nền thứ hai với nhau để tạo thành ô; và lớp dây dẫn điện thứ nhất có dây dẫn điện liên tục thứ nhất được tạo kết cấu để dò vết rách trong lớp bít kín. Lớp dây dẫn điện thứ nhất tiếp xúc với lớp bít kín.

Như được sử dụng trong phần mô tả này, thuật ngữ “vùng theo chu vi” được xem như vùng trong đó các mạch và các dây dẫn khác nhau được lắp để truyền các tín hiệu tới màn hiển thị nền. Để tăng độ trong suốt của thiết bị hiển thị, các chi tiết cấu thành không trong suốt hoặc chắn sáng của thiết bị hiển thị

(chẳng hạn, acqui, bảng mạch in, khung kim loại), có thể được bố trí trong vùng theo chu vi chứ không phải trong các vùng hiển thị.

Như được sử dụng trong phần mô tả này, thuật ngữ “vùng hiển thị” được xem như vùng của tấm hiển thị hoặc nền hiển thị (nghĩa là, nền mỏng hoặc nền đối tiếp) trong tấm hiển thị ở đó ảnh được hiển thị trên thực tế.

Như được sử dụng trong phần mô tả này, thuật ngữ “bao quanh” được xem như “đi vòng quanh hoàn toàn.” Thuật ngữ bao quanh không bị giới hạn ở nghĩa tạo thành hình tròn theo nghĩa đen, mặc dù nó có thể bao gồm tạo thành hình tròn, nhưng cũng có thể bao gồm tạo thành hoàn toàn hoặc một phần đường bao bao quanh, bao quanh hoàn toàn hoặc một phần, và/hoặc nằm ở gần chu vi toàn phần hoặc một phần của hình tròn mà được bao quanh.

Fig.1 là hình chiếu bằng của tấm hiển thị theo một vài phương án thực hiện của sáng chế. Fig.2 là hình vẽ mặt cắt theo đường A-A' của tấm hiển thị trên Fig.1. Fig.3 là a hình vẽ phóng to của vùng bao quanh bởi các đường nét chấm trên Fig.1. Dựa vào các hình vẽ từ Fig.1 tới Fig.3, tấm hiển thị theo một vài phương án thực hiện bao gồm nền thứ nhất 1, nền thứ hai 2 đối mặt với nền thứ nhất 1, lớp bít kín 3 giữa nền thứ nhất 1 và nền thứ hai 2 bít kín nền thứ nhất 1 và nền thứ hai 2 với nhau để tạo thành ô, và lớp dây dẫn điện thứ nhất 4 được tạo kết cấu để dò vết rách trong lớp bít kín 3. Như được thể hiện trên Fig. 1, lớp dây dẫn điện thứ nhất 4 bao gồm dây dẫn điện liên tục thứ nhất. Một cách tùy ý, nền thứ nhất là nền mỏng của tấm hiển thị, và nền thứ hai là nền đối tiếp (nghĩa là, nền bao kín) của tấm hiển thị. Một cách tùy ý, nền thứ hai là nền mỏng của tấm hiển thị, và nền thứ nhất là a nền đối tiếp (nghĩa là, nền bao kín) của tấm hiển thị. Một cách tùy ý, tấm hiển thị là tấm hiển thị đi-ốt phát quang hữu cơ. Một cách tùy ý, tấm hiển thị là tấm hiển thị tinh thể lỏng.

Lớp bít kín 3 có thể được làm bằng vật liệu bít kín phù hợp bất kỳ như vật liệu bít kín hỗn hợp nấu thủy tinh, vật liệu bít kín hàn, vật liệu bít kín keo dán, vật liệu bít kín chất dính (nghĩa là, vật liệu bít kín nhựa epoxy). Lớp bít kín 3 có thể chứa vật liệu hữu cơ hoặc vật liệu vô cơ, chẳng hạn, thủy tinh hoặc keo dính hữu cơ. Các vật liệu thủy tinh hữu ích để làm lớp bít kín 3 bao gồm, nhưng không bị giới hạn ở, ôxit ma-giê, ôxit canxi, ôxit bari, ôxit lithi, ôxit natri, ôxit

kali, ôxit vanadi, ôxit kẽm, ôxit telua, ôxit nhôm, dioxit silic, ôxit chì, ôxit thiếc, ôxit photphorơ, ôxit ruteni, ôxit rubiđi, ôxit rodi, ôxit sắt, ôxit đồng, oxit titan, ôxit vonfam, ôxit bitmut, ôxit atimon, hoặc các kết hợp của chúng. Một cách tùy ý, lớp bút kín 3 là lớp bút kín thủy tinh frít có vật liệu bút kín thủy tinh frít. Một cách tùy ý, lớp bút kín 3 là lớp bút kín hỗn hợp nấu thủy tinh có vật liệu bút kín hỗn hợp nấu thủy tinh.

Lớp dây dẫn điện thứ nhất 4 có thể được làm bằng vật liệu dẫn điện phù hợp bất kỳ như kim loại, hợp kim, ống nano cacbon, và lá graphit.

Dựa vào Fig.1, tấm hiển thị bao gồm vùng hiển thị DA và vùng theo chu vi PA bên ngoài vùng hiển thị DA. Lớp bút kín 3 nằm trong vùng theo chu vi PA và che kín vùng hiển thị DA của tấm hiển thị. Lớp dây dẫn điện thứ nhất 4 cũng nằm trong vùng theo chu vi, bao quanh vùng thứ nhất của tấm hiển thị. Lớp dây dẫn điện thứ nhất 4 tiếp xúc với lớp bút kín 3. Nhờ có thiết kế này, lớp dây dẫn điện thứ nhất 4 có thể được sử dụng để dò sự xuất hiện của vết rách trong lớp bút kín 3. Vì lớp dây dẫn điện thứ nhất 4 tiếp xúc với lớp bút kín 4, khi vết rách xuất hiện trong lớp bút kín 3, ứng suất tạo ra bởi vết rách gây ra các lỗi, đứt dây, hoặc thậm chí hở dây trong dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất 4. Các lỗi và sự đứt dây làm tăng điện trở của dây dẫn điện liên tục thứ nhất. Sự hở dây làm đứt dây dẫn điện liên tục thứ nhất thành hai phần, dẫn tới điện trở cao hơn nhiều của lớp dây dẫn điện thứ nhất 4. Nhờ đó, bằng cách đo điện trở của lớp dây dẫn điện thứ nhất 4, sẽ có thể xác định xem vết rách có xuất hiện trong lớp bút kín 3 hay không. Ví dụ, lớp dây dẫn điện chuẩn không có lỗi, sự đứt dây, và sự hở dây có thể có điện trở với giá trị thứ nhất. Lớp dây dẫn điện thứ nhất 4 có cùng kích thước với lớp dây dẫn điện chuẩn có thể có điện trở đã đo là giá trị thứ hai. Nếu giá trị thứ hai lớn hơn giá trị giới hạn (chẳng hạn, 10 lần giá trị thứ nhất), sẽ có thể xác định rằng vết rách xuất hiện trong lớp bút kín 3, dẫn tới điện trở tăng của lớp dây dẫn điện thứ nhất 4.

Theo một vài phương án thực hiện, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp bút kín 3 trên nền thứ nhất 1 xếp chồng ít nhất một phần với phần nhô của lớp dây dẫn điện thứ nhất 4. Một cách tùy ý, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp bút kín 3 trên nền thứ nhất 1 gần như

xếp chồng với phần nhô của lớp dây dẫn điện thứ nhất 4. Dựa vào Fig.1 và Fig.2, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp bít kín 3 trên nền thứ nhất 1 gần như bao phủ phần nhô của lớp dây dẫn điện thứ nhất 4. Một cách tùy ý, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp bít kín 3 trên nền thứ nhất 1 bao phủ hoàn toàn phần nhô của lớp dây dẫn điện thứ nhất 4. Một cách tùy ý, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp dây dẫn điện thứ nhất 4 trên nền thứ nhất 1 gần như nằm ở giữa phần nhô của lớp bít kín 3 ở điểm bất kỳ dọc theo chiều dài của lớp dây dẫn điện thứ nhất 4 trong đó phần nhô của lớp dây dẫn điện thứ nhất 4 và phần nhô của lớp bít kín 3 xếp chồng. Lớp dây dẫn điện thứ nhất 4 có thể nằm ở một mặt của lớp bít kín 3 cách xa với nền thứ hai 2 (như được thể hiện trên Fig.2). Một cách tùy ý, lớp dây dẫn điện thứ nhất 4 nằm ở một mặt của lớp bít kín 3 cách xa với nền thứ nhất 1.

Dựa vào Fig.1 và Fig.3, theo một vài phương án thực hiện, tấm hiển thị còn bao gồm ít nhất một (chẳng hạn, hai) đầu dính 7 trong vùng dính mạch tích hợp điều khiển BA. Ít nhất một (chẳng hạn, hai) đầu dính 7 được nối điện với lớp dây dẫn điện thứ nhất 4 (trực tiếp hoặc gián tiếp).

Theo một vài phương án thực hiện, và dựa vào Fig.1 và Fig.2, tấm hiển thị còn bao gồm lớp dây dẫn điện thứ hai 5. Lớp dây dẫn điện thứ hai 5 bao gồm dây dẫn điện liên tục thứ hai, và được tạo kết cấu để dò vết rách trong tấm hiển thị, nghĩa là, vết rách trong nền thứ nhất 1 hoặc nền thứ hai 2. Lớp dây dẫn điện thứ hai 5 ở vùng theo chu vi PA của tấm hiển thị, và bao quanh vùng thứ hai của tấm hiển thị. Vùng thứ nhất bao quanh bởi lớp dây dẫn điện thứ nhất 4 ở vùng thứ hai bao quanh bởi lớp dây dẫn điện thứ hai 5. Lớp dây dẫn điện thứ hai 5 có thể được làm bằng vật liệu dẫn điện phù hợp bất kỳ như kim loại, hợp kim, ống nano cacbon, và lá graphit. Theo một vài phương án thực hiện, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp bít kín 3 trên nền thứ nhất 1 gần như không xếp chồng với phần nhô của lớp dây dẫn điện thứ hai 5.

Dựa vào Fig.3, theo một vài phương án thực hiện, tấm hiển thị còn bao gồm hai dây dẫn vào 6 và 6'. Dây dẫn vào 6 được nối điện với điểm nối thứ nhất T1 của lớp dây dẫn điện thứ nhất 4, và dây dẫn vào 6' được nối điện với điểm nối thứ hai T2 của lớp dây dẫn điện thứ nhất 4. Dây dẫn vào 6 nối điện lớp dây

dẫn điện thứ nhất 4 với lớp dây dẫn điện thứ hai 5. Theo cách tương tự, dây dẫn vào 6 nối điện lớp dây dẫn điện thứ nhất 4 với lớp dây dẫn điện thứ hai 5. Khi lớp dây dẫn điện thứ nhất 4 được nối điện với lớp dây dẫn điện thứ hai 5, nó có thể được nối điện với các đầu dính 7 trong vùng dính mạch tích hợp điều khiển BA qua lớp dây dẫn điện thứ hai 5. Các đầu dính 7 có thể được nối với các chốt trong mạch tích hợp điều khiển dính vào vùng dính mạch tích hợp điều khiển BA. Việc đo điện trở của lớp dây dẫn điện thứ nhất 4 và lớp dây dẫn điện thứ hai 5 có thể được tiến hành một cách thuận tiện qua các chốt trong mạch tích hợp điều khiển.

Các phương pháp thích hợp khác có thể được sử dụng để nối các điểm nối của lớp dây dẫn điện thứ nhất 4 với các đầu dính 7 hoặc các điểm nối khác để đo điện trở của lớp dây dẫn điện thứ nhất 4. Theo một ví dụ, điểm nối thứ nhất T1 và điểm nối thứ hai T2 được nối điện với các đầu dính 7 qua các băng dẫn điện.

Để đạt được việc dò vết rách trong lớp bít kín 3 với độ nhạy cao, lớp dây dẫn điện thứ nhất 4 có thể được làm có các kích thước xác định. Theo một vài phương án thực hiện, chiều rộng dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất 4 bằng xấp xỉ từ $1/200$ tới xấp xỉ $1/50$ (chẳng hạn, từ xấp xỉ $1/150$ tới xấp xỉ $1/75$, xấp xỉ $1/100$) chiều rộng của lớp bít kín 3. Theo một vài phương án thực hiện, chiều dày dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất 4 bằng xấp xỉ từ $1/20$ tới xấp xỉ $1/5$ (chẳng hạn, từ xấp xỉ $1/15$ tới xấp xỉ $1/7,5$, xấp xỉ $1/10$) chiều dày của lớp bít kín 3. Theo một ví dụ, lớp bít kín 3 có chiều rộng bằng xấp xỉ $500\mu\text{m}$ và chiều dày bằng xấp xỉ $5\mu\text{m}$. Một cách tùy ý, chiều rộng dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất 4 nằm trong khoảng từ xấp xỉ $2,5\mu\text{m}$ tới xấp xỉ $10\mu\text{m}$, chẳng hạn, từ xấp xỉ $3,7\mu\text{m}$ tới xấp xỉ $7,5\mu\text{m}$, xấp xỉ $5\mu\text{m}$. Một cách tùy ý, chiều dày dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất 4 nằm trong khoảng từ xấp xỉ $0,25\mu\text{m}$ tới xấp xỉ $1\mu\text{m}$, chẳng hạn, xấp xỉ $0,3\mu\text{m}$ tới xấp xỉ $0,7\mu\text{m}$, xấp xỉ $0,5\mu\text{m}$.

Dựa vào Fig.2, nền thứ nhất 1 theo một vài phương án thực hiện bao gồm nền chân thứ nhất 10, lớp cách cực của 11 trên nền chân thứ nhất 10, lớp

điện cực cửa 12 nằm trên một mặt của lớp cách cực cửa 11 cách xa với nền chân thứ nhất 10, và lớp điện môi trung gian 13 nằm trên một mặt của lớp điện cực cửa 12 cách xa với lớp cách cực cửa 11. Lớp dây dẫn điện thứ nhất 4 nằm trên một mặt của lớp điện môi trung gian 13 cách xa với lớp cách cực cửa 11. Một cách tùy ý, lớp dây dẫn điện thứ nhất 4 nằm trên một mặt của lớp bít kín 3 gần lớp điện môi trung gian 13. Lớp dây dẫn điện thứ hai 5 nằm trên một mặt của lớp điện môi trung gian 13 cách xa với lớp cách cực cửa 11. Lớp dây dẫn điện thứ nhất 4 và lớp dây dẫn điện thứ hai 5 nằm trong vùng theo chu vi PA, lớp điện cực cửa 12 ở vùng hiển thị DA. Lớp dây dẫn điện thứ hai 5 nằm bên ngoài vùng bao quanh bởi lớp bít kín 3. Một cách tùy ý, tấm hiển thị là tấm hiển thị đi-ốt phát quang hữu cơ, và nền thứ hai 2 là nền bao kín.

Lớp dây dẫn điện thứ nhất 4 có thể có mẫu hình thích hợp bất kỳ. Các hình vẽ từ Fig.4 tới Fig.7 là các hình vẽ dạng sơ đồ minh họa một vài mẫu hình để làm ví dụ của lớp dây dẫn điện thứ nhất theo một vài phương án thực hiện của sáng chế. Lớp dây dẫn điện thứ nhất 4 trên Fig.4 là dây thẳng trong phần lớp bít kín 3 như được thể hiện. Lớp dây dẫn điện thứ nhất 4 trên Fig.5 có mẫu hình dạng zig zag trong phần lớp bít kín 3 như được thể hiện. Lớp dây dẫn điện thứ nhất 4 trên Fig.6 là dây cong và có mẫu hình dạng sóng trong phần lớp bít kín 3 như được thể hiện. Lớp dây dẫn điện thứ nhất 4 trên Fig.7 là dây cong và có mẫu hình dạng sóng vuông trong phần lớp bít kín 3 như được thể hiện.

Theo một khía cạnh khác, sáng chế đề xuất phương pháp dò vết rách trong lớp bít kín của tấm hiển thị mô tả trong bản mô tả này. Theo một vài phương án thực hiện, phương pháp này bao gồm bước đo điện trở của dây dẫn điện liên tục thứ nhất. Một cách tùy ý, điện trở đã đo lớn hơn giá trị giới hạn biểu thị sự xuất hiện của vết rách trong lớp bít kín. Một cách tùy ý, điện trở đã đo bằng hoặc nhỏ hơn giá trị giới hạn biểu thị không có vết rách trong lớp bít kín. Theo một ví dụ, giá trị điện trở tham chiếu có thể được xác định bằng cách đo lớp dây dẫn điện chuẩn không có lỗi, sự đứt dây, và sự hở dây và có gần như cùng kích thước với lớp dây dẫn điện thứ nhất. Giá trị giới hạn có thể được xác định dựa trên giá trị điện trở tham chiếu, nghĩa là, theo kinh nghiệm. Ví dụ, giá trị giới hạn có thể bằng 10 lần giá trị điện trở tham chiếu.

Theo một vài phương án thực hiện, phương pháp này bao gồm bước đo điện trở của dây dẫn điện liên tục thứ nhất; và dựa trên kết quả đo, xác định xem việc đánh giá lại tính nguyên vẹn của lớp bí kín có cần thiết hay không. Một cách tùy ý, khi điện trở đo từ dây dẫn điện liên tục thứ nhất nằm trong khoảng thứ nhất, sẽ được xác định rằng lớp bí kín gần như nguyên vẹn, và không cần thiết phải đánh giá lại tính nguyên vẹn của lớp bí kín. Một cách tùy ý, khi điện trở đo từ dây dẫn điện liên tục thứ nhất nằm trong khoảng thứ hai, sẽ được xác định rằng lớp bí kín bị hư hại đáng kể, và không cần thiết phải đánh giá lại tính nguyên vẹn của lớp bí kín. Một cách tùy ý, khi điện trở đo từ dây dẫn điện liên tục thứ nhất nằm trong khoảng thứ ba, sẽ được xác định rằng cần thiết phải đánh giá lại tính nguyên vẹn của lớp bí kín. Một cách tùy ý, khoảng thứ ba nằm giữa khoảng thứ nhất và khoảng thứ hai. Một cách tùy ý, khoảng thứ nhất, khoảng thứ hai, và khoảng thứ ba là các khoảng gần như không xếp chồng.

Theo một khía cạnh khác, sáng chế đề xuất nền trong tấm hiển thị. Theo một vài phương án thực hiện, nền bao gồm lớp bí kín và lớp dây dẫn điện thứ nhất có dây dẫn điện liên tục thứ nhất được tạo kết cấu để dò vết rách trong lớp bí kín, lớp dây dẫn điện thứ nhất tiếp xúc với lớp bí kín. Một cách tùy ý, lớp dây dẫn điện thứ nhất nằm trong vùng theo chu vi của nền và gần như bao quanh vùng hiển thị của nền. Một cách tùy ý, phần nhô của lớp bí kín trên nền gần như bao phủ phần nhô của lớp dây dẫn điện thứ nhất. Một cách tùy ý, phần nhô của lớp dây dẫn điện thứ nhất trên nền gần như nằm ở giữa phần nhô của lớp bí kín ở điểm bất kỳ dọc theo chiều dài của lớp dây dẫn điện thứ nhất trong đó phần nhô của lớp dây dẫn điện thứ nhất và phần nhô của lớp bí kín xếp chồng. Một cách tùy ý, nền còn bao gồm ít nhất một đầu dính trong vùng dính mạch tích hợp điều khiển, ít nhất một đầu dính được nối điện với lớp dây dẫn điện thứ nhất.

Theo một vài phương án thực hiện, nền còn bao gồm lớp dây dẫn điện thứ hai có dây dẫn điện liên tục thứ hai được tạo kết cấu để dò vết rách trong nền hoặc trong tấm hiển thị có nền này. Lớp dây dẫn điện thứ hai nằm trong vùng theo chu vi của nền. Phần nhô của lớp bí kín trên nền gần như không xếp chồng với phần nhô của lớp dây dẫn điện thứ hai. Một cách tùy ý, lớp dây dẫn điện thứ nhất bao quanh vùng thứ nhất của nền, lớp dây dẫn điện thứ hai bao quanh vùng

thứ hai của nền, và vùng thứ nhất nằm trong vùng thứ hai. Một cách tùy ý, nền này còn bao gồm hai dây dẫn vào lần lượt được nối với hai điểm nối của lớp dây dẫn điện thứ nhất; mỗi một trong số hai dây dẫn vào nối điện lớp dây dẫn điện thứ nhất với lớp dây dẫn điện thứ hai. Một cách tùy ý, nền này còn bao gồm hai đầu dính trong vùng dính mạch tích hợp điều khiển, hai đầu dính được nối điện với lớp dây dẫn điện thứ hai, và lớp dây dẫn điện thứ nhất được nối điện với hai đầu dính qua hai dây dẫn vào và lớp dây dẫn điện thứ hai.

Theo một vài phương án thực hiện, chiều rộng dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất bằng xấp xỉ từ $1/200$ tới xấp xỉ $1/50$ (chẳng hạn, từ xấp xỉ $1/150$ tới xấp xỉ $1/75$, xấp xỉ $1/100$) chiều rộng của lớp bít kín. Theo một vài phương án thực hiện, chiều dày dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất bằng xấp xỉ từ $1/20$ tới xấp xỉ $1/5$ (chẳng hạn, từ xấp xỉ $1/15$ tới xấp xỉ $1/7,5$, xấp xỉ $1/10$) chiều dày của lớp bít kín. Theo một ví dụ, lớp bít kín có chiều rộng bằng xấp xỉ $500\mu\text{m}$ và chiều dày bằng xấp xỉ $5\mu\text{m}$. Một cách tùy ý, chiều rộng dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất nằm trong khoảng từ xấp xỉ $2,5\mu\text{m}$ tới xấp xỉ $10\mu\text{m}$, chẳng hạn, từ xấp xỉ $3,7\mu\text{m}$ tới xấp xỉ $7,5\mu\text{m}$, xấp xỉ $5\mu\text{m}$. Một cách tùy ý, chiều dày dây của dây dẫn điện liên tục thứ nhất của lớp dây dẫn điện thứ nhất nằm trong khoảng từ xấp xỉ $0,25\mu\text{m}$ tới xấp xỉ $1\mu\text{m}$, chẳng hạn, xấp xỉ $0,3\mu\text{m}$ tới xấp xỉ $0,7\mu\text{m}$, xấp xỉ $0,5\mu\text{m}$.

Theo một vài phương án thực hiện, nền là nền màng đi-ốt phát quang hữu cơ. Một cách tùy ý, nền bao gồm nền chân, lớp cách cực cửa trên nền chân, lớp điện cực cửa nằm trên một mặt của lớp cách cực cửa cách xa với nền chân, và lớp điện môi trung gian nằm trên một mặt của lớp điện cực cửa cách xa với lớp cách cực cửa. Một cách tùy ý, lớp dây dẫn điện thứ nhất nằm trên một mặt của lớp bít kín gần lớp điện môi trung gian.

Lớp bít kín có thể được làm bằng vật liệu bít kín phù hợp bất kỳ như vật liệu bít kín hỗn hợp nấu thủy tinh, vật liệu bít kín hàn, vật liệu bít kín keo dán, vật liệu bít kín chất dính (nghĩa là, vật liệu bít kín nhựa epoxy). Lớp bít kín có thể chứa vật liệu hữu cơ hoặc vật liệu vô cơ, chẳng hạn, thủy tinh hoặc keo dính hữu cơ. Các vật liệu thủy tinh hữu ích để làm lớp bít kín bao gồm, nhưng không

bị giới hạn ở, ôxit ma-giê, ôxit canxi, ôxit bari, ôxit lithi, ôxit natri, ôxit kali, ôxit vanadi, ôxit kẽm, ôxit telua, ôxit nhôm, dioxit silic, ôxit chì, ôxit thiếc, ôxit photphorơ, ôxit ruteni, ôxit rubiđi, ôxit rođi, ôxit sắt, ôxit đồng, ôxit titan, ôxit vonfam, ôxit bitmut, ôxit atimon, hoặc các kết hợp của chúng. Một cách tùy ý, lớp bít kín là lớp bít kín thủy tinh frít có vật liệu bít kín thủy tinh frít. Một cách tùy ý, lớp bít kín là lớp bít kín hỗn hợp nấu thủy tinh có vật liệu bít kín hỗn hợp nấu thủy tinh.

Lớp dây dẫn điện thứ nhất 4 có thể có mẫu hình thích hợp bất kỳ. Một cách tùy ý, lớp dây dẫn điện thứ nhất là dây thẳng trong phần lớp bít kín. Một cách tùy ý, lớp dây dẫn điện thứ nhất có mẫu hình dạng zig zag trong phần lớp bít kín. Một cách tùy ý, lớp dây dẫn điện thứ nhất là dây cong và có mẫu hình dạng sóng trong phần lớp bít kín. Một cách tùy ý, lớp dây dẫn điện thứ nhất là dây cong và có mẫu hình dạng sóng vuông trong phần lớp bít kín.

Theo một khía cạnh khác, sáng chế đề xuất phương pháp chế tạo tấm hiển thị. Theo một vài phương án thực hiện, phương pháp này bao gồm các bước: tạo nền thứ nhất; tạo nền thứ hai; tạo lớp vật liệu bít kín trên nền thứ hai, lớp vật liệu bít kín được tạo trong vùng theo chu vi của nền thứ hai và bao kín vùng hiển thị của nền thứ hai; tạo lớp dây dẫn điện thứ nhất có dây dẫn điện liên tục thứ nhất trên nền thứ nhất, lớp dây dẫn điện thứ nhất được tạo trong vùng theo chu vi của nền thứ nhất và bao quanh vùng thứ nhất của nền thứ nhất; và lắp ráp nền thứ nhất và nền thứ hai vào trong ô bằng dính lớp vật liệu bít kín lên trên nền thứ nhất, nhờ đó tạo thành lớp bít kín bít kín vùng hiển thị của tấm hiển thị. Một cách tùy ý, phương pháp này còn bao gồm bước làm khô lớp vật liệu bít kín tiếp theo bước lắp ráp, nhờ đó tạo thành lớp bít kín bít kín nền thứ nhất và nền thứ hai với nhau.

Theo một vài phương án thực hiện, lớp bít kín và lớp dây dẫn điện thứ nhất được tạo sao cho phần nhô của lớp bít kín trên nền thứ nhất xếp chồng ít nhất một phần với phần nhô của lớp dây dẫn điện thứ nhất trên hình chiếu bằng của tấm hiển thị. Một cách tùy ý, lớp bít kín và lớp dây dẫn điện thứ nhất được tạo sao cho phần nhô của lớp bít kín trên nền thứ nhất gần như xếp chồng với phần nhô của lớp dây dẫn điện thứ nhất trên hình chiếu bằng của tấm hiển thị.

Một cách tùy ý, lớp bút kín và lớp dây dẫn điện thứ nhất được tạo sao cho phần nhô của lớp bút kín trên nền thứ nhất gần như bao phủ phần nhô của lớp dây dẫn điện thứ nhất trên hình chiếu bằng của tấm hiển thị. Một cách tùy ý, lớp bút kín và lớp dây dẫn điện thứ nhất được tạo sao cho phần nhô của lớp bút kín trên nền thứ nhất bao phủ hoàn toàn phần nhô của lớp dây dẫn điện thứ nhất trên hình chiếu bằng của tấm hiển thị. Một cách tùy ý, lớp bút kín và lớp dây dẫn điện thứ nhất được tạo sao cho, trên hình chiếu bằng của tấm hiển thị, phần nhô của lớp dây dẫn điện thứ nhất trên nền thứ nhất gần như ở giữa phần nhô của lớp bút kín ở điểm bất kỳ dọc theo chiều dài của lớp dây dẫn điện thứ nhất trong đó phần nhô của lớp dây dẫn điện thứ nhất và phần nhô của lớp bút kín xếp chồng.

Một cách tùy ý, phương pháp này còn bao gồm bước tạo ít nhất một đầu dính trong vùng dính mạch tích hợp điều khiển của tấm hiển thị, ít nhất một đầu dính được tạo để được nối điện với lớp dây dẫn điện thứ nhất.

Theo một vài phương án thực hiện, phương pháp này còn bao gồm bước tạo lớp dây dẫn điện thứ hai có dây dẫn điện liên tục thứ hai trên nền thứ nhất. Lớp dây dẫn điện thứ hai được tạo trong vùng theo chu vi của nền thứ nhất và bao quanh vùng thứ hai của nền thứ nhất. Lớp dây dẫn điện thứ nhất được tạo trong vùng theo chu vi của nền thứ nhất và bao quanh vùng thứ nhất của nền thứ nhất. Vùng thứ nhất nằm trong vùng thứ hai.

Một cách tùy ý, lớp dây dẫn điện thứ hai và lớp bút kín được tạo sao cho phần nhô của lớp bút kín trên nền thứ nhất gần như không xếp chồng với phần nhô của lớp dây dẫn điện thứ hai.

Theo một vài phương án thực hiện, phương pháp này còn bao gồm bước tạo hai dây dẫn vào lần lượt được nối với hai điểm nối của lớp dây dẫn điện thứ nhất. Mỗi một trong số hai dây dẫn vào được tạo để nối điện lớp dây dẫn điện thứ nhất với lớp dây dẫn điện thứ hai. Một cách tùy ý, phương pháp này còn bao gồm bước tạo hai đầu dính trong vùng dính mạch tích hợp điều khiển của tấm hiển thị. Hai đầu dính được tạo để được nối điện với lớp dây dẫn điện thứ hai. Lớp dây dẫn điện thứ nhất được tạo để được nối điện với hai đầu dính qua hai dây dẫn vào và lớp dây dẫn điện thứ hai.

Theo một khía cạnh khác, sáng chế đề xuất thiết bị hiển thị có tấm hiển thị mô tả trong bản mô tả này hoặc được chế tạo bằng phương pháp mô tả trong bản mô tả này. Một cách tùy ý, thiết bị hiển thị là thiết bị hiển thị đi-ốt phát quang hữu cơ. Một cách tùy ý, thiết bị hiển thị là thiết bị hiển thị tinh thể lỏng. Các ví dụ của các thiết bị hiển thị thích hợp bao gồm, nhưng không bị giới hạn ở, giấy điện tử, điện thoại di động, máy tính bảng, máy thu hình, bộ giám sát, máy tính notebook, tập ảnh số, GPS, v.v.

Phần mô tả nêu trên của các phương án thực hiện sáng chế đã được thể hiện nhằm mục đích minh họa và mô tả. Các phương án thực hiện đưa ra ở đây không được dự tính để nêu hết mọi khía cạnh hoặc để giới hạn sáng chế ở các dạng chính xác đã bộc lộ. Do đó, phần mô tả nêu trên sẽ được xem như sự minh họa chứ không phải là sự giới hạn. Rõ ràng rằng, các biến thể và các thay đổi sẽ trở nên rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật này. Các phương án thực hiện được chọn và được mô tả để giải thích các nguyên tắc của sáng chế và ứng dụng thực tế tốt nhất của nó, do đó cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hiểu sáng chế theo các phương án thực hiện và các biến thể khi được làm phù hợp để sử dụng cụ thể hoặc thực hiện theo dự tính. Được dự tính rằng phạm vi của sáng chế sẽ được xác định bởi các điểm yêu cầu bảo hộ kèm theo và các tương đương của chúng trong đó tất cả các thuật ngữ được hiểu theo nghĩa rộng nhất trừ khi được biểu thị theo cách khác. Do đó, thuật ngữ “sáng chế”, “sáng chế” hoặc tương tự không nhất thiết giới hạn phạm vi của yêu cầu bảo hộ ở phương án thực hiện cụ thể, và sự tham chiếu tới các phương án thực hiện để làm ví dụ của sáng chế không gợi ý sự giới hạn với sáng chế, và không sự giới hạn nào được suy ra. Sáng chế được giới hạn chỉ bởi ý đồ và phạm vi của các điểm yêu cầu bảo hộ kèm theo. Hơn nữa, các điểm yêu cầu bảo hộ này có thể sử dụng “thứ nhất”, “thứ hai”, v.v. theo sau danh từ hoặc chi tiết. Các thuật ngữ này sẽ được hiểu như một danh pháp và sẽ không được hiểu như sự giới hạn về số lượng của các chi tiết biến đổi bởi danh pháp này trừ khi số lượng cụ thể được đưa ra. Các hiệu quả và các lợi ích bất kỳ đã mô tả có thể không áp dụng cho tất cả các phương án thực hiện của sáng chế. Cần nhận thấy rằng rằng các thay đổi có thể được thực hiện theo phương án thực hiện mô

tả bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này mà không vượt ra khỏi phạm vi của sáng chế như được xác định bởi các điểm yêu cầu bảo hộ kèm theo. Hơn nữa, không chi tiết và thành phần nào trong sáng chế được dự định để dành cho công bố bất kể chi tiết hoặc thành phần đó có được nêu một cách rõ ràng trong các điểm yêu cầu bảo hộ kèm theo hay không.

YÊU CẦU BẢO HỘ**1. Tấm hiển thị, bao gồm:**

nền thứ nhất;

nền thứ hai quay mặt với nền thứ nhất;

lớp bit kín giữa nền thứ nhất và nền thứ hai bit kín nền thứ nhất và nền thứ hai với nhau để tạo thành ô; và lớp dây dẫn thứ nhất bao gồm dây dẫn liên tục thứ nhất được tạo kết cấu để dò vết rách hoặc các vết rách trong lớp bit kín;

trong đó lớp dây dẫn thứ nhất tiếp xúc với lớp bit kín, trong đó chiều rộng dây của lớp dây dẫn thứ nhất bằng xấp xỉ $1/200$ đến xấp xỉ $1/50$ của chiều rộng của lớp bit kín; và trong đó chiều dày dây của lớp dây dẫn thứ nhất bằng xấp xỉ $1/20$ đến xấp xỉ $1/5$ của chiều dày của lớp bit kín.

2. Tấm hiển thị theo điểm 1, trong đó:

lớp dây dẫn thứ nhất nằm trong khu vực chu vi của tấm hiển thị và gần như bao quanh khu vực hiển thị của tấm hiển thị; và

phần nhô của lớp bit kín trên nền thứ nhất gần như bao phủ phần nhô của lớp dây dẫn thứ nhất.

3. Tấm hiển thị theo điểm 2, trong đó:

phần nhô của lớp dây dẫn thứ nhất trên nền thứ nhất gần như nằm ở tâm của phần nhô của lớp bit kín ở điểm bất kỳ dọc theo chiều dài của lớp dây dẫn thứ nhất trong đó phần nhô của lớp dây dẫn thứ nhất và phần nhô của lớp bit kín chồng lấp.

4. Tấm hiển thị theo điểm 1, trong đó tấm hiển thị còn bao gồm ít nhất một đầu dính trong vùng dính mạch tích hợp điều khiển, ít nhất một đầu dính được nối điện với lớp dây dẫn thứ nhất.

5. Tấm hiển thị theo điểm 1, trong đó tấm hiển thị còn bao gồm lớp dây dẫn thứ hai bao gồm dây dẫn liên tục thứ hai được tạo kết cấu để dò vết rách hoặc các vết rách trong tấm hiển thị;

trong đó lớp dây dẫn thứ hai nằm trong vùng chu vi của tấm hiển thị; và

trong đó phần nhô của lớp bít kín trên nền thứ nhất gần như không chồng lấp với phần nhô của lớp dây dẫn thứ hai.

6. Tấm hiển thị theo điểm 5, trong đó lớp dây dẫn thứ nhất bao quanh khu vực thứ nhất của tấm hiển thị;

trong đó lớp dây dẫn thứ hai bao quanh khu vực thứ hai của tấm hiển thị;

và trong đó khu vực thứ nhất nằm trong khu vực thứ hai.

7. Tấm hiển thị theo điểm 5, trong đó tấm hiển thị còn bao gồm hai dây dẫn lần lượt được nối với hai cực của lớp dây dẫn thứ nhất;

trong đó mỗi dây trong hai dây dẫn nối điện lớp dây dẫn thứ nhất với lớp dây dẫn thứ hai.

8. Tấm hiển thị theo điểm 7, trong đó tấm hiển thị còn bao gồm hai đầu dính trong vùng dính mạch tích hợp điều khiển, hai đầu dính được nối điện với lớp dây dẫn thứ hai;

trong đó lớp dây dẫn thứ nhất được nối điện với hai đầu dính qua hai dây dẫn và lớp dây dẫn thứ hai.

9. Tấm hiển thị theo điểm 1, trong đó chiều rộng dây của lớp dây dẫn thứ nhất nằm trong khoảng xấp xỉ từ $2,5\mu\text{m}$ đến xấp xỉ $10\mu\text{m}$; và trong đó chiều dày dây của lớp dây dẫn thứ nhất nằm trong khoảng xấp xỉ từ $0,25\mu\text{m}$ đến xấp xỉ $1\mu\text{m}$.

10. Tấm hiển thị theo điểm 1, trong đó lớp dây dẫn thứ nhất ở phía lớp bít kín cách nền thứ hai.

11. Tấm hiển thị theo điểm 1, trong đó tấm hiển thị là tấm hiển thị điôt phát quang hữu cơ (OLED);

trong đó nền thứ nhất bao gồm nền cơ sở thứ nhất, lớp cách ly cực cổng trên lớp nền cơ sở thứ nhất, lớp điện cực cổng ở phía lớp cách ly cực cổng cách xa lớp nền cơ sở thứ nhất, và lớp điện môi giữa các lớp ở phía lớp điện cực cực cổng cách xa lớp cách ly cực cổng; và

trong đó lớp dây dẫn thứ nhất ở phía lớp bít kín gần với lớp điện môi giữa các lớp.

12. Tấm hiển thị theo điểm 1, trong đó lớp bít kín là lớp bít kín frit bao gồm vật liệu bít frit.

13. Tấm hiển thị theo điểm 1, trong đó phần nhô của dây dẫn liên tục thứ nhất trên nền thứ nhất có dạng sóng hình vuông.

14. Thiết bị hiển thị bao gồm tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 13.

15. Phương pháp dò vết rách hoặc các vết rách trong lớp bít kín của tấm hiển thị theo điểm 1, trong đó phương pháp bao gồm bước:

đo điện trở của dây dẫn liên tục thứ nhất;

trong đó điện trở lớn hơn giá trị ngưỡng chỉ báo xuất hiện vết rách hoặc các vết rách trong lớp bít kín.

16. Nền bao gồm:

lớp bít kín; và lớp dây dẫn thứ nhất bao gồm dây dẫn liên tục thứ nhất được tạo kết cấu để dò vết rách hoặc các vết rách trong lớp bít kín;

trong đó lớp dây dẫn thứ nhất tiếp xúc với lớp bít kín,

trong đó chiều rộng dây của lớp dây dẫn thứ nhất bằng xấp xỉ 1/200 đến xấp xỉ 1/50 của chiều rộng của lớp bít kín; và

trong đó chiều dày dây của lớp dây dẫn thứ nhất bằng xấp xỉ $1/20$ đến xấp xỉ $1/5$ của chiều dày của lớp bít kín.

17. Nền theo điểm 16, trong đó lớp dây dẫn thứ nhất nằm trong khu vực chu vi của nền và gần như bao quanh khu vực hiển thị của nền; và

phần nhô của lớp bít kín trên nền gần như bao phủ phần nhô của lớp dây dẫn thứ nhất.

18. Nền theo điểm 16, trong đó nền còn bao gồm lớp dây dẫn thứ hai bao gồm dây dẫn liên tục thứ hai được tạo kết cấu để dò vết rách hoặc các vết rách trong nền;

trong đó lớp dây dẫn thứ hai nằm trong vùng chu vi của nền;

và

trong đó phần nhô của lớp bít kín trên nền gần như không chồng lấp với phần nhô của lớp dây dẫn thứ hai.

19. Phương pháp chế tạo tấm hiển thị bao gồm các bước:

tạo nền thứ nhất;

tạo nền thứ hai;

tạo lớp vật liệu bít kín trên nền thứ hai, lớp vật liệu bít kín được tạo trong khu vực chu vi của nền thứ hai và bao quanh khu vực hiển thị của nền thứ hai;

tạo lớp dây dẫn thứ nhất bao gồm dây dẫn liên tục thứ nhất trên nền thứ nhất, lớp dây dẫn thứ nhất được tạo trong khu vực chu vi của nền thứ nhất và bao quanh khu vực thứ nhất của nền thứ nhất; và

lắp ráp nền thứ nhất và nền thứ hai vào trong ô bằng cách dính lớp vật liệu bít kín trên nền thứ nhất, nhờ đó tạo lớp bít kín bít kín khu vực hiển thị của tấm hiển thị;

trong đó lớp dây dẫn thứ nhất được tạo tiếp xúc với lớp bít kín, trong đó chiều rộng dây của lớp dây dẫn thứ nhất bằng xấp xỉ $1/200$ đến xấp xỉ $1/50$ của chiều rộng của lớp bít kín; và

trong đó chiều dày dây của lớp dây dẫn thứ nhất bằng xấp xỉ $1/20$ đến xấp xỉ $1/5$ của chiều dày của lớp bít kín.

FIG. 1

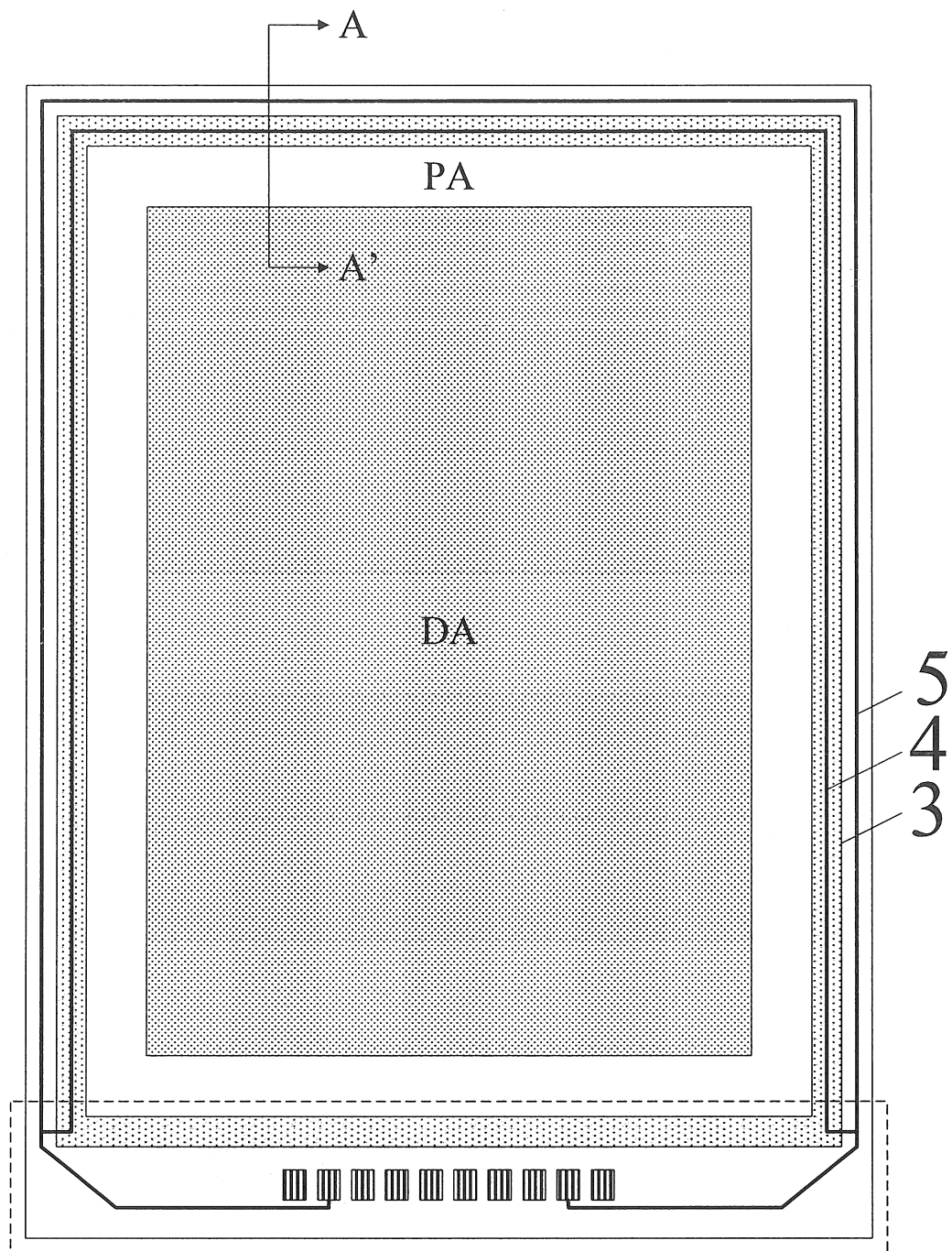


FIG. 2

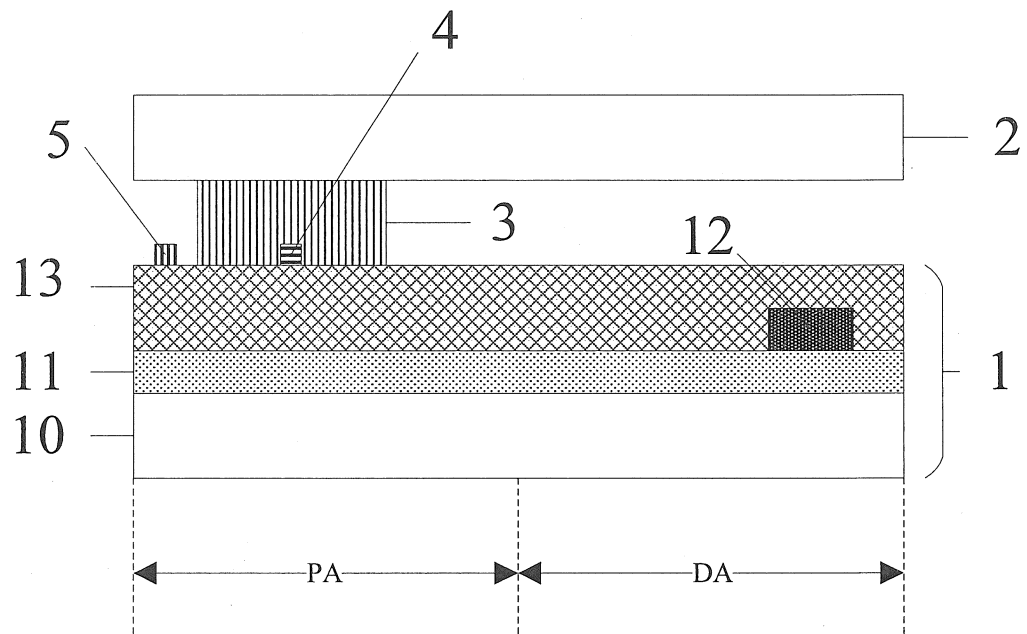


FIG. 3

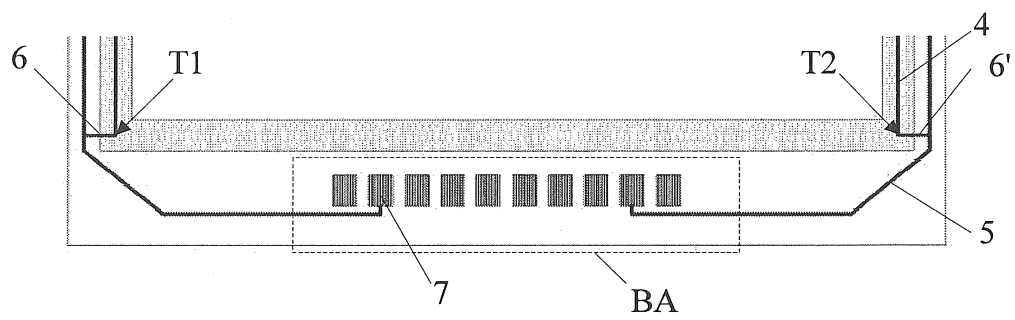


FIG. 4

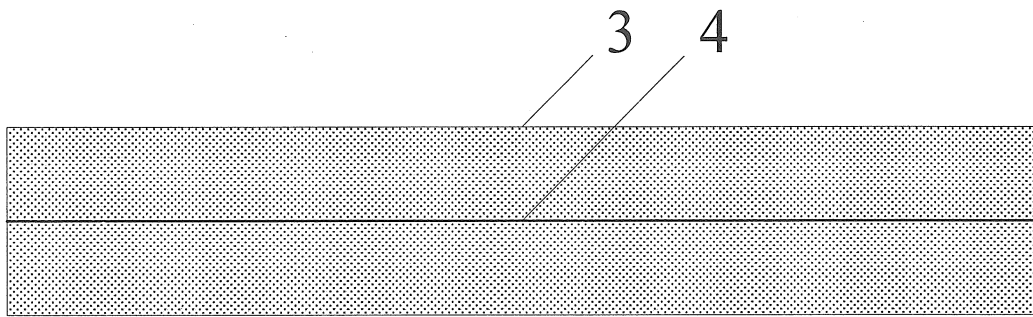


FIG. 5

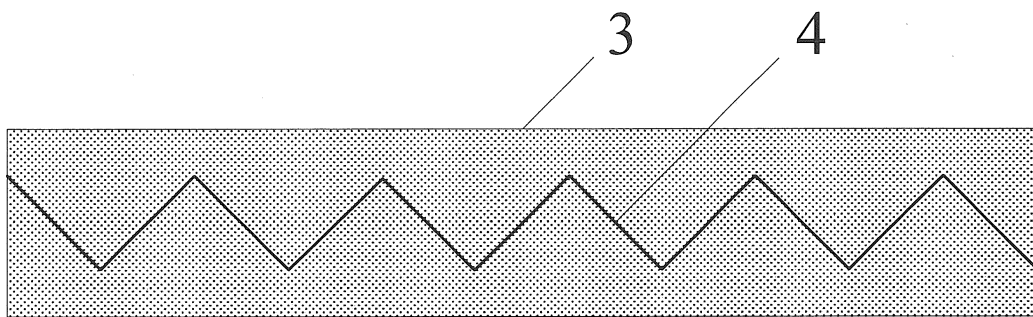


FIG. 6

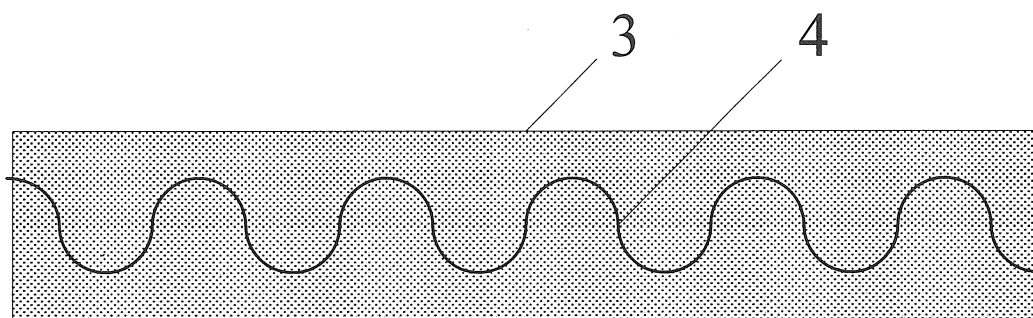


FIG. 7

