(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) **1-0032390**

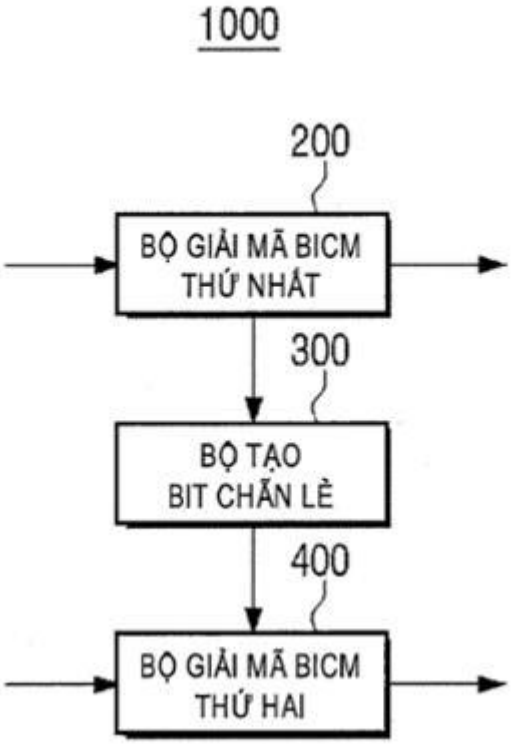
(51)[8] **H03M 13/27**; H03M 13/11

(13) **B**

(21) 1-2017-05236
(22) 27/05/2016
(86) PCT/KR2016/005638 27/05/2016
(87) WO 2016/195331 A1 08/12/2016
(30) 10-2015-0076544 29/05/2015 KR
(45) 25/07/2022 412
(43) 26/03/2018 360A
(73) SAMSUNG ELECTRONICS CO., LTD. (KR)
129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, 16677, Republic of Korea
(72) OH, Young-ho (KR); MYUNG, Se-ho (KR).
(74) Công ty Luật TNHH WINCO (WINCO LAW FIRM)

(54) THIẾT BỊ THU TÍN HIỆU VÀ PHƯƠNG PHÁP XỬ LÝ TÍN HIỆU ĐƯỢC THỰC HIỆN TRÊN THIẾT BỊ THU TÍN HIỆU

(57) Sáng chế đề cập đến thiết bị thu tín hiệu và phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu, trong đó thiết bị thu tín hiệu có ít nhất một bộ xử lý được tạo cấu hình để điều khiển hoặc thực hiện: bộ giải mã điều biến mã hoá đan xen bit (Bit-Interleaved Coded Modulation, BICM) thứ nhất được tạo cấu hình để tạo ra tín hiệu đầu ra thứ nhất tương ứng với tín hiệu ở tầng cao hơn bằng cách xử lý tín hiệu đầu vào thứ nhất có tín hiệu mã hoá chồng chập được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn và tín hiệu ở tầng thấp hơn; bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra ít nhất một bit chẵn lẻ dựa vào kết quả xử lý tín hiệu đầu vào thứ nhất bằng bộ giải mã BICM thứ nhất; và bộ giải mã BICM thứ hai được tạo cấu hình để tạo ra tín hiệu đầu ra thứ hai tương ứng với tín hiệu ở tầng thấp hơn bằng cách xử lý tín hiệu đầu vào thứ hai được tạo ra bằng cách sử dụng bit chẵn lẻ được tạo ra bằng bộ tạo bit chẵn lẻ.


1000
200
BỘ GIẢI MÃ BICM THỨ NHẤT
300
BỘ TẠO BIT CHẴN LẺ
400
BỘ GIẢI MÃ BICM THỨ HAI

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị thu tín hiệu và phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu, và cụ thể hơn, sáng chế đề cập đến thiết bị thu tín hiệu được tạo cấu hình để thu tín hiệu được tạo ra bằng cách mã hoá chồng chập và xử lý tín hiệu này, và phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu.

Tình trạng kỹ thuật của sáng chế

Xã hội công nghệ thông tin ở thế kỷ thứ 21 đang chuyển sang kỷ nguyên số hoá, phân phối qua nhiều kênh, mở rộng dải tần số, cung cấp các dịch vụ chất lượng cao. Cụ thể, sự phân bố ngày càng tăng lên hiện nay của thiết bị thu tín hiệu truyền hình (Television, TV) kỹ thuật số chất lượng cao, các thiết bị di động, thiết bị cầm tay phát lại nội dung đa phương tiện (Portable Multimedia Player, PMP), thiết bị phát rộng cầm tay đòi hỏi phải có ngày càng nhiều phương pháp thu nhận tín hiệu khác nhau dùng cho các dịch vụ phát rộng kỹ thuật số.

Ví dụ, thiết bị thu tín hiệu khi xử lý tín hiệu mã hoá chồng chập sử dụng tín hiệu ở tầng cao hơn có công suất tương đối lớn, để thu tín hiệu ở tầng cơ bản có công suất tương đối nhỏ.

Do đó, vì thời gian xử lý tín hiệu ở tầng cao hơn tăng lên, cho nên thời gian xử lý tín hiệu ở tầng cơ bản cũng tăng lên.

Ví dụ, vì tín hiệu ở tầng cao hơn được giải mã để thu được tín hiệu ở tầng cơ bản, cho nên thời gian xử lý tín hiệu ở tầng cơ bản tăng lên khi thời gian giải mã tín hiệu ở tầng cao hơn tăng lên.

Bản chất kỹ thuật của sáng chế

Các phương án làm ví dụ thực hiện sáng chế có thể khắc phục các nhược điểm được nêu ở trên và các nhược điểm khác không được nêu ở trên. Tuy nhiên, sáng chế không nhất thiết phải khắc phục các nhược điểm được nêu ở trên, và phương án làm ví dụ thực hiện sáng chế có thể không khắc phục các nhược điểm được nêu ở trên.

Mục đích kỹ thuật của sáng chế là nhằm đề xuất thiết bị thu tín hiệu tạo ra bit chẵn lẻ dựa vào kết quả giải mã được thực hiện để tạo ra tín hiệu thứ nhất, ví dụ, tín hiệu ở tầng cao hơn, của tín hiệu mã hoá chồng chập, trong đó bit chẵn lẻ này được sử dụng để tạo ra tín hiệu sẽ được giải mã để tạo ra tín hiệu thứ hai, ví dụ, tín hiệu ở tầng thấp hơn, và phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu.

Theo phương án làm ví dụ thực hiện sáng chế, sáng chế đề cập đến thiết bị thu tín hiệu có ít nhất một bộ xử lý được tạo cấu hình để điều khiển hoặc thực hiện: bộ giải mã điều biến mã hoá đan xen bit (Bit-Interleaved Coded Modulation, BICM) thứ nhất được tạo cấu hình để tạo ra tín hiệu đầu ra thứ nhất tương ứng với tín hiệu ở tầng cao hơn bằng cách xử lý tín hiệu đầu vào thứ nhất có tín hiệu mã hoá chồng chập được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn và tín hiệu ở tầng thấp hơn; bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra ít nhất một bit chẵn lẻ dựa vào kết quả xử lý tín hiệu đầu vào thứ nhất bằng bộ giải mã BICM thứ nhất; và bộ giải mã BICM thứ hai được tạo cấu hình để tạo ra tín hiệu đầu ra thứ hai tương ứng với tín hiệu ở tầng thấp hơn bằng cách xử lý tín hiệu đầu vào thứ hai được tạo ra bằng cách sử dụng bit chẵn lẻ được tạo ra bằng bộ tạo bit chẵn lẻ.

Bộ giải mã BICM thứ nhất có thể bao gồm: bộ giải mã kiểm tra chẵn lẻ mật độ thấp (Low Density Parity Check, LDPC) được tạo cấu hình để giải mã LDPC cho tín hiệu đầu vào thứ nhất để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC; và bộ giải mã Bose, Chaudhri, Hocquenghem (BCH) được tạo cấu hình để giải mã BCH cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất. Trong đó, bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ dựa vào kết quả của ít nhất một thao tác giải mã trong số thao tác giải mã LDPC và thao tác giải mã BCH.

Sau khi xử lý tín hiệu đầu vào thứ nhất, bộ giải mã BICM thứ nhất có thể khôi phục bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ có cấu trúc ma trận hai đường chéo, ma trận này là một phần của ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC để tạo ra tín hiệu đầu vào thứ nhất ở thiết bị truyền tín hiệu.

Bộ giải mã LDPC hoặc bộ tạo bit chẵn lẻ có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, và đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ

thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể còn xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Đáp lại trường hợp xác định rằng không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức kiểm tra chẵn lẻ phần thông tin (Information Part Parity Check, IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Đáp lại trường hợp xác định rằng có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC tương ứng với bit tạo ra lỗi, và tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi, dựa vào giá trị đã lật của biểu thức IPPC.

Trong đó, bộ giải mã LDPC có thể khôi phục từ thông tin LDPC, các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai có cấu trúc ma trận đơn vị. Trong đó, ma trận con chẵn lẻ LDPC thứ nhất và ma trận con chẵn lẻ LDPC thứ hai lần lượt là các phần của ma trận kiểm tra chẵn lẻ thứ nhất và ma trận kiểm tra chẵn lẻ thứ hai tạo nên ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC để tạo ra tín hiệu đầu vào thứ nhất ở thiết bị truyền tín hiệu.

Đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

Đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, bộ tạo

bit chẵn lẻ có thể còn tạo ra bit chẵn lẻ LDPC thứ nhất mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất. Trong đó, biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai là biểu thức IPPC thứ hai.

Ngoài ra, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Đáp lại trường hợp xác định rằng có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) thứ nhất tương ứng với bit tạo ra lỗi, và tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ nhất mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC thứ nhất. Trong đó, biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

Trong đó, bộ giải mã LDPC hoặc bộ tạo bit chẵn lẻ có thể so sánh bit chẵn lẻ LDPC thứ nhất mới với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, xác định xem có lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không dựa vào kết quả so sánh, xác định vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, và tạo ra bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi và bit chẵn lẻ LDPC thứ nhất, dựa vào giá trị đã lật của biểu thức IPPC thứ hai.

Thiết bị thu tín hiệu này có thể còn bao gồm bộ mã hoá BICM được tạo cấu hình để thu và xử lý từ mã LDPC gồm có từ thông tin LDPC ở trong tín hiệu đầu ra thứ nhất và bit chẵn lẻ được tạo ra ở bộ tạo bit chẵn lẻ, để tạo ra tín hiệu sẽ được dùng để tạo ra tín hiệu đầu vào thứ hai.

Thiết bị thu tín hiệu này có thể còn bao gồm bộ phận loại bỏ tín hiệu được tạo cấu hình để loại bỏ tín hiệu được tạo ra bằng bộ mã hoá BICM ra khỏi tín hiệu đầu vào thứ nhất để xuất ra tín hiệu đầu vào thứ hai.

Bộ giải mã BICM thứ nhất có thể bao gồm: bộ giải mã LDPC được tạo cấu hình để giải mã LDPC cho tín hiệu đầu vào thứ nhất để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC; và bộ giải mã kiểm dư vòng (Cyclic Redundancy Check, CRC) được tạo cấu hình để giải mã CRC cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất, trong đó bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ dựa vào kết quả của ít nhất một thao tác giải mã trong số thao tác giải mã LDPC và thao tác giải mã CRC.

Bộ giải mã LDPC hoặc bộ tạo bit chẵn lẻ có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không. Đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào kết quả giải mã CRC, bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Bộ giải mã LDPC có thể khôi phục từ thông tin LDPC, các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai có cấu trúc ma trận đơn vị. Trong đó, ma trận con chẵn lẻ LDPC thứ nhất và ma trận con chẵn lẻ LDPC thứ hai lần lượt là các phần của ma trận kiểm tra chẵn lẻ thứ nhất và ma trận kiểm tra chẵn lẻ thứ hai tạo nên ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC, dựa vào kết quả giải mã CRC, bộ tạo bit chẵn lẻ có

thể tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ nhất mới cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào biểu thức IPPC thứ nhất.

Sau khi tạo ra bit chẵn lẻ LDPC thứ nhất mới, bộ tạo bit chẵn lẻ có thể tạo ra bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và bit chẵn lẻ LDPC thứ nhất mới, dựa vào biểu thức IPPC thứ hai là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

Thiết bị thu tín hiệu này có thể còn bao gồm: bộ mã hoá BICM được tạo cấu hình để thu và xử lý từ mã LDPC gồm có từ thông tin LDPC ở trong tín hiệu đầu ra thứ nhất và bit chẵn lẻ được tạo ra ở bộ tạo bit chẵn lẻ để tạo ra tín hiệu sẽ được dùng để tạo ra tín hiệu đầu vào thứ hai; và bộ phận loại bỏ tín hiệu được tạo cấu hình để loại bỏ tín hiệu được tạo ra bằng bộ mã hoá BICM ra khỏi tín hiệu đầu vào thứ nhất để xuất ra tín hiệu đầu vào thứ hai.

Theo phương án làm ví dụ thực hiện sáng chế, sáng chế đề cập đến phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu có ít nhất một bộ xử lý. Phương pháp này có thể bao gồm các bước: tạo ra tín hiệu đầu ra thứ nhất tương ứng với tín hiệu ở tầng cao hơn bằng cách xử lý tín hiệu đầu vào thứ nhất có tín hiệu mã hoá chồng chập được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn và tín hiệu ở tầng thấp hơn; tạo ra ít nhất một bit chẵn lẻ dựa vào kết quả xử lý tín hiệu đầu vào thứ nhất; tạo ra tín hiệu đầu vào thứ hai bằng cách sử dụng bit chẵn lẻ; và tạo ra tín hiệu đầu ra thứ hai tương ứng với tín hiệu ở tầng thấp hơn bằng cách xử lý tín hiệu đầu vào thứ hai.

Bước tạo ra tín hiệu đầu ra thứ nhất có thể bao gồm các bước: giải mã LDPC cho tín hiệu đầu vào thứ nhất để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC; và giải mã BCH cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất.

Bước tạo ra tín hiệu đầu ra thứ nhất có thể bao gồm bước khôi phục bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ có cấu trúc ma trận hai đường chéo, ma trận này là một phần của ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC để tạo ra tín hiệu đầu vào thứ nhất ở thiết bị truyền tín hiệu.

Bước tạo ra bit chẵn lẻ có thể bao gồm các bước: xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không; và đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Đáp lại trường hợp xác định rằng không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Ngoài ra, bước tạo ra bit chẵn lẻ có thể bao gồm các bước: đáp lại trường hợp xác định rằng có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào kết quả giải mã BCH; hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) tương ứng với bit tạo ra lỗi; và tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi, dựa vào giá trị đã lật của biểu thức IPPC.

Bước tạo ra bit chẵn lẻ có thể bao gồm các bước: đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

Bước tạo ra bit chẵn lẻ có thể còn bao gồm bước, đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, tạo ra bit chẵn lẻ LDPC thứ nhất mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra

chẵn lẻ thứ nhất. Trong đó, biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai là biểu thức IPPC thứ hai.

Bước tạo ra bit chẵn lẻ có thể còn bao gồm bước, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Bước tạo ra bit chẵn lẻ có thể còn bao gồm bước: đáp lại trường hợp xác định rằng có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH; hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) thứ nhất tương ứng với bit tạo ra lỗi; và tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ nhất mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC thứ nhất, trong đó biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

Bước tạo ra bit chẵn lẻ có thể bao gồm các bước: so sánh bit chẵn lẻ LDPC thứ nhất mới với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC; xác định xem có lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không dựa vào kết quả so sánh; xác định vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC; hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC; và tạo ra bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi và bit chẵn lẻ LDPC thứ nhất, dựa vào giá trị đã lật của biểu thức IPPC thứ hai.

Trong đó, bước tạo ra tín hiệu đầu vào thứ hai có thể bao gồm các bước: tạo ra từ mã kiểm tra chẵn lẻ mật độ thấp (LDPC) gồm có từ thông tin LDPC ở trong tín hiệu đầu ra thứ nhất và bit chẵn lẻ; và xử lý từ mã LDPC để tạo ra tín hiệu đầu vào thứ hai.

Bước xử lý từ mã LDPC có thể bao gồm bước loại bỏ từ mã LDPC đã được xử lý ra khỏi tín hiệu đầu vào thứ nhất.

Bước tạo ra tín hiệu đầu ra thứ nhất có thể bao gồm các bước: giải mã LDPC cho tín

hiệu đầu vào thứ nhất; và giải mã CRC cho tín hiệu đã được giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất, trong đó bước tạo ra bit chẵn lẻ được thực hiện dựa vào kết quả của ít nhất một thao tác giải mã trong số thao tác giải mã LDPC và thao tác giải mã CRC.

Bước tạo ra tín hiệu đầu ra thứ nhất có thể bao gồm các bước: giải mã LDPC cho tín hiệu đầu vào thứ nhất để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC; và giải mã CRC cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất, trong đó bước tạo ra bit chẵn lẻ bao gồm các bước: xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, và đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào kết quả giải mã CRC, tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC mới cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Bước tạo ra tín hiệu đầu ra thứ nhất có thể bao gồm các bước: giải mã LDPC cho tín hiệu đầu vào thứ nhất để khôi phục từ thông tin LDPC, các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai có cấu trúc ma trận đơn vị; và giải mã CRC cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để tạo ra tín hiệu đầu ra thứ nhất, trong đó ma trận con chẵn lẻ LDPC thứ nhất và ma trận con chẵn lẻ LDPC thứ hai lần lượt là các phần của ma trận kiểm tra chẵn lẻ thứ nhất và ma trận kiểm tra chẵn lẻ thứ hai tạo nên ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

Bước tạo ra bit chẵn lẻ có thể bao gồm các bước: xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không; và đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải

mã LDPC, dựa vào kết quả giải mã CRC, tạo ra bit chẵn lẻ có bit chẵn lẻ LDPC thứ nhất mới cho từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

Bước tạo ra bit chẵn lẻ có thể còn bao gồm bước, sau khi tạo ra bit chẵn lẻ LDPC thứ nhất mới, tạo ra bit chẵn lẻ LDPC thứ hai mới tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và bit chẵn lẻ LDPC thứ nhất mới, dựa vào biểu thức IPPC thứ hai là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

Bước tạo ra tín hiệu đầu vào thứ hai có thể bao gồm các bước: thu và xử lý từ mã LDPC gồm có từ thông tin LDPC ở trong tín hiệu đầu ra thứ nhất và bit chẵn lẻ; xử lý từ mã LDPC để tạo ra tín hiệu sẽ được sử dụng để tạo ra tín hiệu đầu vào thứ hai; và loại bỏ, ra khỏi tín hiệu đầu vào thứ nhất, tín hiệu được tạo ra bằng cách xử lý từ mã LDPC để xuất ra tín hiệu đầu vào thứ hai.

Theo phương án làm ví dụ thực hiện sáng chế, sáng chế đề cập đến thiết bị thu tín hiệu có ít nhất một bộ xử lý được tạo cấu hình để điều khiển hoặc thực hiện: bộ giải mã thứ nhất để giải mã tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn, tín hiệu mã hoá chồng chập được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn và tín hiệu ở tầng thấp hơn; bộ tạo bit chẵn lẻ để tạo ra ít nhất một loại bit chẵn lẻ bằng cách sử dụng ít nhất một trong số nhiều phương pháp tạo ra bit chẵn lẻ, dựa vào tín hiệu ở tầng cao hơn được tạo ra ở bộ giải mã thứ nhất; và bộ giải mã thứ hai để giải mã tín hiệu được tạo ra bằng cách sử dụng bit chẵn lẻ được tạo ra ở bộ tạo bit chẵn lẻ, để tạo ra tín hiệu ở tầng thấp hơn. Bộ tạo bit chẵn lẻ có thể tạo ra có chọn lọc ít nhất một loại bit chẵn lẻ trong số nhiều loại bit chẵn lẻ tương ứng với tín hiệu ở tầng cao hơn, tuỳ thuộc vào ít nhất một trong số các loại thông tin: vị trí của lỗi trong tín hiệu mã hoá chồng chập; và phương pháp mã hoá, trong số nhiều phương pháp mã hoá, được sử dụng để giải mã để tạo ra tín hiệu mã hoá chồng chập ở thiết bị truyền tín hiệu. Trong đó, bộ giải mã thứ nhất có thể là bộ giải mã LDPC để giải mã LDPC cho tín hiệu mã hoá chồng chập để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC. Các phương pháp mã hoá có thể bao gồm: phương pháp mã hoá thứ nhất sử dụng ma trận kiểm tra chẵn lẻ đơn giản

gồm có ma trận con từ thông tin và ma trận con chẵn lẻ có cấu trúc ma trận hai đường chéo; và phương pháp mã hoá thứ hai sử dụng ma trận kiểm tra chẵn lẻ phức tạp được tạo nên bởi: ma trận kiểm tra chẵn lẻ thứ nhất gồm có ma trận con từ thông tin thứ nhất và ma trận con chẵn lẻ thứ nhất có cấu trúc ma trận hai đường chéo; và ma trận kiểm tra chẵn lẻ thứ hai gồm có ma trận con từ thông tin thứ hai và ma trận con chẵn lẻ thứ hai có cấu trúc ma trận đơn vị. Ngoài ra, các phương pháp tạo ra bit chẵn lẻ có thể bao gồm các bước: áp dụng biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá LDPC để tạo ra tín hiệu mã hoá chồng chập ở thiết bị truyền tín hiệu; và áp dụng giá trị của biểu thức IPPC được lưu trữ ở thiết bị thu tín hiệu và biểu thức IPPC này là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ, mà không cần sử dụng biểu thức kiểm tra chẵn lẻ hoặc ma trận kiểm tra chẵn lẻ.

Theo các phương án làm ví dụ thực hiện sáng chế, có thể rút ngắn thời gian giải mã tín hiệu ở tầng cao hơn, nhờ đó cho phép khôi phục tín hiệu ở tầng cơ bản nhanh hơn.

Mô tả vắn tắt các hình vẽ

Các khía cạnh nêu trên và/hoặc các khía cạnh khác của sáng chế sẽ trở nên rõ ràng hơn sau khi xem phần mô tả các phương án làm ví dụ thực hiện sáng chế dựa vào các hình vẽ kèm theo, trong đó:

Fig.1 là sơ đồ khối thể hiện thiết bị truyền tín hiệu theo phương án làm ví dụ thực hiện sáng chế;

Fig.2A và Fig.2B là các hình vẽ thể hiện từ mã LDPC theo các phương án làm ví dụ thực hiện sáng chế;

Fig.3 là hình vẽ thể hiện chòm điểm của tín hiệu mã hoá chồng chập theo phương án làm ví dụ thực hiện sáng chế;

Fig.4 là hình vẽ thể hiện ví dụ về công suất của tín hiệu mã hoá chồng chập theo phương án làm ví dụ thực hiện sáng chế;

Fig.5 và Fig.6 là các hình vẽ dùng để mô tả ma trận kiểm tra chẵn lẻ theo các phương án làm ví dụ thực hiện sáng chế;

Fig.7 là sơ đồ khối dùng để mô tả cấu hình của thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế;

Fig.8A và Fig.8B là các sơ đồ khối dùng để mô tả cấu hình chi tiết của bộ giải mã BICM thứ nhất theo các phương án làm ví dụ thực hiện sáng chế;

Fig.9 đến Fig.29 là các hình vẽ dùng để mô tả các phương pháp tạo ra bit chẵn lẻ theo các phương án làm ví dụ thực hiện sáng chế;

Fig.30A và Fig.30B là các sơ đồ khối dùng để mô tả cấu hình chi tiết của thiết bị thu tín hiệu theo các phương án làm ví dụ thực hiện sáng chế; và

Fig.31 là lưu đồ dùng để mô tả phương pháp xử lý tín hiệu theo phương án làm ví dụ thực hiện sáng chế.

Mô tả chi tiết sáng chế

Các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả chi tiết dưới đây dựa vào các hình vẽ kèm theo.

Trong phần mô tả sáng chế dưới đây, các số chỉ dẫn giống nhau được dùng để thể hiện các bộ phận giống nhau trên các hình vẽ khác nhau. Những thông tin chi tiết được nêu trong phần mô tả sáng chế, như cấu trúc và các bộ phận chi tiết, được dùng để giúp cho người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng hiểu rõ về các phương án làm ví dụ thực hiện sáng chế. Vì vậy, rõ ràng là, các phương án làm ví dụ có thể được thực hiện mà không cần dùng đến những thông tin chi tiết cụ thể đó. Ngoài ra, trong sáng chế sẽ không mô tả chi tiết các chức năng hoặc cấu trúc đã biết do sẽ làm mờ các phương án làm ví dụ thực hiện sáng chế vì những chi tiết không cần thiết.

Theo phương án làm ví dụ thực hiện sáng chế, thiết bị thu tín hiệu có thể thu tín hiệu, là tín hiệu mã hoá chồng chập, được tạo ra bằng cách mã hoá chồng chập ở thiết bị truyền tín hiệu, và tạo ra (tức là khôi phục) tín hiệu trước khi mã hoá chồng chập tương ứng.

Thuật ngữ "mã hoá chồng chập" như được sử dụng trong sáng chế dùng để chỉ phương pháp mã hoá để chồng chập hoặc xếp chồng các tín hiệu chứa dữ liệu giống nhau hoặc khác nhau với công suất khác nhau. Ví dụ, tín hiệu có công suất tương đối lớn có thể tạo nên tầng cao hơn, trong khi tín hiệu có công suất tương đối nhỏ có thể tạo nên tầng cơ bản.

Thiết bị truyền tín hiệu để tạo ra và truyền tín hiệu mã hoá chồng chập có thể được

biểu diễn như được thể hiện trên Fig.1.

Dựa vào Fig.1, thiết bị truyền tín hiệu 100 có thể bao gồm bộ mã hoá điều biến mã hoá đan xen bit (BICM) thứ nhất 110 gồm có bộ mã hoá thứ nhất 111, bộ đan xen thứ nhất 112 và bộ ánh xạ thứ nhất 113 (hoặc bộ ánh xạ chòm điểm) để mã hoá và đan xen dòng tín hiệu A, và sau đó, ánh xạ dòng tín hiệu đã được mã hoá và đan xen A lên các điểm trong chòm điểm. Thiết bị truyền tín hiệu 100 cũng có thể bao gồm bộ mã hoá BICM thứ hai 120 gồm có bộ mã hoá thứ hai 121, bộ đan xen thứ hai 122 và bộ ánh xạ thứ hai 123 để mã hoá và đan xen dòng tín hiệu B, và sau đó, ánh xạ dòng tín hiệu đã được mã hoá và đan xen B lên các điểm trong chòm điểm.

Trong ví dụ nêu trên, mỗi bộ mã hoá trong số bộ mã hoá thứ nhất 111 và bộ mã hoá thứ hai 121 có thể có bộ mã hoá Bose, Chaudhri, Hocquenghem (BCH) (không được thể hiện trên hình vẽ), bộ mã hoá kiểm dư vòng (CRC) (không được thể hiện trên hình vẽ) và bộ mã hoá kiểm tra chẵn lẻ mật độ thấp (LDPC) (không được thể hiện trên hình vẽ) để lần lượt thực hiện thao tác mã hoá BCH, thao tác mã hoá CRC và thao tác mã hoá LDPC. Theo lựa chọn, mỗi bộ mã hoá trong số bộ mã hoá thứ nhất 111 và bộ mã hoá thứ hai 121 có thể chỉ có một bộ mã hoá trong số bộ mã hoá BCH và bộ mã hoá CRC, ngoài bộ mã hoá LDPC.

Trong đó, giả sử rằng mã BCH, mã CRC và mã LDPC là mã có hệ thống, từ thông tin (còn được gọi là "các bit từ thông tin" hoặc "các bit thông tin") có thể nằm ở trong từ mã tương ứng.

Có nghĩa là, bộ mã hoá BCH có thể thực hiện thao tác mã hoá BCH trên các bit đầu vào (tức là, các bit (hoặc phần dữ liệu hữu ích) dự định sẽ được truyền bằng thiết bị truyền tín hiệu 100 ở dạng dòng tín hiệu A và dòng tín hiệu B trong ví dụ được thể hiện trên Fig.1) dưới dạng là từ thông tin BCH để tạo ra bit chẵn lẻ BCH (hoặc các bit chẵn lẻ), và xuất ra từ mã BCH gồm có từ thông tin BCH và bit chẵn lẻ BCH để cung cấp cho bộ mã hoá LDPC (không được thể hiện trên hình vẽ).

Theo cách khác, bộ mã hoá CRC có thể thực hiện thao tác mã hoá CRC trên các bit đầu vào dưới dạng là từ thông tin CRC để tạo ra bit chẵn lẻ CRC (hoặc các bit chẵn lẻ), và xuất ra từ mã CRC gồm có từ thông tin CRC và bit chẵn lẻ CRC để cung cấp cho bộ mã hoá LDPC (không được thể hiện trên hình vẽ).

Bộ mã hoá LDPC có thể thực hiện thao tác mã hoá LDPC trên từ mã BCH hoặc từ mã CRC dưới dạng là từ thông tin LDPC để tạo ra bit chẵn lẻ LDPC, và xuất ra từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC để cung cấp cho bộ đan xen thứ nhất 112 hoặc bộ đan xen thứ hai 122.

Từ mã LDPC được tạo ra bằng cách mã hoá như đã nêu trên có thể được biểu diễn như được thể hiện trên Fig.2A và Fig.2B.

Ví dụ, từ mã LDPC có thể ở dạng là các bit đầu vào có bổ sung thêm bit chẵn lẻ BCH và bit chẵn lẻ LDPC, như được thể hiện trên Fig.2A, hoặc ở dạng là các bit đầu vào có bổ sung thêm bit chẵn lẻ CRC và bit chẵn lẻ LDPC, như được thể hiện trên Fig.2B.

Trong đó, thông qua bộ điều khiển hệ số khuếch đại ở tầng cơ bản 130, thiết bị truyền tín hiệu 100 có thể điều chỉnh hệ số khuếch đại (tức là, công suất) của tín hiệu được xuất ra từ bộ mã hoá BICM thứ hai 120, và sau đó, chồng chập tín hiệu được chồng chập này lên tín hiệu được xuất ra từ bộ mã hoá BICM thứ nhất 110 để tạo ra tín hiệu mã hoá chồng chập.

Ngoài ra, thông qua bộ điều khiển hệ số khuếch đại 140, thiết bị truyền tín hiệu 100 có thể điều chỉnh hệ số khuếch đại của tín hiệu mã hoá chồng chập, và sau đó, đan xen các điểm trong chòm điểm (tức là, các ô), mà tín hiệu mã hoá chồng chập được ánh xạ lên đó, ở bộ đan xen theo thời gian 150, ánh xạ các ô đã đan xen ở bộ truyền tín hiệu dồn kênh phân tần trực giao (Orthogonal Frequency-Division Multiplexing, OFDM) 160, và truyền kết quả thu được đến thiết bị thu tín hiệu 1000 (không được thể hiện trên hình vẽ).

Trong đó, chòm điểm của tín hiệu mã hoá chồng chập có thể được biểu diễn như được thể hiện trên Fig.3, theo phương án làm ví dụ thực hiện sáng chế.

Fig.3 là hình vẽ thể hiện ví dụ trong đó tín hiệu tương ứng với tầng cao hơn được điều biến theo phương pháp điều biến dịch pha vuông góc (Quadrature Phase Shift Keying, QPSK), và tín hiệu tương ứng với tầng cơ bản được điều biến theo phương pháp điều biến biên độ vuông góc có 64 mức (64-level Quadrature Amplitude Modulation, 64-QAM).

Dựa vào Fig.3, các điểm trong chòm điểm của tín hiệu tương ứng với tầng cơ bản có công suất tương đối nhỏ được chồng chập lên các điểm trong chòm điểm của tín hiệu

tương ứng với tầng cao hơn có công suất tương đối lớn.

Trong đó, xét về mặt công suất, tín hiệu mã hoá chồng chập có thể được biểu diễn như được thể hiện trên Fig.4.

Dựa vào Fig.4, cần lưu ý rằng tín hiệu tương ứng với tầng cao hơn có công suất cao hơn so với tín hiệu tương ứng với tầng cơ bản khoảng 5 dB, trên dải thông của kênh tần số vô tuyến (Radio Frequency, RF).

Trong đó, các bộ mã hoá 111, 121 của thiết bị truyền tín hiệu 100 thực hiện thao tác mã hoá LDPC là quy trình tạo ra bit chẵn lẻ LDPC thoả mãn biểu thức $H \cdot C^T = 0$ đối với từ thông tin LDPC. Trong đó, H là ma trận kiểm tra chẵn lẻ, và từ mã LDPC là $C = (c_0, c_1, \ldots, c_{N_{ldpc}-2}, c_{N_{ldpc}-1})$, trong đó, N_{ldpc} là độ dài của từ mã LDPC. Do đó, quy trình này là để tạo ra bit chẵn lẻ LDPC trong đó tổng của tích của các cột tương ứng trong ma trận kiểm tra chẵn lẻ nhân với các bit từ mã LDPC trong từ mã LDPC (c_i ($i = 0, 1, \ldots, N_{ldpc}-1$)) tạo ra vectơ '0'. Thuật ngữ "tổng" như được sử dụng dưới đây dùng để chỉ phép toán nhị phân. Theo phép toán nhị phân này, $1 \oplus 1$ bằng 0, $1 \oplus 0$ bằng 1, $0 \oplus 1$ bằng 1, và $0 \oplus 0$ bằng 0.

Đối với quy trình nêu trên, thiết bị truyền tín hiệu 100 có thể lưu trữ từ trước thông tin về các dạng khác nhau của ma trận kiểm tra chẵn lẻ, bằng cách sử dụng bộ nhớ (không được thể hiện trên hình vẽ).

Cấu trúc của ma trận kiểm tra chẵn lẻ theo các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả dưới đây dựa vào các hình vẽ kèm theo. Trong ma trận kiểm tra chẵn lẻ được mô tả dưới đây, các phần tử nếu không phải là có giá trị bằng 1 thì đều có giá trị bằng 0.

Ví dụ, ma trận kiểm tra chẵn lẻ theo phương án làm ví dụ thực hiện sáng chế có thể có cấu trúc như được thể hiện trên Fig.5.

Dựa vào Fig.5, ma trận kiểm tra chẵn lẻ 10 có thể gồm có ma trận con từ thông tin 11 là ma trận con tương ứng với từ thông tin LDPC, và ma trận con chẵn lẻ 12 là ma trận con tương ứng với bit chẵn lẻ LDPC.

Số lượng cột của ma trận kiểm tra chẵn lẻ 10 bằng độ dài N_{ldpc} của từ mã LDPC, số lượng cột của ma trận con từ thông tin 11 bằng độ dài K_{ldpc} của từ thông tin LDPC, và số lượng cột của ma trận con chẵn lẻ 12 bằng độ dài ($N_{parity} = N_{ldpc} - K_{ldpc}$) của bit chẵn lẻ LDPC. Trong đó, số lượng hàng của ma trận kiểm tra chẵn lẻ 10 bằng số lượng cột của ma trận con chẵn lẻ 12.

Trong đó, ma trận con từ thông tin 11 là ma trận có K_{ldpc} cột (tức là, K_{ldpc} cột từ cột thứ 0 đến cột thứ (K_{ldpc}–1)) và tuân thủ các quy tắc sau đây.

Thứ nhất, K_{ldpc} cột của ma trận con từ thông tin 11 được phân chia ra thành các nhóm có M cột, tức là, được phân chia ra thành tổng số K_{ldpc}/M nhóm cột. Các cột thuộc cùng một nhóm cột có mối quan hệ sao cho mỗi cột so với cột liền trước hoặc cột liền sau sẽ có khoảng cách dịch chuyển tuần hoàn bằng Q_{ldpc}.

Như được sử dụng trong sáng chế, M là khoảng lặp lại của mẫu cột trong ma trận con từ thông tin 11, và Q_{ldpc} là khoảng cách dịch chuyển tuần hoàn của mỗi cột hoặc là số hàng trong ma trận con từ thông tin 11. M là ước số chung của N_{ldpc} và K_{ldpc}, và được xác định sao cho thoả mãn biểu thức $Q_{ldpc} = (N_{ldpc} - K_{ldpc})/M$. Như được sử dụng trong sáng chế, M và Q_{ldpc} là các số nguyên, và K_{ldpc}/M cũng là số nguyên. Trong đó, M và Q_{ldpc} có thể có các giá trị khác nhau tuỳ theo độ dài của từ mã LDPC và tỷ lệ mã hoá.

Thứ hai, nếu bậc của cột thứ 0 trong nhóm cột thứ i^{th} (i = 0, 1, …, K_{ldpc}/M–1) (trong đó, "bậc" là số lượng giá trị 1 có mặt trong cột, và tất cả các cột trong cùng một nhóm cột đều có cùng một bậc) là D_i, và vị trí (hoặc chỉ số) của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i là $R_{i,0}^{(0)}, R_{i,0}^{(1)}, \mathrm{K}, R_{i,0}^{(D_i-1)}$, thì chỉ số $R_{i,j}^{(k)}$ của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i được xác định theo biểu thức dưới đây:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + Q_{ldpc} \bmod (N_{ldpc} - K_{ldpc}) \quad (1)$$

trong đó k = 0, 1, 2, …, D_i–1; i = 0, 1, …, K_{ldpc}/M–1; j = 1, 2, …, M–1.

Trong đó, biểu thức toán học 1 có thể được biểu diễn tương đương dưới dạng biểu thức toán học 2 dưới đây:

$$R_{i,j}^{(k)} = (R_{i,0}^{(k)} + (j \bmod M) \times Q_{ldpc}) \bmod (N_{inner} - K_{ldpc}) \quad (2)$$

trong đó k = 0, 1, 2, …, D_i–1; i = 0, 1, …, K_{ldpc}/M–1; j = 1, 2, …, M–1. Vì j = 1,

2, …, M–1, cho nên trong biểu thức toán học 2, (j mod M) có thể được coi là bằng j.

Trong các biểu thức toán học nêu trên, $R_{i,j}^{(k)}$ là chỉ số của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i, N_{ldpc} là độ dài của từ mã LDPC, K_{ldpc} là độ dài của từ thông tin (tức là, các bit thông tin), D_i là bậc của các cột thuộc nhóm cột thứ i, M là số lượng cột trong một nhóm cột, và Q_{ldpc} là khoảng cách dịch chuyển tuần hoàn của mỗi cột hoặc số lượng hàng.

Do đó, dựa vào các biểu thức toán học nêu trên, nếu biết giá trị $R_{i,0}^{(k)}$, thì có thể xác định được chỉ số $R_{i,j}^{(k)}$ của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i. Vì vậy, khi đã lưu trữ giá trị chỉ số của hàng có chứa giá trị 1 thứ k trong cột thứ 0 của các nhóm cột tương ứng, thì có thể xác định được vị trí của các cột và các hàng có chứa giá trị 1 trong ma trận kiểm tra chẵn lẻ 10 với cấu trúc như được thể hiện trên Fig.5 (tức là, trong ma trận con từ thông tin 11 của ma trận kiểm tra chẵn lẻ 10).

Ví dụ, khi độ dài N_{ldpc} của từ mã LDPC bằng 16200, tỷ lệ mã hoá bằng 9/15, và M bằng 360, thì chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con từ thông tin 11 được xác định như sau.

Bảng 1

i	Chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i
0	71 1478 1901 2240 2649 2725 3592 3708 3965 4080 5733 6198
1	393 1384 1435 1878 2773 3182 3586 5465 6091 6110 6114 6327
2	160 1149 1281 1526 1566 2129 2929 3095 3223 4250 4276 4612
3	289 1446 1602 2421 3559 3796 5590 5750 5763 6168 6271 6340
4	947 1227 2008 2020 2266 3365 3588 3867 4172 4250 4865 6290
5	3324 3704 4447
6	1206 2565 3089
7	529 4027 5891
8	141 1187 3206
9	1990 2972 5120
10	752 796 5976
11	1129 2377 4030
12	6077 6108 6231
13	61 1053 1781
14	2820 4109 5307
15	2088 5834 5988
16	3725 3945 4010
17	1081 2780 3389
18	659 2221 4822
19	3033 6060 6160
20	756 1489 2350
21	3350 3624 5470
22	357 1825 5242
23	585 3372 6062
24	561 1417 2348
25	971 3719 5567
26	1005 1675 2062

Khi đã xác định được vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i như được thể hiện trên đây, thì có thể xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột bằng cách dịch chuyển tuần hoàn với

khoảng cách Q_{ldpc}.

Ví dụ, dựa vào bảng 1, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con từ thông tin 11, giá trị 1 nằm ở các hàng 71, 1478, 1901, và v.v..

Theo ví dụ này, $Q_{ldpc} = (N_{ldpc} - K_{ldpc})/M = (16200 - 9720)/360 = 18$, cho nên chỉ số của các hàng có chứa giá trị 1 trong cột thứ 1 của nhóm cột thứ 0 sẽ là 89 (= 71+18), 1496 (= 1478+18), 1919 (= 1901+18), ..., và chỉ số của các hàng có chứa giá trị 1 trong cột thứ 2 của nhóm cột thứ 0 có thể là 107 (= 89+18), 1514 (= 1496+18), 1937 (= 1919+18), và v.v..

Chỉ số của các hàng có chứa giá trị 1 trong tất cả các hàng của các nhóm cột tương ứng có thể được xác định theo cách nêu trên.

Trong đó, ma trận con chẵn lẻ 12 là ma trận con có $N_{ldpc} - K_{ldpc}$ cột (tức là, từ cột thứ K_{ldpc} đến cột thứ $(N_{ldpc}-1)$), và có cấu trúc ma trận hai đường chéo hoặc dạng bậc thang. Do đó, bậc của các cột còn lại trừ cột cuối cùng (tức là, cột thứ $N_{ldpc}-1$) trong số các cột ở trong ma trận con chẵn lẻ 12 đều bằng 2. Bậc của cột cuối cùng bằng 1.

Do đó, bộ mã hoá LDPC (không được thể hiện trên hình vẽ) của thiết bị truyền tín hiệu 100 có thể tạo ra từ mã LDPC bằng cách thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ như được thể hiện trên Fig.5.

Theo ví dụ này, trong từ mã LDPC $C = (c_0, c_1, \ldots, c_{N_{ldpc}-2}, c_{N_{ldpc}-1}) = (i_0, i_1, \ldots, i_{K_{ldpc}-2}, i_{K_{ldpc}-1}, p_0, p_1, \ldots, p_{N_{ldpc}-K_{ldpc}-2}, p_{N_{ldpc}-K_{ldpc}-1})$, từ thông tin LDPC $(i_0, i_1, \ldots, i_{K_{ldpc}-2}, i_{K_{ldpc}-1})$ tương ứng với ma trận con từ thông tin 11 và bit chẵn lẻ LDPC $(p_0, p_1, \ldots, p_{N_{ldpc}-K_{ldpc}-2}, p_{N_{ldpc}-K_{ldpc}-1})$ tương ứng với ma trận kiểm tra chẵn lẻ 12.

Trong đó, N_{ldpc} là độ dài của từ mã LDPC, K_{ldpc} là độ dài của từ thông tin LDPC, và $N_{ldpc} - K_{ldpc}$ là độ dài của các bit chẵn lẻ LDPC.

Ví dụ khác, ma trận kiểm tra chẵn lẻ theo phương án làm ví dụ thực hiện sáng chế có thể có cấu trúc như được thể hiện trên Fig.6.

Dựa vào Fig.6, ma trận kiểm tra chẵn lẻ 20 có thể gồm có năm ma trận con A, B, C, Z và D. Cấu trúc của các ma trận con tương ứng sẽ được mô tả dưới đây để biết rõ cấu

trúc của ma trận kiểm tra chẵn lẻ 20.

Trước hết, các thông số liên quan đến ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.6, tức là, M_1, M_2, Q_1 và Q_2, có thể được xác định theo độ dài của từ mã LDPC và tỷ lệ mã hoá bằng nhiều cách khác nhau. Ví dụ, khi độ dài N của từ mã LDPC bằng 16200, và tỷ lệ mã hoá bằng 4/15, thì có thể xác định được là $M_1 = 1080$, $M_2 = 10800$, $Q_1 = 3$, và $Q_2 = 30$.

Các ma trận con A và C là ma trận con có các phần tử ma trận tương ứng với từ thông tin LDPC của từ mã LDPC. Ma trận con A có thể là ma trận con từ thông tin thứ nhất và ma trận con C có thể là ma trận con từ thông tin thứ hai.

Cụ thể, ma trận con A gồm có K cột và g hàng, và ma trận con C gồm có K+g cột và N–K–g hàng, trong đó, K là độ dài của từ thông tin LDPC (các bit thông tin LDPC), và N là độ dài của từ mã LDPC. Ngoài ra, g là độ dài của các bit chẵn lẻ LDPC thứ nhất, và N–K–g là độ dài của các bit chẵn lẻ LDPC thứ hai.

Trong đó, chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong các ma trận con A và C có thể được xác định, ví dụ, dựa vào bảng 2 dưới đây. Trong ví dụ này, số lượng cột trong cùng một nhóm cột, tức là, khoảng lặp lại của mẫu cột trong các ma trận con A và C tương ứng, có thể bằng 360.

Ví dụ, khi độ dài N của từ mã LDPC bằng 16200, và tỷ lệ mã hoá bằng 4/15, thì chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong các ma trận con A và C có thể được xác định như sau.

Bảng 2

i	Chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i
0	19 585 710 3241 3276 3648 6345 9224 9890 10841
1	181 494 894 2562 3201 4382 5130 5308 6493 10135
2	150 569 919 1427 2347 4475 7857 8904 9903
3	1005 1018 1025 2933 3280 3946 4049 4166 5209
4	420 554 778 6908 7959 8344 8462 10912 11099
5	231 506 859 4478 4957 7664 7731 7908 8980
6	179 537 979 3717 5092 6315 6883 9353 9935
7	147 205 830 3609 3720 4667 7441 10196 11809
8	60 1021 1061 1554 4918 5690 6184 7986 11296
9	145 719 768 2290 2919 7272 8561 9145 10233
10	388 590 852 1579 1698 1974 9747 10192 10255
11	231 343 485 1546 3155 4829 7710 10394 11336
12	4381 5398 5987 9123 10365 11018 11153
13	2381 5196 6613 6844 7357 8732 11082
14	1730 4599 5693 6318 7626 9231 10663

Trong đó, mặc dù ví dụ trên đây thể hiện độ dài của từ mã LDPC bằng 16200 và tỷ lệ mã hoá bằng 4/15, nhưng đây chỉ là một trong số nhiều ví dụ khác nhau. Do đó, chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong các ma trận con A và C có thể được xác định theo nhiều cách khác nhau khi độ dài của từ mã LDPC bằng 64800 hoặc khi tỷ lệ mã hoá có giá trị khác.

Vị trí có chứa giá trị 1 trong các ma trận con A và C sẽ được mô tả dưới đây để làm ví dụ dựa vào bảng 2.

Trong bảng 2, độ dài N của từ mã LDPC bằng 16200 và tỷ lệ mã hoá bằng 4/15, trong trường hợp như vậy, ma trận kiểm tra chẵn lẻ 20 có thể có $M_1 = 1080$, $M_2 = 10800$, $Q_1 = 3$, và $Q_2 = 30$.

Trong đó, Q_1 là khoảng cách dịch chuyển tuần hoàn của các cột trong cùng một nhóm cột trong ma trận con A, và Q_2 là khoảng cách dịch chuyển tuần hoàn của các cột trong cùng một nhóm cột trong ma trận con C.

Ngoài ra, $Q_1 = M_1/L$, $Q_2 = M_2/L$, $M_1 = g$, $M_2 = N–K–g$, và L là ví dụ về khoảng lặp lại (ví dụ bằng 360 cột) của mẫu cột trong mỗi ma trận con A và C.

Trong đó, trong mỗi ma trận con A và C, chỉ số của các hàng có chứa giá trị 1 có thể được xác định dựa vào M_1.

Ví dụ, căn cứ trên thực tế là $M_1 = 1080$, vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con A có thể được xác định dựa vào các giá trị nhỏ hơn 1080 trong số các giá trị chỉ số trong bảng 2, và vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con C có thể được xác định dựa vào các giá trị bằng hoặc lớn hơn 1080 trong số các giá trị chỉ số trong bảng 2.

Cụ thể, dãy "19, 585, 710, 3241, 3276, 3648, 6345, 9224, 9890, 10841" tương ứng với nhóm cột thứ 0 trong bảng 2. Do đó, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con A, giá trị 1 có thể lần lượt nằm ở hàng thứ 19, hàng thứ 585, hàng thứ 710, và trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con C, giá trị 1 có thể lần lượt nằm ở hàng thứ 3241, hàng thứ 3276, hàng thứ 3648, hàng thứ 6345, hàng thứ 9224, hàng thứ 9890, và hàng thứ 10841, tính từ hàng thứ 0 trong ma trận con A.

Trong đó, trong ví dụ về ma trận con A, khi đã xác định được vị trí của các giá trị 1 trong cột thứ 0 của mỗi nhóm cột, thì có thể xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột dựa vào khoảng cách dịch chuyển tuần hoàn Q_1. Trong ví dụ về ma trận con C, khi đã xác định được vị trí của các giá trị 1 trong cột thứ 0 của mỗi nhóm cột, thì có thể xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột dựa vào khoảng cách dịch chuyển tuần hoàn Q_2.

Trong ví dụ nêu trên, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận A, giá trị 1 có thể nằm ở hàng thứ 19, hàng thứ 585, và hàng thứ 710. Trong ví dụ này, $Q_1 = 3$, cho nên chỉ số của các hàng có chứa giá trị 1 trong cột thứ 1 của nhóm cột thứ 0 có thể là 22 (= 19+3), 588 (= 585+3), và 713 (= 710+3), và chỉ số của các hàng có chứa giá trị 1 trong cột thứ 2 của nhóm cột thứ 0 có thể là 25 (= 22+3), 591 (= 588+3), và 716 (= 713+3).

Trong đó, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận C, giá trị 1 có thể nằm ở hàng thứ 3241, hàng thứ 3276, hàng thứ 3648, hàng thứ 6345, hàng thứ 9224, hàng thứ 9890, và hàng thứ 10841. Theo ví dụ này, $Q_2 = 30$, cho nên chỉ số của các hàng có chứa

giá trị 1 trong cột thứ 1 của nhóm cột thứ 0 có thể là 3271 (= 3241+30), 3306 (= 3276+30), 3678 (= 3648+30), 6375 (= 6345+30), 9254 (= 9224+30), 9920 (= 9890+30), và 10871 (= 10841+30), chỉ số của các hàng có chứa giá trị 1 trong cột thứ 2 của nhóm cột thứ 0 có thể là 3301 (= 3271+30), 3336 (= 3306+30), 3708 (= 3678+30), 6405 (= 6375+30), 9284 (= 9254+30), 9950 (= 9920+30), và 10901 (= 10871+30).

Theo cách được mô tả trên đây, vị trí của các hàng có chứa giá trị 1 trong tất cả các nhóm cột trong ma trận con A và ma trận con C có thể được xác định.

Trong đó, mỗi ma trận con B và D là một ma trận con tương ứng với các bit chẵn lẻ LDPC thứ nhất và thứ hai. Ma trận con B có thể được coi là ma trận con chẵn lẻ thứ nhất và ma trận con D có thể được coi là ma trận con chẵn lẻ thứ hai.

Cụ thể, ma trận con B, có cấu trúc ma trận hai đường chéo hoặc dạng bậc thang, có g cột và g hàng, và ma trận con D, là ma trận đơn vị (tức là, ma trận con D là ma trận đơn vị), có N–K–g cột và N–K–g hàng.

Ngoài ra, ma trận con Z, là ma trận không, có N–K–g cột và g hàng.

Do đó, cấu trúc của ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.6 có thể được xác định dựa vào các ma trận con A, B, C, D và Z.

Do đó, bộ mã hoá LDPC (không được thể hiện trên hình vẽ) của thiết bị truyền tín hiệu 100 có thể tạo ra từ mã LDPC bằng cách thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.6.

Theo ví dụ này, trong từ mã LDPC $C = (c_0, c_1, \ldots, c_{N_{ldpc}-2}, c_{N-1}) = (i_0, i_1, \ldots, i_{K-2}, i_{K-1}, p_0, p_1, \ldots, p_{g-2}, p_{g-1}, p_0', p_1', \ldots, p_{N-k-g-2}, p_{N-k-g-1})$, các bit chẵn lẻ LDPC thứ nhất $(p_0, p_1, \ldots, p_{g-2}, p_{g-1})$ tương ứng với ma trận con chẵn lẻ thứ nhất (tức là, ma trận con B), và các bit chẵn lẻ LDPC thứ hai $(p_0', p_1', \ldots, p_{N-k-g-2}, p_{N-k-g-1})$ tương ứng với ma trận con chẵn lẻ thứ hai (tức là, ma trận con D).

Trong đó, ma trận kiểm tra chẵn lẻ 20 có cấu trúc như được thể hiện trên Fig.6 có thể được coi là dạng kết hợp của các ma trận kiểm tra chẵn lẻ với hai cấu trúc khác nhau.

Có nghĩa là, ma trận kiểm tra chẵn lẻ 20 có thể được coi là dạng kết hợp của ma trận kiểm tra chẵn lẻ thứ nhất gồm có các ma trận con A và B và ma trận kiểm tra chẵn lẻ thứ

hai gồm có các ma trận con C và D. Nói cách khác, ma trận kiểm tra chẵn lẻ 20 có thể gồm có ma trận con chẵn lẻ là ma trận hai đường chéo, và ma trận con chẵn lẻ là ma trận đơn vị.

Trong đó, thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế có thể thu tín hiệu mã hoá chồng chập nêu trên, và tạo ra tín hiệu thứ nhất và tín hiệu thứ hai từ tín hiệu mã hoá chồng chập này. Tín hiệu thứ nhất tương ứng với tầng cao hơn, và tín hiệu thứ hai tương ứng với tầng cơ bản như đã nêu trên.

Fig.7 là sơ đồ khối dùng để mô tả cấu hình của thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.7, thiết bị thu tín hiệu 1000 có thể bao gồm bộ giải mã BICM thứ nhất 200, bộ tạo bit chẵn lẻ 300 và bộ giải mã BICM thứ hai 400.

Bộ giải mã BICM thứ nhất 200 có thể xử lý tín hiệu mã hoá chồng chập và tạo ra tín hiệu thứ nhất. Trong đó, tín hiệu thứ nhất có thể tương ứng với tầng cao hơn.

Nhằm mục đích này, như được thể hiện trên Fig.8A, bộ giải mã BICM thứ nhất 200 có thể bao gồm bộ khử ánh xạ thứ nhất 210, bộ khử đan xen thứ nhất 220, bộ giải mã LDPC thứ nhất 230 và bộ giải mã BCH thứ nhất 240, hoặc như được thể hiện trên Fig.8B, bộ giải mã BICM thứ nhất 200 có thể bao gồm bộ khử ánh xạ thứ nhất 210, bộ khử đan xen thứ nhất 220, bộ giải mã LDPC thứ nhất 230 và bộ giải mã CRC thứ nhất 250.

Bộ khử ánh xạ thứ nhất 210 thực hiện thao tác giải điều biến trên tín hiệu mã hoá chồng chập.

Cụ thể, bộ khử ánh xạ thứ nhất 210 giải điều biến cho tín hiệu mã hoá chồng chập để tạo ra giá trị tỷ số hợp lý dạng loga (Log Likelihood Ratio, LLR), và cung cấp giá trị LLR này cho bộ khử đan xen thứ nhất 220.

Trong ví dụ nêu trên, bộ khử ánh xạ thứ nhất 210 có thể thực hiện thao tác giải điều biến trên tín hiệu mã hoá chồng chập dựa vào phương pháp điều biến được áp dụng cho tín hiệu thứ nhất tương ứng với tầng cao hơn. Ví dụ, khi thiết bị truyền tín hiệu 100 điều biến tín hiệu thứ nhất tương ứng với tầng cao hơn bằng phương pháp điều biến QPSK, thì bộ khử ánh xạ thứ nhất 210 có thể giải điều biến cho tín hiệu mã hoá chồng chập bằng phương pháp điều biến QPSK.

Trong đó, giá trị LLR có thể là giá trị loga của tỷ số giữa xác suất để cho bit được truyền từ thiết bị truyền tín hiệu 100 bằng 0 và xác suất để cho bit đó bằng 1. Theo cách khác, giá trị LLR có thể là giá trị tiêu biểu được xác định theo phần có xác suất mà bit truyền từ thiết bị truyền tín hiệu 100 có giá trị bằng 0 hay 1.

Bộ khử đan xen thứ nhất 220 khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ nhất 210.

Cụ thể, bộ khử đan xen thứ nhất 220 có cấu hình tương ứng với cấu hình của bộ đan xen thứ nhất 112 trong thiết bị truyền tín hiệu 100, để đảo ngược thao tác đan xen đã được thực hiện ở bộ đan xen thứ nhất 112, nhờ đó để khử đan xen giá trị LLR và cung cấp giá trị LLR đã được khử đan xen cho bộ giải mã LDPC thứ nhất 230.

Bộ giải mã LDPC thứ nhất 230 giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ nhất 220.

Cụ thể, bộ giải mã LDPC thứ nhất 230 có cấu hình tương ứng với cấu hình của bộ mã hoá LDPC (không được thể hiện trên hình vẽ) của bộ mã hoá BICM thứ nhất 110 trong thiết bị truyền tín hiệu 100, để thực hiện thao tác giải mã LDPC bằng cách sử dụng giá trị LLR đã được khử đan xen, nhờ đó để khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC (các bit chẵn lẻ).

Trong ví dụ này, bộ giải mã LDPC thứ nhất 230 có thể thực hiện nhiều phương pháp khác nhau để giải mã LDPC. Ví dụ, bộ giải mã LDPC thứ nhất 230 có thể thực hiện thao tác giải mã LDPC theo phương pháp giải mã lặp dựa vào thuật toán tổng-tích để xác định các giá trị bit bằng phương pháp quyết định cứng và khôi phục các bit thông tin LDPC của từ mã LDPC.

Trong đó, bộ giải mã LDPC thứ nhất 230 có thể thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ đã được sử dụng ở bộ mã hoá thứ nhất 111 để mã hoá LDPC.

Ví dụ, nếu ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5 đã được sử dụng khi mã hoá LDPC, thì bộ giải mã LDPC thứ nhất 230 có thể thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 10 có cấu trúc như được thể hiện trên Fig.5, nhờ đó để khôi phục từ thông tin LDPC. Có nghĩa là, bộ giải mã LDPC thứ nhất

230 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin 11 và bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ 12 có cấu trúc ma trận hai đường chéo.

Ngoài ra, nếu khi mã hoá LDPC đã sử dụng ma trận kiểm tra chẵn lẻ 20 có cấu trúc như được thể hiện trên Fig.6, thì bộ giải mã LDPC thứ nhất 230 có thể khôi phục từ thông tin LDPC bằng cách thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 20 có cấu trúc như được thể hiện trên Fig.6. Có nghĩa là, bộ giải mã LDPC thứ nhất 230 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin, các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai.

Trong đó, thông tin về ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC có thể được lưu trữ từ trước ở thiết bị thu tín hiệu 1000 hoặc được cung cấp từ thiết bị truyền tín hiệu 100.

Ngoài ra, như được thể hiện trên Fig.8A, bộ giải mã LDPC thứ nhất 230 có thể xuất ra từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để cung cấp cho bộ giải mã BCH thứ nhất 240 hoặc, như được thể hiện trên Fig.8B, bộ giải mã LDPC thứ nhất 230 có thể xuất ra từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để cung cấp cho bộ giải mã CRC thứ nhất 250.

Bộ giải mã BCH thứ nhất 240 giải mã BCH cho tín hiệu đầu ra từ bộ giải mã LDPC thứ nhất 230 và tạo ra tín hiệu thứ nhất. Trong đó, bộ giải mã BCH thứ nhất 240 có cấu hình tương ứng với cấu hình của bộ mã hoá BCH (không được thể hiện trên hình vẽ) của bộ mã hoá BICM thứ nhất 110 trong thiết bị truyền tín hiệu 100.

Cụ thể, vì thông tin LDPC được xuất ra từ bộ giải mã LDPC thứ nhất 230 gồm có từ thông tin BCH và bit chẵn lẻ BCH, cho nên bộ giải mã BCH thứ nhất 240 có thể khôi phục từ thông tin BCH bằng cách hiệu chỉnh lỗi trong từ mã BCH sử dụng bit chẵn lẻ BCH được xuất ra từ bộ giải mã LDPC thứ nhất 230.

Trong đó, bộ giải mã CRC thứ nhất 250 giải mã CRC cho thông tin được xuất ra từ bộ giải mã LDPC thứ nhất 230 và tạo ra tín hiệu thứ nhất. Trong đó, bộ giải mã CRC thứ nhất 250 có cấu hình tương ứng với cấu hình của bộ mã hoá CRC (không được thể hiện

trên hình vẽ) của bộ mã hoá BICM thứ nhất 110.

Cụ thể, vì từ thông tin LDPC được xuất ra từ bộ giải mã LDPC thứ nhất 230 gồm có từ thông tin CRC và bit chẵn lẻ CRC, cho nên bộ giải mã CRC thứ nhất 250 có thể xác định sự xuất hiện lỗi trong từ mã CRC bằng cách thực hiện thao tác giải mã CRC sử dụng bit chẵn lẻ CRC được xuất ra từ bộ giải mã LDPC thứ nhất 230.

Trong đó, từ thông tin BCH và từ thông tin CRC là các bit tạo nên dòng tín hiệu, tức là, các bit dự định sẽ được truyền bằng thiết bị truyền tín hiệu 100, và các bit này có thể tạo nên tín hiệu thứ nhất tương ứng với tầng cao hơn. Ví dụ, bộ giải mã BCH thứ nhất 240 và bộ giải mã CRC thứ nhất 250 có thể xuất ra các bit tạo nên dòng tín hiệu A trên Fig.1.

Quay lại Fig.7, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ để sử dụng khi giải mã ở bộ giải mã BICM thứ hai 400 dựa vào kết quả giải mã ở bộ giải mã BICM thứ nhất 200.

Trong ví dụ này, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ dựa vào ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở bộ mã hoá thứ nhất 111.

Trước hết, khi bộ mã hoá thứ nhất 111 trong thiết bị truyền tín hiệu 100 đã thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ 10 có cấu trúc như được thể hiện trên Fig.5, thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ theo phương pháp như sẽ được mô tả dưới đây. Trong đó, bit chẵn lẻ được tạo ra bằng bộ tạo bit chẵn lẻ 300 là bit chẵn lẻ mới, không phải bit chẵn lẻ được khôi phục bằng bộ giải mã BICM thứ nhất 200, như sẽ được mô tả dưới đây.

Bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 hay không dựa vào kết quả giải mã BCH ở bộ giải mã BCH thứ nhất 240, khi từ mã LDPC có lỗi.

Nhằm mục đích này, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong từ mã LDPC hay không, và cung cấp kết quả xác định cho bộ tạo bit chẵn lẻ 300.

Cụ thể, bộ giải mã LDPC thứ nhất 230 có thể xác định sự xuất hiện lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, sử dụng ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở bộ mã hoá

thứ nhất 111.

Như đã nêu trên, thao tác mã hoá LDPC là thao tác tạo ra từ mã LDPC sao cho thoả mãn biểu thức $H \cdot C^T = 0$.

Do đó, khi không có lỗi trong từ thông tin LDPC hoặc bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230, thì tích của phép nhân từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC với ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC, sẽ phải bằng '0'.

Do đó, bộ giải mã LDPC thứ nhất 230 nhân từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC với ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC, và có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không bằng cách xác định xem tích của phép nhân này có đúng là bằng '0' hay không.

Trong đó, $H \cdot C^T = 0$ gồm có các biểu thức trong đó tổng của các tích thu được khi nhân mỗi cột của ma trận kiểm tra chẵn lẻ với các bit từ mã LDPC có giá trị bằng '0'. Trong đó, mỗi biểu thức được gọi là 'biểu thức kiểm tra chẵn lẻ', và giá trị của phần bên trái của biểu thức kiểm tra chẵn lẻ được gọi là "giá trị triệu chứng LDPC" (hay giá trị triệu chứng kiểm tra chẵn lẻ).

Do đó, để xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, thì từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC được nhân với ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC, và xác định xem tích của phép nhân này có đúng là bằng '0' hay không. Trong đó, quy trình xác định này có thể được gọi là quy trình xác định xem giá trị triệu chứng LDPC có đúng là bằng '0' hay không.

Như đã nêu trên, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không và cung cấp kết quả xác định cho bộ tạo bit chẵn lẻ 300. Do đó, bộ tạo bit chẵn lẻ 300 cũng có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả xác định được cung cấp từ bộ giải mã LDPC thứ nhất 230.

Trong đó, bộ giải mã BCH thứ nhất 240 có thể cung cấp cho bộ tạo bit chẵn lẻ 300 thông tin về sự xuất hiện lỗi trong từ thông tin LDPC và vị trí của các bit có lỗi.

Thông thường, trong khi giải mã BCH, có thể biết chính xác vị trí của các bit đã được hiệu chỉnh lỗi, nếu giải mã BCH thành công và việc hiệu chỉnh lỗi có thể thực hiện được. Ví dụ, trong ví dụ về hệ thống truyền hình kỹ thuật số mặt đất thế hệ thứ 2 (Digital Video Broadcasting-Terrestrial version 2, DVB-T2), trong đó khả năng hiệu chỉnh lỗi trong thao tác giải mã BCH là 12 bit, việc hiệu chỉnh lỗi có thể thực hiện được với tối đa là 12 bit, và còn có thể biết được vị trí của các bit đã được hiệu chỉnh lỗi, tức là, biết được bit nào có lỗi.

Do đó, bộ giải mã BCH thứ nhất 240 thực hiện thao tác giải mã BCH trên từ thông tin LDPC và xác định xem từ thông tin LDPC có lỗi hay không và, nếu có lỗi, thì xác định vị trí của các bit từ thông tin LDPC (dưới đây gọi là "các bit thông tin LDPC") tạo ra lỗi, và cung cấp thông tin về vị trí đã xác định cho bộ tạo bit chẵn lẻ 300.

Do đó, bộ tạo bit chẵn lẻ 300 xác định xem từ thông tin LDPC có lỗi hay không và, nếu có lỗi, thì xác định vị trí của các bit thông tin LDPC tạo ra lỗi, dựa vào thông tin được cung cấp từ bộ giải mã BCH thứ nhất 240.

Kết quả là, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ mã LDPC được khôi phục bằng cách giải mã LDPC hay không dựa vào thông tin được cung cấp từ bộ giải mã LDPC thứ nhất 230, và, nếu xác định rằng từ mã LDPC có lỗi, thì có thể xác định xem từ thông tin LDPC có lỗi hay không và xác định các bit thông tin LDPC tạo ra lỗi, dựa vào thông tin được cung cấp từ bộ giải mã BCH thứ nhất 240.

Trong đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC). Trong đó, bit chẵn lẻ LDPC được tạo ra bằng bộ tạo bit chẵn lẻ 300 được phân biệt với bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC 230. Các bit này có thể là giống nhau hoặc khác nhau.

Các biểu thức IPPC là một phần của các biểu thức kiểm tra chẵn lẻ. Các biểu thức IPPC, và phương pháp tạo ra bit chẵn lẻ LDPC sử dụng các biểu thức IPPC tuỳ thuộc vào trường hợp có lỗi trong từ thông tin LDPC hay không sẽ được mô tả cụ thể dưới đây.

Fig.9 là sơ đồ dùng để mô tả biểu thức IPPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.9, khi ma trận kiểm tra chẵn lẻ là ma trận H 910, các bit chẵn lẻ LDPC thoả mãn biểu thức $H \cdot C^T = 0$ với (i_0, i_1, i_2, i_3, i_4, i_5) là (p_0, p_1, p_2, p_3, p_4, p_5), và theo kết quả mã hoá LDPC, từ mã LDPC C (= i_0, i_1, i_2, i_3, i_4, i_5, p_0, p_1, p_2, p_3, p_4, p_5) (920) có thể được tạo ra.

Trong đó, các biểu thức tương ứng tạo nên biểu thức ma trận $H \cdot C^T = 0$ là các biểu thức kiểm tra chẵn lẻ 930.

Trong đó, vì ma trận kiểm tra chẵn lẻ H 910 gồm có ma trận con từ thông tin 911 và ma trận con chẵn lẻ 912, cho nên các biểu thức kiểm tra chẵn lẻ 930 có thể gồm có các biểu thức được tạo ra dựa vào ma trận con từ thông tin 911 và các biểu thức được tạo ra dựa vào ma trận con chẵn lẻ 912.

Theo ví dụ này, trong các biểu thức kiểm tra chẵn lẻ 930, các biểu thức được tạo ra dựa vào ma trận con từ thông tin 911 có thể được xác định là các biểu thức IPPC 940. Có nghĩa là, các biểu thức IPPC biểu diễn các tổng tương ứng của các bit thông tin LDPC, tương ứng với các cột có chứa giá trị 1, trong các hàng của ma trận con từ thông tin 911.

Ví dụ, trong hàng thứ 0 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột thứ 0 và cột thứ 3 trong số các cột từ cột thứ 0 đến cột thứ 5, biểu thức IPPC cho hàng thứ 0 của ma trận con từ thông tin 911 sẽ là tổng ($i_0 \oplus i_3$) của các bit thông tin LDPC tương ứng với cột thứ nhất và cột thứ tư.

Ngoài ra, trong hàng thứ 1 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột thứ 2 và cột thứ 5, biểu thức IPPC cho hàng thứ 1 của ma trận con từ thông tin 911 sẽ là tổng ($i_2 \oplus i_5$) của các bit thông tin LDPC tương ứng với cột thứ 2 và cột thứ 5.

Ngoài ra, trong hàng thứ 2 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột thứ 0 và cột thứ 4, biểu thức IPPC cho hàng thứ 2 của ma trận con từ thông tin 911 sẽ là tổng ($i_0 \oplus i_4$) của các bit thông tin LDPC tương ứng với cột thứ 0 và cột thứ 4.

Ngoài ra, trong hàng thứ 3 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột

thứ 1 và cột thứ 2, biểu thức IPPC cho hàng thứ 3 của ma trận con từ thông tin 911 sẽ là tổng ($i_1 \oplus i_2$) của các bit thông tin LDPC tương ứng với cột thứ 1 và cột thứ 2.

Ngoài ra, trong hàng thứ 4 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột thứ 3 và cột thứ 4, biểu thức IPPC cho hàng thứ 4 của ma trận con từ thông tin 911 sẽ là tổng ($i_3 \oplus i_4$) của các bit thông tin LDPC tương ứng với cột thứ 3 và cột thứ 4.

Ngoài ra, trong hàng thứ 5 của ma trận con từ thông tin 911 có chứa giá trị 1 ở cột thứ 1 và cột thứ 5, biểu thức IPPC cho hàng thứ 5 của ma trận con từ thông tin 911 sẽ là tổng ($i_1 \oplus i_5$) của các bit thông tin LDPC tương ứng với cột thứ 1 và cột thứ 5.

Trong đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC dưới dạng là các biểu thức IPPC 940.

Nhằm mục đích này, thiết bị thu tín hiệu 1000 có thể lưu trữ từ trước thông tin về các biểu thức IPPC tương ứng với ma trận kiểm tra chẵn lẻ 910 hoặc 1010. Do đó, bộ tạo bit chẵn lẻ 300 có thể tính các giá trị của các biểu thức IPPC bằng cách thay thế các bit thông tin LDPC được khôi phục bằng cách giải mã LDPC hoặc các bit thông tin LDPC được hiệu chỉnh lỗi bằng cách giải mã BCH cho các biểu thức IPPC.

Trước hết, khi các bit thông tin LDPC được khôi phục bằng cách giải mã LDPC không có lỗi, thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC tương ứng với các bit thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC.

Cụ thể, giả sử rằng ma trận con chẵn lẻ 912 là ma trận hai đường chéo, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách cộng các bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC 230 với các giá trị của các biểu thức IPPC theo thứ tự lần lượt.

Phương pháp nêu trên được gọi là "phương pháp mã hoá dựa vào phép cộng sử dụng biểu thức IPPC (hay gọi tắt là phương pháp mã hoá IPPC dựa vào phép cộng)", phương pháp này sẽ được mô tả chi tiết dưới đây dựa vào Fig.10.

Fig.10 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC, theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.10, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC được xác định như được thể hiện trên Fig.9.

Như đã nêu trên, các biểu thức kiểm tra chẵn lẻ được biểu diễn bằng tổng của các biểu thức (tức là, các biểu thức IPPC) được tạo ra dựa vào ma trận con từ thông tin và các biểu thức được tạo ra dựa vào ma trận con chẵn lẻ.

Trong đó, giả sử rằng ma trận con chẵn lẻ là ma trận hai đường chéo, các bit chẵn lẻ LDPC có thể được tính bằng cách cộng giá trị của biểu thức IPPC với (các) bit chẵn lẻ LDPC đã được tính từ trước.

Ví dụ, dựa vào Fig.10, biểu thức kiểm tra chẵn lẻ 1031 được tạo ra bằng cách nhân hàng thứ 0 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_0 \oplus i_3 \oplus p_0 = 0$, cho nên bit chẵn lẻ LDPC p_0 có thể được tính dưới dạng là $p_0 = i_0 \oplus i_3$. Trong đó, giả sử rằng $i_0 \oplus i_3$ là biểu thức IPPC 1041 được tạo ra bằng cách nhân hàng thứ 0 của ma trận con từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_0 bằng giá trị của biểu thức IPPC $t_0 = i_0 \oplus i_3$. Do đó, $p_0 = t_0$ (1051).

Ngoài ra, biểu thức kiểm tra chẵn lẻ 1032 được tạo ra bằng cách nhân hàng thứ 1 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_2 \oplus i_5 \oplus p_0 \oplus p_1 = 0$, cho nên bit chẵn lẻ LDPC p_1 có thể được tính dưới dạng là $p_1 = i_2 \oplus i_5 \oplus p_0$. Trong đó, giả sử rằng $i_2 \oplus i_5$ là biểu thức IPPC 1042 được tạo ra bằng cách nhân hàng thứ 1 của ma trận con từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_1 bằng cách cộng (tức là, cộng nhị phân) bit chẵn lẻ LDPC p_0 với giá trị của biểu thức IPPC $t_1 = i_2 \oplus i_5$. Do đó, $p_1 = t_1 \oplus p_0$ (1052).

Ngoài ra, biểu thức kiểm tra chẵn lẻ 1033 được tạo ra bằng cách nhân hàng thứ 2 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_0 \oplus i_4 \oplus p_1 \oplus p_2 = 0$, cho nên bit chẵn lẻ LDPC p_2 có thể được tính dưới dạng là $p_2 = i_0 \oplus i_4 \oplus p_1$. Trong đó, giả sử rằng $i_0 \oplus i_4$ là biểu thức IPPC 1043 được tạo ra bằng cách nhân hàng thứ 2 của ma trận con

từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_2 bằng cách cộng bit chẵn lẻ LDPC p_1 với giá trị của biểu thức IPPC $t_2 = i_0 \oplus i_4$. Do đó, $p_2 = t_2 \oplus p_1$ (1053).

Ngoài ra, biểu thức kiểm tra chẵn lẻ 1034 được tạo ra bằng cách nhân hàng thứ 3 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_1 \oplus i_2 \oplus p_2 \oplus p_3 = 0$, cho nên bit chẵn lẻ LDPC p_3 có thể được tính dưới dạng là $p_3 = i_1 \oplus i_2 \oplus p_2$. Trong đó, giả sử rằng $i_1 \oplus i_2$ là biểu thức IPPC 1044 được tạo ra bằng cách nhân hàng thứ 3 của ma trận con từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_3 bằng cách cộng bit chẵn lẻ LDPC p_2 với giá trị của biểu thức IPPC $t_3 = i_1 \oplus i_2$. Do đó, $p_3 = t_3 \oplus p_2$ (1054).

Ngoài ra, biểu thức kiểm tra chẵn lẻ 1035 được tạo ra bằng cách nhân hàng thứ 4 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_3 \oplus i_4 \oplus p_3 \oplus p_4 = 0$, cho nên bit chẵn lẻ LDPC p_4 có thể được tính dưới dạng là $p_4 = i_3 \oplus i_4 \oplus p_3$. Trong đó, giả sử rằng $i_3 \oplus i_4$ là biểu thức IPPC 1045 được tạo ra bằng cách nhân hàng thứ 4 của ma trận con từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_4 bằng cách cộng bit chẵn lẻ LDPC p_3 với giá trị của biểu thức IPPC $t_4 = i_3 \oplus i_4$. Do đó, $p_4 = t_4 \oplus p_3$ (1055).

Ngoài ra, biểu thức kiểm tra chẵn lẻ 1036 được tạo ra bằng cách nhân hàng thứ 5 của ma trận kiểm tra chẵn lẻ 1010 với các bit từ mã LDPC 1020 là $i_1 \oplus i_5 \oplus p_4 \oplus p_5 = 0$, cho nên bit chẵn lẻ LDPC p_5 có thể được tính dưới dạng là $p_5 = i_1 \oplus i_5 \oplus p_4$. Trong đó, giả sử rằng $i_1 \oplus i_5$ là biểu thức IPPC 1046 được tạo ra bằng cách nhân hàng thứ 5 của ma trận con từ thông tin với các bit thông tin LDPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_5 bằng cách cộng bit chẵn lẻ LDPC p_4 với các giá trị của biểu thức IPPC $t_5 = i_1 \oplus i_5$. Do đó, $p_5 = t_5 \oplus p_4$ (1056).

Như đã nêu trên, giả sử rằng ma trận con chẵn lẻ là ma trận hai đường chéo, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách cộng các bit chẵn lẻ LDPC tạo nên bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC 230, với các giá trị của các biểu thức IPPC.

Trong đó, khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, thì bộ tạo bit chẵn lẻ 300 có thể xác định, dựa vào kết quả giải mã BCH, vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC tương ứng với bit tạo ra lỗi, và tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC.

Trong ví dụ nêu trên, bộ tạo bit chẵn lẻ 300 có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC, dựa vào thông tin về vị trí của bit tạo ra lỗi trong từ thông tin LDPC được cung cấp từ bộ giải mã BCH thứ nhất 240.

Trong đó, giả sử rằng các biểu thức IPPC được biểu diễn bằng tổng của các bit thông tin LDPC, sự xuất hiện lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC có thể được hiểu là sự xuất hiện lỗi trong các biểu thức IPPC. Do đó, khi từ thông tin LDPC có lỗi, thì không thể tạo ra bit chẵn lẻ LDPC chính xác nếu không thực hiện riêng thao tác hiệu chỉnh cho các biểu thức IPPC.

Do đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC bằng cách lật giá trị của biểu thức IPPC liên quan đến bit tạo ra lỗi trong từ thông tin LDPC, và cộng các bit chẵn lẻ LDPC với giá trị đã lật của biểu thức IPPC theo thứ tự lần lượt, như sẽ được mô tả chi tiết dưới đây dựa vào Fig.11.

Fig.11 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC theo phương án làm ví dụ thực hiện sáng chế.

Trên Fig.11, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC được xác định như được thể hiện trên Fig.9.

Khi từ thông tin LDPC có lỗi, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị của biểu thức IPPC liên quan đến bit thông tin LDPC tạo ra lỗi.

Trong đó, biểu thức IPPC liên quan đến bit thông tin LDPC tạo ra lỗi có thể là biểu

thức IPPC được tạo ra dựa vào bit thông tin LDPC tạo ra lỗi.

Nói cách khác, vì biểu thức IPPC được tạo ra bằng cách nhân các hàng của ma trận con từ thông tin với các bit thông tin LDPC, cho nên biểu thức IPPC có thể được biểu diễn dưới dạng là tổng của các bit thông tin LDPC được nhân với các cột có chứa giá trị 1, trong các hàng của ma trận con từ thông tin.

Trong đó, biểu thức IPPC tương ứng với hàng có chứa giá trị 1 trong cột được nhân với bit thông tin LDPC tạo ra lỗi được gọi là biểu thức IPPC liên quan đến bit thông tin LDPC tạo ra lỗi.

Ví dụ, giả sử rằng có lỗi trong bit thông tin LDPC i_2, như được thể hiện trên Fig.11.

Trong ví dụ này, bit thông tin LDPC i_2 được nhân với cột thứ 2 trong ma trận con từ thông tin 1110 khi mã hoá LDPC, cho nên các biểu thức IPPC tương ứng với các hàng có chứa giá trị 1 trong cột thứ 2, có nghĩa là, biểu thức IPPC ($i_2 \oplus i_5$) tương ứng với hàng thứ 1 và biểu thức IPPC ($i_1 \oplus i_2$) tương ứng với hàng thứ 3 có thể liên quan đến bit thông tin LDPC tạo ra lỗi i_2. Có nghĩa là, các biểu thức IPPC có bit thông tin LDPC i_2 có thể là các biểu thức IPPC liên quan đến bit thông tin LDPC tạo ra lỗi i_2.

Trong đó, bộ tạo bit chẵn lẻ 300 có thể lật các giá trị của các biểu thức IPPC liên quan đến bit thông tin LDPC tạo ra lỗi i_2 và cộng các bit chẵn lẻ LDPC với giá trị đã lật của biểu thức IPPC theo thứ tự lần lượt, nhờ đó để tạo ra bit chẵn lẻ LDPC.

Ví dụ, như được thể hiện trên Fig.11, khi giá trị của biểu thức IPPC $t_1 = i_2 \oplus i_5$ tương ứng với hàng thứ 1 của ma trận con từ thông tin 1110 bằng 0, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị t_1 để hiệu chỉnh giá trị của biểu thức IPPC tương ứng với hàng thứ 1 thành giá trị 1 (= t_1').

Ngoài ra, khi giá trị của biểu thức IPPC $t_3 = i_1 \oplus i_2$ tương ứng với hàng thứ 3 của ma trận con từ thông tin 1110 bằng 1, bộ tạo bit chẵn lẻ 300 có thể lật giá trị t_3 để hiệu chỉnh giá trị của biểu thức IPPC tương ứng với hàng thứ 3 thành giá trị 0 (= t_3').

Sau đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC dựa vào các giá trị đã hiệu chỉnh của các biểu thức IPPC.

Trong ví dụ này, giả sử rằng ma trận con chẵn lẻ là ma trận hai đường chéo, bộ tạo bit chẵn lẻ 300 có thể tạo ra mỗi bit trong số các bit chẵn lẻ LDPC bằng cách cộng giá trị của biểu thức IPPC với bit chẵn lẻ LDPC đã được tính từ trước. Khi đó, nếu các giá trị của biểu thức IPPC được hiệu chỉnh do lỗi được tạo ra trong các bit thông tin LDPC, thì các giá trị đã hiệu chỉnh của các biểu thức IPPC có thể được sử dụng.

Phương pháp tạo ra các bit chẵn lẻ LDPC trong ví dụ này giống với phương pháp được thể hiện trên Fig.10 ngoại trừ việc sử dụng các giá trị của các biểu thức IPPC đã hiệu chỉnh.

Ví dụ, dựa vào Fig.11, vì giá trị của biểu thức IPPC tương ứng với hàng thứ 1 của ma trận con từ thông tin 1110 được hiệu chỉnh thành giá trị t_1', và giá trị của biểu thức IPPC tương ứng với hàng thứ 3 của ma trận con từ thông tin 1110 được hiệu chỉnh thành giá trị t_3', cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC p_0 ($= t_0$) (1121), p_1 ($= t_1' \oplus p_0$) (1122), p_2 ($= t_2 \oplus p_1$) (1123), p_3 ($= t_3' \oplus p_2$) (1124), p_4 ($= t_4 \oplus p_3$) (1125), và p_5 ($= t_5 \oplus p_4$) (1126).

Như đã nêu trên, có thể giảm mức độ phức tạp của phương pháp tạo ra bit chẵn lẻ LDPC so với phương pháp sử dụng biểu thức $H \cdot C^T = 0$, vì các giá trị của các biểu thức IPPC được lưu trữ từ trước và được sử dụng để tạo ra bit chẵn lẻ LDPC.

Fig.12 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.12, ở bước S1210, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S1220, trước tiên là xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S1210. Có nghĩa là, tín hiệu mã hoá chồng chập được giải mã LDPC, và sau đó xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S1220 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S1230, thao tác giải mã LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu

ở tầng cơ bản dựa vào từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC. Thao tác giải mã LDPC ở tầng cơ bản sẽ được mô tả chi tiết dưới đây.

Trong đó, ở bước S1220 theo nhánh sai, khi giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S1240, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Sau đó, dựa vào kết quả giải mã BCH, xác định xem từ thông tin LDPC có lỗi hay không. Có nghĩa là, ở bước S1250, xác định xem số lượng lỗi trong các bit thông tin LDPC của từ thông tin LDPC có phải là bằng 0 hay không.

Ở bước S1250 theo nhánh đúng, khi xác định rằng số lượng lỗi trong các bit thông tin LDPC bằng 0, thì ở bước S1260, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện. Có nghĩa là, khi từ thông tin LDPC không có lỗi, thì các giá trị của các biểu thức IPPC đã lưu trữ từ trước được sử dụng để tạo ra các bit chẵn lẻ LDPC bằng phương pháp mã hoá IPPC dựa vào phép cộng. Sau đó, dựa vào thông tin chỉ báo về việc các bit thông tin LDPC không có lỗi và các bit chẵn lẻ LDPC được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng, thao tác giải mã LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu ở tầng cơ bản ở bước S1230.

Trong đó, ở bước S1250 theo nhánh sai, khi xác định rằng số lượng lỗi trong các bit thông tin LDPC không phải là bằng 0, thì ở bước S1260, xác định xem lỗi đó có thể hiệu chỉnh được bằng cách giải mã BCH hay không. Có nghĩa là, cần xác định xem có thể hiệu chỉnh được lỗi trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S1270 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được bằng cách giải mã BCH, thì ở bước S1280, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Ở bước S1270 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được bằng cách giải mã BCH, và do đó, lỗi được hiệu chỉnh, thì ở bước S1290, các giá trị của các biểu thức IPPC được hiệu chỉnh, và ở bước S1260, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện dựa vào các giá trị đã hiệu chỉnh của các biểu thức IPPC. Sau đó, dựa vào các bit thông tin LDPC đã hiệu chỉnh lỗi và các bit chẵn lẻ LDPC được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng, thao tác giải mã

LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu ở tầng cơ bản ở bước S1230.

Trong đó, theo ví dụ nêu trên, bit chẵn lẻ LDPC (tức là, các bit chẵn lẻ LDPC) có thể được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng, nhưng các phương án làm ví dụ thực hiện sáng chế không chỉ giới hạn ở ví dụ nêu trên. Do đó, bit chẵn lẻ LDPC có thể được tạo ra bằng các phương pháp khác, ngoài phương pháp mã hoá IPPC dựa vào phép cộng, như được thể hiện trên Fig.13 và Fig.14.

Fig.13 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.13, ở bước S1310, thao tác giải mã LDPC ở tầng cao hơn, để tạo ra tín hiệu ở tầng cao hơn từ tín hiệu mã hoá chồng chập thu được, được thực hiện. Ở bước S1320, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Có nghĩa là, tín hiệu mã hoá chồng chập được giải mã LDPC, và xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S1320 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì thao tác giải mã LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu ở tầng cơ bản dựa vào từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Trong đó, ở bước S1320 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S1340, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Sau đó, dựa vào kết quả giải mã BCH, xác định xem từ thông tin LDPC có lỗi hay không. Có nghĩa là, ở bước S1350, xác định xem số lượng lỗi trong các bit thông tin LDPC của từ thông tin LDPC có phải là bằng 0 hay không.

Ở bước S1350 theo nhánh đúng, khi xác định rằng số lượng lỗi trong các bit thông tin LDPC bằng 0, thì ở bước S1360, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện. Có nghĩa là, khi từ thông tin LDPC không có lỗi, thì bit chẵn lẻ LDPC được tạo ra bằng cách sử dụng các giá trị của các biểu thức IPPC đã lưu trữ từ trước. Sau đó, dựa vào thông tin chỉ báo về việc các bit thông tin LDPC không có lỗi và các bit chẵn lẻ

LDPC được tạo ra, thao tác giải mã LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu ở tầng cơ bản ở bước S1330.

Trong đó, ở bước S1350 theo nhánh sai, khi xác định rằng số lượng lỗi trong các bit thông tin LDPC không phải là bằng 0, thì ở bước S1360, xác định xem lỗi đó có thể hiệu chỉnh được bằng cách giải mã BCH hay không. Có nghĩa là, cần xác định xem có thể hiệu chỉnh được lỗi trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S1370 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được bằng cách giải mã BCH, thì ở bước S1380, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S1370 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được, và do đó, lỗi được hiệu chỉnh, thì ở bước S1390, thao tác mã hoá LDPC được thực hiện dựa vào các bit thông tin LDPC đã hiệu chỉnh lỗi. Nhờ thao tác mã hoá LDPC này, bit chẵn lẻ LDPC được tạo ra bằng phương pháp sử dụng biểu thức $H \cdot C^T = 0$, khác với thao tác mã hoá bằng phương pháp sử dụng các giá trị của các biểu thức IPPC. Có nghĩa là, bộ tạo bit chẵn lẻ 300 như được thể hiện trên Fig.7 tạo ra các bit chẵn lẻ LDPC thoả mãn biểu thức kiểm tra chẵn lẻ $H \cdot C^T = 0$ dựa vào các bit thông tin LDPC có lỗi đã được hiệu chỉnh bằng cách giải mã BCH. Trong ví dụ này, ma trận kiểm tra chẵn lẻ H có thể là ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở thiết bị truyền tín hiệu 100, và thông tin về ma trận kiểm tra chẵn lẻ này có thể được cung cấp từ thiết bị truyền tín hiệu 100 đến thiết bị thu tín hiệu 1200 cùng với tín hiệu mã hoá chồng chập. Ở bước S1330, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào các bit thông tin LDPC đã hiệu chỉnh lỗi và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC để tạo ra tín hiệu ở tầng cơ bản.

Fig.14 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.14, trước tiên, ở bước S1410, thao tác giải mã LDPC ở tầng cao hơn để tạo ra tín hiệu ở tầng cao hơn được thực hiện trên tín hiệu mã hoá chồng chập đầu vào. Ở bước S1420, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Có nghĩa là, tín hiệu mã hoá chồng chập được giải mã LDPC, và xác định xem có lỗi trong ít

nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không.

Ở bước S1420 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S1430, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ mã LDPC được khôi phục bằng cách giải mã LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S1420 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S1440, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Sau đó, dựa vào kết quả giải mã BCH, ở bước S1450, xác định xem lỗi trong các bit thông tin LDPC có thể hiệu chỉnh được bằng cách giải mã BCH hay không. Có nghĩa là, xác định xem có thể hiệu chỉnh được lỗi trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S1450 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được, thì ở bước S1460, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S1450 theo nhánh đúng, nếu xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được, và do đó, lỗi được hiệu chỉnh, thì ở bước S1470, thao tác mã hoá LDPC được thực hiện dựa vào các bit thông tin LDPC đã hiệu chỉnh lỗi. Sau đó, dựa vào các bit thông tin LDPC đã hiệu chỉnh lỗi và bit chẵn lẻ LDPC được tạo ra bằng thao tác mã hoá LDPC này, thao tác giải mã LDPC ở tầng cơ bản được thực hiện để tạo ra tín hiệu ở tầng cơ bản, ở bước S1430.

Trong đó, theo ví dụ nêu trên, có thể xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không, và nếu không phải là bằng 0, tức là, nếu có lỗi trong từ mã LDPC được khôi phục bằng cách giải mã LDPC, thì thao tác giải mã BCH có thể được thực hiện, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Do đó, có thể thực hiện thao tác giải mã BCH trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã BCH, mà không cần thực hiện riêng bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Theo cách khác, ngay cả khi giá trị triệu chứng LDPC bằng 0, thì vẫn có thể thực hiện thao tác giải mã BCH trên từ thông tin LDPC được khôi phục bằng cách

giải mã LDPC, và vẫn có thể tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã BCH.

Trong đó, khi bộ mã hoá thứ nhất 111 đã thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6 (tức là, ma trận kiểm tra chẵn lẻ 20), thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC theo phương pháp như sẽ được mô tả dưới đây.

Trước tiên, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, thì dựa vào kết quả giải mã BCH, có thể xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không.

Nhằm mục đích này, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300.

Cụ thể, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, bằng cách sử dụng ma trận kiểm tra chẵn lẻ thứ nhất (tức là, ma trận kiểm tra chẵn lẻ gồm có các ma trận con A và B trên Fig.6) đã được sử dụng khi mã hoá LDPC ở bộ mã hoá thứ nhất 111.

Như đã nêu trên, mã hoá LDPC là thao tác tạo ra từ mã LDPC thoả mãn biểu thức $H \cdot C^T = 0$.

Do đó, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, thì tích của phép nhân từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC với ma trận kiểm tra chẵn lẻ thứ nhất đã được sử dụng khi mã hoá LDPC, sẽ phải bằng '0'.

Do đó, bộ giải mã LDPC thứ nhất 230 có thể nhân từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC với ma trận kiểm tra chẵn lẻ thứ nhất đã được sử dụng khi mã hoá LDPC, và xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, bằng cách xác định xem tích của phép nhân này có đúng là bằng '0'

hay không.

Trong ví dụ này, giá trị của phần bên trái của biểu thức kiểm tra chẵn lẻ được tạo ra dựa vào ma trận kiểm tra chẵn lẻ thứ nhất có thể được gọi là giá trị triệu chứng LDPC đối với ma trận kiểm tra chẵn lẻ thứ nhất.

Có nghĩa là, bộ giải mã LDPC thứ nhất 230 có thể nhân từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC với ma trận kiểm tra chẵn lẻ thứ nhất đã được sử dụng khi mã hoá LDPC, và xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, bằng cách xác định xem tích của phép nhân này có đúng là bằng '0' hay không.

Như đã nêu trên, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300. Do đó, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, dựa vào thông tin được cung cấp từ bộ giải mã LDPC thứ nhất 230.

Trong đó, bộ giải mã BCH thứ nhất 240 có thể cung cấp cho bộ tạo bit chẵn lẻ 300 thông tin về việc từ thông tin LDPC có lỗi hay không, và thông tin về vị trí của bit có lỗi.

Thông thường, thao tác giải mã BCH có thể cung cấp thông tin chính xác về vị trí của bit đã được hiệu chỉnh lỗi, nếu việc giải mã thành công và việc hiệu chỉnh lỗi có thể thực hiện được.

Do đó, bộ giải mã BCH thứ nhất 240 thực hiện thao tác giải mã BCH trên từ thông tin LDPC và xác định xem từ thông tin LDPC có lỗi hay không, và nếu có lỗi, thì xác định vị trí của các bit thông tin LDPC tạo ra lỗi, và cung cấp các thông tin này cho bộ tạo bit chẵn lẻ 300.

Do đó, bộ tạo bit chẵn lẻ 300 xác định xem từ thông tin LDPC có lỗi hay không, và nếu có lỗi, thì xác định vị trí của các bit thông tin LDPC tạo ra lỗi, dựa vào thông tin được cung cấp từ bộ giải mã BCH thứ nhất 240.

Kết quả là, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong ít nhất một trong

số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không dựa vào thông tin được cung cấp từ bộ giải mã LDPC thứ nhất 230, và khi xác định rằng ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất có lỗi, thì có thể xác định xem từ thông tin LDPC có lỗi hay không và xác định các bit thông tin LDPC có lỗi, dựa vào thông tin được cung cấp từ bộ giải mã BCH thứ nhất 240.

Trong đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC. Như đã nêu trên, bit chẵn lẻ LDPC được tạo ra bằng bộ tạo bit chẵn lẻ 300 được phân biệt với bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC 230. Các bit này có thể là giống nhau hoặc khác nhau.

Các biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ và có thể gồm có các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai. Các biểu thức IPPC và phương pháp tạo ra bit chẵn lẻ LDPC sử dụng các biểu thức IPPC tuỳ thuộc vào trường hợp có lỗi trong từ thông tin LDPC hay không sẽ được mô tả chi tiết dưới đây.

Fig.15A và Fig.15B là các sơ đồ dùng để mô tả các biểu thức IPPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.15A và Fig.15B, khi ma trận kiểm tra chẵn lẻ là ma trận H 1510, các bit chẵn lẻ LDPC thoả mãn biểu thức $H \cdot C^T = 0$ với các bit thông tin LDPC (i_0, i_1, i_2, i_3, i_4, i_5) là (p_0, p_1, p_2, p_3, p_4, p_5, p_0', p_1', p_2', p_3', p_4', p_5'), cho nên từ mã LDPC 1520 C (= i_0, i_1, i_2, i_3, i_4, i_5, p_0, p_1, p_2, p_3, p_4, p_5, p_0', p_1', p_2', p_3', p_4', p_5') có thể được tạo ra bằng cách mã hoá LDPC. Trong đó, một phần của các bit chẵn lẻ LDPC gồm có (p_0, p_1, p_2, p_3, p_4, p_5) được gọi là "các bit chẵn lẻ thứ nhất", và phần còn lại các bit chẵn lẻ LDPC gồm có (p_0', p_1', p_2', p_3', p_4', p_5') được gọi là "các bit chẵn lẻ thứ hai".

Trong đó, các biểu thức tạo nên biểu thức ma trận $H \cdot C^T = 0$ là các biểu thức kiểm tra chẵn lẻ 1530.

Trong đó, vì ma trận kiểm tra chẵn lẻ H 1510 gồm có ma trận con từ thông tin thứ nhất 1511, ma trận con từ thông tin thứ hai 1512, ma trận con chẵn lẻ thứ nhất 1513 và ma trận con chẵn lẻ thứ hai 1514, cho nên các biểu thức kiểm tra chẵn lẻ 1530 có thể gồm có các biểu thức được tạo ra dựa vào ma trận con từ thông tin thứ nhất 1511 và ma trận con từ thông tin thứ hai 1512, và các biểu thức được tạo ra dựa vào ma trận con chẵn lẻ

thứ nhất 1513 và ma trận con chẵn lẻ thứ hai 1514.

Trong ví dụ này, một phần của các biểu thức kiểm tra chẵn lẻ 1530 được tạo ra dựa vào ma trận con từ thông tin thứ nhất 1511 có thể được gọi là các biểu thức IPPC thứ nhất 1541. Có nghĩa là, mỗi biểu thức IPPC thứ nhất là tổng của các bit thông tin LDPC tương ứng với các cột có chứa giá trị 1 trong mỗi hàng của ma trận con từ thông tin thứ nhất 1511.

Ngoài ra, phần còn lại của các biểu thức kiểm tra chẵn lẻ 1530 được tạo ra dựa vào ma trận con từ thông tin thứ hai 1512 có thể được gọi là các biểu thức IPPC thứ hai 1542. Có nghĩa là, mỗi biểu thức IPPC thứ hai là tổng của các bit thông tin LDPC và các bit chẵn lẻ thứ nhất tương ứng với các cột có chứa giá trị 1 trong mỗi hàng của ma trận con từ thông tin thứ hai 1512.

Ví dụ, trong hàng thứ 0 của ma trận con từ thông tin thứ nhất 1511 có chứa giá trị 1 trong cột thứ 2 và cột thứ 5 trong số các cột từ cột thứ 0 đến cột thứ 5, biểu thức IPPC thứ nhất cho hàng thứ 0 của ma trận con từ thông tin thứ nhất 1511 là $i_2 \oplus i_5$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 2 và cột thứ 5.

Ngoài ra, trong hàng thứ 1 của ma trận con từ thông tin thứ nhất 1511 có chứa giá trị 1 trong cột thứ 1 và cột thứ 4, biểu thức IPPC thứ nhất cho hàng thứ 1 của ma trận con từ thông tin thứ nhất 1511 là $i_1 \oplus i_4$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 1 và cột thứ 4.

Ngoài ra, trong hàng thứ 2 của ma trận con từ thông tin thứ nhất 1511 có chứa giá trị 1 trong cột thứ 0 và cột thứ 2, biểu thức IPPC thứ nhất cho hàng thứ 2 của ma trận con từ thông tin thứ nhất 1511 là $i_0 \oplus i_2$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 0 và cột thứ 2.

Ngoài ra, trong hàng thứ 3 của ma trận con từ thông tin thứ nhất 1511 có chứa giá trị 1 trong cột thứ 3 và cột thứ 4, biểu thức IPPC thứ nhất cho hàng thứ 3 của ma trận con từ thông tin thứ nhất 1511 là $i_3 \oplus i_4$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 3 và cột thứ 4.

Ngoài ra, trong hàng thứ 4 của ma trận con từ thông tin thứ nhất 1511 có chứa giá

trị 1 trong cột thứ 0 và cột thứ 5, biểu thức IPPC thứ nhất cho hàng thứ 4 của ma trận con từ thông tin thứ nhất 1511 là $i_0 \oplus i_5$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 0 và cột thứ 5.

Ngoài ra, trong hàng thứ 5 của ma trận con từ thông tin thứ nhất 1511 có chứa giá trị 1 trong cột thứ 1 và cột thứ 3, biểu thức IPPC thứ nhất cho hàng thứ 5 của ma trận con từ thông tin thứ nhất 1511 là $i_1 \oplus i_3$, đó là tổng của các bit thông tin LDPC tương ứng với cột thứ 1 và cột thứ 3.

Trong đó, trong hàng thứ 0 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 2, cột thứ 5, cột thứ 6 và cột thứ 9 trong số các cột từ cột thứ 0 đến cột thứ 11, biểu thức IPPC thứ hai cho hàng thứ 0 của ma trận con từ thông tin thứ hai 1512 là $i_2 \oplus i_5 \oplus p_0 \oplus p_3$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 2, cột thứ 5, cột thứ 6 và cột thứ 9.

Ngoài ra, trong hàng thứ 1 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 1, cột thứ 2, cột thứ 6 và cột thứ 10, biểu thức IPPC thứ hai cho hàng thứ 1 của ma trận con từ thông tin thứ hai 1512 là $i_1 \oplus i_2 \oplus p_0 \oplus p_4$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 1, cột thứ 2, cột thứ 6 và cột thứ 10.

Ngoài ra, trong hàng thứ 2 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 1, cột thứ 5, cột thứ 9 và cột thứ 10, biểu thức IPPC thứ hai cho hàng thứ 2 của ma trận con từ thông tin thứ hai 1512 là $i_1 \oplus i_5 \oplus p_3 \oplus p_4$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 1, cột thứ 5, cột thứ 9 và cột thứ 10.

Ngoài ra, trong hàng thứ 3 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 0, cột thứ 3, cột thứ 7 và cột thứ 9, biểu thức IPPC thứ hai cho hàng thứ 3 của ma trận con từ thông tin thứ hai 1512 là $i_0 \oplus i_3 \oplus p_1 \oplus p_3$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 0, cột thứ 3, cột thứ 7 và cột thứ 9.

Ngoài ra, trong hàng thứ 4 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 0, cột thứ 4, cột thứ 8 và cột thứ 9, biểu thức IPPC thứ hai cho hàng thứ 4 của ma trận con từ thông tin thứ hai 1512 là $i_0 \oplus i_4 \oplus p_2 \oplus p_3$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 0, cột thứ 4, cột thứ 8 và cột thứ 9.

Ngoài ra, trong hàng thứ 5 của ma trận con từ thông tin thứ hai 1512 có chứa giá trị 1 trong cột thứ 3, cột thứ 5, cột thứ 8 và cột thứ 11, biểu thức IPPC thứ hai cho hàng thứ 5 của ma trận con từ thông tin thứ hai 1512 là $i_3 \oplus i_4 \oplus p_2 \oplus p_5$, đó là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất tương ứng với cột thứ 3, cột thứ 5, cột thứ 8 và cột thứ 11.

Trong đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC như biểu thức IPPC thứ nhất 1541, biểu thức IPPC thứ hai 1542.

Nhằm mục đích này, thiết bị thu tín hiệu 1000 có thể lưu trữ từ trước các biểu thức IPPC tương ứng với ma trận kiểm tra chẵn lẻ 1510.

Do đó, bộ tạo bit chẵn lẻ 300 có thể tính các giá trị của các biểu thức IPPC thứ nhất bằng cách thay thế các bit từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hoặc các bit từ thông tin LDPC đã hiệu chỉnh lỗi bằng cách giải mã BCH cho các biểu thức IPPC thứ nhất. Ngoài ra, bộ tạo bit chẵn lẻ 300 có thể tính các giá trị của các biểu thức IPPC thứ hai bằng cách thay thế các bit từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hoặc các bit thông tin LDPC đã hiệu chỉnh lỗi và các bit chẵn lẻ LDPC thứ nhất bằng cách giải mã BCH cho các biểu thức IPPC thứ hai.

Trước tiên, khi không có lỗi trong các bit thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với các bit thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC. Trong đó, bit chẵn lẻ LDPC thứ hai được tạo ra bằng bộ tạo bit chẵn lẻ 300 được phân biệt với bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC 230. Các bit này có thể là giống nhau hoặc khác nhau.

Cụ thể, vì ma trận con chẵn lẻ thứ hai 1514 là ma trận đơn vị, cho nên bộ tạo bit

chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai bằng cách sử dụng các giá trị của các biểu thức IPPC thứ hai.

Phương pháp tạo ra bit chẵn lẻ LDPC thứ hai dựa vào các giá trị của các biểu thức IPPC thứ hai sẽ được mô tả chi tiết dưới đây dựa vào Fig.16.

Fig.16 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC thứ hai dựa vào các giá trị của các biểu thức IPPC thứ hai, theo phương án làm ví dụ thực hiện sáng chế.

Khi mô tả phương án làm ví dụ thực hiện sáng chế dựa vào Fig.16, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC thứ hai được xác định như được thể hiện trên Fig.15A.

Vì ma trận con chẵn lẻ thứ hai 1614 là ma trận đơn vị, cho nên các giá trị của các biểu thức IPPC thứ hai là các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai.

Ví dụ, dựa vào Fig.16, vì biểu thức kiểm tra chẵn lẻ 1631 được tạo ra bằng cách nhân hàng thứ 0 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là $i_2 \oplus i_5 \oplus p_0 \oplus p_3 \oplus p_0' = 0$, cho nên bit chẵn lẻ LDPC p_0' có thể được tính dưới dạng là $p_0' = i_2 \oplus i_5 \oplus p_0 \oplus p_3$. Trong đó, vì $i_2 \oplus i_5 \oplus p_0 \oplus p_3$ là biểu thức IPPC thứ hai 1641 được tạo ra bằng cách nhân hàng thứ 0 của ma trận con từ thông tin thứ hai 1612 với các bit từ thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất của từ mã LDPC 1620, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_0' có giá trị của biểu thức IPPC thứ hai $s_0 = i_2 \oplus i_5 \oplus p_0 \oplus p_3$. Do đó, $p_0' = s_0$ (1651).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1632 được tạo ra bằng cách nhân hàng thứ 1 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là $i_1 \oplus i_2 \oplus p_0 \oplus p_4 \oplus p_1' = 0$, cho nên bit chẵn lẻ LDPC p_1' có thể được tính dưới dạng là $p_1' = i_1 \oplus i_2 \oplus p_0 \oplus p_4$. Trong đó, vì $i_1 \oplus i_2 \oplus p_0 \oplus p_4$ là biểu thức IPPC thứ hai 1642 được tạo ra bằng cách nhân hàng thứ 1 của ma trận con từ thông tin thứ hai 1612 với các bit từ thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_1' có giá trị của biểu thức IPPC thứ hai $s_1 = i_1 \oplus i_2 \oplus p_0 \oplus p_4$. Do đó,

$p_1' = s_1$ (1652).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1633 được tạo ra bằng cách nhân hàng thứ 2 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là $i_1 \oplus i_5 \oplus p_3 \oplus p_4 \oplus p_2' = 0$, cho nên bit chẵn lẻ LDPC p_2' có thể được tính dưới dạng là $p_2' = i_1 \oplus i_5 \oplus p_3 \oplus p_4$. Trong đó, vì $i_1 \oplus i_5 \oplus p_3 \oplus p_4$ là biểu thức IPPC thứ hai 1643 được tạo ra bằng cách nhân hàng thứ 2 của ma trận con từ thông tin thứ hai 1612 với các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_2' có giá trị của biểu thức IPPC thứ hai $s_2 = i_1 \oplus i_5 \oplus p_3 \oplus p_4$. Do đó, $p_2' = s_2$ (1653).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1634 được tạo ra bằng cách nhân hàng thứ 3 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là $i_0 \oplus i_3 \oplus p_1 \oplus p_3 \oplus p_3' = 0$, cho nên bit chẵn lẻ LDPC p_3' có thể được tính dưới dạng là $p_3' = i_0 \oplus i_3 \oplus p_1 \oplus p_3$. Trong đó, vì $i_0 \oplus i_3 \oplus p_1 \oplus p_3$ là biểu thức IPPC thứ hai 1644 được tạo ra bằng cách nhân hàng thứ 3 của ma trận con từ thông tin thứ hai 1612 với các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_3' có giá trị của biểu thức IPPC thứ hai $s_3 = i_0 \oplus i_3 \oplus p_1 \oplus p_3$. Do đó, $p_3' = s_3$ (1654).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1635 được tạo ra bằng cách nhân hàng thứ 4 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là $i_0 \oplus i_4 \oplus p_2 \oplus p_3 \oplus p_4' = 0$, cho nên bit chẵn lẻ LDPC p_4' có thể được tính dưới dạng là $p_4' = i_0 \oplus i_4 \oplus p_2 \oplus p_3$. Trong đó, vì $i_0 \oplus i_4 \oplus p_2 \oplus p_3$ là biểu thức IPPC thứ hai 1645 được tạo ra bằng cách nhân hàng thứ 4 của ma trận con từ thông tin thứ hai 1612 với các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_4' có giá trị của biểu thức IPPC thứ hai $s_4 = i_0 \oplus i_4 \oplus p_2 \oplus p_3$. Do đó, $p_4' = s_4$ (1655).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1636 được tạo ra bằng cách nhân hàng thứ 5 của ma trận kiểm tra chẵn lẻ thứ hai 1610 với các bit từ mã LDPC 1620 là

$i_3 \oplus i_4 \oplus p_2 \oplus p_5 \oplus p_5' = 0$, cho nên bit chẵn lẻ LDPC p_5' có thể được tính dưới dạng là $p_5' = i_3 \oplus i_4 \oplus p_2 \oplus p_5$. Trong đó, vì $i_3 \oplus i_4 \oplus p_2 \oplus p_5$ là biểu thức IPPC thứ hai 1646 được tạo ra bằng cách nhân hàng thứ 5 của ma trận con từ thông tin thứ hai 1612 với các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_5' có giá trị của biểu thức IPPC thứ hai $s_5 = i_3 \oplus i_4 \oplus p_2 \oplus p_5$. Do đó, $p_5' = s_5$ (1656).

Theo cách được mô tả trên đây, vì ma trận con chẵn lẻ thứ hai 1614 là ma trận đơn vị, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ hai bằng cách sử dụng các giá trị của các biểu thức IPPC thứ hai.

Trong đó, theo phương án làm ví dụ thực hiện sáng chế nêu trên, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC được tạo ra dựa vào các biểu thức IPPC, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC. Tuy nhiên, phương án nêu trên chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Do đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ nhất tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC thứ nhất, và tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC thứ hai.

Trong đó, phương pháp đã được mô tả trên đây dựa vào Fig.16 có thể áp dụng cho phương pháp tạo ra bit chẵn lẻ LDPC thứ hai bằng cách thay thế các bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào các biểu thức IPPC thứ nhất và từ thông tin LDPC được khôi phục bằng cách giải mã LDPC cho các biểu thức IPPC thứ hai.

Phương pháp tạo ra các bit chẵn lẻ LDPC thứ nhất dựa vào các giá trị của các biểu thức IPPC thứ nhất sẽ được mô tả chi tiết dưới đây dựa vào Fig.17.

Fig.17 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC thứ nhất bằng cách sử dụng các biểu thức IPPC thứ nhất, theo phương án làm ví dụ thực hiện sáng chế.

Trên Fig.17, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC thứ nhất được xác định như được thể hiện trên Fig.15A.

Vì ma trận con chẵn lẻ thứ nhất 1713 là ma trận hai đường chéo, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ nhất bằng cách cộng các bit chẵn lẻ LDPC thứ nhất với các giá trị của các biểu thức IPPC thứ nhất theo thứ tự lần lượt.

Trong đó, vì ma trận con chẵn lẻ thứ nhất 1713 của ma trận kiểm tra chẵn lẻ 1710 có cấu trúc ma trận hai đường chéo giống như ma trận con chẵn lẻ 12 của ma trận kiểm tra chẵn lẻ 10 được thể hiện trên Fig.5, cho nên phương pháp đã được mô tả trên đây dựa vào Fig.10 có thể áp dụng để tạo ra các bit chẵn lẻ LDPC thứ nhất dựa vào các giá trị của các biểu thức IPPC thứ nhất.

Có nghĩa là, vì ma trận con chẵn lẻ thứ nhất 1713 là ma trận hai đường chéo, cho nên bit chẵn lẻ LDPC thứ nhất có thể được tính bằng cách cộng giá trị của biểu thức IPPC thứ nhất với bit chẵn lẻ LDPC thứ nhất đã được tính từ trước.

Ví dụ, trên Fig.17, vì biểu thức kiểm tra chẵn lẻ 1731 được tạo ra bằng cách nhân hàng thứ 0 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_2 \oplus i_5 \oplus p_0 = 0$, cho nên bit chẵn lẻ LDPC p_0 có thể được tính dưới dạng là $p_0 = i_2 \oplus i_5$. Trong đó, vì $i_2 \oplus i_5$ là biểu thức IPPC thứ nhất 1741 được tạo ra bằng cách nhân hàng thứ 0 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_0 có giá trị của biểu thức IPPC thứ nhất $t_0 = i_2 \oplus i_5$. Do đó, $p_0 = t_0$ (1751).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1732 được tạo ra bằng cách nhân hàng thứ 1 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_1 \oplus i_4 \oplus p_0 \oplus p_1 = 0$, cho nên bit chẵn lẻ LDPC p_1 có thể được tính dưới dạng là $p_1 = i_1 \oplus i_4 \oplus p_0$. Trong đó, vì $i_1 \oplus i_4$ là biểu thức IPPC thứ nhất 1742 được tạo ra bằng cách nhân hàng thứ 1 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_1 bằng cách cộng bit chẵn lẻ LDPC p_0 với giá trị của biểu thức IPPC thứ nhất $t_1 = i_1 \oplus i_4$. Do đó, $p_1 = t_1 \oplus p_0$ (1752).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1733 được tạo ra bằng cách nhân hàng thứ 2 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_0 \oplus i_2 \oplus p_1 \oplus p_2 = 0$, cho nên bit chẵn lẻ LDPC p_2 có thể được tính dưới dạng là $p_2 = i_0 \oplus i_2 \oplus p_1$. Trong đó, vì $i_0 \oplus i_2$ là biểu thức IPPC thứ nhất 1743 được tạo ra bằng cách nhân hàng thứ 2 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_2 bằng cách cộng bit chẵn lẻ LDPC p_1 với giá trị của biểu thức IPPC thứ nhất $t_2 = i_0 \oplus i_2$. Do đó, $p_2 = t_2 \oplus p_1$ (1753).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1734 được tạo ra bằng cách nhân hàng thứ 3 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_3 \oplus i_4 \oplus p_2 \oplus p_3 = 0$, cho nên bit chẵn lẻ LDPC p_3 có thể được tính dưới dạng là $i_3 \oplus i_4 \oplus p_2 \oplus p_3 = 0$. Trong đó, vì $i_3 \oplus i_4$ là biểu thức IPPC thứ nhất 1742 được tạo ra bằng cách nhân hàng thứ 3 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_3 bằng cách cộng bit chẵn lẻ LDPC p_2 với giá trị của biểu thức IPPC thứ nhất $t_3 = i_3 \oplus i_4$. Do đó, $p_3 = t_3 \oplus p_2$ (1754).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1735 được tạo ra bằng cách nhân hàng thứ 4 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_0 \oplus i_5 \oplus p_3 \oplus p_4 = 0$, cho nên bit chẵn lẻ LDPC p_4 có thể được tính dưới dạng là $p_4 = i_0 \oplus i_5 \oplus p_3$. Trong đó, vì $i_0 \oplus i_5$ là biểu thức IPPC thứ nhất 1735 được tạo ra bằng cách nhân hàng thứ 4 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_4 bằng cách cộng bit chẵn lẻ LDPC p_3 với giá trị của biểu thức IPPC thứ nhất $t_4 = i_0 \oplus i_5$. Do đó, $p_4 = t_4 \oplus p_3$ (1755).

Ngoài ra, vì biểu thức kiểm tra chẵn lẻ 1736 được tạo ra bằng cách nhân hàng thứ 5 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 với các bit từ mã LDPC 1720 là $i_1 \oplus i_3 \oplus p_4 \oplus p_5 = 0$, cho nên bit chẵn lẻ LDPC p_5 có thể được tính dưới dạng là $p_5 = i_1 \oplus i_3 \oplus p_4$. Trong đó, vì $i_1 \oplus i_3$ là biểu thức IPPC thứ nhất 1746 được tạo ra bằng cách

nhân hàng thứ 5 của ma trận con từ thông tin thứ nhất 1711 với các bit thông tin LDPC, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC p_5 bằng cách cộng bit chẵn lẻ LDPC p_4 với giá trị của biểu thức IPPC thứ nhất $t_5 = i_1 \oplus i_3$. Do đó, $p_5 = t_5 \oplus p_4$ (1756).

Có nghĩa là, vì ma trận con chẵn lẻ thứ nhất 1713 là ma trận hai đường chéo, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ nhất bằng cách cộng các bit chẵn lẻ LDPC thứ nhất với các giá trị của các biểu thức IPPC thứ nhất.

Kết quả là, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ nhất bằng cách sử dụng các giá trị của các biểu thức IPPC thứ nhất.

Trong đó, khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, thì bộ tạo bit chẵn lẻ 300 có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ nhất tương ứng với bit tạo ra lỗi, và tạo ra các bit chẵn lẻ LDPC thứ nhất tương ứng với các bit thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC thứ nhất.

Trong ví dụ này, dựa vào thông tin về vị trí của bit thông tin LDPC tạo ra lỗi được cung cấp từ bộ giải mã BCH thứ nhất 240, bộ tạo bit chẵn lẻ 300 có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC.

Trong đó, giả sử rằng các biểu thức IPPC thứ nhất được biểu diễn dưới dạng là tổng của các bit thông tin LDPC, sự xuất hiện lỗi trong các bit thông tin LDPC được khôi phục bằng cách giải mã LDPC có thể được hiểu là sự xuất hiện lỗi trong các biểu thức IPPC thứ nhất. Do đó, khi từ thông tin LDPC có lỗi, thì không thể tạo ra bit chẵn lẻ LDPC thứ nhất chính xác nếu không thực hiện riêng thao tác hiệu chỉnh cho các biểu thức IPPC thứ nhất.

Do đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ nhất bằng cách lật giá trị của biểu thức IPPC thứ nhất liên quan đến bit tạo ra lỗi trong từ thông tin LDPC, và cộng các bit chẵn lẻ LDPC thứ nhất với giá trị đã lật của biểu thức IPPC thứ nhất theo thứ tự lần lượt.

Trong đó, giả sử rằng ma trận con chẵn lẻ thứ nhất 1713 của ma trận kiểm tra chẵn lẻ thứ nhất 1710 là ma trận hai đường chéo giống như ma trận con chẵn lẻ 12 của ma trận

kiểm tra chẵn lẻ 10 như được thể hiện trên Fig.5, phương pháp đã được mô tả trên đây dựa vào Fig.11 có thể áp dụng khi bit chẵn lẻ LDPC thứ nhất được tạo ra bằng cách lật giá trị của biểu thức IPPC thứ nhất tương ứng với bit tạo ra lỗi, như sẽ được mô tả chi tiết dưới đây dựa vào Fig.18.

Fig.18 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC thứ nhất sử dụng các biểu thức IPPC thứ nhất, theo phương án làm ví dụ thực hiện sáng chế.

Trên Fig.18, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC thứ nhất được xác định như được thể hiện trên Fig.15.

Khi từ thông tin LDPC có lỗi, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị của biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi.

Trong đó, biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi có thể là biểu thức IPPC thứ nhất được tạo ra dựa vào bit thông tin LDPC tạo ra lỗi.

Có nghĩa là, vì các biểu thức IPPC thứ nhất được tạo ra bằng cách nhân các hàng của ma trận con từ thông tin thứ nhất với các bit thông tin LDPC, cho nên các biểu thức IPPC thứ nhất có thể được biểu diễn dưới dạng là tổng của các bit thông tin LDPC được nhân với các cột có chứa giá trị 1 trong các hàng của ma trận con từ thông tin thứ nhất.

Trong đó, các biểu thức IPPC thứ nhất tương ứng với các hàng có chứa giá trị 1 trong các cột được nhân với bit thông tin LDPC tạo ra lỗi, có thể là các biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi.

Ví dụ, giả sử rằng có lỗi trong bit thông tin LDPC i_2 như được thể hiện trên Fig.18.

Trong ví dụ này, vì bit thông tin LDPC i_2 được nhân với cột thứ 2 của ma trận con từ thông tin thứ nhất 1811 khi mã hoá LDPC, cho nên các biểu thức IPPC thứ nhất tương ứng với các hàng có chứa giá trị 1 trong cột thứ 2, tức là, biểu thức IPPC thứ nhất $i_2 \oplus i_5$ tương ứng với hàng thứ 0 và biểu thức IPPC thứ nhất $i_0 \oplus i_2$ tương ứng với hàng thứ 2 có thể là các biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi i_2. Có nghĩa là, các biểu thức IPPC thứ nhất có bit thông tin LDPC i_2 có thể là các biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi i_2.

Trong ví dụ này, bộ tạo bit chẵn lẻ 300 tạo ra các bit chẵn lẻ LDPC thứ nhất bằng

cách lật các giá trị của các biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi, và cộng các bit chẵn lẻ LDPC thứ nhất với các giá trị đã lật của các biểu thức IPPC thứ nhất theo thứ tự lần lượt.

Ví dụ, như được thể hiện trên Fig.18, khi giá trị của biểu thức IPPC thứ nhất $t_0 = i_2 \oplus i_5$ tương ứng với hàng thứ 0 của ma trận con từ thông tin thứ nhất 1811 bằng 0, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị để hiệu chỉnh giá trị của các biểu thức IPPC thứ nhất t_0 tương ứng với hàng thứ 0 thành giá trị 1 ($= t_0$').

Ngoài ra, khi giá trị của các biểu thức IPPC thứ nhất $t_2 = i_0 \oplus i_2$ tương ứng với hàng thứ 2 của ma trận con từ thông tin thứ nhất 1811 bằng 1, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị để hiệu chỉnh giá trị của các biểu thức IPPC thứ nhất t_2 tương ứng với hàng thứ 2 thành giá trị 0 ($= t_2$').

Sau đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ nhất dựa vào các giá trị đã được hiệu chỉnh của các biểu thức IPPC thứ nhất.

Trong ví dụ này, vì ma trận con chẵn lẻ thứ nhất là ma trận hai đường chéo, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ nhất bằng cách cộng bit chẵn lẻ LDPC thứ nhất đã được tính từ trước với giá trị của biểu thức IPPC thứ nhất. Trong đó, khi giá trị của biểu thức IPPC thứ nhất được hiệu chỉnh vì có lỗi được tạo ra trong bit thông tin LDPC, thì giá trị của biểu thức IPPC thứ nhất đã được hiệu chỉnh có thể được sử dụng.

Trong đó, phương pháp tạo ra các bit chẵn lẻ LDPC thứ nhất giống với phương pháp được thể hiện trên Fig.17 ngoại trừ việc sử dụng các giá trị đã được hiệu chỉnh của các biểu thức IPPC thứ nhất.

Ví dụ, dựa vào Fig.18, vì giá trị của biểu thức IPPC thứ nhất tương ứng với hàng thứ 0 của ma trận con từ thông tin thứ nhất 1811 được hiệu chỉnh thành giá trị t_0', và giá trị của biểu thức IPPC thứ nhất tương ứng với hàng thứ 2 của ma trận con từ thông tin thứ nhất 1811 được hiệu chỉnh thành giá trị t_2', cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ nhất (p_0 ($= t_0$') (1821), p_1 ($= t_1 \oplus p_0$) (1822), p_2 ($= t_2' \oplus p_1$) (1823), p_3 ($= t_3 \oplus p_2$) (1824), p_4 ($= t_4 \oplus p_3$) (1825), và p_5 ($= t_5 \oplus p_4$) (1826)).

Trong đó, bộ tạo bit chẵn lẻ 300 có thể xác định vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, khi so sánh bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị đã lật của các biểu thức IPPC thứ nhất với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit tạo ra lỗi, và tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC đã được hiệu chỉnh lỗi và bit chẵn lẻ LDPC thứ nhất dựa vào giá trị đã lật của biểu thức IPPC thứ hai.

Có nghĩa là, vì các biểu thức IPPC thứ hai được biểu diễn dưới dạng là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất, cho nên khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, thì có thể hiểu rằng cũng có lỗi trong các biểu thức IPPC thứ hai. Do đó, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, thì không thể tạo ra các bit chẵn lẻ LDPC thứ hai chính xác nếu không thực hiện riêng thao tác hiệu chỉnh cho các biểu thức IPPC thứ hai.

Trong đó, việc có lỗi trong từ thông tin LDPC hay không, và vị trí của bit thông tin LDPC tạo ra lỗi có thể được xác định dựa vào kết quả giải mã BCH.

Tuy nhiên, vì thao tác giải mã BCH được thực hiện trên từ thông tin LDPC, cho nên sự xuất hiện lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, và vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất không thể được xác định bằng cách giải mã BCH.

Do đó, khi so sánh bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị đã lật của các biểu thức IPPC thứ nhất với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ 300 xác định xem có lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, và vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất.

Có nghĩa là, bộ tạo bit chẵn lẻ 300 có thể xác định xem bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị đã lật của các biểu thức IPPC thứ nhất có phù hợp với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không, và nếu không phù hợp, thì có thể xác định rằng có lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, và xác định rằng có lỗi trong một trong số các bit chẵn lẻ LDPC thứ

nhất có giá trị khác.

Ví dụ, giả sử rằng các bit chẵn lẻ LDPC thứ nhất như $(p_0, p_1, p_2, p_3, p_4, p_5) = (1, 0, 0, 1, 0, 1)$ được tạo ra dựa vào giá trị đã lật của các biểu thức IPPC thứ nhất, và giả sử rằng các bit chẵn lẻ LDPC thứ nhất như $(p_0, p_1, p_2, p_3, p_4, p_5) = (1, 0, 0, 1, 0, 0)$ được khôi phục bằng cách giải mã LDPC.

Trong ví dụ này, giả sử rằng các bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị đã lật của các biểu thức IPPC thứ nhất không phù hợp với các bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, bộ tạo bit chẵn lẻ 300 có thể xác định rằng có lỗi trong các bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, và xác định rằng có lỗi trong bit chẵn lẻ LDPC thứ nhất p_5 có giá trị khác.

Sau đó, bộ tạo bit chẵn lẻ 300 có thể lật giá trị của biểu thức IPPC thứ hai tương ứng với bit thông tin LDPC và bit chẵn lẻ LDPC thứ nhất có lỗi, và tạo ra các bit chẵn lẻ LDPC thứ hai có các giá trị đã lật của các biểu thức IPPC thứ hai, như sẽ được mô tả chi tiết dưới đây dựa vào Fig.19.

Fig.19 là sơ đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC thứ hai sử dụng các biểu thức IPPC thứ hai, theo phương án làm ví dụ thực hiện sáng chế.

Trên Fig.19, để cho dễ hiểu, giả sử rằng ma trận kiểm tra chẵn lẻ và các biểu thức IPPC thứ hai được xác định như được thể hiện trên Fig.15.

Khi có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị của biểu thức IPPC thứ hai liên quan đến bit thông tin LDPC tạo ra lỗi và bit chẵn lẻ LDPC thứ nhất.

Trong đó, biểu thức IPPC thứ hai liên quan đến bit thông tin LDPC tạo ra lỗi và bit chẵn lẻ LDPC thứ nhất có thể là biểu thức IPPC thứ hai được tạo ra dựa vào bit thông tin LDPC tạo ra lỗi và bit chẵn lẻ LDPC thứ nhất.

Có nghĩa là, vì biểu thức IPPC thứ hai được tạo ra bằng cách nhân các hàng của ma trận con từ thông tin thứ hai 1912 với các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, cho nên các biểu thức IPPC thứ hai có thể được biểu diễn dưới dạng là tổng của các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất được nhân với các cột có chứa giá trị 1 trong các hàng của ma trận con từ thông

tin thứ hai 1912.

Trong đó, các biểu thức IPPC thứ hai tương ứng với các hàng có chứa giá trị 1, được nhân với các bit thông tin LDPC tạo ra lỗi và các bit chẵn lẻ LDPC thứ nhất, có thể là các biểu thức IPPC liên quan đến các bit thông tin LDPC tạo ra lỗi và các bit chẵn lẻ LDPC thứ nhất.

Ví dụ, giả sử rằng có lỗi trong bit thông tin LDPC i_2 và bit chẵn lẻ LDPC thứ nhất p_5, như được thể hiện trên Fig.19.

Trong ví dụ này, vì bit thông tin LDPC i_2 được nhân với cột thứ 2 trong ma trận con từ thông tin thứ hai 1912 khi mã hoá LDPC, cho nên biểu thức IPPC thứ hai tương ứng với hàng có chứa giá trị 1 trong cột thứ 2 của ma trận con từ thông tin thứ hai 1912, tức là, biểu thức IPPC thứ hai $i_2 \oplus i_5 \oplus p_0 \oplus p_3$ tương ứng với hàng thứ 0 và biểu thức IPPC thứ hai $i_1 \oplus i_2 \oplus p_0 \oplus p_4$ tương ứng với hàng thứ 1 có thể là các biểu thức IPPC thứ hai liên quan đến bit thông tin LDPC tạo ra lỗi i_2. Có nghĩa là, các biểu thức IPPC thứ hai có bit thông tin LDPC i_2 có thể là các biểu thức IPPC thứ hai liên quan đến bit thông tin LDPC tạo ra lỗi i_2.

Ngoài ra, vì bit chẵn lẻ LDPC thứ nhất p_5 được nhân với cột thứ 11 của ma trận con từ thông tin thứ hai 1912 khi mã hoá LDPC, cho nên biểu thức IPPC thứ hai tương ứng với hàng có chứa giá trị 1 trong cột thứ 11 của ma trận con từ thông tin thứ hai 1912, tức là, biểu thức IPPC thứ hai $i_3 \oplus i_4 \oplus p_2 \oplus p_5$ tương ứng với hàng thứ 5 có thể là biểu thức IPPC thứ hai liên quan đến bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất p_5. Có nghĩa là, biểu thức IPPC thứ hai có bit chẵn lẻ LDPC thứ nhất p_5 có thể là biểu thức IPPC thứ hai liên quan đến bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất p_5.

Trong ví dụ này, bộ tạo bit chẵn lẻ 300 có thể lật các giá trị của các biểu thức IPPC thứ hai liên quan đến các bit thông tin LDPC tạo ra lỗi và bit chẵn lẻ LDPC thứ nhất, và tạo ra các bit chẵn lẻ LDPC thứ hai có các giá trị đã lật của các biểu thức IPPC thứ hai.

Ví dụ, dựa vào Fig.19, khi giá trị của biểu thức IPPC thứ hai $s_0 = i_2 \oplus i_5 \oplus p_0 \oplus p_3$ tương ứng với hàng thứ 0 của ma trận con từ thông tin thứ hai 1912 bằng 1, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị để hiệu chỉnh giá trị của biểu thức IPPC thứ hai s_0 tương ứng

với hàng thứ 0 thành giá trị 0 (= s_0').

Ngoài ra, khi giá trị của biểu thức IPPC thứ hai $s_1 = i_1 \oplus i_2 \oplus p_0 \oplus p_4$ tương ứng với hàng thứ 1 của ma trận con từ thông tin thứ hai 1912 bằng 1, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị để hiệu chỉnh giá trị của biểu thức IPPC thứ hai s_1 tương ứng với hàng thứ 1 thành giá trị 0 (= s_1').

Ngoài ra, khi giá trị của biểu thức IPPC thứ hai $s_5 = i_3 \oplus i_4 \oplus p_2 \oplus p_5$ tương ứng với hàng thứ 5 của ma trận con từ thông tin thứ hai 1912 bằng 0, thì bộ tạo bit chẵn lẻ 300 có thể lật giá trị để hiệu chỉnh giá trị của biểu thức IPPC thứ hai s_5 tương ứng với hàng thứ 5 thành giá trị 1 (= s_5').

Sau đó, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai dựa vào các giá trị đã được hiệu chỉnh của các biểu thức IPPC thứ hai.

Trong ví dụ này, vì ma trận con chẵn lẻ thứ hai 1914 là ma trận đơn vị, cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai có giá trị của biểu thức IPPC thứ hai. Trong đó, khi giá trị của biểu thức IPPC thứ hai được hiệu chỉnh vì có lỗi được tạo ra trong bit thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, thì giá trị đã được hiệu chỉnh của biểu thức IPPC thứ hai có thể được sử dụng.

Trong đó, phương pháp tạo ra bit chẵn lẻ LDPC thứ hai giống với phương pháp được thể hiện trên Fig.16 ngoại trừ việc sử dụng giá trị đã được hiệu chỉnh của biểu thức IPPC thứ hai.

Ví dụ, dựa vào Fig.19, vì giá trị của biểu thức IPPC thứ hai tương ứng với hàng thứ 0 của ma trận con từ thông tin thứ hai 1912 được hiệu chỉnh thành giá trị s_0', giá trị của biểu thức IPPC thứ hai tương ứng với hàng thứ 1 của ma trận con từ thông tin thứ hai 1912 được hiệu chỉnh thành giá trị s_1', và giá trị của biểu thức IPPC thứ hai tương ứng với hàng thứ 5 của ma trận con từ thông tin thứ hai 1912 được hiệu chỉnh thành giá trị s_5', cho nên bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ hai (p_0' (= s_0') (1921), p_1' (= s_1') (1922), p_2' (= s_2) (1923), p_3' (= s_3) (1924), p_4' (= s_4) (1925), và p_5' (= s_5') (1926)).

Trong đó, như đã nêu trên, một phương pháp có thể được thực hiện để tạo ra bit

chẵn lẻ LDPC thứ hai bằng cách lật các giá trị của các biểu thức IPPC thứ hai, khi có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, nhưng đó chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Do đó, khi có lỗi chỉ ở trong từ thông tin LDPC, thì có thể tạo ra bit chẵn lẻ LDPC thứ hai bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit thông tin LDPC tạo ra lỗi, hoặc khi có lỗi chỉ ở trong bit chẵn lẻ LDPC thứ nhất, thì có thể tạo ra bit chẵn lẻ LDPC thứ hai bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất.

Như đã nêu trên, có thể giảm mức độ phức tạp của phương pháp tạo ra bit chẵn lẻ LDPC so với phương pháp sử dụng biểu thức $H \cdot C^T = 0$, vì các giá trị của các biểu thức IPPC được lưu trữ từ trước và được sử dụng để tạo ra bit chẵn lẻ LDPC.

Fig.20 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.20, ở bước S2010, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2020, xác định xem giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2010. Trong đó, ma trận kiểm tra chẵn lẻ thứ nhất là các ma trận con A và B tạo nên ma trận kiểm tra chẵn lẻ như được thể hiện trên Fig.6. Có nghĩa là, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu mã hoá chồng chập, và sau đó, xác định xem có lỗi trong từ thông tin LDPC và trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S2020 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0, thì ở bước S2030, các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách thực hiện phương pháp mã hoá IPPC dựa vào phép cộng.

Trong ví dụ này, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC được khôi phục

bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng. Vì các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai đã được mô tả ở trên, cho nên để cho ngắn gọn, ở đây sẽ không mô tả chi tiết nữa.

Ở bước S2035, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2020 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2040, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và vị trí của bit thông tin LDPC tạo ra lỗi được xác định.

Ở bước S2050, xác định xem có thể hiệu chỉnh được lỗi được tạo ra trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S2050 theo nhánh sai, khi việc hiệu chỉnh lỗi không thể thực hiện được, thì ở bước S2060, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2050 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được, thì ở bước S2070, lỗi được hiệu chỉnh và phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện. Cụ thể, giá trị của biểu thức IPPC thứ nhất liên quan đến bit thông tin LDPC tạo ra lỗi được hiệu chỉnh, và phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện dựa vào giá trị của biểu thức IPPC thứ nhất đã được hiệu chỉnh, nhờ đó để tạo ra bit chẵn lẻ LDPC thứ nhất.

Sau đó, ở bước S2080, vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn được xác định. Cụ thể, khi so sánh bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị của biểu thức IPPC thứ nhất đã được hiệu chỉnh với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, thì có thể xác định được sự xuất hiện lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất.

Ở bước S2090, các biểu thức IPPC thứ hai được hiệu chỉnh, và bit chẵn lẻ LDPC

thứ hai được tạo ra bằng cách sử dụng phương pháp mã hoá IPPC dựa vào phép cộng sử dụng các biểu thức IPPC thứ hai đã được hiệu chỉnh.

Cụ thể, giá trị của biểu thức IPPC thứ hai liên quan đến bit thông tin LDPC tạo ra lỗi và bit chẵn lẻ LDPC thứ nhất được hiệu chỉnh, và bit chẵn lẻ LDPC thứ hai được tạo ra bằng cách thực hiện phương pháp mã hoá IPPC dựa vào phép cộng theo giá trị đã được hiệu chỉnh của biểu thức IPPC thứ hai.

Ở bước S2035, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, các bit chẵn lẻ LDPC thứ nhất và thứ hai có thể được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế. Do đó, các bit chẵn lẻ LDPC thứ nhất và thứ hai có thể được tạo ra bằng cách sử dụng các phương pháp khác, ngoài phương pháp mã hoá IPPC dựa vào phép cộng, như sẽ được mô tả dưới đây dựa vào các hình vẽ từ Fig.21 đến Fig.23.

Fig.21 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.21, ở bước S2110, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2120, xác định xem giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2110. Trong đó, ma trận kiểm tra chẵn lẻ thứ nhất là các ma trận con A và B tạo nên ma trận kiểm tra chẵn lẻ như được thể hiện trên Fig.6. Có nghĩa là, thao tác giải mã LDPC được thực hiện trên tín hiệu mã hoá chồng chập, và sau đó, xác định xem có lỗi trong từ thông tin LDPC và trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S2120 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0, thì ở bước S2130, các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách thực hiện phương pháp mã hoá IPPC dựa vào phép cộng.

Trong ví dụ này, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng.

Ở bước S2140, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2120 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2150, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và ở bước S2160, xác định xem có thể hiệu chỉnh được lỗi được tạo ra trong các bit thông tin LDPC hay không dựa vào kết quả giải mã BCH.

Ở bước S2160 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được, thì ở bước S2170, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2160 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được, thì ở bước S2180, lỗi được hiệu chỉnh và thao tác mã hoá LDPC được thực hiện trên từ thông tin LDPC đã hiệu chỉnh lỗi. Trong đó, thao tác mã hoá LDPC là thao tác để tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai bằng phương pháp sử dụng biểu thức $H \cdot C^T = 0$, chứ không phải là phương pháp sử dụng giá trị của biểu thức IPPC. Có nghĩa là, bộ tạo bit chẵn lẻ 300 tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai thoả mãn biểu thức $H \cdot C^T = 0$, dựa vào bit thông tin LDPC đã được hiệu chỉnh lỗi bằng cách giải mã BCH. Trong ví dụ này, ma trận kiểm tra chẵn lẻ H có thể là ma trận kiểm tra chẵn lẻ, như được thể hiện trên Fig.6, đã được sử dụng khi mã hoá LDPC ở thiết bị truyền tín hiệu 100.

Ở bước S2140, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC đã hiệu chỉnh lỗi, và bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được tạo ra bằng thao tác mã hoá LDPC nêu trên, để tạo ra tín hiệu ở tầng cơ bản.

Fig.22 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.22, ở bước S2210, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2220, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2210. Ví dụ, bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không có thể được thực hiện trên toàn bộ ma trận kiểm tra chẵn lẻ (ví dụ ma trận kiểm tra chẵn lẻ 20 trên Fig.6), chứ không phải là ma trận kiểm tra chẵn lẻ thứ nhất (ví dụ ma trận kiểm tra chẵn lẻ thứ nhất gồm có các ma trận con A và B trên Fig.6).

Ở bước S2220 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2230, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, để tạo ra tín hiệu ở tầng cơ bản, vì không có lỗi trong từ thông tin LDPC, cho nên bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Trong đó, ở bước S2220 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của toàn bộ ma trận kiểm tra chẵn lẻ không phải là bằng 0, thì ở bước S2240, xác định xem giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất có phải là bằng 0 hay không.

Ở bước S2240 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0, thì ở bước S2250, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện để tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai.

Trong ví dụ này, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng.

Ở bước S2230, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2240 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2260, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, và ở bước S2270, xác định xem có thể hiệu chỉnh được lỗi được tạo ra trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S2270 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được, thì ở bước S2280, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2270 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được và lỗi được hiệu chỉnh, thì ở bước S2290, thao tác mã hoá LDPC được thực hiện trên từ thông tin LDPC đã hiệu chỉnh lỗi.

Ở bước S2230, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC đã hiệu chỉnh lỗi, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Fig.23 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.23, ở bước S2310, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2320, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2310. Ví dụ, bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không có thể được thực hiện trên toàn bộ ma trận kiểm tra chẵn lẻ (ví dụ ma trận kiểm tra chẵn lẻ 20 trên Fig.6), chứ không phải là trên ma trận kiểm tra chẵn lẻ thứ nhất (ví dụ ma trận kiểm tra chẵn lẻ thứ nhất gồm có các ma trận con A và B trên Fig.6).

Ở bước S2320 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2330, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông

tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC, để tạo ra tín hiệu ở tầng cơ bản, vì không có lỗi trong từ thông tin LDPC, cho nên bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC.

Trong đó, ở bước S2320 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S2340, thao tác giải mã BCH được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, và ở bước S2350, xác định xem có thể hiệu chỉnh được lỗi được tạo ra trong các bit thông tin LDPC bằng cách giải mã BCH hay không.

Ở bước S2350 theo nhánh sai, khi xác định rằng việc hiệu chỉnh lỗi không thể thực hiện được, thì ở bước S2360, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2350 theo nhánh đúng, khi xác định rằng việc hiệu chỉnh lỗi có thể thực hiện được và lỗi được hiệu chỉnh, thì ở bước S2370, thao tác mã hoá LDPC được thực hiện trên từ thông tin LDPC đã hiệu chỉnh lỗi.

Ở bước S2330, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC đã hiệu chỉnh lỗi, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, có thể xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không, và sau đó, thao tác giải mã BCH có thể được thực hiện khi giá trị triệu chứng LDPC không phải là bằng 0, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Có nghĩa là, có thể thực hiện thao tác giải mã BCH trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã BCH, mà không cần thực hiện riêng bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Ngoài ra, ngay cả khi giá trị triệu chứng LDPC bằng 0, thì vẫn có thể thực hiện thao tác giải mã BCH trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai dựa vào kết quả giải mã BCH.

Trong đó, các phương án nêu trên liên quan đến phương pháp tạo ra bit chẵn lẻ

LDPC dựa vào kết quả giải mã BCH.

Phương pháp tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã CRC sẽ được mô tả chi tiết dưới đây dựa vào Fig.7 và Fig.8B, để cho ngắn gọn, các bộ phận hoặc thao tác đã được mô tả ở trên sẽ không được mô tả nữa.

Trước tiên, khi bộ mã hoá thứ nhất 111 đã thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5 (tức là, ma trận kiểm tra chẵn lẻ 10), thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ bằng cách sử dụng các phương pháp được mô tả dưới đây.

Khi xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC được thực hiện bằng bộ giải mã BICM thứ nhất 200, thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã CRC.

Nhằm mục đích này, bộ giải mã LDPC thứ nhất 230 của bộ giải mã BICM thứ nhất 200 có thể xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300. Do đó, dựa vào thông tin được cung cấp từ bộ giải mã LDPC thứ nhất 230, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không.

Trong đó, bộ giải mã CRC thứ nhất 250 có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC để xác định xem có lỗi trong từ thông tin LDPC hay không, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300.

Thông thường, thao tác giải mã CRC chỉ xác định sự xuất hiện lỗi trong từ mã CRC bằng cách giải mã CRC, và không hiệu chỉnh lỗi.

Do đó, bộ giải mã CRC thứ nhất 250 có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC để xác định xem có lỗi trong từ thông tin LDPC hay không, tức là, để xác định sự xuất hiện lỗi, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300.

Do đó, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC hay không, dựa vào thông tin được cung cấp từ bộ giải mã CRC thứ nhất 250.

Nói cách khác, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không dựa vào thông tin thu được từ bộ giải mã LDPC thứ nhất 230, và nếu có lỗi, thì có thể xác định xem có lỗi trong từ thông tin LDPC hay không dựa vào thông tin được cung cấp từ bộ giải mã CRC thứ nhất 250.

Bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC nêu trên. Nhằm mục đích này, thiết bị thu tín hiệu 1000 có thể lưu trữ từ trước thông tin về các biểu thức IPPC tương ứng với ma trận kiểm tra chẵn lẻ.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC cho từ thông tin LDPC dựa vào các biểu thức IPPC, khi có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC dựa vào kết quả giải mã CRC.

Có nghĩa là, bộ tạo bit chẵn lẻ 300 có thể tính giá trị của biểu thức IPPC bằng cách thay thế các bit thông tin LDPC không có lỗi cho các biểu thức IPPC, và cộng các bit chẵn lẻ LDPC với giá trị của các biểu thức IPPC theo thứ tự lần lượt.

Trong đó, các biểu thức IPPC và phương pháp tạo ra bit chẵn lẻ LDPC bằng cách sử dụng các biểu thức IPPC đã được mô tả chi tiết trên đây, và để cho ngắn gọn, cho nên dưới đây sẽ không mô tả lại nữa.

Phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế sẽ được mô tả chi tiết dưới đây dựa vào Fig.24 và Fig.25.

Fig.24 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.24, ở bước S2410, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2420, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2410. Có nghĩa là, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu mã hoá chồng chập, và sau đó, xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S2420 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2430, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2420 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S2440, thao tác giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2450, xác định xem có lỗi trong từ mã CRC được khôi phục bằng cách giải mã CRC hay không. Có nghĩa là, xác định xem có lỗi trong từ thông tin LDPC hay không.

Ở bước S2450 theo nhánh đúng, khi xác định rằng có lỗi, thì ở bước S2460, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2450 theo nhánh sai, khi xác định rằng không có lỗi, thì bit chẵn lẻ LDPC cho từ thông tin LDPC được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng. Vì không có lỗi trong từ thông tin LDPC, cho nên bit chẵn lẻ LDPC cho từ thông tin LDPC có thể được tạo ra bằng cách sử dụng các giá trị của biểu thức IPPC.

Ở bước S2430, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn và bit chẵn lẻ LDPC được tạo ra bằng phương pháp mã hoá IPPC dựa vào phép cộng, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, bit chẵn lẻ LDPC có thể được tạo ra bằng cách sử dụng phương pháp mã hoá IPPC dựa vào phép cộng, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế. Do đó, bit chẵn lẻ LDPC có thể được tạo ra bằng các phương pháp khác, ngoài phương pháp mã hoá IPPC dựa vào phép cộng, như sẽ được mô tả dưới đây dựa vào Fig.25.

Fig.25 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.25, ở bước S2510, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao

hơn. Ở bước S2520, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2510. Có nghĩa là, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu mã hoá chồng chập, và sau đó, xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không.

Ở bước S2520 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2530, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2520 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S2540, thao tác giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC.

Ở bước S2550, xác định xem có lỗi trong từ mã CRC bằng cách giải mã CRC hay không. Có nghĩa là, xác định xem có lỗi trong từ thông tin LDPC hay không.

Ở bước S2550 theo nhánh đúng, khi xác định rằng có lỗi, thì ở bước S2560, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2550 theo nhánh sai, khi xác định rằng không có lỗi, thì ở bước S2570, thao tác mã hoá LDPC được thực hiện trên từ thông tin LDPC.

Trong đó, thao tác mã hoá LDPC là thao tác để tạo ra bit chẵn lẻ LDPC bằng phương pháp sử dụng biểu thức $H \cdot C^T = 0$, chứ không phải là phương pháp sử dụng giá trị của biểu thức IPPC. Có nghĩa là, bộ tạo bit chẵn lẻ 300 tạo ra bit chẵn lẻ LDPC thoả mãn biểu thức $H \cdot C^T = 0$ cho từ thông tin LDPC. Trong ví dụ này, ma trận kiểm tra chẵn lẻ H có thể là ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở thiết bị truyền tín hiệu 100.

Ở bước S2530, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn và bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, có thể xác định xem giá trị triệu chứng LDPC có phải là

bằng 0 hay không, và sau đó, thao tác giải mã CRC có thể được thực hiện khi giá trị triệu chứng LDPC không phải là bằng 0, tức là, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Có nghĩa là, có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã CRC, mà không cần thực hiện riêng bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Ngoài ra, ngay cả khi giá trị triệu chứng LDPC bằng 0, thì vẫn có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn và tạo ra bit chẵn lẻ LDPC dựa vào kết quả giải mã CRC.

Trong đó, khi bộ mã hoá thứ nhất 111 đã thực hiện thao tác mã hoá LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6, thì bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ bằng cách sử dụng phương pháp như sẽ được mô tả dưới đây.

Trước tiên, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, thì các bit chẵn lẻ LDPC thứ nhất và thứ hai có thể được tạo ra dựa vào kết quả giải mã CRC.

Nhằm mục đích này, bộ giải mã LDPC thứ nhất 230 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300. Do đó, dựa vào thông tin được cung cấp từ bộ giải mã LDPC thứ nhất 230, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC hay không.

Trong đó, bộ giải mã CRC thứ nhất 250 có thể xác định xem có lỗi trong từ thông tin LDPC hay không bằng cách thực hiện thao tác giải mã CRC trên từ thông tin LDPC, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300.

Thông thường, thao tác giải mã CRC chỉ xác định sự xuất hiện lỗi trong từ mã CRC

bằng cách giải mã CRC, và không hiệu chỉnh lỗi.

Do đó, bộ giải mã CRC thứ nhất 250 có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC để xác định xem có lỗi trong từ thông tin LDPC hay không, tức là, để xác định sự xuất hiện lỗi, và cung cấp thông tin về sự xuất hiện lỗi cho bộ tạo bit chẵn lẻ 300.

Do đó, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC hay không, dựa vào thông tin được cung cấp từ bộ giải mã CRC thứ nhất 250.

Nói cách khác, bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không, dựa vào thông tin thu được từ bộ giải mã LDPC thứ nhất 230, và nếu có lỗi, tức là, nếu có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, thì có thể xác định xem có lỗi trong từ thông tin LDPC hay không dựa vào thông tin được cung cấp từ bộ giải mã CRC thứ nhất 250.

Ngoài ra, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai bằng cách sử dụng các biểu thức IPPC. Nhằm mục đích này, thiết bị thu tín hiệu 1000 có thể lưu trữ từ trước thông tin về các biểu thức IPPC tương ứng với ma trận kiểm tra chẵn lẻ.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC dựa vào các biểu thức IPPC, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC thứ hai.

Có nghĩa là, bộ tạo bit chẵn lẻ 300 có thể tạo ra các bit chẵn lẻ thứ hai bằng cách thay thế các bit thông tin LDPC và các bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn cho các giá trị của các biểu thức IPPC thứ hai.

Trong đó, khi xác định rằng có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi

trong từ thông tin LDPC, dựa vào kết quả giải mã CRC, thì bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ LDPC thứ nhất tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC thứ nhất, và tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất dựa vào các biểu thức IPPC thứ hai.

Có nghĩa là, bộ tạo bit chẵn lẻ 300 có thể tính các giá trị của các biểu thức IPPC thứ nhất bằng cách thay thế các bit thông tin LDPC không có lỗi cho các biểu thức IPPC thứ nhất, và có thể tạo ra bit chẵn lẻ LDPC thứ nhất bằng cách cộng các bit chẵn lẻ LDPC thứ nhất với các giá trị của các biểu thức IPPC thứ nhất theo thứ tự lần lượt.

Bộ tạo bit chẵn lẻ 300 cũng có thể tạo ra các bit chẵn lẻ thứ hai bằng cách thay thế các bit thông tin LDPC không có lỗi và các bit chẵn lẻ LDPC thứ nhất cho các giá trị của các biểu thức IPPC thứ hai.

Trong đó, để cho ngắn gọn, các biểu thức IPPC và phương pháp tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai sử dụng các biểu thức IPPC sẽ không được mô tả dưới đây.

Phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế sẽ được mô tả chi tiết dưới đây dựa vào các hình vẽ từ Fig.26 đến Fig.29.

Fig.26 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.26, ở bước S2610, thao tác giải mã LDPC ở tầng cao hơn để tạo ra tín hiệu ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập. Ở bước S2620, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2610. Có nghĩa là, tín hiệu mã hoá chồng chập được giải mã LDPC, và xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S2620 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2630, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện để tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai.

Trong ví dụ này, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với thông tin LDPC được khôi phục bằng cách giải mã LDPC có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng.

Ở bước S2635, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2620 theo nhánh sai, khi giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2640, thao tác giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2650, xác định xem có lỗi trong từ mã CRC bằng cách giải mã CRC hay không. Có nghĩa là, xác định xem có lỗi trong từ thông tin LDPC hay không.

Ở bước S2650 theo nhánh đúng, khi có lỗi, thì ở bước S2660, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2650 theo nhánh sai, khi không có lỗi, thì ở bước S2670, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện bằng cách sử dụng giá trị của biểu thức IPPC thứ nhất. Cụ thể, vì không có lỗi trong từ thông tin LDPC, cho nên bit chẵn lẻ LDPC thứ nhất cho từ thông tin LDPC có thể được tạo ra bằng cách sử dụng giá trị của biểu thức IPPC thứ nhất.

Ở bước S2630, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện bằng cách sử dụng giá trị của biểu thức IPPC thứ hai. Cụ thể, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được tạo ra, bằng cách sử dụng các biểu thức IPPC thứ hai.

Ở bước S2635, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất, và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, các bit chẵn lẻ LDPC thứ nhất và thứ hai có thể được tạo ra bằng cách sử dụng phương pháp mã hoá IPPC dựa vào phép cộng, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế. Do đó, các bit chẵn lẻ LDPC thứ nhất và thứ hai có thể được tạo ra bằng cách sử dụng các phương pháp khác, ngoài phương pháp mã hoá IPPC dựa vào phép cộng, như sẽ được mô tả dưới đây dựa vào các hình vẽ từ Fig.27 đến Fig.29.

Fig.27 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.27, ở bước S2710, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2720, xác định xem giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2710. Có nghĩa là, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu mã hoá chồng chập, và sau đó, xác định xem có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn hay không.

Ở bước S2720 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0, thì ở bước S2730, các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách thực hiện phương pháp mã hoá IPPC dựa vào phép cộng.

Trong ví dụ này, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng.

Ở bước S2740, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2720 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC

của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2750, thao tác giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2760, xác định xem có lỗi trong từ mã CRC, có nghĩa là, từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, bằng cách giải mã CRC hay không.

Ở bước S2760 theo nhánh đúng, khi xác định rằng có lỗi, thì ở bước S2770, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2760 theo nhánh sai, khi xác định rằng không có lỗi, thì ở bước S2780, thao tác mã hoá LDPC được thực hiện dựa vào từ thông tin LDPC.

Trong đó, thao tác mã hoá LDPC là thao tác để tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai bằng phương pháp sử dụng biểu thức $H \cdot C^T = 0$, chứ không phải là phương pháp sử dụng các giá trị của các biểu thức IPPC. Có nghĩa là, bộ tạo bit chẵn lẻ 300 tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai thoả mãn biểu thức $H \cdot C^T = 0$, cho từ thông tin LDPC. Trong ví dụ này, ma trận kiểm tra chẵn lẻ có thể là ma trận kiểm tra chẵn lẻ, như được thể hiện trên Fig.6, đã được sử dụng khi mã hoá LDPC ở thiết bị truyền tín hiệu 100.

Ở bước S2740, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Fig.28 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án làm ví dụ khác để thực hiện sáng chế.

Dựa vào Fig.28, ở bước S2810, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2820, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2810. Trong ví dụ này, bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay

không có thể được thực hiện trên toàn bộ ma trận kiểm tra chẵn lẻ (ví dụ ma trận kiểm tra chẵn lẻ 20 trên Fig.6), chứ không phải là ma trận kiểm tra chẵn lẻ thứ nhất (ví dụ ma trận kiểm tra chẵn lẻ thứ nhất gồm có các ma trận con A và B trên Fig.6).

Ở bước S2820 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2830, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC, để tạo ra tín hiệu ở tầng cơ bản, vì không có lỗi trong từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC.

Trong đó, ở bước S2820 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của toàn bộ ma trận kiểm tra chẵn lẻ không phải là bằng 0, thì ở bước S2840, xác định xem giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất có phải là bằng 0 hay không.

Ở bước S2840 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0, thì ở bước S2850, phương pháp mã hoá IPPC dựa vào phép cộng được thực hiện để tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai.

Trong ví dụ nêu trên, bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ hai. Lưu ý rằng bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn có thể được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai tương ứng.

Ở bước S2830, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được tạo ra bằng cách sử dụng các biểu thức IPPC thứ nhất và thứ hai, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, ở bước S2840 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, thì ở bước S2860, thao tác

giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2870, xác định xem có lỗi trong từ mã CRC bằng cách giải mã CRC hay không. Có nghĩa là, xác định xem có lỗi trong từ thông tin LDPC hay không.

Ở bước S2870 theo nhánh đúng, khi xác định rằng có lỗi, thì ở bước S2880, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2870 theo nhánh sai, khi xác định rằng không có lỗi, thì ở bước S2890, thao tác mã hoá LDPC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2830, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Fig.29 là lưu đồ dùng để mô tả phương pháp tạo ra bit chẵn lẻ LDPC theo phương án thực hiện sáng chế.

Dựa vào Fig.29, ở bước S2910, thao tác giải mã LDPC ở tầng cao hơn được thực hiện trên tín hiệu đầu vào như tín hiệu mã hoá chồng chập để tạo ra tín hiệu ở tầng cao hơn. Ở bước S2920, xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không dựa vào kết quả của thao tác giải mã LDPC ở tầng cao hơn được thực hiện ở bước S2910. Trong ví dụ này, bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không có thể được thực hiện trên toàn bộ ma trận kiểm tra chẵn lẻ (ví dụ ma trận kiểm tra chẵn lẻ 20 trên Fig.6), chứ không phải là ma trận kiểm tra chẵn lẻ thứ nhất (ví dụ ma trận kiểm tra chẵn lẻ thứ nhất gồm có các ma trận con A và B trên Fig.6).

Ở bước S2920 theo nhánh đúng, khi xác định rằng giá trị triệu chứng LDPC bằng 0, thì ở bước S2930, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC, và bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, để tạo ra tín hiệu ở tầng cơ bản, vì không có lỗi trong từ thông tin LDPC, bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được khôi phục bằng cách giải mã LDPC.

Trong đó, ở bước S2920 theo nhánh sai, khi xác định rằng giá trị triệu chứng LDPC không phải là bằng 0, thì ở bước S2940, thao tác giải mã CRC được thực hiện trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn.

Ở bước S2950, xác định xem có lỗi trong từ mã CRC bằng cách giải mã CRC hay không. Có nghĩa là, xác định xem có lỗi trong từ thông tin LDPC hay không.

Ở bước S2950 theo nhánh đúng, khi xác định rằng có lỗi, thì ở bước S2960, tín hiệu ở tầng cao hơn được bỏ qua bằng cách không xử lý.

Trong đó, ở bước S2950 theo nhánh sai, khi không có lỗi, thì ở bước S2970, thao tác mã hoá LDPC được thực hiện dựa vào từ thông tin LDPC.

Ở bước S2930, thao tác giải mã LDPC ở tầng cơ bản được thực hiện dựa vào từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở tầng cao hơn, và bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai được tạo ra bằng cách mã hoá LDPC, để tạo ra tín hiệu ở tầng cơ bản.

Trong đó, như đã nêu trên, có thể xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không, và sau đó, thao tác giải mã CRC có thể được thực hiện khi giá trị triệu chứng LDPC không phải là bằng 0, nhưng đây chỉ là một trong số các phương án làm ví dụ thực hiện sáng chế.

Có nghĩa là, có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai dựa vào kết quả giải mã CRC, mà không cần thực hiện riêng bước xác định xem giá trị triệu chứng LDPC có phải là bằng 0 hay không. Ngoài ra, ngay cả khi giá trị triệu chứng LDPC bằng 0, thì vẫn có thể thực hiện thao tác giải mã CRC trên từ thông tin LDPC được khôi phục bằng cách giải mã LDPC và tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai dựa vào kết quả giải mã CRC.

Quay lại Fig.7, bộ giải mã BICM thứ hai 400 cũng có thể xử lý tín hiệu mã hoá chồng chập, là tín hiệu được nhập vào bộ giải mã BICM thứ nhất 200, và tạo ra tín hiệu thứ hai. Trong đó, tín hiệu thứ hai có thể là tín hiệu tương ứng với tầng cơ bản.

Bộ giải mã BICM thứ hai 400 sẽ được mô tả chi tiết dưới đây dựa vào Fig.30A và Fig.30B.

Fig.30A và Fig.30B là các sơ đồ khối dùng để mô tả cấu hình chi tiết của thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế. Thiết bị thu tín hiệu được thể hiện trên Fig.30A và Fig.30B có thể là thiết bị thu tín hiệu 1000 được thể hiện trên Fig.7.

Dựa vào Fig.30A, thiết bị thu tín hiệu 1000 có thể bao gồm bộ thu tín hiệu OFDM 1010, bộ khử đan xen theo thời gian 1020, bộ điều khiển hệ số khuếch đại 1030, bộ nhớ đệm 1040, bộ phận loại bỏ tín hiệu 1050, bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060, bộ giải mã BICM thứ nhất 200, bộ tạo bit chẵn lẻ 300, bộ giải mã BICM thứ hai 400 và bộ mã hoá BICM 500.

Dựa vào thiết bị thu tín hiệu 1000 được thể hiện trên Fig.30A, thiết bị thu tín hiệu 1000 có thể thu tín hiệu được truyền bằng thiết bị truyền tín hiệu 100 trên Fig.1 có bộ mã hoá BCH thứ nhất (không được thể hiện trên hình vẽ) và bộ mã hoá BCH thứ hai (không được thể hiện trên hình vẽ). Các bộ mã hoá BCH thứ nhất và thứ hai có thể lần lượt nằm ở trong bộ mã hoá thứ nhất 111 và bộ mã hoá thứ hai 121.

Trong đó, để cho ngắn gọn, bộ giải mã BICM thứ nhất 200 và bộ tạo bit chẵn lẻ 300 sẽ không được mô tả nữa, vì các bộ phận này đã được mô tả ở trên.

Bộ thu tín hiệu OFDM 1010 có thể giải điều biến OFDM cho tín hiệu mã hoá chồng chập được truyền từ thiết bị truyền tín hiệu 100, tạo ra các ô từ khung OFDM, và xuất ra các ô này để cung cấp cho bộ khử đan xen theo thời gian 1020.

Bộ khử đan xen theo thời gian 1020 khử đan xen cho tín hiệu đầu ra từ bộ thu tín hiệu OFDM 1010.

Cụ thể, bộ khử đan xen theo thời gian 1020, có cấu hình tương ứng với cấu hình của bộ đan xen theo thời gian 150 trong thiết bị truyền tín hiệu 100, có thể khử đan xen cho các ô và xuất ra các ô đã được khử đan xen để cung cấp cho bộ điều khiển hệ số khuếch đại 1030.

Bộ điều khiển hệ số khuếch đại 1030 điều khiển hệ số khuếch đại của tín hiệu đầu ra từ bộ khử đan xen theo thời gian 1020.

Cụ thể, bộ điều khiển hệ số khuếch đại 1030, có cấu hình tương ứng với cấu hình của bộ điều khiển hệ số khuếch đại 140 trong thiết bị truyền tín hiệu 100, điều khiển hệ số khuếch đại của tín hiệu được xuất ra từ bộ khử đan xen theo thời gian 1020, và xuất ra

tín hiệu được điều khiển hệ số khuếch đại để cung cấp cho bộ giải mã BICM thứ nhất 200 và bộ nhớ đệm 1040.

Bộ giải mã BICM thứ nhất 200 có thể xử lý tín hiệu được xuất ra từ bộ điều khiển hệ số khuếch đại 1030 và tạo ra tín hiệu thứ nhất. Trong đó, tín hiệu thứ nhất có thể là tín hiệu tương ứng với tầng cao hơn.

Ngoài ra, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ dựa vào kết quả giải mã ở bộ giải mã BICM thứ nhất 200.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể xuất ra từ mã LDPC gồm có từ thông tin LDPC, được khôi phục bằng cách giải mã LDPC được thực hiện bằng bộ giải mã LDPC thứ nhất 230 của bộ giải mã BICM thứ nhất 200, và bit chẵn lẻ LDPC (hoặc các bit chẵn lẻ LDPC thứ nhất và thứ hai), được tạo ra ở bộ tạo bit chẵn lẻ 300 như đã nêu trên, để cung cấp cho bộ mã hoá BICM 500. Trong đó, bit chẵn lẻ LDPC được tạo ra ở bộ tạo bit chẵn lẻ 300 không phải là bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC được thực hiện bằng bộ giải mã LDPC thứ nhất 230 của bộ giải mã BICM thứ nhất 200, như đã được mô tả trên đây và sẽ được mô tả thêm dưới đây.

Trước tiên, có thể xem xét ví dụ, trong đó bộ giải mã LDPC thứ nhất 230 thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 10 như được thể hiện trên Fig.5.

Trong ví dụ này, khi không có lỗi trong từ mã LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi giá trị triệu chứng LDPC bằng 0), thì bộ tạo bit chẵn lẻ 300 có thể thu từ mã LDPC được khôi phục bằng cách giải mã LDPC từ bộ giải mã LDPC thứ nhất 230, và xuất ra từ mã LDPC để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi giá trị triệu chứng LDPC không phải là bằng 0, nhưng kết quả giải mã BCH ở bộ giải mã BCH thứ nhất 240 chỉ báo rằng không có lỗi trong từ thông tin LDPC), thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC được khôi phục từ bộ giải mã LDPC thứ nhất 230, tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC, và xuất ra từ thông tin LDPC, được khôi phục từ bộ giải mã LDPC thứ nhất 230, và bit chẵn lẻ LDPC, được tạo ra dựa

vào các biểu thức IPPC, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi kết quả giải mã BCH chỉ báo là có lỗi trong từ thông tin LDPC), thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC từ bộ giải mã BCH thứ nhất 240, tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC, và xuất ra từ thông tin LDPC, thu được từ bộ giải mã BCH thứ nhất 240, và bit chẵn lẻ LDPC, được tạo ra dựa vào các biểu thức IPPC, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, có thể xem xét ví dụ, trong đó bộ giải mã LDPC thứ nhất 230 thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.6.

Trong ví dụ này, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất bằng 0), thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất từ bộ giải mã LDPC thứ nhất 230, tạo ra bit chẵn lẻ LDPC thứ hai, tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng bộ giải mã LDPC thứ nhất 230, dựa vào các biểu thức IPPC thứ hai, và xuất ra từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, được khôi phục bằng bộ giải mã LDPC thứ nhất 230, và bit chẵn lẻ LDPC thứ hai, được tạo ra dựa vào các biểu thức IPPC thứ hai, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi giá trị triệu chứng LDPC của ma trận kiểm tra chẵn lẻ thứ nhất không phải là bằng 0, và kết quả giải mã BCH chỉ báo là không có lỗi trong từ thông tin LDPC), thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC từ bộ giải mã LDPC thứ nhất 230, tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC thứ nhất và thứ hai, và xuất ra từ thông tin LDPC, được khôi phục bằng bộ giải mã LDPC thứ nhất 230, và các bit chẵn lẻ LDPC thứ nhất và thứ hai, được tạo ra dựa vào các biểu thức thứ nhất và thứ hai, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230 (tức là, khi kết quả giải mã BCH chỉ báo là có lỗi

trong từ thông tin LDPC), thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC từ bộ giải mã BCH thứ nhất 240, tạo ra các bit chẵn lẻ LDPC thứ nhất và thứ hai tương ứng với từ thông tin LDPC, thu được từ bộ giải mã BCH thứ nhất 240, dựa vào các biểu thức IPPC thứ nhất và thứ hai, và xuất ra từ thông tin LDPC, thu được từ bộ giải mã BCH thứ nhất 240, và các bit chẵn lẻ LDPC thứ nhất và thứ hai, được tạo ra dựa vào các biểu thức thứ nhất và thứ hai, để cung cấp cho bộ mã hoá BICM 500.

Bộ mã hoá BICM 500 có thể xử lý tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300. Nhằm mục đích này, bộ mã hoá BICM 500 có thể bao gồm bộ đan xen 510 và bộ ánh xạ 520. Trong đó, khi ma trận kiểm tra chẵn lẻ 10 trên Fig.5 đã được sử dụng để mã hoá LDPC cho tín hiệu được nhập vào bộ giải mã LDPC thứ nhất 230 ở thiết bị truyền tín hiệu 100, thì tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể gồm có từ thông tin LDPC, được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc thu được từ bộ giải mã BCH thứ nhất 240, và bit chẵn lẻ LDPC được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc được tạo ra dựa vào các biểu thức IPPC. Tuy nhiên, khi ma trận kiểm tra chẵn lẻ 20 trên Fig.6 đã được sử dụng để mã hoá LDPC cho tín hiệu được nhập vào bộ giải mã LDPC thứ nhất 230 ở thiết bị truyền tín hiệu 100, thì tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể gồm có từ thông tin LDPC, được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc thu được từ bộ giải mã BCH thứ nhất 240, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc được tạo ra dựa vào các biểu thức IPPC thứ nhất và thứ hai tương ứng. Tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể ở dạng từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC hoặc các bit chẵn lẻ nêu trên. Tuy nhiên, theo phương án làm ví dụ thực hiện sáng chế, tín hiệu này không phải ở dạng từ mã LDPC, và thay vào đó, từ thông tin LDPC và bit chẵn lẻ LDPC hoặc các bit chẵn lẻ nêu trên có thể được xuất ra ở dạng riêng biệt, mà không tạo thành một từ mã LDPC. Tuy nhiên, để cho dễ hiểu, tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 dưới đây được gọi là từ mã LDPC.

Bộ đan xen 510 có thể đan xen tín hiệu nêu trên được xuất ra từ bộ tạo bit chẵn lẻ 300, có nghĩa là, từ mã LDPC gồm có các bit từ mã LDPC.

Cụ thể, bộ đan xen 510, có cấu hình tương ứng với cấu hình của bộ đan xen thứ nhất 112 trong thiết bị truyền tín hiệu 100, đan xen các bit từ mã LDPC được xuất ra từ

bộ tạo bit chẵn lẻ 300 theo cách giống như bộ đan xen thứ nhất 112, và xuất ra các bit từ mã LDPC đã được đan xen để cung cấp cho bộ ánh xạ 520.

Bộ ánh xạ 520 điều biến tín hiệu đầu ra từ bộ đan xen 510, tín hiệu này là các bit từ mã LDPC đã được đan xen.

Cụ thể, bộ ánh xạ 520, có cấu hình tương ứng với cấu hình của bộ ánh xạ thứ nhất 113 trong thiết bị truyền tín hiệu 100, có thể ánh xạ các bit từ mã LDPC đã được đan xen được xuất ra từ bộ đan xen 510 lên các điểm trong chòm điểm theo cách giống như bộ ánh xạ thứ nhất 113, và xuất ra kết quả ánh xạ. Ví dụ, khi bộ ánh xạ thứ nhất 113 đã thực hiện thao tác ánh xạ bằng phương pháp điều biến QPSK, thì bộ ánh xạ 520 có thể điều biến các bit từ mã LDPC đã được đan xen được xuất ra từ bộ đan xen 510 bằng phương pháp điều biến QPSK.

Do đó, bộ mã hoá BICM 500 có thể đan xen từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC (hoặc các bit chẵn lẻ LDPC thứ nhất và thứ hai) được xuất ra từ bộ tạo bit chẵn lẻ 200 và điều biến từ mã LDPC đã được đan xen.

Trong đó, bộ nhớ đệm 1040 lưu trữ tín hiệu, là tín hiệu mã hoá chồng chập, được xuất ra từ bộ điều khiển hệ số khuếch đại 1030.

Bộ phận loại bỏ tín hiệu 1050 thu tín hiệu được lưu trữ ở trong bộ nhớ đệm 1040 và tín hiệu được xuất ra từ bộ mã hoá BICM 500, là từ mã LDPC đã được điều biến, loại bỏ tín hiệu được xuất ra từ bộ mã hoá BICM 500 ra khỏi tín hiệu được cung cấp từ bộ nhớ đệm 1040, tức là tín hiệu mã hoá chồng chập, và xuất ra phần tín hiệu còn lại để cung cấp cho bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060.

Bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060, có cấu hình tương ứng với cấu hình của bộ điều khiển hệ số khuếch đại ở tầng cơ bản 130 trong thiết bị truyền tín hiệu 100, điều khiển hệ số khuếch đại của tín hiệu được xuất ra từ bộ phận loại bỏ tín hiệu 1050 và xuất ra phần tín hiệu còn lại để cung cấp cho bộ giải mã BICM thứ hai 400.

Bộ giải mã BICM thứ hai 400 có thể xử lý tín hiệu được xuất ra từ bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060, tức là tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu (tức là từ mã LDPC đã được điều biến) được xuất ra từ bộ mã hoá BICM

500, và tạo ra tín hiệu thứ hai. Tín hiệu thứ hai có thể là tín hiệu tương ứng với tầng cơ bản.

Nhằm mục đích này, bộ giải mã BICM thứ hai 400 có thể bao gồm bộ khử ánh xạ thứ hai 410, bộ khử đan xen thứ hai 420, bộ giải mã LDPC thứ hai 430 và bộ giải mã BCH thứ hai 440.

Bộ khử ánh xạ thứ hai 410 giải điều biến cho tín hiệu được xuất ra từ bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060.

Cụ thể, bộ khử ánh xạ thứ hai 410 giải điều biến cho tín hiệu (tức là tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã hoá BICM 500) để tạo ra giá trị LLR, và xuất ra giá trị LLR để cung cấp cho bộ khử đan xen thứ hai 420.

Trong ví dụ này, bộ khử ánh xạ thứ hai 410 có thể giải điều biến cho tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã hoá BICM 500, dựa vào phương pháp điều biến đã được áp dụng trên tín hiệu tương ứng với tầng cơ bản. Ví dụ, khi tín hiệu tương ứng với tầng cơ bản được điều biến ở thiết bị truyền tín hiệu 100 bằng phương pháp điều biến 64-QAM, thì bộ khử ánh xạ thứ hai 410 có thể giải điều biến cho tín hiệu này bằng phương pháp điều biến 64-QAM.

Giá trị LLR có thể được biểu diễn dưới dạng giá trị loga của tỷ số giữa xác suất để cho bit được truyền từ thiết bị truyền tín hiệu 100 bằng 0 và xác suất để cho bit đó bằng 1. Theo cách khác, giá trị LLR có thể là giá trị tiêu biểu được xác định theo phần có xác suất mà bit truyền từ thiết bị truyền tín hiệu 100 có giá trị bằng 0 hay 1.

Bộ khử đan xen thứ hai 420 khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ hai 410.

Cụ thể, bộ khử đan xen thứ hai 420, có cấu hình tương ứng với cấu hình của bộ đan xen thứ hai 122 trong thiết bị truyền tín hiệu 100, có thể đảo ngược thao tác đan xen đã được thực hiện ở bộ đan xen thứ hai 122, khử đan xen cho giá trị LLR, và xuất ra kết quả khử đan xen để cung cấp cho bộ giải mã LDPC thứ hai 430.

Bộ giải mã LDPC thứ hai 430 giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen

thứ hai 420.

Cụ thể, bộ giải mã LDPC thứ hai 430, có cấu hình tương ứng với cấu hình của bộ mã hoá LDPC (không được thể hiện trên hình vẽ) trong bộ mã hoá BICM thứ hai 120 của thiết bị truyền tín hiệu 100, có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC trên giá trị LLR đã được khử đan xen.

Trong ví dụ này, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC bằng cách sử dụng các phương pháp khác nhau. Ví dụ, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC theo phương pháp giải mã lặp dựa vào thuật toán tổng-tích, và xác định các bit bằng phương pháp quyết định cứng và khôi phục từ mã LDPC.

Trong đó, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở bộ mã hoá thứ hai 121.

Ví dụ, nếu ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5 đã được sử dụng khi mã hoá LDPC, thì bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5. Có nghĩa là, bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin 11 và bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ 12 có cấu trúc ma trận hai đường chéo.

Ngoài ra, nếu ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6 đã được sử dụng khi mã hoá LDPC, thì bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6. Có nghĩa là, bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin (tức là, ma trận con A của từ thông tin thứ nhất và ma trận con C của từ thông tin thứ hai), các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất B có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai D có cấu trúc ma trận đơn vị.

Trong đó, thông tin về ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC có thể được lưu trữ từ trước ở thiết bị thu tín hiệu 1000 hoặc được cung cấp từ thiết bị truyền tín hiệu 100.

Bộ giải mã LDPC thứ hai 430 có thể xuất ra từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để cung cấp cho bộ giải mã BCH thứ hai 440.

Bộ giải mã BCH thứ hai 440 tạo ra tín hiệu thứ hai bằng cách giải mã BCH cho tín hiệu đầu ra từ bộ giải mã LDPC thứ hai 430, tức là, từ thông tin LDPC. Trong đó, bộ giải mã BCH thứ hai 440 có cấu hình tương ứng với cấu hình của bộ mã hoá BCH (không được thể hiện trên hình vẽ) trong bộ mã hoá BICM thứ hai 120 của thiết bị truyền tín hiệu 100.

Cụ thể, vì từ thông tin LDPC được xuất ra từ bộ giải mã LDPC thứ hai gồm có từ thông tin BCH và bit chẵn lẻ BCH, cho nên bộ giải mã BCH thứ hai 440 có thể khôi phục từ thông tin BCH bằng cách hiệu chỉnh lỗi trong từ mã BCH, sử dụng bit chẵn lẻ BCH được xuất ra từ bộ giải mã LDPC thứ hai 430.

Từ thông tin BCH là các bit tạo nên dòng tín hiệu, tức là, các bit dự định sẽ được truyền bằng thiết bị truyền tín hiệu 100, và các bit này có thể tạo nên tín hiệu tương ứng với tầng cơ bản. Ví dụ, bộ giải mã BCH thứ hai 440 có thể xuất ra các bit tạo nên dòng tín hiệu B trên Fig.1.

Trong đó, như được thể hiện trên Fig.30B, thiết bị thu tín hiệu 1000 có thể bao gồm bộ thu tín hiệu OFDM 1010, bộ khử đan xen theo thời gian 1020, bộ điều khiển hệ số khuếch đại 1030, bộ nhớ đệm 1040, bộ phận loại bỏ tín hiệu 1050, bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060, bộ giải mã BICM thứ nhất 200, bộ tạo bit chẵn lẻ 300, bộ giải mã BICM thứ hai 400 và bộ mã hoá BICM 500.

Thiết bị thu tín hiệu 1000 được thể hiện trên Fig.30B khác với thiết bị thu tín hiệu 1000 được thể hiện trên Fig.30A, ở chỗ bộ giải mã CRC thứ nhất 250 và bộ giải mã CRC thứ hai 450 được sử dụng thay cho bộ giải mã BCH thứ nhất 240 và bộ giải mã BCH thứ hai 440.

Trong đó, thiết bị thu tín hiệu 1000 được thể hiện trên Fig.30B có thể thu tín hiệu được truyền từ thiết bị truyền tín hiệu 100 trên Fig.1 có bộ mã hoá CRC thứ nhất (không

được thể hiện trên hình vẽ) và bộ mã hoá CRC thứ hai (không được thể hiện trên hình vẽ) và xử lý tín hiệu thu được. Các bộ mã hoá CRC thứ nhất và thứ hai có thể lần lượt nằm ở trong bộ mã hoá thứ nhất 111 và bộ mã hoá thứ hai 121.

Trong đó, bộ giải mã BICM thứ nhất 200 và bộ tạo bit chẵn lẻ 300 sẽ không được mô tả nữa, vì các bộ phận này đã được mô tả ở trên.

Bộ thu tín hiệu OFDM 1010 có thể giải điều biến OFDM cho tín hiệu mã hoá chồng chập được truyền từ thiết bị truyền tín hiệu 100, tạo ra các ô từ khung OFDM, và xuất ra các ô này để cung cấp cho bộ khử đan xen theo thời gian 1020.

Bộ khử đan xen theo thời gian 1020 khử đan xen cho tín hiệu đầu ra từ bộ thu tín hiệu OFDM 1010.

Cụ thể, bộ khử đan xen theo thời gian 1020, có cấu hình tương ứng với cấu hình của bộ đan xen theo thời gian 150 trong thiết bị truyền tín hiệu 100, có thể khử đan xen cho các ô và xuất ra các ô đã được khử đan xen để cung cấp cho bộ điều khiển hệ số khuếch đại 1030.

Bộ điều khiển hệ số khuếch đại 1030 điều khiển hệ số khuếch đại của tín hiệu đầu ra từ bộ khử đan xen theo thời gian 1020.

Cụ thể, bộ điều khiển hệ số khuếch đại 1040, có cấu hình tương ứng với cấu hình của bộ điều khiển hệ số khuếch đại trong thiết bị truyền tín hiệu 100, điều khiển hệ số khuếch đại của tín hiệu được xuất ra từ bộ khử đan xen theo thời gian 1020, và xuất ra tín hiệu đã được điều khiển hệ số khuếch đại để cung cấp cho bộ giải mã BICM thứ nhất 200 và bộ nhớ đệm 1040.

Bộ giải mã BICM thứ nhất 200 có thể tạo ra tín hiệu thứ nhất bằng cách xử lý tín hiệu được xuất ra từ bộ điều khiển hệ số khuếch đại 1030. Trong đó, tín hiệu thứ nhất có thể là tín hiệu tương ứng với tầng cao hơn.

Ngoài ra, bộ tạo bit chẵn lẻ 300 có thể tạo ra bit chẵn lẻ dựa vào kết quả giải mã ở bộ giải mã BICM thứ nhất 200.

Cụ thể, bộ tạo bit chẵn lẻ 300 có thể xuất ra từ mã LDPC gồm có từ thông tin LDPC, được khôi phục bằng bộ giải mã BICM thứ nhất 200, và bit chẵn lẻ LDPC (hoặc các bit chẵn lẻ LDPC thứ nhất và thứ hai), được tạo ra ở bộ tạo bit chẵn lẻ 300 như đã nêu trên,

để cung cấp cho bộ mã hoá BICM 500.

Trước tiên, có thể xem xét ví dụ, trong đó bộ giải mã LDPC thứ nhất 230 thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 10 như được thể hiện trên Fig.5.

Trong ví dụ này, khi không có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230, thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC từ bộ giải mã LDPC thứ nhất 230, và xuất ra từ mã LDPC để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230, thì bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC hay không dựa vào kết quả giải mã CRC ở bộ giải mã CRC thứ nhất 250, và khi xác định rằng không có lỗi trong từ thông tin LDPC, thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC từ bộ giải mã CRC thứ nhất 250 và tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC, và có thể xuất ra từ thông tin LDPC, thu được từ bộ giải mã CRC thứ nhất 250, và bit chẵn lẻ LDPC, được tạo ra dựa vào các biểu thức IPPC, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, có thể xem xét ví dụ, trong đó bộ giải mã LDPC thứ nhất 230 thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.6.

Trong ví dụ này, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230, thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất từ bộ giải mã LDPC thứ nhất 230 và tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, được khôi phục bằng bộ giải mã LDPC thứ nhất 230, dựa vào các biểu thức IPPC thứ hai, và xuất ra từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất, được khôi phục bằng bộ giải mã LDPC thứ nhất 230, và bit chẵn lẻ LDPC thứ hai, được tạo ra dựa vào các biểu thức IPPC thứ hai, để cung cấp cho bộ mã hoá BICM 500.

Ngoài ra, khi có lỗi trong ít nhất một trong số từ thông tin LDPC được khôi phục và

bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC ở bộ giải mã LDPC thứ nhất 230, thì bộ tạo bit chẵn lẻ 300 có thể xác định xem có lỗi trong từ thông tin LDPC hay không dựa vào kết quả giải mã CRC ở bộ giải mã CRC thứ nhất 250, và khi xác định rằng không có lỗi trong từ thông tin LDPC, thì bộ tạo bit chẵn lẻ 300 có thể thu từ thông tin LDPC từ bộ giải mã CRC thứ nhất 250 và tạo ra bit chẵn lẻ LDPC thứ nhất và bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC dựa vào các biểu thức IPPC thứ nhất và các biểu thức IPPC thứ hai, và xuất ra từ thông tin LDPC, thu được từ bộ giải mã CRC thứ nhất 250, và các bit chẵn lẻ LDPC thứ nhất và thứ hai, được tạo ra dựa vào các biểu thức IPPC thứ nhất và thứ hai, để cung cấp cho bộ mã hoá BICM 500.

Bộ mã hoá BICM 500 có thể xử lý tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300. Nhằm mục đích này, bộ mã hoá BICM 500 có thể bao gồm bộ đan xen 510 và bộ ánh xạ 520. Trong đó, khi ma trận kiểm tra chẵn lẻ 10 trên Fig.5 đã được sử dụng để mã hoá LDPC cho tín hiệu được nhập vào bộ giải mã LDPC thứ nhất 230 ở thiết bị truyền tín hiệu 100, thì tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể gồm có từ thông tin LDPC, được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc thu được từ bộ giải mã CRC thứ nhất 250, và bit chẵn lẻ LDPC được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc được tạo ra dựa vào các biểu thức IPPC. Tuy nhiên, khi ma trận kiểm tra chẵn lẻ 20 trên Fig.6 đã được sử dụng để mã hoá LDPC cho tín hiệu được nhập vào bộ giải mã LDPC thứ nhất 230 ở thiết bị truyền tín hiệu 100, thì tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể gồm có từ thông tin LDPC, được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc thu được từ bộ giải mã CRC thứ nhất 250, và các bit chẵn lẻ LDPC thứ nhất và thứ hai được khôi phục bằng bộ giải mã LDPC thứ nhất 230 hoặc được tạo ra dựa vào các biểu thức IPPC thứ nhất và thứ hai tương ứng. Tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 có thể ở dạng từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC hoặc các bit chẵn lẻ nêu trên. Tuy nhiên, theo phương án làm ví dụ thực hiện sáng chế, tín hiệu này không phải ở dạng từ mã LDPC, và thay vào đó, từ thông tin LDPC và bit chẵn lẻ LDPC hoặc các bit chẵn lẻ nêu trên có thể được xuất ra ở dạng riêng biệt, mà không tạo thành một từ mã LDPC. Tuy nhiên, để cho dễ hiểu, tín hiệu được xuất ra từ bộ tạo bit chẵn lẻ 300 dưới đây được gọi là từ mã LDPC.

Bộ đan xen 510 có thể đan xen tín hiệu nêu trên được xuất ra từ bộ tạo bit chẵn lẻ

300, có nghĩa là, từ mã LDPC gồm có các bit từ mã LDPC.

Cụ thể, bộ đan xen 510, có cấu hình tương ứng với cấu hình của bộ đan xen thứ nhất 112 trong thiết bị truyền tín hiệu 100, đan xen các bit từ mã LDPC được xuất ra từ bộ tạo bit chẵn lẻ 300 theo cách giống như bộ đan xen thứ nhất 112, và xuất ra các bit từ mã LDPC đã được đan xen để cung cấp cho bộ ánh xạ 520.

Bộ ánh xạ 520 điều biến tín hiệu đầu ra từ bộ đan xen 510, tín hiệu này là từ mã LDPC đã được đan xen.

Cụ thể, bộ ánh xạ 520, có cấu hình tương ứng với cấu hình của bộ ánh xạ thứ nhất 113 trong thiết bị truyền tín hiệu 100, có thể ánh xạ các bit từ mã LDPC đã được đan xen được xuất ra từ bộ đan xen 510 lên các điểm trong chòm điểm theo cách giống như bộ ánh xạ thứ nhất 113, và xuất ra kết quả ánh xạ. Ví dụ, khi bộ ánh xạ thứ nhất 113 đã thực hiện thao tác ánh xạ bằng phương pháp điều biến QPSK, thì bộ ánh xạ 520 có thể điều biến các bit từ mã LDPC đã được đan xen được xuất ra từ bộ đan xen 510 bằng phương pháp điều biến QPSK.

Do đó, bộ mã hoá BICM 500 có thể đan xen từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC (hoặc các bit chẵn lẻ LDPC thứ nhất và thứ hai) được xuất ra từ bộ tạo bit chẵn lẻ 200 và điều biến từ mã LDPC đã được đan xen.

Trong đó, bộ nhớ đệm 1040 lưu trữ tín hiệu, là tín hiệu mã hoá chồng chập, được xuất ra từ bộ điều khiển hệ số khuếch đại 1030.

Bộ phận loại bỏ tín hiệu 1050 thu tín hiệu được lưu trữ ở trong bộ nhớ đệm 1040 và tín hiệu được xuất ra từ bộ mã hoá BICM 500, là từ mã LDPC đã được điều biến, loại bỏ tín hiệu được xuất ra từ bộ mã hoá BICM 500 ra khỏi tín hiệu được cung cấp từ bộ nhớ đệm 1040, tức là tín hiệu mã hoá chồng chập, và xuất ra phần tín hiệu còn lại để cung cấp cho bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060.

Bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060, có cấu hình tương ứng với cấu hình của bộ điều khiển hệ số khuếch đại ở tầng cơ bản 130 trong thiết bị truyền tín hiệu 100, điều khiển hệ số khuếch đại của tín hiệu được xuất ra từ bộ phận loại bỏ tín hiệu 1050 và xuất ra phần tín hiệu còn lại để cung cấp cho bộ giải mã BICM thứ hai 400.

Bộ giải mã BICM thứ hai 400 có thể xử lý tín hiệu được xuất ra từ bộ điều khiển hệ

số khuếch đại ở tầng cơ bản 1060, tức là tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu (tức là từ mã LDPC đã được điều biến) được xuất ra từ bộ mã hoá BICM 500, và tạo ra tín hiệu thứ hai. Tín hiệu thứ hai có thể là tín hiệu tương ứng với tầng cơ bản.

Nhằm mục đích này, bộ giải mã BICM thứ hai 400 có thể bao gồm bộ khử ánh xạ thứ hai 410, bộ khử đan xen thứ hai 420, bộ giải mã LDPC thứ hai 430 và bộ giải mã CRC thứ hai 450.

Bộ khử ánh xạ thứ hai 410 giải điều biến cho tín hiệu được xuất ra từ bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060.

Cụ thể, bộ khử ánh xạ thứ hai 410 giải điều biến cho tín hiệu (tức là tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã hoá BICM 500) để tạo ra giá trị LLR, và xuất ra giá trị LLR để cung cấp cho bộ khử đan xen thứ hai 420.

Trong ví dụ này, bộ khử ánh xạ thứ hai 410 có thể giải điều biến cho tín hiệu mã hoá chồng chập được điều khiển hệ số khuếch đại bằng bộ điều khiển hệ số khuếch đại ở tầng cơ bản 1060 sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã hoá BICM 500, dựa vào phương pháp điều biến đã được áp dụng trên tín hiệu tương ứng với tầng cơ bản. Ví dụ, khi tín hiệu tương ứng với tầng cơ bản được điều biến ở thiết bị truyền tín hiệu 100 bằng phương pháp điều biến 64-QAM, thì bộ khử ánh xạ thứ hai 410 có thể giải điều biến cho tín hiệu này bằng phương pháp điều biến 64-QAM.

Giá trị LLR có thể được biểu diễn dưới dạng giá trị loga của tỷ số giữa xác suất để cho bit được truyền từ thiết bị truyền tín hiệu 100 bằng 0 và xác suất để cho bit đó bằng 1. Theo cách khác, giá trị LLR có thể là giá trị tiêu biểu được xác định theo phần có xác suất mà bit truyền từ thiết bị truyền tín hiệu 100 có giá trị bằng 0 hay 1.

Bộ khử đan xen thứ hai 420 khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ hai 410.

Cụ thể, bộ khử đan xen thứ hai 420, có cấu hình tương ứng với cấu hình của bộ đan xen thứ hai 122 trong thiết bị truyền tín hiệu 100, có thể đảo ngược thao tác đan xen đã

được thực hiện ở bộ đan xen thứ hai 122, khử đan xen cho giá trị LLR và xuất ra kết quả khử đan xen để cung cấp cho bộ giải mã LDPC thứ hai 430.

Bộ giải mã LDPC thứ hai 430 giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ hai 420.

Cụ thể, bộ giải mã LDPC thứ hai 430, có cấu hình tương ứng với cấu hình của bộ mã hoá LDPC (không được thể hiện trên hình vẽ) trong bộ mã hoá BICM thứ hai 120 của thiết bị truyền tín hiệu 100, có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC trên giá trị LLR đã được khử đan xen.

Trong ví dụ này, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC bằng cách sử dụng các phương pháp khác nhau. Ví dụ, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC theo phương pháp giải mã lặp dựa vào thuật toán tổng-tích, và xác định các bit bằng phương pháp quyết định cứng và khôi phục các bit thông tin LDPC.

Trong đó, bộ giải mã LDPC thứ hai 430 có thể thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC ở bộ mã hoá thứ hai 121.

Ví dụ, nếu ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5 đã được sử dụng khi mã hoá LDPC, thì bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.5. Có nghĩa là, bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin 11 và bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ 12 có cấu trúc ma trận hai đường chéo.

Ngoài ra, nếu ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6 đã được sử dụng khi mã hoá LDPC, thì bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách thực hiện thao tác giải mã LDPC dựa vào ma trận kiểm tra chẵn lẻ có cấu trúc như được thể hiện trên Fig.6. Có nghĩa là, bộ giải mã LDPC thứ hai 430 có thể khôi phục từ thông tin LDPC tương ứng với ma trận con từ thông tin (tức là, ma trận con A của từ thông tin thứ nhất và ma trận con C của từ thông

tin thứ hai), các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất B có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai D có cấu trúc ma trận đơn vị.

Trong đó, thông tin về ma trận kiểm tra chẵn lẻ đã được sử dụng khi mã hoá LDPC có thể được lưu trữ từ trước ở thiết bị thu tín hiệu 1000 hoặc được cung cấp từ thiết bị truyền tín hiệu 100.

Bộ giải mã LDPC thứ hai 430 xuất ra từ thông tin LDPC được khôi phục bằng cách giải mã LDPC để cung cấp cho bộ giải mã CRC thứ hai 450.

Bộ giải mã CRC thứ hai 450 giải mã CRC cho tín hiệu đầu ra, tức là, từ thông tin LDPC, từ bộ giải mã LDPC thứ hai 430 và tạo ra tín hiệu thứ hai. Bộ giải mã CRC thứ hai 450 có cấu hình tương ứng với cấu hình của bộ mã hoá CRC (không được thể hiện trên hình vẽ) trong bộ mã hoá BICM thứ hai 120 của thiết bị truyền tín hiệu 100.

Cụ thể, vì từ thông tin LDPC được xuất ra từ bộ giải mã LDPC thứ hai 430 gồm có từ thông tin CRC và bit chẵn lẻ CRC, cho nên bộ giải mã CRC thứ hai 450 có thể giải mã CRC cho từ thông tin CRC và bit chẵn lẻ CRC được xuất ra từ bộ giải mã LDPC thứ hai 430.

Từ thông tin CRC là các bit tạo nên dòng tín hiệu, tức là, các bit dự định sẽ được truyền bằng thiết bị truyền tín hiệu 100, và các bit này có thể tạo nên tín hiệu tương ứng với tầng cơ bản. Ví dụ, bộ giải mã CRC thứ hai 450 có thể xuất ra các bit tạo nên dòng tín hiệu B trên Fig.1.

Fig.31 là lưu đồ dùng để mô tả phương pháp xử lý tín hiệu dựa vào các hình vẽ Fig.1, từ Fig.5 đến Fig.8B, Fig.30A và Fig.30B theo phương án làm ví dụ thực hiện sáng chế.

Trước hết, ở bước S3110, tín hiệu mã hoá chồng chập được xử lý ở bộ giải mã BICM thứ nhất 200, và tín hiệu thứ nhất được tạo ra.

Ở bước S3120, bit chẵn lẻ được tạo ra, dựa vào kết quả giải mã ở bộ giải mã BICM thứ nhất.

Ở bước S3130, tín hiệu, được tạo ra bằng cách loại bỏ tín hiệu tương ứng với tín hiệu thứ nhất được xuất ra từ bộ giải mã BICM và bit chẵn lẻ ra khỏi tín hiệu mã hoá

chồng chập, được xử lý ở bộ giải mã BICM thứ hai 400, và tín hiệu thứ hai được tạo ra.

Trong ví dụ này, thao tác ở bước S3110 có thể giải điều biến cho tín hiệu mã hoá chồng chập bằng cách sử dụng bộ khử ánh xạ thứ nhất 210, khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ nhất 210 bằng cách sử dụng bộ khử đan xen thứ nhất 220, giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ nhất 220 bằng cách sử dụng bộ giải mã LDPC thứ nhất 230, và giải mã BCH cho tín hiệu đầu ra từ bộ giải mã LDPC thứ nhất 230 bằng cách sử dụng bộ giải mã BCH thứ nhất 240.

Cụ thể, thao tác giải mã LDPC có thể khôi phục bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ có cấu trúc ma trận hai đường chéo tạo nên ma trận kiểm tra chẵn lẻ đã được sử dụng trong khi mã hoá LDPC ở thiết bị truyền tín hiệu 100.

Trong ví dụ nêu trên, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Ngoài ra, khi không có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào các biểu thức IPPC.

Ngoài ra, khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC tương ứng với bit tạo ra lỗi, và có thể tạo ra bit chẵn lẻ LDPC tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC.

Trong đó, thao tác giải mã có thể khôi phục các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất B có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai D có cấu trúc ma trận đơn vị.

Trong ví dụ nêu trên, khi không có lỗi trong từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể tạo

ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, dựa vào các biểu thức IPPC.

Ngoài ra, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể xác định xem có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC hay không, dựa vào kết quả giải mã BCH.

Khi có lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC, thì thao tác ở bước S3120 có thể xác định vị trí của bit tạo ra lỗi trong từ thông tin LDPC được khôi phục bằng cách giải mã LDPC dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị thu được của biểu thức IPPC thứ nhất tương ứng với bit tạo ra lỗi, và tạo ra bit chẵn lẻ LDPC thứ nhất tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC thứ nhất.

Thao tác ở bước S3120 có thể so sánh bit chẵn lẻ LDPC thứ nhất được tạo ra dựa vào giá trị đã lật của biểu thức IPPC thứ nhất với bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, và xác định vị trí của bit tạo ra lỗi trong bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, có thể hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit tạo ra lỗi, và có thể tạo ra bit chẵn lẻ LDPC thứ hai tương ứng với từ thông tin LDPC đã hiệu chỉnh lỗi và bit chẵn lẻ LDPC thứ nhất, dựa vào giá trị đã lật của biểu thức IPPC thứ hai.

Trong đó, thao tác ở bước S3120 có thể tạo ra bit chẵn lẻ LDPC cho từ thông tin LDPC được xuất ra từ bộ giải mã BICM thứ nhất 200, và phương pháp xử lý tín hiệu theo phương án làm ví dụ thực hiện sáng chế có thể đan xen từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC bằng cách sử dụng bộ mã hoá BICM 500, và điều biến từ mã LDPC đã được đan xen.

Trong ví dụ nêu trên, thao tác ở bước S3130 có thể là giải điều biến cho tín hiệu, tức là tín hiệu mã hoá chồng chập sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã hoá BICM 500, bằng cách sử dụng bộ khử ánh xạ thứ hai 410, khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ hai 410, bằng cách sử dụng bộ khử đan xen thứ hai 420, giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ hai 420, bằng cách sử dụng bộ giải mã LDPC thứ hai 430, và tạo ra tín hiệu thứ hai bằng cách giải mã BCH cho tín hiệu đầu

ra từ bộ giải mã LDPC thứ hai, bằng cách sử dụng bộ giải mã BCH thứ hai 440.

Theo cách khác, thao tác ở bước S3110 có thể là giải điều biến cho tín hiệu mã hoá chồng chập bằng bộ khử ánh xạ thứ nhất 210, khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ nhất 210 bằng bộ khử đan xen thứ nhất 220, giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ nhất 220 bằng bộ giải mã LDPC thứ nhất 230, và tạo ra tín hiệu thứ nhất bằng giải mã CRC cho tín hiệu đầu ra từ bộ giải mã LDPC thứ nhất bằng bộ giải mã CRC thứ nhất 240.

Trong ví dụ nêu trên, thao tác giải mã LDPC có thể khôi phục bit chẵn lẻ LDPC tương ứng với ma trận con chẵn lẻ có cấu trúc ma trận hai đường chéo tạo nên ma trận kiểm tra chẵn lẻ đã được sử dụng trong khi mã hoá LDPC ở thiết bị truyền tín hiệu 100.

Ngoài ra, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC dựa vào kết quả giải mã CRC, thì thao tác tạo ra bit chẵn lẻ có thể tạo ra bit chẵn lẻ LDPC cho từ thông tin LDPC dựa vào các biểu thức IPPC.

Trong đó, thao tác giải mã LDPC có thể khôi phục các bit chẵn lẻ LDPC thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất B có cấu trúc ma trận hai đường chéo, và các bit chẵn lẻ LDPC thứ hai tương ứng với ma trận con chẵn lẻ thứ hai D có cấu trúc ma trận đơn vị.

Trong ví dụ nêu trên, khi có lỗi trong ít nhất một trong số từ thông tin LDPC và bit chẵn lẻ LDPC thứ nhất được khôi phục bằng cách giải mã LDPC, nhưng không có lỗi trong từ thông tin LDPC dựa vào kết quả giải mã CRC, thì thao tác tạo ra bit chẵn lẻ có thể tạo ra bit chẵn lẻ LDPC cho từ thông tin LDPC dựa vào các biểu thức IPPC.

Trong đó, thao tác tạo ra bit chẵn lẻ ở bước S3120 có thể tạo ra bit chẵn lẻ LDPC cho từ thông tin LDPC được xuất ra từ bộ giải mã BICM thứ nhất 200. Ngoài ra, phương pháp xử lý tín hiệu theo phương án làm ví dụ thực hiện sáng chế có thể bao gồm các bước đan xen từ mã LDPC gồm có từ thông tin LDPC và bit chẵn lẻ LDPC, và điều biến từ mã LDPC đã được đan xen ở bộ mã hoá BICM 500.

Trong ví dụ nêu trên, thao tác ở bước S3130 có thể là giải điều biến cho tín hiệu, tức là tín hiệu mã hoá chồng chập sau khi loại bỏ ra khỏi đó tín hiệu được xuất ra từ bộ mã

hoá BICM 500, bằng bộ khử ánh xạ thứ hai 410, khử đan xen cho tín hiệu đầu ra từ bộ khử ánh xạ thứ hai bằng bộ khử đan xen thứ hai 420, giải mã LDPC cho tín hiệu đầu ra từ bộ khử đan xen thứ hai bằng bộ giải mã LDPC thứ hai 430, và tạo ra tín hiệu thứ hai bằng cách giải mã CRC cho tín hiệu đầu ra từ bộ giải mã LDPC thứ hai 430 bằng bộ giải mã CRC 450.

Các thao tác hoặc các bước thực hiện trong mỗi phương pháp hoặc thuật toán nêu trên có thể được thực hiện dưới dạng mã đọc được bằng máy tính được lưu trữ trên vật ghi đọc được bằng máy tính, hoặc được truyền qua môi trường truyền dẫn. Vật ghi đọc được bằng máy tính là thiết bị lưu trữ dữ liệu bất kỳ có thể lưu trữ dữ liệu theo cách sao cho sau đó hệ thống máy tính có thể đọc được dữ liệu này. Ví dụ về vật ghi đọc được bằng máy tính là bộ nhớ chỉ đọc (Read-Only Memory, ROM), bộ nhớ truy nhập ngẫu nhiên (Random-Access Memory, RAM), đĩa compac-bộ nhớ chỉ đọc (Compact Disc - Read Only Memory, CD-ROM), đĩa đa năng kỹ thuật số (Digital Versatile Disc, DVD), băng từ, đĩa mềm, và thiết bị lưu trữ dữ liệu quang học, nhưng vật ghi đọc được bằng máy tính không chỉ giới hạn ở các loại nêu trên. Môi trường truyền dẫn có thể là sóng mang truyền qua mạng internet hoặc nhiều loại kênh truyền thông khác nhau. Vật ghi đọc được bằng máy tính cũng có thể được phân phối qua các hệ thống máy tính được kết nối với mạng sao cho mã đọc được bằng máy tính sẽ được lưu trữ và thực hiện ở chế độ phân tán.

Ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị được biểu thị ở dạng khối như được thể hiện trên các hình vẽ Fig.1, Fig.7, Fig.8A, Fig.8B, Fig.30A và Fig.30B có thể được thực hiện dưới dạng nhiều cấu trúc phần cứng, phần mềm và/hoặc phần sụn khác nhau để thực hiện các chức năng tương ứng nêu trên, theo phương án làm ví dụ thực hiện sáng chế. Ví dụ, ít nhất một trong số các bộ phận, phần tử hoặc đơn vị có thể sử dụng cấu trúc mạch trực tiếp, như bộ nhớ, bộ xử lý, mạch logic, bảng tra cứu, v.v., để có thể thực hiện các chức năng tương ứng theo sự điều khiển của một hoặc nhiều bộ vi xử lý hoặc các thiết bị điều khiển khác. Ngoài ra, ít nhất một trong số các bộ phận, phần tử hoặc đơn vị có thể được biểu thị ở dạng cụ thể bằng môđun, chương trình, hoặc đoạn mã, chứa một hoặc nhiều lệnh thi hành được để thực hiện các chức năng logic cụ thể, và được thi hành bằng một hoặc nhiều bộ vi xử lý hoặc các thiết bị điều khiển khác. Hơn nữa, ít

nhất một trong số các bộ phận, phần tử hoặc đơn vị có thể còn có bộ xử lý như bộ xử lý trung tâm (Central Processing Unit, CPU) để thực hiện các chức năng tương ứng, bộ vi xử lý, hoặc các bộ xử lý khác. Hai hoặc nhiều hơn hai bộ phận trong số các bộ phận, phần tử hoặc đơn vị nêu trên có thể được kết hợp lại thành một bộ phận, phần tử hoặc đơn vị để thực hiện tất cả các thao tác hoặc chức năng của hai hoặc nhiều hơn hai bộ phận, phần tử hoặc đơn vị được kết hợp. Ngoài ra, ít nhất một phần của các chức năng của ít nhất một trong số các bộ phận, phần tử hoặc đơn vị có thể được thực hiện bằng các bộ phận, phần tử hoặc đơn vị khác. Ngoài ra, mặc dù trong các sơ đồ khối nêu trên không thể hiện bus, nhưng sự truyền thông giữa các bộ phận, phần tử hoặc đơn vị có thể được thực hiện thông qua bus. Các khía cạnh liên quan đến chức năng khác trong các phương án làm ví dụ thực hiện sáng chế nêu trên có thể được thực hiện dưới dạng các thuật toán để thực hiện trong một hoặc nhiều bộ xử lý. Hơn nữa, các bộ phận, phần tử hoặc đơn vị được biểu thị ở dạng khối hoặc các bước xử lý có thể áp dụng các kỹ thuật bất kỳ trong lĩnh vực liên quan để tạo cấu hình cho thiết bị điện tử, xử lý và/hoặc điều khiển tín hiệu, xử lý dữ liệu và các chức năng khác.

Các phương án làm ví dụ thực hiện sáng chế và các ưu điểm của sáng chế đã nêu ở trên chỉ được coi là để làm ví dụ minh hoạ cho sáng chế và không được coi là để giới hạn phạm vi của sáng chế. Giải pháp theo sáng chế có thể được áp dụng dễ dàng cho các loại thiết bị khác. Ví dụ, mặc dù trong các phương án làm ví dụ thực hiện sáng chế nêu trên, giải pháp theo sáng chế được mô tả dưới dạng là được áp dụng cho một bộ giải mã cụ thể như bộ giải mã BICM có bộ giải mã LDPC, bộ giải mã BCH và bộ giải mã CRC, nhưng giải pháp theo sáng chế cũng có thể được áp dụng cho các loại bộ giải mã khác, miễn là các bộ giải mã đó thực hiện các chức năng tương tự như bộ giải mã BICM đã được mô tả ở trên. Ngoài ra, giải pháp theo sáng chế cũng có thể được áp dụng để tạo ra tín hiệu ở tầng thấp hơn khác với tín hiệu ở tầng cơ bản đã được mô tả ở trên, dựa vào kết quả giải mã tín hiệu ở tầng cao hơn. Ngoài ra, phần mô tả về các phương án làm ví dụ thực hiện sáng chế chỉ được coi là để làm ví dụ minh hoạ cho sáng chế, và không được coi là để giới hạn phạm vi yêu cầu bảo hộ của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị thu tín hiệu có ít nhất một bộ xử lý được tạo cấu hình để điều khiển hoặc thực hiện:

bộ giải mã điều biến mã hoá đan xen bit (Bit-Interleaved Coded Modulation, BICM) thứ nhất được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn tương ứng với tầng cao hơn và tín hiệu ở tầng thấp hơn tương ứng với tầng thấp hơn để tạo ra tín hiệu đầu ra thứ nhất tương ứng với tầng cao hơn;

bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra một hoặc nhiều bit chẵn lẻ dựa vào kết quả giải mã tín hiệu đầu vào thứ nhất; và

bộ giải mã BICM thứ hai được tạo cấu hình để giải mã tín hiệu đầu vào thứ hai được tạo ra dựa vào tín hiệu đầu vào thứ nhất và một hoặc nhiều bit chẵn lẻ để tạo ra tín hiệu đầu ra thứ hai tương ứng với tầng thấp hơn,

trong đó bộ giải mã BICM thứ nhất bao gồm bộ giải mã kiểm tra chẵn lẻ mật độ thấp (Low Density Parity Check, LDPC) được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin dựa trên mã LDPC, và

trong đó, nếu không có lỗi trong các bit thông tin, thì một hoặc nhiều bit chẵn lẻ được tạo ra dựa vào các giá trị của các biểu thức kiểm tra chẵn lẻ phần thông tin (Information Part Parity Check, IPPC) thu được dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC và nếu có lỗi trong các bit thông tin, thì một hoặc nhiều bit chẵn lẻ được tạo ra dựa vào các giá trị thu được bằng cách lật các giá trị của một hoặc nhiều biểu thức IPPC liên quan đến lỗi trong số các biểu thức IPPC.

2. Thiết bị thu tín hiệu theo điểm 1, trong đó bộ giải mã (LDPC) được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin và các bit chẵn lẻ; và

trong đó bộ giải mã BICM thứ nhất còn bao gồm:

bộ giải mã Bose, Chaudhri, Hocquenghem (BCH) được tạo cấu hình để giải mã các bit thông tin để tạo ra tín hiệu đầu ra thứ nhất,

trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra một hoặc nhiều bit chẵn lẻ

dựa vào kết quả của ít nhất một thao tác giải mã trong số thao tác giải mã LDPC và thao tác giải mã BCH.

3. Thiết bị thu tín hiệu theo điểm 1, trong đó một hoặc nhiều bit chẵn lẻ tương ứng với ma trận con chẵn lẻ với cấu trúc có ma trận hai đường chéo là một phần của ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá để tạo ra tín hiệu đầu vào thứ nhất ở thiết bị truyền tín hiệu.

4. Thiết bị thu tín hiệu theo điểm 2, trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ hay không, và

trong đó, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ, bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong các bit thông tin hay không, dựa vào kết quả giải mã BCH.

5. Thiết bị thu tín hiệu theo điểm 1, trong đó bộ giải mã LDPC được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin, các bit chẵn lẻ thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất với cấu trúc có ma trận hai đường chéo, và các bit chẵn lẻ thứ hai tương ứng với ma trận con chẵn lẻ thứ hai với cấu trúc có ma trận đơn vị; và

bộ giải mã Bose, Chaudhri, Hocquenghem (BCH) được tạo cấu hình để giải mã các bit thông tin dựa trên mã BCH để tạo ra tín hiệu đầu ra thứ nhất,

trong đó ma trận con chẵn lẻ thứ nhất và ma trận con chẵn lẻ thứ hai lần lượt là các phần của ma trận kiểm tra chẵn lẻ thứ nhất và ma trận kiểm tra chẵn lẻ thứ hai tạo nên ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá để tạo ra tín hiệu đầu vào thứ nhất ở thiết bị truyền tín hiệu.

6. Thiết bị thu tín hiệu theo điểm 5, trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất hay không, và

trong đó đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất, bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra

các bit chẵn lẻ thứ hai tương ứng với các bit thông tin và các bit chẵn lẻ thứ nhất, dựa vào các biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

7. Thiết bị thu tín hiệu theo điểm 6, trong đó, đáp lại trường hợp xác định rằng không có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất, bộ tạo bit chẵn lẻ còn được tạo cấu hình để tạo ra các bit chẵn lẻ LDPC thứ nhất mới tương ứng với các bit thông tin, dựa vào các biểu thức IPPC là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

8. Thiết bị thu tín hiệu theo điểm 6, trong đó, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất được khôi phục, bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong các bit thông tin hay không, dựa vào kết quả giải mã BCH.

9. Thiết bị thu tín hiệu theo điểm 8, trong đó, đáp lại trường hợp xác định rằng có lỗi trong các bit thông tin, bộ tạo bit chẵn lẻ được tạo cấu hình để xác định vị trí của bit có lỗi trong số các bit thông tin dựa vào kết quả giải mã BCH, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) thứ nhất tương ứng với bit có lỗi, và tạo ra bit chẵn lẻ thứ nhất mới tương ứng với các bit thông tin đã hiệu chỉnh lỗi dựa vào giá trị đã lật của biểu thức IPPC thứ nhất, và

trong đó biểu thức IPPC thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

10. Thiết bị thu tín hiệu theo điểm 9, trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để so sánh các bit chẵn lẻ thứ nhất mới với các bit chẵn lẻ thứ nhất, xác định xem có lỗi trong các bit chẵn lẻ thứ nhất hay không dựa vào kết quả so sánh, xác định vị trí của bit có lỗi trong số các bit chẵn lẻ thứ nhất, hiệu chỉnh lỗi bằng cách lật giá trị của biểu thức IPPC thứ hai tương ứng với bit có lỗi trong các bit chẵn lẻ thứ nhất, và tạo ra các bit chẵn lẻ thứ hai mới tương ứng với các bit thông tin đã hiệu chỉnh lỗi và các bit chẵn lẻ thứ nhất, dựa vào giá trị đã lật của biểu thức IPPC thứ hai.

11. Thiết bị thu tín hiệu theo điểm 1, trong đó thiết bị này còn bao gồm bộ mã hoá BICM

được tạo cấu hình để mã hoá các bit thông tin và một hoặc nhiều bit chẵn lẻ, để tạo ra tín hiệu được dùng để tạo ra tín hiệu đầu vào thứ hai.

12. Thiết bị thu tín hiệu theo điểm 11, trong đó thiết bị này còn bao gồm bộ phận loại bỏ tín hiệu được tạo cấu hình để loại bỏ tín hiệu được tạo ra bằng bộ mã hoá BICM ra khỏi tín hiệu đầu vào thứ nhất để xuất ra tín hiệu đầu vào thứ hai.

13. Thiết bị thu tín hiệu theo điểm 11, trong đó bộ giải mã LDPC được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin và các bit chẵn lẻ; và

trong đó bộ giải mã BICM thứ nhất bao gồm:

bộ giải mã kiểm dư vòng (Cyclic Redundancy Check, CRC) được tạo cấu hình để giải mã các bit thông tin dựa vào mã CRC để tạo ra tín hiệu đầu ra thứ nhất,

trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra một hoặc nhiều bit chẵn lẻ dựa vào kết quả của ít nhất một thao tác giải mã trong số thao tác giải mã LDPC và thao tác giải mã CRC.

14. Thiết bị thu tín hiệu theo điểm 1, trong đó bộ giải mã LDPC được tạo cấu hình để giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin và các bit chẵn lẻ; và

bộ giải mã kiểm dư vòng (CRC) được tạo cấu hình để giải mã các bit thông tin dựa vào mã CRC để tạo ra tín hiệu đầu ra thứ nhất,

trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong ít nhất một trong số các bit thông tin và bit chẵn lẻ LDPC được khôi phục bằng cách giải mã LDPC hay không, và

trong đó, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ, dựa vào kết quả giải mã CRC, bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra một hoặc nhiều bit chẵn lẻ, dựa vào các biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

15. Thiết bị thu tín hiệu theo điểm 1, trong đó bộ giải mã LDPC được tạo cấu hình để giải

mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin, các bit chẵn lẻ thứ nhất tương ứng với ma trận con chẵn lẻ thứ nhất với cấu trúc có ma trận hai đường chéo, và các bit chẵn lẻ thứ hai tương ứng với ma trận con chẵn lẻ thứ hai với cấu trúc có ma trận đơn vị; và

trong đó bộ giải mã BICM thứ nhất bao gồm:

bộ giải mã kiểm dư vòng (CRC) được tạo cấu hình để giải mã các bit thông tin dựa vào mã CRC để tạo ra tín hiệu đầu ra thứ nhất,

trong đó ma trận con chẵn lẻ thứ nhất và ma trận con chẵn lẻ thứ hai lần lượt là các phần của ma trận kiểm tra chẵn lẻ thứ nhất và ma trận kiểm tra chẵn lẻ thứ hai tạo nên ma trận kiểm tra chẵn lẻ được sử dụng để mã hoá ở thiết bị truyền tín hiệu để tạo ra tín hiệu đầu vào thứ nhất.

16. Thiết bị thu tín hiệu theo điểm 15, trong đó bộ tạo bit chẵn lẻ được tạo cấu hình để xác định xem có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất hay không, và

trong đó, đáp lại trường hợp xác định rằng có lỗi trong ít nhất một trong số các bit thông tin và các bit chẵn lẻ thứ nhất, dựa vào kết quả giải mã CRC, bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra các bit chẵn lẻ thứ nhất mới tương ứng với các bit thông tin dựa vào các biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) thứ nhất là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ nhất.

17. Thiết bị thu tín hiệu theo điểm 16, trong đó, sau khi tạo ra các bit chẵn lẻ thứ nhất mới, bộ tạo bit chẵn lẻ được tạo cấu hình để tạo ra các bit chẵn lẻ thứ hai mới tương ứng với các bit thông tin và các bit chẵn lẻ thứ nhất mới dựa vào các biểu thức IPPC thứ hai là một phần của biểu thức kiểm tra chẵn lẻ liên quan đến ma trận kiểm tra chẵn lẻ thứ hai.

18. Phương pháp xử lý tín hiệu được thực hiện trên thiết bị thu tín hiệu có ít nhất một bộ xử lý bao gồm các bước:

tạo ra tín hiệu đầu ra thứ nhất tương ứng với tín hiệu tầng cao hơn bằng cách giải mã tín hiệu đầu vào thứ nhất được tạo ra ở thiết bị truyền tín hiệu bằng cách chồng chập tín hiệu ở tầng cao hơn tương ứng với tầng cao hơn và tín hiệu ở tầng thấp hơn tương ứng

với tầng thấp hơn;

tạo ra một hoặc nhiều bit chẵn lẻ dựa vào kết quả giải mã tín hiệu đầu vào thứ nhất;

tạo ra tín hiệu đầu vào thứ hai dựa vào tín hiệu đầu vào thứ nhất và một hoặc nhiều bit chẵn lẻ; và

giải mã tín hiệu đầu vào thứ hai để tạo ra tín hiệu đầu ra thứ hai tương ứng với tầng thấp hơn,

trong đó bước tạo ra tín hiệu đầu ra thứ nhất bao gồm bước giải mã tín hiệu đầu vào thứ nhất để tạo ra các bit thông tin dựa trên mã kiểm tra chẵn lẻ mật độ thấp (LDPC), và

trong đó, nếu không có lỗi trong các bit thông tin, thì một hoặc nhiều bit chẵn lẻ được tạo ra dựa vào các giá trị của các biểu thức kiểm tra chẵn lẻ phần thông tin (IPPC) thu được dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC, và nếu có lỗi trong các bit thông tin, thì một hoặc nhiều bit chẵn lẻ được tạo ra dựa vào các giá trị thu được bằng cách lật các giá trị của một hoặc nhiều biểu thức IPPC liên quan đến lỗi trong số các biểu thức IPPC.

Fig. 1

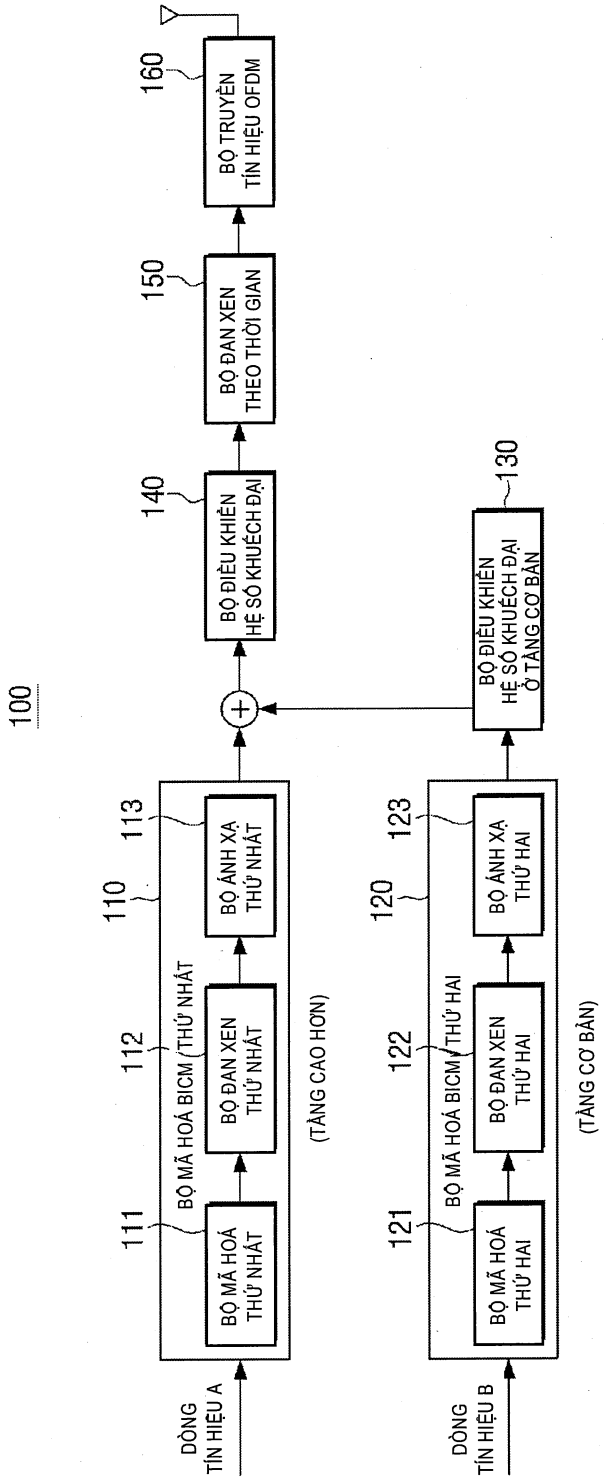

100
160
BỘ TRUYỀN TÍN HIỆU OFDM
150
BỘ ĐAN XEN THEO THỜI GIAN
140
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI
130
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI Ở TẦNG CƠ BẢN
110
113
BỘ ÁNH XẠ THỨ NHẤT
112
BỘ ĐAN XEN THỨ NHẤT
111
BỘ MÃ HOÁ THỨ NHẤT
BỘ MÃ HOÁ BICM (THỨ NHẤT)
(TẦNG CAO HƠN)
120
123
BỘ ÁNH XẠ THỨ HAI
122
BỘ ĐAN XEN THỨ HAI
121
BỘ MÃ HOÁ THỨ HAI
BỘ MÃ HOÁ BICM (THỨ HAI)
(TẦNG CƠ BẢN)
DÒNG TÍN HIỆU A
DÒNG TÍN HIỆU B

Fig. 2A

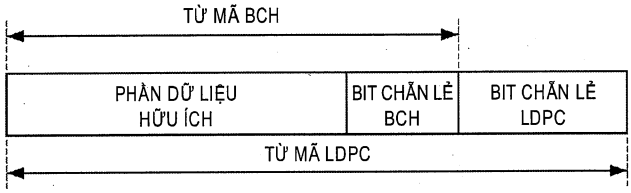

TỪ MÃ BCH
PHẦN DỮ LIỆU HỮU ÍCH
BIT CHẴN LẺ BCH
BIT CHẴN LẺ LDPC
TỪ MÃ LDPC

Fig. 2B

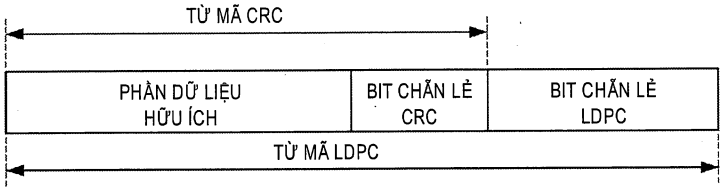


Fig. 3

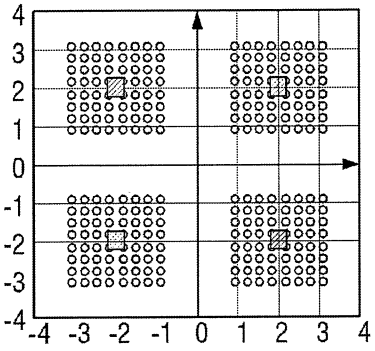


Fig. 4

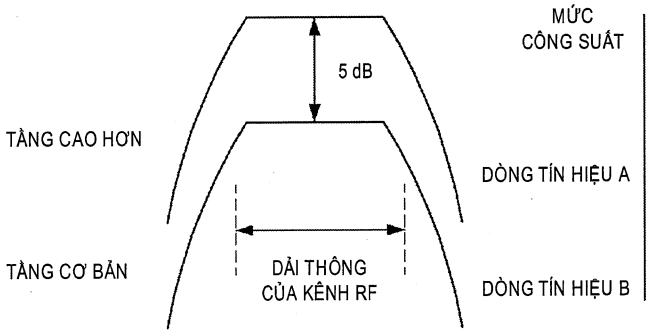


Fig. 5

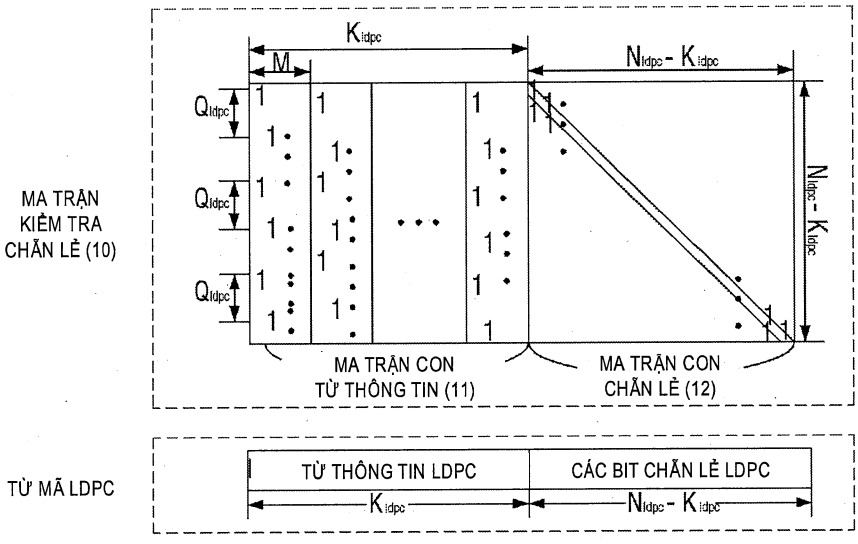


Fig. 6

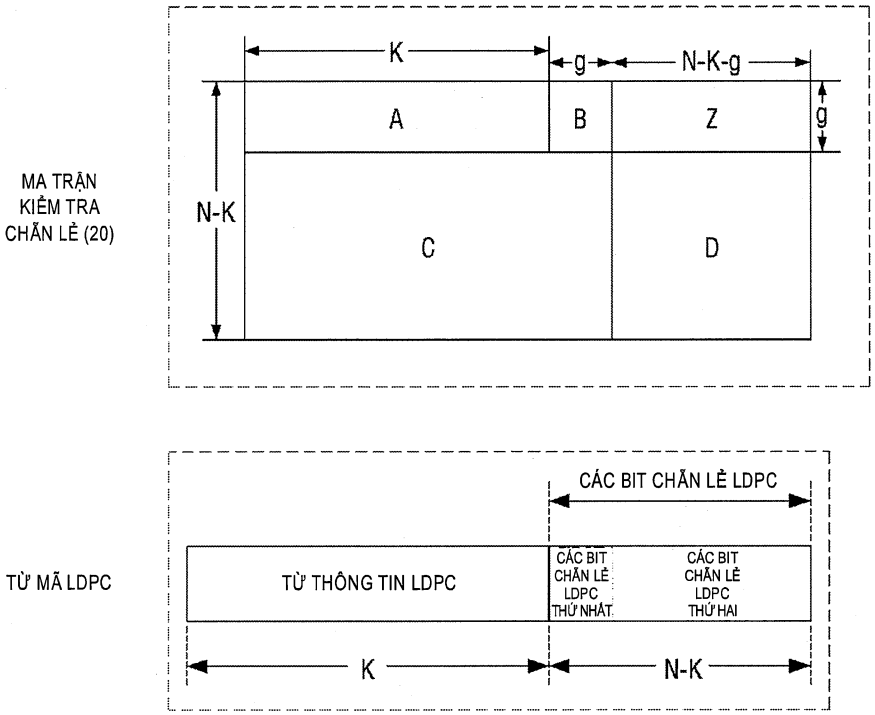


Fig. 7

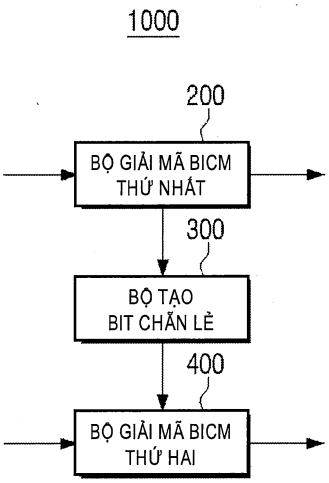


Fig. 8A

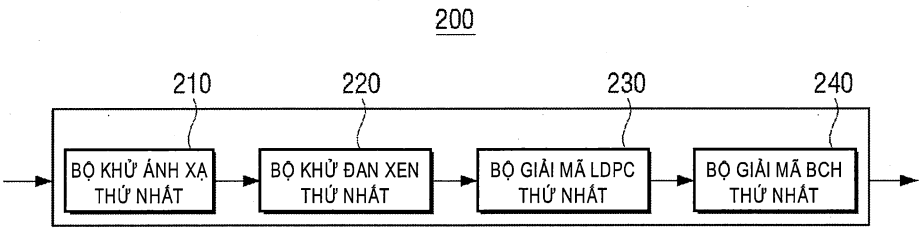


Fig. 8B

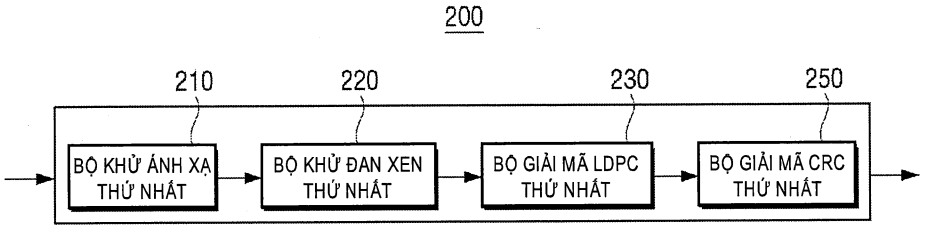


Fig. 9

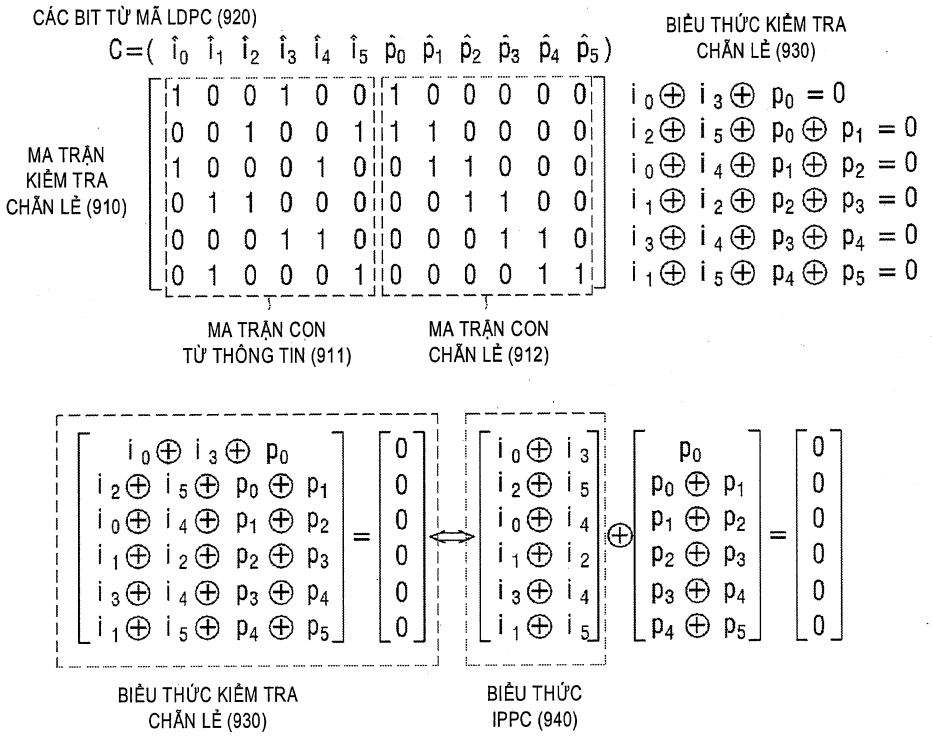
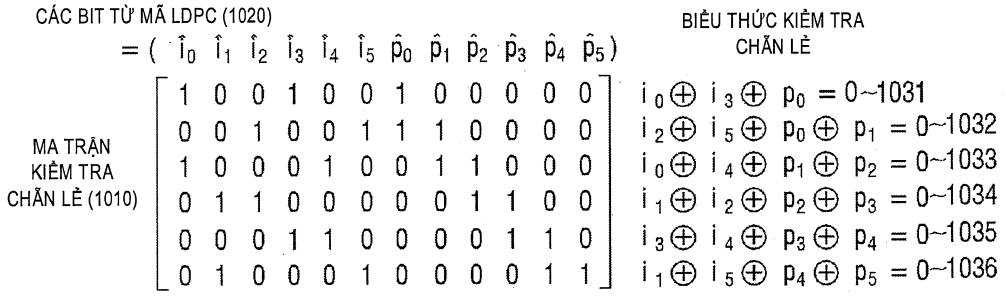


Fig. 10



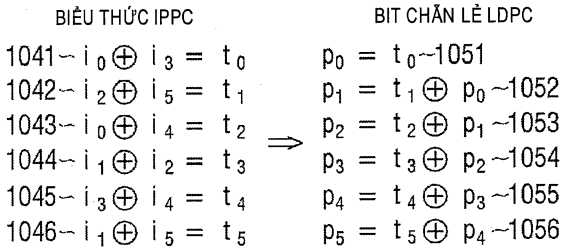
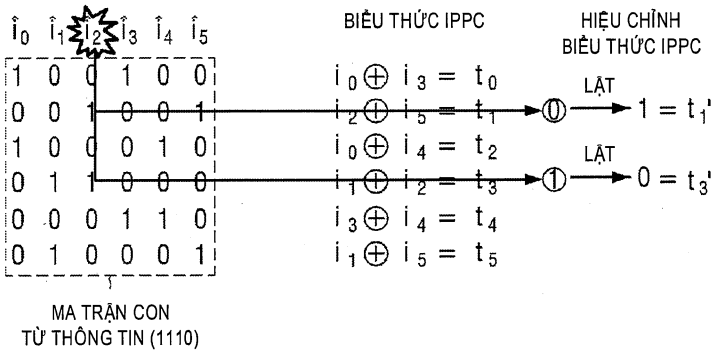


Fig. 11


$\hat{i}_0$ $\hat{i}_1$ $\hat{i}_2$ $\hat{i}_3$ $\hat{i}_4$ $\hat{i}_5$
1 0 0 1 0 0
0 0 1 0 0 1
1 0 0 0 1 0
0 1 1 0 0 0
0 0 0 1 1 0
0 1 0 0 0 1
MA TRẬN CON TỪ THÔNG TIN (1110)
BIỂU THỨC IPPC
$i_0 \oplus i_3 = t_0$
$i_2 \oplus i_5 = t_1$
$i_0 \oplus i_4 = t_2$
$i_1 \oplus i_2 = t_3$
$i_3 \oplus i_4 = t_4$
$i_1 \oplus i_5 = t_5$
HIỆU CHỈNH BIỂU THỨC IPPC
LẬT
0
$1 = t_1'$
LẬT
1
$0 = t_3'$

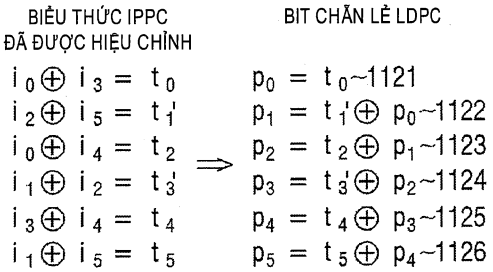

BIỂU THỨC IPPC ĐÃ ĐƯỢC HIỆU CHỈNH
$i_0 \oplus i_3 = t_0$
$i_2 \oplus i_5 = t_1'$
$i_0 \oplus i_4 = t_2$
$i_1 \oplus i_2 = t_3'$
$i_3 \oplus i_4 = t_4$
$i_1 \oplus i_5 = t_5$
BIT CHẴN LẺ LDPC
$p_0 = t_0$ ~1121
$p_1 = t_1' \oplus p_0$ ~1122
$p_2 = t_2 \oplus p_1$ ~1123
$p_3 = t_3' \oplus p_2$ ~1124
$p_4 = t_4 \oplus p_3$ ~1125
$p_5 = t_5 \oplus p_4$ ~1126

Fig. 12

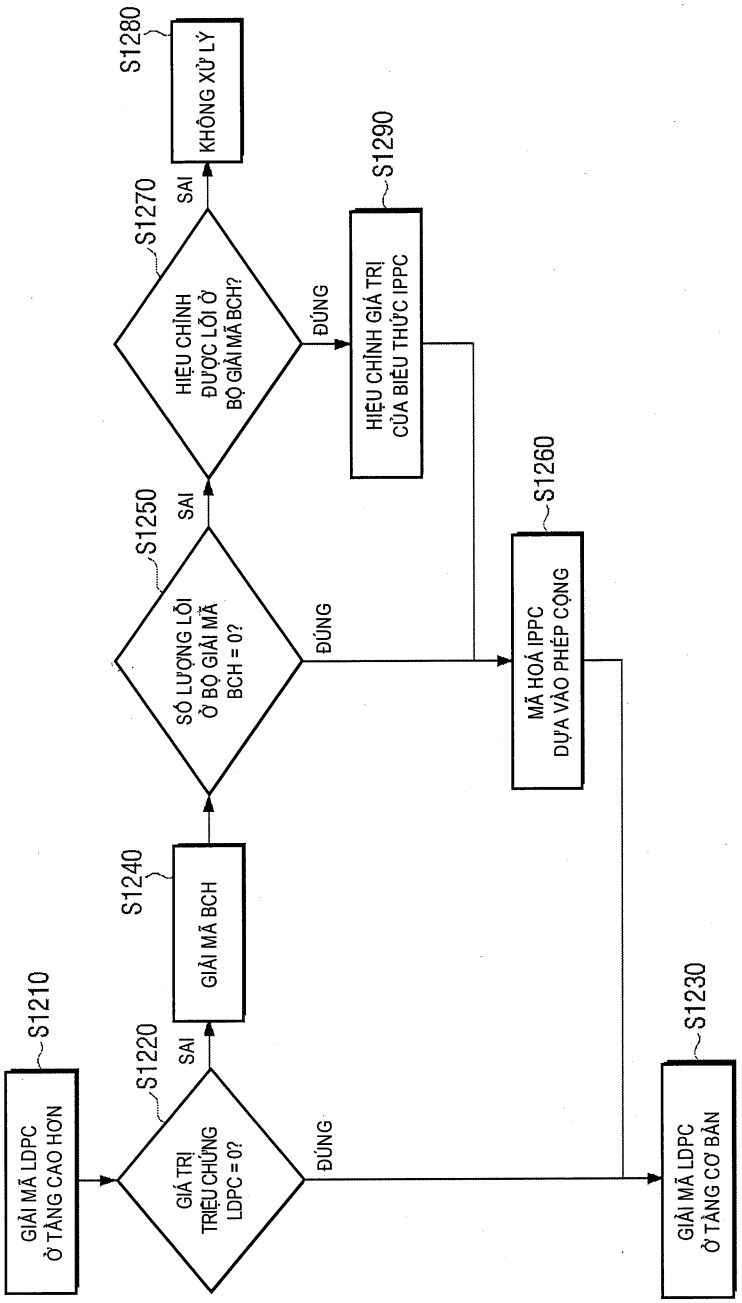

S1210
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S1220
GIÁ TRỊ TRIỆU CHỨNG LDPC = 0?
SAI
ĐÚNG
S1230
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S1240
GIẢI MÃ BCH
S1250
SỐ LƯỢNG LỖI Ở BỘ GIẢI MÃ BCH = 0?
SAI
ĐÚNG
S1260
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S1270
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S1280
KHÔNG XỬ LÝ
S1290
HIỆU CHỈNH GIÁ TRỊ CỦA BIỂU THỨC IPPC

Fig. 13

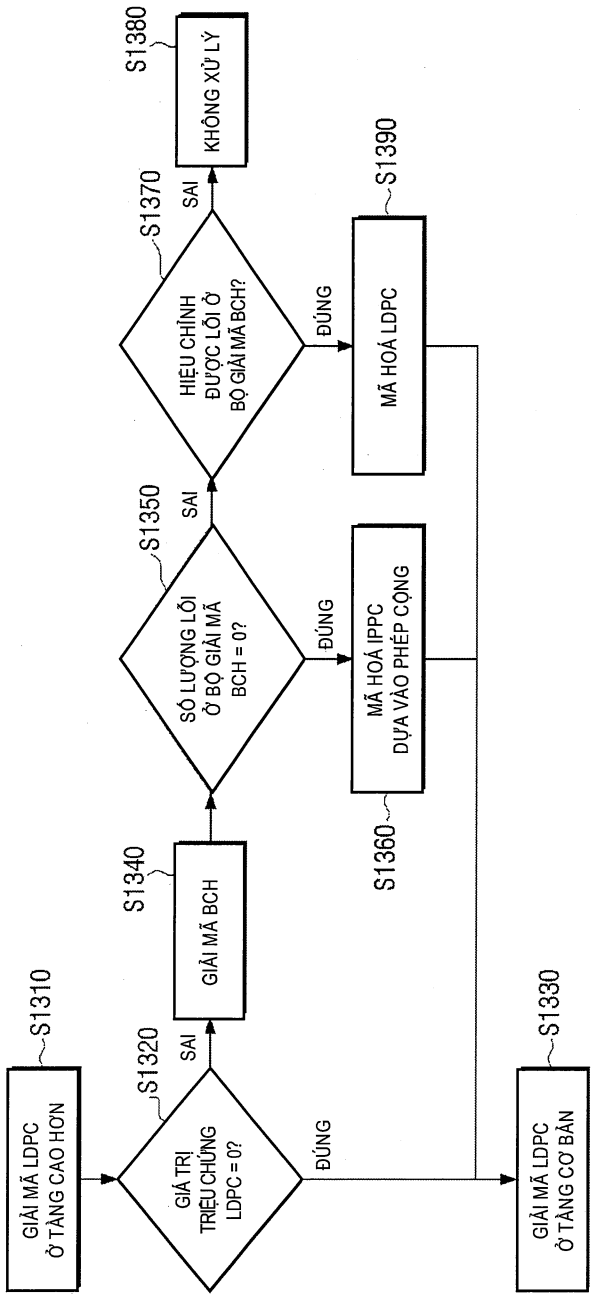

S1310
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S1320
GIÁ TRỊ TRIỆU CHỨNG LDPC = 0?
SAI
ĐÚNG
S1330
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S1340
GIẢI MÃ BCH
S1350
SỐ LƯỢNG LỖI Ở BỘ GIẢI MÃ BCH = 0?
SAI
ĐÚNG
S1360
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S1370
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S1380
KHÔNG XỬ LÝ
S1390
MÃ HOÁ LDPC

Fig. 14

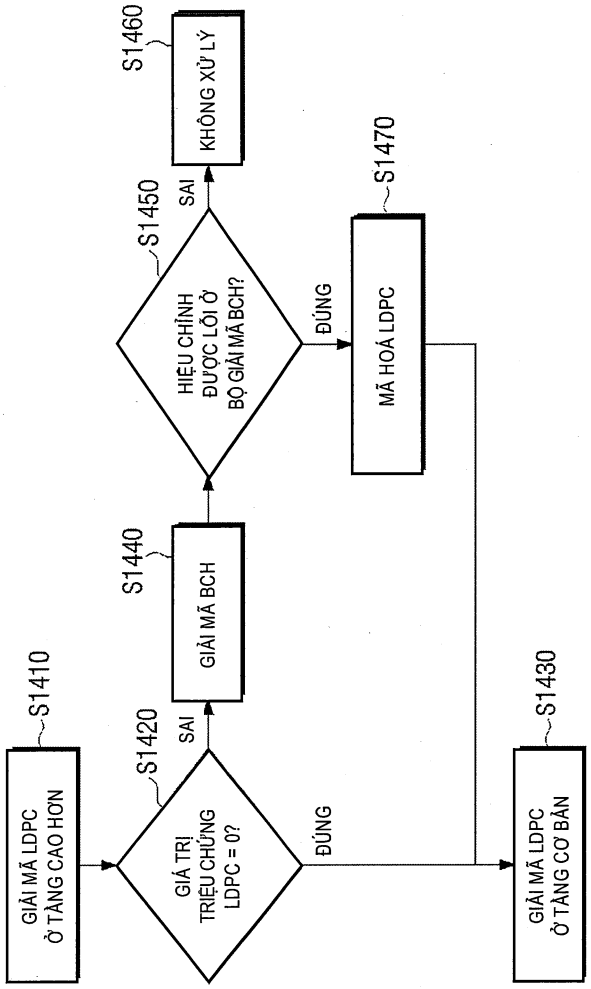

S1410
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S1420
GIÁ TRỊ TRIỆU CHỨNG LDPC = 0?
SAI
ĐÚNG
S1430
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S1440
GIẢI MÃ BCH
S1450
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S1460
KHÔNG XỬ LÝ
S1470
MÃ HOÁ LDPC

Fig. 15A

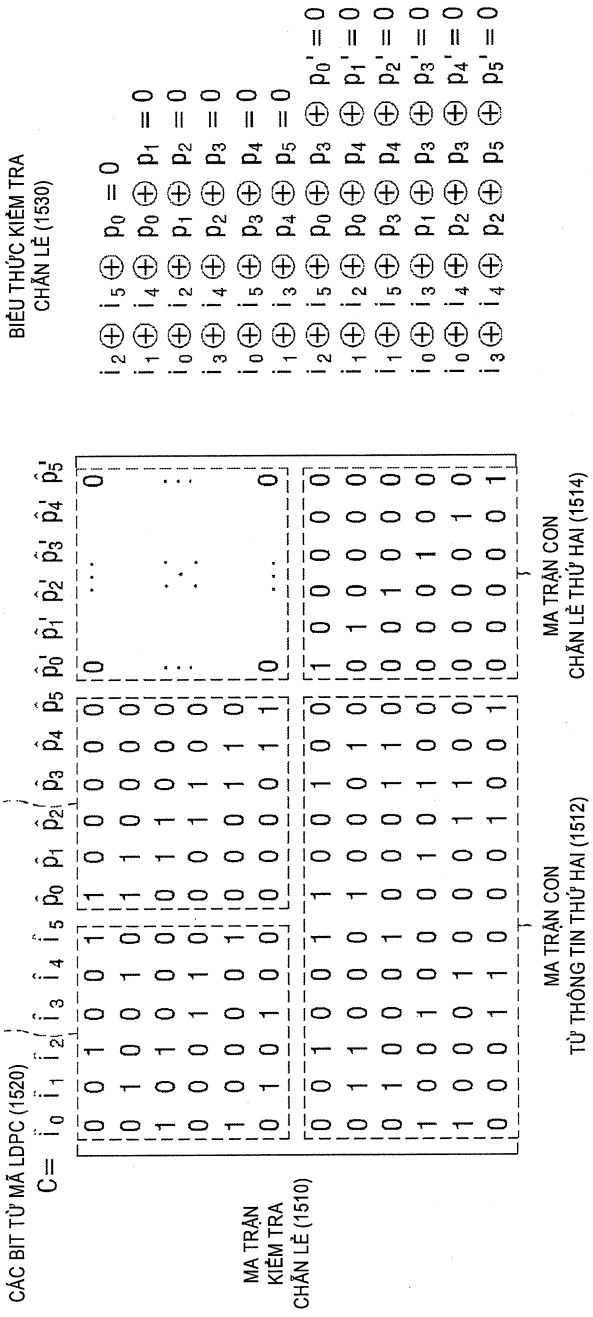

MA TRẬN CON
TỪ THÔNG TIN THỨ NHẤT (1511)
MA TRẬN CON
CHẴN LẺ THỨ NHẤT (1513)
CÁC BIT TỪ MÃ LDPC (1520)
C= $\hat{i}_0$ $\hat{i}_1$ $\hat{i}_2$ $\hat{i}_3$ $\hat{i}_4$ $\hat{i}_5$ $\hat{p}_0$ $\hat{p}_1$ $\hat{p}_2$ $\hat{p}_3$ $\hat{p}_4$ $\hat{p}_5$ $\hat{p}_0'$ $\hat{p}_1'$ $\hat{p}_2'$ $\hat{p}_3'$ $\hat{p}_4'$ $\hat{p}_5'$
MA TRẬN
KIỂM TRA
CHẴN LẺ (1510)
BIỂU THỨC KIỂM TRA
CHẴN LẺ (1530)
$i_2 \oplus i_5 \oplus p_0 = 0$
$i_1 \oplus i_4 \oplus p_0 \oplus p_1 = 0$
$i_0 \oplus i_2 \oplus p_1 \oplus p_2 = 0$
$i_3 \oplus i_4 \oplus p_2 \oplus p_3 = 0$
$i_0 \oplus i_5 \oplus p_3 \oplus p_4 = 0$
$i_1 \oplus i_3 \oplus p_4 \oplus p_5 = 0$
$i_2 \oplus i_5 \oplus p_0 \oplus p_3 \oplus p_0' = 0$
$i_1 \oplus i_2 \oplus p_0 \oplus p_4 \oplus p_1' = 0$
$i_1 \oplus i_5 \oplus p_3 \oplus p_4 \oplus p_2' = 0$
$i_0 \oplus i_3 \oplus p_1 \oplus p_3 \oplus p_3' = 0$
$i_0 \oplus i_4 \oplus p_2 \oplus p_3 \oplus p_4' = 0$
$i_3 \oplus i_4 \oplus p_2 \oplus p_5 \oplus p_5' = 0$
MA TRẬN CON
TỪ THÔNG TIN THỨ HAI (1512)
MA TRẬN CON
CHẴN LẺ THỨ HAI (1514)

Fig. 15B

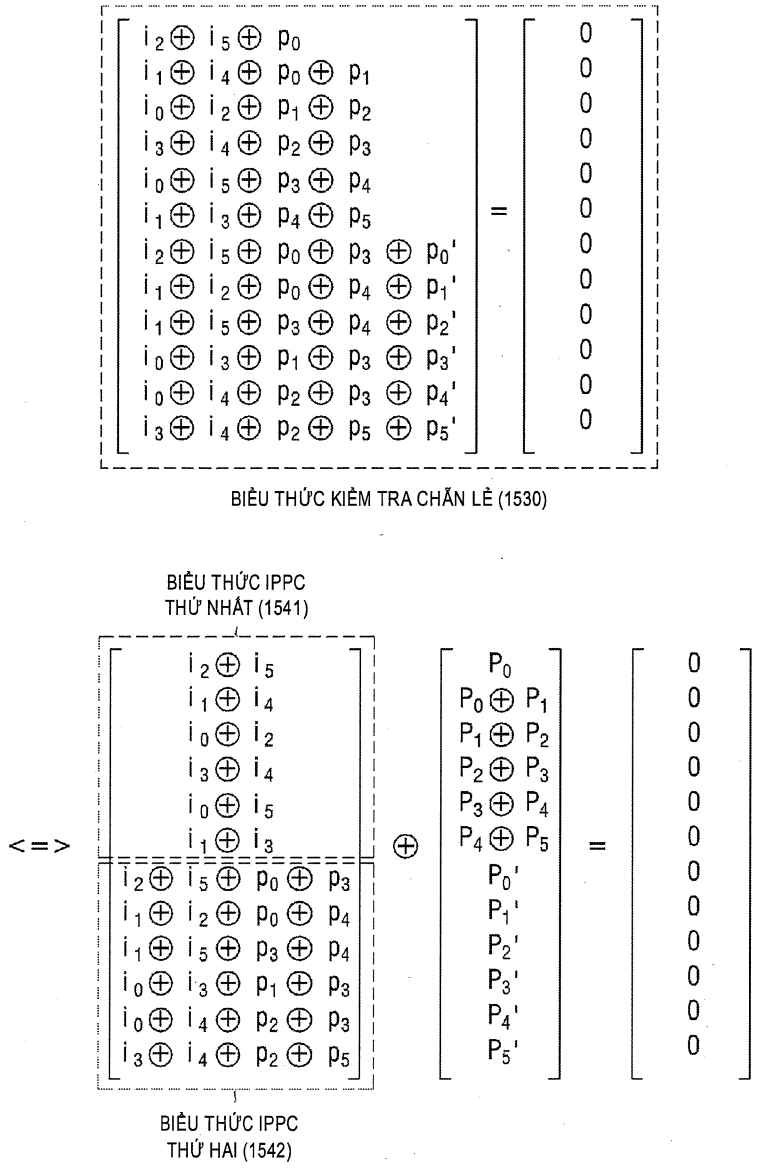

$\begin{bmatrix} i_2 \oplus i_5 \oplus p_0 \\ i_1 \oplus i_4 \oplus p_0 \oplus p_1 \\ i_0 \oplus i_2 \oplus p_1 \oplus p_2 \\ i_3 \oplus i_4 \oplus p_2 \oplus p_3 \\ i_0 \oplus i_5 \oplus p_3 \oplus p_4 \\ i_1 \oplus i_3 \oplus p_4 \oplus p_5 \\ i_2 \oplus i_5 \oplus p_0 \oplus p_3 \oplus p_0' \\ i_1 \oplus i_2 \oplus p_0 \oplus p_4 \oplus p_1' \\ i_1 \oplus i_5 \oplus p_3 \oplus p_4 \oplus p_2' \\ i_0 \oplus i_3 \oplus p_1 \oplus p_3 \oplus p_3' \\ i_0 \oplus i_4 \oplus p_2 \oplus p_3 \oplus p_4' \\ i_3 \oplus i_4 \oplus p_2 \oplus p_5 \oplus p_5' \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}$
BIỂU THỨC KIỂM TRA CHẴN LẺ (1530)
BIỂU THỨC IPPC THỨ NHẤT (1541)
$<=>$
$\begin{bmatrix} i_2 \oplus i_5 \\ i_1 \oplus i_4 \\ i_0 \oplus i_2 \\ i_3 \oplus i_4 \\ i_0 \oplus i_5 \\ i_1 \oplus i_3 \end{bmatrix}$
$\begin{bmatrix} i_2 \oplus i_5 \oplus p_0 \oplus p_3 \\ i_1 \oplus i_2 \oplus p_0 \oplus p_4 \\ i_1 \oplus i_5 \oplus p_3 \oplus p_4 \\ i_0 \oplus i_3 \oplus p_1 \oplus p_3 \\ i_0 \oplus i_4 \oplus p_2 \oplus p_3 \\ i_3 \oplus i_4 \oplus p_2 \oplus p_5 \end{bmatrix}$
$\oplus$
$\begin{bmatrix} P_0 \\ P_0 \oplus P_1 \\ P_1 \oplus P_2 \\ P_2 \oplus P_3 \\ P_3 \oplus P_4 \\ P_4 \oplus P_5 \\ P_0' \\ P_1' \\ P_2' \\ P_3' \\ P_4' \\ P_5' \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}$
BIỂU THỨC IPPC THỨ HAI (1542)

Fig. 16

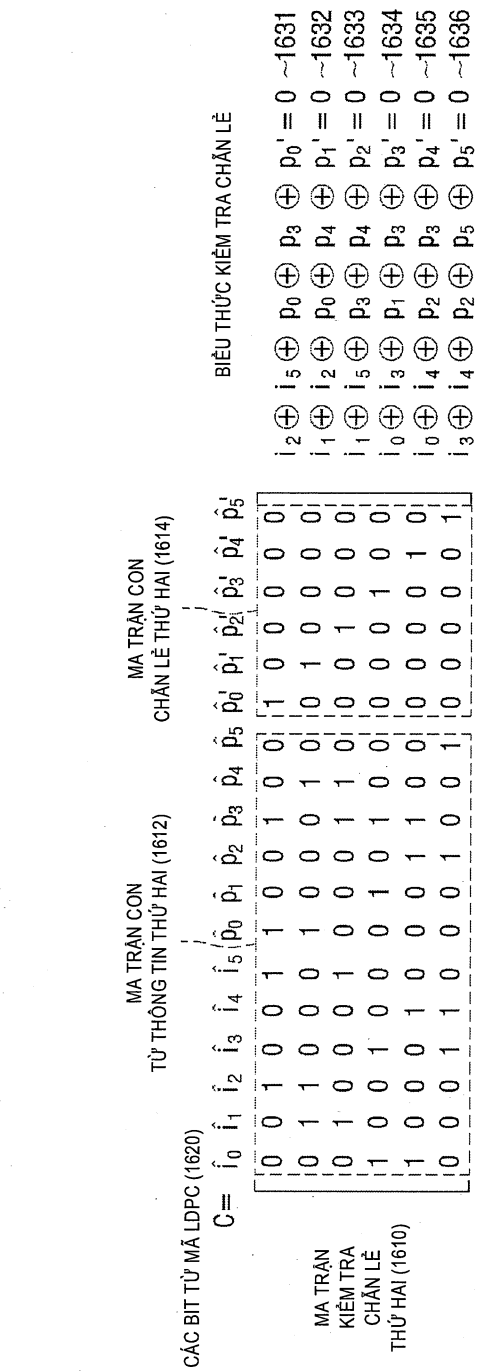

CÁC BIT TỪ MÃ LDPC (1620)
C = $\hat{i}_0$ $\hat{i}_1$ $\hat{i}_2$ $\hat{i}_3$ $\hat{i}_4$ $\hat{i}_5$ $\hat{p}_0$ $\hat{p}_1$ $\hat{p}_2$ $\hat{p}_3$ $\hat{p}_4$ $\hat{p}_5$ $\hat{p}_0'$ $\hat{p}_1'$ $\hat{p}_2'$ $\hat{p}_3'$ $\hat{p}_4'$ $\hat{p}_5'$
MA TRẬN KIỂM TRA CHẴN LẺ THỨ HAI (1610)
MA TRẬN CON TỪ THÔNG TIN THỨ HAI (1612)
MA TRẬN CON CHẴN LẺ THỨ HAI (1614)
BIỂU THỨC KIỂM TRA CHẴN LẺ
$i_2 \oplus i_5 \oplus p_0 \oplus p_3 \oplus p_0' = 0$ ~1631
$i_1 \oplus i_2 \oplus p_0 \oplus p_4 \oplus p_1' = 0$ ~1632
$i_1 \oplus i_5 \oplus p_3 \oplus p_4 \oplus p_2' = 0$ ~1633
$i_0 \oplus i_3 \oplus p_1 \oplus p_3 \oplus p_3' = 0$ ~1634
$i_0 \oplus i_4 \oplus p_2 \oplus p_3 \oplus p_4' = 0$ ~1635
$i_3 \oplus i_4 \oplus p_2 \oplus p_5 \oplus p_5' = 0$ ~1636
BIỂU THỨC IPPC THỨ HAI
BIT CHẴN LẺ LDPC THỨ HAI
1641~ $i_2 + i_5 + p_0 + p_3 = s_0$
1642~ $i_1 + i_2 + p_0 + p_4 = s_1$
1643~ $i_1 + i_5 + p_3 + p_4 = s_2$
1644~ $i_0 + i_3 + p_1 + p_3 = s_3$
1645~ $i_0 + i_4 + p_2 + p_3 = s_4$
1646~ $i_3 + i_4 + p_2 + p_5 = s_5$
$p_0' = s_0$ ~1651
$p_1' = s_1$ ~1652
$p_2' = s_2$ ~1653
$p_3' = s_3$ ~1654
$p_4' = s_4$ ~1655
$p_5' = s_5$ ~1656

Fig. 17

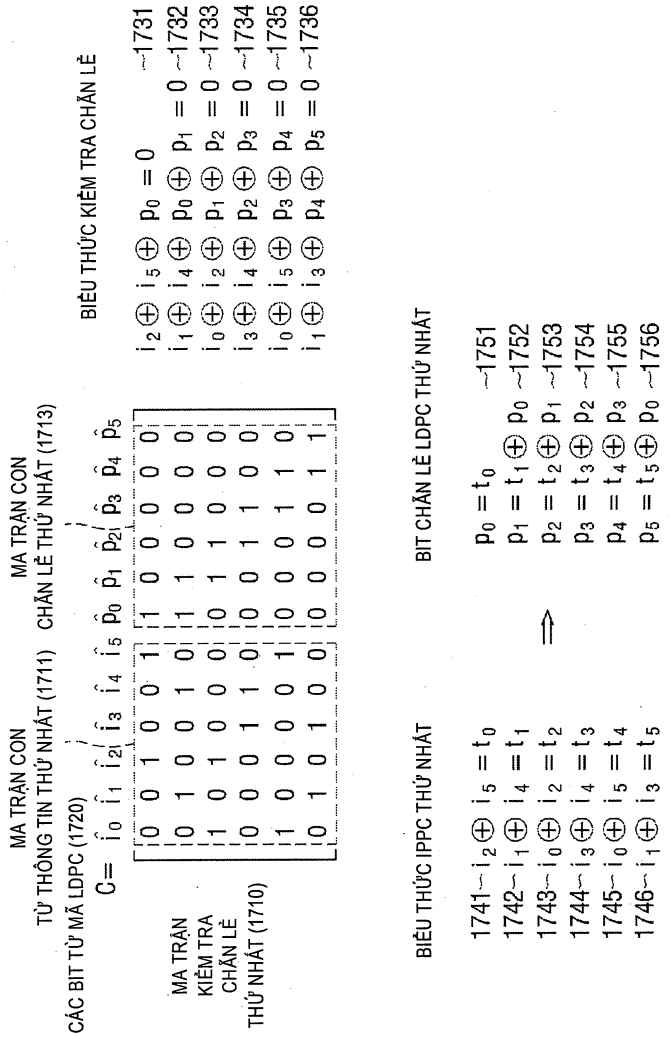

BIỂU THỨC KIỂM TRA CHẴN LẺ
MA TRẬN CON
TỪ THÔNG TIN THỨ NHẤT (1711)
MA TRẬN CON
CHẴN LẺ THỨ NHẤT (1713)
CÁC BIT TỪ MÃ LDPC (1720)
MA TRẬN
KIỂM TRA
CHẴN LẺ
THỨ NHẤT (1710)
BIT CHẴN LẺ LDPC THỨ NHẤT
BIỂU THỨC IPPC THỨ NHẤT
~1731
~1732
~1733
~1734
~1735
~1736
~1741
~1742
~1743
~1744
~1745
~1746
~1751
~1752
~1753
~1754
~1755
~1756

Fig. 18

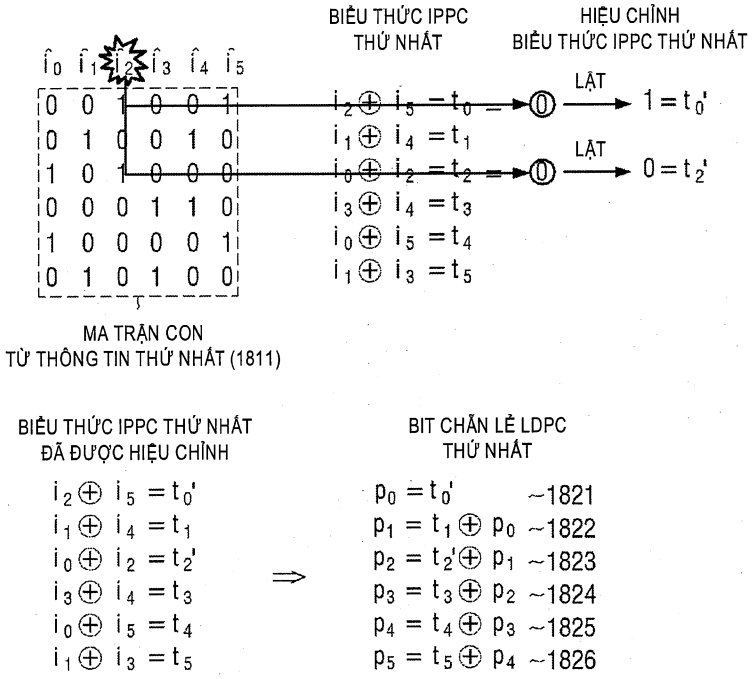

BIỂU THỨC IPPC
THỨ NHẤT
HIỆU CHỈNH
BIỂU THỨC IPPC THỨ NHẤT
LẬT
LẬT
MA TRẬN CON
TỪ THÔNG TIN THỨ NHẤT (1811)
BIỂU THỨC IPPC THỨ NHẤT
ĐÃ ĐƯỢC HIỆU CHỈNH
BIT CHẴN LẺ LDPC
THỨ NHẤT
~1821
~1822
~1823
~1824
~1825
~1826

Fig. 19

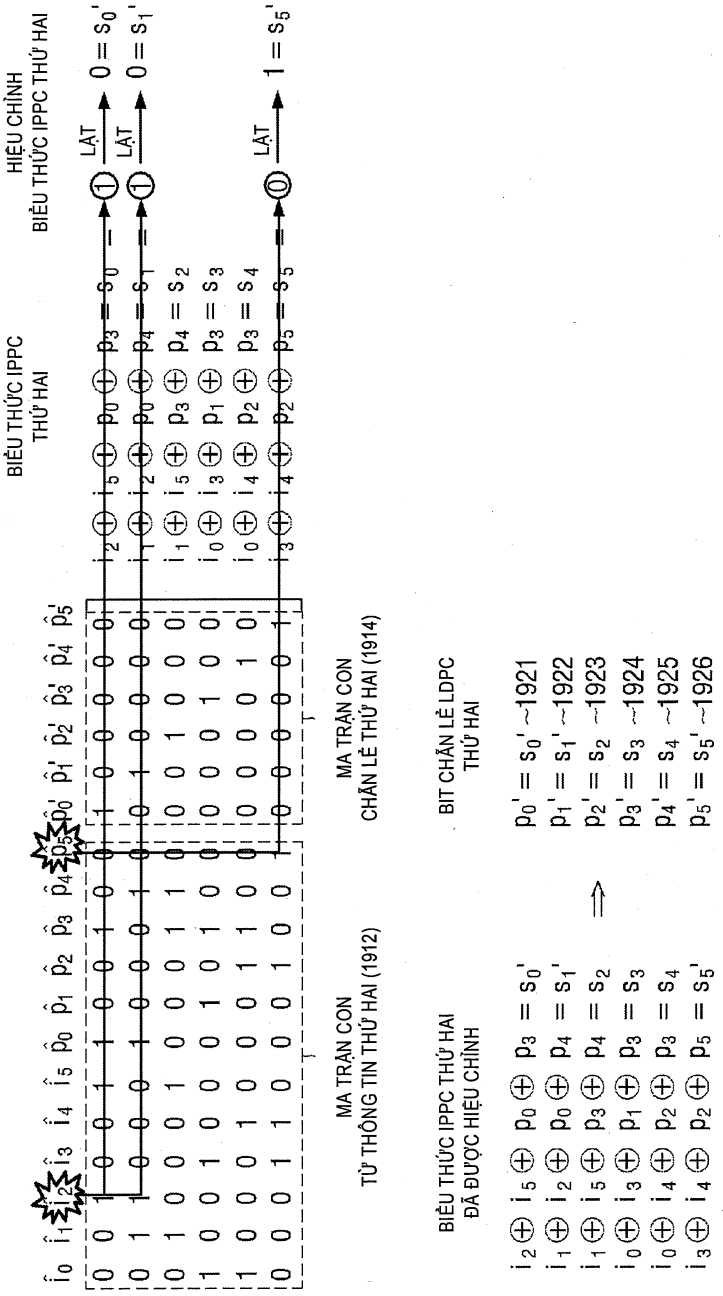

BIỂU THỨC IPPC THỨ HAI
HIỆU CHỈNH BIỂU THỨC IPPC THỨ HAI
LẬT
LẬT
LẬT
MA TRẬN CON TỪ THÔNG TIN THỨ HAI (1912)
MA TRẬN CON CHẴN LẺ THỨ HAI (1914)
BIỂU THỨC IPPC THỨ HAI ĐÃ ĐƯỢC HIỆU CHỈNH
BIT CHẴN LẺ LDPC THỨ HAI
$i_2 \oplus i_5 \oplus p_0 \oplus p_3 = s_0'$
$i_1 \oplus i_2 \oplus p_0 \oplus p_4 = s_1'$
$i_1 \oplus i_5 \oplus p_3 \oplus p_4 = s_2$
$i_0 \oplus i_3 \oplus p_1 \oplus p_3 = s_3$
$i_0 \oplus i_4 \oplus p_2 \oplus p_3 = s_4$
$i_3 \oplus i_4 \oplus p_2 \oplus p_5 = s_5'$
$p_0' = s_0' \sim 1921$
$p_1' = s_1' \sim 1922$
$p_2' = s_2 \sim 1923$
$p_3' = s_3 \sim 1924$
$p_4' = s_4 \sim 1925$
$p_5' = s_5' \sim 1926$

Fig. 20

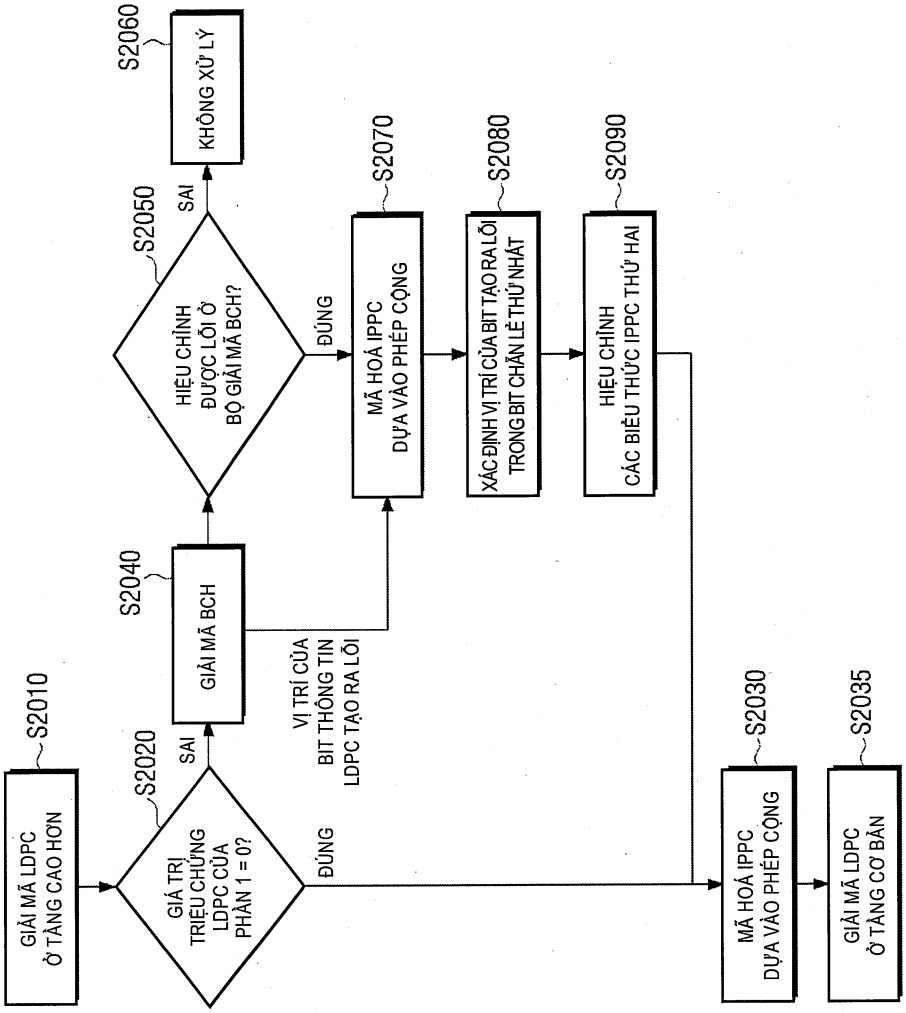

S2010
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2020
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2040
GIẢI MÃ BCH
VỊ TRÍ CỦA BIT THÔNG TIN LDPC TẠO RA LỖI
S2050
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S2060
KHÔNG XỬ LÝ
S2070
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2080
XÁC ĐỊNH VỊ TRÍ CỦA BIT TẠO RA LỖI TRONG BIT CHẴN LẺ THỨ NHẤT
S2090
HIỆU CHỈNH CÁC BIỂU THỨC IPPC THỨ HAI
S2030
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2035
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN

Fig. 21

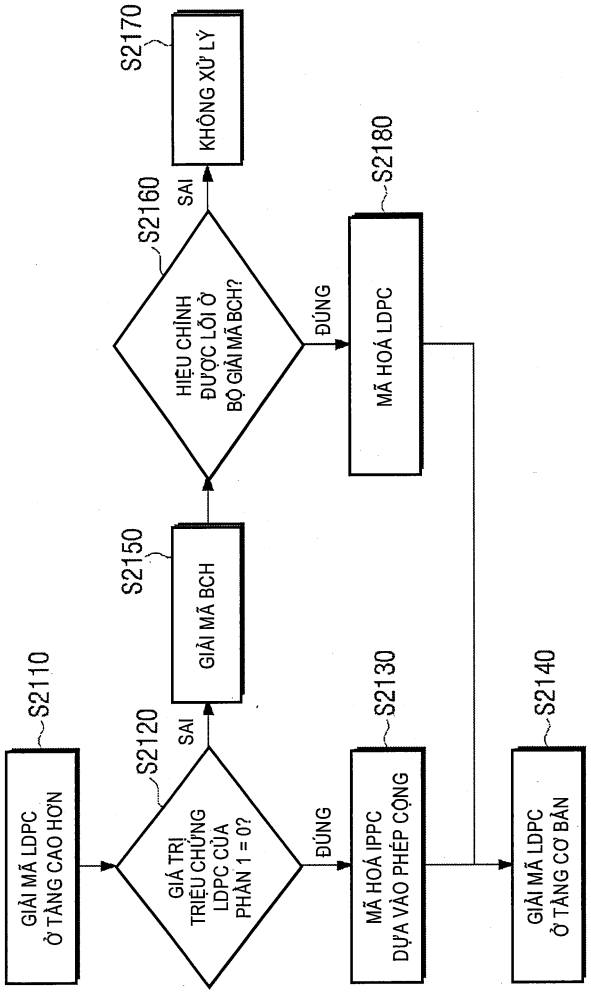

S2110
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2120
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2130
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2140
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2150
GIẢI MÃ BCH
S2160
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S2170
KHÔNG XỬ LÝ
S2180
MÃ HOÁ LDPC

Fig. 22

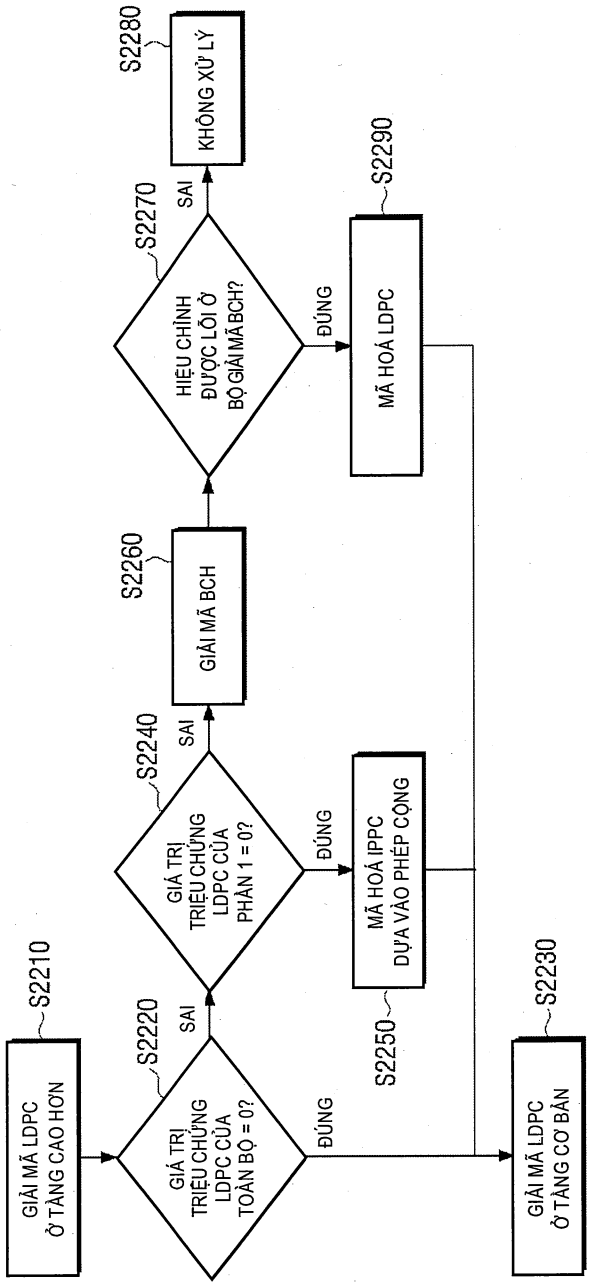

S2210
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2220
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA TOÀN BỘ = 0?
SAI
ĐÚNG
S2230
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2240
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2250
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2260
GIẢI MÃ BCH
S2270
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S2280
KHÔNG XỬ LÝ
S2290
MÃ HOÁ LDPC

Fig. 23

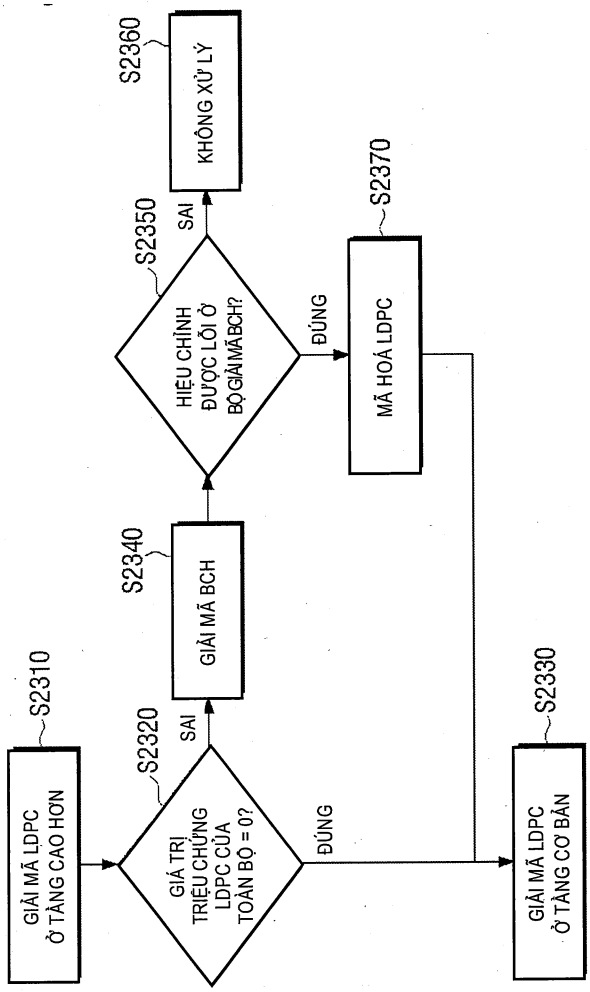

S2310
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2320
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA TOÀN BỘ = 0?
SAI
ĐÚNG
S2330
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2340
GIẢI MÃ BCH
S2350
HIỆU CHỈNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ BCH?
SAI
ĐÚNG
S2360
KHÔNG XỬ LÝ
S2370
MÃ HOÁ LDPC

Fig. 24

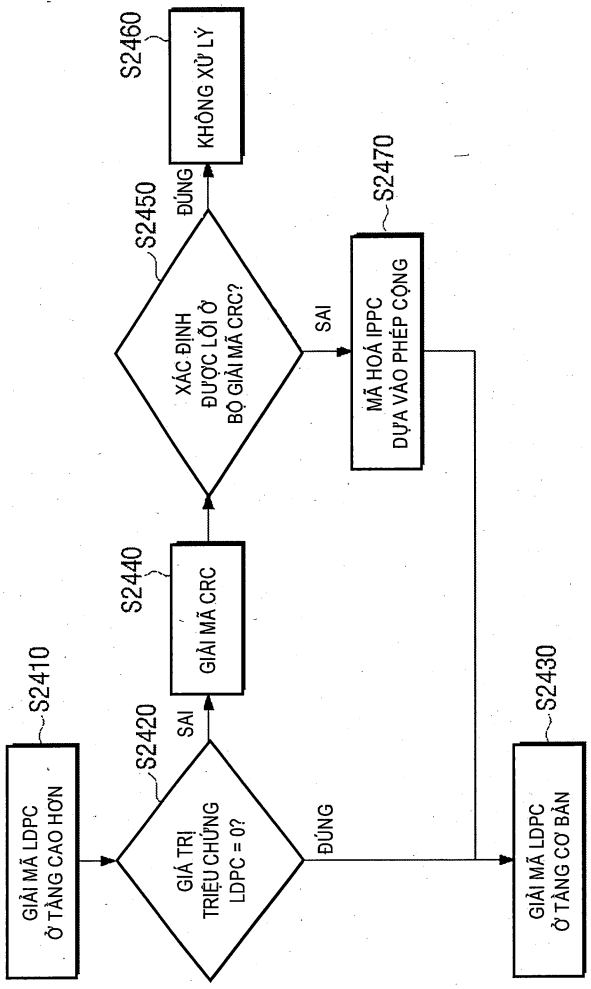

S2410
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2420
GIÁ TRỊ TRIỆU CHỨNG LDPC = 0?
SAI
ĐÚNG
S2430
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2440
GIẢI MÃ CRC
S2450
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
SAI
ĐÚNG
S2460
KHÔNG XỬ LÝ
S2470
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG

Fig. 25

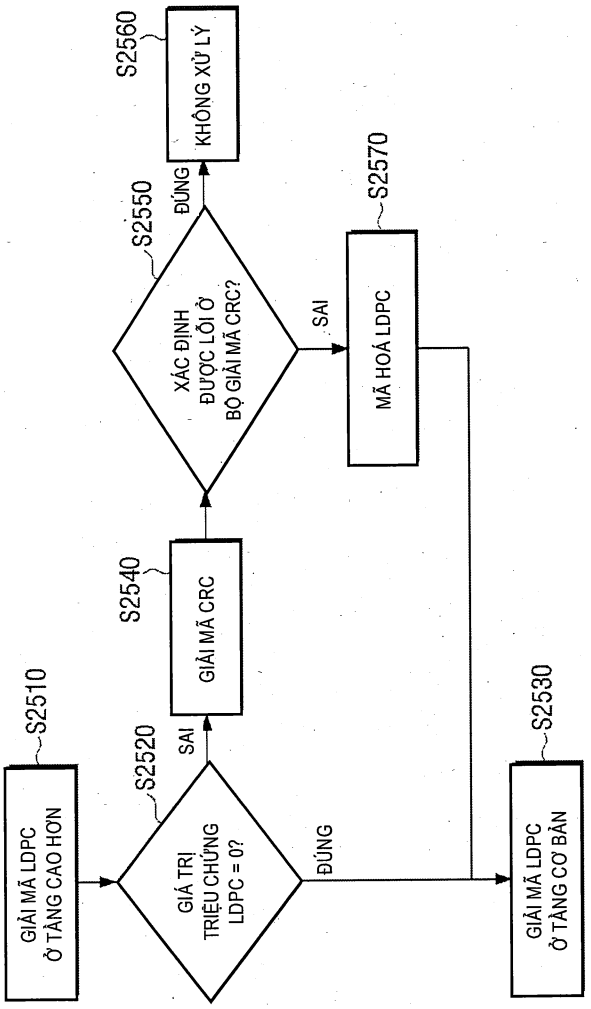

S2510
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2520
GIÁ TRỊ TRIỆU CHỨNG LDPC = 0?
SAI
ĐÚNG
S2530
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2540
GIẢI MÃ CRC
S2550
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
ĐÚNG
SAI
S2560
KHÔNG XỬ LÝ
S2570
MÃ HOÁ LDPC

Fig. 26

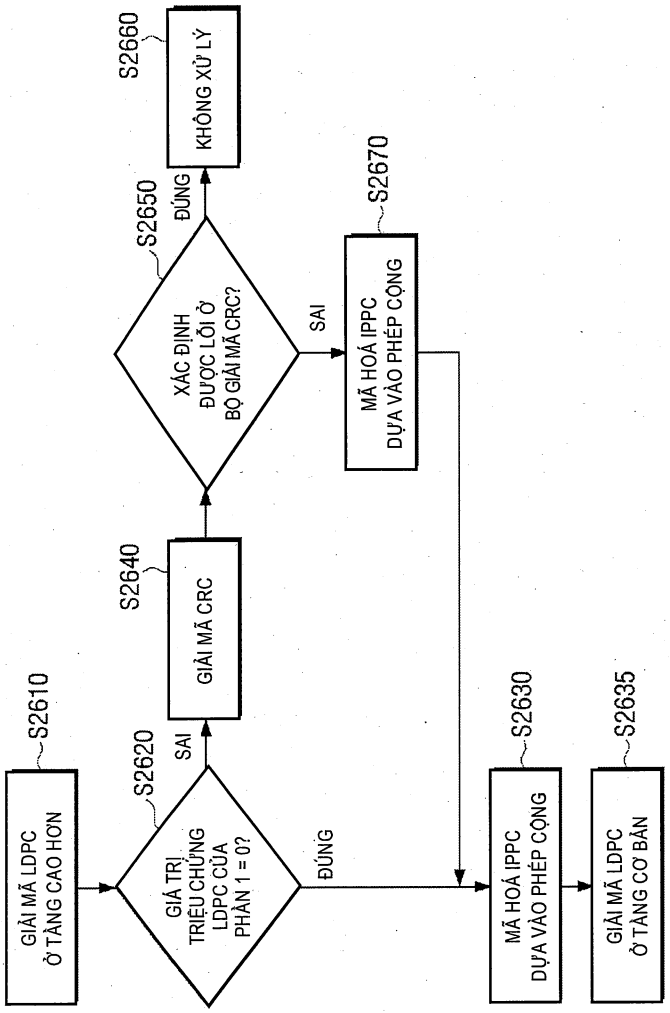

S2610
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2620
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2640
GIẢI MÃ CRC
S2650
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
ĐÚNG
SAI
S2660
KHÔNG XỬ LÝ
S2670
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2630
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2635
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN

Fig. 27

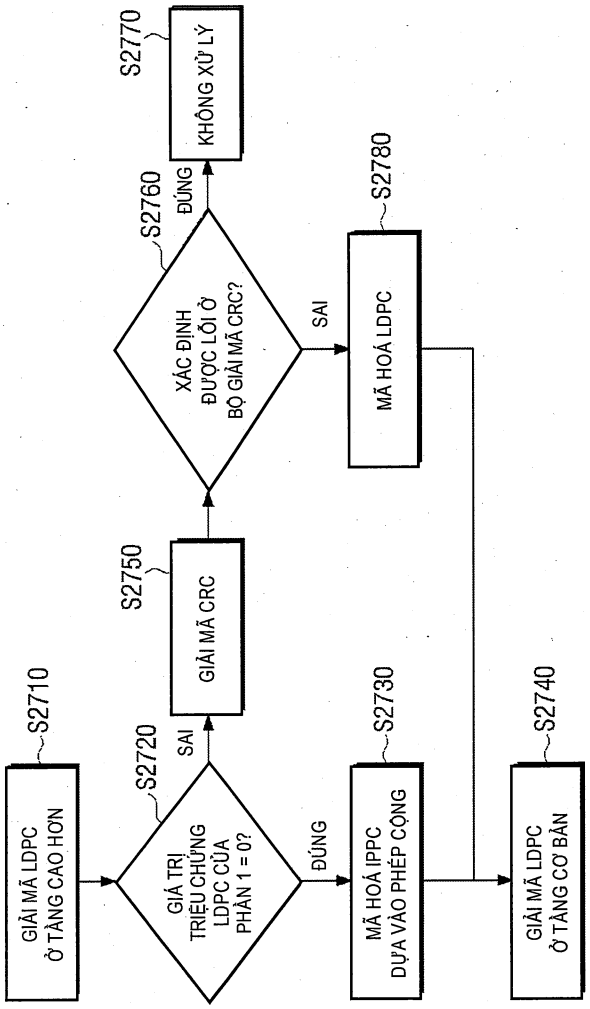

S2710
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2720
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2730
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2740
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2750
GIẢI MÃ CRC
S2760
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
ĐÚNG
SAI
S2770
KHÔNG XỬ LÝ
S2780
MÃ HOÁ LDPC

Fig. 28

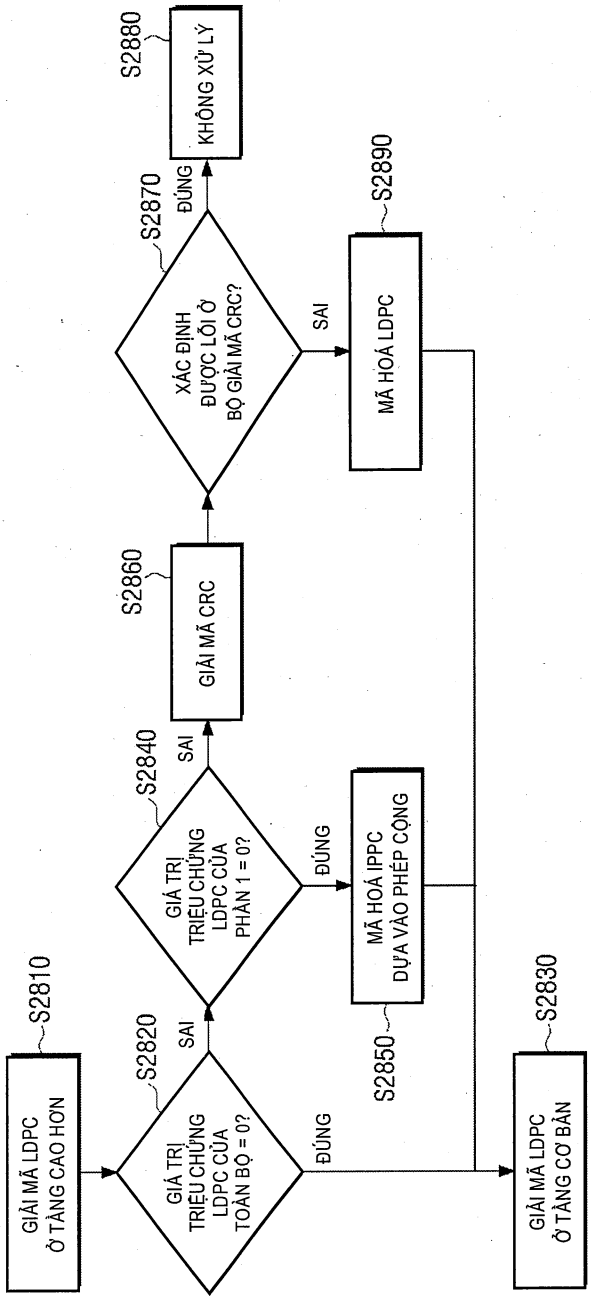

S2810
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2820
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA TOÀN BỘ = 0?
SAI
ĐÚNG
S2830
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2840
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA PHẦN 1 = 0?
SAI
ĐÚNG
S2850
MÃ HOÁ IPPC DỰA VÀO PHÉP CỘNG
S2860
GIẢI MÃ CRC
S2870
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
ĐÚNG
SAI
S2880
KHÔNG XỬ LÝ
S2890
MÃ HOÁ LDPC

Fig. 29

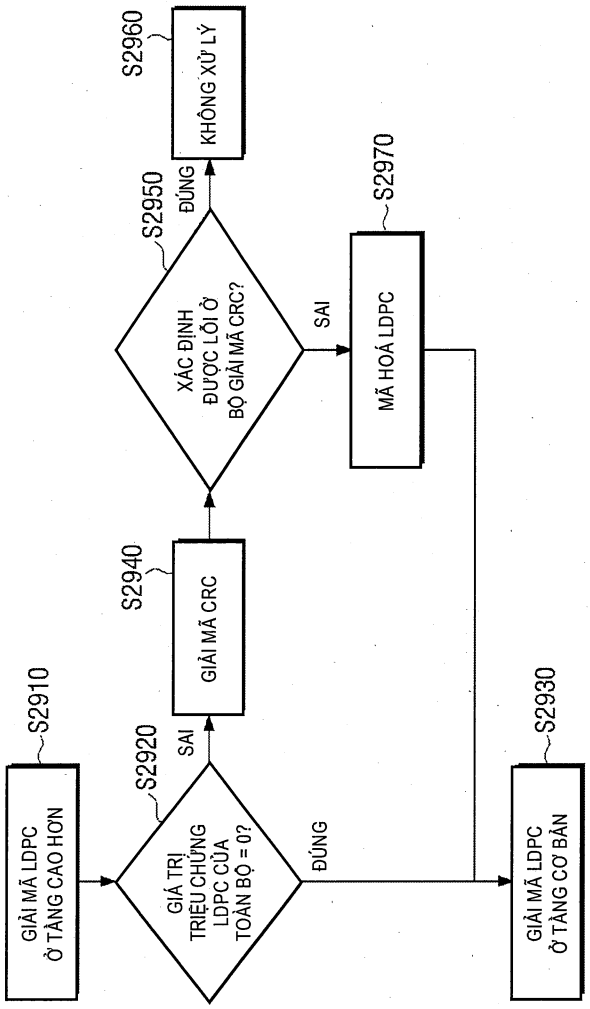

S2910
GIẢI MÃ LDPC Ở TẦNG CAO HƠN
S2920
GIÁ TRỊ TRIỆU CHỨNG LDPC CỦA TOÀN BỘ = 0?
SAI
ĐÚNG
S2930
GIẢI MÃ LDPC Ở TẦNG CƠ BẢN
S2940
GIẢI MÃ CRC
S2950
XÁC ĐỊNH ĐƯỢC LỖI Ở BỘ GIẢI MÃ CRC?
ĐÚNG
SAI
S2960
KHÔNG XỬ LÝ
S2970
MÃ HOÁ LDPC

Fig. 30A

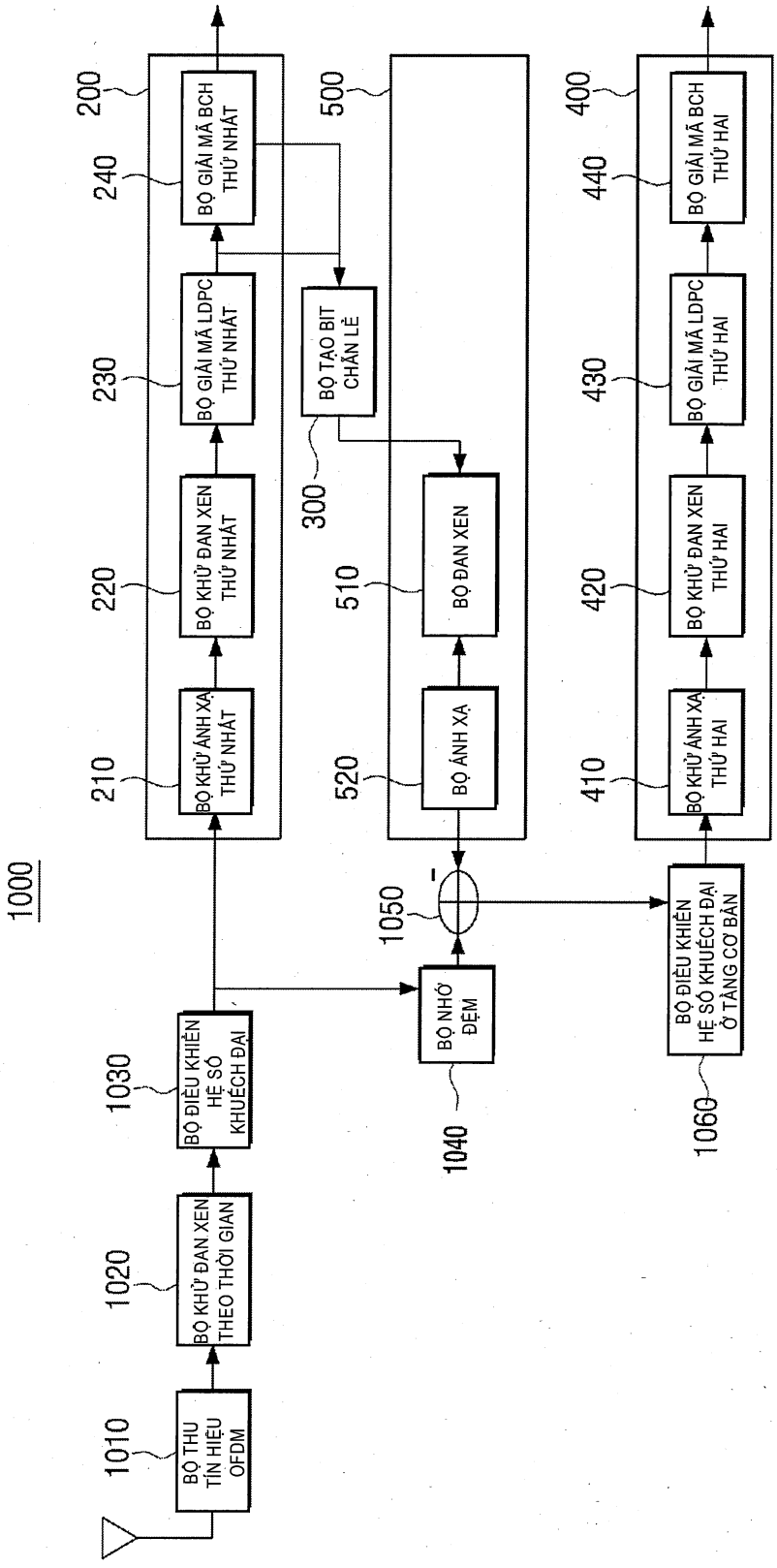

1000
1010
BỘ THU TÍN HIỆU OFDM
1020
BỘ KHỬ ĐAN XEN THEO THỜI GIAN
1030
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI
1040
BỘ NHỚ ĐỆM
1050
1060
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI Ở TẦNG CƠ BẢN
200
BỘ GIẢI MÃ BCH THỨ NHẤT
210
BỘ KHỬ ÁNH XẠ THỨ NHẤT
220
BỘ KHỬ ĐAN XEN THỨ NHẤT
230
BỘ GIẢI MÃ LDPC THỨ NHẤT
240
300
BỘ TẠO BIT CHẴN LẺ
400
BỘ GIẢI MÃ BCH THỨ HAI
410
BỘ KHỬ ÁNH XẠ THỨ HAI
420
BỘ KHỬ ĐAN XEN THỨ HAI
430
BỘ GIẢI MÃ LDPC THỨ HAI
440
500
510
BỘ ĐAN XEN
520
BỘ ÁNH XẠ

Fig. 30B

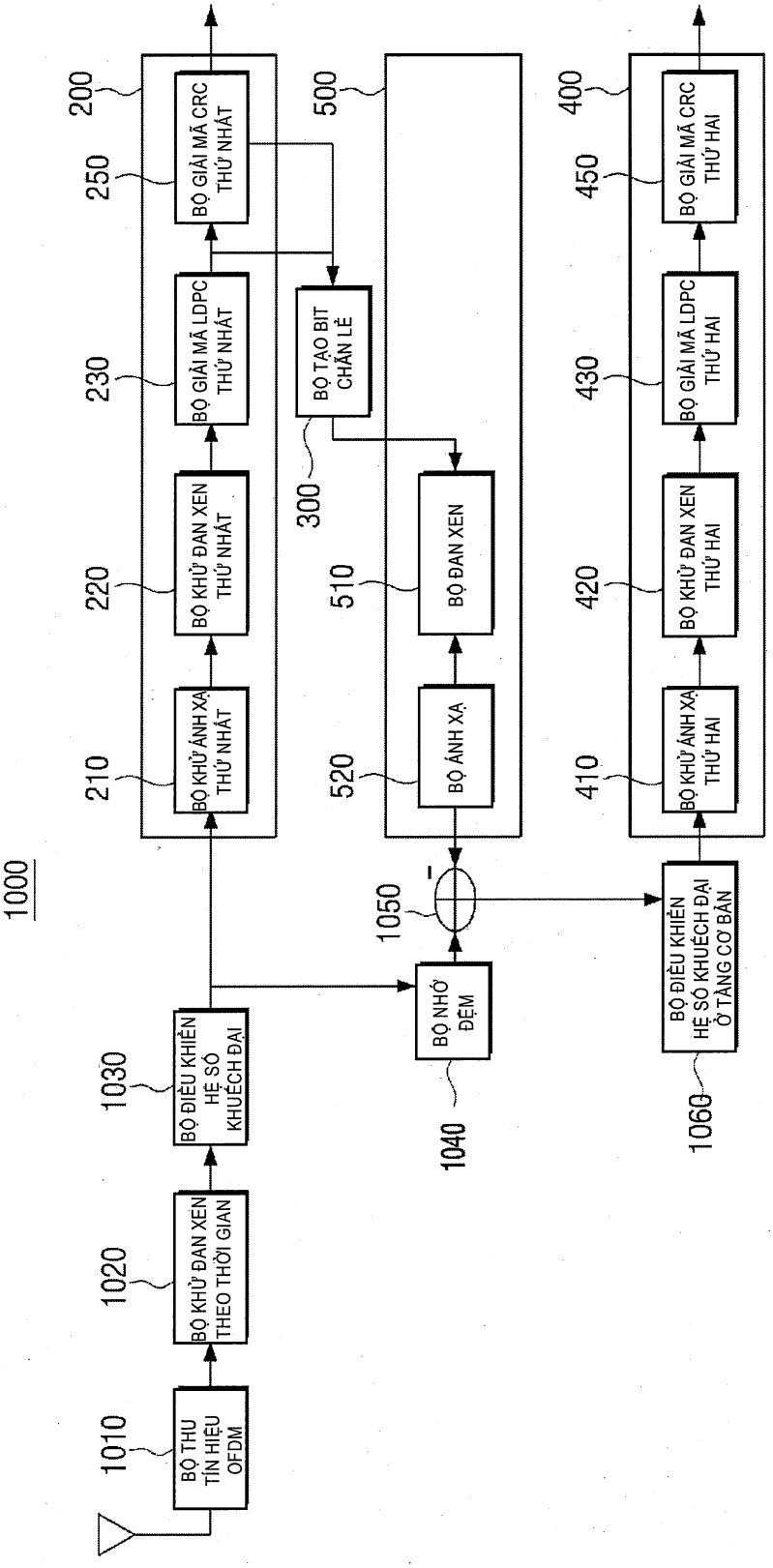
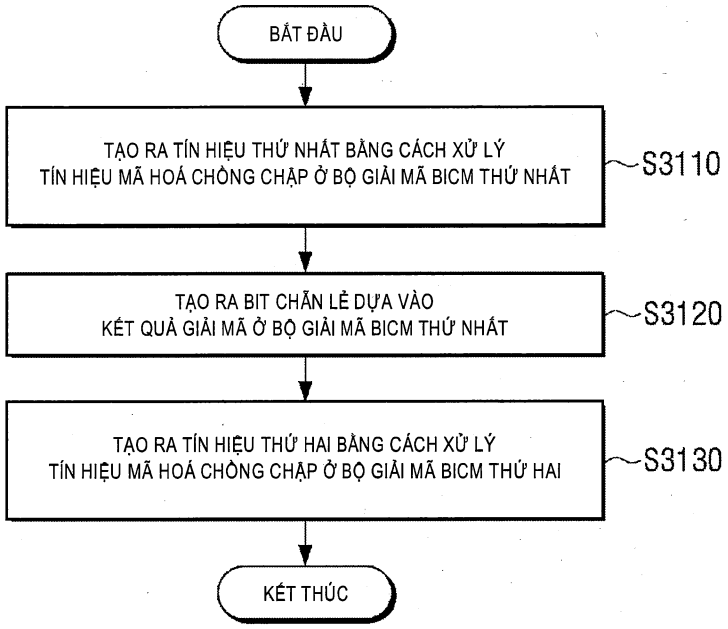

1000
1010
BỘ THU TÍN HIỆU OFDM
1020
BỘ KHỬ ĐAN XEN THEO THỜI GIAN
1030
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI
1040
BỘ NHỚ ĐỆM
1050
-
1060
BỘ ĐIỀU KHIỂN HỆ SỐ KHUẾCH ĐẠI Ở TẦNG CƠ BẢN
200
250
BỘ GIẢI MÃ CRC THỨ NHẤT
230
BỘ GIẢI MÃ LDPC THỨ NHẤT
220
BỘ KHỬ ĐAN XEN THỨ NHẤT
210
BỘ KHỬ ÁNH XẠ THỨ NHẤT
300
BỘ TẠO BIT CHẴN LẺ
500
510
BỘ ĐAN XEN
520
BỘ ÁNH XẠ
400
450
BỘ GIẢI MÃ CRC THỨ HAI
430
BỘ GIẢI MÃ LDPC THỨ HAI
420
BỘ KHỬ ĐAN XEN THỨ HAI
410
BỘ KHỬ ÁNH XẠ THỨ HAI

Fig. 31


BẮT ĐẦU
TẠO RA TÍN HIỆU THỨ NHẤT BẰNG CÁCH XỬ LÝ TÍN HIỆU MÃ HOÁ CHỒNG CHẬP Ở BỘ GIẢI MÃ BICM THỨ NHẤT
S3110
TẠO RA BIT CHẴN LẺ DỰA VÀO KẾT QUẢ GIẢI MÃ Ở BỘ GIẢI MÃ BICM THỨ NHẤT
S3120
TẠO RA TÍN HIỆU THỨ HAI BẰNG CÁCH XỬ LÝ TÍN HIỆU MÃ HOÁ CHỒNG CHẬP Ở BỘ GIẢI MÃ BICM THỨ HAI
S3130
KẾT THÚC