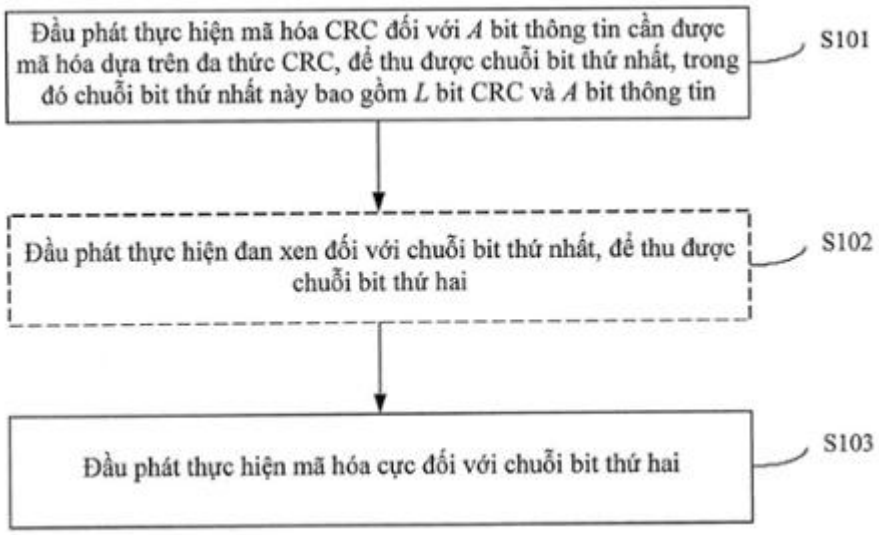
(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ
(11) **1-0032235**
(51)[7] **H04L 1/00**
(13) **B**

(21) 1-2019-06937
(22) 04/05/2018
(86) PCT/CN2018/085522 04/05/2018
(87) WO 2019/047543 14/03/2019
(30) 201710807307.6 08/09/2017 CN
(45) 25/06/2022 411
(43) 25/05/2020 386ASC
(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong 518129, China
(72) DAI, Shengchen (CN); HUANG, Lingchen (CN); ZHANG, Gongzheng (CN); QIAO, Yunfei (CN); LI, Rong (CN).
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) PHƯƠNG PHÁP VÀ THIẾT BỊ MÃ HÓA, PHƯƠNG PHÁP VÀ THIẾT BỊ GIẢI MÃ, VÀ VẬT GHI LƯU TRỮ ĐỌC ĐƯỢC BẰNG MÁY TÍNH

(57) Sáng chế đề xuất phương pháp và thiết bị mã hóa, phương pháp và thiết bị giải mã, và vật ghi lưu trữ đọc được bằng máy tính. Phương pháp mã hóa bao gồm các bước: thực hiện mã hóa CRC đối với *A* bit thông tin cần được mã hóa dựa vào đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm *L* bit CRC và *A* bit thông tin, *L*=6; và thực hiện mã hóa cực đối với chuỗi bit thứ nhất. Dựa vào đa thức CRC được cải tiến, việc mã hóa đáp ứng yêu cầu FAR được thực hiện.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực các công nghệ truyền thông, và cụ thể là phương pháp và thiết bị mã hóa, phương pháp và thiết bị giải mã, và vật ghi lưu trữ đọc được bằng máy tính.

Tình trạng kỹ thuật của sáng chế

Trong hệ thống truyền thông, mã hóa kênh thường được thực hiện để cải thiện độ tin cậy của việc truyền dữ liệu và đảm bảo chất lượng truyền thông. Hiện nay, hệ thống truyền thông di động 5G bao gồm ba trường hợp ứng dụng chính: băng thông rộng di động cải tiến (Enhanced Mobile Broad Band, eMBB), truyền thông siêu tin cậy và độ trễ thấp (Ultra-Reliable Low-Latency Communications, URLLC) và truyền thông máy số lượng lớn (Massive Machine-Type Communications, mMTC), các yêu cầu mới được đưa ra cho truyền thông dữ liệu, và mã hóa cực (polar code) là phương pháp mã hóa kênh đầu tiên có thể được chứng minh một cách nghiêm ngặt là "đã đạt được" dung lượng kênh, và có thể áp dụng được cho hệ thống truyền thông 5G và hệ thống truyền thông trong tương lai.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất phương pháp và thiết bị mã hóa.

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp mã hóa, phương pháp này bao gồm các bước:

thực hiện, bởi đầu phát dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với A bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=6, và đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+1;

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

thực hiện mã hóa cực đối với chuỗi bit thứ nhất.

Bằng cách sử dụng cách mã hóa này, có thể đáp ứng yêu cầu FAR, để đảm bảo rằng việc truyền thông được thực hiện bình thường.

Trong một thiết kế khả dĩ, đa thức CRC được thực hiện bằng cách sử dụng thanh ghi dịch (shift register).

Trong một thiết kế khả dĩ, *L* bit CRC trong chuỗi bit thứ nhất được định vị sau *A* bit thông tin cần được mã hóa.

Trong một thiết kế khả dĩ, đầu phát gửi chuỗi bit được mã hóa cực thứ nhất.

Trong một thiết kế khả dĩ, phương pháp mã hóa có thể được thực hiện bằng cách sử dụng phần cứng, ví dụ, được thực hiện bằng cách sử dụng mạch hoặc một hoặc nhiều mạch tích hợp. Theo cách khác, phương pháp mã hóa này có thể được thực hiện bằng cách sử dụng phần mềm. Ví dụ, một hoặc nhiều bộ xử lý thực hiện phương pháp mã hóa bằng cách đọc lệnh được lưu trong bộ nhớ. Một hoặc nhiều bộ xử lý này có thể được tích hợp trong một chip, hoặc có thể được phân tán trong nhiều chip. Theo cách

khác, phương pháp mã hóa có thể được thực hiện một phần bằng cách sử dụng phần cứng và được thực hiện một phần bằng cách sử dụng phần mềm. Ví dụ, bộ xử lý thực hiện bước "thực hiện, dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất" bằng cách đọc lệnh được lưu trong bộ nhớ, và bước "thực hiện mã hóa cực đối với chuỗi bit thứ nhất" được thực hiện bằng cách sử dụng mạch logic hoặc bộ gia tốc. Chắc chắn là, theo một phương án thực hiện cụ thể, người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể sử dụng kết hợp các cách nêu trên theo cách khác.

Trong một thiết kế khả dĩ, đầu phát là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ hai, sáng chế đề xuất thiết bị mã hóa bao gồm:

môđun mã hóa thứ nhất, được tạo cấu hình để thực hiện, dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm *L* bit CRC và *A* bit thông tin, *L* và *A* là các số nguyên dương, *L*=6, và đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+1;

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

môđun mã hóa thứ hai, được tạo cấu hình để thực hiện mã hóa cực đối với chuỗi bit thứ nhất.

Trong một thiết kế khả dĩ, đa thức CRC được thực hiện bằng cách sử dụng thanh ghi dịch.

Trong một thiết kế khả dĩ, *L* bit CRC trong chuỗi bit thứ nhất được định vị sau *A* bit thông tin cần được mã hóa.

Trong một thiết kế khả dĩ, thiết bị này còn bao gồm môđun gửi, được tạo cấu hình để gửi chuỗi bit được mã hóa cực thứ nhất.

Trong một thiết kế khả dĩ, thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ ba, sáng chế đề xuất thiết bị mã hóa bao gồm bộ xử lý. Bộ xử lý này được tạo cấu hình để:

thực hiện, dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm *L* bit CRC và *A* bit thông tin, *L* và *A* là các số nguyên dương, *L*=6, và đa thức CRC một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+1;

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

thực hiện mã hóa cực đối với chuỗi bit thứ nhất.

Trong một thiết kế khả dĩ, thiết bị mã hóa này còn bao gồm bộ nhớ, và bộ nhớ này được tạo cấu hình để lưu lệnh chương trình.

Trong một thiết kế khả dĩ, đa thức CRC được thực hiện bằng cách sử dụng thanh ghi dịch.

Trong một thiết kế khả dĩ, *L* bit CRC trong chuỗi bit thứ nhất được định vị sau *A* bit thông tin cần được mã hóa.

Trong một thiết kế khả dĩ, thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

Bộ nhớ có thể ở bên trong bộ xử lý hoặc bên ngoài bộ xử lý. Bộ xử lý có thể được tích hợp trong thiết bị đầu cuối hoặc trạm cơ sở.

Bộ xử lý có thể là mạch, một hoặc nhiều mạch tích hợp, hoặc một hoặc nhiều chip chuyên dụng. Theo cách khác, bộ xử lý có thể là chip đa năng, và khi lệnh chương trình được sử dụng để thực hiện phương pháp mã hóa được tải vào bộ xử lý, thì chức năng mã hóa nêu trên có thể được thực hiện. Theo cách khác, bộ xử lý có thể là tổ hợp của một hoặc nhiều trong số mạch, mạch tích hợp, chip chuyên dụng và chip đa năng.

Theo khía cạnh thứ tư, sáng chế đề xuất thiết bị mã hóa bao gồm:

giao diện đầu vào, được tạo cấu hình để thu được chuỗi bit cần được mã hóa;

mạch logic, được tạo cấu hình để thực hiện phương pháp theo một bất kỳ trong số khía cạnh thứ nhất và các thiết kế khả dĩ của khía cạnh thứ nhất dựa vào chuỗi bit cần được mã hóa thu được, để thu được các bit được mã hóa; và

giao diện đầu ra, được tạo cấu hình để xuất ra các bit được mã hóa.

Trong một thiết kế khả dĩ, thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ năm, sáng chế đề xuất thiết bị truyền thông bao gồm thiết bị mã hóa được đề xuất theo khía cạnh thứ ba và các thiết kế khả dĩ của khía cạnh thứ ba và bộ thu phát, trong đó

bộ thu phát này được tạo cấu hình để gửi các bit được mã hóa bởi thiết bị mã hóa.

Trong một thiết kế khả dĩ, thiết bị truyền thông này là trạm cơ sở hoặc thiết bị đầu cuối.

Theo khía cạnh thứ sáu, sáng chế đề xuất vật ghi lưu trữ đọc được bằng máy tính bao gồm chương trình máy tính. Chương trình máy tính này được sử dụng để thực hiện phương pháp mã hóa được đề xuất theo một bất kỳ trong số khía cạnh thứ nhất và các thiết kế khả dĩ của khía cạnh thứ nhất.

Theo khía cạnh thứ bảy, sáng chế đề xuất sản phẩm chương trình. Sản phẩm chương trình này bao gồm chương trình máy tính. Chương trình máy tính này được lưu trong vật ghi lưu trữ đọc được bằng máy tính. Ít nhất một bộ xử lý của thiết bị mã hóa có thể đọc chương trình máy tính từ vật ghi lưu trữ đọc được bằng máy tính, và ít nhất một bộ xử lý thực thi chương trình máy tính, để thiết bị mã hóa thực hiện phương pháp mã hóa theo khía cạnh thứ nhất và các thiết kế khả dĩ của khía cạnh thứ nhất.

Sau khi đa thức CRC được đề xuất theo sáng chế được sử dụng, có thể đáp ứng yêu cầu FAR của hệ thống, để đảm bảo rằng việc truyền thông được thực hiện bình thường.

Mô tả vắn tắt các hình vẽ

FIG.1(a) và FIG.1(b) là các sơ đồ kiến trúc giản lược của hệ thống truyền thông được áp dụng cho một phương án của sáng chế;

FIG.2 là lưu đồ giản lược của hệ thống truyền thông;

FIG.3 là lưu đồ của một phương án của phương pháp mã hóa theo sáng chế;

FIG.4 là sơ đồ giản lược của cách mã hóa CRC;

FIG.5 là sơ đồ cấu trúc giản lược thứ nhất của thiết bị mã hóa theo một phương án của sáng chế;

FIG.6 là sơ đồ cấu trúc giản lược thứ hai của thiết bị mã hóa theo một phương án của sáng chế;

FIG.7 là sơ đồ cấu trúc giản lược thứ ba của thiết bị mã hóa theo một phương án của sáng chế;

FIG.8 là sơ đồ cấu trúc giản lược thứ nhất của thiết bị giải mã theo một phương án của sáng chế;

FIG.9 là sơ đồ cấu trúc giản lược thứ hai của thiết bị giải mã theo một phương án của sáng chế;

FIG.10 là sơ đồ cấu trúc giản lược thứ ba của thiết bị giải mã theo một phương án của sáng chế; và

FIG.11 là sơ đồ cấu trúc giản lược của thiết bị mạng và thiết bị đầu cuối theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Mã cực là mã khối tuyến tính. Ma trận sinh của mã cực là G_N. Quy trình mã hóa của mã cực là $x_1^N = u_1^N G_N$. $u_1^N = (u_1, u_2, \ldots, u_N)$ là vectơ hàng nhị phân có chiều dài là N (cụ thể là, chiều dài mã). $G_N = F_2^{\otimes(\log_2(N))}$, trong đó $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, và $F_2^{\otimes(\log_2(N))}$ được định nghĩa là tích Kronecker (Kronecker) của $\log_2 N$ với các ma trận F_2. x_1^N là các bit được mã hóa (cũng được gọi là từ mã), trong đó các bit được mã hóa được thu sau khi u_1^N được nhân với ma trận sinh G_N, và quy trình nhân là quy trình mã hóa. Trong quy trình mã hóa của mã cực, một số bit của u_1^N được sử dụng để mang thông tin và được gọi là các bit thông tin, và tập hợp các chỉ số của các bit thông tin được đánh dấu là A; và các bit còn lại của u_1^N được thiết lập bằng các giá trị cố định mà

đầu thu và đầu phát tán thành trước, và được gọi là các bit đóng băng, và tập hợp các chỉ số của các bit đóng băng được biểu diễn bằng cách sử dụng tập hợp bù A^c của A. Bit đóng băng thường được thiết lập là 0. Miễn là đầu thu và đầu phát tán thành trước, thì chuỗi bit đóng băng có thể được thiết lập một cách tùy ý.

Để cải thiện hiệu quả mã hóa của hệ thống, mã ở ngoài có khả năng kiểm tra, ví dụ, mã kiểm tra dư vòng (tiếng Anh: Cyclic Redundancy Check, CRC), có thể được ghép nối với mã cực. Khi cách giải mã chẳng hạn như giải mã danh sách hủy bỏ liên tiếp (Serial Cancellation List) được sử dụng, thì sự lựa chọn thường được thực hiện đối với các đường còn lại dựa vào kiểm tra dư vòng sau khi quá trình giải mã kết thúc, để cải thiện hiệu quả mã hóa kênh của hệ thống. Khi mã hóa cực được sử dụng cho kênh điều khiển, ngoài tỷ lệ lỗi khối (Block Error Rate, BLER) là bộ chỉ báo kỹ thuật thông thường, bộ chỉ báo tỷ lệ báo động giả (False Alarm Rate, viết tắt là FAR) cũng cần được đáp ứng. Ví dụ, nếu số lượng bit CRC là L, thì cách giải mã chẳng hạn như giải mã danh sách hủy bỏ liên tiếp được sử dụng, kiểm tra dư vòng được sử dụng sau khi quá trình giải mã kết thúc, và T đường trong số các đường còn lại được kiểm tra, thì FAR thường được yêu cầu nhỏ hơn $(2^{(-L+\log_2(T))})$. Cần lưu ý rằng, sự lựa chọn đối với giá trị T không phụ thuộc vào đa thức kiểm tra dư vòng và chiều dài, mà phụ thuộc vào độ phức tạp của việc thực hiện giải mã, hiệu quả giải mã, và tương tự. Do đó, cách để tìm kiếm cách ghép nối mã kiểm tra CRC và mã cực thích hợp theo yêu cầu FAR cần được xem xét. Sáng chế nhấn mạnh vào việc xác định đa thức CRC thích hợp dựa vào giá trị của L, để đáp ứng yêu cầu hệ thống, và đảm bảo rằng việc truyền thông được thực hiện bình thường.

Các phương án của sáng chế có thể được áp dụng cho hệ thống truyền thông không dây. Cần lưu ý rằng, hệ thống truyền thông không dây được đề cập theo các phương án của sáng chế bao gồm, nhưng không bị giới hạn ở: hệ thống tiến hóa dài hạn (Long Term Evolution, LTE), và ba trường hợp ứng dụng chính của hệ thống truyền thông di động 5G: băng thông rộng di động cải tiến (Enhanced Mobile Broad Band, eMBB), URLLC và truyền thông máy số lượng lớn (Massive Machine-Type Communications, mMTC). Theo cách khác, hệ thống truyền thông không dây có thể là hệ thống truyền thông thiết bị sang thiết bị (Device to Device, D2D), hệ thống truyền thông khác, hệ thống truyền thông trong tương lai, hoặc các hệ thống tương tự.

Thiết bị truyền thông được đề cập đến trong bản mô tả này có thể được tạo cấu hình trong thiết bị truyền thông, và thiết bị truyền thông này chủ yếu bao gồm thiết bị mạng hoặc thiết bị đầu cuối. Nếu đầu phát trong bản mô tả này là thiết bị mạng, thì đầu thu là thiết bị đầu cuối; hoặc nếu đầu phát trong bản mô tả này là thiết bị đầu cuối, thì đầu thu là thiết bị mạng.

Theo một phương án của sáng chế, như được thể hiện trên FIG.1(a), hệ thống truyền thông 100 bao gồm thiết bị mạng 110 và thiết bị đầu cuối 112. Khi mạng truyền thông không dây 100 bao gồm mạng lõi, thì thiết bị mạng 110 có thể còn được nối với mạng lõi này. Thiết bị mạng 110 có thể còn truyền thông với mạng IP 200 chẳng hạn như Internet (internet), mạng IP riêng, hoặc mạng dữ liệu khác. Thiết bị mạng cung cấp dịch vụ cho thiết bị đầu cuối trong vùng phủ sóng. Ví dụ, tham chiếu đến FIG.1(a), thiết bị mạng 110 cung cấp truy cập không dây cho một hoặc nhiều thiết bị đầu cuối trong vùng phủ sóng của thiết bị mạng 110. Ngoài ra, vùng chồng lặp có thể tồn tại trong vùng phủ sóng của các thiết bị mạng chẳng hạn như thiết bị mạng 110 và thiết bị mạng 120. Các thiết bị mạng này có thể còn truyền thông với nhau. Ví dụ, thiết bị mạng 110 có thể truyền thông với thiết bị mạng 120.

Khi thiết bị mạng 110 hoặc thiết bị đầu cuối 112 gửi thông tin hoặc dữ liệu, thì phương pháp mã hóa được mô tả theo các phương án của sáng chế có thể được sử dụng. Do đó, để thuận tiện cho việc mô tả, theo phương án này của sáng chế, hệ thống truyền thông 100 được gọi đơn giản là hệ thống bao gồm đầu phát 101 và đầu thu 102, như được thể hiện trên FIG.1(b). Đầu phát 101 có thể là thiết bị mạng 110, và đầu thu 102 là thiết bị đầu cuối 112; hoặc đầu phát 101 là thiết bị đầu cuối 112, và đầu thu 102 là thiết bị mạng 110. Thiết bị mạng 110 có thể là thiết bị được tạo cấu hình để truyền thông với thiết bị đầu cuối. Ví dụ, thiết bị mạng 110 có thể là NodeB cải tiến (Evolved NodeB, eNB hoặc eNodeB) trong hệ thống LTE, thiết bị phía mạng trong mạng 5G, thiết bị phía mạng truyền thông với thiết bị đầu cuối trong mạng khác hoặc thiết bị phía mạng trong mạng trong tương lai. Theo cách khác, thiết bị mạng có thể là trạm chuyển tiếp, điểm truy nhập, thiết bị lắp trên xe, hoặc tương tự. Trong hệ thống truyền thông thiết bị sang thiết bị (Device to Device, D2D), thiết bị mạng có thể là thiết bị đầu cuối đóng vai trò là trạm cơ sở. Thiết bị đầu cuối này có thể bao gồm các thiết bị cầm tay, thiết bị lắp trên xe, hoặc thiết bị điện toán khác nhau có chức năng truyền

thông không dây, hoặc thiết bị xử lý khác được nối với môđem không dây, và các dạng khác nhau của thiết bị người dùng (User Equipment, UE), trạm di động (Mobile Station, MS), và các thiết bị tương tự.

Quy trình mã hóa được đề cập đến trong bản mô tả này là: thực hiện kiểm tra CRC đối với thông tin cần được mã hóa; nếu cần thiết, thì thực hiện hoạt động chẳng hạn như đan xen đối với chuỗi bit được kiểm tra CRC; và sau đó thực hiện mã hóa cực. Ngoài ra, một hoặc nhiều trong số, bao gồm nhưng không bị giới hạn ở, thích ứng tốc độ, điều biến, chuyển đổi số sang tương tự, và chuyển đổi tần số có thể còn được thực hiện, dựa vào chiều dài mã đích M, đối với các bit được mã hóa được thu sau khi mã hóa cực.

FIG.2 là lưu đồ giản lược của hệ thống truyền thông. Như được thể hiện trên FIG.2, ở đầu phát, nguồn tín hiệu lần lượt trải qua mã hóa nguồn tín hiệu, mã hóa kênh, thích ứng tốc độ (bước tùy chọn) và điều biến, và sau đó gửi. Ở đầu thu, nguồn tín hiệu lần lượt trải qua giải điều biến, giải thích ứng tốc độ (bước tùy chọn), giải mã kênh và giải mã nguồn tín hiệu, và được xuất ra đến nơi chứa tín hiệu. Các phương án của sáng chế chủ yếu liên quan đến mã hóa kênh và giải mã kênh (được gọi ngắn gọn là mã hóa và giải mã kênh), và được mô tả dưới đây bằng cách sử dụng các ví dụ cụ thể. Mã hóa cực được ghép nối với kiểm tra CRC có thể được sử dụng để mã hóa và giải mã kênh theo các phương án của sáng chế.

Sáng chế đề xuất phương pháp và thiết bị mã hóa, để đáp ứng yêu cầu FAR. Phương pháp và thiết bị được đề cập đến trong bản mô tả này áp dụng được cho cả kênh điều khiển và kênh dữ liệu, và áp dụng được cho cả đường lên và đường xuống. Phương pháp và thiết bị mã hóa được đề xuất trong bản mô tả này được mô tả chi tiết dưới đây với tham chiếu đến các hình vẽ kèm theo.

FIG.3 là lưu đồ của một phương án của phương pháp mã hóa theo sáng chế. Như được thể hiện trên FIG.3, phương án này được thực hiện bởi đầu phát, và phương pháp theo phương án này có thể bao gồm các bước sau.

S101. Đầu phát thực hiện mã hóa CRC đối với A bit thông tin cần được mã hóa dựa vào đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm L bit CRC và A bit thông tin, và L và A là các số nguyên dương. L cũng

thường được gọi là chiều dài CRC.

Xem xét đến yêu cầu FAR, khi L=6, thì đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+1;

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1.

Quy trình thực hiện mã hóa CRC cụ thể dựa vào đa thức được chọn giống với mã hóa CRC chung hiện tại.

Cụ thể là, sau khi nhận A bit thông tin cần được mã hóa, đầu phát thêm L bit CRC dựa vào đa thức CRC, để thu được chuỗi bit thứ nhất.

A bit thông tin cần được mã hóa có thể được thu bằng cách sắp xếp các bit thông tin cần được gửi theo thứ tự tăng dần hoặc giảm dần, hoặc có thể được thu bằng cách thực hiện quá trình xử lý khác đối với các bit thông tin. Điều này không bị giới hạn trong bản mô tả này.

Phương án thực hiện của mã hóa CRC ở dạng thanh ghi dịch. Ví dụ, FIG.4 thể hiện cách thực hiện mã hóa CRC thường được sử dụng ở dạng thanh ghi dịch (được

gọi ngắn gọn là thanh ghi). Loại phản hồi của thanh ghi được xác định bởi đa thức CRC D^4+D^2+1, và nội dung của thanh ghi được khởi tạo từ giá trị định trước. Trong quá trình mã hóa, các bit thông tin cần được mã hóa được chuyển từ ngoài vào thanh ghi từng bit một, và hoạt động loại trừ-OR bit được thực hiện đối với loại phản hồi và trạng thái thanh ghi tương ứng, để thay đổi trạng thái của thanh ghi. Sau khi tất cả các bit cần được mã hóa được chuyển vào thanh ghi, các bit 0 có số lượng bằng số lượng bit của chiều dài CRC được chuyển vào thanh ghi, sau đó trạng thái của thanh ghi được đọc, và trạng thái thanh ghi được sử dụng làm bit CRC, và được sử dụng làm từ mã của mã hóa CRC. *L* bit CRC trong chuỗi bit thứ nhất có thể được định vị sau *A* bit thông tin cần được mã hóa, có thể được định vị trước *A* bit thông tin cần được mã hóa, hoặc có thể được định vị ở vị trí bất kỳ mà đầu thu và đầu phát tán thành.

S102. Đầu phát đan xen chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai.

Trong bước đan xen, một số bit trong chuỗi bit thứ nhất có thể được đan xen, hoặc tất cả các bit trong chuỗi bit thứ nhất có thể được đan xen. Cần lưu ý rằng, bước này là bước tùy chọn: Bước này chỉ cần thiết khi vị trí của bit thông tin và/hoặc bit kiểm tra CRC cần được điều chỉnh; và nếu vị trí của bit thông tin và/hoặc bit kiểm tra CRC không cần điều chỉnh, thì bước này có thể được lược bỏ trong quy trình mã hóa thực tế, và trong trường hợp này, chuỗi bit thứ hai trong bước S103 là chuỗi bit thứ nhất. Giản đồ đan xen cụ thể không phải nội dung của sáng chế, và nội dung chi tiết không được mô tả.

S103. Đầu phát thực hiện mã hóa cực đối với chuỗi bit thứ hai, để thu được chuỗi bit thứ ba. Khi bước S102 được lược bỏ, thì bước này là: Đầu phát thực hiện mã hóa cực đối với chuỗi bit thứ nhất, để thu được chuỗi bit thứ ba.

Phương pháp mã hóa cực hiện có có thể được sử dụng làm phương pháp mã hóa để thực hiện, bởi đầu phát, mã hóa cực đối với chuỗi bit thứ hai. Nội dung chi tiết không được mô tả trong bản mô tả này.

S104 (không được thể hiện trên hình vẽ). Đầu phát thực hiện một số hoặc tất cả các bước, bao gồm nhưng không bị giới hạn ở, thích ứng tốc độ, điều biến, chuyển đổi tương tự sang số, và chuyển đổi tần số đối với chuỗi bit thứ ba, và sau đó gửi chuỗi bit thứ ba.

Cần lưu ý rằng, bước thích ứng tốc độ trong bước S104 là tùy chọn. Nếu chiều dài mã mã hóa bằng chiều dài mã đích, thì không cần thích ứng tốc độ. Phương án này của sáng chế không nhấn mạng bước S104. Do đó, nội dung chi tiết không được mô tả trong bản mô tả này. Ví dụ, theo một phương án thực hiện khả dĩ, người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể thực hiện tham chiếu đến thực tiễn trong kỹ thuật trước đó.

Dựa vào phương pháp mã hóa được đề xuất theo phương án này, đầu phát thực hiện mã hóa CRC đối với A bit thông tin cần được mã hóa dựa vào đa thức CRC được đề xuất theo sáng chế, để thu được chuỗi bit thứ nhất, và sau đó thực hiện đan xen (nếu cần thiết) và mã hóa cực đối với chuỗi bit thứ nhất này. Do đó, sau khi CRC được ghép nối, thì cách mã hóa cực được sử dụng có thể đáp ứng yêu cầu FAR.

Cần lưu ý rằng, sau khi nhận các bit thông tin cần được giải mã, đầu thu (phía bộ giải mã) cũng cần thực hiện kiểm tra CRC dựa vào cùng đa thức CRC. Nội dung chi tiết không được mô tả trong bản mô tả này.

Theo phương án này của sáng chế, hoạt động giải mã ở đầu giải mã là: nhận chuỗi cần được giải mã, và thực hiện giải mã cực đối với chuỗi cần được giải mã thu được dựa vào đa thức CRC.

Dựa vào cùng ý tưởng sáng tạo với phương pháp mã hóa được thể hiện trên FIG.3, như được thể hiện trên FIG.5, một phương án của sáng chế còn đề xuất thiết bị 700. Thiết bị mã hóa 700 được tạo cấu hình để thực hiện phương pháp mã hóa được thể hiện trên FIG.3. Một số hoặc tất cả các bước của phương pháp mã hóa được thể hiện trên FIG.3 có thể được thực hiện bằng cách sử dụng phần cứng hoặc bằng cách sử dụng phần mềm. Khi một số hoặc tất cả các bước của phương pháp mã hóa được thể hiện trên FIG.3 được thực hiện bằng cách sử dụng phần cứng, thì thiết bị mã hóa 700 bao gồm: giao diện đầu vào 701, được tạo cấu hình để thu được chuỗi bit cần được mã hóa; mạch logic 702, được tạo cấu hình để thực hiện phương pháp mã hóa được thể hiện trên FIG.3, trong đó đối với nội dung chi tiết, tham chiếu đến phần mô tả theo phương án của phương pháp nêu trên, và nội dung chi tiết không được mô tả lần nữa trong bản mô tả này; và giao diện đầu ra 703, được tạo cấu hình để xuất ra chuỗi bit được mã hóa.

Một cách tùy chọn, theo một phương án thực hiện cụ thể, thiết bị mã hóa 700 có thể là chip hoặc mạch tích hợp.

Một cách tùy chọn, khi một số hoặc tất cả các bước của phương pháp mã hóa theo phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, như được thể hiện trên FIG.6, thì thiết bị mã hóa 800 bao gồm: bộ nhớ 801, được tạo cấu hình để lưu chương trình; và bộ xử lý 802, được tạo cấu hình để thực thi chương trình được lưu trong bộ nhớ 801. Khi chương trình này được thực thi, thì thiết bị mã hóa 800 thực hiện phương pháp mã hóa được đề xuất theo phương án trên FIG.3.

Một cách tùy chọn, bộ nhớ 801 có thể là bộ phận độc lập về mặt vật lý, hoặc có thể được tích hợp cùng với bộ xử lý 802.

Một cách tùy chọn, khi một số hoặc tất cả các bước của phương pháp mã hóa theo phương án trên FIG.3 được thực hiện bằng cách sử dụng phần mềm, thì thiết bị mã hóa 800 có thể chỉ bao gồm bộ xử lý 802. Bộ nhớ 801 được tạo cấu hình để lưu chương trình được định vị bên ngoài thiết bị mã hóa 800, và bộ xử lý 802 được nối với bộ nhớ 801 bằng cách sử dụng mạch hoặc dây, và được tạo cấu hình để đọc và thực thi chương trình được lưu trong bộ nhớ 801.

Bộ xử lý 802 có thể là bộ xử lý trung tâm (Central Processing Unit, CPU), bộ xử lý mạng (Network Processor, NP), hoặc sự kết hợp của CPU và NP.

Bộ xử lý 802 có thể còn bao gồm chip phần cứng. Chip phần cứng này có thể là mạch tích hợp chuyên dụng (Application-Specific Integrated Circuit, ASIC), thiết bị logic lập trình được (Programmable Logic Device, PLD), hoặc sự kết hợp của chúng. PLD có thể là thiết bị logic lập trình được phức tạp (Complex Programmable Logic Device, CPLD), mảng cổng trường lập trình được dạng trường (Field-Programmable Gate Array, FPGA), logic mảng chung (Generic Array Logic, GAL), hoặc sự kết hợp bất kỳ của chúng.

Bộ nhớ 801 có thể bao gồm bộ nhớ khả biến (volatile memory), ví dụ, bộ nhớ truy cập ngẫu nhiên (Random Access Memory, RAM). Theo cách khác, bộ nhớ 801 có thể bao gồm bộ nhớ bất khả biến (non-volatile memory), ví dụ, bộ nhớ nhanh (flash memory), ổ đĩa cứng (Hard Disk Drive, HDD), hoặc ổ đĩa trạng thái rắn (Solid-State

Drive, SSD). Theo cách khác, bộ nhớ 801 có thể bao gồm tổ hợp của các loại bộ nhớ nêu trên.

Dựa vào cùng ý tưởng sáng tạo với phương pháp mã hóa được thể hiện trên FIG.3, như được thể hiện trên FIG.7, một phương án của sáng chế còn đề xuất sơ đồ cấu trúc giản lược theo một phương án của thiết bị mã hóa. Thiết bị này có thể bao gồm: môđun mã hóa thứ nhất 901, môđun đan xen 902 và môđun mã hóa thứ hai 903. Môđun mã hóa thứ nhất 901 được tạo cấu hình để thực hiện mã hóa kiểm tra dư vòng (Cyclic Redundancy Check, CRC) đối với A bit thông tin cần được mã hóa dựa vào đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=6, và đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+1;

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1.

Thông thường, đa thức CRC được sử dụng để mã hóa CRC được thực hiện bằng cách sử dụng thanh ghi dịch. L bit CRC trong chuỗi bit thứ nhất có thể được định vị sau A bit thông tin cần được mã hóa, có thể được định vị trước A bit thông tin cần

được mã hóa, hoặc có thể được định vị ở vị trí bất kỳ mà đầu thu và đầu phát tán thành. Môđun đan xen 902 là môđun tùy chọn, và được tạo cấu hình để thực hiện hoạt động đan xen đối với chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai. Môđun này chỉ cần thiết khi vị trí của bit thông tin và/hoặc bit kiểm tra CRC cần được điều chỉnh theo cách chẳng hạn như CRC phân tán. Nếu vị trí của bit thông tin và/hoặc bit kiểm tra CRC không cần điều chỉnh, thì môđun này có thể được lược bỏ trong quy trình mã hóa thực tế, và trong trường hợp này, chuỗi bit thứ hai là chuỗi bit thứ nhất. Môđun mã hóa thứ hai 903 được tạo cấu hình để thực hiện mã hóa cực đối với chuỗi bit thứ hai, và khi không có môđun đan xen 902, thì môđun mã hóa thứ hai 903 được tạo cấu hình để thực hiện mã hóa cực đối với chuỗi bit thứ nhất.

Cần lưu ý rằng, các môđun chẳng hạn như môđun thích ứng tốc độ, môđun điều biến và môđun gửi không được thể hiện trên FIG.7. Môđun gửi được tạo cấu hình để gửi chuỗi được mã hóa, và chắc chắn là, trước khi chuỗi được mã hóa được gửi, các hoạt động chẳng hạn như thích ứng tốc độ (nếu cần thiết) và điều biến còn cần được thực hiện.

Dựa vào cùng ý tưởng sáng tạo với phương pháp giải mã được đề xuất theo phương án nêu trên, như được thể hiện trên FIG.8, một phương án của sáng chế còn đề xuất thiết bị giải mã 1000. Thiết bị giải mã 1000 có thể được tạo cấu hình để thực hiện phương pháp giải mã được đề xuất theo một phương án của sáng chế, và thiết bị giải mã 1000 bao gồm:

môđun thu nhận 1001, được tạo cấu hình để thu được chuỗi bit cần được giải mã; và

môđun giải mã 1002, được tạo cấu hình để thực hiện hoạt động giải mã đối với chuỗi bit cần được giải mã theo phương pháp giải mã, trong đó phương pháp giải mã này được xác định dựa vào đa thức CRC và phương pháp mã hóa cực.

Dựa vào cùng ý tưởng sáng tạo với phương pháp giải mã được đề xuất theo phương án nêu trên, như được thể hiện trên FIG.9, một phương án của sáng chế còn đề xuất thiết bị giải mã 1100. Thiết bị giải mã 1100 được tạo cấu hình để thực hiện phương pháp giải mã nêu trên. Một số hoặc tất cả các bước của phương pháp giải mã nêu trên có thể được thực hiện bằng cách sử dụng phần cứng hoặc bằng cách sử dụng

phần mềm. Khi một số hoặc tất cả các bước của phương pháp giải mã nêu trên được thực hiện bằng cách sử dụng phần cứng, thì thiết bị giải mã 1100 bao gồm: giao diện đầu vào 1101, được tạo cấu hình để thu được chuỗi bit cần được giải mã; mạch logic 1102, được tạo cấu hình để thực hiện phương pháp giải mã nêu trên; và giao diện đầu ra 1103, được tạo cấu hình để xuất ra chuỗi được giải mã.

Một cách tùy chọn, theo một phương án thực hiện cụ thể, thiết bị giải mã 1100 có thể là chip hoặc mạch tích hợp.

Một cách tùy chọn, khi một số hoặc tất cả các bước của phương pháp giải mã theo phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, như được thể hiện trên FIG.10, thì thiết bị giải mã 1200 bao gồm: bộ nhớ 1201, được tạo cấu hình để lưu chương trình; và bộ xử lý 1202, được tạo cấu hình để thực thi chương trình được lưu trong bộ nhớ 1201. Khi chương trình này được thực thi, thì thiết bị giải mã 1200 thực hiện phương pháp giải mã được đề xuất theo phương án nêu trên.

Một cách tùy chọn, bộ nhớ 1201 có thể là bộ phận độc lập về mặt vật lý, hoặc có thể được tích hợp cùng với bộ xử lý 1202.

Một cách tùy chọn, khi một số hoặc tất cả các bước của phương pháp giải mã theo phương án nêu trên được thực hiện bằng cách sử dụng phần mềm, thì thiết bị giải mã 1200 có thể chỉ bao gồm bộ xử lý 1202. Bộ nhớ 1201 được tạo cấu hình để lưu chương trình được định vị bên ngoài thiết bị giải mã 1200, và bộ xử lý 1202 được nối với bộ nhớ 1201 bằng cách sử dụng mạch hoặc dây, và được tạo cấu hình để đọc và thực thi chương trình được lưu trong bộ nhớ 1201.

Bộ xử lý 1202 có thể là bộ xử lý trung tâm (Central Processing Unit, CPU), bộ xử lý mạng (Network Processor, NP), hoặc sự kết hợp của CPU và NP.

Bộ xử lý 1202 có thể còn bao gồm chip phần cứng. Chip phần cứng này có thể là mạch tích hợp chuyên dụng (Application-Specific Integrated Circuit, ASIC), thiết bị logic lập trình được (Programmable Logic Device, PLD), hoặc kết hợp của chúng. PLD có thể là thiết bị logic lập trình được phức tạp (Complex Programmable Logic Device, CPLD), mảng cổng trường lập trình được dạng trường (Field-Programmable Gate Array, FPGA), logic mảng chung (Generic Array Logic, GAL), hoặc sự kết hợp

bất kỳ của chúng.

Bộ nhớ 1201 có thể bao gồm bộ nhớ khả biến (volatile memory), ví dụ, bộ nhớ truy cập ngẫu nhiên (Random Access Memory, RAM). Theo cách khác, bộ nhớ 1201 có thể bao gồm bộ nhớ bất khả biến (non-volatile memory), ví dụ, bộ nhớ nhanh (flash memory), ổ đĩa cứng (Hard Disk Drive, HDD), hoặc ổ đĩa trạng thái rắn (Solid-State Drive, SSD). Theo cách khác, bộ nhớ 1201 có thể bao gồm tổ hợp của các loại bộ nhớ nêu trên.

Một phương án của sáng chế còn đề xuất thiết bị mạng. Tham chiếu đến FIG.11, thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên có thể được cài đặt trong thiết bị mạng 110. Ngoài thiết bị mã hóa và thiết bị giải mã nêu trên, thiết bị mạng 110 có thể còn bao gồm bộ thu phát 1302. Chuỗi bit được mã hóa bởi thiết bị mã hóa trải qua các thay đổi hoặc xử lý tiếp theo và sau đó được gửi bởi bộ thu phát 1302 đến thiết bị đầu cuối 112, hoặc bộ thu phát 1302 còn được tạo cấu hình để nhận thông tin hoặc dữ liệu từ thiết bị đầu cuối 112. Thông tin hoặc dữ liệu này trải qua chuỗi xử lý và được chuyển đổi thành chuỗi cần được giải mã, và chuỗi cần được giải mã này được xử lý bởi thiết bị giải mã để thu được chuỗi được giải mã. Thiết bị mạng 110 có thể còn bao gồm giao diện mạng 1304, được tạo cấu hình để truyền thông với thiết bị mạng khác.

Tương tự, thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên có thể được tạo cấu hình trong thiết bị đầu cuối 112. Ngoài thiết bị mã hóa và/hoặc thiết bị giải mã nêu trên, thiết bị đầu cuối 112 có thể còn bao gồm bộ thu phát 1312. Chuỗi bit được mã hóa bởi thiết bị mã hóa trải qua các thay đổi hoặc xử lý tiếp theo (bao gồm nhưng không bị giới hạn ở, một số hoặc tất cả trong số thích ứng tốc độ, điều biến, chuyển đổi số sang tương tự, và chuyển đổi tần số) và sau đó được gửi bởi bộ thu phát 1312 đến thiết bị mạng 110, hoặc bộ thu phát 1312 còn được tạo cấu hình để nhận thông tin hoặc dữ liệu từ thiết bị mạng 110. Thông tin hoặc dữ liệu này trải qua chuỗi xử lý (bao gồm nhưng không bị giới hạn ở, một số hoặc tất cả trong số chuyển đổi tần số, chuyển đổi tương tự sang số, giải điều biến, và giải thích ứng tốc độ) và được chuyển đổi thành chuỗi cần được giải mã, và chuỗi cần được giải mã này được xử lý bởi thiết bị giải mã để thu được chuỗi được giải mã. Thiết bị đầu cuối 112 có thể còn bao gồm giao diện đầu vào/đầu ra người dùng 1314, được tạo cấu hình để nhận thông tin được nhập bởi người dùng. Thông tin cần được gửi đến thiết bị mạng 110 cần được xử lý bởi bộ mã hóa và

sau đó được gửi bởi bộ thu phát 1312 đến thiết bị mạng 110. Sau khi trải qua quá trình xử lý tiếp theo, dữ liệu được giải mã bởi bộ giải mã có thể được biểu diễn cho người dùng bằng cách sử dụng giao diện đầu vào/đầu ra 1314.

Một phương án của sáng chế còn đề xuất vật ghi lưu trữ máy tính để lưu chương trình máy tính. Chương trình máy tính này được sử dụng để thực hiện phương pháp mã hóa được thể hiện trên FIG.3 và phương án nêu trên và phương pháp giải mã được đề xuất theo phương án nêu trên.

Một phương án của sáng chế còn đề xuất thiết bị mã hóa cực bao gồm một thiết bị bất kỳ trong số các thiết bị mã hóa trên các hình vẽ từ FIG.5 đến FIG.7 và một thiết bị bất kỳ trong số các thiết bị giải mã trên các hình vẽ từ FIG.8 đến FIG.10.

Một phương án của sáng chế còn đề xuất sản phẩm chương trình máy tính bao gồm lệnh. Khi lệnh này chạy trên máy tính, thì máy tính này thực hiện phương pháp mã hóa được thể hiện trên FIG.3 và phương pháp giải mã được đề xuất theo phương án nêu trên.

Người có hiểu biết trung bình trong lĩnh vực kỹ thuật cần hiểu rằng các phương án của sáng chế có thể được đề xuất ở dạng phương pháp, hệ thống hoặc sản phẩm chương trình máy tính. Do đó, sáng chế có thể sử dụng dạng của các phương án chỉ của phần cứng, các phương án chỉ của phần mềm, hoặc các phương án với sự kết hợp của phần mềm và phần cứng. Hơn nữa, sáng chế có thể sử dụng dạng của sản phẩm chương trình máy tính được thực hiện trên một hoặc nhiều vật ghi lưu trữ sử dụng được bằng máy tính (bao gồm nhưng không bị giới hạn ở, bộ nhớ đĩa, CD-ROM và bộ nhớ quang) mà bao gồm mã chương trình sử dụng được bằng máy tính.

Sáng chế được mô tả với tham chiếu đến các lưu đồ và/hoặc các sơ đồ khối của phương pháp, thiết bị (hệ thống) và sản phẩm chương trình máy tính theo các phương án của sáng chế. Cần hiểu rằng các lệnh chương trình máy tính có thể được sử dụng để thực hiện mỗi bước và/hoặc mỗi khối trong các lưu đồ và/hoặc các sơ đồ khối và sự kết hợp của bước và/hoặc khối trong các lưu đồ và/hoặc các sơ đồ khối này. Các lệnh chương trình máy tính này có thể được cấp cho máy tính đa năng, máy tính chuyên dụng, bộ xử lý nhúng, hoặc bộ xử lý của thiết bị xử lý dữ liệu lập trình được khác bất kỳ để tạo ra máy, để các lệnh này được thực thi bởi máy tính hoặc bộ xử lý của thiết bị

xử lý dữ liệu lập trình được khác bất kỳ tạo ra thiết bị để thực hiện chức năng cụ thể trong một hoặc nhiều bước trong các lưu đồ và/hoặc trong một hoặc nhiều khối trong các sơ đồ khối.

Các lệnh chương trình máy tính này cũng có thể được lưu trong bộ nhớ đọc được bằng máy tính có thể lệnh cho máy tính hoặc thiết bị xử lý dữ liệu lập trình được khác bất kỳ làm việc theo cách cụ thể, sao cho các lệnh này được lưu trong bộ nhớ đọc được bằng máy tính tạo ra thành phần giả tượng (artifact) bao gồm thiết bị lệnh. Thiết bị lệnh này thực hiện các chức năng cụ thể trong một hoặc nhiều bước trong lưu đồ và/hoặc trong một hoặc nhiều khối trong sơ đồ khối.

Các lệnh chương trình máy tính này có thể được tải vào máy tính hoặc thiết bị xử lý dữ liệu lập trình được khác, để chuỗi các hoạt động và các bước được thực hiện trên máy tính hoặc thiết bị lập trình được khác này, nhờ đó tạo ra quá trình xử lý được thực hiện bằng máy tính. Do đó, các lệnh được thực thi trên máy tính hoặc thiết bị lập trình được khác tạo ra các bước để thực hiện chức năng cụ thể trong một hoặc nhiều bước trong các lưu đồ và/hoặc trong một hoặc nhiều khối trong các sơ đồ khối.

Mặc dù một số phương án của sáng chế đã được mô tả, nhưng người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể thực hiện các thay đổi và cải biên đối với các phương án này khi họ biết sáng chế cơ bản. Do đó, yêu cầu bảo hộ sau nhằm được hiểu là bao hàm các phương án được ưu tiên và tất cả các thay đổi và cải biên này nằm trong phạm vi của sáng chế.

Rõ ràng là, người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể thực hiện các cải biên và biến thể khác nhau đối với các phương án của sáng chế mà không vượt ra khỏi phạm vi của các phương án của sáng chế. Sáng chế nhằm bao hàm các cải biên và biến thể này miễn là các cải biên và biến thể này nằm trong phạm vi bảo hộ được xác định bởi yêu cầu bảo hộ sau và các công nghệ tương đương của sáng chế.

YÊU CẦU BẢO HỘ

1. Phương pháp mã hóa, trong đó phương pháp này bao gồm các bước:

thực hiện, bởi thiết bị mã hóa dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC này bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=6, và đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

thực hiện, bởi thiết bị mã hóa, mã hóa cực đối với chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

2. Phương pháp mã hóa, trong đó phương pháp này bao gồm các bước:

thực hiện, bởi thiết bị mã hóa dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC này bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương,

L=6, và đa thức CRC là: D^6+D^5+1; và

thực hiện, bởi thiết bị mã hóa, mã hóa cực đối với chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

3. Phương pháp theo điểm 1 hoặc 2, trong đó đa thức CRC được thực hiện bằng cách sử dụng thanh ghi dịch (shift register).

4. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó *L* bit CRC trong chuỗi bit được mã hóa CRC được định vị sau *A* bit thông tin cần được mã hóa.

5. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 4, trong đó phương pháp này còn bao gồm bước:

gửi, bởi thiết bị mã hóa, chuỗi bit được mã hóa cực.

6. Phương pháp theo điểm 5, trong đó trước khi gửi chuỗi bit được mã hóa cực, thiết bị mã hóa thực hiện thích ứng tốc độ đối với chuỗi bit được mã hóa cực dựa vào chiều dài mã đích.

7. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 6, trong đó thiết bị mã hóa là trạm cơ sở hoặc thiết bị đầu cuối.

8. Thiết bị mã hóa bao gồm:

môđun mã hóa thứ nhất, được tạo cấu hình để thực hiện, dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC này bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=6, và đa thức CRC là một đa thức bất kỳ trong số các đa thức sau:

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

môđun mã hóa thứ hai, được tạo cấu hình để thực hiện mã hóa cực đối với chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

9. Thiết bị mã hóa bao gồm:

môđun mã hóa thứ nhất, được tạo cấu hình để thực hiện, dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), mã hóa CRC đối với *A* bit thông tin cần được mã hóa, để thu được chuỗi bit được mã hóa CRC, trong đó chuỗi bit được mã hóa CRC này bao gồm *L* bit CRC và *A* bit thông tin cần được mã hóa, *L* và *A* là các số nguyên dương, *L*=6, và đa thức CRC là: D^6+D^5+1; và

môđun mã hóa thứ hai, được tạo cấu hình để thực hiện mã hóa cực đối với chuỗi bit được mã hóa CRC để thu được chuỗi bit được mã hóa cực.

10. Thiết bị theo điểm 8 hoặc 9, trong đó thiết bị này còn bao gồm thanh ghi dịch, và đa thức CRC được thực hiện bằng cách sử dụng thanh ghi dịch này.

11. Thiết bị theo điểm bất kỳ trong số các điểm từ 8 đến 10, trong đó *L* bit CRC trong chuỗi bit được mã hóa CRC được định vị sau *A* bit thông tin cần được mã hóa.

12. Thiết bị theo điểm bất kỳ trong số các điểm từ 8 đến 11, trong đó thiết bị này còn bao gồm môđun gửi, được tạo cấu hình để gửi chuỗi bit được mã hóa cực.

13. Thiết bị theo điểm 12, trong đó trước khi gửi chuỗi bit được mã hóa cực, thiết bị này thực hiện thích ứng tốc độ đối với chuỗi bit được mã hóa cực dựa vào chiều dài mã đích.

14. Thiết bị theo điểm bất kỳ trong số các điểm từ 8 đến 13, trong đó thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

15. Thiết bị mã hóa, bao gồm bộ xử lý, trong đó bộ xử lý này được tạo cấu hình để thực hiện phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 6.

16. Thiết bị theo điểm 15, trong đó thiết bị mã hóa này là trạm cơ sở hoặc thiết bị đầu cuối.

17. Thiết bị mã hóa bao gồm:

giao diện đầu vào, được tạo cấu hình để thu được A bit thông tin cần được mã hóa;

mạch logic, được tạo cấu hình để thực hiện phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 6; và

giao diện đầu ra, được tạo cấu hình để xuất ra chuỗi bit được mã hóa cực.

18. Vật ghi lưu trữ đọc được bằng máy tính, trong đó vật ghi lưu trữ này được tạo cấu hình để lưu chương trình máy tính, và khi chương trình máy tính này được chạy bởi thiết bị truyền thông, thì phương pháp theo điểm bất kỳ trong số các điểm 1, từ 3 đến 6 được thực hiện.

19. Vật ghi lưu trữ đọc được bằng máy tính, trong đó vật ghi lưu trữ này được tạo cấu hình để lưu chương trình máy tính, và khi chương trình máy tính này được chạy bởi thiết bị truyền thông, thì phương pháp theo điểm bất kỳ trong số các điểm từ 2 đến 6 được thực hiện.

20. Phương pháp giải mã, trong đó phương pháp này bao gồm các bước:

nhận, bởi thiết bị giải mã, chuỗi cần được giải mã;

thực hiện, bởi thiết bị giải mã, giải mã cực đối với chuỗi cần được giải mã dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), để thu được chuỗi bit được giải mã cực, trong đó chuỗi bit được giải mã cực này bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=6, và đa thức CRC là một đa thức bất kỳ

trong số các đa thức sau:

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1; và

xuất ra, bởi thiết bị giải mã, chuỗi bit được giải mã cực.

21. Phương pháp giải mã, trong đó phương pháp này bao gồm các bước:

nhận, bởi thiết bị giải mã, chuỗi cần được giải mã;

thực hiện, bởi thiết bị giải mã, giải mã cực đối với chuỗi cần được giải mã dựa vào đa thức kiểm tra dư vòng (Cyclic Redundancy Check, CRC), để thu được chuỗi bit được giải mã cực, trong đó chuỗi bit được giải mã cực này bao gồm L bit CRC và A bit thông tin, L và A là các số nguyên dương, L=6, và đa thức CRC là: D^6+D^5+1; và

xuất ra, bởi thiết bị giải mã, chuỗi bit được giải mã cực.

22. Phương pháp theo điểm 20 hoặc 21, trong đó L bit CRC trong chuỗi cần được giải mã được định vị sau A bit thông tin.

23. Phương pháp theo điểm bất kỳ trong số các điểm từ 20 đến 22, trong đó trước khi thiết bị giải mã nhận chuỗi cần được giải mã, thiết bị giải mã này còn được tạo cấu

hình để nhận thông tin hoặc dữ liệu từ đầu phát và thực hiện giải thích ứng tốc độ đối với thông tin hoặc dữ liệu từ đầu phát, để thu được chuỗi cần được giải mã.

24. Phương pháp theo điểm bất kỳ trong số các điểm từ 20 đến 23, trong đó thiết bị giải mã là trạm cơ sở hoặc thiết bị đầu cuối.

25. Thiết bị giải mã bao gồm:

môđun thu nhận, được tạo cấu hình để thu được chuỗi cần được giải mã, trong đó chuỗi cần được giải mã này bao gồm L bit kiểm tra dư vòng (Cyclic Redundancy Check, CRC) và A bit thông tin, L và A là các số nguyên dương, và L=6; và

môđun giải mã, được tạo cấu hình để thực hiện giải mã cực đối với chuỗi cần được giải mã dựa vào đa thức CRC, để thu được chuỗi bit được giải mã cực, trong đó đa thức CRC là một đa thức bất kỳ trong số các đa thức sau :

D^6+D^5+D^4+D^3+1;

D^6+D^4+D^3+D+1;

D^6+D^3+D^2+D+1;

D^6+D^5+D^2+1;

D^6+D^5+D^4+D^2+1;

D^6+D^3+D^2+1;

D^6+D^5+D^3+D^2+1;

D^6+D^5+D^4+D^3+D^2+1;

D^6+D^5+D^4+D^3+D+1; hoặc

D^6+D^4+D^2+D+1.

26. Thiết bị giải mã bao gồm:

môđun thu nhận, được tạo cấu hình để thu được chuỗi cần được giải mã, trong đó chuỗi cần được giải mã này bao gồm L bit kiểm tra dư vòng (Cyclic Redundancy

Check, CRC) và *A* bit thông tin, *L* và *A* là các số nguyên dương, và L=6; và

môđun giải mã, được tạo cấu hình để thực hiện giải mã cực đối với chuỗi cần được giải mã dựa vào đa thức CRC, để thu được chuỗi bit được giải mã cực, trong đó đa thức CRC là: D^6+D^5+1.

27. Thiết bị theo điểm 25 hoặc 26, trong đó *L* bit CRC trong chuỗi cần được giải mã được định vị sau *A* bit thông tin.

28. Thiết bị theo điểm bất kỳ trong số các điểm từ 25 đến 27, trong đó trước khi môđun thu nhận nhận chuỗi bit cần được giải mã, môđun thu nhận này còn được tạo cấu hình để nhận thông tin hoặc dữ liệu từ đầu phát và thực hiện giải thích ứng tốc độ đối với thông tin hoặc dữ liệu từ đầu phát, để thu được chuỗi cần được giải mã.

29. Thiết bị theo điểm bất kỳ trong số các điểm từ 25 đến 28, trong đó thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

30. Thiết bị giải mã, bao gồm bộ xử lý, trong đó bộ xử lý này được tạo cấu hình để thực hiện phương pháp theo điểm bất kỳ trong số các điểm từ 20 đến 23.

31. Thiết bị theo điểm 30, trong đó thiết bị này là trạm cơ sở hoặc thiết bị đầu cuối.

32. Thiết bị giải mã bao gồm:

giao diện đầu vào, được tạo cấu hình để thu được chuỗi cần được giải mã;

mạch logic, được tạo cấu hình để thực hiện phương pháp theo điểm bất kỳ trong số các điểm từ 20 đến 23; và

giao diện đầu ra, được tạo cấu hình để xuất ra chuỗi bit được giải mã cực.

33. Vật ghi lưu trữ đọc được bằng máy tính, trong đó vật ghi lưu trữ này được tạo cấu hình để lưu chương trình máy tính, và khi được chạy bởi thiết bị truyền thông, thì phương pháp theo điểm bất kỳ trong số các điểm 20, từ 22 đến 23 được thực hiện.

34. Vật ghi lưu trữ đọc được bằng máy tính, trong đó vật ghi lưu trữ này được tạo cấu hình để lưu chương trình máy tính, và khi được chạy bởi thiết bị truyền thông, thì phương pháp theo điểm bất kỳ trong số các điểm từ 21 đến 23 được thực hiện.

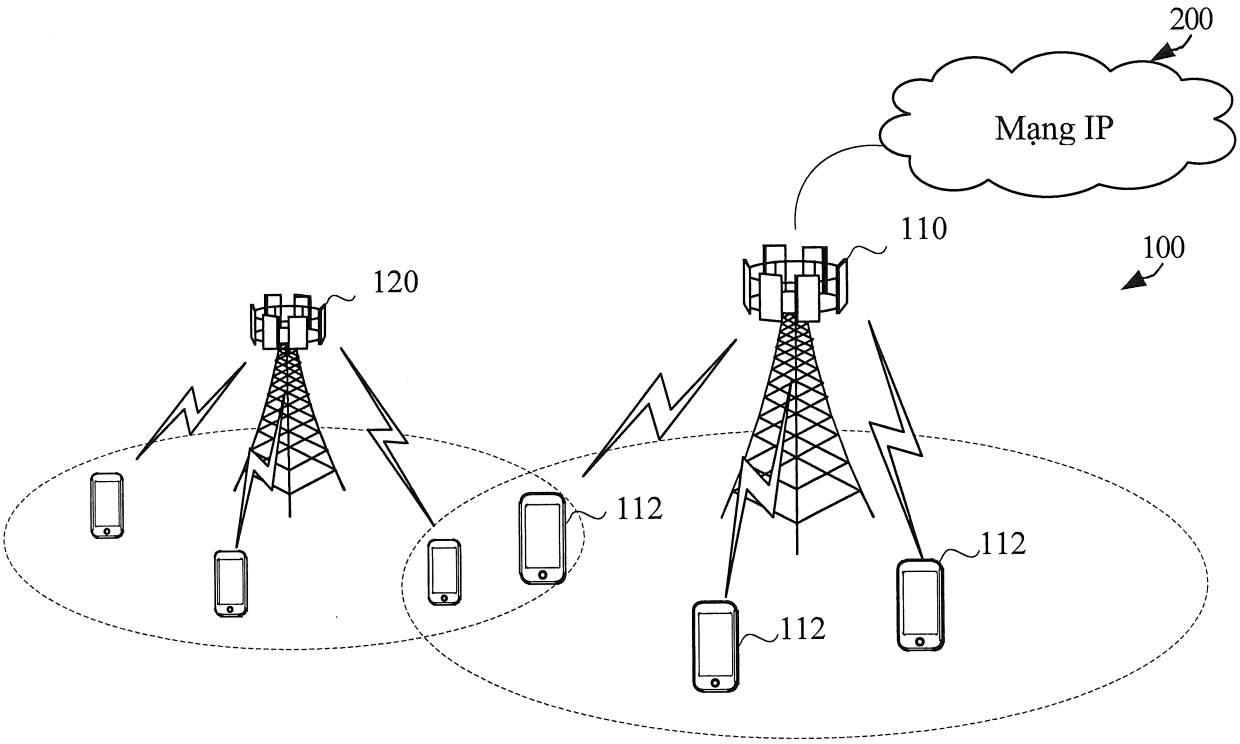

200
Mạng IP
110
100
120
112
112
112

FIG.1 (a)

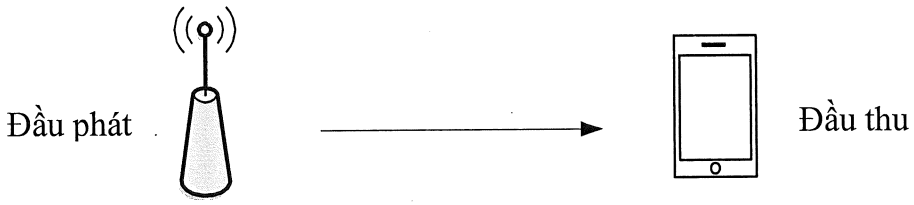

Đầu phát
Đầu thu
Phía bộ mã hóa
Kênh
Phía bộ giải mã

FIG.1(b).

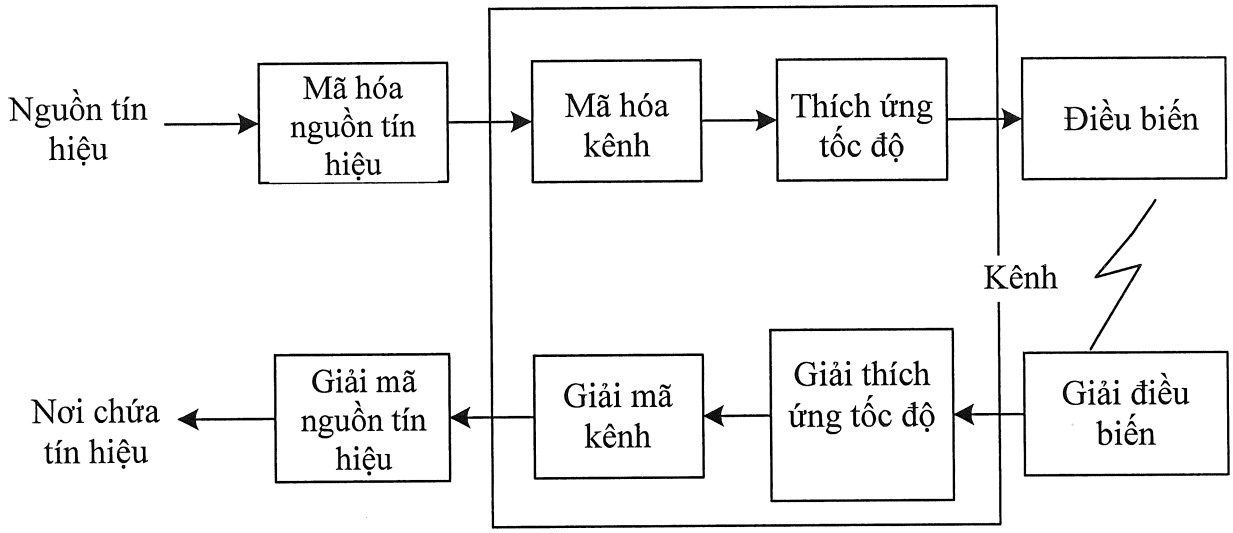

Nguồn tín hiệu
Mã hóa nguồn tín hiệu
Mã hóa kênh
Thích ứng tốc độ
Điều biến
Kênh
Giải điều biến
Giải thích ứng tốc độ
Giải mã kênh
Giải mã nguồn tín hiệu
Nơi chứa tín hiệu

FIG.2

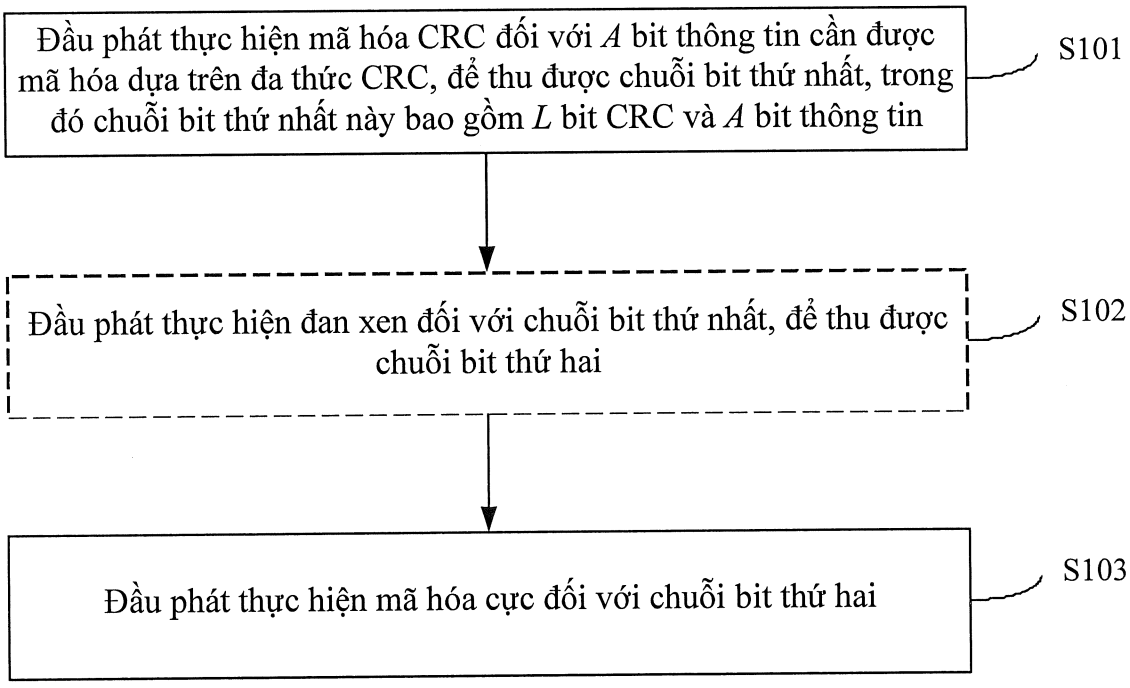

Đầu phát thực hiện mã hóa CRC đối với A bit thông tin cần được mã hóa dựa trên đa thức CRC, để thu được chuỗi bit thứ nhất, trong đó chuỗi bit thứ nhất này bao gồm L bit CRC và A bit thông tin
S101
Đầu phát thực hiện đan xen đối với chuỗi bit thứ nhất, để thu được chuỗi bit thứ hai
S102
Đầu phát thực hiện mã hóa cực đối với chuỗi bit thứ hai
S103

FIG.3

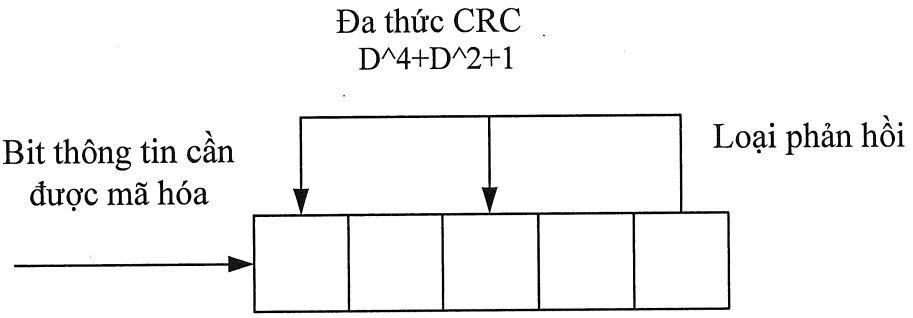


FIG.4

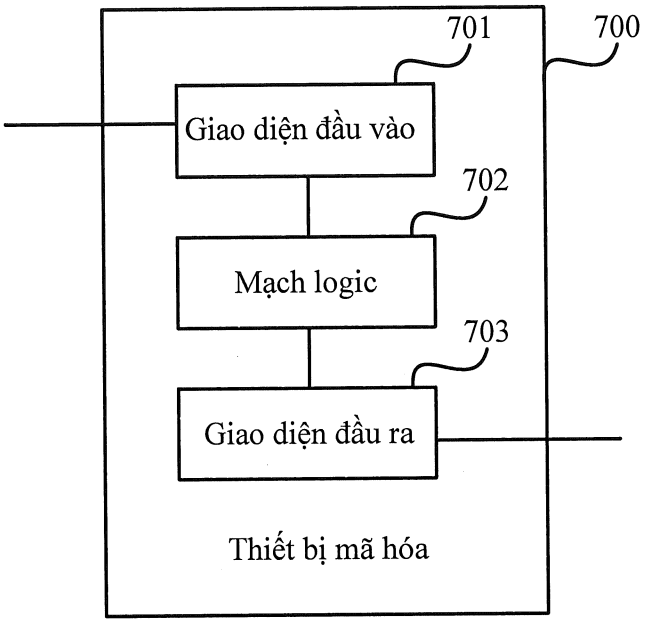


FIG.5

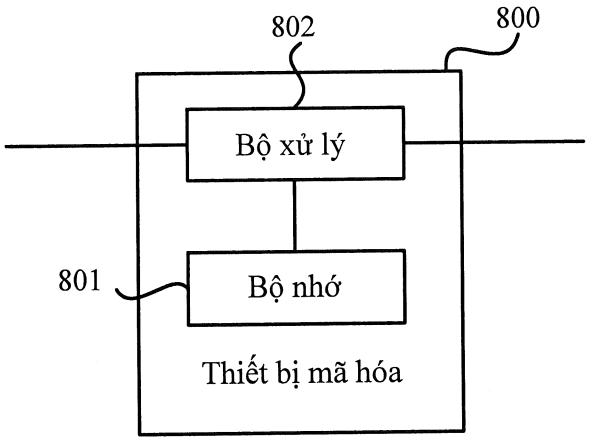


FIG.6

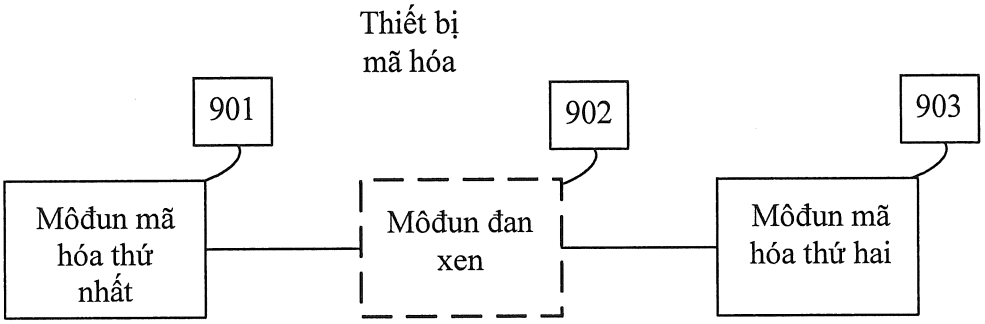

Thiết bị mã hóa
901
902
903
Môđun mã hóa thứ nhất
Môđun đan xen
Môđun mã hóa thứ hai

FIG.7

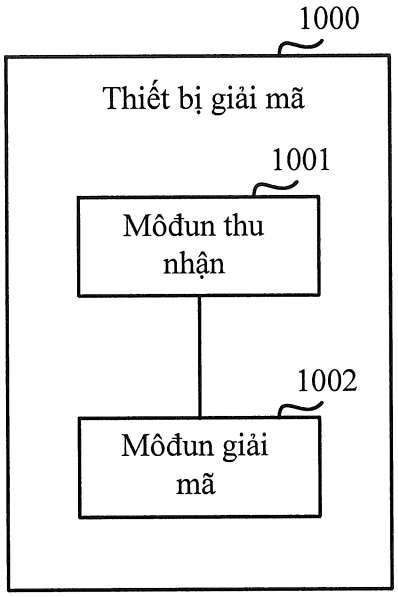

1000
Thiết bị giải mã
1001
Môđun thu nhận
1002
Môđun giải mã

FIG.8

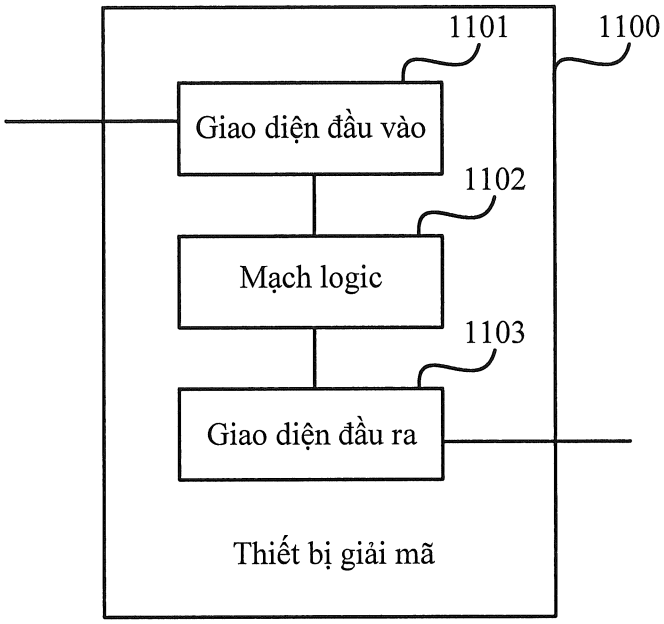

1101
1100
Giao diện đầu vào
1102
Mạch logic
1103
Giao diện đầu ra
Thiết bị giải mã

FIG.9

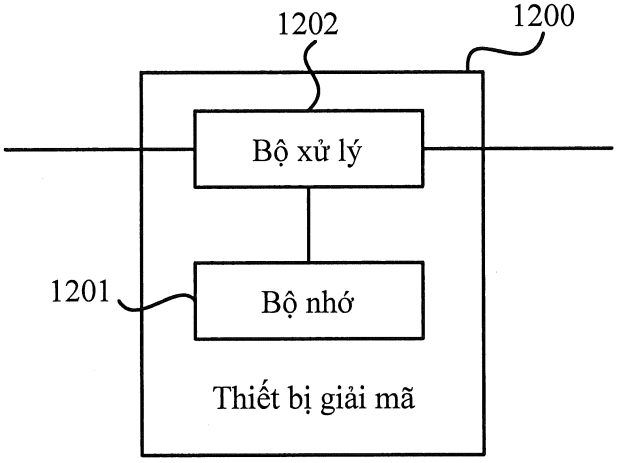

1202
1200
Bộ xử lý
1201
Bộ nhớ
Thiết bị giải mã

FIG.10

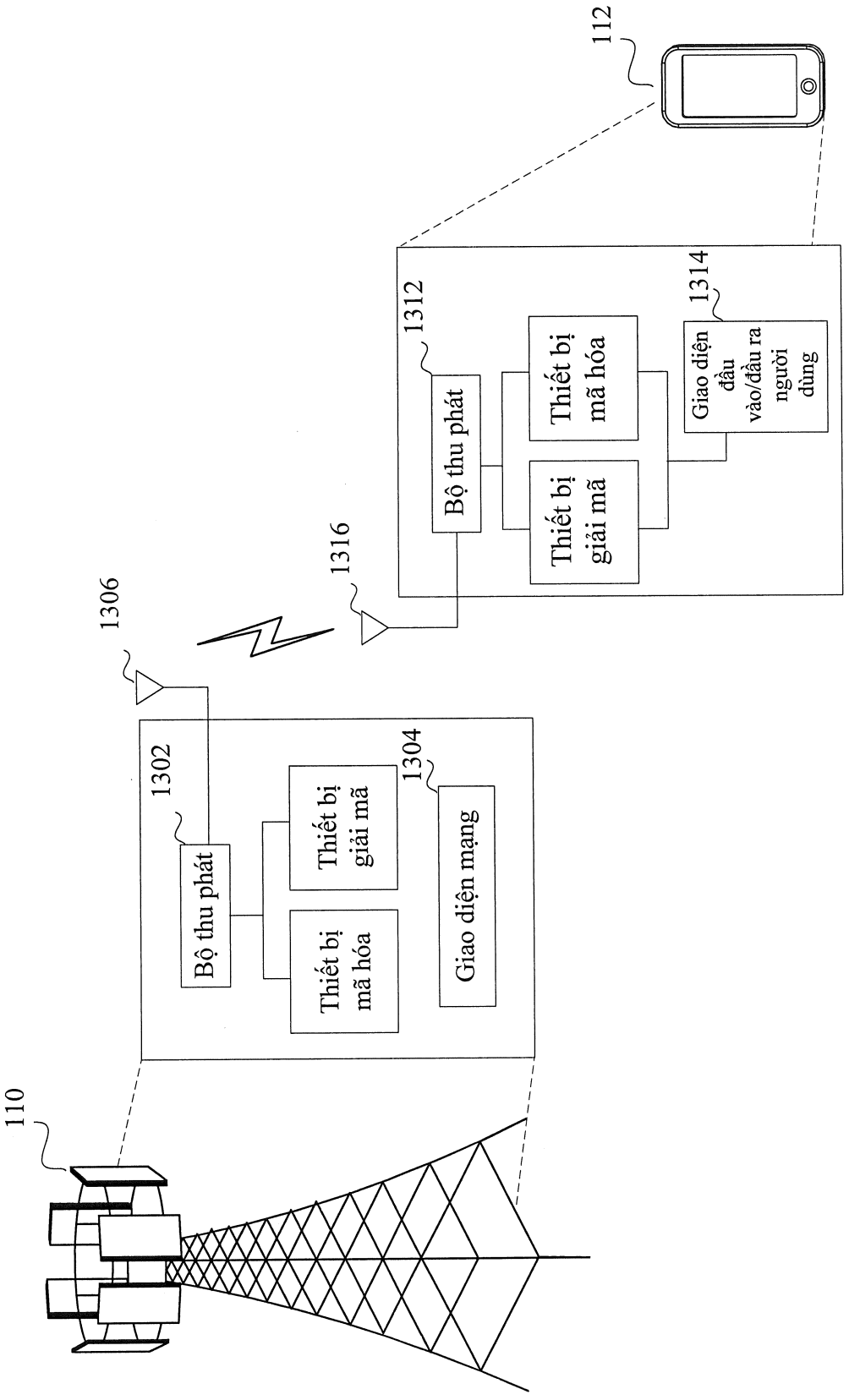

110
1302
Bộ thu phát
Thiết bị giải mã
Thiết bị mã hóa
1304
Giao diện mạng
1306
1316
1312
Bộ thu phát
Thiết bị giải mã
Thiết bị mã hóa
1314
Giao diện đầu vào/đầu ra người dùng
112

FIG. 11