



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0031943

(51)⁸ H01L 21/48; H01L 27/32; H01L 23/488 (13) B

(21) 1-2018-04885

(22) 31/10/2018

(30) 10-2017-0147587 07/11/2017 KR

(45) 25/05/2022 410

(43) 27/05/2019 374A

(73) LG Display Co., Ltd. (KR)

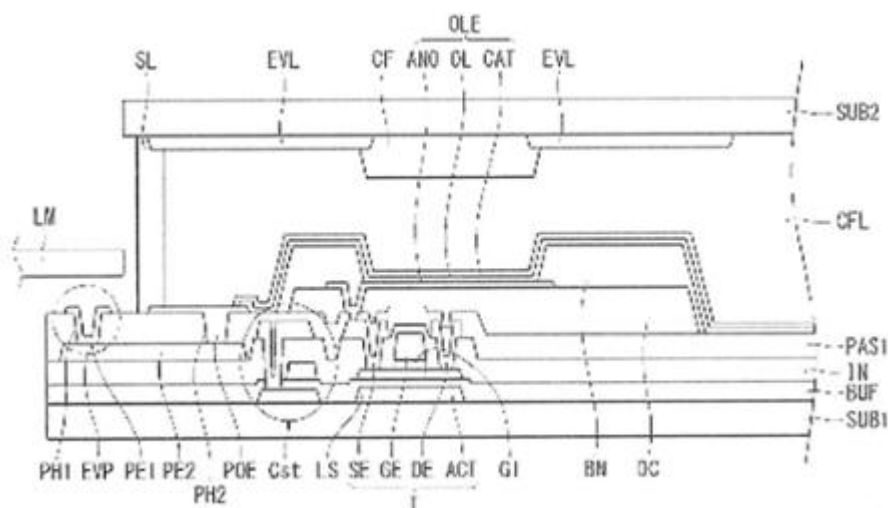
LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) Joonsuk Lee (KR); Sejune Kim (KR).

(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ HIỂN THỊ ĐIÓT PHÁT SÁNG HỮU CƠ

(57) Sáng chế đề cập đến thiết bị hiển thị điốt phát sáng hữu cơ. Thiết bị hiển thị điốt phát sáng hữu cơ bao gồm tấm nền thứ nhất mà điện cực được cấp điện áp và điốt phát sáng hữu cơ được bố trí trên đó, tấm nền thứ hai mà đường dây điện được bố trí trên đó tấm nền thứ hai hướng về tấm nền thứ nhất, lớp trám dẫn điện được đặt giữa tấm nền thứ nhất và tấm nền thứ hai, lớp trám dẫn điện bao gồm môi trường dẫn điện nối điện catôt của điốt phát sáng hữu cơ với đường dây điện, và phần bịt kín dẫn điện được bố trí ở mép của tấm nền thứ nhất và mép của tấm nền thứ hai, lớp trám dẫn điện được làm phù hợp bên trong phần bịt kín dẫn điện. Phần bịt kín dẫn điện nối điện cực với đường dây điện.



Lĩnh vực kỹ thuật được đề cập

Sáng chế này đề cập đến thiết bị hiển thị điôt phát sáng hữu cơ.

Tình trạng kỹ thuật của sáng chế

Các thiết bị hiển thị khác nhau đã thay thế các ống phóng tia catôt (Cathode Ray Tubes - CRTs) nặng hơn và lớn hơn. Các ví dụ về các thiết bị hiển thị có thể bao gồm thiết bị hiển thị tinh thể lỏng (Liquid Crystal Display - LCD), thiết bị hiển thị phát ra điện trường (Field Emission Display - FED), thiết bị hiển thị plasma (Plasma Display Panel - PDP), và thiết bị hiển thị điôt phát sáng hữu cơ (Organic Light Emitting Diode - OLED).

Chi tiết hơn, thiết bị hiển thị OLED là thiết bị hiển thị tự phát sáng được tạo kết cấu để phát ra ánh sáng bằng cách kích thích hợp chất hữu cơ. Thiết bị hiển thị OLED không đòi hỏi bộ phận đèn nền được sử dụng trong thiết bị hiển thị tinh thể lỏng và do đó có các ưu điểm như biên dạng mỏng, trọng lượng nhẹ nhàng, và quy trình sản xuất đơn giản hơn. Thiết bị hiển thị OLED có thể còn được sản xuất ở nhiệt độ thấp và có thời gian phản ứng nhanh bằng hoặc nhỏ hơn 1 miligiây, mức tiêu thụ năng lượng thấp, góc nhìn rộng, và độ tương phản cao. Do đó, hiển thị OLED đã và đang được sử dụng một cách rộng rãi.

Thiết bị hiển thị OLED bao gồm các điôt phát sáng hữu cơ (OLED) chuyển đổi năng lượng điện thành năng lượng ánh sáng. OLED bao gồm anôt, catôt, và lớp phát sáng hữu cơ giữa anôt và catôt. Thiết bị hiển thị OLED được tạo kết cấu sao cho OLED phát ra ánh sáng trong khi các exciton được tạo ra bằng cách kết hợp các lỗ trống từ anôt và các electron từ catôt bên trong lớp phát sáng rơi từ trạng thái được kích thích xuống trạng thái cơ bản, và do đó hiển thị hình ảnh.

Tuy nhiên, thiết bị hiển thị OLED diện tích lớn có thể không duy trì độ chói đồng đều suốt toàn bộ bề mặt của vùng hoạt động, trên đó hình ảnh nhập vào được hiển thị, và tạo ra sự thay đổi độ chói (hoặc độ lệch độ chói) phụ thuộc vào vị trí. Cụ thể hơn, catôt tạo nên điôt phát sáng hữu cơ được tạo ra để phủ hầu hết vùng hoạt động, và có vấn đề là điện áp được áp dụng vào catôt không có trị số điện áp không đổi suốt

toàn bộ bề mặt của vùng hoạt động. Ví dụ, như độ chênh giữa trị số điện áp ở lõi vào của catôt được cấp điện áp và trị số điện áp ở vị trí xa so với lõi vào tăng lên do điện trở của catôt, sự thay đổi độ chói phụ thuộc vào vị trí tăng lên.

Vấn đề càng có vấn đề hơn trong loại thiết bị hiển thị phát sáng từ trên xuống. Cụ thể là, trong thiết bị hiển thị loại phát sáng từ trên xuống, bởi vì cần đảm bảo việc truyền của catôt được định vị ở lớp bên trên của điôt phát sáng hữu cơ, catôt được tạo ra bằng vật liệu dẫn điện trong suốt chẳng hạn như indi thiếc oxit (ITO), hoặc vật liệu dẫn điện mờ đục với độ dày rất nhỏ. Trong trường hợp này, bởi vì điện trở bề mặt của catôt tăng lên, sự thay đổi độ chói phụ thuộc vào vị trí tăng lên một cách đáng kể tương ứng với sự tăng lên về điện trở bề mặt.

Để khắc phục vấn đề này, phương pháp đã được đề xuất để ngăn chặn hiện tượng sụt giảm điện áp phụ thuộc vào vị trí bằng cách tạo ra đường điện thế năng thấp bao gồm vật liệu điện trở thấp và nối đường điện áp thế năng thấp với catôt. Theo phương pháp được đề xuất theo giải pháp kỹ thuật đã biết, bởi vì đường điện áp thế năng thấp đã được tạo ra trên tấm nền bên dưới bao gồm các tranzito, một điểm ảnh phải còn bao gồm vùng nối của đường điện áp thế năng thấp và catôt ngoài vùng tranzito màng mỏng và vùng tụ điện lưu trữ. Do đó, khó để áp dụng giải pháp kỹ thuật đã biết vào thiết bị hiển thị có độ phân giải cao bao gồm các điểm ảnh đơn vị có kích thước nhỏ.

Bản chất kỹ thuật của sáng chế

Do đó, các phương án của sáng chế này đề cập đến thiết bị hiển thị phát sáng hữu cơ mà gần như loại bỏ một hoặc nhiều vấn đề do các hạn chế và các nhược điểm của giải pháp kỹ thuật đã biết.

Theo một khía cạnh, sáng chế này đề xuất thiết bị hiển thị điôt phát sáng hữu cơ có thể đạt được độ chói đồng đều bằng cách giảm thiểu sự thay đổi về điện áp thế năng thấp phụ thuộc vào vị trí.

Các chi tiết và các khía cạnh bổ sung sẽ được trình bày trong phần mô tả sau, và một phần sẽ rõ ràng từ phần mô tả, hoặc có thể được nhận ra bằng cách áp dụng thực tế sáng chế nêu trong bản mô tả này. Các dấu hiệu và các khía cạnh khác của sáng chế có thể được nhận ra và thu được bởi kết cấu được chỉ ra một cách cụ thể rằng trong

phần mô tả được trình bày, hoặc có thể xuất phát từ đó, và các điểm yêu cầu bảo hộ ở đây cũng như các hình vẽ kèm theo.

Để đạt được khía cạnh này và khía cạnh khác của sáng chế, như được kết hợp và được mô tả rộng, thiết bị hiển thị điốt phát sáng hữu cơ bao gồm tấm nền thứ nhất trên đó điện cực được cấp điện áp và điốt phát sáng hữu cơ được bố trí, tấm nền thứ hai trên đó đường dây điện được bố trí, tấm nền thứ hai hướng về tấm nền thứ nhất, lớp trám dẫn điện được đặt giữa tấm nền thứ nhất và tấm nền thứ hai, lớp trám dẫn điện bao gồm môi trường dẫn điện nối điện catôt của điốt phát sáng hữu cơ với đường dây điện, và phần bịt kín dẫn điện được bố trí ở mép của tấm nền thứ nhất và mép của tấm nền thứ hai, lớp chất trám dẫn điện được làm phù hợp bên trong phần bịt kín dẫn điện, trong đó phần bịt kín dẫn điện nối điện điện cực với đường dây điện.

Tấm nền thứ hai có thể bao gồm đường dây điện phụ, một bề mặt của nó tiếp xúc một cách trực tiếp với đường dây điện và bề mặt khác đối diện bề mặt này tiếp xúc một cách trực tiếp với lớp điện đầy dẫn điện. Phần bịt kín dẫn điện có thể được nối điện với đường dây điện qua đường dây điện phụ.

Đường dây điện phụ có thể có diện tích lớn hơn đường dây điện. Đường dây điện phụ có thể bao gồm vật liệu dẫn điện trong suốt.

Tấm nền thứ nhất có thể bao gồm miếng đệm thứ nhất mà chồng lên ít nhất một phần của phần bịt kín dẫn điện và có thể nhô về phía tấm nền thứ hai. Điện cực có thể phủ ít nhất một phần của bề mặt của miếng đệm thứ nhất.

Tấm nền thứ hai có thể bao gồm miếng đệm thứ hai mà chồng lên ít nhất một phần của phần bịt kín dẫn điện và có thể nhô về phía tấm nền thứ nhất. Đường dây điện có thể phủ ít nhất một phần của bề mặt của miếng đệm thứ hai.

Tấm nền thứ nhất có thể bao gồm miếng đệm thứ nhất mà chồng lên ít nhất một phần của phần bịt kín dẫn điện và có thể nhô về phía tấm nền thứ hai. Tấm nền thứ hai có thể bao gồm miếng đệm thứ hai mà chồng lên ít nhất một phần của phần bịt kín dẫn điện và nhô về phía tấm nền thứ nhất. Điện cực có thể phủ ít nhất một phần của bề mặt của miếng đệm thứ nhất. Đường dây điện có thể phủ ít nhất một phần của bề mặt của miếng đệm thứ hai.

Bề mặt bên trên của miếng đệm thứ nhất có thể hướng về bề mặt bên trên của miếng đệm thứ hai.

Miếng đệm thứ nhất và miếng đệm thứ hai có thể được bố trí để được khóa liên động với nhau, và một bề mặt bên của miếng đệm thứ nhất hướng về một bề mặt bên của miếng đệm thứ hai.

Phần bịt kín dẫn điện có thể được bố trí một cách cục bộ ở phần chông của miếng đệm thứ nhất và miếng đệm thứ hai giữa miếng đệm thứ nhất và miếng đệm thứ hai.

Điốt phát sáng hữu cơ có thể bao gồm anốt và lớp phát sáng hữu cơ được đặt giữa anốt và catốt. Lớp phát sáng hữu cơ và catốt trên tấm nền thứ nhất có thể được bố trí để lộ ra điện cực. Phần được lộ ra của điện cực có thể tiếp xúc một cách trực tiếp với lớp trám dẫn điện.

Một đầu của catốt có thể kéo dài xa hơn một đầu của lớp phát sáng hữu cơ và có thể tiếp xúc một cách trực tiếp với điện cực.

Tấm nền thứ nhất có thể bao gồm điện cực phụ, lớp ngăn được bố trí trên điện cực phụ, catốt được bao gồm trong điốt phát sáng hữu cơ và được chia bởi lớp ngăn, catốt để lộ ra ít nhất một phần của điện cực phụ, một đầu của catốt tiếp xúc một cách trực tiếp với điện cực phụ, và lớp bảo vệ được bố trí trên catốt và được chia bởi lớp ngăn, lớp bảo vệ để lộ ra ít nhất một phần của điện cực phụ, một đầu của lớp bảo vệ tiếp xúc một cách trực tiếp với điện cực phụ. Lớp trám dẫn điện có thể được nối với catốt qua điện cực phụ.

Cần phải hiểu rằng cả hai phần mô tả chung nêu trên và phần mô tả chi tiết sáng chế sau để làm ví dụ và nhằm giải thích và được dự định để tạo ra sự giải thích rõ hơn về sáng chế như được yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, mà có thể được bao gồm để khiến hiểu rõ hơn sáng chế và được kết hợp và cấu thành một phần của bản mô tả này, thể hiện các phương án của sáng chế và cùng với phần mô tả đóng vai trò giải thích các nguyên lý khác nhau của sáng chế.

Fig.1 là sơ đồ khối dưới dạng giản đồ thể hiện thiết bị hiển thị điốt phát sáng hữu cơ (OLED) theo một phương án của sáng chế.

Fig.2 thể hiện dưới dạng giản đồ kết cấu của điểm ảnh được thể hiện trên Fig.1.

Fig.3 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ nhất của sáng chế.

Fig.4 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ hai của sáng chế.

Fig.5 là hình vẽ phóng to của vùng AR1 được thể hiện trên Fig.4.

Fig.6 thể hiện các hình vẽ mặt cắt dưới dạng giản đồ thể hiện hình dạng của lớp ngăn.

Fig.7 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ ba của sáng chế.

Các hình vẽ từ Fig.8 đến Fig.11 thể hiện đường cấp năng lượng sử dụng phần bịt kín trong thiết bị hiển thị OLED theo phương án thứ tư của sáng chế.

Mô tả chi tiết sáng chế

Bây giờ, các phương án của sáng chế sẽ được thể hiện chi tiết nhằm tham khảo, các ví dụ của chúng được thể hiện trên các hình vẽ kèm theo. Bất kỳ đâu có thể, các số chỉ dẫn giống nhau sẽ được sử dụng suốt các hình vẽ để đề cập đến các phần giống hoặc tương tự nhau. Các phần mô tả chi tiết về các giải pháp kỹ thuật đã biết sẽ được bỏ qua nếu chúng có thể gây hiểu nhầm các phương án của sáng chế. Trong việc mô tả các phương án khác nhau, các bộ phận giống nhau có thể được mô tả theo phương án thứ nhất, và phần mô tả của chúng có thể được bỏ qua theo các phương án khác.

Các thuật ngữ “thứ nhất”, “thứ hai”, v.v. có thể được sử dụng để mô tả các bộ phận khác nhau, nhưng các bộ phận này không bị hạn chế bởi các thuật ngữ như vậy. Các thuật ngữ được sử dụng chỉ nhằm mục đích phân biệt bộ phận này so với các bộ phận khác.

Fig.1 là sơ đồ khối dưới dạng giản đồ thể hiện thiết bị hiển thị điôt phát sáng hữu cơ (OLED) theo một phương án của sáng chế. Fig.2 thể hiện dưới dạng giản đồ kết cấu của điôm ảnh được thể hiện trên Fig.1.

Đề cập đến Fig.1, thiết bị hiển thị OLED 10 theo một phương án của sáng chế bao gồm mạch điều khiển việc hiển thị và tấm nền hiển thị DIS.

Mạch điều khiển việc hiển thị bao gồm mạch điều khiển dữ liệu 12, mạch điều khiển cổng 14, và bộ điều khiển định thời 16. Mạch điều khiển việc hiển thị áp dụng

điện áp dữ liệu video của hình ảnh nhập vào vào các điểm ảnh của tấm nền hiển thị DIS. Mạch điều khiển dữ liệu 12 chuyển đổi dữ liệu video số RGB được nhận từ bộ điều khiển định thời 16 thành điện áp bù gama tương tự và tạo ra điện áp dữ liệu. Điện áp dữ liệu đưa ra từ mạch điều khiển dữ liệu 12 được cấp đến các đường dữ liệu từ D1 đến Dm, trong đó m là số nguyên dương. Mạch điều khiển cổng 14 cấp một cách liên tiếp tín hiệu cổng được đồng bộ hóa với điện áp dữ liệu đến các đường cổng từ G1 đến Gn và lựa chọn các điểm ảnh của tấm nền hiển thị DIS mà điện áp dữ liệu được áp dụng vào đó, trong đó n là số nguyên dương.

Bộ điều khiển định thời 16 tiếp nhận các tín hiệu định thời, chẳng hạn như tín hiệu đồng bộ hóa theo phương thẳng đứng Vsync, tín hiệu đồng bộ hóa theo phương nằm ngang Hsync, tín hiệu kích hoạt dữ liệu DE, và đồng hồ chính MCLK, từ hệ thống chủ 19 và đồng bộ hóa việc định thời vận hành của mạch điều khiển dữ liệu 12 với việc định thời vận hành của mạch điều khiển cổng 14. Tín hiệu điều khiển việc định thời dữ liệu để điều khiển mạch điều khiển dữ liệu 12 bao gồm đồng hồ lấy mẫu nguồn SSC, tín hiệu cho phép đưa ra nguồn SOE, và tín hiệu tương tự. Tín hiệu điều khiển việc định thời cổng để điều khiển mạch điều khiển cổng 14 bao gồm cổng khởi đầu xung GSP, đồng hồ dịch chuyển cổng GSC, tín hiệu cho phép đưa ra cổng GOE, và tín hiệu tương tự.

Hệ thống chủ 19 có thể là một trong số hệ thống truyền hình, hộp thiết lập trên đỉnh, hệ thống điều hướng, máy đọc đĩa DVD, máy đọc đĩa Bluray, máy vi tính cá nhân (Personal Computer - PC), hệ thống rạp hát tại nhà, hệ thống điện thoại, và các hệ thống khác mà bao gồm hoặc vận hành cùng với thiết bị hiển thị. Hệ thống chủ 19 bao gồm chip trên hệ thống (system-on chip - SoC), trong đó vật liệu bít kín được gắn vào, và chuyển đổi dữ liệu video số RGB của hình ảnh nhập vào thành dạng thích hợp để hiển thị hình ảnh nhập vào trên tấm nền hiển thị DIS. Hệ thống chủ 19 truyền dữ liệu video kỹ thuật số RGB của hình ảnh nhập vào và các tín hiệu định thời Vsync, Hsync, DE và MCLK đến bộ điều khiển định thời 16.

Tấm nền hiển thị DIS bao gồm mảng điểm ảnh. Mảng điểm ảnh bao gồm các điểm ảnh được xác định bởi các đường dữ liệu từ D1 đến Dm và các đường cổng từ G1 đến Gn. Mỗi điểm ảnh bao gồm điôt phát sáng hữu cơ đóng vai trò như chi tiết tự phát sáng.

Đề cập đến Fig.2, tấm nền hiển thị DIS bao gồm nhiều đường dữ liệu D, nhiều đường cổng G giao với các đường dữ liệu D, và các điểm ảnh được bố trí một cách lần lượt ở các chỗ giao của các đường dữ liệu D và các đường cổng G trong ma trận. Mỗi điểm ảnh bao gồm điôt phát sáng hữu cơ, tranzito màng mỏng điều khiển (Thin Film Transistor - TFT) DT để điều khiển lượng dòng điện chạy qua điôt phát sáng hữu cơ, và bộ phận lập trình SC để thiết lập điện áp cổng đến nguồn của tranzito màng mỏng điều khiển DT.

Bộ phận lập trình SC có thể bao gồm ít nhất một tranzito màng mỏng chuyển mạch và ít nhất một tụ điện lưu trữ. Tranzito màng mỏng chuyển mạch được bật lên phản ứng lại tín hiệu cổng từ đường cổng G để do đó áp dụng điện áp dữ liệu từ đường dữ liệu D đến một điện cực của tụ điện lưu trữ. Tranzito màng mỏng điều khiển DT điều khiển lượng dòng điện được cấp đến điôt phát sáng hữu cơ phụ thuộc vào độ lớn của điện áp được lưu trữ trong tụ điện lưu trữ, do đó điều khiển lượng ánh sáng phát ra bởi điôt phát sáng hữu cơ. Lượng ánh sáng phát ra bởi điôt phát sáng hữu cơ tỷ lệ với lượng dòng điện được cấp từ tranzito màng mỏng điều khiển DT. Điểm ảnh được nối với nguồn điện áp điện thế cao và nguồn điện áp điện thế thấp và tiếp nhận điện áp điện thế cao EVDD và điện áp điện thế thấp EVSS từ máy phát năng lượng (không được thể hiện trên hình vẽ). Các tranzito màng mỏng tạo nên điểm ảnh có thể là các tranzito màng mỏng kiểu p hoặc các tranzito màng mỏng kiểu n. Ngoài ra, các lớp bán dẫn của các tranzito màng mỏng tạo nên điểm ảnh có thể bao gồm silic vô định hình, silic đa tinh thể, hoặc oxit. Trong phần mô tả sau, các phương án của sáng chế sử dụng các lớp bán dẫn bao gồm oxit như một ví dụ. Điôt phát sáng hữu cơ bao gồm anôt ANO, catôt CAT, và lớp phát sáng hữu cơ giữa anôt ANO và catôt CAT. Anôt ANO được nối với tranzito màng mỏng điều khiển DT.

<Phương án thứ nhất>

Fig.3 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ nhất của sáng chế.

Đề cập đến Fig.3, thiết bị hiển thị OLED theo phương án thứ nhất của sáng chế bao gồm tấm nền hiển thị gồm có tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 hướng về nhau và lớp trám dẫn điện CFL giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2. Tấm nền thứ nhất SUB1 là tấm nền dạng mảng tranzito màng mỏng trên đó

tranzito màng mỏng T và điôt phát sáng hữu cơ OLE được bố trí. Tấm nền thứ hai SUB2 là tấm nền trên đó đường điện áp điện thế thấp (dưới đây được gọi là “đường Evss”) EVL được bố trí. Tấm nền thứ hai SUB2 có thể có chức năng như tấm nền bao. Tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 có thể được gắn với nhau bằng cách sử dụng phần bịt kín SL. Phần bịt kín SL được bố trí ở mép của tấm nền thứ nhất SUB1 và mép của tấm nền thứ hai SUB2 và duy trì khoảng cách gắn định trước giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2. Lớp trám dẫn điện CFL có thể được bố trí bên trong phần bịt kín SL.

Tấm nền thứ nhất SUB1 có thể được làm bằng vật liệu thủy tinh hoặc vật liệu nhựa. Ví dụ, tấm nền thứ nhất SUB1 có thể được làm bằng vật liệu nhựa chẳng hạn như polyimide (PI), polyetylen terephthalat (PET), polyetylen naphtalat (PEN), và polycarbonat (PC) và có thể có các đặc tính linh hoạt.

Tranzito màng mỏng T và điôt phát sáng hữu cơ OLE được nối với tranzito màng mỏng T được tạo ra trên tấm nền thứ nhất SUB1. Lớp chắn sáng LS và lớp đệm BUF có thể được tạo ra giữa tấm nền thứ nhất SUB1 và tranzito màng mỏng T. Lớp chắn sáng LS được bố trí để chồng lên lớp bán dẫn, cụ thể, kênh của tranzito màng mỏng T và có thể bảo vệ chi tiết bán dẫn oxit khỏi ánh sáng bên ngoài. Lớp đệm BUF có thể ngăn chặn các ion hoặc tạp chất được khuếch tán từ tấm nền thứ nhất SUB1 và còn ngăn chặn sự thấm hơi ẩm từ bên ngoài.

Tranzito màng mỏng T bao gồm các lớp bán dẫn ACT, điện cực cổng GE, điện cực nguồn SE, và điện cực máng DE.

Lớp cách điện cổng GI và điện cực cổng GE được bố trí trên các lớp bán dẫn ACT. Lớp cách điện cổng GI có chức năng cách điện điện cực cổng GE và có thể được tạo thành bằng silic oxit (SiO₂). Tuy nhiên, các phương án không chỉ hạn chế ở đó. Điện cực cổng GE được bố trí để chồng lên các lớp bán dẫn ACT với lớp cách điện cổng GI được đặt ở giữa. Điện cực cổng GE có thể được tạo ra dưới dạng lớp đơn hoặc nhiều lớp bằng cách sử dụng đồng (Cu), molybden (Mo), nhôm (Al), crôm (Cr), vàng (Au), titan (Ti), niken (Ni), neodim (Nd), tantali (Ta), vonfram (W), hoặc tổ hợp của chúng. Lớp cách điện cổng GI và điện cực cổng GE có thể được tạo mẫu bằng cách sử dụng cùng mặt nạ. Trong trường hợp này, lớp cách điện cổng GI và điện cực cổng GE

có thể có cùng diện tích. Mặc dù không được thể hiện trên hình vẽ, lớp cách điện cổng GI có thể được tạo ra để phủ toàn bộ bề mặt của tấm nền thứ nhất SUB1.

Lớp điện môi trung gian IN được định vị trên điện cực cổng GE. Lớp điện môi trung gian IN có chức năng cách điện điện cực cổng GE và điện cực nguồn và điện cực xả SE và DE với nhau. Lớp điện môi trung gian IN có thể được tạo thành bằng silic oxit (SiO_x), silic nitrit (SiN_x), hoặc nhiều lớp của chúng. Tuy nhiên, các phương án không chỉ hạn chế ở đó.

Điện cực nguồn SE và điện cực máng DE được định vị trên lớp điện môi trung gian IN. Điện cực nguồn SE và điện cực máng DE được cách nhau bởi khoảng cách định trước. Điện cực nguồn SE tiếp xúc với một phía của các lớp bán dẫn ACT qua lỗ tiếp xúc nguồn xuyên qua lớp điện môi trung gian IN. Điện cực máng DE tiếp xúc với phía khác của các lớp bán dẫn ACT qua lỗ tiếp xúc máng xuyên qua lớp điện môi trung gian IN.

Mỗi trong số điện cực nguồn SE và điện cực máng DE có thể được tạo ra dưới dạng lớp đơn hoặc dưới dạng nhiều lớp. Khi mỗi trong số điện cực nguồn SE và điện cực máng DE được tạo ra dưới dạng lớp đơn, mỗi trong số điện cực nguồn SE và điện cực máng DE có thể được tạo thành từ molybden (Mo), nhôm (Al), crôm (Cr), vàng (Au), titan (Ti), niken (Ni), neodim (Nd), đồng (Cu), hoặc tổ hợp của chúng. Khi mỗi trong số điện cực nguồn SE và điện cực máng DE được tạo ra dưới dạng nhiều lớp, mỗi trong số điện cực nguồn SE và điện cực máng DE có thể được tạo ra dưới dạng lớp kép Mo/Al-Nd , Mo/Al , Ti/Al hoặc Cu/MoTi , hoặc dưới dạng lớp ba Mo/Al-Nd/Mo , Mo/Al/Mo , Ti/Al/Ti hoặc MoTi/Cu/MoTi .

Lớp thụ động PAS1 được định vị trên tranzito màng mỏng T. Lớp thụ động PAS1 bảo vệ tranzito màng mỏng T và có thể được tạo thành bằng silic oxit (SiO_x), silic nitrit (SiN_x), hoặc nhiều lớp của chúng.

Lớp phẳng OC được định vị trên lớp thụ động PAS1. Lớp phẳng OC có thể làm giảm hoặc tạo phẳng độ chênh về độ cao (hoặc vùng bao phủ bước) của kết cấu bên dưới và có thể được tạo thành bằng vật liệu hữu cơ chẳng hạn như photo acryl, polyimit, nhựa gốc benzocyclobuten, và nhựa gốc acrylat. Nếu cần hoặc muốn, một trong số lớp thụ động PAS1 và lớp phẳng OC có thể được bỏ qua.

Điốt phát sáng hữu cơ OLE được định vị trên lớp phẳng OC. Điốt phát sáng hữu cơ OLE bao gồm anốt ANO, lớp phát sáng hữu cơ OL, và catốt CAT.

Cụ thể hơn, anốt ANO được định vị trên lớp phẳng OC. Anốt ANO được nối với điện cực nguồn SE của tranzito màng mỏng T qua lỗ tiếp xúc xuyên qua lớp thụ động PAS1 và lớp phẳng OC. Anốt ANO có thể bao gồm lớp phản chiếu và do đó đóng vai trò như điện cực phản chiếu. Lớp phản chiếu có thể được tạo thành bằng nhôm (Al), đồng (Cu), bạc (Ag), paladi (Pd), niken (Ni), hoặc tổ hợp của chúng. Ví dụ, lớp phản chiếu có thể được tạo thành bằng hợp kim Ag/Pd/Cu (APC). Anốt ANO có thể được tạo ra dưới dạng nhiều lớp bao gồm lớp phản chiếu.

Lớp dẫn BN được định vị trên tấm nền thứ nhất SUB1, trên đó anốt ANO được tạo ra, và phân chia các điểm ảnh. Lớp dẫn BN có thể được tạo thành bằng vật liệu hữu cơ chẳng hạn như polyimit, nhựa gốc benzocyclobuten, và acrylat. Phần tâm của anốt ANO lộ ra bởi lớp dẫn BN có thể được xác định như vùng phát sáng.

Lớp dẫn BN có thể được tạo kết cấu để lộ ra phần tâm của anốt ANO và phủ mép của anốt ANO. Phần được lộ ra của anốt ANO có thể được tạo kết cấu để có diện tích càng lớn càng tốt, để đủ đảm bảo tỷ lệ khẩu độ.

Lớp dẫn BN và lớp phẳng OC có thể được tạo mẫu để phủ chỉ tranzito màng mỏng T và tụ điện lưu trữ Cst được nối với tranzito màng mỏng T bên trong điểm ảnh. Như được thể hiện trên Fig.3, tụ điện lưu trữ Cst có thể có ba kết cấu trong đó các điện cực tụ điện thứ nhất đến thứ ba được xếp chồng. Tuy nhiên, các phương án không chỉ hạn chế ở đó. Ví dụ, tụ điện lưu trữ Cst có thể được sử dụng dưới dạng nhiều lớp.

Lớp phát sáng hữu cơ OL được định vị trên tấm nền thứ nhất SUB1 trên đó lớp dẫn BN được tạo ra. Lớp phát sáng hữu cơ OL có thể được tạo ra một cách rộng rãi trên bề mặt trước của tấm nền thứ nhất SUB1. Lớp phát sáng hữu cơ OL là một lớp, trong đó các electron và các lỗ trống kết hợp và phát ra ánh sáng. Lớp phát sáng hữu cơ OL bao gồm lớp phát sáng EML và có thể còn bao gồm một hoặc nhiều lớp chung chẳng hạn như lớp phun lỗ HIL, lớp vận chuyển lỗ HTL, lớp vận chuyển electron ETL, và lớp phun electron EIL. Lớp phát sáng EML có thể bao gồm vật liệu phát sáng mà tạo ra ánh sáng màu trắng.

Lớp phát sáng hữu cơ OL phát ra ánh sáng màu trắng có thể có kết cấu nhiều chồng, ví dụ, kết cấu n chồng, trong đó n là số nguyên bằng hoặc lớn hơn 1. Ví dụ, kết

cấu 2 chồng có thể bao gồm lớp tạo ra điện tích CGL giữa anôt ANO và catôt CAT và chồng thứ nhất và chồng thứ hai một cách lần lượt được bố trí trên và dưới lớp tạo ra điện tích CGL. Mỗi trong số chồng thứ nhất và chồng thứ hai bao gồm lớp phát sáng và có thể còn bao gồm ít nhất một lớp chung. Lớp phát sáng của chồng thứ nhất và lớp phát sáng của chồng thứ hai có thể bao gồm các vật liệu phát sáng có các màu khác nhau, một cách lần lượt.

Catôt CAT được định vị trên lớp phát sáng hữu cơ OL. Catôt CAT có thể được tạo ra một cách rộng rãi trên bề mặt trước của tấm nền thứ nhất SUB1. Catôt CAT có thể được tạo thành bằng vật liệu dẫn điện trong suốt chẳng hạn như indi thiếc oxit (ITO) và indi kẽm oxit (IZO). Mặt khác, catôt CAT này có thể được tạo thành bằng vật liệu, mà đủ mỏng để truyền ánh sáng, ví dụ, magiê (Mg), canxi (Ca), nhôm (Al), bạc (Ag), hoặc tổ hợp của chúng.

Đường Evss EVL và bộ lọc màu CF được tạo ra trên tấm nền thứ hai SUB2. Thứ tự chồng của đường Evss EVL và bộ lọc màu CF trên tấm nền thứ hai SUB2 có thể được thay đổi. Ví dụ, bộ lọc màu CF có thể được tạo ra sau khi đường Evss EVL được tạo ra, hoặc đường Evss EVL có thể được tạo ra sau khi bộ lọc màu CF được tạo ra.

Đường Evss EVL bao gồm vật liệu dẫn điện điện trở thấp. Ví dụ, đường Evss EVL có thể được tạo thành bằng molybden (Mo), nhôm (Al), crom (Cr), vàng (Au), titan (Ti), niken (Ni), neodim (Nd), đồng (Cu), hoặc tổ hợp của chúng.

Đường Evss EVL có thể bao gồm vật liệu dẫn điện phản chiếu thấp. Ví dụ, đường Evss EVL được tạo thành bằng vật liệu dẫn điện phản chiếu thấp và do đó có thể ngăn chặn tầm nhìn khỏi bị giảm xuống bởi sự phản xạ của ánh sáng bên ngoài. Do đó, thiết bị hiển thị theo các phương án của sáng chế không cần bao gồm bộ phận phân tách để chắn (hoặc hấp thụ) ánh sáng tới từ bên ngoài, giống màng phân cực.

Đường Evss EVL có thể có chức năng như ma trận màu đen. Do đó, đường Evss EVL có thể ngăn khuyết tật của hỗn hợp màu khỏi xảy ra giữa các điểm ảnh lân cận. Đường Evss EVL có thể được bố trí tương ứng với vùng không phát sáng để lộ ra ít nhất một vùng phát sáng. Ngoài ra, phương án thứ nhất của sáng chế có thể sử dụng đường Evss EVL dưới dạng ma trận màu đen và do đó không cần để thực hiện tiếp quy trình tách biệt để tạo ra ma trận màu đen. Do đó, phương án thứ nhất của sáng chế có

thể còn làm giảm số lượng của các quy trình so với kết cấu theo giải pháp kỹ thuật đã biết, và do đó có thể làm giảm thời gian sản xuất và chi phí sản xuất và cải thiện một cách đáng kể năng suất sản phẩm.

Bộ lọc màu CF có thể bao gồm bộ lọc màu đỏ (R), bộ lọc màu xanh dương (B), và bộ lọc màu xanh lá cây (G). Điểm ảnh có thể bao gồm các điểm ảnh phụ phát ra ánh sáng màu đỏ, màu xanh dương, và màu xanh lá cây, và bộ lọc màu CF có thể một cách lần lượt được gán đến các điểm ảnh phụ tương ứng. Bộ lọc màu đỏ, bộ lọc màu xanh dương, và bộ lọc màu xanh lá cây CF có thể được phân chia bởi đường Evss EVL. Nếu cần hoặc muốn, điểm ảnh có thể còn bao gồm điểm ảnh phụ màu trắng (W).

Lớp trám dẫn điện CFL được đặt giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 và bao gồm môi trường dẫn điện. Lớp trám dẫn điện CFL có thể được tạo ra bằng cách phân tán các bộ trám dẫn điện trong dung môi. Mặt khác, lớp trám dẫn điện CFL có thể bao gồm dung môi dẫn điện. Ví dụ, lớp trám dẫn điện CFL có thể bao gồm ít nhất một trong số poly(3,4-etylendioxythiophen) (PEDOT) mà là polyme dẫn điện, và chất lỏng ion. Tuy nhiên, các phương án không chỉ hạn chế ở đó.

Khoảng cách gắn giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 có thể được lựa chọn một cách thích hợp phụ thuộc vào độ nhót của lớp trám dẫn điện CFL. Bởi vì phương án của sáng chế sử dụng các bộ trám dẫn điện có độ nhót nhỏ hơn các bộ trám không dẫn điện, khoảng cách giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 có thể được làm giảm. Do đó, phương án của sáng chế có thể đảm bảo góc nhìn rộng và tỷ lệ khẩu độ cao. Catôt CAT của tấm nền thứ nhất SUB1 và đường Evss EVL của tấm nền thứ hai SUB2 được nối điện qua lớp trám dẫn điện CFL. Do đó, điện áp điện thế thấp được áp dụng vào cả catôt CAT và đường Evss EVL.

Phương án thứ nhất của sáng chế có thể làm giảm sự thay đổi điện áp (hoặc độ chênh điện áp) phụ thuộc vào vị trí bằng cách nối đường Evss EVL được tạo thành bằng vật liệu dẫn điện điện trở thấp với catôt CAT. Do đó, phương án thứ nhất của sáng chế có thể làm giảm sự không đồng đều về độ chói hoặc sự thay đổi độ chói (hoặc sự thay đổi độ chói).

Phương án thứ nhất của sáng chế không cần gán một cách tách biệt vùng để tạo ra đường Evss EVL và vùng để nối đường Evss EVL và catôt CAT với tấm nền dạng mảng tranzito màng mỏng, như theo giải pháp kỹ thuật đã biết. Do đó, phương án thứ

nhất của sáng chế có thể một cách dễ dàng được áp dụng vào thiết bị hiển thị có độ phân giải cao có điểm ảnh cao trên inch (PPI) và có thể cải thiện một cách đáng kể độ tự do về mặt kiểu dáng.

Đường cấp của điện áp điện thế thấp được tạo ra bởi máy phát năng lượng (không được thể hiện trên hình vẽ) được mô tả chi tiết bên dưới.

Thiết bị hiển thị OLED theo phương án thứ nhất của sáng chế còn bao gồm bộ phận nối LM gắn với ít nhất một phía của tấm nền thứ nhất SUB1. Bộ phận nối LM có thể là màng trên chip (chip-on film - COF). Tuy nhiên, các phương án không chỉ hạn chế ở đó.

Tấm nền thứ nhất SUB1 bao gồm tấm điện áp điện thế thấp (dưới đây được gọi là “tấm đệm Evss”) EVP và điện cực POE. Tấm đệm Evss EVP được bố trí bên ngoài phần bịt kín SL và được nối điện với bộ phận nối LM. Điện cực POE được bố trí bên trong phần bịt kín SL và được nối điện với lớp trám dẫn điện CFL.

Tấm đệm Evss EVP tiếp nhận điện áp điện thế thấp được tạo ra bởi máy phát năng lượng (không được thể hiện trên hình vẽ) qua bộ phận nối LM và truyền điện áp điện thế thấp được nhận đến điện cực POE. Điện cực POE sau đó truyền điện áp điện thế thấp đến lớp trám dẫn điện CFL.

Cụ thể là, bộ phận nối LM, tấm đệm Evss EVP, điện cực POE, lớp trám dẫn điện CFL, và catôt CAT có thể được nối điện để tạo ra đường cấp điện áp điện thế thấp, và/hoặc bộ phận nối LM, tấm đệm Evss EVP, điện cực POE, lớp trám dẫn điện CFL, đường Evss EVL, và catôt CAT có thể được nối điện để tạo ra đường cấp điện áp điện thế thấp.

Cụ thể hơn, tấm đệm Evss EVP bao gồm ít nhất một điện cực đệm. Trong trường hợp trong đó nhiều điện cực đệm được sử dụng, các điện cực đệm này có thể được bố trí ở các lớp khác nhau với ít nhất một lớp cách điện được đặt ở giữa và có thể được nối điện qua lỗ tiếp xúc đệm xuyên qua ít nhất một lớp cách điện. Ví dụ, như được thể hiện trên Fig.3, tấm đệm Evss EVP có thể bao gồm điện cực đệm thứ nhất PE1 và điện cực đệm thứ hai PE2 mà được bố trí ở các lớp khác nhau với lớp thụ động PAS1 được đặt ở giữa, và điện cực đệm thứ nhất PE1 và điện cực đệm thứ hai PE2 có thể được nối với nhau qua lỗ tiếp xúc đệm thứ nhất PH1 xuyên qua lớp thụ động PAS1. Dưới đây, phương án của sáng chế mô tả trường hợp trong đó tấm đệm Evss EVP bao

gồm điện cực đệm thứ nhất PE1 và điện cực đệm thứ hai PE2 như một ví dụ, để tiện giải thích.

Điện cực đệm thứ nhất PE1 được bố trí bên ngoài phần bịt kín SL và được lộ ra bên ngoài. Điện cực đệm thứ nhất PE1 được lộ ra có thể được gắn với bộ phận nối LM. Điện cực đệm thứ nhất PE1 và bộ phận nối LM có thể được gắn với nhau qua lớp màng dẫn điện không đẳng hướng (Anisotropic Conductive Film - ACF) (không được thể hiện trên hình vẽ) được đặt giữa chúng.

Điện cực đệm thứ hai PE2 được kéo dài đến vùng bên trong của phần bịt kín SL và được nối điện với điện cực POE. Trong trường hợp này, điện cực đệm thứ hai PE2 có thể tiếp xúc với điện cực POE qua lỗ tiếp xúc đệm thứ hai PH2 xuyên qua lớp thụ động PAS1. Fig.3 thể hiện rằng điện cực đệm thứ hai PE2 và điện cực POE được bố trí với chỉ lớp thụ động PAS1 được đặt ở giữa, để làm ví dụ. Tuy nhiên, các phương án không chỉ hạn chế ở đó. Ví dụ, điện cực đệm thứ hai PE2 và điện cực POE có thể được bố trí ở các lớp khác nhau với lớp thụ động PAS1 và lớp phẳng OC được đặt ở giữa và có thể được nối điện với nhau qua lỗ tiếp xúc xuyên qua lớp thụ động PAS1 và lớp phẳng OC.

Điện cực POE có thể được tạo ra với nhau khi anốt ANO được tạo ra. Cụ thể là, điện cực POE có thể được tạo thành bằng vật liệu giống như anốt ANO. Tuy nhiên, các phương án không chỉ hạn chế ở đó.

Ít nhất một phần của điện cực POE có thể được lộ ra và có thể tiếp xúc một cách trực tiếp với lớp trám dẫn điện CFL. Để lộ ra ít nhất một phần điện cực POE, các vùng tương ứng của các lớp được tạo ra một cách rộng rãi trên bề mặt trước của tấm nền thứ nhất SUB1 có thể được điều khiển. Các lớp, diện tích của chúng điều khiển được, có thể là các lớp (ví dụ, lớp phát sáng hữu cơ OL và catốt CAT) được tạo ra sau khi tạo thành điện cực POE.

Cụ thể hơn, các lớp ở trên được tạo ra bằng cách sử dụng mặt nạ hở được tạo dạng khung (không được thể hiện trên hình vẽ) có khoảng hở. Diện tích của khoảng hở của mặt nạ hở có thể tương ứng với diện tích chiếm bởi các lớp ở trên trên tấm nền thứ nhất SUB1. Do đó, ít nhất một phần điện cực POE có thể được lộ ra bằng cách điều khiển diện tích của khoảng hở của mặt nạ hở. Phần được lộ ra của điện cực POE có thể tiếp xúc một cách trực tiếp với lớp trám dẫn điện CFL và cấp điện áp điện thế thấp đến

lớp tráng dẫn điện CFL. Do đó, đường cấp năng lượng nối bộ phận nối LM, tấm đệm Evss EVP, và lớp tráng dẫn điện CFL có thể được tạo ra. Qua đường cấp năng lượng, điện áp điện thế thấp có thể được cấp đến đường Evss EVL của tấm nền thứ hai SUB2 và được cấp đến catôt CAT của tấm nền thứ nhất SUB1.

Catôt CAT trên điện cực POE có thể phủ lớp phát sáng hữu cơ OL, và một đầu của catôt CAT có thể kéo dài hơn một đầu của lớp phát sáng hữu cơ OL và tiếp xúc một cách trực tiếp với điện cực POE. Cụ thể là, một đầu của catôt CAT có thể tiếp xúc một cách trực tiếp với bề mặt bên trên được lộ ra của điện cực POE. Do đó, đường cấp năng lượng nối bộ phận nối LM, tấm đệm Evss EVP, và catôt CAT có thể được tạo ra.

Phương án thứ nhất của sáng chế có thể tạo ra nhiều đường cấp năng lượng để cấp điện áp điện thế thấp đến đường Evss EVL của tấm nền thứ hai SUB2. Cụ thể là, phương án thứ nhất của sáng chế có thể nối điện cực POE của tấm nền thứ nhất SUB1 với đường Evss EVL của tấm nền thứ hai SUB2 bằng cách sử dụng phần bịt kín SL, để đảm bảo đường cấp năng lượng bổ sung cộng với đường cấp năng lượng được tạo ra bằng cách nối điện cực POE của tấm nền thứ nhất SUB1 và đường Evss EVL của tấm nền thứ hai SUB2 qua lớp tráng dẫn điện CFL.

Cụ thể hơn, phần bịt kín SL theo phương án thứ nhất của sáng chế có thể là phần bịt kín dẫn điện. Phần bịt kín dẫn điện SL có thể được tạo kết cấu để trộn vật liệu dẫn điện trong dung môi. Ví dụ, dung môi có thể bao gồm nhựa gốc epoxy, nhựa gốc phenol, nhựa gốc acryl, tổ hợp của nhựa phản ứng nhiệt và bền sáng và chất gắn kết hữu cơ, và vật liệu tương tự. Vật liệu dẫn điện có thể bao gồm graphit, bột kim loại, và chất tương tự. Một đầu của phần bịt kín dẫn điện SL được nối với điện cực POE của tấm nền thứ nhất SUB1, và đầu khác của phần bịt kín dẫn điện SL được nối với đường Evss EVL của tấm nền thứ hai SUB2. Phần bịt kín dẫn điện SL có thể được tạo ra để phủ một đầu của điện cực POE và một đầu của đường Evss EVL, sao cho điện cực POE và đường Evss EVL không được lộ ra bên ngoài.

Do đó, ngoài đường cấp năng lượng nối bộ phận nối LM, tấm đệm Evss EVP, lớp tráng dẫn điện CFL, và đường Evss EVL, đường cấp năng lượng nối bộ phận nối LM, tấm đệm Evss EVP, phần bịt kín SL, và đường Evss EVL có thể được tạo ra. Phương án thứ nhất của sáng chế có thể cấp một cách dễ dàng điện áp điện thế thấp

đến đường Evss EVL của tấm nền thứ hai SUB2 bằng cách đảm bảo đủ đường cấp năng lượng.

<Phương án thứ hai>

Fig.4 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ hai của sáng chế. Fig.5 là hình vẽ phóng to của vùng AR1 được thể hiện trên Fig.4. Phần mô tả của các kết cấu và các bộ phận giống hoặc tương đương với chúng được thể hiện theo phương án thứ nhất được bỏ qua trong phương án thứ hai.

Đề cập đến Fig.4 và Fig.5, thiết bị hiển thị OLED theo phương án thứ hai của sáng chế còn bao gồm lớp bảo vệ PAS2 để ngăn chặn sự thoái hóa của điôt phát sáng hữu cơ OLE. Lớp bảo vệ PAS2 được định vị trên catôt CAT. Lớp bảo vệ PAS2 có thể được tạo ra một cách rộng rãi trên bề mặt trước của tấm nền thứ nhất SUB1. Lớp bảo vệ PAS2 có thể được tạo thành bằng vật liệu chẳng hạn như silic oxit (SiOx) và silic nitrit (SiNx).

Lớp bảo vệ PAS2 được định vị trên catôt CAT và có thể ngăn chặn sự xâm nhập của vật liệu bên ngoài mà có thể vào điôt phát sáng hữu cơ OLE. Ví dụ, bởi vì catôt CAT bao gồm vật liệu dẫn điện trong suốt là bộ phận tinh thể và không thể ngăn chặn sự xâm nhập của các ion và hơi ẩm, các bộ phận ion hoặc tạp chất bên ngoài của chất lỏng ion được bao gồm trong lớp trám dẫn điện CFL có thể xuyên qua catôt CAT và có thể vào lớp phát sáng hữu cơ OL. Phương án thứ hai của sáng chế còn bao gồm lớp bảo vệ PAS2 trên điôt phát sáng hữu cơ OLE và có thể ngăn chặn sự xâm nhập của vật liệu bên ngoài mà có thể vào điôt phát sáng hữu cơ OLE. Do đó, phương án thứ hai của sáng chế có thể ngăn chặn sự làm giảm tuổi thọ thiết bị của điôt phát sáng hữu cơ OLE và sự làm giảm độ chói.

Ngoài ra, lớp bảo vệ PAS2 được định vị trên catôt CAT và có thể tạo đệm hoặc làm giảm ứng suất được áp dụng vào catôt CAT khi tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 được gắn với nhau. Ví dụ, bởi vì catôt CAT bao gồm vật liệu dẫn điện trong suốt có các đặc tính giòn, catôt CAT có thể nứt gãy một cách dễ dàng do lực bên ngoài được áp dụng. Phương án thứ hai của sáng chế còn bao gồm lớp bảo vệ PAS2 trên catôt CAT và có thể ngăn chặn sự nứt gãy không tạo ra ở catôt CAT. Hơn nữa, phương án thứ hai của sáng chế có thể ngăn chặn sự xâm nhập của oxy hoặc hơi ẩm qua vết nứt gãy.

Lớp tráng dẫn điện CFL có thể bao gồm chất lỏng ion. Trong trường hợp này, chất lỏng ion có thể tiếp xúc một cách trực tiếp với catôt CAT, khiến tạo ra khuyết tật là catôt CAT bị oxy hóa. Phương án thứ hai của sáng chế có thể ngăn chặn việc thoái hóa của catôt CAT bằng cách đặt lớp bảo vệ PAS2 giữa catôt CAT và lớp tráng dẫn điện CFL.

Theo phương án thứ hai của sáng chế, bởi vì lớp bảo vệ PAS2 được đặt giữa lớp tráng dẫn điện CFL và catôt CAT, lớp tráng dẫn điện CFL và catôt CAT có thể không được nối với nhau. Phương án thứ hai của sáng chế bao gồm điện cực phụ AE và lớp ngăn BR trên điện cực phụ AE, để nối điện lớp tráng dẫn điện CFL với catôt CAT.

Điện cực phụ AE được định vị trên lớp phẳng OC. Điện cực phụ AE có thể được tạo thành bằng vật liệu giống như anôt ANO ở cùng lớp với anôt ANO. Trong trường hợp này, bởi vì quy trình tách biệt để tạo ra điện cực phụ AE không cần phải được thực hiện, có thể làm giảm số lượng các quy trình. Do đó, thời gian sản xuất và chi phí sản xuất có thể được làm giảm, và năng suất sản phẩm có thể được cải thiện một cách đáng kể.

Lớp dây BN trên điện cực phụ AE có thể được tạo kết cấu để lộ ra phần tâm của điện cực phụ AE và phủ mép của điện cực phụ AE. Phần được lộ ra của điện cực phụ AE có thể được tạo kết cấu để có diện tích càng lớn càng tốt, để đủ đảm bảo vùng tiếp xúc giữa điện cực phụ AE và lớp tráng dẫn điện CFL.

Lớp ngăn BR được định vị trên điện cực phụ AE. Lớp ngăn BR có chức năng phân chia về mặt vật lý mỗi trong số lớp phát sáng hữu cơ OL, catôt CAT, và lớp bảo vệ PAS2 mà sẽ được tạo ra sau. Nói cách khác, mỗi trong số lớp phát sáng hữu cơ OL, catôt CAT, và lớp bảo vệ PAS2 được bố trí trên điện cực phụ AE và được phân chia về mặt vật lý bởi lớp ngăn BR. Do đó, mỗi trong số lớp phát sáng hữu cơ OL, catôt CAT, và lớp bảo vệ PAS2 có thể được tạo ra một cách gián đoạn trên điện cực phụ AE.

Cụ thể hơn, lớp phát sáng hữu cơ OL trên điện cực phụ AE được phân chia về mặt vật lý bởi lớp ngăn BR. Lớp phát sáng hữu cơ OL được phân chia bởi lớp ngăn BR và để lộ ít nhất một phần trong số điện cực phụ AE quanh lớp ngăn BR. Một phần của lớp phát sáng hữu cơ OL được phân chia bởi lớp ngăn BR được định vị trên lớp ngăn BR.

Catôt CAT trên điện cực phụ AE được phân chia về mặt vật lý bởi lớp ngăn BR. Catôt CAT được phân chia bởi lớp ngăn BR và để lộ ít nhất một phần của điện cực phụ AE quanh lớp ngăn BR. Một phần của catôt CAT được phân chia bởi lớp ngăn BR được định vị trên lớp ngăn BR.

Catôt CAT phủ lớp phát sáng hữu cơ OL, và một đầu của catôt CAT tiếp xúc một cách trực tiếp với điện cực phụ AE. Cụ thể là, một đầu của catôt CAT, mà được phân chia bởi lớp ngăn BR và được lộ ra, tiếp xúc một cách trực tiếp với bề mặt bên trên được lộ ra của điện cực phụ AE. Kết cấu như vậy có thể được thực hiện bởi độ chênh phủ bậc giữa các vật liệu tạo ra lớp phát sáng hữu cơ OL và catôt CAT. Ví dụ, bởi vì catôt CAT được làm bằng vật liệu dẫn điện trong suốt có mức phủ bậc tốt hơn vật liệu tạo thành của lớp phát sáng hữu cơ OL, catôt CAT có thể được tạo kết cấu để tiếp xúc một cách trực tiếp với điện cực phụ AE. Hơn nữa, để thực hiện kết cấu này, lớp phát sáng hữu cơ OL và catôt CAT có thể được tạo ra bằng cách áp dụng các phương pháp khác nhau. Ví dụ, lớp phát sáng hữu cơ OL có thể được tạo ra bằng cách áp dụng phương pháp lắng đọng nhiệt, và catôt CAT có thể được tạo ra bằng cách sử dụng phương pháp phun xạ. Do đó, một đầu của catôt CAT được phân chia có thể được kéo dài xa hơn một đầu của lớp phát sáng hữu cơ OL được phân chia và có thể tiếp xúc một cách trực tiếp với điện cực phụ AE.

Lớp bảo vệ PAS2 trên điện cực phụ AE được phân chia về mặt vật lý bởi lớp ngăn BR. Lớp bảo vệ PAS2 được phân chia bởi lớp ngăn BR và để lộ ít nhất một phần của điện cực phụ AE quanh lớp ngăn BR. Một phần của lớp bảo vệ PAS2 được phân chia bởi lớp ngăn BR được định vị trên lớp ngăn BR. Do đó, phần lớp phát sáng hữu cơ OL, phần của catôt CAT, và phần của lớp bảo vệ PAS2, mỗi trong số đó được phân chia bởi lớp ngăn BR, được xếp chồng một cách liên tiếp trên lớp ngăn BR.

Phương án thứ hai của sáng chế bao gồm lớp ngăn BR và do đó có thể lộ ra ít nhất một phần điện cực phụ AE trong khi phân chia về mặt vật lý mỗi trong số lớp phát sáng hữu cơ OL, catôt CAT, và lớp bảo vệ PAS2. Phần được lộ ra của điện cực phụ AE có thể tiếp xúc một cách trực tiếp với lớp trám dẫn điện CFL để nhận điện áp điện thế thấp từ đường Evss EVL của tấm nền thứ hai SUB2, và có thể còn tiếp xúc một cách trực tiếp với catôt CAT để truyền điện áp điện thế thấp được nhận đến catôt CAT.

Xem Fig.6, một ví dụ về hình dạng của lớp ngăn theo một phương án của sáng chế được mô tả bên dưới. Fig.6 thể hiện các hình vẽ mặt cắt thể hiện dưới dạng sơ đồ hình dạng của lớp ngăn.

Lớp ngăn BR có thể được tạo ra dưới dạng lớp kép bao gồm kết cấu thứ nhất B1 và kết cấu thứ hai B2. Kết cấu thứ nhất B1 có thể được bố trí trên kết cấu thứ hai B2, và mép của kết cấu thứ nhất B1 có thể có hình dạng mái hiên. Cụ thể là, mép của kết cấu thứ nhất B1 có thể nhô ra từ mép của kết cấu thứ hai B2 ra bên ngoài bởi khoảng cách định trước RR. Khoảng cách RR giữa mép của kết cấu thứ nhất B1 và mép của kết cấu thứ hai B2 có thể được lựa chọn một cách chính xác sao cho lớp ngăn BR có thể lộ ra ít nhất một phần của điện cực phụ AE trong khi phân chia mỗi trong số lớp phát sáng hữu cơ, catôt, và lớp bảo vệ. Nói cách khác, mỗi trong số lớp phát sáng hữu cơ OL (xem Fig.4), catôt CAT (xem Fig.4), và lớp bảo vệ PAS2 (xem Fig.4) được tạo mẫu để lộ ra ít nhất một phần của điện cực phụ AE trong khi được phân chia quanh lớp ngăn BR do khoảng cách định trước RR giữa mép của kết cấu thứ nhất B1 và mép của kết cấu thứ hai B2. Kết cấu thứ nhất B1 có thể hình dạng nón ngược như được thể hiện ở phần (a) trên Fig.6 và có thể có hình dạng nón như được thể hiện trên phần (b) trên Fig.6. Kết cấu thứ nhất B1 và kết cấu thứ hai B2 có thể được tạo thành bằng các vật liệu khác nhau.

Lớp ngăn BR có thể được tạo ra dưới dạng lớp đơn bao gồm kết cấu thứ nhất B1. Trong trường hợp này, kết cấu thứ nhất B1 có hình dạng trong đó mép của phía bên trên nhô ra khỏi mép của phía bên dưới ra bên ngoài bởi khoảng cách định trước RR. Ví dụ, kết cấu thứ nhất B1 có thể có hình dạng nón ngược như được thể hiện ở phần (c) trên Fig.6. Cụ thể là, hình dạng mặt cắt theo phương thẳng đứng của kết cấu thứ nhất B1 có thể có dạng hình thang, phía bên trên có thể có độ dài dài hơn phía bên dưới, và một đầu của phía bên trên có thể nhô ra khỏi một đầu của phía bên dưới ra bên ngoài bởi khoảng cách định trước RR. Khoảng cách RR giữa một đầu của phía bên trên và một đầu của phía bên dưới có thể được lựa chọn một cách thích hợp sao cho lớp ngăn BR có thể lộ ra ít nhất một phần của điện cực phụ AE trong khi phân chia mỗi trong số lớp phát sáng hữu cơ, catôt, và lớp bảo vệ. Nói cách khác, mỗi trong số lớp phát sáng hữu cơ OL (xem Fig.4), catôt CAT (xem Fig.4), và lớp bảo vệ PAS2 (xem Fig.4) được tạo mẫu để lộ ra ít nhất một phần của điện cực phụ AE trong khi

được phân chia quanh lớp ngăn BR do khoảng cách RR giữa một đầu của phía bên trên phía và một đầu của phía bên dưới.

<Phương án thứ ba>

Fig.7 là hình vẽ mặt cắt của thiết bị hiển thị OLED theo phương án thứ ba của sáng chế. Phần mô tả của các kết cấu và các bộ phận giống hoặc tương đương với các kết cấu và các bộ phận được thể hiện theo phương án thứ nhất và phương án thứ hai được bỏ qua theo phương án thứ ba.

Đề cập đến Fig.7, thiết bị hiển thị OLED theo phương án thứ ba của sáng chế bao gồm tấm nền thứ nhất SUB1 (xem Fig.3 và Fig.4) và tấm nền thứ hai SUB2 hướng về nhau. Đường Evss EVL và đường Evss phụ (hoặc được gọi là “đường dây điện phụ”) AEVL được tạo ra trên tấm nền thứ hai SUB2. Bộ lọc màu CF có thể được định vị trên tấm nền thứ hai SUB2 như theo phương án thứ nhất và phương án thứ hai và có thể được định vị trên tấm nền thứ nhất SUB1 nếu cần hoặc muốn.

Một bề mặt của đường Evss phụ AEVL tiếp xúc một cách trực tiếp với đường Evss EVL, và bề mặt khác của đường Evss phụ AEVL tiếp xúc một cách trực tiếp với lớp trám dẫn điện CFL. Đường Evss phụ AEVL là đường dây điện để làm tăng diện tích tiếp xúc giữa đường Evss EVL và lớp trám dẫn điện CFL và có thể có diện tích lớn hơn đường Evss EVL. Đường Evss phụ AEVL có thể được đặt giữa đường Evss EVL và lớp trám dẫn điện CFL. Đường Evss phụ AEVL có thể được tạo ra để phủ đường Evss EVL và bộ lọc màu CF và có thể được tạo ra một cách rộng rãi trên bề mặt trước của tấm nền thứ hai SUB2 bao gồm vùng phát sáng. Đường Evss phụ AEVL có thể được tạo thành bằng vật liệu dẫn điện trong suốt chẳng hạn như indi thiếc oxit (ITO) và indi kẽm oxit (IZO).

Bởi vì phương án thứ ba của sáng chế có thể đủ đảm bảo diện tích tiếp xúc giữa đường Evss EVL và lớp trám dẫn điện CFL bằng cách sử dụng đường Evss phụ AEVL, phương án thứ ba của sáng chế có thể giảm thiểu lỗi tiếp xúc giữa đường Evss EVL và lớp trám dẫn điện CFL. Ngoài ra, phương án thứ ba của sáng chế có thể làm giảm một cách hiệu quả hơn sự thay đổi điện áp phụ thuộc vào vị trí và do đó có thể làm giảm sự không đồng đều của độ chói hoặc sự thay đổi độ chói.

<Phương án thứ tư>

Các hình vẽ từ Fig.8 đến Fig.11 thể hiện đường cấp năng lượng sử dụng phần bịt kín trong thiết bị hiển thị OLED theo phương án thứ tư của sáng chế.

Như được mô tả ở trên, phương án của sáng chế có thể tạo ra đường cấp năng lượng Evss bằng cách sử dụng phần bịt kín dẫn điện SL. Cụ thể là, phương án của sáng chế có thể tạo ra đường cấp năng lượng nối điện cực POE trên tấm nền thứ nhất SUB1 với đường Evss EVL trên tấm nền thứ hai SUB2 sử dụng phần bịt kín dẫn điện SL.

Cụ thể hơn, đề cập đến Fig.8, phần bịt kín dẫn điện SL được đặt giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 và có độ cao thiết lập từ trước để duy trì khoảng cách gần giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2. Một đầu của phần bịt kín dẫn điện SL được nối với điện cực POE trên tấm nền thứ nhất SUB1, và đầu khác của phần bịt kín dẫn điện SL được nối với đường Evss EVL trên tấm nền thứ hai SUB2. Do đó, điện cực POE và đường Evss EVL có thể được nối điện qua phần bịt kín dẫn điện SL. Phần bịt kín dẫn điện SL và đường Evss EVL có thể tiếp xúc một cách trực tiếp với và có thể được nối điện với nhau. Mặt khác, phần bịt kín dẫn điện SL và đường Evss EVL có thể được nối điện với nhau bởi môi trường của đường Evss phụ AEVL. Dưới đây, bộ phận sau được sử dụng dưới dạng một ví dụ.

Khi điện cực POE và đường Evss phụ AEVL được cách nhau và được nối điện qua phần bịt kín dẫn điện SL được đặt giữa chúng, việc cấp điện áp có thể không được thực hiện một cách dễ dàng bởi điện trở của phần bịt kín dẫn điện SL. Cụ thể là, bởi vì điện trở của phần bịt kín dẫn điện SL tăng lên khi khoảng cách giữa điện cực POE và đường Evss phụ AEVL tăng lên, có thể khó để thực hiện việc cấp điện áp. Phương pháp có thể được xem xét là làm giảm khoảng cách giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 xét đến điện trở. Tuy nhiên, bởi vì khoảng cách gần giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 cần phải được cố định ở khoảng cách thiết lập từ trước xét đến các đặc tính của thiết bị hiển thị, có giới hạn trong việc điều chỉnh khoảng cách gần.

Đề cập đến Fig.9, thiết bị hiển thị OLED bao gồm miếng đệm chông ít nhất một phần của phần bịt kín dẫn điện SL để làm giảm khoảng cách giữa điện cực POE và đường Evss phụ AEVL.

Như được thể hiện ở phần (a) trên Fig.9, miếng đệm thứ nhất SP1 có thể được tạo ra trên tấm nền thứ nhất SUB1 và có thể có hình dạng nhô về phía tấm nền thứ hai SUB2. Bề mặt bên trên của miếng đệm thứ nhất SP1 có thể được định vị kề với đường Evss phụ AEVL. Miếng đệm thứ nhất SP1 được bố trí bên dưới điện cực POE và chồng lên phần bịt kín dẫn điện SL.

Điện cực POE được kéo dài để phủ miếng đệm thứ nhất SP1. Phần (a) trên Fig.9 thể hiện rằng điện cực POE phủ một cách hoàn toàn miếng đệm thứ nhất SP1, để làm ví dụ. Tuy nhiên, các phương án không chỉ hạn chế ở đó. Ví dụ, điện cực POE có thể được kéo dài để phủ ít nhất một phần miếng đệm thứ nhất SP1 sao cho điện cực POE được định vị kề đường Evss phụ AEVL của tấm nền thứ hai SUB2. Ngoài ra, điện cực POE có thể được kéo dài lên đến phần nhô ra nhất (ví dụ, bề mặt bên trên) của miếng đệm thứ nhất SP1.

Như được thể hiện ở phần (b) trên Fig.9, miếng đệm thứ hai SP2 có thể được tạo ra trên tấm nền thứ hai SUB2 và có thể có hình dạng nhô về phía tấm nền thứ nhất SUB1. Bề mặt bên trên của miếng đệm thứ hai SP2 có thể được định vị liền kề với điện cực POE. Miếng đệm thứ hai SP2 được bố trí để chồng lên phần bịt kín dẫn điện SL bên dưới đường Evss phụ AEVL.

Đường Evss phụ AEVL được kéo dài để phủ miếng đệm thứ hai SP2. Phần (b) trên Fig.9 thể hiện rằng đường Evss phụ AEVL phủ một cách hoàn toàn miếng đệm thứ hai SP2, để làm ví dụ. Tuy nhiên, các phương án không chỉ hạn chế ở đó. Ví dụ, đường Evss phụ AEVL có thể được kéo dài để phủ ít nhất một phần của miếng đệm thứ hai SP2 sao cho đường Evss phụ AEVL được định vị kề điện cực POE của tấm nền thứ nhất SUB1. Ngoài ra, đường Evss phụ AEVL có thể được kéo dài lên đến phần nhô ra nhất (ví dụ, bề mặt bên trên) của miếng đệm thứ hai SP2.

Phương án thứ tư của sáng chế bao gồm miếng đệm và do đó có thể thiết lập khoảng cách giữa điện cực POE và đường Evss phụ AEVL đến trị số tối thiểu có thể có trong quy trình. Do đó, phương án thứ tư của sáng chế có thể làm giảm sự ảnh hưởng của điện trở được mô tả ở trên và cấp một cách bền vững điện áp đến đường Evss phụ AEVL.

Tuy nhiên, có thể khó để làm tăng đủ độ cao của miếng đệm do các sự hạn chế của quy trình. Để khắc phục vấn đề này, đề cập đến Fig.10, phương án thứ tư của sáng

chế có thể bao gồm miếng đệm thứ nhất SP1 trên tấm nền thứ nhất SUB1 và miếng đệm thứ hai SP2 trên tấm nền thứ hai SUB2.

Miếng đệm thứ nhất SP1 có thể được tạo ra trên tấm nền thứ nhất SUB1 và có thể có hình dạng nhô về phía tấm nền thứ hai SUB2. Bề mặt bên trên của miếng đệm thứ nhất SP1 có thể được định vị kề với đường Evss phụ AEVL. Miếng đệm thứ nhất SP1 được bố trí bên dưới điện cực POE và chồng lên phần bịt kín dẫn điện SL. Điện cực POE được kéo dài để phủ ít nhất một phần của miếng đệm thứ nhất SP1.

Miếng đệm thứ hai SP2 có thể được tạo ra trên tấm nền thứ hai SUB2 và có thể có hình dạng nhô về phía tấm nền thứ nhất SUB1. Bề mặt bên trên của miếng đệm thứ hai SP2 có thể được định vị kề với điện cực POE. Miếng đệm thứ hai SP2 được bố trí để chồng lên phần bịt kín dẫn điện SL bên dưới đường Evss phụ AEVL. Đường Evss phụ AEVL được kéo dài để phủ ít nhất một phần của miếng đệm thứ hai SP2.

Như được thể hiện ở phần (a) trên Fig.10, bề mặt bên trên của miếng đệm thứ nhất SP1 có thể được bố trí đối diện bề mặt bên trên của miếng đệm thứ hai SP2. Mặt khác, như được thể hiện ở phần (b) trên Fig.10, miếng đệm thứ nhất SP1 và miếng đệm thứ hai SP2 có thể được bố trí được khóa liên động với nhau, và do đó một bề mặt bên của miếng đệm thứ nhất SP1 có thể được bố trí đối diện với một bề mặt bên của miếng đệm thứ hai SP2.

Đề cập đến Fig.11, phương án thứ tư của sáng chế có thể bao gồm miếng đệm thứ nhất SP1 trên tấm nền thứ nhất SUB1 và miếng đệm thứ hai SP2 trên tấm nền thứ hai SUB2. Fig.11 thể hiện ví dụ được cải biến của phần (a) trên Fig.9.

Phần bịt kín dẫn điện SL có thể được bố trí một cách cục bộ trong phần chồng của miếng đệm thứ nhất SP1 và miếng đệm thứ hai SP2 giữa miếng đệm thứ nhất SP1 và miếng đệm thứ hai SP2. Do đó, diện tích của phần bịt kín dẫn điện SL có thể được thiết lập cần phải bằng hoặc nhỏ hơn diện tích hướng về của miếng đệm thứ nhất SP1 và miếng đệm thứ hai SP2. Trong trường hợp này, khoảng cách gần giữa tấm nền thứ nhất SUB1 và tấm nền thứ hai SUB2 có thể được thiết lập đến độ cao của miếng đệm thứ nhất SP1, độ dày của điện cực POE, độ cao của phần bịt kín dẫn điện SL, độ dày của đường Evss phụ AEVL, và độ cao của miếng đệm thứ hai SP2.

Sẽ rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật là các cải biến và các thay đổi khác nhau có thể thực hiện trong thiết bị hiển thị điốt phát sáng

hữu cơ của sáng chế này mà không lệch khỏi nguyên lý kỹ thuật hoặc phạm vi của sáng chế. Do đó, được dự định là sáng chế này bao phủ các cải biến và các thay đổi của sáng chế khiến chúng nằm trong phạm vi của các điểm yêu cầu bảo hộ kèm theo và các phương án tương đương của chúng.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị điôt phát sáng hữu cơ bao gồm:

tấm nền thứ nhất mà điện cực được cấp điện áp và điôt phát sáng hữu cơ được bố trí trên đó;

tấm nền thứ hai mà đường dây điện được bố trí trên đó, tấm nền thứ hai hướng về tấm nền thứ nhất;

lớp trám dẫn điện được đặt giữa tấm nền thứ nhất và tấm nền thứ hai, lớp trám dẫn điện này bao gồm môi trường dẫn điện nối điện catôt của điôt phát sáng hữu cơ với đường dây điện;

phần bịt kín dẫn điện được bố trí ở mép của tấm nền thứ nhất và mép của tấm nền thứ hai, lớp trám dẫn điện được làm phù hợp bên trong phần bịt kín dẫn điện, và

ít nhất một miếng đệm chồng ít nhất một phần của phần bịt kín dẫn điện,

trong đó phần bịt kín dẫn điện nối điện điện cực với đường dây điện,

trong đó miếng đệm bao gồm ít nhất một trong số miếng đệm thứ nhất mà nhô ra về phía tấm nền thứ hai trên tấm nền thứ nhất và miếng đệm thứ hai mà nhô ra về phía tấm nền thứ nhất trên tấm nền thứ hai, và trong đó một phần của bề mặt của miếng đệm thứ nhất được phủ bởi điện cực, và một phần của bề mặt của miếng đệm thứ hai được phủ bởi đường dây điện.

2. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó tấm nền thứ hai bao gồm đường dây điện phụ, một bề mặt của nó tiếp xúc một cách trực tiếp với đường dây điện và bề mặt khác đối diện bề mặt này tiếp xúc một cách trực tiếp với lớp trám dẫn điện, trong đó phần bịt kín dẫn điện được nối điện với đường dây điện qua đường dây điện phụ.

3. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 2, trong đó đường dây điện phụ có diện tích lớn hơn đường dây điện, và

trong đó đường dây điện phụ bao gồm vật liệu dẫn điện trong suốt.

4. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó bề mặt bên trên của

miếng đệm thứ nhất hướng về bề mặt bên trên của miếng đệm thứ hai.

5. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó miếng đệm thứ nhất và miếng đệm thứ hai được bố trí cần phải được khóa liên động với nhau, và một bề mặt bên của miếng đệm thứ nhất hướng về một bề mặt bên của miếng đệm thứ hai.

6. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó phần bịt kín dẫn điện được bố trí một cách cục bộ trong phần chồng của miếng đệm thứ nhất và miếng đệm thứ hai giữa miếng đệm thứ nhất và miếng đệm thứ hai.

7. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó điôt phát sáng hữu cơ bao gồm anôt và lớp phát sáng hữu cơ được đặt giữa anôt và catôt,

trong đó lớp phát sáng hữu cơ và catôt trên tấm nền thứ nhất được bố trí để lộ ra điện cực,

trong đó phần được lộ ra của điện cực tiếp xúc một cách trực tiếp với lớp trám dẫn điện.

8. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 7, trong đó một đầu của catôt kéo dài xa hơn một đầu của lớp phát sáng hữu cơ và tiếp xúc một cách trực tiếp với điện cực.

9. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 1, trong đó tấm nền thứ nhất bao gồm:

điện cực phụ;

lớp ngăn được bố trí trên điện cực phụ;

catôt được bao gồm trong điôt phát sáng hữu cơ và được phân chia bởi lớp ngăn, catôt để lộ ít nhất một phần của điện cực phụ, một đầu của catôt tiếp xúc một cách trực tiếp với điện cực phụ; và

lớp bảo vệ được bố trí trên catôt và được phân chia bởi lớp ngăn, lớp bảo vệ để lộ ra ít nhất một phần của điện cực phụ, một đầu của lớp bảo vệ tiếp xúc một cách trực tiếp với điện cực phụ,

trong đó lớp trám dẫn điện được nối với catôt qua điện cực phụ.

10. Thiết bị hiển thị điôt phát sáng hữu cơ bao gồm:

tấm nền thứ nhất mà điện cực được cấp điện áp và điôt phát sáng hữu cơ được bố trí trên đó;

tấm nền thứ hai mà đường dây điện được bố trí trên đó, tấm nền thứ hai hướng về tấm nền thứ nhất;

lớp trám dẫn điện được đặt giữa tấm nền thứ nhất và tấm nền thứ hai, lớp trám dẫn điện bao gồm môi trường dẫn điện; và

phần bịt kín dẫn điện được bố trí ở mép của tấm nền thứ nhất và mép của tấm nền thứ hai, lớp trám dẫn điện được làm phù hợp bên trong phần bịt kín dẫn điện,

trong đó phần bịt kín dẫn điện nối điện cực với đường dây điện, và

trong đó lớp trám dẫn điện nối điện cực với đường dây điện.

11. Thiết bị hiển thị điôt phát sáng hữu cơ theo điểm 10, trong đó lớp trám dẫn điện nối điện catôt của điôt phát sáng hữu cơ với đường dây điện.

FIG. 1

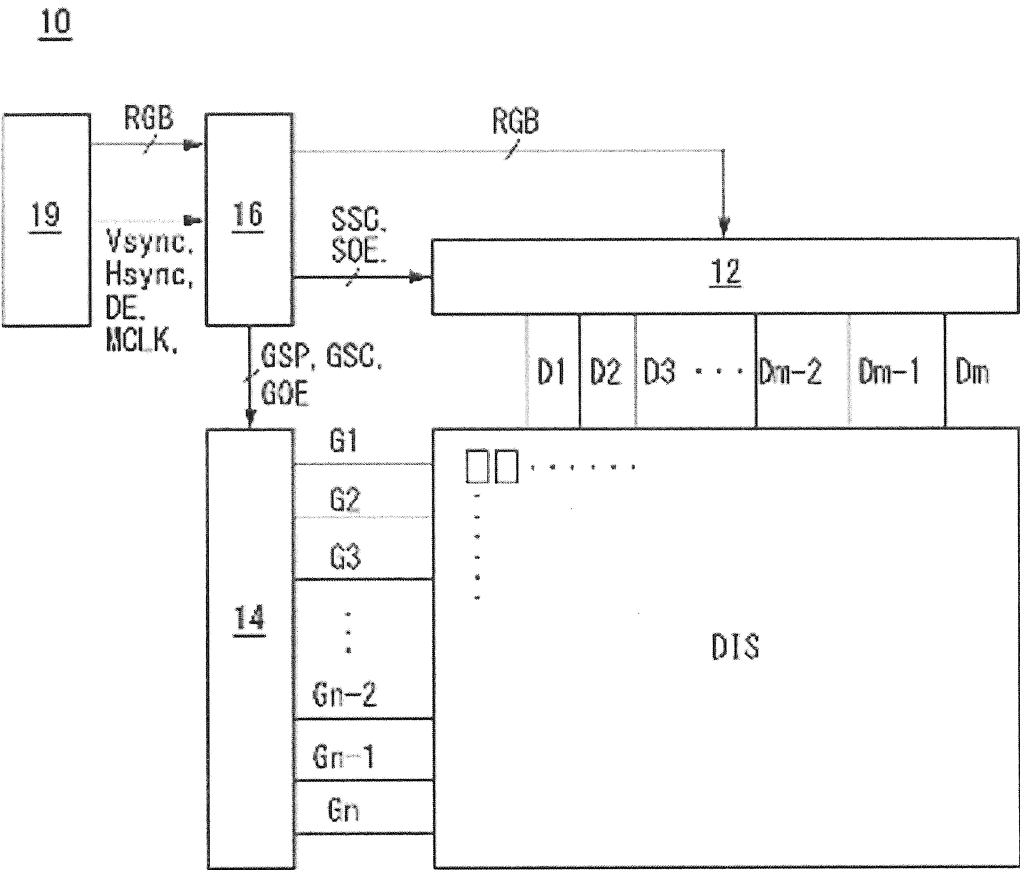


FIG. 2

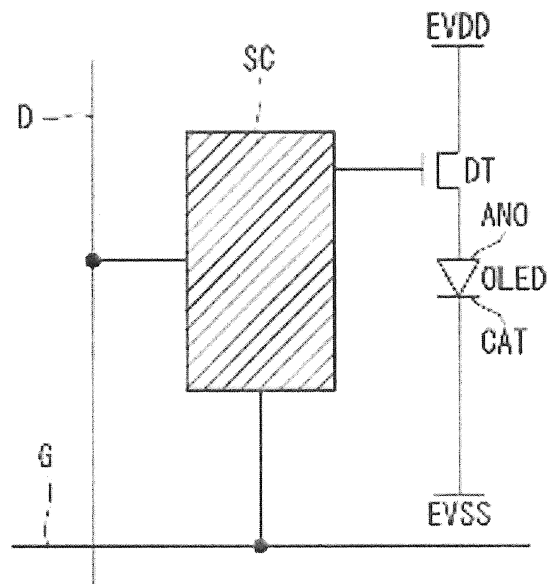


FIG. 3

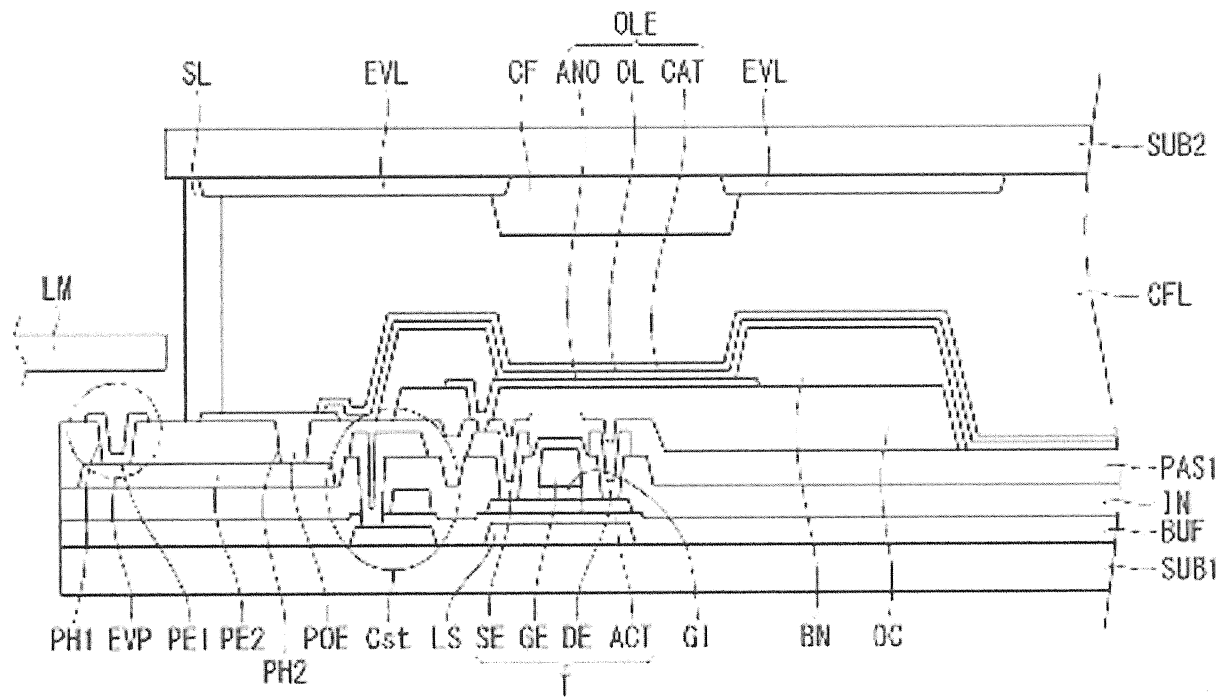


FIG. 4

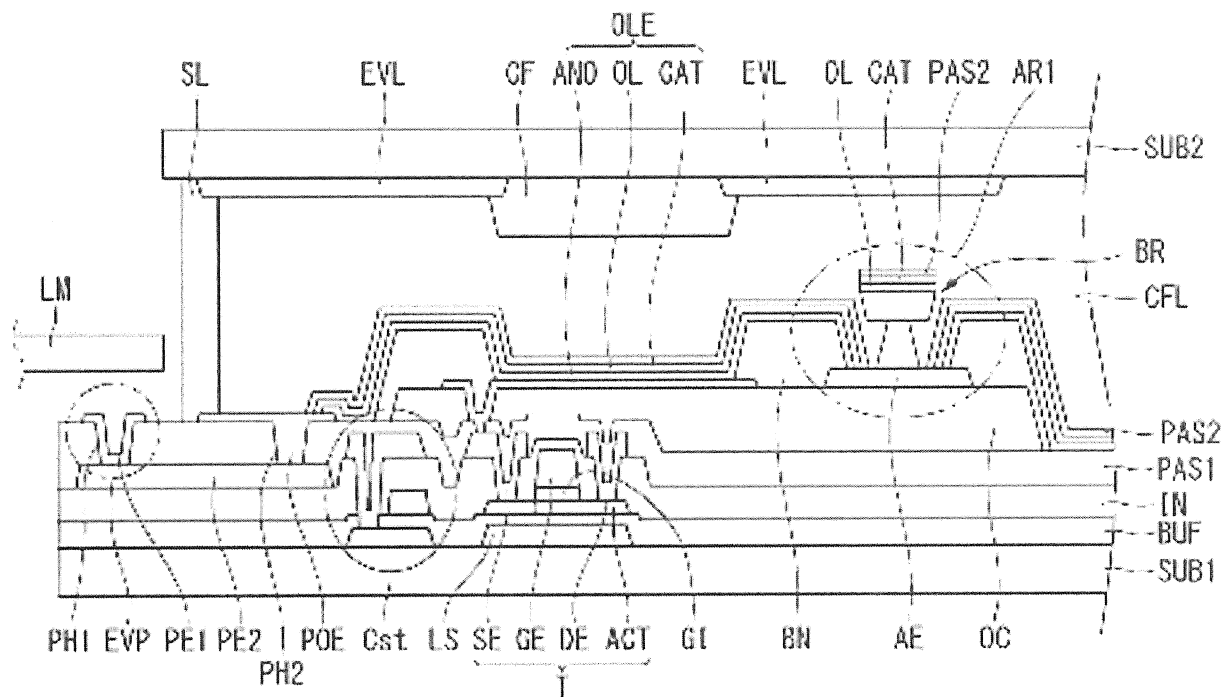


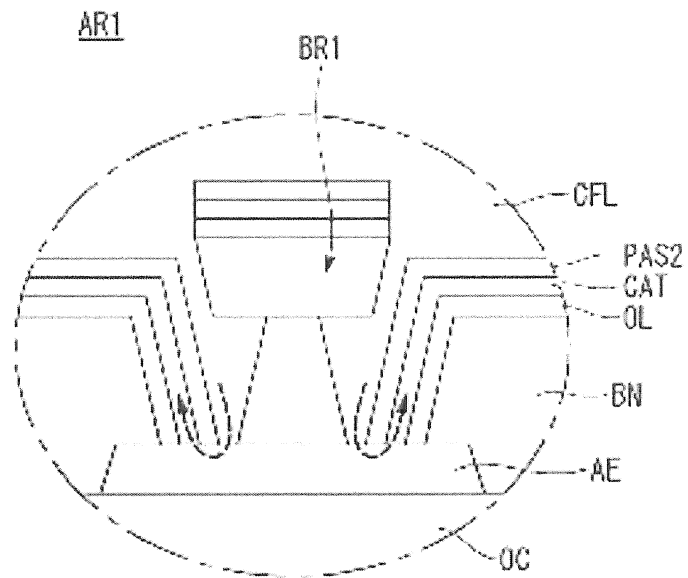
FIG. 5

FIG. 6

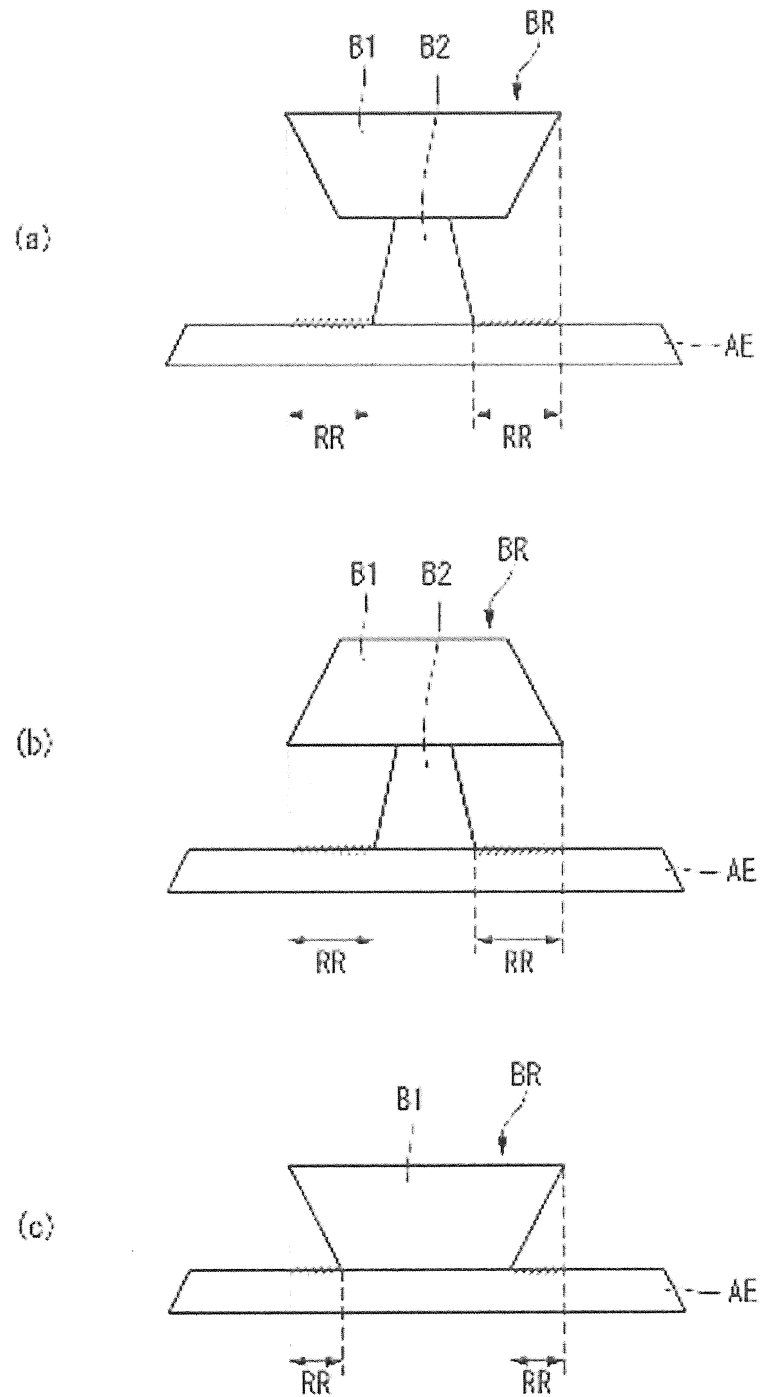


FIG. 7

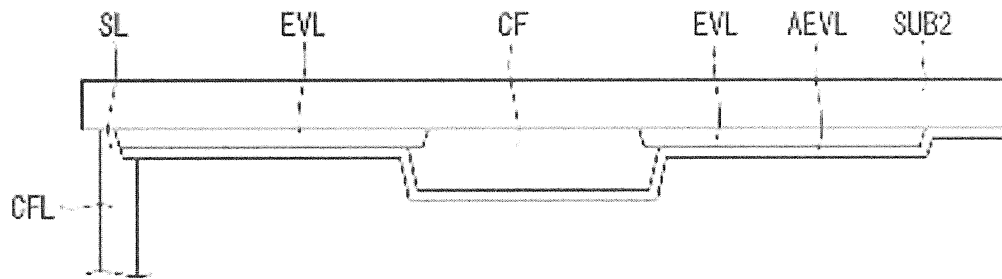


FIG. 8

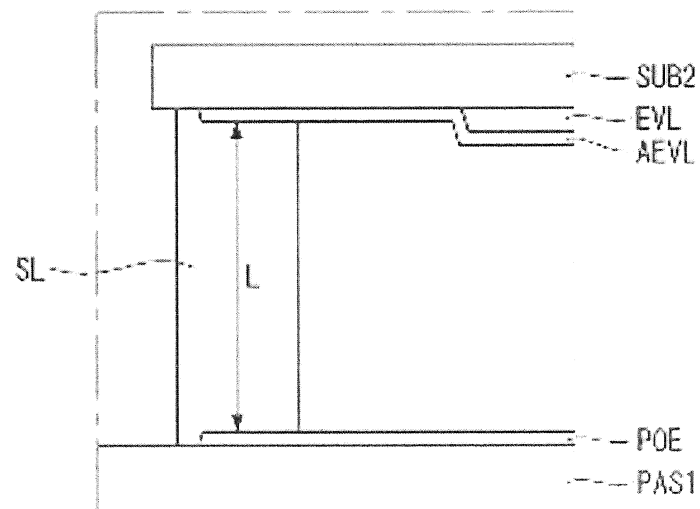


FIG. 9

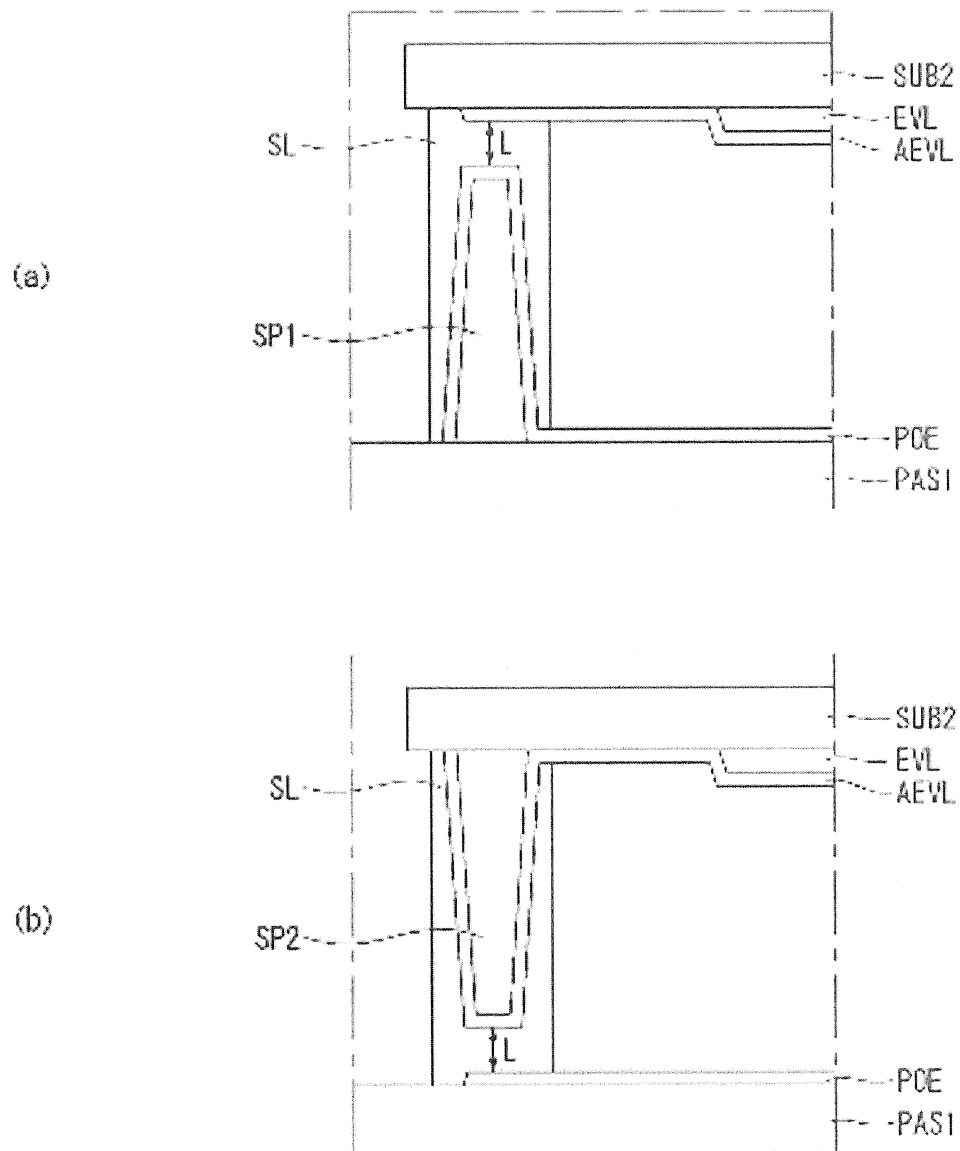


FIG. 10

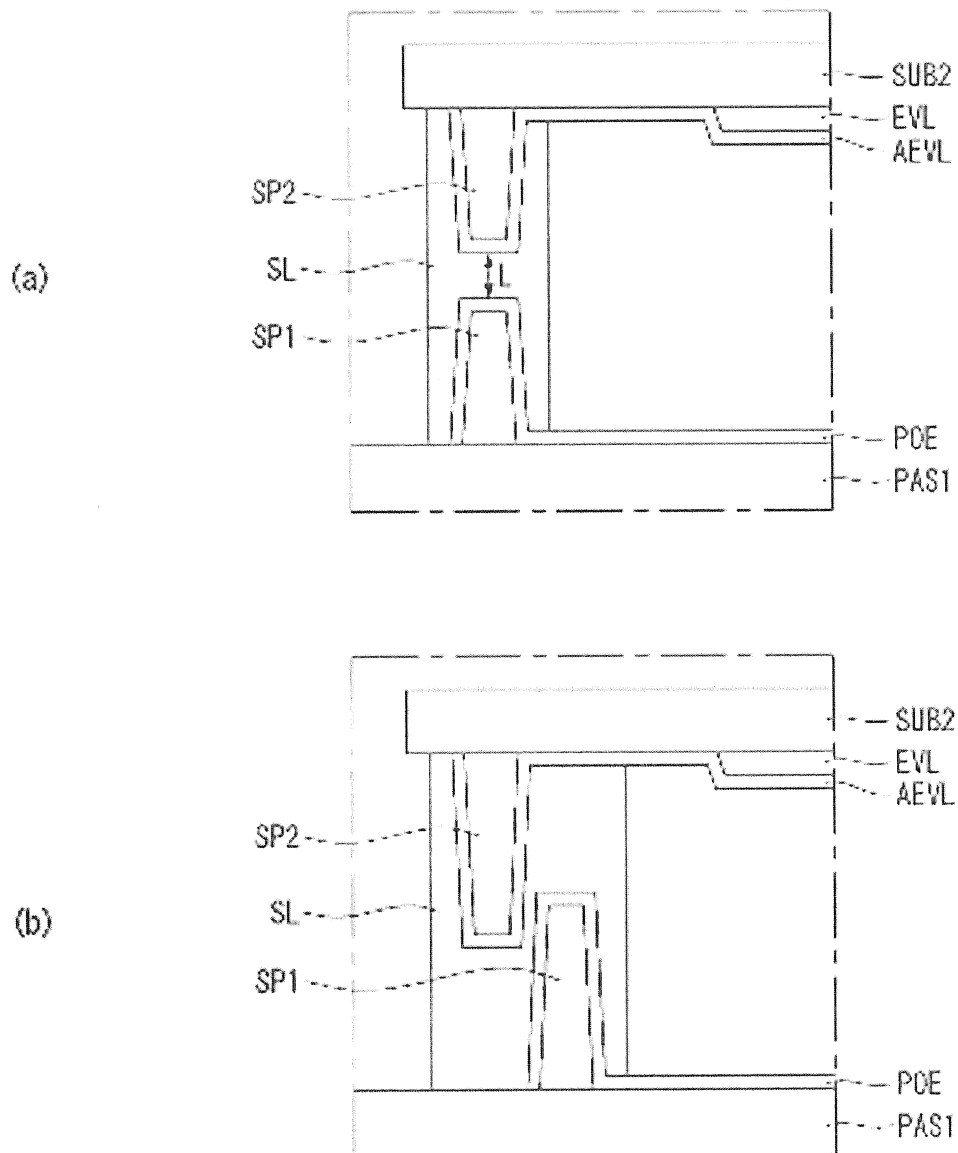


FIG. 11