



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0031409

(51)⁷ G10L 19/008

(13) B

(21) 1-2017-03962

(22) 08/03/2016

(86) PCT/EP2016/054900 08/03/2016

(87) WO2016/142375 15/09/2016

(30) 15158234.3 09/03/2015 EP; 15172492.9 17/06/2015 EP

(45) 25/03/2022 408

(43) 25/12/2017 357A

(73) FRAUNHOFER-GESELLSCHAFT ZUR FOERDERUNG DER ANGEWANDTEN
FORSCHUNG E.V. (DE)

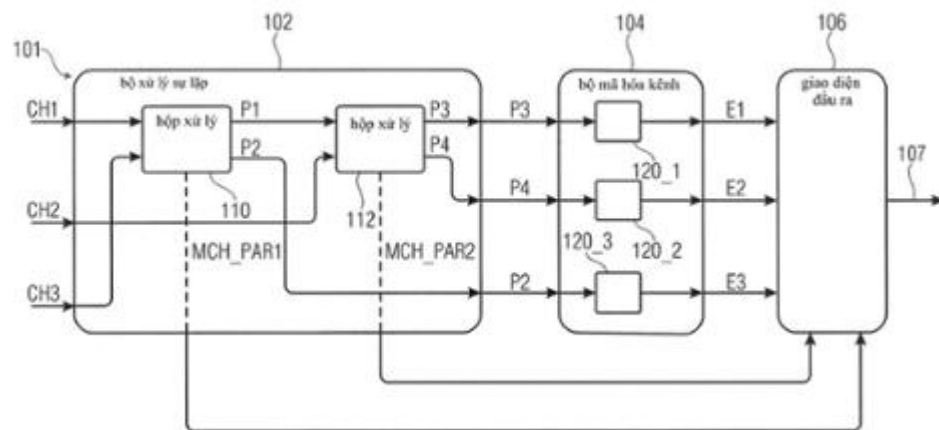
Hansastraße 27c, 80686 Muenchen, Germany

(72) DICK, Sascha (DE); SCHUH, Florian (DE); RETTELACH, Nikolaus (DE);
SCHWEGLER, Tobias (DE); FUEG, Richard (DE); HILPERT, Johannes (DE);
NEUSINGER, Matthias (DE).

(74) CÔNG TY LUẬT TRÁCH NHIỆM HỮU HẠN AMBYS HÀ NỘI (AMBYS
HANOI)

(54) THIẾT BỊ VÀ PHƯƠNG PHÁP MÃ HÓA TÍN HIỆU ĐA KÊNH, THIẾT BỊ VÀ
PHƯƠNG PHÁP GIẢI MÃ TÍN HIỆU ĐA KÊNH ĐƯỢC MÃ HÓA

(57) Sáng chế đề cập đến thiết bị và phương pháp mã hóa tín hiệu đa kênh, thiết bị và phương pháp giải mã tín hiệu đa kênh được mã hóa. Các phương án đề xuất thiết bị mã hóa tín hiệu đa kênh có ít nhất ba kênh. Thiết bị bao gồm bộ xử lý lập, bộ mã hóa kênh và giao diện đầu ra. Bộ xử lý lập được tạo cấu hình để tính toán, trong bước lập thứ nhất, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh, để lựa chọn, trong bước lập thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và để xử lý cặp được lựa chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất. Ngoài ra, bộ xử lý lập được tạo cấu hình để thực hiện việc tính toán, lựa chọn và xử lý trong bước lập thứ hai sử dụng ít nhất một trong số các kênh được xử lý để suy ra các tham số đa kênh thứ hai và các kênh được xử lý thứ hai. Bộ mã hóa kênh được tạo cấu hình để mã hóa các kênh là kết quả của việc xử lý sự lập được thực hiện bởi bộ xử lý lập để thu được các kênh được mã hóa. Giao diện đầu ra được tạo cấu hình để tạo tín hiệu đa kênh được mã hóa có các kênh được mã hóa và các tham số đa kênh thứ nhất và thứ hai.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến việc mã hóa/giải mã âm thanh và cụ thể là mã hóa âm thanh khai thác các sự phụ thuộc tín hiệu liên kênh.

Tình trạng kỹ thuật của sáng chế

Mã hóa âm thanh là miền nén giải quyết việc khai thác phần dư và phần không liên quan trong các tín hiệu âm thanh. Trong MPEG USAC [ISO/IEC 23003-3:2012 - Information technology – MPEG audio technologies Part 3: Unified speech and audio coding] mã hóa âm lập thể kết hợp của hai kênh được thực hiện bằng cách sử dụng dự báo phức, MPS 2-1-2 hoặc âm lập thể đồng nhất với các tín hiệu phần dư bằng giới hạn hoặc toàn băng. Bao quanh MPEG [ISO/IEC 23003-1:2007 - Information technology – MPEG audio technologies Part 1: MPEG Surround] tổ hợp theo bậc các hộp OTT và TTT để mã hóa kết hợp âm thanh đa kênh có hoặc không có sự truyền dẫn các tín hiệu phần dư. Các phần tử bốn kênh MPEG-H áp dụng theo bậc các hộp âm lập thể MPS 2-1-2 theo sau bởi sự dự báo phức/các hộp âm lập thể MS xây dựng cây trộn lại 4x4 cố định. AC4 [ETSI TS 103 190 V1.1.1 (2014-04) – Digital Audio Compression (AC-4) Standard] cung cấp các phần tử 3, 4, 5 kênh mới mà cho phép trộn lại các kênh được truyền dẫn qua ma trận trộn được truyền dẫn và thông tin mã hóa âm lập thể kết hợp sau đó. Ngoài ra, các công bố trước đó đề xuất sử dụng các biến đổi trực giao chẳng hạn như biến đổi Karhunen-Loeve (Karhunen-Loeve Transform - KLT) cho sự mã hóa âm thanh đa kênh nâng cao [Yang, Dai and Ai, Hongmei and Kyriakakis, Chris and Kuo, C.-C. Jay, 2001: Adaptive Karhunen-Loeve Transform for Enhanced Multichannel Audio Coding, <http://ict.usc.edu/pubs/Adaptive%20Karhunen-Loeve%20Transform%20for%20Enhanced%20Multichannel%20Audio%20Coding.pdf>].

Trong ngữ cảnh âm thanh 3D, các kênh loa phóng thanh được phân bố theo nhiều lớp độ cao, tạo thành các cặp kênh chiều ngang và chiều dọc. Mã hóa kết hợp của hai kênh được xác định trong USAC là không đủ để xem xét các mối quan hệ không gian và cảm quan giữa các kênh. Bao quanh MPEG được áp dụng cho các bước

xử lý trước/sau bổ sung, các tín hiệu phần dư được truyền dẫn riêng lẻ mà không có khả năng mã hóa âm lập thể kết hợp, ví dụ, để khai thác sự phụ thuộc giữa các tín hiệu phần dư theo chiều dọc bên trái và bên phải. Trong AC-4 các phần tử N kênh chuyên dụng được cung cấp mà cho phép sự mã hóa hiệu quả của các tham số mã hóa kết hợp, nhưng thất bại trong việc thiết lập loa chung với nhiều kênh hơn như được đề xuất cho các kịch bản phát lại nhập vai mới (7.1+4, 22.2). Phần tử bốn kênh MPEG-H cũng bị giới hạn chỉ 4 kênh và không thể áp dụng một cách năng động cho các kênh tùy ý mà chỉ cho số lượng kênh đã được tạo cấu hình trước và được cố định.

Bản chất kỹ thuật của sáng chế

Mục đích của sáng chế là đề xuất khái niệm mã hóa/giải mã được cải thiện.

Mục đích này đạt được bởi thiết bị mã hóa tín hiệu đa kênh có ít nhất ba kênh theo điểm 1, thiết bị giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai theo điểm 12, phương pháp mã hóa tín hiệu đa kênh có ít nhất ba kênh theo điểm 21, phương pháp giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai theo điểm 22, hoặc chương trình máy tính theo điểm 23.

Các phương án đề xuất thiết bị mã hóa tín hiệu đa kênh có ít nhất ba kênh. Thiết bị bao gồm bộ xử lý lập, bộ mã hóa kênh và giao diện đầu ra. Bộ xử lý lập được tạo cấu hình để tính toán, trong bước lập thứ nhất, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh, để lựa chọn, trong bước lập thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và để xử lý cặp được chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất. Ngoài ra, bộ xử lý lập được tạo cấu hình để thực hiện việc tính toán, lựa chọn và xử lý trong bước lập thứ hai sử dụng ít nhất một trong các kênh được xử lý để suy ra các tham số đa kênh thứ hai và các kênh được xử lý thứ hai. Bộ mã hóa kênh được tạo cấu hình để mã hóa các kênh từ việc xử lý sự lập được thực hiện bởi bộ xử lý lập để thu được các kênh được mã hóa. Giao diện đầu ra được tạo cấu hình để tạo tín hiệu đa kênh được mã hóa có các kênh được mã hóa và các tham số đa kênh thứ nhất và thứ hai.

Phương án khác đề xuất thiết bị giải mã tín hiệu đa kênh được mã hóa, tín hiệu

đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai. Thiết bị bao gồm bộ giải mã kênh và bộ xử lý đa kênh. Bộ giải mã kênh được tạo cấu hình để giải mã các kênh được mã hóa để thu các kênh được giải mã. Bộ xử lý đa kênh được tạo cấu hình để thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai và sử dụng các tham số đa kênh thứ hai để thu được các kênh được xử lý và để thực hiện việc xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất và sử dụng các tham số đa kênh thứ nhất, trong đó cặp thứ nhất của các kênh bao gồm ít nhất một kênh được xử lý.

Trái với các khái niệm mã hóa đa kênh thông thường sử dụng đường dẫn tín hiệu cố định (ví dụ, cây mã hóa âm lập thể) các phương án của sáng chế sử dụng đường dẫn tín hiệu động được làm thích ứng với các đặc tính của ít nhất ba kênh đầu vào của tín hiệu đầu vào đa kênh. Cụ thể, bộ xử lý lập 102 có thể được làm thích ứng để xây dựng đường dẫn tín hiệu (ví dụ cây âm lập thể), trong bước lập thứ nhất, dựa trên giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh CH1 đến CH3, để lựa chọn, trong bước lập thứ nhất, cặp có giá trị cao nhất hoặc giá trị trên ngưỡng, và, trong bước lập thứ hai, dựa trên các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh và các kênh được xử lý trước đó tương ứng, để lựa chọn, trong bước lập thứ hai, cặp có giá trị cao nhất hoặc giá trị trên ngưỡng.

Các phương án khác đề xuất phương pháp mã hóa tín hiệu đa kênh có ít nhất ba kênh. Phương pháp bao gồm:

- tính toán, trong bước lập thứ nhất, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh, lựa chọn, trong bước lập thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và xử lý cặp được lựa chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất;

- thực hiện việc tính toán, lựa chọn và xử lý trong bước lập thứ hai sử dụng ít nhất một trong các kênh được xử lý để suy ra các tham số đa kênh thứ hai và các kênh được xử lý thứ hai;

- mã hóa các kênh từ việc xử lý sự lặp được thực hiện bởi bộ xử lý lập để thu

được các kênh được mã hóa; và

- tạo tín hiệu đa kênh được mã hóa có các kênh được mã hóa và các tham số đa kênh thứ nhất và thứ hai.

Phương án khác đề xuất phương pháp giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai. Phương pháp bao gồm:

- giải mã các kênh được mã hóa để thu các kênh được giải mã; và
- thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai và sử dụng các tham số đa kênh thứ hai để thu được các kênh được xử lý, và thực hiện việc xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất và sử dụng các tham số đa kênh thứ nhất, trong đó cặp thứ nhất của các kênh bao gồm ít nhất một kênh được xử lý.

Mô tả vắn tắt các hình vẽ

Các phương án của sáng chế được mô tả với sự tham chiếu tới các hình vẽ đi kèm.

Fig.1 thể hiện sơ đồ khối dạng giản lược của thiết bị mã hóa tín hiệu đa kênh có ít nhất ba kênh, theo phương án;

Fig.2 thể hiện sơ đồ khối dạng giản lược của thiết bị mã hóa tín hiệu đa kênh có ít nhất ba kênh, theo phương án;

Fig.3 thể hiện sơ đồ khối dạng giản lược của hộp âm lập thể, theo phương án;

Fig.4 thể hiện sơ đồ khối dạng giản lược của thiết bị giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai, theo phương án;

Fig.5 thể hiện lưu đồ của phương pháp mã hóa tín hiệu đa kênh có ít nhất ba kênh, theo phương án; và

Fig.6 thể hiện lưu đồ của phương pháp giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai, theo phương

án.

Mô tả chi tiết sáng chế

Các phần tử giống nhau hoặc tương đương hoặc các phần tử với chức năng giống nhau hoặc tương đương được biểu thị ở phần mô tả sau đây bởi các số tham chiếu giống nhau.

Trong phần mô tả sau đây, nhiều chi tiết được đưa ra để cung cấp sự giải thích kỹ lưỡng cho các phương án của sáng chế. Tuy nhiên, sẽ rõ ràng đối với những người có trình độ trung bình trong lĩnh vực kỹ thuật tương ứng rằng các phương án của sáng chế có thể được thực hiện mà không cần các chi tiết cụ thể này. Trong các ví dụ khác, các cấu trúc và thiết bị đã được biết đến được thể hiện dưới dạng sơ đồ khối hơn là thể hiện chi tiết để tránh làm khó hiểu các phương án của sáng chế. Ngoài ra, các dấu hiệu của các phương án khác nhau được mô tả sau đây có thể được tổ hợp với nhau, trừ khi được lưu ý cụ thể khác.

Fig.1 thể hiện sơ đồ khối dạng giản lược của thiết bị (bộ mã hóa) 100 mã hóa tín hiệu đa kênh 101 có ít nhất ba kênh CH1 đến CH3. Thiết bị 100 bao gồm bộ xử lý lặp 102, bộ mã hóa kênh 104 và giao diện đầu ra 106.

Bộ xử lý lặp 102 được tạo cấu hình để tính toán, trong bước lặp thứ nhất, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh CH1 đến CH3, để lựa chọn, trong bước lặp thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và để xử lý cặp được lựa chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất MCH_PAR1 cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất P1 và P2. Ngoài ra, bộ xử lý lặp 102 được tạo cấu hình để thực hiện tính toán, lựa chọn và xử lý trong bước lặp thứ hai sử dụng ít nhất một trong các kênh được xử lý P1 hoặc P2 để suy ra các tham số đa kênh thứ hai MCH_PAR2 và các kênh được xử lý thứ hai P3 và P4.

Ví dụ, như được biểu thị trên Fig.1, bộ xử lý lặp 102 có thể tính toán trong bước lặp thứ nhất giá trị tương quan liên kênh giữa cặp thứ nhất của ít nhất ba kênh CH1 đến CH3, cặp thứ nhất gồm có kênh thứ nhất CH1 và kênh thứ hai CH2, giá trị tương quan liên kênh giữa cặp thứ hai của ít nhất ba kênh CH1 đến CH3, cặp thứ hai gồm có

kênh thứ hai CH2 và kênh thứ ba CH3, và giá trị tương quan liên kênh giữa cặp thứ ba của ít nhất ba kênh CH1 đến CH3, cặp thứ ba gồm có kênh thứ nhất CH1 và kênh thứ ba CH3.

Trên Fig.1 giả sử rằng trong bước lặp thứ nhất cặp thứ ba bao gồm kênh thứ nhất CH1 và kênh thứ ba CH3 bao gồm giá trị tương quan liên kênh cao nhất, sao cho bộ xử lý lặp 102 lựa chọn trong bước lặp thứ nhất cặp thứ ba có giá trị tương quan liên kênh cao nhất và xử lý cặp được chọn, tức là, cặp thứ ba, sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất MCH_PAR1 cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất P1 và P2.

Ngoài ra, bộ xử lý lặp 102 có thể được tạo cấu hình để tính toán, trong bước lặp thứ hai, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh CH1 đến CH3 và các kênh được xử lý P1 và P2, để lựa chọn, trong bước lặp thứ hai, cặp có giá trị tương quan liên kênh cao nhất hoặc có giá trị trên ngưỡng. Từ đó, bộ xử lý lặp 102 có thể được tạo cấu hình để không lựa chọn cặp được lựa chọn của bước lặp thứ nhất trong bước lặp thứ hai (hoặc trong bất kỳ bước lặp nào).

Đề cập đến ví dụ được thể hiện trên Fig.1, bộ xử lý lặp 102 có thể còn tính toán giá trị tương quan liên kênh giữa cặp thứ tư của các kênh gồm có kênh thứ nhất CH1 và kênh được xử lý thứ nhất P1, giá trị tương quan liên kênh giữa cặp thứ năm gồm có kênh thứ nhất CH1 và kênh được xử lý thứ hai P2, giá trị tương quan liên kênh giữa cặp thứ sáu gồm có kênh thứ hai CH2 và kênh được xử lý thứ nhất P1, giá trị tương quan liên kênh giữa cặp thứ bảy gồm có kênh thứ hai CH2 và kênh được xử lý thứ hai P2, giá trị tương quan giữa cặp thứ tám gồm có kênh thứ ba CH3 và kênh được xử lý thứ nhất P1, giá trị tương quan liên kênh giữa cặp thứ chín gồm có kênh thứ ba CH3 và kênh được xử lý thứ hai P2, và giá trị tương quan liên kênh giữa cặp thứ mười gồm có kênh được xử lý thứ nhất P1 và kênh được xử lý thứ hai P2.

Trên Fig.1 giả sử rằng trong bước lặp thứ hai, cặp thứ sáu bao gồm kênh thứ hai CH2 và kênh được xử lý thứ nhất P1 bao gồm giá trị tương quan liên kênh cao nhất, sao cho bộ xử lý lặp 102 lựa chọn trong bước lặp thứ hai cặp thứ sáu và xử lý cặp được chọn, tức là, cặp thứ sáu, sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ hai MCH_PAR2 cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ

hai P3 và P4.

Bộ xử lý lặp 102 có thể được tạo cấu hình để chỉ lựa chọn cặp khi chênh lệch mức của cặp nhỏ hơn ngưỡng, ngưỡng nhỏ hơn 40 dB, 25 dB, 12 dB hoặc nhỏ hơn 6 dB. Từ đó, ngưỡng 25 hoặc 40 dB tương ứng với các góc xoay bằng 3 hoặc 0,5 độ.

Các bộ xử lý lặp 102 có thể được tạo cấu hình để tính toán các giá trị ngưỡng số nguyên được chuẩn hóa, trong đó bộ xử lý lặp 102 có thể được tạo cấu hình để lựa chọn cặp, khi giá trị tương quan số nguyên lớn ví dụ 0,2 hoặc tốt hơn là 0,3.

Ngoài ra, bộ xử lý lặp 102 có thể cung cấp các kênh từ việc xử lý đa kênh tới bộ mã hóa kênh 104. Ví dụ, đề cập đến Fig.1, bộ xử lý lặp 102 có thể cung cấp kênh được xử lý thứ ba P3 và kênh được xử lý thứ tư P4 từ việc xử lý đa kênh được thực hiện trong bước lặp thứ hai và kênh được xử lý thứ hai P2 từ việc xử lý đa kênh được thực hiện trong bước lặp thứ nhất đến bộ mã hóa kênh 104. Bằng cách đó, bộ xử lý lặp 102 có thể chỉ cung cấp các kênh được xử lý này tới bộ mã hóa kênh 104 mà không được xử lý (tiếp tục) trong các bước lặp sau đó. Như được thể hiện trên Fig.1, kênh được xử lý thứ nhất P1 không được cung cấp tới bộ mã hóa kênh 104 do nó còn được xử lý trong bước lặp thứ hai.

Bộ mã hóa kênh 104 có thể được tạo cấu hình để mã hóa các kênh P2 đến P4 từ việc xử lý sự lặp (hoặc xử lý đa kênh) được thực hiện bởi bộ xử lý lặp 102 để thu các kênh được mã hóa E1 đến E3.

Ví dụ, bộ mã hóa kênh 104 có thể được tạo cấu hình để sử dụng các bộ mã hóa đơn sắc (hoặc các hộp đơn sắc, hoặc các công cụ đơn sắc) 120_1 đến 120_3 để mã hóa các kênh P2 đến P4 từ việc xử lý lặp (hoặc xử lý đa kênh). Các hộp đơn sắc có thể được tạo cấu hình để mã hóa các kênh sao cho ít bit hơn được yêu cầu để mã hóa kênh có ít năng lượng hơn (hoặc biên độ nhỏ hơn) so với mã hóa kênh có nhiều năng lượng hơn (hoặc biên độ cao hơn). Các hộp đơn sắc 120_1 đến 120_3 có thể, ví dụ, là sự biến đổi dựa trên các bộ mã hóa âm thanh. Hơn nữa, bộ mã hóa kênh 104 có thể được tạo cấu hình để sử dụng các bộ mã hóa âm lập thể (ví dụ, các bộ mã hóa âm lập thể theo tham số, hoặc các bộ mã hóa âm lập thể theo tần số) để mã hóa các kênh P2 đến P4 từ việc xử lý sự lặp (hoặc xử lý đa kênh).

Giao diện đầu ra 106 có thể được tạo cấu hình để tạo tín hiệu đa kênh được mã hóa 107 có các kênh được mã hóa E1 đến E3 và các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2.

Ví dụ, giao diện đầu ra 106 có thể được tạo cấu hình để tạo tín hiệu đa kênh được mã hóa 107 như tín hiệu chuỗi hoặc dòng bit chuỗi, và để các tham số đa kênh thứ hai MCH_PAR2 nằm trong tín hiệu được mã hóa 107 trước các tham số đa kênh thứ nhất MCH_PAR1. Do đó, bộ giải mã, mà phương án của nó sẽ được mô tả sau với sự viện dẫn đến Fig.4, sẽ nhận các tham số đa kênh thứ hai MCH_PAR2 trước các tham số đa kênh thứ nhất MCH_PAR1.

Trên Fig.1, bộ xử lý lặp 102 thực hiện minh họa hai hoạt động xử lý đa kênh, hoạt động xử lý đa kênh trong bước lặp thứ nhất và hoạt động xử lý đa kênh trong bước lặp thứ hai. Đương nhiên, bộ xử lý lặp 102 cũng có thể thực các hoạt động xử lý đa kênh tiếp theo trong các bước lặp tiếp theo. Do đó, bộ xử lý lặp 102 có thể được tạo cấu hình để thực hiện các bước lặp cho đến khi đạt tiêu chuẩn kết thúc sự lặp. Tiêu chuẩn kết thúc sự lặp có thể là số lượng cực đại của các bước lặp bằng hoặc cao hơn tổng số lượng các kênh của tín hiệu đa kênh 101 bằng hai, hoặc trong đó tiêu chuẩn kết thúc sự lặp là, khi các giá trị tương quan liên kênh không có giá trị lớn hơn ngưỡng, ngưỡng tốt hơn là lớn hơn 0,2 hoặc ngưỡng tốt hơn là bằng 0,3. Theo phương án khác, tiêu chuẩn kết thúc sự lặp có thể là số lượng cực đại của các bước lặp bằng hoặc cao hơn tổng số lượng các kênh của tín hiệu đa kênh 101, hoặc trong đó tiêu chuẩn kết thúc sự lặp là, khi các giá trị tương quan liên kênh không có giá trị lớn hơn ngưỡng, ngưỡng tốt hơn là lớn hơn 0,2 hoặc ngưỡng tốt hơn là bằng 0,3.

Với mục đích minh họa, các hoạt động xử lý đa kênh được thực hiện bởi bộ xử lý lặp 102 trong bước lặp thứ nhất và bước lặp thứ hai được minh họa làm ví dụ trên Fig.1 bằng các hộp xử lý 110 và 112. Các hộp xử lý 110 và 112 có thể được thực hiện trong phần cứng hoặc phần mềm. Ví dụ, các hộp xử lý 110 và 112 có thể là các hộp âm lập thể.

Từ đó sự không phụ thuộc tín hiệu liên kênh có thể được sử dụng bằng cách áp dụng theo bậc các công cụ mã hóa âm lập thể đã biết. Trái ngược với các phương pháp MPEG trước đó, các cặp tín hiệu được xử lý không được xác định trước bởi các đường

dẫn tín hiệu cố định (ví dụ, cây mã hóa âm lập thể) nhưng có thể được thay đổi một cách năng động để thích ứng với các đặc tính tín hiệu đầu vào. Các đầu vào của hộp âm lập thể thực có thể là (1) các kênh chưa được xử lý, như các kênh CH1 đến CH3, (2) các đầu vào của hộp âm lập thể trước đó, như các tín hiệu được xử lý P1 đến P4, hoặc (3) tổ hợp của kênh chưa được xử lý và đầu ra của hộp âm lập thể trước đó.

Việc xử lý bên trong hộp âm lập thể 110 và 112 có thể được dự báo dựa trên (như hộp dự báo phức trong USAC) hoặc dựa trên KLT/PCA (các kênh đầu vào được quay (ví dụ, qua ma trận quay 2×2) trong bộ mã hóa để tối đa hóa sự nén năng lượng, tức là tập trung năng lượng tín hiệu vào một kênh, trong bộ giải mã các tín hiệu được quay sẽ được biến đổi lại thành các hướng tín hiệu đầu vào ban đầu.

Sự thực hiện khả thi của bộ mã hóa 100, (1) bộ mã hóa tính toán sự tương quan liên kênh giữa mỗi cặp kênh và lựa chọn một cặp tín hiệu thích hợp ra khỏi các tín hiệu đầu vào và áp dụng công cụ âm lập thể cho các kênh được chọn; (2) bộ mã hóa tính toán lại sự tương quan liên kênh giữa tất cả các kênh (các kênh chưa được xử lý cũng như các kênh đầu ra trung gian được xử lý) và lựa chọn một cặp tín hiệu thích hợp ra khỏi các tín hiệu đầu vào áp dụng công cụ âm lập thể cho các kênh được chọn; và (3) bộ mã hóa lặp lại bước (2) cho đến khi tất cả sự tương quan liên kênh nằm dưới ngưỡng hoặc nếu số lượng cực đại của các biến đổi được áp dụng.

Như đã được đề cập, các cặp tín hiệu sẽ được xử lý bởi bộ mã hóa 100, hoặc chính xác hơn là bộ xử lý lặp 102, mà không được xác định trước bởi đường dẫn tín hiệu cố định (ví dụ, cây mã hóa âm lập thể) nhưng có thể được thay đổi năng động để thích ứng với các đặc tính tín hiệu đầu vào. Bằng cách đó, bộ mã hóa 100 (hoặc bộ xử lý lặp 102) có thể được tạo cấu hình để dựng cây âm lập thể phụ thuộc vào ít nhất ba kênh CH1 đến CH3 của tín hiệu (đầu vào) đa kênh 101. Nói cách khác, bộ mã hóa 100 (hoặc bộ xử lý lặp 102) có thể được tạo cấu hình để dựng cây âm lập thể dựa trên tương quan liên kênh (ví dụ, bằng cách tính toán, trong bước lặp thứ nhất, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh CH1 đến CH2, để lựa chọn, trong bước lặp thứ nhất, cặp có giá trị cao nhất hoặc giá trị trên ngưỡng, và bằng cách tính toán, trong bước lặp thứ hai, các giá trị tương quan liên kênh giữa từng cặp của ít nhất ba kênh và các kênh được xử lý trước đó, để lựa chọn, trong bước lặp thứ hai, cặp

có giá trị cao nhất hoặc giá trị trên ngưỡng). Theo phương thức một bước, ma trận tương quan có thể được tính toán cho mỗi sự lặp chứa các tương quan của tất cả các kênh trong các sự lặp trước đó có thể được xử lý.

Như được biểu thị ở trên, bộ xử lý lặp 102 có thể được tạo cấu hình để suy ra các tham số đa kênh thứ nhất MCH_PAR1 cho cặp được lựa chọn trong bước lặp thứ nhất và để suy ra các tham số đa kênh thứ hai MCH_PAR2 cho cặp được lựa chọn trong bước lặp thứ hai. Các tham số đa kênh thứ nhất MCH_PAR1 có thể bao gồm nhận dạng cặp kênh thứ nhất (hoặc chỉ số) xác định (hoặc truyền tín hiệu) cặp của các kênh được chọn trong bước lặp thứ nhất, trong đó các tham số đa kênh thứ hai MCH_PAR2 có thể bao gồm sự nhận dạng cặp kênh thứ hai (hoặc chỉ số) xác định (hoặc truyền tín hiệu) cặp của các kênh được lựa chọn trong bước lặp thứ hai.

Sau đây, việc lập chỉ số các tín hiệu đầu vào được mô tả. Ví dụ, các cặp kênh có thể được truyền tín hiệu một cách hiệu quả sử dụng chỉ số duy nhất cho mỗi cặp, phụ thuộc vào tổng số lượng các kênh. Ví dụ, việc lập chỉ số của các cặp cho sáu kênh có thể được thể hiện trong bảng sau:

	0	1	2	3	4	5
0		0	1	2	3	4
1			5	6	7	8
2				9	10	11
3					12	13
4						14
5						

Ví dụ, trong bảng trên, chỉ số 5 có thể truyền tín hiệu cặp bao gồm kênh thứ nhất và kênh thứ hai. Tương tự, chỉ số 6 có thể truyền tín hiệu cặp bao gồm kênh thứ nhất và kênh thứ ba.

Tổng số lượng của cặp kênh khả thi biểu thị cho n kênh có thể được tính toán:

$$\text{numPairs} = \text{numChannels} * (\text{numChannels} - 1) / 2$$

Do đó, số lượng bit cần cho việc truyền tín hiệu một cặp kênh bằng:

$$\text{numBits} = \text{floor}(\log_2(\text{numPairs}-1))+1$$

Ngoài ra, bộ mã hóa 100 có thể sử dụng mặt nạ kênh. Cấu hình các công cụ đa kênh có thể chứa mặt nạ kênh biểu thị công cụ kích hoạt cho kênh nào. Do đó, các LFE (LFE = low frequency effects/enhancement channels - kênh hiệu ứng/cải thiện tần số thấp) có thể được loại bỏ ra khỏi việc lập chỉ số cặp kênh, cho phép mã hóa hiệu quả hơn. Ví dụ, với thiết lập 11.1, điều này giảm số lượng các chỉ số cặp kênh từ $12 \times 11/2 = 66$ thành $11 \times 10/2 = 55$, cho phép việc tạo tín hiệu với 6 bit thay vì 7 bit. Cơ chế này có thể cũng được sử dụng để loại trừ các kênh có mục đích là đối tượng đơn sắc (ví dụ nhiều bản nhạc ngôn ngữ). Khi giải mã mặt nạ kênh (channelMask), ánh xạ kênh (channelMap) có thể được tạo để cho phép ánh xạ lại các chỉ số cặp kênh đến các kênh bộ giải mã.

Ngoài ra, bộ xử lý lập 102 có thể được tạo cấu hình để suy ra, đối với khung thứ nhất, nhiều chỉ báo cặp được lựa chọn, trong đó giao diện đầu ra 106 có thể được tạo cấu hình để gồm có, vào tín hiệu đa kênh 107, đối với khung thứ hai, theo sau khung thứ nhất, bộ chỉ thị giữ, chỉ báo rằng khung thứ hai có nhiều cặp chỉ báo được lựa chọn tương tự như khung thứ nhất.

Bộ chỉ thị giữ hoặc cờ hiệu cây giữ có thể được sử dụng để truyền tín hiệu rằng không có cây mới được truyền dẫn, nhưng cây âm lập thể cuối cùng sẽ được sử dụng. Điều này có thể được sử dụng để tránh nhiều sự truyền dẫn của cấu hình cây âm lập thể tương tự nếu các đặc tính tương quan kênh giữ nguyên trong thời gian dài hơn.

Fig.2 thể hiện sơ đồ khối dạng giản lược của hộp âm lập thể 110, 112. Hộp âm lập thể 110, 112 bao gồm các đầu vào cho tín hiệu đầu vào thứ nhất I1 và tín hiệu đầu vào thứ hai I2, và các đầu ra cho tín hiệu đầu ra thứ nhất O1 và tín hiệu đầu ra thứ hai O2. Như được biểu thị trên Fig.2, sự phụ thuộc của các tín hiệu đầu ra O1 và O2 từ các tín hiệu đầu vào I1 và I2 có thể được mô tả bởi các tham số S1 đến S4.

Bộ xử lý lập 102 có thể sử dụng (hoặc bao gồm) các hộp âm lập thể 110, 112 để thực hiện các hoạt động xử lý đa kênh trên các kênh đầu vào và/hoặc các kênh được xử lý để suy ra các kênh được xử lý (khác). Ví dụ, bộ xử lý lập 102 có thể được tạo cấu hình để sử dụng các hộp âm lập thể quay dựa trên biến đổi Karhunen-Loève (Karhunen-Loève-Transformation - KLT) hoặc dựa trên sự dự báo, chung 110, 112.

Bộ mã hóa chung (hoặc hộp âm lập thể phía bộ mã hóa) có thể được tạo cấu hình để mã hóa các tín hiệu đầu vào I_1 và I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = \begin{bmatrix} s_1 & s_2 \\ s_3 & s_4 \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Bộ giải mã chung (hoặc hộp âm lập thể phía bộ giải mã) có thể được tạo cấu hình để giải mã các tín hiệu đầu vào I_1 và I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = \begin{bmatrix} s_1 & s_2 \\ s_3 & s_4 \end{bmatrix}^{-1} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Bộ mã hóa dựa trên sự dự báo (hoặc hộp âm lập thể phía bộ mã hóa) có thể được tạo cấu hình để mã hóa các tín hiệu đầu vào I_1 và I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = 0.5 \cdot \begin{bmatrix} 1 & 1 \\ 1-p & -(1+p) \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix},$$

trong đó p là hệ số dự báo.

Bộ giải mã dựa trên sự dự báo (hoặc hộp âm lập thể phía bộ giải mã) có thể được tạo cấu hình để giải mã các tín hiệu đầu vào I_1 và I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = \begin{bmatrix} 1+p & 1 \\ 1-p & -1 \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Bộ mã hóa quay dựa trên KLT (hoặc hộp âm lập thể phía bộ mã hóa) có thể được tạo cấu hình để mã hóa các tín hiệu đầu vào I_1 đến I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = \begin{bmatrix} \cos \alpha & \sin \alpha \\ -\sin \alpha & \cos \alpha \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Bộ giải mã quay dựa trên KLT (hoặc hộp âm lập thể phía bộ giải mã) có thể được tạo cấu hình để giải mã các tín hiệu đầu vào I_1 và I_2 để thu được các tín hiệu đầu ra O_1 và O_2 dựa trên phương trình:

$$\begin{bmatrix} O_1 \\ O_2 \end{bmatrix} = \begin{bmatrix} \cos \alpha & -\sin \alpha \\ \sin \alpha & \cos \alpha \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Sau đây, việc tính toán góc quay α cho sự quay dựa trên KLT được mô tả.

Góc quay α cho sự quay dựa trên KLT có thể được xác định như:

$$\alpha = \frac{1}{2} \tan^{-1} \left(\frac{2c_{12}}{c_{11} - c_{22}} \right)$$

với c_{xy} là các mục nhập của ma trận tương quan không được chuẩn hóa, trong đó c_{11} , c_{22} là các năng lượng kênh.

Điều này có thể được thực hiện sử dụng hàm atan2 cho phép lấy vi phân giữa các tương quan âm trong tử số và chênh lệch năng lượng âm trong mẫu số:

$$\alpha = 0,5 * \text{atan2}(2 * \text{correlation}[\text{ch1}][\text{ch2}], \\ (\text{correlation}[\text{ch1}][\text{ch1}] - \text{correlation}[\text{ch2}][\text{ch2}]));$$

Ngoài ra, bộ xử lý lặp 102 có thể được tạo cấu hình để tính toán tương quan liên kênh sử dụng khung của mỗi kênh bao gồm nhiều băng sao cho giá trị tương quan liên kênh cho nhiều băng được thu, trong đó bộ xử lý lặp 102 có thể được tạo cấu hình để thực hiện xử lý đa kênh cho mỗi băng trong số nhiều băng sao cho các tham số đa kênh thứ nhất hoặc thứ hai được thu từ mỗi băng trong số nhiều băng.

Bằng cách đó, bộ xử lý lặp 102 có thể được tạo cấu hình để tính toán các tham số âm lập thể trong xử lý đa kênh, trong đó bộ xử lý lặp 102 có thể được tạo cấu hình để chỉ thực hiện xử lý âm lập thể trong các băng, trong đó các tham số âm lập thể cao hơn ngưỡng được lượng tử hóa bằng không được xác định bởi bộ lượng tử hóa âm lập thể (ví dụ bộ mã hóa quay dựa trên KLT). Các tham số âm lập thể có thể là, ví dụ, M/S bật/tắt hoặc các góc quay hoặc các thừa số dự báo).

Ví dụ, bộ xử lý lặp 102 có thể được tạo cấu hình để tính toán các góc quay trong xử lý đa kênh, trong đó bộ xử lý lặp 102 có thể được tạo cấu hình để chỉ thực hiện xử lý quay trong các băng, trong đó góc quay cao hơn ngưỡng được lượng tử hóa bằng không được xác định bởi bộ lượng tử hóa góc quay (ví dụ, bộ mã hóa quay dựa trên KLT).

Do đó, bộ mã hóa 100 (hoặc giao diện đầu ra 106) có thể được tạo cấu hình để truyền thông tin biến đổi/quay hoặc như một tham số cho phổ hoàn thiện (hoặc hộp đầy đủ) hoặc như các tham số phụ thuộc đa tần số cho các phần của phổ.

Bộ mã hóa 100 có thể được tạo cấu hình để tạo dòng bit 107 dựa trên các bảng sau:

Bảng 1 — Cú pháp của mpeg3daExtElementConfig()

Cú pháp	Số bit	Ký hiệu
<pre>mpeg3daExtElementConfig() { usacExtElementType = escapedValue(4, 8, 16); usacExtElementConfigLength = escapedValue(4, 8, 16); if (usacExtElementDefaultLengthPresent) { numSections = escapedValue(8, 16, 0) + 1; } else { usacExtElementDefaultLength = 0; } usacExtElementPayloadFrag; switch (usacExtElementType) { case ID_EXT_ELE_FILL: /* No configuration element */ break; case ID_EXT_ELE_MPEGS: SpatialSpecificConfig(); break;</pre>	1 1	uimbsf uimbsf


```
case ID_EXT_ELE_SAOC:
    SAOCSpecificConfig();
    break;

case ID_EXT_ELE_AUDIOPREROLL:
    /* No configuration element */
    break;

case ID_EXT_ELE_UNI_DRC:
    mpeg3daUniDrcConfig();
    break;

case ID_EXT_ELE_OBJ_METADATA:
    ObjectMetadataConfig();
    break;

case ID_EXT_ELE_SAOC_3D:
    SAOC3DSpecificConfig();
    break;

case ID_EXT_ELE_HOA:
    HOAConfig();
    break;

case ID_EXT_ELE_MCC: /* multi channel coding */
    MCCConfig(grp);
    break;

case ID_EXT_ELE_FMT_CNVRTR
    /* No configuration element */
```

break;		
default:	NOTE	
while (usacExtElementConfigLength--) {		
tmp;	8	uimsbf
}		
break;		
}		
}		
LUU Ý: Mục nhập mặt định cho usacExtElementType được sử dụng cho extElementTypes chưa biết sao cho các bộ giải mã kế thừa có thể giải quyết các phần mở rộng trong tương lai.		

Bảng 21 — Cú pháp của MCCCConfig(),

Cú pháp	Số bit	Ký hiệu
MCCCConfig(grp)		
{		
nChannels = 0		
for(chan=0;chan < bsNumberOfSignals[grp];		
chan++)		
chanMask[chan]	1	
if(chanMask[chan] > 0) {		
mctChannelMap[nChannels]=chan;		
nChannels++;		
}		
}		

```
}

```

LƯU Ý: Phần tử ID_USAC_EXT tương ứng sẽ trước bất kỳ phần tử âm thanh nào của nhóm tín hiệu nhất định grp.

Bảng 32 — Cú pháp của MultichannelCodingBoxBandWise()

Cú pháp	Số bit	Ký hiệu
MultichannelCodingBoxBandWise()		
{		
for(pair=0; pair<numPairs;pair++) {		
if (keepTree == 0) {		
channelPairIndex[pair]	nBits NOTE 1)	
}		
else {		
channelPairIndex[pair]=		
lastChannelPairIndex[pair];		
}		
hasMctMask	1	
hasBandwiseAngles	1	
if (hasMctMask hasBandwiseAngles) {		
isShort	1	
numMaskBands;	5	
if (isShort) {		

```

        numMaskBands =
numMaskBands*8
    }
    } else {
        numMaskBands =
MAX_NUM_MC_BANDS;
    }
    if (hasMctMask) {
        for(j=0;j<numMaskBands;j++) {
            msMask[pair][j];
        } else {
            for(j=0;j<numMaskBands;j++) {
                msMask[pair][j] = 1;
            }
        }
    }
    If(indepFlag > 0) {
        delta_code_time = 0;
    } else {
        delta_code_time;
    }
    if (hasBandwiseAngles == 0) {
        hcod_angle[dpcm_alpha[pair][0]];
    }
    else {

```

NOTE 2)

1

1

1..10

vclbf

<pre> for(j=0;j< numMaskBands;j++) { if (msMask[pair][j] ==1) { 1..10 hcod_angle[dpcm_alpha[pair][j]]; vlclbf } } } } } </pre>	
LƯU Ý 1) $nBits = \text{floor}(\log_2(nChannels * (nChannels - 1) / 2 - 1)) + 1$	

Bảng 4 - Cú pháp của MultichannelCodingBoxFullband()

Cú pháp	Số bit	Ký hiệu
<pre> MultichannelCodingBoxFullband() { for(pair=0; pair<numPairs; pair++) { if(bit == 0) { channelPairIndex[pair] } else { numPairs = lastNumPairs; } alpha; } } </pre>	nBits NOTE 1) 8	

LƯU Ý: $nBits = \text{floor}(\log_2(nChannels * (nChannels - 1) / 2 - 1)) + 1$
--

Bảng 5 - Cú pháp của MultichannelCodingFrame()

Cú pháp	Số	Ký hiệu
<pre> MultichannelCodingFrame() { MCCSignalingType keepTree if(keepTree==0) { numPairs } else { numPairs = lastNumPairs; } if(MCCSignalingType == 0) { /* tree of standard stereo boxes */ for(i=0;i<numPairs;i++) { MCCBox[i] = StereoCoreToolInfo(0); } } if(MCCSignalingType == 1) { /* arbitrary mct trees */ MultichannelCodingBoxBandWise(); } if(MCCSignalingType == 2) { /* transmitted trees */ </pre>	2 1 5	

```
}  
if(MCCSignalingType == 3) { /* simple fullband tree */  
    MultichannelCodingBoxFullband();  
}  
}
```

Bảng 6 - Giá trị của usacExtElementType

usacExtElementType	Giá trị
ID_EXT_ELE_FILL	0
ID_EXT_ELE_MPEGS	1
ID_EXT_ELE_SAOC	2
ID_EXT_ELE_AUDIOPREROLL	3
ID_EXT_ELE_UNI_DRC	4
ID_EXT_ELE_OBJ_METADATA	5
ID_EXT_ELE_SAOC_3D	6
ID_EXT_ELE_HOA	7
ID_EXT_ELE_FMT_CNRTR	8
ID_EXT_ELE_MCC	9 hoặc 10
/* được dự trữ cho việc sử dụng ISO */	10-127
/* được dự trữ cho việc sử dụng bên ngoài của phạm vi ISO*/	128 và cao hơn
LUU Ý: Các giá trị usacExtElementType dành riêng cho ứng dụng bắt buộc phải nằm trong không gian giành riêng để sử dụng bên ngoài phạm vi ISO. Các phần này được bộ giải mã bỏ qua vì bộ giải mã yêu cầu cấu trúc tối thiểu để bỏ qua các phần mở rộng này.	

Bảng 7- Giải thích các khối dữ liệu cho giải mã trọng tải mở rộng

usacExtElementType	usacExtElementSegmentData nối chuỗi biểu diễn:
ID_EXT_ELE_FILL	Chuỗi của fill_byte
ID_EXT_ELE_MPEGS	SpatialFrame()

ID_EXT_ELE_SAOC	SaocFrame()
ID_EXT_ELE_AUDIOPREROLL	AudioPreRoll()
ID_EXT_ELE_UNI_DRC	uniDrcGain() như được xác định trong ISO/IEC 23003-4
ID_EXT_ELE_OBJ_METADATA	object_metadata()
ID_EXT_ELE_SAOC_3D	Saoc3DFrame()
ID_EXT_ELE_HOA	HOAFrame()
ID_EXT_ELE_FMT_CNVTR	FormatConverterFrame()
ID_EXT_ELE_MCC	MultichannelCodingFrame()
chưa biết	dữ liệu chưa biết. Khối dữ liệu sẽ bị loại bỏ.

Fig.3 thể hiện sơ đồ khối dạng giản lược của bộ xử lý lặp 102, theo phương án. Theo phương án được thể hiện trên Fig.3, tín hiệu đa kênh 101 là tín hiệu kênh 5.1 có sáu kênh: kênh bên trái L, kênh bên phải R, kênh âm thanh nổi bên trái Ls, kênh âm thanh nổi bên phải Rs, kênh trung tâm C và kênh hiệu ứng tần số thấp LFE.

Như được biểu thị trên Fig.3, kênh LFE không được xử lý bởi bộ xử lý lặp 102. Điều này có thể là trường hợp do các giá trị tương quan liên kênh giữa kênh LFE và mỗi kênh trong số năm kênh L, R, Ls, Rs, và C là nhỏ, hoặc do mặt nạ kênh biểu thị không xử lý kênh LFE, mà được giả định dưới đây.

Trong bước lặp thứ nhất, bộ xử lý lặp 102 tính toán các giá trị tương quan liên kênh giữa mỗi cặp của năm kênh L, R, Ls, Rs, và C, để lựa chọn, trong bước lặp, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng. Trên Fig.3, giả sử rằng kênh bên trái L và kênh bên phải R có giá trị cao nhất, sao cho bộ xử lý lặp 102 xử lý kênh bên trái L và kênh bên phải R sử dụng hộp âm lập thể (hoặc công cụ âm lập thể) 110, mà thực hiện hoạt động xử lý phép toán đa kênh, để suy ra các kênh thứ nhất và thứ hai P1 và P2.

Trong bước lặp thứ hai, bộ xử lý lặp 102 tính toán các giá trị tương quan liên kênh giữa mỗi cặp của năm kênh L, R, Ls, Rs, và C và các kênh được xử lý P1 và P2, để lựa chọn, trong bước lặp thứ hai, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng. Trên Fig.3, giả sử rằng kênh bao quanh bên trái Ls và kênh bao quanh bên phải Rs có giá trị cao nhất, sao cho bộ xử lý lặp 102 xử lý kênh bao quanh bên trái Ls và kênh bao quanh bên phải Rs sử dụng hộp âm lập thể (hoặc công cụ âm lập thể) 112, để suy ra các kênh thứ ba và thứ tư P3 và P4.

Trong bước lặp thứ ba, bộ xử lý lặp 102 tính toán các giá trị tương quan liên kênh giữa mỗi cặp của năm kênh L, R, Ls, Rs, và C và các kênh được xử lý P1 đến P4, để lựa chọn, trong bước lặp thứ ba, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng. Trên Fig.3, giả sử rằng kênh được xử lý thứ nhất P1 và kênh được xử lý thứ ba P3 có giá trị cao nhất, sao cho bộ xử lý lặp 102 xử lý kênh được xử lý thứ nhất P1 và kênh được xử lý thứ ba P3 sử dụng hộp âm lập thể (hoặc công cụ âm lập thể) 114, để suy ra các kênh được xử lý thứ năm và thứ sáu P5 và P6.

Trong bước lặp thứ tư, bộ xử lý lặp 102 tính toán các giá trị tương quan liên kênh giữa mỗi cặp của năm kênh L, R, Ls, Rs, và C và các kênh được xử lý P1 đến P6, để lựa chọn, trong bước lặp thứ tư, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng. Trên Fig.3, giả sử rằng kênh được xử lý thứ năm P5 và kênh trung tâm C có giá trị cao nhất, sao cho bộ xử lý lặp 102 xử lý kênh được xử lý thứ năm P5 và kênh trung tâm C sử dụng hộp âm lập thể (hoặc công cụ âm lập thể) 115, để suy ra các kênh được xử lý thứ bảy và thứ tám P7 và P8.

Các hộp âm lập thể 110 đến 116 có thể là các hộp âm lập thể MS, tức là các hộp âm thanh lập thể giữa/bên được tạo cấu hình để cung cấp kênh giữa và kênh bên. Kênh giữa có thể là tổng của các kênh đầu vào của hộp âm lập thể, trong đó kênh bên có thể là chênh lệch giữa các kênh đầu vào của hộp âm lập thể. Ngoài ra, các hộp âm lập thể 110 và 116 có thể là các hộp quay hoặc các hộp dự báo âm lập thể.

Trên Fig.3, kênh được xử lý thứ nhất P1, kênh được xử lý thứ ba P3 và kênh được xử lý thứ năm P5 có thể là các kênh giữa, trong đó kênh được xử lý thứ hai P2, kênh được xử lý thứ tư P4 và kênh được xử lý thứ sáu P6 có thể là các kênh bên.

Ngoài ra, như được biểu thị trên Fig.3, bộ xử lý lặp 102 có thể được tạo cấu

hình để thực hiện tính toán, lựa chọn và xử lý bước lặp thứ hai và, nếu có thể, trong bất kỳ bước lặp nào khác sử dụng các kênh đầu vào L, R, Ls, Rs và C và (chi) các kênh giữa P1, P3 và P5 của các kênh được xử lý. Nói cách khác, bộ xử lý lặp 102 có thể được tạo cấu hình để không sử dụng kênh bên P1, P3 và P5 của các kênh được xử lý trong việc tính toán, lựa chọn và xử lý trong lặp thứ hai và, nếu có thể, trong bất kỳ bước lặp nào khác.

Fig.4 thể hiện sơ đồ khối dạng giản lược của thiết bị (bộ giải mã) 200 để giải mã tín hiệu đa kênh được mã hóa 107 có các kênh được mã hóa E1 đến E3 và ít nhất các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2. Thiết bị 200 bao gồm bộ giải mã kênh 202 và bộ xử lý đa kênh 204.

Bộ giải mã kênh 202 được tạo cấu hình để giải mã các kênh được mã hóa E1 đến E3 để thu được các kênh được giải mã trong D1 đến D3.

Ví dụ, bộ giải mã kênh 202 có thể bao gồm ít nhất ba bộ giải mã đơn sắc (hoặc các hộp đơn sắc, hoặc các công cụ đơn sắc) 206_1 đến 206_3, trong đó mỗi bộ giải mã trong các bộ giải mã đơn sắc 206_1 đến 206_3 có thể được tạo cấu hình để giải mã một trong số ít nhất ba kênh được mã hóa E1 đến E3, để thu được kênh được giải mã tương ứng từ E1 đến E3. Các bộ giải mã đơn sắc 206_1 đến 206_3 có thể là, ví dụ, các bộ giải mã âm thanh dựa trên biến đổi.

Bộ xử lý đa kênh 204 được tạo cấu hình để thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai MCH_PAR2 và sử dụng các tham số đa kênh thứ hai MCH_PAR2 để thu được các kênh được xử lý, và để thực hiện việc xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất MCH_PAR1 và sử dụng các tham số đa kênh thứ nhất MCH_PAR1, trong đó cặp thứ nhất của các kênh bao gồm ít nhất một kênh được xử lý.

Như được biểu thị trên Fig.4 bằng ví dụ, các tham số đa kênh thứ hai MCH_PAR2 có thể biểu thị (hoặc truyền tín hiệu) rằng cặp thứ hai của các kênh được giải mã gồm có kênh được giải mã thứ nhất D1 và kênh được giải mã thứ hai D2. Do đó, bộ xử lý đa kênh 204 thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã gồm có kênh được giải mã thứ nhất D1 và kênh được giải mã thứ hai D2

(được xác định bằng các tham số đa kênh thứ hai MCH_PAR2) và sử dụng các tham số đa kênh thứ hai MCH_PAR2 để thu các kênh được xử lý P1* và P2*. Các tham số đa kênh thứ nhất MCH_PAR1 có thể biểu thị rằng cặp thứ nhất của các kênh được giải mã gồm có kênh được xử lý thứ nhất P1* và kênh được giải mã thứ ba D3. Do đó, bộ xử lý đa kênh 204 thực hiện xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được giải mã này gồm kênh được xử lý thứ nhất P1* và kênh được giải mã thứ ba D3 (được xác định bởi các tham số đa kênh thứ nhất MCH_PAR1) và sử dụng các tham số đa kênh thứ nhất MCH_PAR1, để thu được các kênh được xử lý P3* và P4*.

Ngoài ra, bộ xử lý đa kênh 203 có thể cung cấp kênh được xử lý thứ ba P3* như kênh thứ nhất CH1, kênh được xử lý thứ tư P4* như kênh thứ ba CH3 và kênh được xử lý thứ hai P2* như kênh thứ hai CH2.

Giả sử rằng bộ giải mã 200 được thể hiện trên Fig.4 nhận tín hiệu đa kênh được mã hóa 107 từ bộ mã hóa 100 được thể hiện trên Fig.1, kênh được giải mã thứ nhất D1 của bộ giải mã 200 có thể tương đương với kênh được xử lý thứ ba P3 của bộ mã hóa 100, trong đó kênh được giải mã thứ hai D2 của bộ giải mã 200 có thể tương đương với kênh được xử lý thứ tư P4 của bộ mã hóa 100, và trong đó kênh được giải mã thứ ba D3 của bộ giải mã 200 có thể tương đương với kênh được xử lý thứ hai P2 của bộ mã hóa 100. Ngoài ra, kênh được xử lý thứ nhất P1* của bộ giải mã 200 có thể tương đương với kênh được xử lý thứ nhất P1 của bộ mã hóa 100.

Ngoài ra, tín hiệu đa kênh được mã hóa 107 có thể là tín hiệu chuỗi, trong đó các tham số đa kênh thứ hai MCH_PAR2 được nhận, tại bộ giải mã 200, trước các tham số đa kênh thứ nhất MCH_PAR1. Trong trường hợp đó, bộ xử lý đa kênh 204 có thể được tạo cấu hình để xử lý các kênh được giải mã theo thứ tự, trong đó các tham số đa kênh MCH_PAR1 và MCH_PAR2 được nhận bởi bộ giải mã. Trong ví dụ được thể hiện trên Fig.4, bộ giải mã nhận các tham số đa kênh thứ hai MCH_PAR2 trước các tham số đa kênh thứ nhất MCH_PAR1, và do đó thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã (gồm kênh được giải mã thứ nhất và thứ hai D1 và D2) được xác định bởi tham số đa kênh thứ hai MCH_PAR2 trước khi thực hiện xử lý đa kênh sử dụng cặp thứ nhất của các kênh được giải mã (gồm kênh được xử lý thứ nhất P1* và kênh được giải mã thứ ba D3) được xác định bởi tham số đa kênh thứ nhất

MCH_PAR1.

Trên Fig.4 bộ xử lý đa kênh 204 thực hiện ví dụ hai hoạt động xử lý đa kênh. Nhằm mục đích minh họa, các hoạt động xử lý đa kênh được thực hiện bởi bộ xử lý đa kênh 204 được minh họa trên Fig.4 bởi các hộp xử lý 208 và 210. Các hộp xử lý 208 và 210 có thể được chạy trong phần cứng hoặc phần mềm. Các hộp xử lý 208 và 210 có thể, ví dụ, là các hộp âm lập thể, như được thảo luận với sự tham chiếu tới bộ mã hóa 100, như các bộ giải mã chung (hoặc các hộp âm lập thể phía bộ giải mã), các bộ giải mã dựa trên sự dự báo (hoặc các hộp âm lập thể phía bộ giải mã) hoặc các bộ giải mã quay dựa trên KLT (hoặc các hộp âm lập thể phía bộ giải mã).

Ví dụ, bộ mã hóa 100 có thể sử dụng các bộ mã hóa quay dựa trên KLT (hoặc các hộp âm lập thể phía bộ mã hóa). Trong trường hợp này, bộ mã hóa 100 có thể suy ra các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2 sao cho các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2 bao gồm các góc quay. Các góc quay có thể được mã hóa vi sai. Do đó, bộ xử lý đa kênh 204 của bộ giải mã 200 có thể bao gồm bộ giải mã vi sai để giải mã vi sai các góc quay được mã hóa vi sai.

Thiết bị 200 có thể còn bao gồm giao diện đầu vào 212 được tạo cấu hình để nhận và xử lý tín hiệu đa kênh được mã hóa 107, để cung cấp các kênh được mã hóa E1 đến E3 đến bộ giải mã kênh 202 và các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2 đến bộ xử lý đa kênh 204.

Như đã được đề cập, bộ chỉ thị giữ (hoặc cờ hiệu cây giữ) có thể được sử dụng để truyền tín hiệu rằng không có cây mới được truyền dẫn, mà cây âm lập thể cuối cùng sẽ được sử dụng. Nó có thể được sử dụng để tránh việc truyền dẫn nhiều lần cấu hình cây âm lập thể tương tự nếu các đặc tính tương quan kênh giữ nguyên trong thời gian dài hơn.

Do đó, khi tín hiệu đa kênh được mã hóa 107 bao gồm, đối với khung thứ nhất, các tham số đa kênh thứ nhất hoặc thứ hai MCH_PAR1 và MCH_PAR2 và, đối với khung thứ hai, tiếp theo khung thứ nhất, bộ chỉ thị giữ, bộ xử lý đa kênh 204 có thể được tạo cấu hình để thực hiện xử lý đa kênh hoặc xử lý đa kênh tiếp theo trong khung thứ hai đến cặp thứ hai tương tự hoặc cặp thứ nhất tương tự của các kênh như được sử

dụng trong khung thứ nhất.

Xử lý đa kênh và xử lý đa kênh tiếp theo có thể bao gồm xử lý đa kênh sử dụng tham số âm lập thể, trong đó đối với các băng thừa số định tỉ lệ riêng lẻ hoặc các nhóm gồm các băng thừa số định tỉ lệ của các kênh được giải mã D1 đến D3, tham số âm lập thể thứ nhất được bao gồm trong tham số đa kênh thứ nhất MCH_PAR1 và tham số âm lập thể thứ hai được bao gồm trong tham số đa kênh thứ hai MCH_PAR2. Bằng cách đó, các tham số âm lập thể thứ nhất và tham số âm lập thể thứ hai có thể là cùng một loại, chẳng hạn như các góc quay hoặc các hệ số dự báo. Đương nhiên, tham số âm lập thể thứ nhất và tham số âm lập thể thứ hai có thể là khác loại. Ví dụ, tham số âm lập thể thứ nhất có thể là góc quay, trong đó tham số âm lập thể thứ hai có thể là hệ số dự báo, hoặc ngược lại.

Ngoài ra, các tham số âm lập thể thứ nhất hoặc thứ hai MCH_PAR1 và MCH_PAR2 có thể bao gồm mặt nạ xử lý biểu thị các băng thừa số định tỉ lệ nào được xử lý đa kênh và các băng thừa số định tỉ lệ nào không được xử lý đa kênh. Bằng cách này, bộ xử lý đa kênh 204 có thể được tạo cấu hình để không thực hiện xử lý đa kênh trong các băng thừa số định tỉ lệ được biểu thị bởi mặt nạ xử lý đa kênh.

Các tham số đa kênh thứ nhất và thứ hai MCH_PAR1 và MCH_PAR2 mỗi tham số có thể gồm có nhận dạng cặp kênh (hoặc chỉ số), trong đó bộ xử lý đa kênh 204 có thể được tạo cấu hình để giải mã các nhận dạng cặp kênh (hoặc các chỉ số) sử dụng quy tắc giải mã được xác định trước hoặc quy tắc giải mã được biểu thị trong tín hiệu đa kênh được mã hóa.

Ví dụ, các cặp kênh có thể được truyền tín hiệu một cách hiệu quả sử dụng chỉ số duy nhất cho mỗi cặp, phụ thuộc vào tổng số lượng các kênh, như được mô tả với sự tham chiếu đến bộ mã hóa 100.

Ngoài ra, quy tắc giải mã có thể là quy tắc giải mã Huffman, trong đó bộ xử lý đa kênh 204 có thể được tạo cấu hình để thực hiện giải mã Huffman của các nhận dạng cặp kênh.

Tín hiệu đa kênh được mã hóa 107 có thể còn bao gồm bộ chỉ thị cho phép xử lý đa kênh chỉ biểu thị nhóm con của các kênh được giải mã, mà cho phép sự xử lý đa

kênh và biểu thị ít nhất một kênh được giải mã mà không cho phép sự xử lý đa kênh. Bằng cách này, bộ xử lý đa kênh 204 có thể được tạo cấu hình để không thực hiện bất kỳ quá trình xử lý đa kênh nào cho ít nhất một kênh được giải mã, mà không cho phép sự xử lý đa kênh như được biểu thị bởi bộ chỉ thị cho phép xử lý đa kênh.

Ví dụ, khi tín hiệu đa kênh là tín hiệu kênh 5.1, bộ chỉ thị cho phép xử lý đa kênh có thể biểu thị rằng việc xử lý đa kênh chỉ được cho phép cho 5 kênh, tức là bên phải R, bên trái L, bao quanh bên phải Rs, bao quanh bên trái Ls và trung tâm C, trong đó xử lý đa kênh không được cho phép đối với kênh LFE.

Đối với xử lý giải mã (giải mã các chỉ số cặp kênh) mã c sau đây có thể được sử dụng. Bằng cách này, đối với tất cả các cặp kênh, số lượng kênh với xử lý KLT hoạt động (nChannels) cũng như số lượng các cặp kênh (numPairs) của khung hiện thời là cần thiết.

```
maxNumPairIdx = nChannels*(nChannels-1)/2 - 1;
numBits = floor(log2(maxNumPairIdx)+1);
pairCounter = 0;

for (chan1=1; chan1 < nChannels; chan1++) {
    for (chan0=0; chan0 < chan1; chan0++) {
        if (pairCounter == pairIdx) {
            channelPair[0] = chan0;
            channelPair[1] = chan1;
            return;
        }
        else
            pairCounter++;
    }
}
```

Để giải mã các hệ số dự báo cho các góc không theo bảng mã c sau đây có thể

được sử dụng.

```

for(pair=0; pair<numPairs; pair++) {
    mctBandsPerWindow = numMaskBands[pair]/windowsPerFrame;
    if(delta_code_time[pair] > 0) {
        lastVal = alpha_prev_fullband[pair];
    } else {
        lastVal = DEFAULT_ALPHA;
    }
    newAlpha = lastVal + dpcm_alpha[pair][0];
    if(newAlpha >= 64) {
        newAlpha -= 64;
    }

    for (band=0; band < numMaskBands; band++){
        /* thiết lập tất cả các góc thành góc toàn băng */
        pairAlpha[pair][band] = newAlpha;
        /* thiết lập các góc trước đó theo mctMask */
        if(mctMask[pair][band] > 0) {
            alpha_prev_frame[pair][band%mctBandsPerWindow] = newAlpha;
        }
        else {
            alpha_prev_frame[pair][band%mctBandsPerWindow] =
DEFAULT_ALPHA;
        }
    }
}

alpha_prev_fullband[pair] = newAlpha;

for(band=bandsPerWindow; band<MAX_NUM_MC_BANDS; band++) {
    alpha_prev_frame[pair][band] = DEFAULT_ALPHA;
}

```



```
}
```

Để giải mã các hệ số dự báo cho các góc KLT không theo bảng mã c sau đây có thể được sử dụng.

```
for(pair=0; pair<numPairs; pair++) {
    mctBandsPerWindow = numMaskBands[pair]/windowsPerFrame;
    for(band=0; band<numMaskBands[pair]; band++) {
        if(delta_code_time[pair] > 0) {
            lastVal = alpha_prev_frame[pair][band%mctBandsPerWindow];
        }
        else {
            if ((band % mctBandsPerWindow) == 0) {
                lastVal = DEFAULT_ALPHA;
            }
        }
        if (msMask[pair][band] > 0 ) {

            newAlpha = lastVal + dpcm_alpha[pair][band];
            if(newAlpha >= 64) {
                newAlpha -= 64;
            }
            pairAlpha[pair][band] = newAlpha;
            alpha_prev_frame[pair][band%mctBandsPerWindow] = newAlpha;
            lastVal = newAlpha;
        }
        else {
            alpha_prev_frame[pair][band%mctBandsPerWindow] =
DEFAULT_ALPHA; /* -45° */
        }
        /* thiết lập lại góc toàn băng */
    }
}
```

```

    alpha_prev_fullband[pair] = DEFAULT_ALPHA;
}

for (band=bandsPerWindow; band<MAX_NUM_MC_BANDS; band++) {

    alpha_prev_frame[pair][band] = DEFAULT_ALPHA;

}
}

```

Để tránh chênh lệch điểm nổi cả các hàm lượng giác trên các nền tảng khác nhau, bảng tra cứu sau chuyển đổi các chỉ số góc một cách trực tiếp thành sin/cos sẽ được sử dụng:

```

tabIndexToSinAlpha[64] = {

-1,000000f,-0,998795f,-0,995185f,-0,989177f,-0,980785f,-0,970031f,-
0,956940f,-0,941544f,

-0,923880f,-0,903989f,-0,881921f,-0,857729f,-0,831470f,-0,803208f,-
0,773010f,-0,740951f,

-0,707107f,-0,671559f,-0,634393f,-0,595699f,-0,555570f,-0,514103f,-
0,471397f,-0,427555f,

-0,382683f,-0,336890f,-0,290285f,-0,242980f,-0,195090f,-0,146730f,-
0,098017f,-0,049068f,

    0,000000f,  0,049068f,  0,098017f,  0,146730f,  0,195090f,  0,242980f,
0,290285f,  0,336890f,

    0,382683f,  0,427555f,  0,471397f,  0,514103f,  0,555570f,  0,595699f,
0,634393f,  0,671559f,

    0,707107f,  0,740951f,  0,773010f,  0,803208f,  0,831470f,  0,857729f,
0,881921f,  0,903989f,

    0,923880f,  0,941544f,  0,956940f,  0,970031f,  0,980785f,  0,989177f,
0,995185f,  0,998795f

};

tabIndexToCosAlpha[64] = {

0,000000f,  0,049068f,  0,098017f,  0,146730f,  0,195090f,  0,242980f,
0,290285f,  0,336890f,

0,382683f,  0,427555f,  0,471397f,  0,514103f,  0,555570f,  0,595699f,

```

```

0,634393f, 0,671559f,
0,707107f, 0,740951f, 0,773010f, 0,803208f, 0,831470f, 0,857729f,
0,881921f, 0,903989f,
0,923880f, 0,941544f, 0,956940f, 0,970031f, 0,980785f, 0,989177f,
0,995185f, 0,998795f,
1,000000f, 0,998795f, 0,995185f, 0,989177f, 0,980785f, 0,970031f,
0,956940f, 0,941544f,
0,923880f, 0,903989f, 0,881921f, 0,857729f, 0,831470f, 0,803208f,
0,773010f, 0,740951f,
0,707107f, 0,671559f, 0,634393f, 0,595699f, 0,555570f, 0,514103f,
0,471397f, 0,427555f,
0,382683f, 0,336890f, 0,290285f, 0,242980f, 0,195090f, 0,146730f,
0,098017f, 0,049068f
};

```

Để giải mã sự mã hóa đa kênh, mã c sau có thể được sử dụng cho phương thức dựa trên phép quay KLT.

```

decode_mct_rotation()
{
    for (pair=0; pair < self->numPairs; pair++) {

        mctBandOffset = 0;

        /* phép quay MCT nghịch đảo */
        for (win = 0, group = 0; group < num_window_groups; group++) {
            for (groupwin = 0; groupwin < window_group_length[group];
                groupwin++, win++) {

                *dmx = spectral_data[ch1][win];

                *res = spectral_data[ch2][win];

            apply_mct_rotation_wrapper(self,dmx,res,&alphaSfb[mctBandOffset],

            &mctMask[mctBandOffset],mctBandsPerWindow, alpha,

```

```

        totalSfb, pair, nSamples);

    }

    mctBandOffset += mctBandsPerWindow;

}

}

}

```

Đối với việc xử lý theo băng, mã c sau đây có thể được sử dụng.

```

apply_mct_rotation_wrapper(self, *dmx, *res, *alphaSfb, *mctMask,
mctBandsPerWindow,

                                alpha, totalSfb, pair, nSamples)

{
    sfb = 0;

    if (self->MCCSignalingType == 0) {
    }

    else if (self->MCCSignalingType == 1) {
        /* apply fullband box */

        if (!self->bHasBandwiseAngles[pair] &&!self->bHasMctMask[pair])
        {

            apply_mct_rotation(dmx, res, alphaSfb[0], nSamples);

        }

        else {

            /* apply bandwise processing */

            for (i = 0; i< mctBandsPerWindow; i++) {

                if (mctMask[i] == 1) {

                    startLine = swb_offset [sfb];

                    stopLine    =    (sfb+2<totalSfb)?    swb_offset    [sfb+2]:
swb_offset [sfb+1];

                    nSamples    = stopLine-startLine;

```

```

        apply_mct_rotation(&dmx[startLine],          &res[startLine],
alphaSfb[i], nSamples);

    }

    sfb += 2;

    /* break condition */
    if (sfb >= totalSfb) {
        ngắt;
    }
}

}

}

else if (self->MCCSignalingType == 2) {
}

else if (self->MCCSignalingType == 3) {
    apply_mct_rotation(dmx, res, alpha, nSamples);
}
}

```

Đối với ứng dụng của phép quay KLT, mã c sau đây có thể được sử dụng.

```

apply_mct_rotation(*dmx, *res, alpha, nSamples)
{
    for (n=0;n<nSamples;n++) {

        L =      dmx[n]      *  tabIndexToCosAlpha  [alphaIdx]  -  res[n]      *
tabIndexToSinAlpha  [alphaIdx];

        R =      dmx[n]      *  tabIndexToSinAlpha  [alphaIdx]  +  res[n]      *
tabIndexToCosAlpha  [alphaIdx];

        dmx[n] = L;

        res[n] = R;

    }
}

```

Fig.5 thể hiện lưu đồ của phương pháp 300 mã hóa tín hiệu đa kênh có ít nhất ba kênh. Phương pháp 300 bao gồm bước 302 tính toán, trong bước lặp thứ nhất, các giá trị tương quan liên kênh giữa mỗi cặp của ít nhất ba kênh, lựa chọn, trong bước lặp thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và xử lý cặp được lựa chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất cho các cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất; bước 304 thực hiện tính toán, lựa chọn và xử lý trong bước lặp thứ hai sử dụng ít nhất một trong các kênh được xử lý để suy ra các tham số đa kênh thứ hai và các kênh được xử lý thứ hai; bước 306 mã hóa các kênh từ sự xử lý sự lặp được thực hiện bởi bộ xử lý lặp để thu các kênh được mã hóa; và bước 308 tạo tín hiệu đa kênh được mã hóa có các kênh được mã hóa và các tham số đa kênh thứ nhất và thứ hai.

Fig.6 thể hiện lưu đồ của phương pháp 400 giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai. Phương pháp 400 bao gồm bước 402 giải mã các kênh được mã hóa để thu các kênh được giải mã; và bước 404 thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai và sử dụng các tham số đa kênh thứ hai để thu được các kênh được xử lý, và thực hiện việc xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất và sử dụng các tham số đa kênh thứ nhất, trong đó cặp thứ nhất gồm các kênh bao gồm ít nhất một kênh được xử lý.

Mặc dù, sáng chế đã được mô tả trong ngữ cảnh của các sơ đồ khối trong đó các khối biểu diễn các thành phần phần cứng thực tế hoặc logic, sáng chế cũng có thể được thực hiện bởi phương pháp được thực hiện bằng máy tính. Trong trường hợp thứ hai, các khối biểu diễn các bước phương pháp tương ứng trong đó các bước này đại diện cho các chức năng được thực hiện bởi các khối phần cứng logic hoặc vật lý tương ứng.

Mặc dù một số khía cạnh đã được mô tả trong phạm vi của thiết bị, rõ ràng rằng các khía cạnh này cũng thể hiện sự mô tả của phương pháp tương ứng, trong đó khối hoặc thiết bị tương ứng với bước phương pháp hoặc dấu hiệu của bước phương pháp. Tương tự, các khía cạnh được mô tả trong ngữ cảnh của bước phương pháp cũng thể hiện sự mô tả của khối hoặc mục hoặc dấu hiệu tương ứng của thiết bị tương ứng. Một

số hoặc tất cả các bước phương pháp có thể được thực hiện bởi (hoặc sử dụng) thiết bị phần cứng, như ví dụ, bộ vi xử lý, máy tính có thể lập trình hoặc mạch điện tử. Trong một số phương án, một số một hoặc nhiều bước phương pháp quan trọng nhất có thể được thực hiện bởi các thiết bị như vậy.

Các tín hiệu được truyền dẫn hoặc được mã hóa theo sáng chế có thể được lưu trữ trên vật ghi lưu trữ số hoặc có thể được truyền trong môi trường truyền dẫn như môi trường truyền không dây hoặc môi trường truyền có dây như Internet.

Phụ thuộc vào các yêu cầu thực hiện nhất định, các phương án của sáng chế có thể được thực hiện trong phần cứng hoặc trong phần mềm. Phương án có thể được thực hiện sử dụng vật ghi lưu trữ số, ví dụ, đĩa mềm, DVD, Blu-ray, CD, ROM, PROM, EPROM, EEPROM hoặc bộ nhớ FLASH, có các tín hiệu điều khiển có thể đọc được bằng điện tử được lưu trữ trên đó, mà kết hợp (hoặc có thể kết hợp) với hệ thống máy tính có thể lập trình sao cho phương pháp tương ứng được thực hiện. Do đó, vật ghi lưu trữ số có thể đọc được bằng máy tính.

Một số phương án theo sáng chế bao gồm vật mang dữ liệu có các tín hiệu điều khiển có thể đọc được bằng điện tử, mà có khả năng kết hợp với hệ thống máy tính có thể lập trình được, sao cho một trong số các phương pháp được mô tả ở đây được thực hiện.

Nói chung, các phương án của sáng chế có thể được thực hiện như sản phẩm chương trình máy tính với mã chương trình, mã chương trình có thể hoạt động để thực hiện một trong số các phương pháp khi sản phẩm chương trình máy tính chạy trên máy tính. Mã chương trình có thể, ví dụ, được lưu trữ trên vật mang có thể đọc được bằng máy.

Các phương án khác bao gồm chương trình máy tính để thực hiện một trong các phương pháp được mô tả ở đây, được lưu trữ trên vật mang có thể đọc được bằng máy.

Nói cách khác, phương án của phương pháp theo sáng chế là, do đó, chương trình máy tính có mã chương trình để thực hiện một trong các phương pháp được mô tả ở đây, khi chương trình máy tính chạy trên máy tính.

Do đó, phương án khác của các phương pháp theo sáng chế là, vật mang dữ liệu

(hoặc vật ghi lưu trữ không tạm thời hoặc vật ghi lưu trữ số, hoặc vật ghi có thể đọc được bằng máy tính) gồm có, đã được ghi lại trên đó, chương trình máy tính để thực hiện một trong số các phương pháp được mô tả ở đây. Vật mang dữ liệu, vật ghi lưu trữ số hoặc vật ghi được ghi lại ở dạng hữu hình điển hình và/hoặc không tạm thời.

Do đó, phương án khác của phương pháp theo sáng chế là dòng dữ liệu hoặc chuỗi các tín hiệu biểu diễn chương trình máy tính để thực hiện một trong số các phương pháp được mô tả ở đây. Ví dụ, dòng dữ liệu hoặc chuỗi các tín hiệu có thể, ví dụ, được tạo cấu hình để được truyền thông qua kết nối truyền thông dữ liệu, ví dụ, thông qua Internet.

Phương án khác gồm có phương tiện xử lý, ví dụ máy tính, hoặc thiết bị logic lập trình được, được tạo cấu hình hoặc được làm thích ứng để thực hiện một trong số các phương pháp được mô tả ở đây.

Phương án khác bao gồm máy tính được cài đặt trên đó chương trình máy tính để thực hiện một trong số các phương pháp được mô tả ở đây.

Phương án khác theo sáng chế gồm có thiết bị hoặc hệ thống được tạo cấu hình để truyền tải (ví dụ, bằng điện tử hoặc quang học) chương trình máy tính để thực hiện một trong số các phương pháp được mô tả ở đây đến bộ nhận. Bộ nhận có thể là, ví dụ, máy tính, thiết bị di động, thiết bị nhớ hoặc tương tự. Thiết bị hoặc hệ thống có thể, ví dụ, bao gồm máy chủ tập tin để truyền tải chương trình máy tính đến bộ nhận.

Theo một số phương án, thiết bị logic lập trình được (ví dụ, mảng cổng lập trình được dạng trường) có thể được sử dụng để thực hiện một số hoặc tất cả các chức năng của các phương pháp được mô tả ở đây. Trong một số phương án, mảng cổng lập trình được dạng trường có thể kết hợp với bộ vi xử lý để thực hiện một trong số các phương pháp được mô tả ở đây. Thông thường, các phương pháp tốt hơn là được thực hiện bởi thiết bị phần cứng bất kỳ.

Các phương án được mô tả ở trên chỉ mang tính minh họa cho các nguyên lý của sáng chế. Cần hiểu rằng các biến thể và biến đổi của các phương án và các chi tiết được mô tả ở đây sẽ là rõ ràng đối với người có trình độ trong lĩnh vực kỹ thuật tương ứng. Do đó, mục đích của sáng chế chỉ bị giới hạn bởi phạm vi của các điểm yêu cầu

bảo hộ sắp đưa ra dưới đây và không bị giới hạn bởi các chi tiết cụ thể được thể hiện bằng cách mô tả và giải thích của các phương án ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị (100) để mã hóa tín hiệu đa kênh (101) có ít nhất ba kênh (CH1:CH3), bao gồm:

bộ xử lý lặp (102) để tính toán, trong bước lặp thứ nhất, các giá trị tương quan liên kênh giữa mỗi cặp của ít nhất ba kênh (CH1:CH3), để lựa chọn, trong bước lặp thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và để xử lý cặp được lựa chọn sử dụng hoạt động xử lý đa kênh (110, 112) để suy ra các tham số đa kênh thứ nhất (MCH_PAR1) cho cặp được lựa chọn và để suy ra cặp thứ nhất của các kênh được xử lý (P1, P2),

trong đó bộ xử lý lặp (102) được tạo cấu hình để thực hiện việc tính toán, lựa chọn và xử lý trong bước lặp thứ hai sử dụng các kênh chưa được xử lý của ít nhất ba kênh (CH1:CH3) và các kênh được xử lý (P1, P2) để suy ra các tham số đa kênh thứ hai (MCH_PAR2) và cặp thứ hai của các kênh được xử lý (P3, P4), trong đó bộ xử lý lặp (102) được tạo cấu hình để không lựa chọn cặp đã được lựa chọn của bước lặp thứ nhất trong bước lặp thứ hai và, nếu có, trong bất kỳ các bước lặp nào khác;

bộ mã hóa kênh để mã hóa các kênh (P2:P4) là kết quả của việc xử lý sự lặp được thực hiện bởi bộ xử lý lặp (104) để thu được các kênh được mã hóa (E1: E3), trong đó số lượng kênh (P2:P4) là kết quả của việc xử lý sự lặp và được cung cấp tới bộ mã hóa kênh bằng với số lượng kênh (CH1:CH3) được đưa vào bộ xử lý lặp (102); và

giao diện đầu ra (106) để tạo tín hiệu đa kênh được mã hóa (107) có các kênh được mã hóa (E1:E3) và các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2);

trong đó các tham số đa kênh thứ nhất (MCH_PAR1) bao gồm sự nhận dạng thứ nhất của kênh trong cặp được lựa chọn cho bước lặp thứ nhất, và trong đó các tham số đa kênh thứ hai (MCH_PAR2) bao gồm sự nhận dạng thứ hai của các kênh trong cặp được lựa chọn của bước lặp thứ hai.

2. Thiết bị (100) theo điểm 1,

trong đó giao diện đầu ra (106) được tạo cấu hình để tạo tín hiệu đa kênh được

mã hóa (107) như dòng bit chuỗi và để các tham số đa kênh thứ hai (MCH_PAR2) nằm trong tín hiệu được mã hóa trước các tham số đa kênh thứ nhất (MCH_PAR1).

3. Thiết bị (100) theo một trong số các điểm 1 hoặc 2,

trong đó bộ xử lý lập (102) được tạo cấu hình để thực hiện xử lý âm lập thể bao gồm ít nhất một trong nhóm bao gồm sự xử lý quay sử dụng sự tính toán góc quay từ cặp được lựa chọn và xử lý dự báo.

4. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lập (102) được tạo cấu hình để tính toán sự tương quan liên kênh sử dụng khung của mỗi kênh bao gồm nhiều băng sao cho giá trị tương quan liên kênh đơn cho nhiều băng được thu, và

trong đó bộ xử lý lập (104) được tạo cấu hình để thực hiện xử lý đa kênh cho mỗi băng trong số nhiều băng sao cho các tham số đa kênh thứ nhất hoặc thứ hai (MCH_PAR1, MCH_PAR2) được thu cho mỗi băng trong số nhiều băng.

5. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lập (102) được tạo cấu hình để suy ra, đối với khung thứ nhất, nhiều chỉ thị cặp được lựa chọn, và trong đó giao diện đầu ra (106) được tạo cấu hình để gồm có, vào tín hiệu đa kênh (107), đối với khung thứ hai, theo sau khung thứ nhất, bộ chỉ thị giữ, biểu thị rằng khung thứ hai có nhiều chỉ thị cặp được lựa chọn giống như khung thứ nhất.

6. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lập (102) được tạo cấu hình để chỉ lựa chọn cặp khi chênh lệch mức của cặp nhỏ hơn ngưỡng, ngưỡng nhỏ hơn 40dB, hoặc 25dB, hoặc 12dB hoặc nhỏ hơn 6dB.

7. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lập (102) được tạo cấu hình để tính toán các giá trị tương quan được chuẩn hóa, và trong đó bộ xử lý lập (102) được tạo cấu hình để lựa chọn cặp, khi giá trị tương quan lớn 0,2 và tốt hơn là 0,3.

8. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lặp (102) được tạo cấu hình để tính toán các tham số âm lập thể trong xử lý đa kênh, và trong đó bộ xử lý lặp (102) được tạo cấu hình để chỉ thực hiện xử lý âm lập thể trong các băng, trong đó tham số âm lập thể lớn hơn ngưỡng được lượng tử hóa bằng không được xác định bởi bộ lượng tử hóa tham số âm lập thể.

9. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lặp (102) được tạo cấu hình để tính toán các góc quay trong xử lý đa kênh, và trong đó bộ xử lý lặp (102) được tạo cấu hình để chỉ thực hiện xử lý quay trong các băng, trong đó góc quay lớn hơn ngưỡng được giải lượng tử hóa bằng không phía bộ giải mã.

10. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lặp (102) được tạo cấu hình để thực hiện các bước lặp cho đến khi đạt được tiêu chuẩn kết thúc sự lặp, trong đó tiêu chuẩn kết thúc sự lặp là số lượng cực đại của các bước lặp bằng hoặc cao hơn tổng số kênh (CH1:CH3) của tín hiệu đa kênh (101) hai lần, hoặc trong đó tiêu chuẩn kết thúc sự lặp là, khi các giá trị tương quan liên kênh không có giá trị lớn hơn ngưỡng.

11. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ xử lý lặp (102) được tạo cấu hình để xử lý, trong bước lặp thứ nhất, cặp được lựa chọn sử dụng sự xử lý đa kênh sao cho các kênh được xử lý (P1, P2) là kênh giữa (P1) và kênh bên (P2); và

trong đó bộ xử lý lặp (102) được tạo cấu hình để thực hiện tính toán, lựa chọn và xử lý trong bước lặp thứ hai chỉ sử dụng kênh giữa (P1) của các kênh được xử lý (P1, P2) như ít nhất một trong số các kênh được xử lý (P1, P2) để suy ra các tham số đa kênh thứ hai (MCH_PAR2) và các kênh được xử lý thứ hai (P3, P4).

12. Thiết bị (100) theo một trong số các điểm nêu trên,

trong đó bộ mã hóa kênh bao gồm các bộ mã hóa kênh (120_1:120_3) để mã hóa các kênh (P2:P4) thu được từ việc xử lý sự lặp, trong đó các bộ mã hóa kênh được tạo cấu hình để mã hóa các kênh (P2:P4) sao cho ít bit được sử dụng hơn để mã hóa kênh có ít năng lượng hơn so với để mã hóa kênh có nhiều năng lượng hơn.

13. Thiết bị theo một trong số các điểm từ điểm 1 đến 12, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

14. Thiết bị (200) để giải mã tín hiệu đa kênh được mã hóa (107) có các kênh được mã hóa (E1:E3) và ít nhất các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2), bao gồm:

bộ giải mã kênh (202) để giải mã các kênh được mã hóa (E1:E3) để thu được các kênh được giải mã (D1:D3); và

bộ xử lý đa kênh (204) để thực hiện xử lý đa kênh sử dụng cặp thứ hai gồm các kênh được giải mã (D1:D3) được xác định bởi các tham số đa kênh thứ hai (MCH_PAR2) và sử dụng các tham số đa kênh thứ hai (MCH_PAR2) để thu được các kênh đã được xử lý (P1*, P2*), và để thực hiện xử lý đa kênh tiếp theo sử dụng cặp kênh thứ nhất (D1:D3, P1*, P2*) được xác định bởi các tham số đa kênh thứ nhất (MCH_PAR1) và sử dụng các tham số đa kênh thứ nhất (MCH_PAR1), trong đó cặp kênh thứ nhất bao gồm ít nhất một kênh đã được xử lý (P1*, P2*), trong đó số lượng các kênh đã được xử lý là kết quả của việc xử lý đa kênh và được xuất ra bởi bộ xử lý đa kênh (204) bằng với số lượng các kênh được giải mã (D1:D3) được đưa vào bộ xử lý đa kênh (204);

trong đó các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2) mỗi tham số gồm có sự nhận dạng cặp kênh, và

trong đó bộ xử lý đa kênh (204) được tạo cấu hình để giải mã các sự nhận dạng cặp kênh sử dụng quy tắc giải mã được xác định trước hoặc quy tắc giải mã được biểu thị trong tín hiệu đa kênh được mã hóa.

15. Thiết bị (200) theo điểm 14, trong đó tín hiệu đa kênh được mã hóa (107) bao gồm, đối với khung thứ nhất, các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2) và, đối với khung thứ hai, theo sau khung thứ nhất, bộ chỉ thị giữ, và

trong đó bộ xử lý đa kênh (204) được tạo cấu hình để thực hiện sự xử lý đa kênh và sự xử lý đa kênh tiếp theo trong khung thứ hai đến cùng cặp thứ hai và cùng cặp thứ nhất gồm các kênh như được sử dụng trong khung thứ nhất.

16. Thiết bị (200) theo một trong số các điểm từ 14 đến 15,

trong đó xử lý đa kênh và xử lý đa kênh tiếp theo bao gồm xử lý âm lập thể sử dụng tham số âm lập thể, trong đó các băng thừa số định tỉ lệ riêng biệt hoặc các nhóm của các băng thừa số định tỉ lệ của các kênh được giải mã (D1:D3), tham số âm lập thể thứ nhất được bao gồm trong tham số đa kênh thứ nhất (MCH_PAR1) và tham số âm lập thể thứ hai được bao gồm trong tham số đa kênh thứ hai (MCH_PAR2).

17. Thiết bị (200) theo một trong số các điểm từ 14 đến 16,

trong đó các tham số đa kênh thứ nhất hoặc thứ hai (MCH_PAR1, MCH_PAR2) bao gồm mặt nạ xử lý đa kênh biểu thị các băng thừa số định tỉ lệ nào được xử lý đa kênh và các băng thừa số định tỉ lệ nào không được xử lý đa kênh, và

trong đó bộ xử lý đa kênh (204) được tạo cấu hình để không thực hiện xử lý đa kênh trong các băng thừa số định tỉ lệ được biểu thị bởi mặt nạ xử lý đa kênh.

18. Thiết bị (200) theo một trong số các điểm từ 14 đến 17, trong đó quy tắc giải mã là quy tắc giải mã Huffman và trong đó bộ xử lý đa kênh (204) được tạo cấu hình để thực hiện giải mã Huffman các sự nhận dạng cặp kênh.

19. Thiết bị (200) theo một trong số các điểm từ 14 đến 18,

trong đó tín hiệu đa kênh được mã hóa (107) bao gồm bộ chỉ thị cho phép xử lý đa kênh biểu thị chỉ nhóm con của các kênh được giải mã, mà cho phép xử lý đa kênh và biểu thị ít nhất một kênh được giải mã mà không cho phép xử lý đa kênh, và

trong đó bộ xử lý đa kênh (204) được tạo cấu hình để không thực hiện bất kỳ sự xử lý đa kênh nào cho ít nhất một kênh được giải mã, mà không cho phép xử lý đa kênh như được biểu thị bởi bộ chỉ thị cho phép xử lý đa kênh.

20. Thiết bị (200) theo một trong số các điểm từ 14 đến 19,

trong đó các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2) bao gồm các tham số âm lập thể, và trong đó các tham số âm lập thể được mã hóa vi sai, và trong đó bộ xử lý đa kênh (204) bao gồm bộ giải mã vi sai để giải mã vi sai các tham số âm lập thể được mã hóa vi sai.

21. Thiết bị theo một trong số các điểm từ 14 đến 20,

trong đó tín hiệu đa kênh được mã hóa (107) là tín hiệu chuỗi, trong đó các tham số đa kênh thứ hai (MCH_PAR2) được nhận, tại bộ giải mã (200), trước các tham số đa kênh thứ nhất (MCH_PAR1), và

trong đó bộ xử lý đa kênh (204) được tạo cấu hình để xử lý các kênh được giải mã (D1:D3) theo thứ tự, trong đó các tham số đa kênh (MCH_PAR1, MCH_PAR2) được nhận bởi bộ giải mã (200).

22. Thiết bị theo một trong số các điểm từ điểm 14 đến 21, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

23. Phương pháp (300) mã hóa tín hiệu đa kênh có ít nhất ba kênh, bao gồm:

tính toán (302), trong bước lặp thứ nhất, các giá trị tương quan liên kênh giữa mỗi cặp của ít nhất ba kênh, lựa chọn, trong bước lặp thứ nhất, cặp có giá trị cao nhất hoặc có giá trị trên ngưỡng, và xử lý cặp đã được lựa chọn sử dụng hoạt động xử lý đa kênh để suy ra các tham số đa kênh thứ nhất cho cặp được lựa chọn và để suy ra các kênh được xử lý thứ nhất,

thực hiện (304) tính toán, lựa chọn và xử lý trong bước lặp thứ hai sử dụng các kênh chưa được xử lý của ít nhất ba kênh (CH1:CH3) và các kênh đã được xử lý để suy ra các tham số đa kênh thứ hai và các kênh đã được xử lý thứ hai, trong đó bộ xử lý lặp (102) được tạo cấu hình để không lựa chọn cặp đã được lựa chọn của bước lặp thứ nhất trong bước lặp thứ hai và, nếu có, trong bất kỳ các bước lặp tiếp theo;

mã hóa (306) các kênh là kết quả của việc xử lý sự lặp được thực hiện bởi bộ xử lý lặp để thu các kênh được mã hóa, trong đó số lượng các kênh là kết quả của việc xử lý sự lặp bằng với số lượng các kênh mà sự xử lý sự lặp được thực hiện; và

tạo (308) tín hiệu đa kênh được mã hóa có các kênh được mã hóa và các tham số đa kênh thứ nhất và thứ hai;

trong đó các tham số đa kênh thứ nhất (MCH_PAR1) bao gồm sự nhận dạng thứ nhất của kênh trong cặp được lựa chọn cho bước lặp thứ nhất, và trong đó các tham số đa kênh thứ hai (MCH_PAR2) bao gồm sự nhận dạng thứ hai của các kênh trong cặp được lựa chọn của bước lặp thứ hai.

24. Phương pháp theo điểm 23, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

25. Phương pháp (400) giải mã tín hiệu đa kênh được mã hóa có các kênh được mã hóa và ít nhất các tham số đa kênh thứ nhất và thứ hai, bao gồm:

giải mã (402) các kênh được mã hóa để thu các kênh được giải mã; và

thực hiện (404) xử lý đa kênh sử dụng cặp thứ hai gồm các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai và sử dụng các tham số đa kênh thứ hai để thu các kênh được xử lý, và thực hiện sự xử lý đa kênh tiếp theo bằng cách sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất và sử dụng các tham số đa kênh thứ nhất, trong đó cặp thứ nhất của các kênh bao gồm ít nhất một kênh được xử lý, trong đó số lượng các kênh được xử lý là kết quả của việc xử lý đa kênh bằng với số lượng các kênh được giải mã mà việc xử lý đa kênh được thực hiện, trong đó các tham số đa kênh thứ nhất và thứ hai (MCH_PAR1, MCH_PAR2) mỗi tham số gồm có sự nhận dạng cặp kênh, trong đó các sự nhận dạng cặp kênh được giải mã sử dụng quy tắc giải mã được định trước hoặc quy tắc giải mã được biểu thị trong tín hiệu đa kênh được mã hóa.

26. Phương pháp theo điểm 25, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

27. Vật ghi có thể đọc được bằng máy tính bao gồm chương trình máy tính để thực hiện, khi chạy trên máy tính hoặc bộ xử lý, phương pháp mã hóa tín hiệu đa kênh theo điểm 23.

28. Vật ghi có thể đọc được bằng máy tính theo điểm 27, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

29. Vật ghi có thể đọc được bằng máy tính bao gồm chương trình máy tính để thực hiện, khi chạy trên máy tính hoặc bộ xử lý, phương pháp giải mã tín hiệu đa kênh được mã hóa theo điểm 25.

30. Vật ghi có thể đọc được bằng máy tính theo điểm 29, trong đó xử lý đa kênh có nghĩa là xử lý âm lập thể kết hợp hoặc xử lý kết hợp nhiều hơn hai kênh, và trong đó tín hiệu đa kênh có hai kênh hoặc nhiều hơn hai kênh.

100

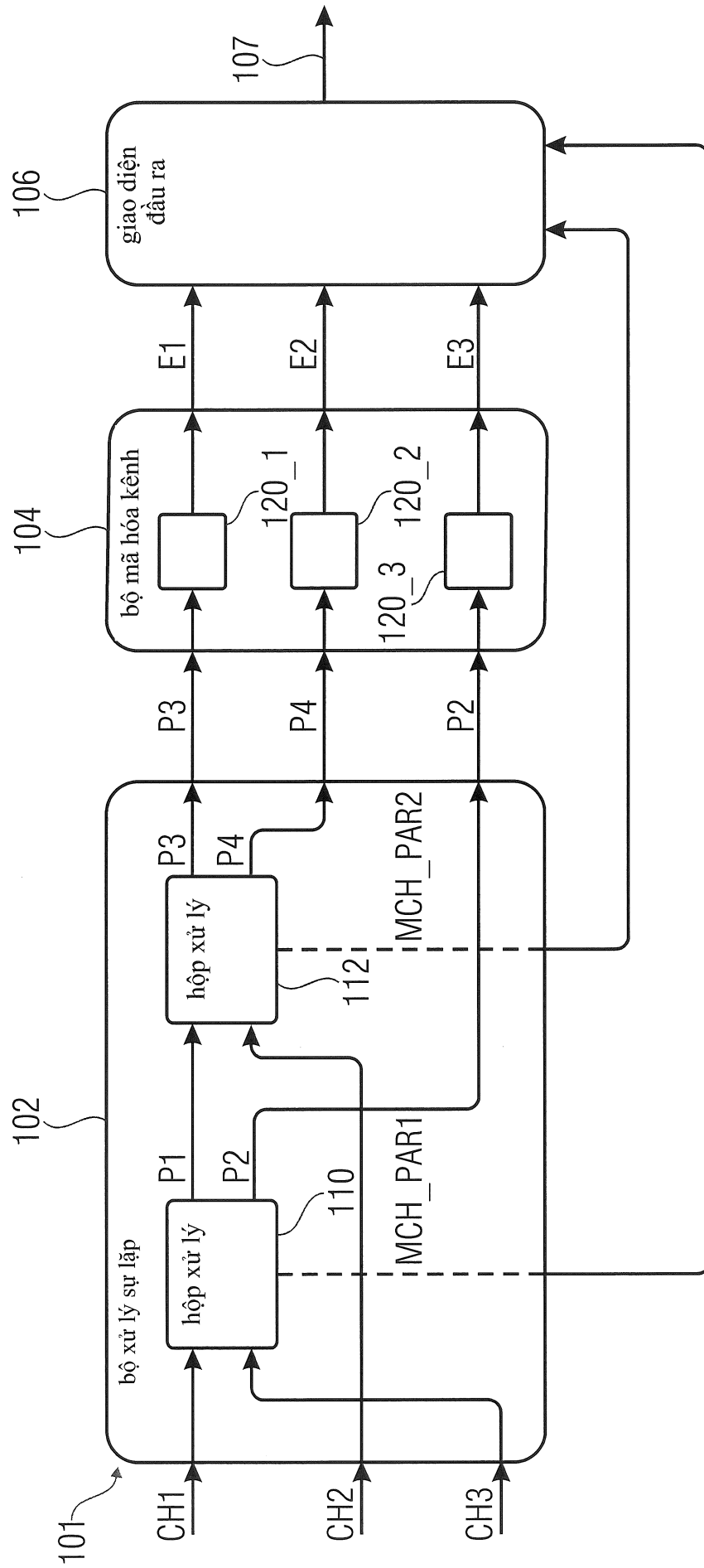


FIG 1

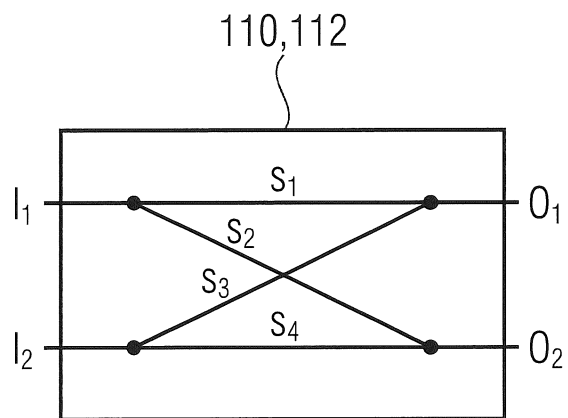


FIG 2

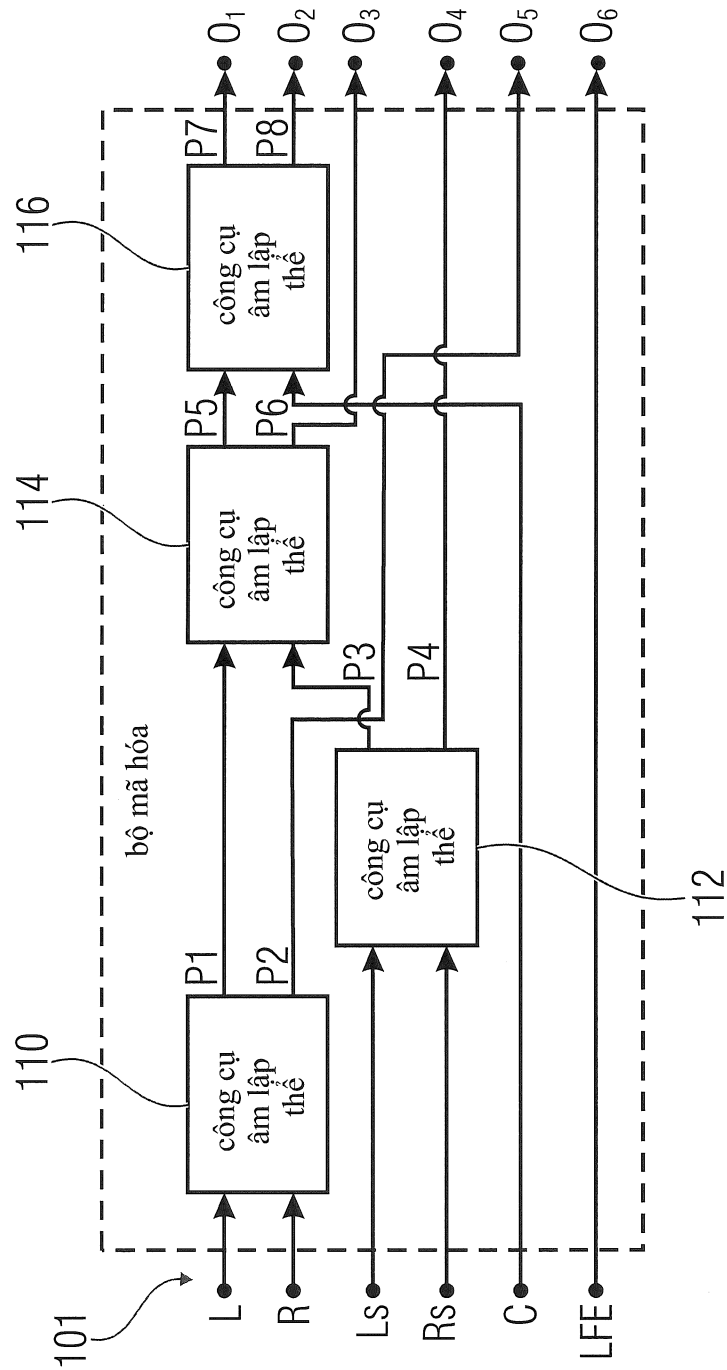


FIG 3

200

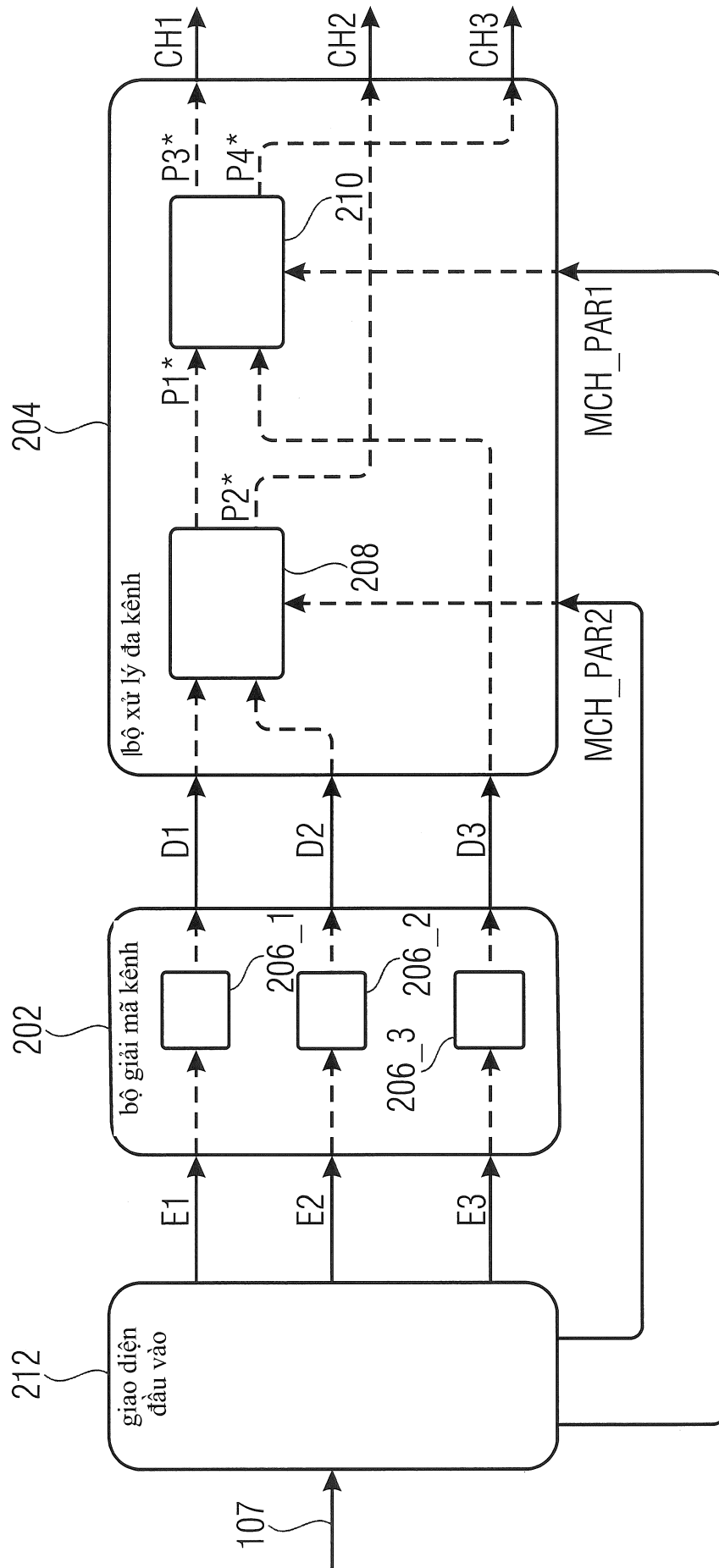


FIG 4

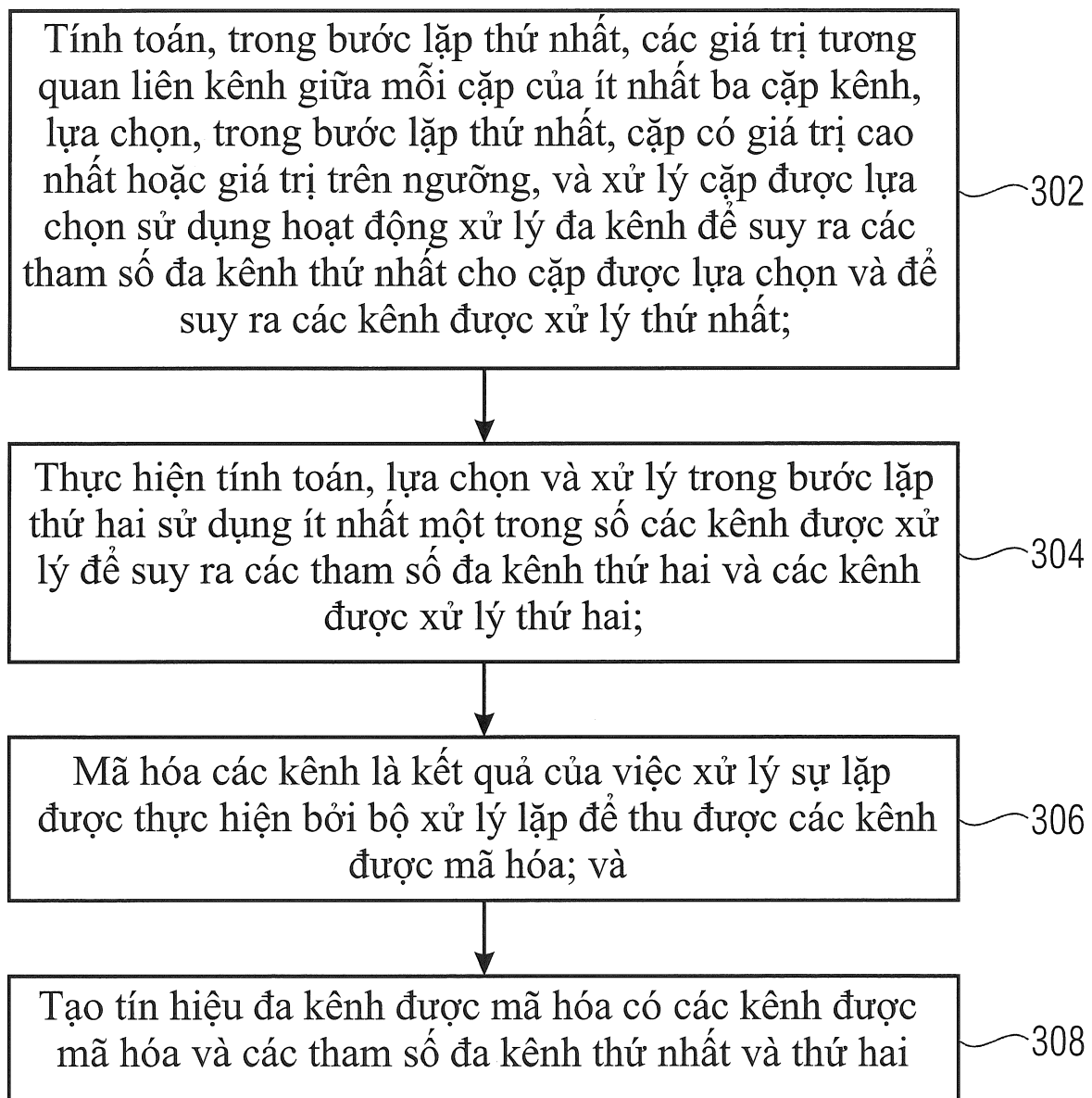
300

FIG 5

400

Giải mã các kênh được mã hóa để thu được các kênh được giải mã; và

402

Thực hiện xử lý đa kênh sử dụng cặp thứ hai của các kênh được giải mã được xác định bởi các tham số đa kênh thứ hai và sử dụng các tham số đa kênh thứ hai để thu được các kênh được xử lý, và thực hiện xử lý đa kênh tiếp theo sử dụng cặp thứ nhất của các kênh được xác định bởi các tham số đa kênh thứ nhất và sử dụng các tham số đa kênh thứ nhất, trong đó cặp thứ nhất của các kênh bao gồm ít nhất một kênh được xử lý

404

FIG 6