



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0031064

(51)⁸ G06F 3/06

(13) B

(21) 1-2017-04673

(22) 03/02/2016

(86) PCT/CN2016/073304 03/02/2016

(87) WO 2016/169318 27/10/2016

(30) 201510198452.X 23/04/2015 CN

(45) 25/02/2022 407

(43) 26/02/2018 359A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

Huawei Administration Building, Bantian, Longgang District Shenzhen, Guangdong
518129, China

(72) CUI, Zehan (CN); CHEN, Mingyu (CN); LIU, Yao (CN); RUAN, Yuan (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) PHƯƠNG PHÁP TRUY CẬP BỘ NHỚ MỞ RỘNG VÀ HỆ THỐNG BỘ NHỚ MỞ RỘNG

(57) Sáng chế đề cập đến phương pháp truy cập bộ nhớ mở rộng, thiết bị và hệ thống. Phương pháp này bao gồm các bước: thu $N+1$ yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập trong tất cả các yêu cầu truy cập bộ nhớ là khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên; khi yêu cầu truy cập bộ nhớ thứ nhất được thu, gửi yêu cầu đọc đến bộ nhớ mở rộng, và phản hồi thông báo đáp lại riêng đến hệ thống xử lý; trong quy trình đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng, mỗi lần yêu cầu truy cập bộ nhớ được thu, phản hồi thông báo đáp lại riêng đến hệ thống xử lý trong độ trễ quy định trong giao thức bus bộ nhớ cho đến khi dữ liệu cần được truy cập được ghi vào trong bộ đệm dữ liệu; và tiếp theo phản hồi dữ liệu cần được truy cập đến hệ thống xử lý.

Bộ điều khiển bộ nhớ mở rộng thu yêu cầu truy cập bộ nhớ N+1 được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập có trong tất cả các yêu cầu truy cập bộ nhớ khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$ và N là số nguyên

710

Khi thu yêu cầu truy cập bộ nhớ thứ nhất của yêu cầu truy cập bộ nhớ N+1, bộ điều khiển bộ nhớ mở rộng xác định địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, gửi yêu cầu đọc đến bộ nhớ mở rộng và phản hồi thông báo phản hồi cụ thể đến hệ thống xử lý, trong đó yêu cầu đọc mang địa chỉ vật lý

730

Trước khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng, mỗi lần yêu cầu truy cập bộ nhớ khác sau khi yêu cầu truy cập bộ nhớ thứ nhất của yêu cầu truy cập bộ nhớ N+1 được thu, bộ điều khiển bộ nhớ mở rộng phản hồi thông báo phản hồi cụ thể đến hệ thống xử lý trong độ trễ truy cập được xác định trong giao thức bus bộ nhớ

750

Bộ điều khiển bộ nhớ mở rộng ghi dữ liệu cần được truy cập vào trong bộ đệm dữ liệu sau khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng và dừng phản hồi thông báo đáp ứng cụ thể đến hệ thống xử lý

770

Khi thu yêu cầu truy cập bộ nhớ khác của yêu cầu truy cập bộ nhớ N+1, bộ điều khiển bộ nhớ mở rộng đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu và phản hồi dữ liệu cần được truy cập đến bộ xử lý

790

Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến lĩnh vực máy tính và cụ thể là đến phương pháp truy cập bộ nhớ mở rộng, thiết bị và hệ thống.

Tình trạng kỹ thuật của sáng chế

Việc ứng dụng dữ liệu lớn (Big Data) có yêu cầu cao hơn về dung lượng xử lý của máy tính. Bộ chỉ báo quan trọng cải thiện dung lượng xử lý của máy tính là sự cải thiện về dung lượng của bộ nhớ. Trong tình huống ứng dụng, vì mức độ tích hợp bị giới hạn của chip bộ nhớ hiện có, nhiều chip bộ nhớ được kết nối bằng cách sử dụng chip mở rộng, để mở rộng dung lượng của bộ nhớ. Trong tình huống ứng dụng khác, chip gia tốc ứng dụng được bổ sung vào nhiều hệ thống máy tính để thực hiện việc xử lý gia tốc trên các một số ứng dụng cụ thể. Ví dụ, bộ xử lý đồ họa (Graphic Processing Unit-GPU) thường được dùng để gia tốc trong quá trình xử lý dữ liệu đồ họa và dữ liệu ảnh. Nói chung, chip gia tốc ứng dụng như vậy có thể được thực hiện bằng cách sử dụng mạch tích hợp chuyên dụng (Application Specific-Integrated Circuit-ASIC) hoặc mảng cổng lập trình dạng trường (Field Programmable Gate Array-FPGA).

Hai tình huống ứng dụng nêu trên có thể được mô tả có dựa vào Fig.1. Hệ thống xử lý (Processor) 101, bộ nhớ hệ thống 102, chip mở rộng của bộ nhớ 103, và bộ nhớ mở rộng 104 được thể hiện trên Fig.1 và bộ điều khiển nhớ 1011 được tích hợp vào trong hệ thống xử lý 101. Bộ nhớ hệ thống 102 được kết nối với hệ thống xử lý 101 bằng cách sử dụng bus bộ nhớ, bộ nhớ mở rộng 104 được kết nối với chip mở rộng của bộ nhớ 103 bằng cách sử dụng bus bộ nhớ, và hệ thống xử lý 101 có thể được kết nối

với chip mở rộng của bộ nhớ 103 thông qua bộ điều khiển nhớ 1011 theo nhiều cách.

Trong giải pháp kỹ thuật hiện có thứ nhất, cách thực hiện là sử dụng bus I/O để kết nối hệ thống xử lý 101 và chip mở rộng của bộ nhớ 103. Bus I/O được sử dụng chung bao gồm tương kết nhanh thành phần ngoại vi (Peripheral Component Interconnect Express-PCI-E) bus, tương kết đường dẫn nhanh (Quick Path Interconnect-Intel QPI) bus, hoặc AMD HT (HyperTransport) bus. Bằng cách sử dụng bus I/O, có độ trễ tương đối cao và cần phải có thiết kế đường truyền bằng ống tinh lọc đối với chip mở rộng của bộ nhớ 103, để bù độ trễ truy cập dữ liệu.

Theo giải pháp kỹ thuật hiện có thứ hai, cách thực hiện là sử dụng bus bộ nhớ để kết nối hệ thống xử lý 101 và chip mở rộng của bộ nhớ 103. Việc sử dụng bus bộ nhớ cho phép chip mở rộng của bộ nhớ 103 và hệ thống xử lý 101 chia sẻ một cách trực tiếp bộ nhớ mở rộng 104, sao cho độ trễ truy cập bộ nhớ tương đối nhỏ.

Phương tiện kỹ thuật của giải pháp kỹ thuật hiện có thứ ba có các vấn đề sau: Vì có chip mở rộng của bộ nhớ 103 giữa hệ thống xử lý 101 và bộ nhớ mở rộng 104, sau khi hệ thống xử lý 101 gửi yêu cầu truy cập bộ nhớ để truy cập dữ liệu trong bộ nhớ mở rộng 104, khi bộ điều khiển nhớ 1011 đã được tích hợp thu yêu cầu truy cập bộ nhớ và truy cập bộ nhớ mở rộng 104 bằng cách sử dụng giao thức tốc độ dữ liệu kép (Double Data Rate-DDR), độ trễ thêm do sự tồn tại của chip mở rộng của bộ nhớ 103 gây ra. Do đó, kết quả xử lý của yêu cầu truy cập bộ nhớ không thể được phản hồi trong độ trễ được đòi hỏi bởi giao thức DDR và khả năng truy cập bộ nhớ mở rộng 104 bởi hệ thống máy tính nêu trên bị ảnh hưởng.

Để giải quyết vấn đề về độ trễ nêu trên, trong giải pháp kỹ thuật đã biết, một cách sửa đổi tham số trình tự theo thời gian của bộ điều khiển nhớ được sử dụng, tức là, tham số trình tự theo thời gian của bộ điều khiển nhớ được tích hợp vào trong bộ xử lý được sửa đổi, sao cho tham

số trình tự theo thời gian của bộ xử lý lớn hơn so với độ trễ truy cập bộ nhớ thực. Tuy nhiên, vì bộ xử lý trợ giúp khoảng thiết lập giới hạn của tham số trình tự theo thời gian tối đa, sẽ khó bù độ trễ truy cập thêm trong quy trình truy cập bộ nhớ mở rộng.

Bản chất kỹ thuật của sáng chế

Vì có vấn đề nêu trên, theo các phương án sáng chế đề xuất phương pháp truy cập bộ nhớ mở rộng, thiết bị và hệ thống, để giải quyết một cách có hiệu quả vấn đề mà độ trễ trong quy trình truy cập bộ nhớ mở rộng không thể được bù.

Theo khía cạnh thứ nhất theo các phương án, sáng chế đề xuất phương pháp truy cập bộ nhớ mở rộng bởi máy tính, trong đó hệ thống xử lý trong máy tính được kết nối với hệ thống nhớ mở rộng bằng cách sử dụng bus bộ nhớ, hệ thống nhớ mở rộng bao gồm bộ điều khiển nhớ mở rộng và bộ nhớ mở rộng, và khi hệ thống xử lý trong máy tính cần phải truy cập dữ liệu cần được truy cập được lưu trữ trong bộ nhớ mở rộng, trong đó phương pháp này bao gồm các bước:

thu, bởi bộ điều khiển nhớ mở rộng, $N+1$ yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập có trong tất cả các yêu cầu truy cập bộ nhớ là khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên;

xác định, bởi bộ điều khiển nhớ mở rộng khi thu yêu cầu truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ, địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, gửi, đến bộ nhớ mở rộng, yêu cầu đọc để thu dữ liệu cần được truy cập, và phản hồi thông báo đáp lại riêng đến hệ thống xử lý, trong đó yêu cầu đọc bao gồm địa chỉ vật lý;

trước khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ

mở rộng, mỗi lần yêu cầu truy cập bộ nhớ khác sau khi yêu cầu truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ được thu, phản hồi, bởi bộ điều khiển nhớ mở rộng, thông báo đáp lại riêng đến hệ thống xử lý trong độ trễ truy cập quy định trong giao thức bus bộ nhớ;

ghi, bởi bộ điều khiển nhớ mở rộng sau khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng, dữ liệu cần được truy cập vào trong bộ đệm dữ liệu, và dùng phản hồi thông báo đáp lại riêng đến hệ thống xử lý; và

đọc, bởi bộ điều khiển nhớ mở rộng khi thu yêu cầu truy cập bộ nhớ khác của $N+1$ yêu cầu truy cập bộ nhớ, dữ liệu cần được truy cập từ bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý.

Theo khía cạnh thứ nhất, theo cách có thể thực hiện thứ nhất, địa chỉ truy cập trong tất cả $N+1$ yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau.

Theo khía cạnh thứ nhất và cách có thể thực hiện thứ nhất của khía cạnh thứ nhất, theo cách có thể thực hiện thứ hai, phương pháp còn bao gồm bước thiết lập trước, bởi bộ điều khiển nhớ mở rộng, mối quan hệ lập bản đồ giữa địa chỉ truy cập có trong tất cả $N+1$ yêu cầu truy cập bộ nhớ và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng; và bước xác định, bởi bộ điều khiển nhớ mở rộng, địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất là bước truy vấn, bởi bộ điều khiển nhớ mở rộng, mối quan hệ lập bản đồ theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, để thu địa chỉ vật lý.

Theo cách có thể thực hiện thứ hai của khía cạnh thứ nhất, theo cách có thể thực hiện thứ ba, sau khi xác định, bởi bộ điều khiển nhớ mở rộng, địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, phương pháp còn bao gồm bước: tạo ra, bởi bộ điều khiển nhớ mở rộng, bản ghi trong bộ đệm dữ liệu, trong đó bản ghi bao gồm trường

nhân và trường dữ liệu, và thiết lập trường nhân thành địa chỉ vật lý.

Theo cách có thể thực hiện thứ ba của khía cạnh thứ nhất, theo cách có thể thực hiện thứ tư, bản ghi còn bao gồm trường hiệu lực, và phương pháp còn bao gồm bước thiết lập, bởi bộ điều khiển nhớ mở rộng, trường hiệu lực thành không có hiệu lực.

Theo cách có thể thực hiện thứ tư của khía cạnh thứ nhất, theo cách có thể thực hiện thứ năm, mỗi lần yêu cầu truy cập bộ nhớ khác sau khi yêu cầu truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ được thu, phương pháp còn bao gồm bước: truy vấn, bởi bộ điều khiển nhớ mở rộng, mỗi quan hệ lập bản đồ theo địa chỉ truy cập mang trong tất cả các yêu cầu truy cập bộ nhớ, để thu địa chỉ vật lý; và truy vấn bản ghi trong bộ đệm dữ liệu theo địa chỉ vật lý, và khi xác định rằng trường hiệu lực trong bản ghi không có hiệu lực, tạo ra thông báo đáp lại riêng.

Theo cách có thể thực hiện thứ tư của khía cạnh thứ nhất, theo cách có thể thực hiện thứ sáu, bước ghi, bởi bộ điều khiển nhớ mở rộng sau khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng, dữ liệu cần được truy cập vào trong bộ đệm dữ liệu là bước: tìm kiếm, bởi bộ điều khiển nhớ mở rộng, bộ đệm dữ liệu đối với bản ghi tương ứng với địa chỉ vật lý, thiết lập trường dữ liệu trong bản ghi thành dữ liệu cần được truy cập, và thiết lập trường hiệu lực thành có giá trị.

Theo khía cạnh thứ hai theo các phương án, sáng chế đề xuất phương pháp truy cập bộ nhớ mở rộng, trong đó hệ thống xử lý trong máy tính được kết nối với hệ thống nhớ mở rộng bằng cách sử dụng bus bộ nhớ, hệ thống nhớ mở rộng này bao gồm bộ điều khiển nhớ mở rộng và bộ nhớ mở rộng, và khi hệ thống xử lý trong máy tính cần phải truy cập dữ liệu cần được truy cập được lưu trữ trong bộ nhớ mở rộng, phương pháp bao gồm các bước:

thu, bởi hệ thống xử lý, địa chỉ lưu trữ của dữ liệu cần được truy cập;
tạo ra, bởi hệ thống xử lý, $N+1$ yêu cầu truy cập bộ nhớ theo địa chỉ

lưu trữ của dữ liệu cần được truy cập, trong đó địa chỉ truy cập có trong $N+1$ yêu cầu truy cập bộ nhớ khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên; và

gửi, bởi hệ thống xử lý, $N+1$ yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ mở rộng.

Theo khía cạnh thứ hai, theo cách có thể thực hiện thứ nhất, trước khi tạo ra, bởi hệ thống xử lý, $N+1$ yêu cầu truy cập bộ nhớ theo địa chỉ lưu trữ của dữ liệu cần được truy cập, phương pháp còn bao gồm bước:

xác định trị số N theo tham số trễ để thu dữ liệu từ bộ nhớ mở rộng bởi máy tính, trong đó tham số trễ để thu dữ liệu từ bộ nhớ mở rộng bởi máy tính bao gồm tham số bất kỳ hoặc tổ hợp bất kỳ của các tham số sau: độ trễ t_{PD1} truyền yêu cầu truy cập bộ nhớ từ bộ điều khiển nhớ mở rộng đến bộ nhớ mở rộng, độ trễ t_{PD2} truyền dữ liệu, mà được đọc bởi yêu cầu truy cập bộ nhớ, từ bộ nhớ mở rộng đến bộ điều khiển nhớ mở rộng, hoặc khoảng thời gian $T_Interval$ giữa hai yêu cầu truy cập bộ nhớ liên tiếp được gửi bởi hệ thống xử lý.

Theo cách có thể thực hiện thứ nhất của khía cạnh thứ hai, theo cách có thể thực hiện thứ hai, bước xác định trị số N theo tham số trễ để thu dữ liệu từ bộ nhớ mở rộng bởi máy tính là bước xác định trị số N , trong đó $N \geq [(t_{PD1} + t_{PD2}) / T_Interval]$, và $[*]$ là hàm làm tròn.

Theo cách có thể thực hiện thứ nhất và cách có thể thực hiện thứ hai mà là của khía cạnh thứ hai, theo cách có thể thực hiện thứ ba, khoảng thời gian $T_Interval$ giữa hai yêu cầu truy cập bộ nhớ liên tiếp là $t_{GAP_min} = t_{RCD} + t_{RTP} + t_{RP}$ hoặc T_Fence (tức là, độ trễ để thực hiện hướng dẫn Fence bởi bộ xử lý).

Theo khía cạnh thứ hai, cách có thể thực hiện thứ nhất của khía cạnh thứ hai, cách có thể thực hiện thứ hai của khía cạnh thứ hai, và cách có thể thực hiện thứ ba của khía cạnh thứ hai, theo cách có thể thực hiện thứ

tự, bước tạo ra, bởi hệ thống xử lý, $N+1$ yêu cầu truy cập bộ nhớ theo địa chỉ lưu trữ của dữ liệu cần được truy cập là bước:

thực hiện quá trình chuyển đổi địa chỉ ảo sang địa chỉ vật lý theo địa chỉ lưu trữ $Addr_Virtual$ của dữ liệu cần được truy cập, trong đó địa chỉ lưu trữ của dữ liệu cần được truy cập là địa chỉ ảo, để thu địa chỉ vật lý $Addr_Physical$ tương ứng với địa chỉ ảo $Addr_Virtual$;

tạo ra N địa chỉ truy cập $Addr_Physical(n)$ theo địa chỉ vật lý $Addr_Physical$, trong đó n là số nguyên và $1 \leq n \leq N$, và địa chỉ hàng của N địa chỉ truy cập là $Addr_Physical_Row(n) = n * M + Addr_Physical_Row$, trong đó n là số nguyên và $1 \leq n \leq N$, M là số lượng hàng bộ nhớ có trong bộ nhớ mở rộng, và $Addr_Physical_Row$ là địa chỉ hàng của địa chỉ vật lý $Addr_Physical$; và địa chỉ khác với địa chỉ hàng của mỗi N địa chỉ vật lý giống như địa chỉ khác với địa chỉ hàng của địa chỉ vật lý $Addr_Physical$; và

tạo ra, bởi hệ thống xử lý, $N+1$ yêu cầu truy cập bộ nhớ theo $Addr_Physical$ và $Addr_Physical(n)$, trong đó n là số nguyên và $1 \leq n \leq N$.

Theo khía cạnh thứ ba, sáng chế đề xuất bộ điều khiển nhớ mở rộng trong máy tính, được áp dụng để truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng bởi hệ thống xử lý trong máy tính, trong đó hệ thống xử lý trong máy tính được kết nối với hệ thống nhớ mở rộng bằng cách sử dụng bus bộ nhớ, hệ thống nhớ mở rộng bao gồm bộ điều khiển nhớ mở rộng và bộ nhớ mở rộng, và bộ điều khiển nhớ mở rộng bao gồm:

môđun thu, được tạo cấu hình để thu $N+1$ yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập có trong tất cả các yêu cầu truy cập bộ nhớ là khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên;

môđun thực hiện, được tạo cấu hình để: xác định địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất khi yêu cầu

truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ được thu, trong đó địa chỉ vật lý là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, tạo ra yêu cầu đọc để thu dữ liệu cần được truy cập, và phản hồi thông báo đáp lại riêng đến hệ thống xử lý, trong đó yêu cầu đọc bao gồm địa chỉ vật lý; trước khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu, mỗi lần yêu cầu truy cập bộ nhớ của $N+1$ yêu cầu truy cập bộ nhớ được thu, tạo ra thông báo đáp lại riêng trong độ trễ truy cập quy định trong giao thức bus bộ nhớ; ghi dữ liệu cần được truy cập vào trong bộ đệm dữ liệu sau khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu; và đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu khi yêu cầu truy cập bộ nhớ khác của $N+1$ yêu cầu truy cập bộ nhớ được thu và gửi dữ liệu cần được truy cập đến môđun gửi; và

môđun gửi, được tạo cấu hình để: gửi yêu cầu đọc đến bộ nhớ mở rộng; trước khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu, mỗi lần yêu cầu truy cập bộ nhớ của $N+1$ yêu cầu truy cập bộ nhớ được thu, phản hồi thông báo đáp lại riêng đến hệ thống xử lý trong độ trễ truy cập quy định trong giao thức bus bộ nhớ; và thu dữ liệu cần được truy cập từ môđun thực hiện, và gửi dữ liệu cần được truy cập đến hệ thống xử lý.

Theo khía cạnh thứ ba, theo cách có thể thực hiện thứ nhất, địa chỉ truy cập trong tất cả $N+1$ yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau.

Theo khía cạnh thứ ba và cách có thể thực hiện thứ nhất của khía cạnh thứ ba, theo cách có thể thực hiện thứ hai, môđun thực hiện còn được tạo cấu hình để: thiết lập trước mỗi quan hệ lập bản đồ giữa địa chỉ truy cập có trong tất cả $N+1$ yêu cầu truy cập bộ nhớ và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng; và truy vấn, theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, mỗi quan hệ lập bản đồ

giữa địa chỉ truy cập có trong yêu cầu truy cập bộ nhớ thứ nhất và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng, để thu địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng.

Theo cách có thể thực hiện thứ hai của khía cạnh thứ ba, theo cách có thể thực hiện thứ ba, môđun thực hiện còn được tạo cấu hình để: tạo ra bản ghi trong bộ đệm dữ liệu sau khi địa chỉ vật lý được xác định theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, trong đó bản ghi bao gồm trường nhãn và trường dữ liệu, và thiết lập trường nhãn thành địa chỉ vật lý.

Theo cách có thể thực hiện thứ ba của khía cạnh thứ ba, theo cách có thể thực hiện thứ tư, bản ghi còn bao gồm trường hiệu lực, và môđun thực hiện còn được tạo cấu hình để thiết lập trường hiệu lực trong bản ghi thành không có hiệu lực.

Theo cách có thể thực hiện thứ tư của khía cạnh thứ ba, theo cách có thể thực hiện thứ năm, môđun thực hiện còn được tạo cấu hình để: mỗi lần yêu cầu truy cập bộ nhớ được thu, truy vấn mối quan hệ lập bản đồ theo địa chỉ truy cập mang trong tất cả các yêu cầu truy cập bộ nhớ, để thu địa chỉ vật lý; và truy vấn bản ghi trong bộ đệm dữ liệu theo địa chỉ vật lý, và tạo ra thông báo đáp lại riêng khi xác định được rằng trường hiệu lực trong bản ghi là không có hiệu lực.

Theo cách có thể thực hiện thứ tư của khía cạnh thứ ba, theo cách có thể thực hiện thứ sáu, môđun thực hiện còn được tạo cấu hình để: tìm kiếm bộ đệm dữ liệu đối với bản ghi tương ứng với địa chỉ vật lý sau khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu, thiết lập trường dữ liệu trong bản ghi thành dữ liệu cần được truy cập, và thiết lập trường hiệu lực thành có hiệu lực.

Theo khía cạnh thứ tư theo các phương án, sáng chế đề xuất hệ thống máy tính bao gồm bộ nhớ mở rộng, trong đó hệ thống máy tính bao gồm hệ thống xử lý, bộ nhớ chính, bộ điều khiển nhớ mở rộng như được mô tả

theo khía cạnh thứ ba hoặc mỗi cách thực hiện của khía cạnh thứ ba, và bộ nhớ mở rộng; bộ điều khiển nhớ mở rộng được kết nối với bộ nhớ mở rộng, bộ điều khiển nhớ mở rộng được kết nối với hệ thống xử lý bằng cách sử dụng giao diện bộ nhớ, và hệ thống xử lý được kết nối với bộ nhớ chính; bộ nhớ chính được tạo cấu hình để lưu trữ hướng dẫn có thể thực hiện được; và hệ thống xử lý được tạo cấu hình để thực hiện hướng dẫn có thể thực hiện được được lưu trữ trong bộ nhớ chính, sao cho hệ thống xử lý thực hiện phương pháp truy cập bộ nhớ mở rộng trong hệ thống nhớ mở rộng bởi máy tính như được mô tả theo khía cạnh thứ hai hoặc mỗi cách thực hiện của khía cạnh thứ hai.

Dựa vào các giải pháp kỹ thuật nêu trên, theo phương pháp truy cập bộ nhớ mở rộng, thiết bị và hệ thống mà được đề xuất theo các phương án của sáng chế, sau khi thu $N+1$ yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý (N là số nguyên dương lớn hơn hoặc bằng 1), bộ điều khiển nhớ mở rộng gửi, đến bộ nhớ mở rộng, yêu cầu để đọc dữ liệu cần được truy cập, và trong quy trình đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng, bộ điều khiển nhớ mở rộng phản hồi thông báo đáp ứng riêng đối với yêu cầu truy cập bộ nhớ được thu trong độ trễ truy cập quy định trong giao thức bus bộ nhớ cho đến khi dữ liệu cần được truy cập được đọc và được ghi vào trong bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý trong chu kỳ thực hiện của yêu cầu truy cập bộ nhớ tiếp theo. Trong quy trình nêu trên, độ trễ do việc thực hiện $N+1$ yêu cầu truy cập bộ nhớ gây ra với trạng thái mất hàng được sử dụng để bù một cách có hiệu quả đối với độ trễ đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý bởi bộ điều khiển nhớ mở rộng.

Mô tả vắn tắt các hình vẽ

Để mô tả các giải pháp kỹ thuật theo các phương án của sáng chế một

cách rõ ràng hơn, phần mô tả vắn tắt sau mô tả các hình vẽ kèm theo cần để mô tả sáng chế theo các phương án của nó.

Fig.1 là sơ đồ thể hiện thành phần phần cứng của hệ thống máy tính có bộ nhớ mở rộng trong giải pháp kỹ thuật đã biết;

Fig.2 là sơ đồ thể hiện kết cấu của thành phần phần cứng của hệ thống máy tính theo một phương án của sáng chế;

Fig.3 là sơ đồ phân tích độ trễ truy cập bộ nhớ mở rộng bởi máy tính theo một phương án của sáng chế;

Fig.4 là sơ đồ phân tích trình tự theo thời gian trong quá trình thực hiện yêu cầu truy cập bộ nhớ trong giao thức DDR;

Fig.5A là lưu đồ thể hiện phương pháp xử lý truy cập dữ liệu trong bộ nhớ mở rộng theo một phương án của sáng chế;

Fig.5B là lưu đồ tạo ra N+1 địa chỉ truy cập theo địa chỉ lưu trữ của dữ liệu cần được truy cập;

Fig.6 là sơ đồ thể hiện khoảng trống của bộ nhớ mở rộng được phát hiện bởi bộ xử lý theo một phương án của sáng chế;

Fig.7 là lưu đồ thể hiện phương pháp xử lý yêu cầu truy cập bộ nhớ bởi bộ điều khiển nhớ mở rộng theo một phương án của sáng chế;

Fig.8 là lưu đồ thể hiện phương pháp thực hiện theo trình tự được thực hiện bởi bộ điều khiển nhớ mở rộng theo một phương án của sáng chế;

Fig.9 là lưu đồ thể hiện phương pháp thực hiện không theo trình tự được thực hiện bởi bộ điều khiển nhớ mở rộng theo một phương án của sáng chế; và

Fig.10 là sơ đồ thể hiện kết cấu của thành phần của bộ điều khiển nhớ mở rộng theo một phương án của sáng chế.

Mô tả chi tiết các phương án thực hiện sáng chế

Phần mô tả sau mô tả một cách rõ ràng và đầy đủ các giải pháp kỹ thuật theo các phương án của sáng chế có dựa vào các hình vẽ kèm theo

theo các phương án của sáng chế. Rõ ràng là, các phương án được mô tả là một phần chứ không phải là tất cả các phương án của sáng chế.

Nói chung, môđun chương trình bao gồm đoạn chương trình, chương trình, thành phần, kết cấu dữ liệu và các dạng kết cấu khác để thực hiện nhiệm vụ cụ thể hoặc thực hiện dạng dữ liệu tóm tắt cụ thể. Ngoài ra, chuyên gia trong lĩnh vực này có thể hiểu rằng mỗi phương án có thể được thực hiện bằng cách sử dụng các cấu hình hệ thống máy tính khác, bao gồm thiết bị cảm tây, hệ thống nhiều bộ xử lý, các thiết bị điện tử người dùng dựa trên bộ vi xử lý hoặc có thể lập trình được, máy tính nhỏ, máy tính khung chính và thiết bị tính toán tương tự. Mỗi phương án còn có thể được thực hiện trong môi trường tính toán được phân phối trong đó nhiệm vụ được thực hiện bởi thiết bị xử lý từ xa mà được kết nối bằng cách sử dụng mạng truyền thông. Trong môi trường tính toán được phân phối, môđun chương trình có thể được đặt trong các thiết bị lưu trữ nội vùng và từ xa.

Mỗi phương án có thể được thực hiện như quy trình được thực hiện bởi máy tính; hệ thống tính toán hoặc vật ghi lưu trữ bằng máy tính của chương trình máy tính trong đó sản phẩm của chương trình máy tính hoặc hệ thống máy tính hoặc tương tự tự thực hiện hướng dẫn của quy trình ví dụ. Ví dụ, vật ghi lưu trữ đọc được bằng máy tính có thể được thực hiện bằng cách sử dụng một hoặc nhiều bộ nhớ khả biến của máy tính, bộ nhớ không khả biến, ổ đĩa cứng, ổ đĩa flash, ổ đĩa mềm, đĩa nén (Compact Disc) hoặc vật ghi tương tự.

Trong bản mô tả này, thuật ngữ "hệ thống xử lý (Processor System)" dùng để chỉ hệ thống bao gồm bộ xử lý và bộ điều khiển nhớ. Khi bộ điều khiển nhớ được tích hợp vào trong bộ xử lý (Processor), hệ thống xử lý dùng để chỉ chip xử lý bao gồm bộ điều khiển nhớ. Theo tình huống ứng dụng theo phương án này của sáng chế, chip xử lý trong hệ thống xử lý được tạo kết cấu để thu hướng dẫn truy cập bộ nhớ được tạo ra trong quy

trình thực hiện chương trình đối tượng, tạo ra yêu cầu truy cập bộ nhớ theo địa chỉ của dữ liệu cần được truy cập, và gửi yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ. Bộ điều khiển nhớ phân tích, theo giao thức bus bộ nhớ, yêu cầu truy cập bộ nhớ thành các yêu cầu đọc/ghi dữ liệu mà có thể được thực hiện bởi chip bộ nhớ.

Trong bản mô tả này, thuật ngữ "bộ điều khiển nhớ (memory controller)" là thành phần máy tính mà điều khiển bộ nhớ trong hệ thống máy tính. Bộ điều khiển nhớ cho phép trao đổi dữ liệu giữa bộ nhớ và bộ xử lý. Trong ứng dụng cụ thể, bộ điều khiển nhớ có thể độc lập với bộ xử lý (Processor), hoặc có thể được tích hợp vào trong bộ xử lý. Trong bản mô tả này, "bộ điều khiển nhớ" được tạo kết cấu để điều khiển truy cập đối với bộ nhớ hệ thống (System Memory). Trong nhiều trường hợp, bộ điều khiển nhớ được tích hợp vào trong bộ xử lý. Nếu bộ điều khiển nhớ độc lập với bộ xử lý, bộ điều khiển nhớ cần phải được kết nối với bộ xử lý.

Trong bản mô tả này, thuật ngữ "bộ điều khiển nhớ mở rộng" được tạo cấu hình để kết nối với bộ điều khiển nhớ bằng cách sử dụng giao diện bộ nhớ và được sử dụng làm cầu để bộ xử lý truy cập bộ nhớ mở rộng.

Trong bản mô tả này, thuật ngữ "bộ nhớ mở rộng" dùng để chỉ bộ nhớ mà được kết nối bằng cách sử dụng chip mở rộng của bộ nhớ, để thực hiện việc mở rộng bộ nhớ. Bộ nhớ mở rộng có thể được thực hiện trong, nhưng không chỉ giới hạn ở, các dạng sau: bộ nhớ truy cập ngẫu nhiên động (Dynamic Random Access Memory-DRAM), bộ nhớ thay đổi pha (Phase Change Memory-PCM) và bộ nhớ truy cập ngẫu nhiên từ tính (Magnetic Random Access Memory-MRAM).

Trong bản mô tả này, thuật ngữ "hướng dẫn truy cập bộ nhớ", dùng để chỉ hướng dẫn truy cập bộ nhớ như tải và lưu trữ mà có trong mã đối tượng (Object Code) mà thu được bằng cách biên dịch (Compile) mã nguồn (Source Code) và các hướng dẫn truy cập bộ nhớ này được yêu cầu

bởi bộ xử lý. Trong quy trình thực hiện, bộ xử lý cần phải chuyển đổi địa chỉ ảo trong hướng dẫn truy cập bộ nhớ thành địa chỉ vật lý trong địa chỉ ảo (Virtual Address) thành quy trình chuyển đổi địa chỉ vật lý (Physical Address), tạo ra yêu cầu truy cập bộ nhớ, và gửi yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ (Memory Controller) để thực hiện.

Trong bản mô tả này, thuật ngữ "yêu cầu truy cập bộ nhớ", cũng được dùng để chỉ "yêu cầu truy cập bộ nhớ", dùng để chỉ yêu cầu mà để truy cập dữ liệu trong bộ nhớ và mà được tạo ra sau khi bộ xử lý thực hiện hướng dẫn truy cập bộ nhớ. Yêu cầu truy cập bộ nhớ bao gồm yêu cầu đọc và yêu cầu ghi.

Trong bản mô tả này, thuật ngữ "bộ đệm dữ liệu" dùng để chỉ thiết bị lưu trữ được tạo cấu hình để lưu trữ dữ liệu cần được truy cập mà được đọc từ bộ nhớ mở rộng, và có thể được tích hợp vào trong bộ điều khiển nhớ mở rộng, hoặc có thể được thực hiện một cách độc lập với bộ điều khiển nhớ mở rộng.

Kết cấu phần cứng của hệ thống tương ứng với phương án của sáng chế

Trước khi phương án cụ thể của sáng chế được mô tả, kết cấu thành phần phần cứng của hệ thống tương ứng với phương án của sáng chế được mô tả trước tiên. Theo Fig.2, các thành phần sau được bao gồm:

Hệ thống xử lý (Processor System) 201: Hệ thống xử lý 201 bao gồm bộ xử lý 2011 và bộ điều khiển nhớ 2012. Là thành phần thực hiện hướng dẫn, theo phương án được đề xuất trong sáng chế, hệ thống xử lý 201 được tạo cấu hình để thu hướng dẫn truy cập bộ nhớ được tạo ra bởi chương trình thực hiện trong quy trình thực hiện và tạo ra yêu cầu truy cập bộ nhớ theo hướng dẫn truy cập bộ nhớ. Bộ xử lý 2011 được tạo cấu hình để xử lý hướng dẫn truy cập bộ nhớ (Memory Access), tạo ra yêu cầu truy cập bộ nhớ, và gửi yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ 2012. Bộ điều khiển nhớ 2012 xác định, theo thông tin thuộc tính vị

trí có trong yêu cầu truy cập bộ nhớ, xem liệu có truy cập bộ nhớ hệ thống 202 hoặc bộ nhớ mở rộng 204 hay không. Khi xác định được rằng bộ nhớ hệ thống 202 đã được truy cập, yêu cầu truy cập bộ nhớ được gửi đến bộ nhớ hệ thống 202; hoặc khi xác định được rằng bộ nhớ mở rộng 204 đã được truy cập, yêu cầu truy cập bộ nhớ được gửi đến bộ điều khiển nhớ mở rộng 203.

Bộ nhớ hệ thống (Memory) 202: Bộ nhớ hệ thống 202 dùng để chỉ bộ nhớ được kết nối trực tiếp với hệ thống xử lý 201 bằng cách sử dụng bus bộ nhớ, và được tạo cấu hình để lưu trữ tạm thời dữ liệu vận hành của hệ thống xử lý 201 trong quy trình thực hiện.

Bộ điều khiển nhớ mở rộng (Extended Memory Controller) 203: Bộ điều khiển nhớ mở rộng 203 được tạo cấu hình để kết nối với bộ nhớ mở rộng 204 và được sử dụng làm cầu dùng cho hệ thống xử lý 201 để thực hiện việc xử lý truy cập bộ nhớ trên bộ nhớ mở rộng 204. Bộ điều khiển nhớ mở rộng 203 được kết nối với hệ thống xử lý 201 bằng cách sử dụng các dạng bus sau và các dạng bus này bao gồm nhưng không chỉ giới hạn ở: bus tốc độ dữ liệu kép (Double Data Rate-DDR), bus DDR công suất thấp (Low Power DDR-LPDDR) hoặc bus I/O rộng. Bộ điều khiển nhớ mở rộng 203 bao gồm ít nhất các môđun sau: môđun thực hiện 2031, được tạo cấu hình để thực hiện quá trình vận hành đọc trên dữ liệu cần được truy cập trong bộ nhớ mở rộng, và bộ đệm dữ liệu 2032, được tạo cấu hình để lưu trữ tạm thời dữ liệu cần được truy cập mà được đọc từ bộ nhớ mở rộng 204 bởi môđun thực hiện 2031. Cần phải lưu ý rằng bộ đệm dữ liệu 2032, là thành phần để nhớ sẵn dữ liệu cần được truy cập, có thể được tích hợp vào trong bộ điều khiển nhớ mở rộng 203, hoặc có thể được thực hiện một cách độc lập với bộ điều khiển nhớ mở rộng 203. Việc này không chỉ giới hạn ở phương án này của sáng chế.

Bộ nhớ mở rộng (Extended Memory) 204: Bộ nhớ mở rộng 204 dùng để chỉ bộ nhớ mở rộng khác với bộ nhớ hệ thống 202, và được tạo cấu

hình để lưu trữ dữ liệu vận hành của hệ thống xử lý 201 trong quy trình thực hiện. Bộ nhớ mở rộng 204 có thể được thực hiện bằng cách sử dụng các vật ghi lưu trữ khác nhau, như bộ nhớ truy cập ngẫu nhiên động (Dynamic Random Access Memory-DRAM), bộ nhớ thay đổi pha (Phase Change Memory-PCM) và bộ nhớ truy cập ngẫu nhiên từ tính (Magnetic Random Access Memory-MRAM).

Trong sơ đồ thể hiện kết cấu của thành phần phần cứng của hệ thống được thể hiện trên Fig.2, vì có bộ điều khiển nhớ mở rộng 203 mà dùng làm chip mở rộng của bộ nhớ, có độ trễ tương đối cao trong quy trình thực hiện yêu cầu đọc mà được sử dụng để yêu cầu dữ liệu trong bộ nhớ mở rộng 204 và mà được gửi bởi hệ thống xử lý 201, và dữ liệu cần được truy cập không thể được phản hồi trong độ trễ truy cập được yêu cầu bởi giao thức DDR. Theo Fig.2, vấn đề về độ trễ truy cập bộ nhớ mở rộng được phân tích dựa trên Fig.3.

Trên Fig.3, ba độ trễ sau tồn tại khi thực hiện quá trình vận hành đọc dữ liệu trong bộ nhớ mở rộng 204:

tPD1: độ trễ truyền yêu cầu truy cập bộ nhớ, mà được gửi bởi hệ thống xử lý 201, từ "bộ điều khiển nhớ mở rộng 203" đến "bộ nhớ mở rộng 204", bao gồm độ trễ truyền tín hiệu và độ trễ xử lý logic trong bộ điều khiển nhớ mở rộng 203;

tRL: độ trễ của bộ nhớ mở rộng 204 từ "thu yêu cầu truy cập bộ nhớ" để "truyền dữ liệu cần được truy cập đến bus giữa bộ nhớ mở rộng 204 và bộ điều khiển nhớ mở rộng 203"; và

tPD2: độ trễ truyền dữ liệu, mà được đọc từ bộ nhớ mở rộng 204, từ "bộ nhớ mở rộng 204 đến bộ điều khiển nhớ mở rộng 203", và từ "bộ điều khiển nhớ mở rộng 203" đến "bộ điều khiển nhớ 2012 trong hệ thống xử lý 201".

Độ trễ truy cập bộ nhớ thực của bộ xử lý là $tPD1+tRL+tPD2$. Điều này không đáp ứng yêu cầu về giao thức truy cập bộ nhớ (như giao thức

DDR): dữ liệu cần được truy cập cần phải được phản hồi trong độ trễ tRL. Do đó, cách để bù đối với độ trễ tPD1+tPD2 trở thành điểm khởi đầu theo phương án này của sáng chế.

Giao thức bus bộ nhớ hiện có (giao thức DDR được sử dụng chung) là giao thức truy cập bộ nhớ đồng bộ trễ cố định. Việc thực hiện một yêu cầu truy cập bộ nhớ được chia thành ba giai đoạn sau:

A. Kích hoạt (Activate): Bộ điều khiển nhớ (Memory Controller) gửi lệnh kích hoạt (activate) và địa chỉ hàng (Row Address) để đọc một hàng dữ liệu mà có trong DRAM và mà tương ứng với địa chỉ hàng vào trong bộ đệm hàng (Row Buffer).

B. Đọc/ghi (Read/Write): Bộ điều khiển nhớ gửi lệnh đọc/ghi và địa chỉ cột (Column Address) để đọc/ghi dữ liệu mà tương ứng với địa chỉ cột và mà có trong bộ đệm hàng.

C. Nạp trước (Pre-Charge): Bộ điều khiển nhớ gửi lệnh nạp trước để đóng bộ đệm hàng.

Hai yêu cầu truy cập bộ nhớ liên tiếp có thể được phân loại thành hai dạng sau xem liệu các địa chỉ hàng của hai yêu cầu truy cập bộ nhớ liên tiếp này có cùng một địa chỉ hay không:

(1) Bàn phím hàng (Row Hit): Dữ liệu mà cần phải được vận hành bởi hai yêu cầu truy cập bộ nhớ được đặt trên cùng một hàng (tức là, cùng một địa chỉ hàng) trong cùng một khối. Do đó, sau khi lệnh đọc/ghi (Read/Write) của yêu cầu truy cập bộ nhớ thứ nhất được thực hiện, dữ liệu hàng vẫn được đặt trong bộ đệm hàng (Row Buffer), sao cho bộ điều khiển nhớ có thể gửi một cách trực tiếp lệnh đọc/ghi và địa chỉ cột mà của yêu cầu truy cập bộ nhớ thứ hai mà không thực hiện giai đoạn nạp sơ bộ của yêu cầu truy cập bộ nhớ thứ nhất và giai đoạn vận hành kích hoạt của yêu cầu truy cập bộ nhớ thứ hai.

(2) Trạng thái mất hàng (Row Miss): Dữ liệu mà cần phải được vận hành bởi hai yêu cầu truy cập bộ nhớ được đặt trên các hàng khác nhau

trong cùng một khối. Sau giai đoạn đọc/ghi (Read/Write) của yêu cầu truy cập bộ nhớ thứ nhất được thực hiện, quá trình vận hành nạp trước (ví dụ, lệnh nạp trước) cần phải được thực hiện để đóng bộ đệm hàng, tiếp theo quá trình vận hành kích hoạt (ví dụ, lệnh kích hoạt) được thực hiện trên hàng của yêu cầu truy cập bộ nhớ thứ hai để đọc dữ liệu hàng thành bộ đệm hàng và cuối cùng, lệnh đọc/ghi và địa chỉ cột mà là của yêu cầu truy cập bộ nhớ thứ hai có thể được gửi.

Fig.4 thể hiện yêu cầu theo trình tự thời gian trong quy trình thực hiện yêu cầu truy cập bộ nhớ trong giao thức DDR.

tRL: độ trễ cố định từ "gửi lệnh đọc (RD)" đến "dữ liệu đi vào bus bộ nhớ";

tRCD: khoảng thời gian tối thiểu từ "gửi lệnh kích hoạt (ACT)" đến "gửi lệnh đọc (RD)";

tRTP: khoảng thời gian tối thiểu từ "gửi lệnh đọc (RD)" đến "gửi lệnh nạp trước (PRE)"; và

tRP: khoảng thời gian tối thiểu từ "gửi lệnh nạp trước (PRE)" đến "gửi lệnh kích hoạt tiếp theo (ACT)".

Có thể tính toán được rằng, theo các tham số nêu trên, khoảng thời gian tối thiểu giữa hai lệnh đọc (RD) với trạng thái mất hàng là $tGAP_{min} = tRCD + tRTP + tRP$.

Ngoài ra, kỹ thuật ranh giới bộ nhớ (Memory Barrier) có thể được sử dụng. Ranh giới bộ nhớ, cũng được dùng để chỉ cột bộ nhớ (Memory Bar), tấm chắn bộ nhớ (memory fence), chỉ lệnh chắn (Chỉ lệnh chắn) và tương tự, là dạng chỉ lệnh chắn đồng bộ và là điểm đồng bộ hoá trong quá trình vận hành truy cập ngẫu nhiên bộ nhớ bởi CPU hoặc bộ biên dịch, sao cho quá trình vận hành sau điểm này chỉ có thể được thực hiện sau tất cả các quá trình vận hành đọc/ghi trước điểm này được thực hiện.

Để bù độ trễ trong quy trình truy cập bộ nhớ mở rộng, theo phương án này của sáng chế, độ trễ trong quy trình thực hiện các yêu cầu truy cập bộ

nhớ với sự thiếu dòng được sử dụng để bù cho độ trễ truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng. Đối với yêu cầu rằng chương trình ứng dụng truy cập dữ liệu trong bộ nhớ mở rộng 204, yêu cầu truy cập bộ nhớ mở rộng được biên dịch thành các yêu cầu truy cập bộ nhớ với sự thiếu dòng bằng cách sử dụng phần mềm (như bộ biên dịch (Compiler)) hoặc chỉ lệnh chặn được chèn vào giữa các yêu cầu truy cập bộ nhớ được tạo ra. Trong quy trình thực hiện các yêu cầu truy cập bộ nhớ, dựa vào độ trễ của yêu cầu truy cập bộ nhớ với sự thiếu dòng và độ trễ do việc thực hiện chỉ lệnh chặn gây ra giữa các yêu cầu truy cập bộ nhớ, dữ liệu cần được truy cập trong bộ nhớ mở rộng trước tiên được đọc thành bộ điều khiển nhớ mở rộng (giai đoạn tìm nạp trước dữ liệu) và tiếp theo được đọc từ bộ điều khiển nhớ mở rộng vào trong bộ xử lý bằng cách sử dụng bộ điều khiển nhớ (giai đoạn đọc dữ liệu).

Phương pháp theo các phương án của sáng chế

Fig.5A là lưu đồ thể hiện phương pháp truy cập bộ nhớ mở rộng bởi máy tính theo một phương án của sáng chế, trong đó phương pháp này bao gồm các bước sau.

510. Hệ thống xử lý thu địa chỉ lưu trữ của dữ liệu cần được truy cập.

Cụ thể là, trong quy trình thực hiện, chương trình thực hiện thu được bằng cách sử dụng bộ biên dịch tạo ra N+1 hướng dẫn truy cập bộ nhớ, trong đó tất cả N+1 hướng dẫn truy cập bộ nhớ bao gồm địa chỉ lưu trữ của dữ liệu cần được truy cập. Theo cách thực hiện cụ thể, địa chỉ lưu trữ của dữ liệu cần được truy cập là địa chỉ ảo.

530. Hệ thống xử lý tạo ra N+1 yêu cầu truy cập bộ nhớ theo địa chỉ lưu trữ của dữ liệu cần được truy cập, trong đó địa chỉ truy cập có trong N+1 yêu cầu truy cập bộ nhớ khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên.

Cụ thể là, N+1 địa chỉ truy cập được tạo ra khác nhau. Việc này ngăn không cho yêu cầu truy cập bộ nhớ được tạo ra theo N+1 địa chỉ truy cập được sáp nhập bởi bộ xử lý trong bộ ghi xử lý trạng thái bị mất (Miss-status Handling Register-MSHR). N+1 địa chỉ truy cập biểu thị cùng một địa chỉ vật lý. Theo cách thực hiện cụ thể, có mối quan hệ lập bản đồ giữa N+1 địa chỉ truy cập và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng.

550. Hệ thống xử lý gửi N+1 yêu cầu truy cập bộ nhớ được tạo ra đến bộ điều khiển nhớ mở rộng.

Cụ thể là, để bù cho độ trễ truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng, trong hệ thống xử lý, sau khi tạo ra N+1 yêu cầu truy cập bộ nhớ, bộ xử lý gửi N+1 yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ trong hệ thống xử lý. Bộ xử lý có thể gửi theo trình tự N+1 yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ ở khoảng thời gian đều nhau hoặc có thể gửi tất cả N+1 yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ tại một thời điểm. Sau khi thu N+1 yêu cầu truy cập bộ nhớ, bộ điều khiển nhớ xác định rằng địa chỉ truy cập khác nhau (cụ thể là, các địa chỉ hàng khác nhau) và nhận biết N+1 yêu cầu truy cập bộ nhớ là yêu cầu truy cập bộ nhớ với trạng thái mất hàng. Do đó, N+1 yêu cầu truy cập bộ nhớ được gửi theo dãy theo yêu cầu về độ trễ gửi đối với yêu cầu truy cập bộ nhớ với trạng thái mất hàng mà quy định trong giao thức truy cập bộ nhớ.

Cần phải lưu ý rằng N+1 hướng dẫn truy cập bộ nhớ có trong chương trình đối tượng (Object Program). Chương trình đối tượng được thu bởi bộ biên dịch (Compiler) bằng cách biên dịch chương trình gốc (Source Program). Hệ thống máy tính mà trong đó chương trình gốc được biên dịch có thể là hệ thống máy tính theo phương án này của sáng chế, hoặc có thể là hệ thống máy tính ba bên.

Đối với máy tính mà bao gồm hệ thống nhớ mở rộng, khi phát triển chương trình gốc, bộ phát triển phần mềm xác định dạng và vị trí lưu trữ

của mỗi biến số. Bộ phát triển xác định rằng một vài biến số được lưu trữ tạm thời trong bộ nhớ hệ thống và các biến số khác được lưu trữ tạm thời trong bộ nhớ mở rộng.

Trong quy trình sử dụng biến số được xác định trong bộ nhớ mở rộng trong chương trình, quá trình vận hành đọc/ghi trên biến số (mà được dùng để chỉ "dữ liệu cần được truy cập" trong bản mô tả này) cần phải được bao gồm. Theo phương án này của sáng chế, trong quy trình biên dịch chương trình gốc, khi có yêu cầu truy cập đoạn dữ liệu riêng đã được truy cập được lưu trữ trong bộ nhớ mở rộng, bộ biên dịch yêu cầu truy cập dữ liệu cần được truy cập vào trong $N+1$ yêu cầu truy cập bộ nhớ theo tham số trễ của bộ nhớ mở rộng và yêu cầu độ trễ của giao thức bus bộ nhớ, trong đó $N \geq 1$, và N là số nguyên.

Hơn nữa, số lượng yêu cầu truy cập bộ nhớ mà cần phải được gửi được xác định theo cách sau.

(1) Độ trễ truyền yêu cầu truy cập bộ nhớ từ "bộ điều khiển nhớ mở rộng" đến "bộ nhớ mở rộng" là t_{PD1} và độ trễ truyền dữ liệu, mà được đọc theo yêu cầu truy cập bộ nhớ, từ "bộ nhớ mở rộng" đến "bộ điều khiển nhớ mở rộng" là t_{PD2} .

Cụ thể là, một khi hệ thống máy tính bao gồm bộ nhớ mở rộng được xác định, hai tham số nêu trên có thể được xác định.

(2) Xác định được rằng khoảng thời gian phù hợp với giao thức DDR giữa hai yêu cầu truy cập bộ nhớ liên tiếp với trạng thái mất dòng được gửi bởi bộ xử lý là $t_{GAP_{min}} = t_{RCD} + t_{RTP} + t_{RP}$.

Cụ thể là, theo Fig.4 và các phần mô tả có liên quan, khoảng thời gian tối thiểu giữa hai yêu cầu truy cập bộ nhớ với trạng thái mất dòng được gửi bởi bộ xử lý ít nhất là $t_{RCD} + t_{RTP} + t_{RP}$, và các tham số nêu trên quy định trong giao thức DDR.

Hơn nữa, sau khi yêu cầu truy cập bộ nhớ được tạo ra, bộ xử lý có thể chèn một chỉ lệnh chặn sau khi mỗi yêu cầu truy cập bộ nhớ ở khoảng

thời gian giữa hai yêu cầu truy cập bộ nhớ liên tiếp được gửi bởi bộ xử lý, tức là, độ trễ được thực hiện bằng cách thực hiện chỉ lệnh chặn và thời gian thực hiện chỉ lệnh chặn này là T_Fence .

(3) Số lượng N yêu cầu truy cập bộ nhớ mà cần phải được tạo ra được tính toán theo các tham số nêu trên, tức là, $N \geq [(tPD1+tPD2)/(tRCD+tRTP+tRP)]$, trong đó $[*]$ là hàm làm tròn.

Hơn nữa, sau khi bộ xử lý chèn chỉ lệnh chặn vào $N+1$ yêu cầu truy cập bộ nhớ đã được tạo ra, tính toán $N \geq [(tPD1+tPD2)/T_Fence]$, trong đó $[*]$ là hàm làm tròn. T_Fence là độ trễ thực hiện chỉ lệnh chặn bởi bộ xử lý.

Theo phương án cụ thể, $N+1$ địa chỉ truy cập được tạo ra theo địa chỉ lưu trữ của dữ liệu cần được truy cập có thể thu được bằng cách thực hiện các bước 551 đến 553 sau, như được thể hiện trên Fig.5B.

551. Quá trình chuyển đổi từ địa chỉ ảo sang địa chỉ vật lý được thực hiện theo địa chỉ lưu trữ $Addr_Virtual$ của dữ liệu cần được truy cập, trong đó địa chỉ lưu trữ của dữ liệu cần được truy cập là địa chỉ ảo, để thu địa chỉ vật lý $Addr_Physical$ tương ứng với địa chỉ ảo $Addr_Virtual$.

Cần phải lưu ý rằng địa chỉ có trong hướng dẫn truy cập bộ nhớ được thu bởi bộ xử lý nói chung là địa chỉ ảo. Quá trình chuyển đổi từ địa chỉ ảo sang địa chỉ vật lý được thực hiện theo địa chỉ ảo của dữ liệu cần được truy cập, để thu địa chỉ vật lý tương ứng với địa chỉ ảo.

552. Tạo ra N địa chỉ truy cập $Addr_Physical(n)$ theo địa chỉ vật lý $Addr_Physical$, trong đó n là số nguyên và $1 \leq n \leq N$; địa chỉ hàng của N địa chỉ truy cập là $Addr_Physical_Row(n) = n * M + Addr_Physical_Row$, trong đó n là số nguyên và $1 \leq n \leq N$, M là số lượng hàng bộ nhớ có trong bộ nhớ mở rộng, và $Addr_Physical_Row$ là địa chỉ hàng của địa chỉ vật lý $Addr_Physical$; và địa chỉ khối của mỗi N địa chỉ vật lý giống như địa chỉ khối của địa chỉ vật lý $Addr_Physical$.

Cụ thể là, nhằm mục đích tạo ra $N+1$ yêu cầu truy cập bộ nhớ với

trạng thái mất hàng, cần phải được đảm bảo rằng các địa chỉ của $N+1$ yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau.

Không gian địa chỉ của bộ nhớ mở rộng cần phải được xác định lại. Theo Fig.6, $N=1$ được dùng làm ví dụ và bộ xử lý tạo ra hai địa chỉ truy cập tương ứng với địa chỉ vật lý của dữ liệu cần được truy cập, để tạo ra hai yêu cầu truy cập bộ nhớ đối với bộ nhớ mở rộng.

Trên Fig.6, không gian bộ nhớ mà có thể được phát hiện bởi bộ xử lý bao gồm hai phần: không gian bộ nhớ thực của bộ nhớ mở rộng và không gian bóng tối. Không gian bộ nhớ tương ứng với bộ nhớ mở rộng bao gồm dãy bộ nhớ M và không gian bóng tối và không gian bộ nhớ tương ứng với bộ nhớ mở rộng có cùng một kích cỡ (cùng một kích cỡ hàng và cột). Nhằm mục đích đảm bảo rằng hai yêu cầu truy cập bộ nhớ được sử dụng làm yêu cầu truy cập bộ nhớ với trạng thái mất hàng, cần phải được đảm bảo rằng các địa chỉ của hai yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau.

Do đó, trong các địa chỉ của yêu cầu truy cập bộ nhớ, địa chỉ hàng của yêu cầu truy cập bộ nhớ là i , và địa chỉ hàng của yêu cầu truy cập bộ nhớ khác là $i+M$. Việc này đảm bảo rằng địa chỉ hàng của hai yêu cầu truy cập bộ nhớ là khác nhau. Ngoài ra, địa chỉ hàng tương ứng với địa chỉ vật lý của dữ liệu cần được truy cập trong không gian bộ nhớ mở rộng thu được bằng cách lấy địa chỉ hàng trong không gian bóng tối trừ đi độ lệch M . Việc này đảm bảo rằng hai địa chỉ biểu thị cùng một địa chỉ vật lý trong bộ nhớ mở rộng.

Hơn nữa, ngoài địa chỉ hàng, địa chỉ vật lý trong bộ nhớ mở rộng bao gồm địa chỉ khối. Nếu được đảm bảo rằng $N+1$ địa chỉ truy cập được tạo ra bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau, bộ điều khiển nhớ trong hệ thống xử lý có thể xác định $N+1$ yêu cầu truy cập bộ nhớ như yêu cầu truy cập bộ nhớ với trạng thái mất hàng khi thu $N+1$ yêu

cầu truy cập bộ nhớ.

Cần phải lưu ý rằng, để đơn giản hoá việc mô tả phương án này của sáng chế, N+1 địa chỉ truy cập mà được tạo ra dựa vào địa chỉ vật lý của dữ liệu cần được truy cập là trong cùng một chip bộ nhớ (Chip) theo mặc định. Theo cách thực hiện cụ thể, ngoài địa chỉ khối và địa chỉ hàng, địa chỉ truy cập, như địa chỉ vật lý bộ nhớ, còn bao gồm địa chỉ kênh, địa chỉ DIMM, địa chỉ hàng và địa chỉ chip theo yêu cầu về địa chỉ vật lý của bộ nhớ. Do đó, theo cách thực hiện riêng của giải pháp, "N+1 địa chỉ truy cập được tạo ra" có thể được thiết lập để giống như địa chỉ kênh, địa chỉ DIMM, địa chỉ hàng và địa chỉ chip của "địa chỉ vật lý của dữ liệu cần được truy cập".

Cần phải hiểu rằng, theo cách thực hiện nêu trên, N=1 được sử dụng là một ví dụ. Đối với trị số khác, địa chỉ của yêu cầu truy cập bộ nhớ có thể được tạo ra và N+1 yêu cầu truy cập bộ nhớ có thể được tạo ra theo quy trình tương tự.

553. Hệ thống xử lý tạo ra N+1 yêu cầu truy cập bộ nhớ theo Addr_Physical và Addr_Physical(n), trong đó n là số nguyên và $1 \leq n \leq N$.

Theo phương án nêu trên, trong quy trình truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng bởi hệ thống xử lý trong máy tính, bộ xử lý tạo ra N+1 yêu cầu truy cập bộ nhớ, và địa chỉ truy cập có trong N+1 yêu cầu truy cập bộ nhớ được tạo ra bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau, sao cho bộ điều khiển nhớ được tích hợp vào trong bộ nhớ khởi động yêu cầu truy cập bộ nhớ với trạng thái mất hàng khi thực hiện N+1 yêu cầu truy cập bộ nhớ. Trong quy trình thực hiện N+1 yêu cầu truy cập bộ nhớ với trạng thái mất hàng, bộ điều khiển nhớ mở rộng có thể đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng dựa vào độ trễ xử lý này và cuối cùng, phản hồi dữ liệu cần được truy cập đến hệ thống xử lý. Theo cách thực hiện nêu trên, độ trễ trong quy trình thực hiện yêu cầu truy cập bộ nhớ với trạng thái mất hàng được sử dụng một

cách có hiệu quả để giải quyết vấn đề mà dữ liệu cần được truy cập không thể được phản hồi trong khoảng độ trễ đã được xác định.

Fig.7 thể hiện quy trình xử lý sau khi bộ điều khiển nhớ mở rộng thu N+1 yêu cầu truy cập bộ nhớ được gửi bởi hệ thống xử lý. Hệ thống nhớ mở rộng bao gồm bộ điều khiển nhớ mở rộng và bộ nhớ mở rộng. Hệ thống xử lý trong máy tính được kết nối với bộ điều khiển nhớ mở rộng bằng cách sử dụng bus bộ nhớ. Khi hệ thống xử lý trong máy tính cần phải truy cập dữ liệu cần được truy cập được lưu trữ trong bộ nhớ mở rộng, phương pháp này bao gồm các bước sau.

710. Bộ điều khiển nhớ mở rộng thu N+1 yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập có trong tất cả các yêu cầu truy cập bộ nhớ là khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên.

Cụ thể là, bộ điều khiển nhớ mở rộng thu N+1 yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong quy trình được mô tả ở bước 550. Địa chỉ truy cập có trong N+1 yêu cầu truy cập bộ nhớ khác nhau và N+1 địa chỉ truy cập biểu thị cùng một địa chỉ vật lý.

730. Khi thu yêu cầu truy cập bộ nhớ thứ nhất của N+1 yêu cầu truy cập bộ nhớ, bộ điều khiển nhớ mở rộng xác định địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, gửi yêu cầu đọc đến bộ nhớ mở rộng, và phản hồi thông báo đáp lại riêng đến hệ thống xử lý, trong đó yêu cầu đọc mang địa chỉ vật lý.

Cụ thể là, khi thu yêu cầu truy cập bộ nhớ thứ nhất, bộ điều khiển nhớ mở rộng xác định địa chỉ vật lý theo địa chỉ truy cập của yêu cầu truy cập bộ nhớ thứ nhất, và gửi yêu cầu đọc đối với địa chỉ vật lý đến bộ nhớ mở rộng, trong đó yêu cầu đọc được dùng để đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng.

750. Trước khi thu dữ liệu cần được truy cập được phản hồi bởi bộ

nhớ mở rộng, mỗi lần yêu cầu truy cập bộ nhớ sau khi yêu cầu truy cập bộ nhớ thứ nhất của N+1 yêu cầu truy cập bộ nhớ được thu, bộ điều khiển nhớ mở rộng phản hồi thông báo đáp lại riêng đến hệ thống xử lý trong độ trễ truy cập quy định trong giao thức bus bộ nhớ.

Cụ thể là, vì cần phải có độ trễ tương đối cao trong quy trình đọc dữ liệu cần được truy cập, và giao thức bus bộ nhớ là giao thức truy cập bộ nhớ đồng bộ có độ trễ cố định, bộ điều khiển nhớ mở rộng cần phải phản hồi thông tin đáp lại đối với mỗi yêu cầu truy cập bộ nhớ. Do đó, bộ điều khiển nhớ mở rộng phản hồi thông báo đáp lại riêng đối với yêu cầu truy cập bộ nhớ thứ nhất đến bộ xử lý. Cần phải lưu ý rằng thông báo đáp lại riêng là bộ nhận dạng riêng được đồng ý phụ thuộc vào bộ xử lý và bộ điều khiển nhớ mở rộng, ví dụ, 0x5a5a5a5a5a5a5a5a có thể được sử dụng như bộ nhận dạng riêng.

Cần phải lưu ý rằng bộ nhận dạng riêng là bộ nhận dạng có thể tùy biến. Theo cách thực hiện cụ thể, bộ nhận dạng khác cũng có thể được sử dụng. Việc này không chỉ giới hạn ở phương án bất kỳ của sáng chế.

770. Bộ điều khiển nhớ mở rộng ghi dữ liệu cần được truy cập vào trong bộ đệm dữ liệu, và dùng phản hồi thông báo đáp lại riêng đến hệ thống xử lý sau khi thu dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng.

Cụ thể là, ở bước 730, yêu cầu đọc được gửi bởi bộ điều khiển nhớ mở rộng được gửi đến bộ nhớ mở rộng, và cần phải có độ trễ tương đối cao trong quy trình đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng. Ở giai đoạn này, một số yêu cầu truy cập bộ nhớ của N+1 yêu cầu truy cập bộ nhớ được gửi bởi bộ xử lý đến bộ điều khiển nhớ mở rộng. Trong trường hợp này, sau khi thu các yêu cầu truy cập bộ nhớ này, bộ điều khiển nhớ mở rộng phản hồi thông báo đáp lại riêng đến bộ xử lý trong độ trễ được yêu cầu bởi giao thức bus bộ nhớ, để thông báo cho bộ xử lý rằng dữ liệu cần được truy cập vẫn chưa thu được. Khi thu dữ liệu cần được truy cập

được phản hồi bởi bộ nhớ mở rộng, bộ điều khiển nhớ mở rộng ghi dữ liệu cần được truy cập vào trong bộ đệm dữ liệu.

Cần phải lưu ý rằng bộ đệm dữ liệu có thể được tích hợp vào trong bộ điều khiển nhớ mở rộng, hoặc có thể được thực hiện một cách độc lập với bộ điều khiển nhớ mở rộng.

790. Khi thu yêu cầu truy cập bộ nhớ khác của N+1 yêu cầu truy cập bộ nhớ, bộ điều khiển nhớ mở rộng đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý.

Cụ thể là, vì giao thức bus bộ nhớ là giao thức truy cập bộ nhớ đồng bộ có độ trễ cố định, sau khi dữ liệu cần được truy cập được ghi vào trong bộ đệm dữ liệu, bộ điều khiển nhớ mở rộng đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý trong chu kỳ thực hiện của yêu cầu truy cập bộ nhớ tiếp theo.

Hơn nữa, địa chỉ truy cập trong tất cả N+1 yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau. Bộ điều khiển nhớ được tích hợp vào trong bộ xử lý nhận dạng yêu cầu truy cập bộ nhớ có dấu hiệu này như yêu cầu truy cập bộ nhớ với trạng thái mất hàng (Row Miss), sao cho độ trễ quy định trong giao thức truy cập bộ nhớ có thể được tạo ra trong quy trình thực hiện N+1 yêu cầu truy cập bộ nhớ.

Hơn nữa, bộ điều khiển nhớ mở rộng thiết lập trước mỗi quan hệ lập bản đồ giữa địa chỉ truy cập có trong tất cả N+1 yêu cầu truy cập bộ nhớ và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng. Bước xác định, bởi bộ điều khiển nhớ mở rộng, địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất là bước: truy vấn, bởi bộ điều khiển nhớ mở rộng, mỗi quan hệ lập bản đồ theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, để thu địa chỉ vật lý nêu trên.

Hơn nữa, ở bước 730, sau khi xác định, bởi bộ điều khiển nhớ mở

rộng, địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, phương pháp theo một phương án còn bao gồm bước: tạo ra, bởi bộ điều khiển nhớ mở rộng, bản ghi trong bộ đệm dữ liệu, trong đó bản ghi này bao gồm trường nhãn và trường dữ liệu, và thiết lập trường nhãn thành địa chỉ vật lý.

Hơn nữa, ở bước 730, bản ghi bao gồm trường hiệu lực, và phương pháp theo một phương án còn bao gồm bước: thiết lập, bởi bộ điều khiển nhớ mở rộng, trường hiệu lực thành không hiệu lực.

Hơn nữa, ở bước 750, trong quy trình đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng, mỗi lần bộ điều khiển nhớ mở rộng thu yêu cầu truy cập bộ nhớ, phương pháp còn bao gồm bước: truy vấn, bởi bộ điều khiển nhớ mở rộng, mỗi quan hệ lập bản đồ theo địa chỉ truy cập mang trong tất cả các yêu cầu truy cập bộ nhớ, để thu địa chỉ vật lý; và truy vấn bản ghi trong bộ đệm dữ liệu theo địa chỉ vật lý, và khi xác định rằng trường hiệu lực trong bản ghi không có hiệu lực, tạo ra thông báo đáp lại riêng.

Hơn nữa, ở bước 770, việc ghi, bởi bộ điều khiển nhớ mở rộng, dữ liệu cần được truy cập vào trong bộ đệm dữ liệu bao gồm các việc: tìm kiếm, bởi bộ điều khiển nhớ mở rộng, bộ đệm dữ liệu đối với bản ghi tương ứng với địa chỉ vật lý, thiết lập trường dữ liệu trong bản ghi thành dữ liệu cần được truy cập, và thiết lập trường hiệu lực thành có hiệu lực.

Trong quy trình thực hiện nêu trên, sau khi thu yêu cầu truy cập bộ nhớ thứ nhất, bộ điều khiển nhớ mở rộng gửi, đến bộ nhớ mở rộng, yêu cầu đọc dữ liệu cần được truy cập. Trong quy trình đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng, bộ điều khiển nhớ mở rộng phản hồi thông báo đáp lại riêng đối với yêu cầu truy cập bộ nhớ được thu trong độ trễ truy cập được xác định trong giao thức bus bộ nhớ, sao cho bộ xử lý có thể gửi yêu cầu truy cập bộ nhớ tiếp theo theo yêu cầu mất hàng và bộ điều khiển nhớ mở rộng lưu trữ tạm thời các dữ liệu đọc vào trong bộ đệm dữ liệu và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý

trong chu kỳ thực hiện yêu cầu truy cập bộ nhớ tiếp theo. Trong quy trình nêu trên, độ trễ cho việc thực hiện $N+1$ yêu cầu truy cập bộ nhớ gây ra với trạng thái mất hàng được sử dụng để bù một cách có hiệu quả đối với độ trễ đọc dữ liệu cần được truy cập từ bộ nhớ mở rộng và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý bởi bộ điều khiển nhớ mở rộng.

Theo trị số thực nghiệm thu được từ trải nghiệm, khi có một vài mức độ của các bộ nhớ mở rộng và việc đọc/ghi dữ liệu cần được truy cập được thực hiện trên dữ liệu trong bộ nhớ mở rộng, $N=1$, tức là, hai yêu cầu truy cập bộ nhớ có thể được tạo ra để bù cho độ trễ đọc dữ liệu từ bộ nhớ mở rộng. Phần mô tả sau mô tả hai quy trình thực hiện cụ thể bằng cách sử dụng $N=1$ làm ví dụ.

I. Cách thực hiện theo trình tự (theo Fig.8)

Theo không gian bộ nhớ mà bao gồm bộ nhớ mở rộng trên Fig.6, có thể biết được rằng chỉ có một không gian bóng tối cần phải được ảo hoá. Fig.6 được sử dụng làm một ví dụ. Theo sơ đồ kết cấu thể hiện hệ thống trên Fig.2, giả định rằng dữ liệu cần được truy cập được đặt trong hàng thứ i trong bộ nhớ mở rộng, và địa chỉ hàng của dữ liệu cần được truy cập là i . Theo phương pháp nêu trên, địa chỉ hàng của hai địa chỉ truy cập được tạo ra là i và $i+M$. Địa chỉ khối của hai địa chỉ truy cập được thiết lập là cùng một địa chỉ. Địa chỉ truy cập được tạo ra trên đây được ghi trong bộ đệm dữ liệu trong bộ điều khiển nhớ mở rộng.

Hai yêu cầu truy cập bộ nhớ được tạo kết cấu theo hai địa chỉ truy cập được tạo ra và được gửi bởi bộ xử lý đến bộ điều khiển nhớ mở rộng. Giả định rằng bộ xử lý trước tiên gửi yêu cầu truy cập bộ nhớ với địa chỉ hàng $i+M$, và sau đó gửi yêu cầu truy cập bộ nhớ với địa chỉ hàng i . Quy trình thực hiện của phương pháp theo một phương án là như sau:

810. Bộ điều khiển nhớ mở rộng thu yêu cầu truy cập bộ nhớ thứ nhất và phân tích cú pháp yêu cầu để thu địa chỉ truy cập của yêu cầu; và khi

nhận biết rằng địa chỉ hàng của yêu cầu là $i+M$, bộ điều khiển nhớ mở rộng phản hồi bộ nhận biết riêng đến bộ xử lý.

Cụ thể là, vì bộ điều khiển nhớ mở rộng có thể nhận biết, theo địa chỉ hàng, mà địa chỉ trong yêu cầu truy cập bộ nhớ được đặt trong không gian bộ nhớ thực của bộ nhớ mở rộng hoặc không gian bóng tối, ở bước này, nếu xác định được rằng địa chỉ hàng là $i+M$, xác định được rằng địa chỉ truy cập được đặt trong không gian bóng tối, và bộ nhận biết riêng (như 0x5a5a5a5a5a5a5a5a) được tạo ra và được phản hồi đến bộ xử lý.

830. Bộ điều khiển nhớ mở rộng tạo ra yêu cầu đọc, trong đó yêu cầu đọc bao gồm địa chỉ vật lý của dữ liệu cần được truy cập, gửi yêu cầu đọc đến bộ nhớ mở rộng, và đọc dữ liệu cần được truy cập vào trong bộ đệm dữ liệu trong độ trễ xử lý yêu cầu truy cập bộ nhớ quy định trong giao thức bus bộ nhớ.

Cụ thể là, sau khi thu yêu cầu truy cập bộ nhớ thứ nhất, bộ điều khiển nhớ mở rộng tạo ra yêu cầu để đọc dữ liệu cần được truy cập, và gửi yêu cầu đọc đến bộ nhớ mở rộng. Dữ liệu cần được truy cập được đọc vào trong bộ đệm dữ liệu trong độ trễ yêu cầu truy cập bộ nhớ quy định trong giao thức bus bộ nhớ.

850. Sau khi độ trễ quy định trong giao thức bus bộ nhớ, bộ điều khiển nhớ mở rộng thu yêu cầu truy cập bộ nhớ thứ hai và phân tích cú pháp yêu cầu để thu địa chỉ truy cập của yêu cầu này; và khác nhận biết rằng địa chỉ hàng của yêu cầu là i , bộ điều khiển nhớ mở rộng đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý.

Cụ thể là, sau khi đọc dữ liệu cần được truy cập vào trong bộ đệm dữ liệu, bộ điều khiển nhớ mở rộng thu yêu cầu truy cập bộ nhớ thứ hai được gửi bởi bộ xử lý và phân tích cú pháp yêu cầu để thu địa chỉ hàng của địa chỉ truy cập; và khi xác định rằng địa chỉ hàng của yêu cầu là i , tức là, địa chỉ được đặt trong không gian bộ nhớ thực của bộ nhớ mở rộng, bộ điều

khiến nhớ mở rộng đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu, và phản hồi dữ liệu cần được truy cập đến hệ thống xử lý.

Theo phương án nêu trên, theo trình tự truy cập địa chỉ mà được đồng ý trước, địa chỉ truy cập có trong yêu cầu truy cập bộ nhớ thứ nhất được thu là địa chỉ của không gian bóng tối, địa chỉ truy cập có trong yêu cầu truy cập bộ nhớ thứ hai là địa chỉ của không gian bộ nhớ thực và có mối quan hệ lập bản đồ giữa địa chỉ của không gian bóng tối và địa chỉ của không gian bộ nhớ thực. Khi yêu cầu truy cập bộ nhớ bao gồm địa chỉ của không gian bóng tối thu được, dữ liệu cần được truy cập được đọc từ bộ nhớ mở rộng và được nhớ sẵn vào bộ đệm dữ liệu. Khi yêu cầu truy cập bộ nhớ bao gồm địa chỉ của không gian bộ nhớ thực thu được, dữ liệu được đọc từ bộ đệm dữ liệu đến bộ xử lý.

Cần phải hiểu rằng bậc truy cập địa chỉ nêu trên mà được đồng ý trước còn có thể là bậc "truy cập địa chỉ của không gian bộ nhớ thực thứ nhất và sau đó là địa chỉ của không gian bóng tối" hoặc hoặc nữa, địa chỉ có trong hai yêu cầu truy cập bộ nhớ đều là địa chỉ của không gian bóng tối (tức là, Addr1 và Addr2), với điều kiện được đảm bảo rằng địa chỉ truy cập có trong hai yêu cầu truy cập bộ nhớ có mối quan hệ lập bản đồ và biểu thị cùng một địa chỉ vật lý.

II. Cách thực hiện không theo trình tự (theo Fig.9)

Trong bản mô tả này, không theo trình tự dùng để chỉ tính không nhất quán giữa bậc mà trong đó yêu cầu truy cập bộ nhớ được gửi đến bộ điều khiển nhớ mở rộng và bậc mà trong đó bộ xử lý gửi yêu cầu truy cập bộ nhớ. Trong trường hợp này, bậc mà trong đó yêu cầu truy cập bộ nhớ được gửi không thể được xác định xem liệu địa chỉ hàng của địa chỉ truy cập có được đặt trong không gian bóng tối hoặc không gian bộ nhớ thực hay không. Do đó, trong trường hợp này, bậc mà trong đó yêu cầu truy cập bộ nhớ được gửi được xác định bằng cách truy vấn xem liệu có dữ

liệu cần được truy cập trong bộ đệm dữ liệu hay không.

Giả định rằng dữ liệu cần được truy cập được đặt trong hàng thứ i trong bộ nhớ mở rộng, và địa chỉ hàng của dữ liệu cần được truy cập là i . Theo phương pháp nêu trên, địa chỉ hàng của hai địa chỉ truy cập được tạo ra là i và $i+M$. Địa chỉ khối của hai địa chỉ truy cập được thiết lập là cùng một địa chỉ. Địa chỉ truy cập được tạo ra trên đây được ghi trong bộ đệm dữ liệu trong bộ điều khiển nhớ mở rộng.

Hai yêu cầu truy cập bộ nhớ được tạo kết cấu theo hai địa chỉ truy cập được tạo ra và được gửi bởi bộ xử lý đến bộ điều khiển nhớ mở rộng. Giả định rằng bộ xử lý thứ nhất gửi yêu cầu truy cập bộ nhớ với địa chỉ hàng $i+M$, và tiếp theo gửi yêu cầu truy cập bộ nhớ với địa chỉ hàng i . Quy trình thực hiện của phương pháp theo một phương án là như sau:

910. Bộ điều khiển nhớ mở rộng thu một cách liên tiếp hai yêu cầu truy cập bộ nhớ, trong đó địa chỉ truy cập trong hai yêu cầu truy cập bộ nhớ khác nhau, hai địa chỉ truy cập biểu thị cùng một địa chỉ vật lý, và địa chỉ vật lý này là địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng.

Cụ thể là, địa chỉ truy cập trong hai yêu cầu truy cập bộ nhớ khác nhau. Việc này ngăn không cho yêu cầu truy cập bộ nhớ được tạo ra theo hai địa chỉ truy cập được sáp nhập bởi bộ xử lý trong bộ ghi xử lý trạng thái bị mất (MSHR).

Hai địa chỉ truy cập biểu thị cùng một địa chỉ vật lý. Việc này cho biết rằng có mối quan hệ lập bản đồ giữa hai địa chỉ truy cập và địa chỉ vật lý.

930. Sau khi thu yêu cầu truy cập bộ nhớ, bộ điều khiển nhớ mở rộng lập bản đồ địa chỉ với địa chỉ vật lý của dữ liệu cần được truy cập, và tìm kiếm bộ đệm dữ liệu.

Cụ thể là, bộ đệm dữ liệu được tạo cấu hình để nhớ sẵn dữ liệu. Theo cách thực hiện cụ thể, bộ đệm dữ liệu có thể được thực hiện bằng cách sử dụng bộ nhớ sẵn. Việc lưu trữ được thực hiện theo cách <bộ nhận biết, dữ

liệu>. Địa chỉ vật lý của dữ liệu cần được truy cập có thể được sử dụng làm bộ nhận biết.

950. Khi bản ghi của dữ liệu cần được truy cập không được tìm thấy, xác định rằng yêu cầu truy cập bộ nhớ là yêu cầu truy cập bộ nhớ thứ nhất, phản hồi bộ nhận biết riêng đến bộ xử lý và gửi yêu cầu đọc dữ liệu cần được truy cập đến bộ nhớ mở rộng, trong đó yêu cầu đọc bao gồm địa chỉ vật lý.

Cụ thể là, ở bước 950, khi bộ điều khiển nhớ mở rộng không thể tìm thấy, trong bộ đệm dữ liệu, bản ghi của dữ liệu cần được truy cập, xác định rằng yêu cầu truy cập bộ nhớ được thu là yêu cầu truy cập bộ nhớ thứ nhất. Trong trường hợp này, yêu cầu đọc mà địa chỉ truy cập của nó là địa chỉ vật lý được tạo ra và được gửi đến bộ nhớ mở rộng, trong đó yêu cầu đọc được sử dụng để đọc dữ liệu cần được truy cập. Trong quy trình này, bộ điều khiển nhớ mở rộng còn tạo ra bộ nhận biết riêng (như 0x5a5a5a5a5a5a5a5a), và gửi bộ nhận biết riêng này đến bộ xử lý, sao cho bộ xử lý xác định, theo bộ nhận biết riêng, dữ liệu cần được truy cập đó không được đọc vào trong bộ đệm dữ liệu.

970. Khi bản ghi của dữ liệu cần được truy cập được tìm thấy, xác định rằng yêu cầu truy cập bộ nhớ là yêu cầu truy cập bộ nhớ thứ hai và đọc dữ liệu từ bộ đệm dữ liệu và phản hồi dữ liệu đến bộ xử lý.

Cụ thể là, khi bộ điều khiển nhớ mở rộng tìm thấy bản ghi của dữ liệu cần được truy cập, nó cho biết rằng yêu cầu truy cập bộ nhớ là yêu cầu truy cập bộ nhớ thứ hai và dữ liệu được đọc từ bộ đệm dữ liệu và được phản hồi đến hệ thống xử lý.

Theo cách thực hiện nêu trên, bộ xử lý tạo ra hai yêu cầu truy cập bộ nhớ và gửi hai yêu cầu truy cập bộ nhớ đến bộ điều khiển nhớ mở rộng, sao cho bộ điều khiển nhớ mở rộng đọc dữ liệu cần được truy cập trong bộ nhớ mở rộng theo hai yêu cầu truy cập bộ nhớ. Việc này giải quyết vấn đề rằng độ trễ truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng

bởi bộ xử lý không thể đáp ứng yêu cầu của giao thức truy cập bộ nhớ.

Thiết bị theo phương án của sáng chế

Phương án theo sáng chế còn đề xuất thiết bị của bộ điều khiển nhớ mở rộng. Theo Fig.10, bộ điều khiển nhớ mở rộng được áp dụng để truy cập dữ liệu cần được truy cập trong bộ nhớ mở rộng bởi bộ xử lý trong máy tính. Bộ điều khiển nhớ mở rộng được kết nối với máy tính bằng cách sử dụng bus bộ nhớ. Bộ điều khiển nhớ mở rộng bao gồm:

môđun thu 1010, được tạo cấu hình để thu $N+1$ yêu cầu truy cập bộ nhớ được gửi theo trình tự bởi hệ thống xử lý trong máy tính, trong đó địa chỉ truy cập có trong tất cả các yêu cầu truy cập bộ nhớ là khác nhau và biểu thị cùng một địa chỉ vật lý, địa chỉ vật lý này là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, $N \geq 1$, và N là số nguyên;

môđun thực hiện 1020, được tạo cấu hình để: khi yêu cầu truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ được thu, xác định địa chỉ vật lý theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, trong đó địa chỉ vật lý là địa chỉ lưu trữ của dữ liệu cần được truy cập trong bộ nhớ mở rộng, gửi, đến bộ nhớ mở rộng, yêu cầu đọc để thu dữ liệu cần được truy cập, và tạo ra thông báo đáp lại riêng, trong đó yêu cầu đọc bao gồm địa chỉ vật lý; trước khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu, mỗi lần yêu cầu truy cập bộ nhớ của $N+1$ yêu cầu truy cập bộ nhớ được thu, tạo ra thông báo đáp lại riêng trong độ trễ truy cập quy định trong giao thức bus bộ nhớ; ghi dữ liệu cần được truy cập vào trong bộ đệm dữ liệu 1040 sau khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu và dùng phản hồi thông báo đáp lại riêng đến hệ thống xử lý; và sau khi dữ liệu cần được truy cập được ghi vào trong bộ đệm dữ liệu 1040, khi yêu cầu truy cập bộ nhớ của $N+1$ yêu cầu truy cập bộ nhớ được thu, đọc dữ liệu cần được truy cập từ bộ đệm dữ liệu 1040, và gửi dữ liệu cần được truy cập đến môđun

gửi; và

môđun gửi 1030, được tạo cấu hình để: gửi yêu cầu đọc đến bộ nhớ mở rộng, và phản hồi thông báo đáp lại riêng đến hệ thống xử lý; trước khi dữ liệu cần được truy cập được phản hồi bởi bộ nhớ mở rộng được thu, mỗi lần yêu cầu truy cập bộ nhớ khác sau khi yêu cầu truy cập bộ nhớ thứ nhất của $N+1$ yêu cầu truy cập bộ nhớ được thu, phản hồi thông báo đáp lại riêng đến hệ thống xử lý trong độ trễ truy cập quy định trong giao thức bus bộ nhớ; và thu dữ liệu cần được truy cập từ môđun thực hiện 1020, và gửi dữ liệu cần được truy cập đến hệ thống xử lý.

Hơn nữa, địa chỉ truy cập trong tất cả $N+1$ yêu cầu truy cập bộ nhớ bao gồm cùng một địa chỉ khối và các địa chỉ hàng khác nhau.

Hơn nữa, môđun thực hiện 1020 còn được tạo cấu hình để: thiết lập trước mỗi quan hệ lập bản đồ giữa địa chỉ truy cập có trong tất cả $N+1$ yêu cầu truy cập bộ nhớ và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng; và truy vấn, theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, mỗi quan hệ lập bản đồ giữa địa chỉ truy cập có trong yêu cầu truy cập bộ nhớ thứ nhất và địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng, để thu địa chỉ vật lý của dữ liệu cần được truy cập trong bộ nhớ mở rộng.

Hơn nữa, môđun thực hiện 1020 còn được tạo cấu hình để: sau khi địa chỉ vật lý được xác định theo địa chỉ truy cập mang trong yêu cầu truy cập bộ nhớ thứ nhất, tạo ra bản ghi trong bộ đệm dữ liệu, trong đó bản ghi này bao gồm trường nhãn và trường dữ liệu, và thiết lập trường nhãn thành địa chỉ vật lý.

Hơn nữa, bản ghi còn bao gồm trường hiệu lực, và môđun thực hiện 1020 còn được tạo cấu hình để thiết lập trường hiệu lực trong bản ghi thành không có hiệu lực.

Hơn nữa, môđun thực hiện 1020 còn được tạo cấu hình để: mỗi lần yêu cầu truy cập bộ nhớ khác yêu cầu truy cập bộ nhớ thứ nhất của $N+1$

yêu cầu truy cập bộ nhớ được thu, truy vấn mối quan hệ lập bản đồ theo địa chỉ truy cập mang trong tất cả các yêu cầu truy cập bộ nhớ, để thu địa chỉ vật lý; và truy vấn bản ghi trong bộ đệm dữ liệu 1040 theo địa chỉ vật lý, và tạo ra thông báo đáp lại riêng khi được xác định rằng trường hiệu lực trong bản khi là không có hiệu lực.

Hơn nữa, mô đun thực hiện 1020 còn được tạo cấu hình để: tìm kiếm bộ đệm dữ liệu 1040 đối với bản ghi tương ứng với địa chỉ vật lý, thiết lập trường dữ liệu trong bản ghi thành dữ liệu cần được truy cập, và thiết lập trường hiệu lực thành có hiệu lực.

Hơn nữa, cần phải lưu ý rằng, bộ điều khiển nhớ mở rộng theo phương án nêu trên, bộ đệm dữ liệu 1040 được tích hợp vào trong bộ điều khiển nhớ mở rộng này. Đây chỉ là một cách thực hiện. Chuyên gia trong lĩnh vực này cần phải hiểu rằng bộ đệm dữ liệu 1040 còn có thể được thực hiện một cách độc lập với bộ điều khiển nhớ mở rộng.

Sáng chế còn đề xuất hệ thống máy tính bao gồm bộ nhớ mở rộng. Như được thể hiện trên Fig.2, hệ thống máy tính bao gồm hệ thống xử lý 201, bộ nhớ hệ thống 202, bộ điều khiển nhớ mở rộng 203 như được mô tả trong thiết bị theo một phương án thể hiện bộ điều khiển nhớ mở rộng, và bộ nhớ mở rộng 204. Bộ điều khiển nhớ mở rộng 203 được kết nối với bộ nhớ mở rộng 204, và bộ điều khiển nhớ mở rộng 203 được kết nối với hệ thống xử lý 201 bằng cách sử dụng giao diện bộ nhớ. Hệ thống xử lý 201 được kết nối với bộ nhớ hệ thống 202, và bộ nhớ hệ thống 202 được tạo cấu hình để lưu trữ hướng dẫn có thể thực hiện được. Hệ thống xử lý 201 được tạo cấu hình để thực hiện hướng dẫn có thể thực hiện được được lưu trữ trong bộ nhớ hệ thống 202, sao cho hệ thống xử lý 201 thực hiện phương pháp truy cập bộ nhớ mở rộng trong hệ thống nhớ mở rộng bởi máy tính được thể hiện trong phương pháp theo một phương án truy cập bộ nhớ mở rộng by máy tính.

Chuyên gia trong lĩnh vực này cần phải hiểu rằng, kết hợp với các ví

dụ được mô tả theo các phương án được bộc lộ trong sáng chế, các đơn vị và các bước của thuật toán có thể được thực hiện bởi phần cứng điện tử, phần mềm máy tính hoặc tổ hợp của nó. Để mô tả một cách rõ ràng khả năng thay thế cho nhau giữa phần cứng và phần mềm, phần mô tả trên đây nói chung đã mô tả các thành phần và các bước của mỗi ví dụ theo chức năng. Xem liệu các chức năng này có được thực hiện bởi phần cứng hoặc phần mềm hay không phụ thuộc vào các ứng dụng cụ thể và các điều kiện ràng buộc thiết kế. Chuyên gia trong lĩnh vực này có thể sử dụng các phương pháp khác nhau để thực hiện các chức năng đã được mô tả đối với mỗi ứng dụng cụ thể, nhưng không nên hiểu rằng cách thực hiện này vượt quá phạm vi bảo hộ của sáng chế.

Chuyên gia trong lĩnh vực này cần phải hiểu rõ rằng, nhằm mục đích mô tả tiện lợi và vắn tắt, đối với quy trình vận hành chi tiết của hệ thống, thiết bị và đơn vị nêu trên, cần phải viện dẫn đến quy trình tương ứng theo phương pháp theo các phương án nêu trên và phần mô tả chi tiết không được mô tả một lần nữa trong bản mô tả này.

Theo vài phương án được đề xuất trong bản mô tả này, cần phải hiểu rằng hệ thống, thiết bị và phương pháp được bộc lộ có thể được thực hiện theo các cách khác. Ví dụ, thiết bị theo một phương án được mô tả chỉ đơn thuần là một ví dụ. Ví dụ, phần thiết bị chỉ đơn thuần là phần chức năng logic và có thể là phần khác theo cách thực hiện thực. Ví dụ, các thiết bị hoặc thành phần có thể được kết hợp hoặc được tích hợp vào trong hệ thống khác hoặc một số dấu hiệu có thể được bỏ qua hoặc không thể được thực hiện. Ngoài ra, các kết hợp lẫn nhau đã được hiển thị hoặc được trình bày hoặc các kết hợp trực tiếp hoặc các kết nối truyền thông có thể được thực hiện bằng cách sử dụng một số giao diện. Các kết hợp gián tiếp hoặc các kết nối truyền thông giữa các thiết bị hoặc các bộ phận có thể được thực hiện ở dạng điện tử, cơ học hoặc các dạng khác.

Các bộ phận được mô tả như các phần riêng biệt có thể hoặc không

thể riêng biệt về mặt vật lý và các phần được hiển thị như các thành phần có thể hoặc không thể là các thành phần vật lý, có thể được đặt trong một vị trí hoặc có thể được phân phối trên nhiều thành phần mạng. Một phần hoặc tất cả các thành phần có thể được chọn theo các nhu cầu thực để đạt được các mục đích của giải pháp theo các phương án của sáng chế.

Ngoài ra, các thành phần chức năng theo các phương án của sáng chế có thể được tích hợp vào trong một thành phần xử lý hoặc mỗi thành phần trong số các thành phần có thể tồn tại đơn lẻ về mặt vật lý hoặc hai hoặc nhiều thành phần được tích hợp vào trong một thành phần. Thành phần đã được tích hợp này có thể được thực hiện ở dạng phần cứng hoặc có thể được thực hiện ở dạng thành phần chức năng phần mềm.

Khi thành phần đã được tích hợp được thực hiện ở dạng thành phần chức năng phần mềm và được bán hoặc được sử dụng như sản phẩm độc lập, thành phần đã được tích hợp có thể được lưu trữ trong vật ghi đọc được bằng máy tính. Dựa vào sự hiểu biết như vậy, các giải pháp kỹ thuật của sáng chế hầu như hoặc một phần của giải pháp kỹ thuật đã biết hoặc tất cả hoặc một phần của các giải pháp kỹ thuật có thể được thực hiện ở dạng sản phẩm phần mềm. Sản phẩm phần mềm được lưu trữ trong vật ghi và bao gồm vài hướng dẫn để chỉ dẫn thiết bị máy tính (mà có thể là máy tính cá nhân, máy chủ hoặc thiết bị mạng) thực hiện tất cả hoặc một phần của các bước của phương pháp được mô tả theo các phương án của sáng chế. Vật ghi lưu trữ nêu trên bao gồm: vật ghi bất kỳ mà có thể lưu trữ mã chương trình, như ổ đĩa USB, ổ đĩa cứng tháo ra được, bộ nhớ chỉ đọc (read-only memory-ROM), bộ nhớ truy cập ngẫu nhiên (Random Access Memory-RAM), đĩa từ hoặc đĩa quang.

Phần mô tả nêu trên chỉ đơn thuần là sáng chế theo các phương án cụ thể của nó, nhưng không được dự định để giới hạn phạm vi bảo hộ của sáng chế. Chuyên gia trong lĩnh vực này dễ dàng tạo ra sửa đổi hoặc thay thế bất kỳ nằm trong phạm vi kỹ thuật đã được bộc lộ trong bản mô tả

sáng chế đều nằm trong phạm vi bảo hộ của sáng chế. Do đó, phạm vi bảo hộ của sáng chế sẽ được xác định là phạm vi bảo hộ của các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Phương pháp truy cập bộ nhớ mở rộng của máy tính được thực hiện bằng bộ điều khiển bộ nhớ mở rộng, phương pháp bao gồm các bước:

nhận, từ hệ thống bộ xử lý của máy tính, yêu cầu truy cập bộ nhớ thứ nhất để đọc dữ liệu được yêu cầu được lưu trữ trong bộ nhớ mở rộng, trong đó yêu cầu truy cập bộ nhớ thứ nhất bao gồm địa chỉ truy cập thứ nhất của dữ liệu được yêu cầu;

gửi, đến bộ nhớ được mở rộng, yêu cầu được đọc để đọc dữ liệu được yêu cầu, trong đó yêu cầu được đọc bao gồm địa chỉ vật lý của dữ liệu được yêu cầu tương ứng với địa chỉ truy cập thứ nhất;

gửi, đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ nhất và trước khi dữ liệu được yêu cầu được nhận từ bộ nhớ được mở rộng, thông điệp đáp ứng thứ nhất chỉ báo rằng bộ điều khiển bộ nhớ được mở rộng đã không thu được dữ liệu được yêu cầu;

nhận, sau khi gửi thông điệp đáp ứng thứ nhất, dữ liệu được yêu cầu từ bộ nhớ được mở rộng;

ghi, dữ liệu được yêu cầu vào bộ đệm dữ liệu của bộ điều khiển bộ nhớ được mở rộng;

nhận yêu cầu truy cập bộ nhớ thứ hai từ hệ thống bộ xử lý sau khi nhận yêu cầu truy cập bộ nhớ thứ nhất, trong đó yêu cầu truy cập bộ nhớ thứ hai bao gồm địa chỉ truy cập thứ hai;

xác định rằng địa chỉ truy cập thứ hai cũng tương ứng với địa chỉ vật lý của dữ liệu được yêu cầu, trong đó địa chỉ truy cập thứ hai khác với địa chỉ truy cập thứ nhất;

gửi dữ liệu được yêu cầu trong bộ đệm dữ liệu đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ hai.

2. Phương pháp theo điểm 1, trong đó phương pháp còn bao gồm các bước:

nhận, từ hệ thống bộ xử lý, yêu cầu truy cập bộ nhớ thứ ba bao gồm địa chỉ truy cập thứ ba trước khi nhận dữ liệu được yêu cầu từ bộ nhớ được mở rộng, trong đó địa chỉ truy cập thứ ba khác với địa chỉ truy cập thứ nhất và địa chỉ truy cập thứ hai, và địa chỉ truy cập thứ ba cũng tương ứng với địa chỉ vật lý;

gửi, đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ ba, thông điệp đáp ứng thứ ba chỉ báo dữ liệu này đã không được nhận.

3. Phương pháp theo điểm 1, trong đó địa chỉ truy cập thứ nhất bao gồm địa chỉ khối thứ nhất và địa chỉ hàng thứ nhất, địa chỉ truy cập thứ hai bao gồm địa chỉ khối thứ nhất và địa chỉ hàng thứ hai, và trong đó địa chỉ hàng thứ nhất khác với địa chỉ hàng thứ hai.

4. Phương pháp theo điểm 1, trong đó phương pháp còn bao gồm bước:

tạo, bản ghi trong bộ đệm dữ liệu, trong đó bản ghi bao gồm trường thẻ và trường hợp lệ, trong đó trường thẻ tương ứng với địa chỉ vật lý, và trong đó trường hợp lệ chỉ báo không hợp lệ trước khi nhận dữ liệu từ bộ nhớ được mở rộng.

5. Phương pháp theo điểm 4, trong đó phương pháp còn bao gồm các bước:

lưu trữ dữ liệu được yêu cầu được nhận từ bộ nhớ được mở rộng trong trường dữ liệu của bản ghi; và

thiết lập trường hợp lệ của bản ghi để chỉ báo hợp lệ.

6. Phương pháp truy cập bộ nhớ được mở rộng của máy tính được thực hiện bằng hệ thống bộ xử lý của máy tính qua bộ điều khiển bộ nhớ mở rộng của máy tính, trong đó phương pháp bao gồm các bước:

nhận, địa chỉ lưu trữ của dữ liệu được yêu cầu được lưu trữ trong bộ

nhớ mở rộng;

tạo, theo địa chỉ lưu trữ của dữ liệu được yêu cầu, $N+1$ yêu cầu truy cập bộ nhớ mà mỗi yêu cầu chứa địa chỉ truy cập, trong đó các địa chỉ truy cập của $N+1$ yêu cầu truy cập bộ nhớ khác nhau và tương ứng với cùng địa chỉ vật lý của dữ liệu được yêu cầu trong bộ nhớ được mở rộng, $N \geq 1$, và N là số nguyên; và

gửi, $N+1$ yêu cầu truy cập bộ nhớ đến bộ điều khiển bộ nhớ được mở rộng.

7. Phương pháp theo điểm 6, trong đó phương pháp còn bao gồm bước xác định N theo tham số độ trễ để thu được dữ liệu được yêu cầu từ bộ nhớ được mở rộng bằng máy tính, trong đó tham số độ trễ bao gồm:

độ trễ t_{PD1} truyền yêu cầu truy cập bộ nhớ từ bộ điều khiển bộ nhớ được mở rộng to bộ nhớ được mở rộng;

độ trễ t_{PD2} truyền dữ liệu được truy cập bởi yêu cầu truy cập bộ nhớ, từ bộ nhớ được mở rộng đến bộ điều khiển bộ nhớ được mở rộng; hoặc

khoảng thời gian $T_Interval$ giữa hai yêu cầu truy cập bộ nhớ liên tiếp được gửi bằng hệ thống bộ xử lý.

8. Phương pháp theo điểm 7, trong đó N không nhỏ hơn giá trị làm tròn của $(t_{PD1}+t_{PD2})/T_Interval$.

9. Phương pháp theo điểm 7, trong đó giá trị của $T_Interval$ tương ứng với $t_{GAPmin}=t_{RCD}+t_{RTP}+t_{RP}$, t_{RCD} chỉ báo khoảng giá trị nhỏ nhất từ khi gửi lệnh kích hoạt đến khi gửi lệnh đọc, t_{RTP} chỉ báo khoảng giá trị nhỏ nhất từ khi gửi lệnh đọc đến khi gửi lệnh trước khi tính cước, và t_{RP} chỉ báo khoảng giá trị nhỏ nhất từ khi gửi lệnh trước khi tính cước đến khi gửi lệnh kích hoạt tiếp theo.

10. Phương pháp theo điểm 7, trong đó giá trị của $T_Interval$ tương ứng

với độ trễ để thực thi, bằng hệ thống bộ xử lý, lệnh chặn giữa hai yêu cầu truy cập bộ nhớ liên tiếp.

11. Phương pháp theo điểm 7, trong đó:

N địa chỉ truy cập của N trong N+1 yêu cầu truy cập bộ nhớ được tạo theo địa chỉ vật lý được biến đổi từ địa chỉ lưu trữ của dữ liệu, trong đó địa chỉ lưu trữ là địa chỉ ảo, trong đó N địa chỉ truy cập bao gồm các địa chỉ hàng riêng rẽ để chỉ đến cùng địa chỉ vật lý, mỗi địa chỉ hàng riêng rẽ dựa trên các bội số của số lượng hàng bộ nhớ trong bộ nhớ được mở rộng kết hợp với địa chỉ hàng của địa chỉ vật lý, và trong đó mỗi địa chỉ trong N địa chỉ truy cập bao gồm địa chỉ khối tương tự của địa chỉ vật lý và địa chỉ hàng khác của địa chỉ vật lý để gây ra thiếu hàng trong hệ thống bộ xử lý.

12. Hệ thống bộ nhớ được mở rộng bao gồm:

bộ nhớ được mở rộng;

bộ điều khiển bộ nhớ được mở rộng được ghép nối với bộ nhớ được mở rộng;

bộ điều khiển bộ nhớ được mở rộng được tạo cấu hình để:

nhận, từ hệ thống bộ xử lý của máy tính, yêu cầu truy cập bộ nhớ thứ nhất để đọc dữ liệu được yêu cầu được lưu trữ trong bộ nhớ mở rộng, trong đó yêu cầu truy cập bộ nhớ thứ nhất bao gồm địa chỉ truy cập thứ nhất của dữ liệu được yêu cầu;

gửi, đến bộ nhớ được mở rộng, yêu cầu được đọc để đọc dữ liệu được yêu cầu, trong đó yêu cầu được đọc bao gồm địa chỉ vật lý của dữ liệu được yêu cầu tương ứng với địa chỉ truy cập thứ nhất;

gửi, đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ nhất và trước khi dữ liệu được yêu cầu được nhận từ bộ nhớ được mở rộng, thông điệp đáp ứng thứ nhất chỉ báo dữ liệu được yêu cầu đã không

thu được bằng bộ điều khiển bộ nhớ được mở rộng;

nhận dữ liệu được yêu cầu từ bộ nhớ được mở rộng sau khi gửi thông điệp đáp ứng thứ nhất;

ghi dữ liệu được yêu cầu vào bộ đệm dữ liệu của bộ điều khiển bộ nhớ được mở rộng;

nhận, từ hệ thống bộ xử lý sau khi nhận yêu cầu truy cập bộ nhớ thứ nhất, yêu cầu truy cập bộ nhớ thứ hai bao gồm địa chỉ truy cập thứ hai;

xác định rằng địa chỉ truy cập thứ hai cũng tương ứng với địa chỉ vật lý của dữ liệu được yêu cầu, trong đó địa chỉ truy cập thứ hai khác với địa chỉ truy cập thứ nhất;

gửi, dữ liệu được yêu cầu trong bộ đệm dữ liệu đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ hai.

13. Hệ thống bộ nhớ được mở rộng theo điểm 12, trong đó bộ điều khiển bộ nhớ được mở rộng còn được tạo cấu hình để:

nhận, từ hệ thống bộ xử lý, yêu cầu truy cập bộ nhớ thứ ba bao gồm địa chỉ truy cập thứ ba trước khi nhận dữ liệu từ bộ nhớ được mở rộng, trong đó địa chỉ truy cập thứ ba khác với địa chỉ truy cập thứ nhất và địa chỉ truy cập thứ hai, và địa chỉ truy cập thứ ba cũng tương ứng với địa chỉ vật lý của dữ liệu được yêu cầu;

gửi, đến hệ thống bộ xử lý đáp lại yêu cầu truy cập bộ nhớ thứ ba, thông điệp đáp ứng thứ ba chỉ báo dữ liệu này đã không được nhận by bộ điều khiển bộ nhớ được mở rộng.

14. Hệ thống bộ nhớ được mở rộng theo điểm 12, trong đó địa chỉ truy cập thứ nhất bao gồm địa chỉ khối thứ nhất và địa chỉ hàng thứ nhất, địa chỉ truy cập thứ hai bao gồm địa chỉ khối thứ nhất và địa chỉ hàng thứ hai, và trong đó địa chỉ hàng thứ nhất khác với địa chỉ hàng thứ hai.

15. Hệ thống bộ nhớ được mở rộng theo điểm 14, trong đó bộ điều khiển bộ nhớ được mở rộng còn được tạo cấu hình để:

tạo bản ghi trong bộ đệm dữ liệu, trong đó bản ghi bao gồm trường thẻ và trường hợp lệ, trong đó trường thẻ tương ứng với địa chỉ vật lý, và trong đó trường hợp lệ chỉ báo không hợp lệ trước khi nhận dữ liệu được yêu cầu từ bộ nhớ được mở rộng.

16. Hệ thống bộ nhớ được mở rộng theo điểm 15, trong đó bộ điều khiển bộ nhớ được mở rộng còn được tạo cấu hình để:

lưu trữ dữ liệu được yêu cầu được nhận từ bộ nhớ được mở rộng trong trường dữ liệu của bản ghi; và

thiết lập trường hợp lệ của bản ghi để chỉ báo hợp lệ.

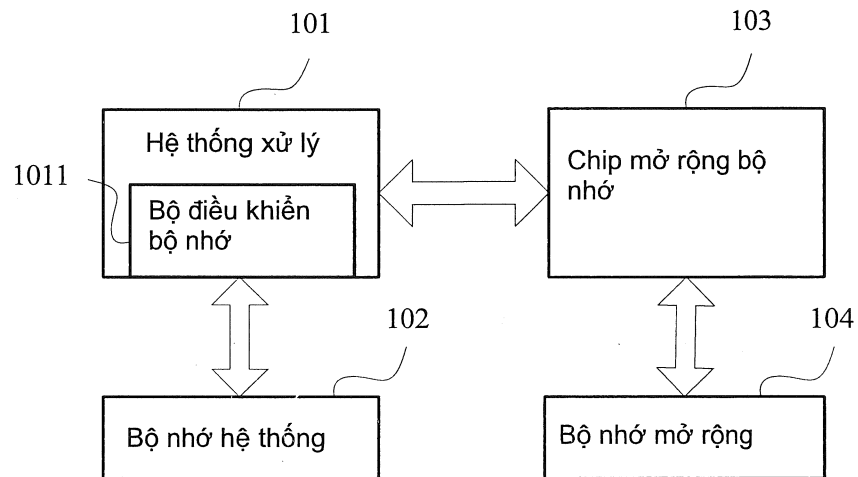


FIG. 1

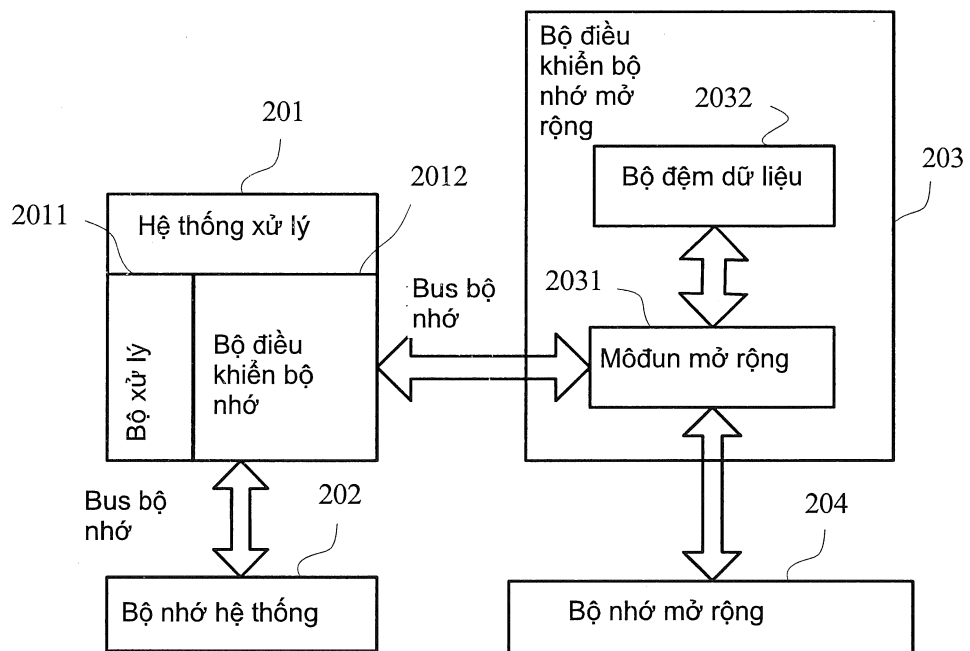


FIG. 2

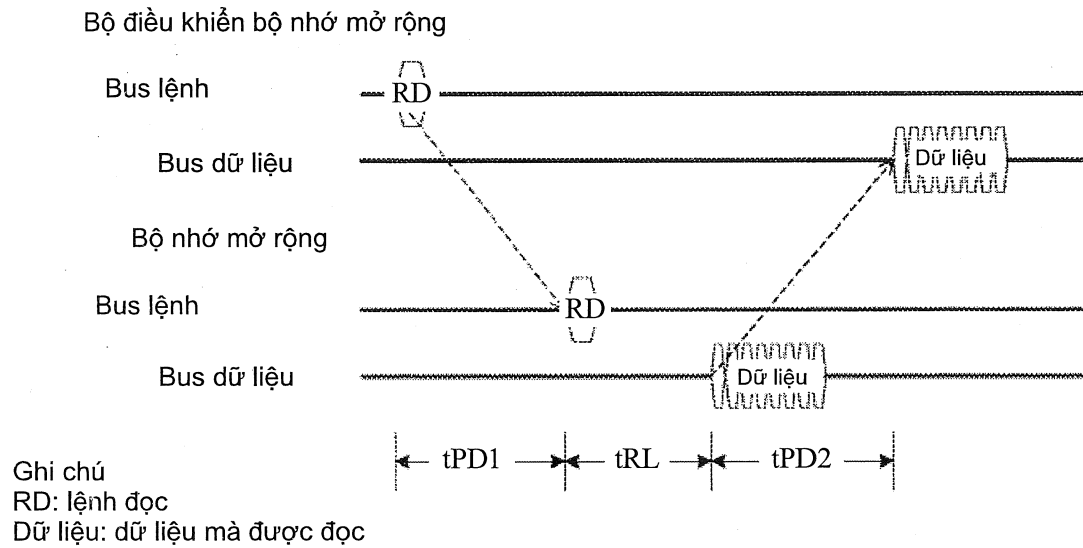


FIG. 3

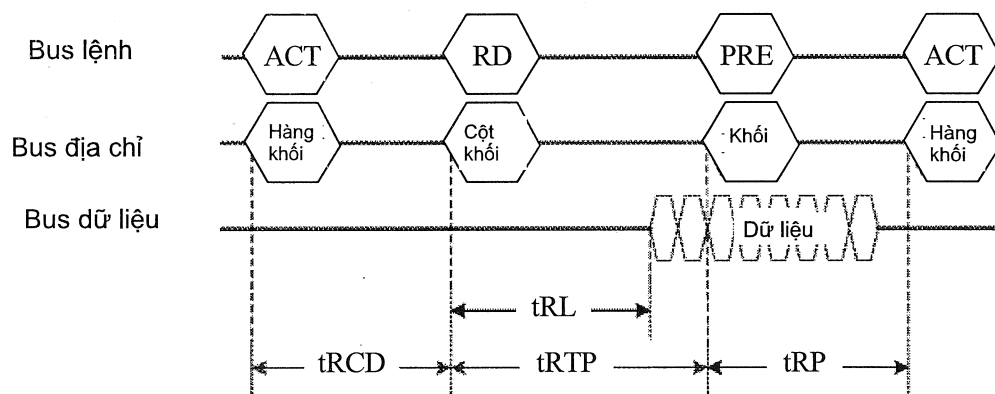


FIG. 4

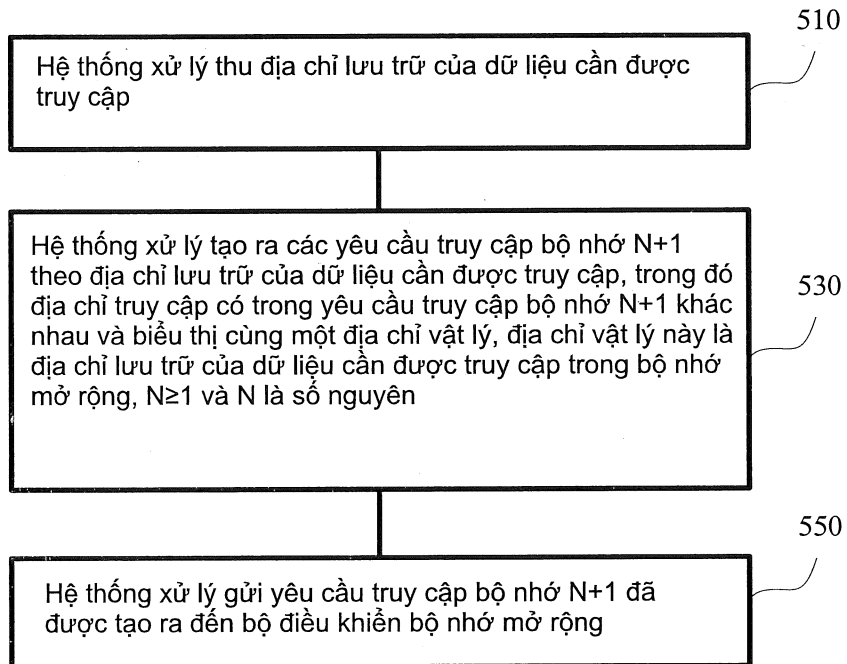


FIG. 5A

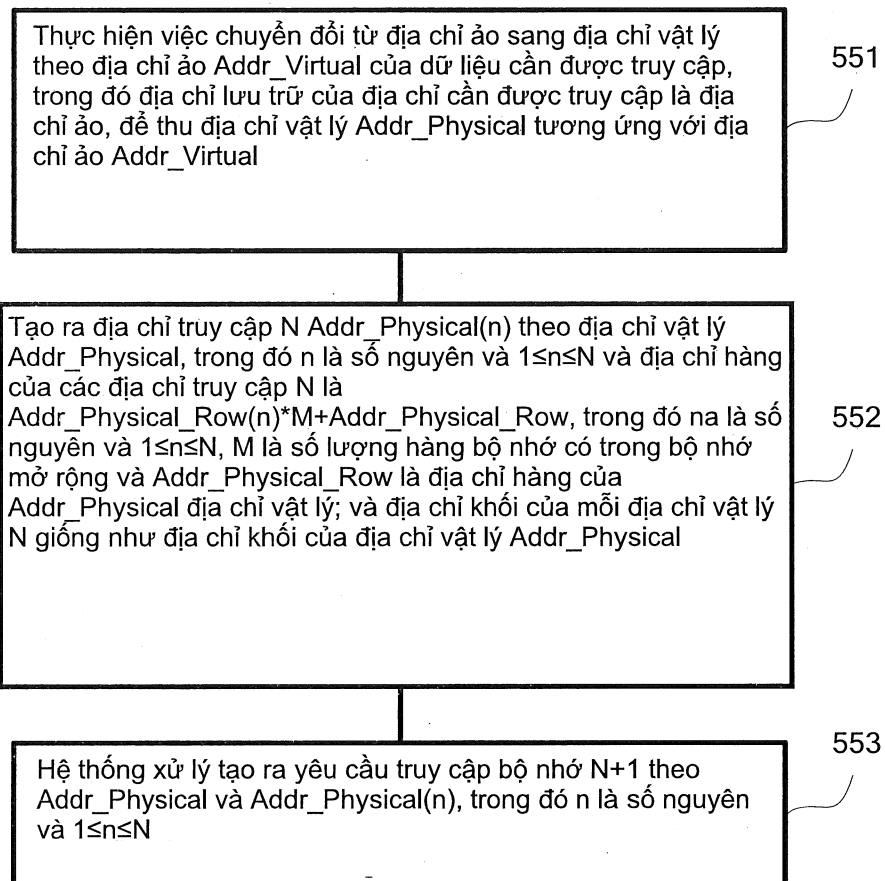


FIG. 5B

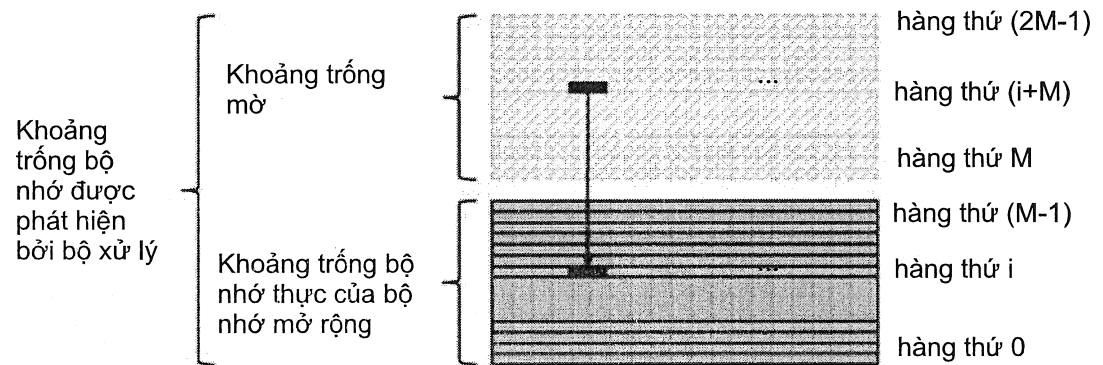


FIG. 6

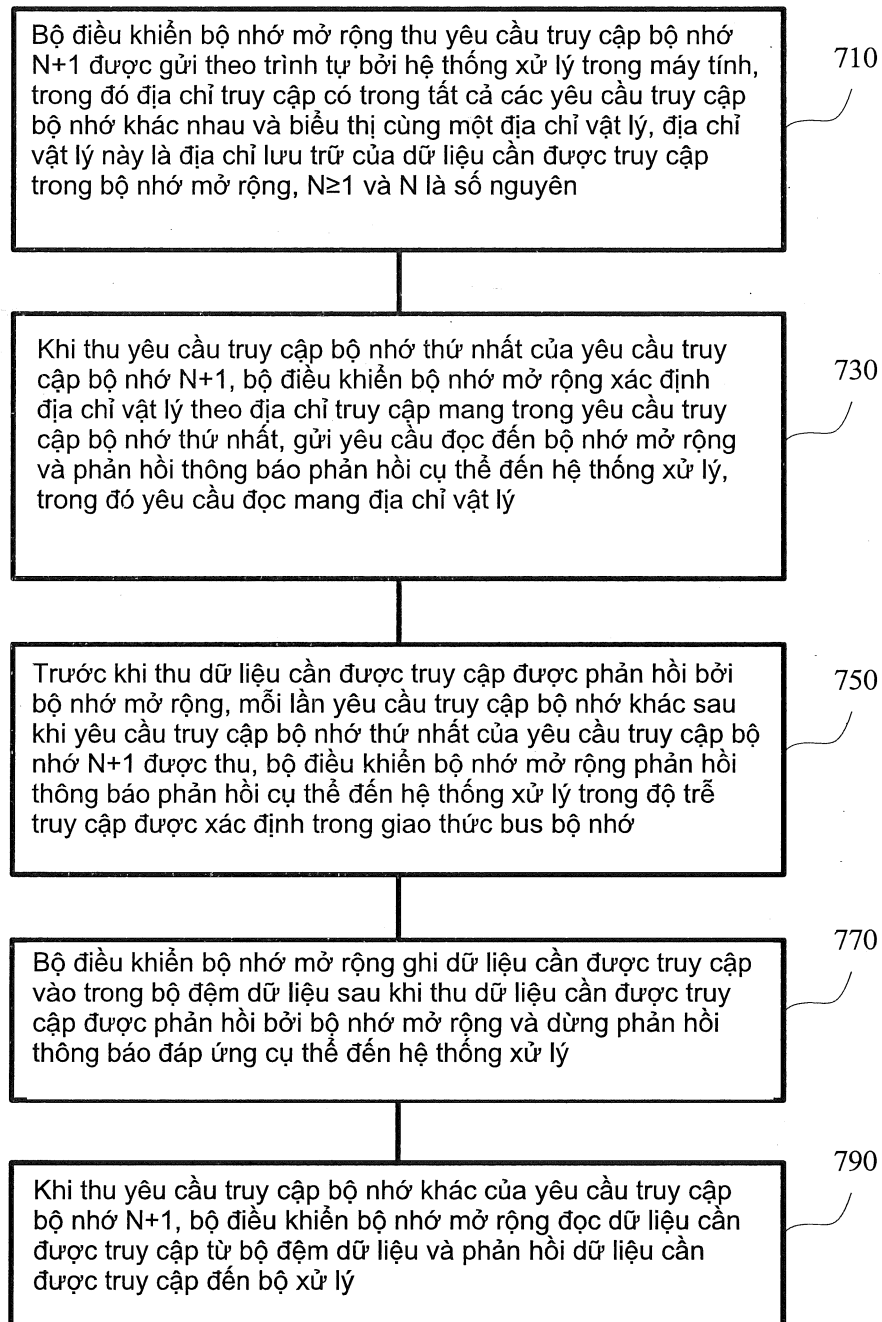


FIG. 7

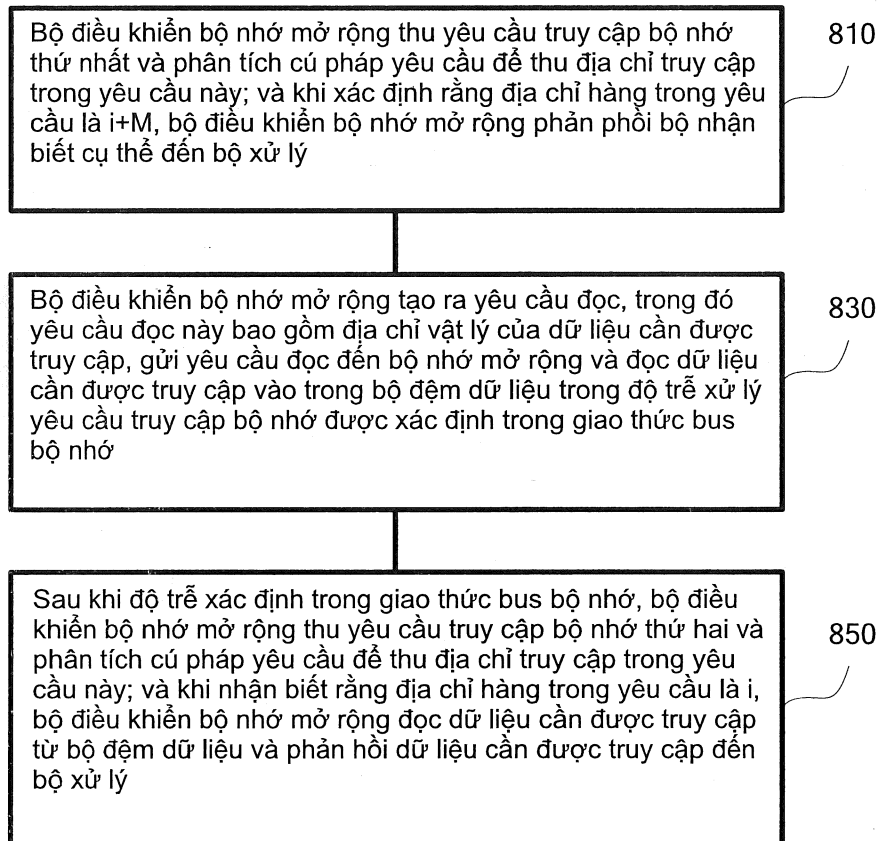


FIG. 8

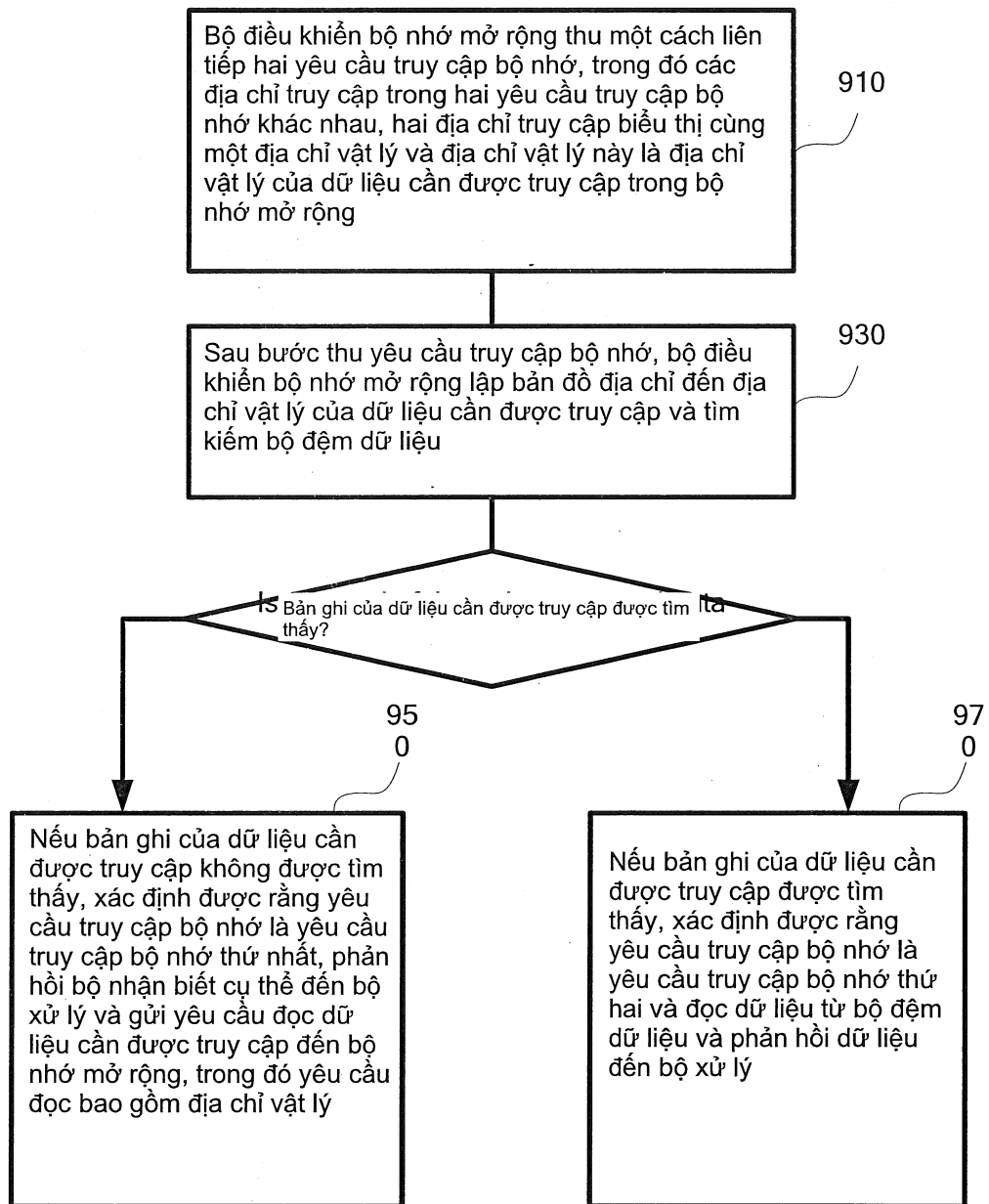


FIG. 9

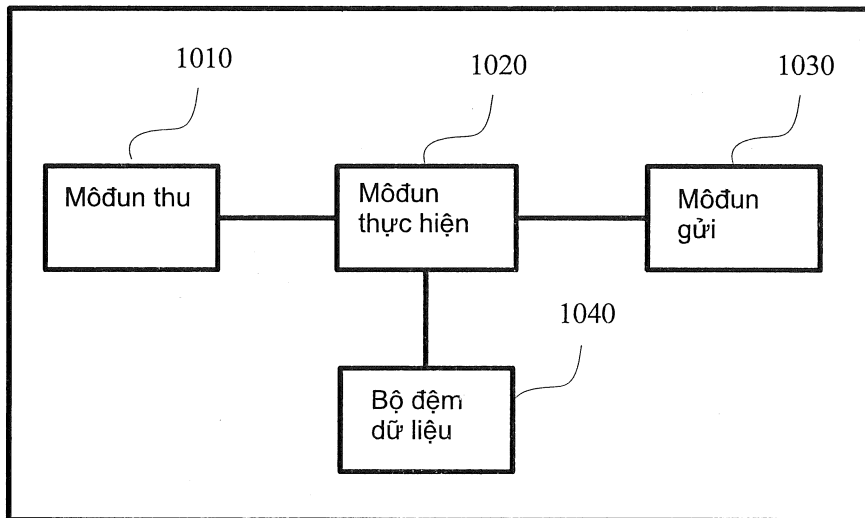


FIG. 10