



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0030896

(51)⁷ H01L 29/78; H01L 21/336

(13) B

(21) 1-2016-02288

(22) 23/12/2013

(86) PCT/US2013/077627 23/12/2013

(87) WO 2015/099692 02/07/2015

(45) 25/01/2022 406

(43) 25/01/2017 346A

(73) 1. Intel Corporation (US)

2200 Mission College Blvd., M/S: RNB-4150, Santa Clara, California 95054, United States of America

2. GLASS, Glenn A. (US)

6220 SW Madhatter Lane, Beaverton, Oregon 97008, United States of America

3. MURTHY, Anand (US)

10934 NW Lucerne Ct., Portland, Oregon 97229, United States of America

4. MOHAPATRA, Chandra (US)

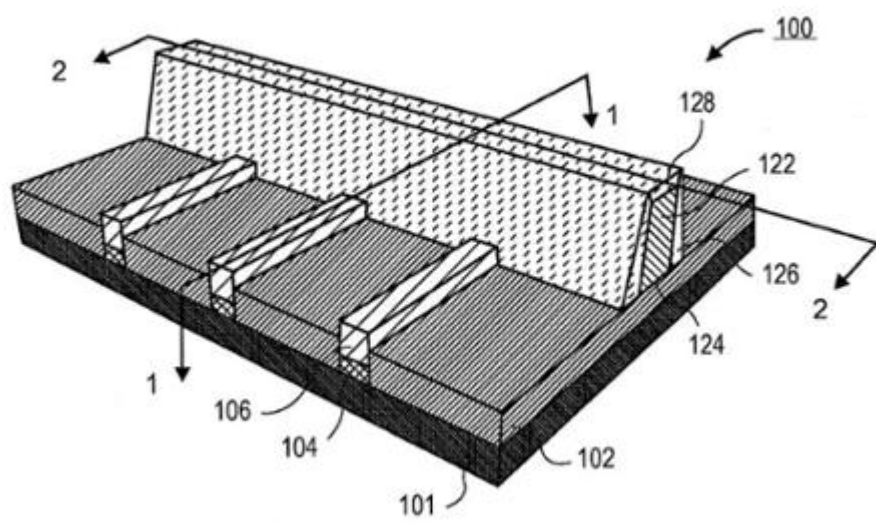
1865 NW 173rd Avenue, Apt 2105, Beaverton, Oregon 97006, United States of America

(72) GLASS, Glenn A. (US); MURTHY, Anand (US); MOHAPATRA, Chandra (IN).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ BÁN DẪN

(57) Sáng chế đề cập đến thiết bị tranzito n-MOS và phương pháp tạo ra thiết bị này. Thiết bị tranzito n-MOS này bao gồm lớp nền bán dẫn có một hoặc nhiều vùng hoạt động thay thế được tạo ra trên lớp nền. Các vùng hoạt động thay thế này bao gồm vật liệu bán dẫn nhóm III-V thứ nhất. Cấu trúc cực cổng được tạo ra trên các vùng hoạt động thay thế. Các hốc cực nguồn/cực máng (Source/Drain, S/D) được tạo ra ở vùng hoạt động thay thế liền kề với cấu trúc cực cổng. Các vùng S/D thay thế này được tạo ra ở các hốc S/D và bao gồm vật liệu bán dẫn nhóm III-V thứ hai có hằng số mạng nhỏ hơn hằng số mạng của vật liệu bán dẫn nhóm III-V thứ nhất. Hằng số mạng nhỏ hơn của vật liệu nhóm III-V thứ hai gây ra biến dạng đơn trục đối với kênh được tạo ra từ vật liệu nhóm III-V thứ nhất. Biến dạng đơn trục ở kênh cải thiện độ linh động của phân tử mang trong thiết bị n-MOS.



Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập đến việc sản xuất các thiết bị bán dẫn. Cụ thể là, các phương án của sáng chế đề cập đến các thiết bị bán dẫn có các vùng kênh thay thế nhóm III-V và các vùng cực nguồn/cực máng (source/drain, S/D) thay thế nhóm III-V.

Tình trạng kỹ thuật của sáng chế

Thông số thiết kế chính dùng cho thiết bị tranzito là dòng điện được cấp ở điện áp thiết kế đã cho. Thông số này được gọi chung là dòng điện kích thích hoặc dòng điện bão hòa (I_{Dsat}). Một yếu tố có ảnh hưởng đến dòng điện kích thích là độ linh động của phân tử mang của vùng kênh. Việc tăng độ linh động của phân tử mang ở vùng kênh dẫn đến tăng dòng điện kích thích. Các phân tử mang trong các tranzito n-MOS và p-MOS lần lượt là các điện tử và các lỗ trống. Độ linh động điện tử của vùng kênh trong các thiết bị n-MOS có thể được tăng lên bằng cách cho vùng này chịu biến dạng kéo đơn trục. Theo cách khác, độ linh động lỗ trống của vùng kênh trong các thiết bị p-MOS có thể được tăng lên bằng cách đưa biến dạng nén đơn trục vào vùng kênh.

Bản chất kỹ thuật của sáng chế

Thiết bị bán dẫn bao gồm:

lớp nền bán dẫn;

một hoặc nhiều vùng hoạt động thay thế được bố trí trên bề mặt trên cùng của lớp nền bán dẫn, trong đó các vùng hoạt động thay thế là vật liệu bán dẫn nhóm III-V thứ nhất;

cấu trúc cực cổng được tạo ra trên một hoặc nhiều vùng hoạt động thay thế;

các hốc cực nguồn/cực máng (source/drain, S/D) ở các vùng hoạt động thay thế;

các vùng S/D thay thế được tạo ra ở các hốc S/D, trong đó các vùng S/D thay thế này bao gồm vật liệu bán dẫn nhóm III-V thứ hai có hằng số mạng nhỏ hơn hằng số mạng của vật liệu bán dẫn nhóm III-V thứ nhất; và

lớp cách điện rãnh nông (shallow trench isolation, STI) được tạo ra giữa các

vùng hoạt động thay thế liền kề, trong đó ít nhất một phần của các vùng S/D thay thế tiếp xúc với bề mặt trên cùng của lớp STI.

Mô tả vắn tắt các hình vẽ

Fig.1A minh họa hình vẽ phối cảnh của các tranzito n-MOS được tạo ra trên lớp nền bán dẫn theo một phương án của sáng chế;

Fig.1B đến Fig.1C minh họa các hình vẽ mặt cắt ngang dọc theo đường 1-1 trên Fig.1A theo các phương án của sáng chế;

Fig.2A đến Fig.2B minh họa các hình vẽ mặt cắt ngang dọc theo đường 2-2 trên Fig.1A theo các phương án của sáng chế;

Fig.3A đến Fig.3J minh họa các lưu đồ quy trình theo một phương án của sáng chế;

Fig.4A đến Fig.4B minh họa các hình vẽ phối cảnh của các tranzito n-MOS được tạo ra trên lớp nền bán dẫn theo một phương án của sáng chế;

Fig.5A đến Fig.5B minh họa các hình vẽ phối cảnh của các tranzito n-MOS được tạo ra trên lớp nền bán dẫn theo một phương án của sáng chế;

Fig.6 minh họa sơ đồ sơ lược của thiết bị tính toán sử dụng thiết bị tranzito n-MOS theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Trong phần mô tả chi tiết sau, tranzito MOS và phương pháp tạo ra tranzito này được mô tả. Phần mô tả này có dựa vào các hình vẽ kèm theo, tạo ra một phần phần mô tả này và được thể hiện bằng cách minh họa các phương án cụ thể mà sáng chế có thể được thực hiện. Cần hiểu rằng các phương án khác có thể được sử dụng và các thay đổi về cấu trúc có thể được thực hiện mà không lệch khỏi phạm vi và mục đích của sáng chế.

Các phương án của sáng chế đề cập đến các thiết bị n-MOS nhóm III-V có độ linh động điện tử được cải thiện trong kênh. Độ linh động điện tử được tăng lên bằng cách tạo ra biến dạng kéo trên kênh. Biến dạng kéo này được sinh ra bằng cách tạo ra sự không phù hợp giữa các hằng số mạng của vùng hoạt động thay thế và các vùng S/D thay thế.

Một phương án của sáng chế sử dụng lớp nền silic đơn tinh thể với các vây ăn mòn thay thế. Lớp cách điện rãnh nông (shallow trench isolation, STI) được bố trí giữa các vây ăn mòn thay thế. Sau đó, các vây ăn mòn thay thế này được khắc ăn mòn. Sau đó, các vùng hoạt động thay thế được tạo ra từ vật liệu bán dẫn nhóm III-V được phát triển epitaxy ở các khoảng trống được chiếm trước đó bởi các vây ăn mòn thay thế. Sau đó, lớp STI có thể được khắc ăn mòn ngược sao cho phần trên cùng của các vùng hoạt động thay thế tách ra khỏi mặt phẳng STI. Sau đó, cấu trúc cực cổng có thể được tạo ra trên các vùng hoạt động thay thế và lớp STI. Các hốc sau đó được tạo ra trong các vùng hoạt động thay thế ở cả hai phía của cực cổng. Sau đó, vật liệu bán dẫn nhóm III-V thứ hai được phát triển epitaxy ở các hốc trên bề mặt của các vùng hoạt động thay thế để tạo ra các vùng S/D thay thế. Vật liệu bán dẫn nhóm III-V thứ hai được chọn sao cho có sự không phù hợp mạng tinh thể giữa vùng S/D thay thế và vùng hoạt động thay thế. Sự không phù hợp mạng tinh thể giữa hai vật liệu tạo ra biến dạng kéo trong kênh được tạo ra ở vùng hoạt động thay thế, nhờ đó tăng độ linh động của điện tử.

Fig.1A minh họa hình vẽ phối cảnh của thiết bị tranzito n-MOS 100 được tạo ra trên lớp nền bán dẫn 101 theo một phương án của sáng chế. Các phần của thiết bị tranzito 100, chẳng hạn như chất điện môi cực cổng, chất điện môi giữa các lớp và các tiếp điểm S/D không được thể hiện để nhằm mục đích rõ ràng. Lớp nền bán dẫn 101 có thể bao gồm vật liệu thích hợp dùng cho việc sản xuất thiết bị bán dẫn. Theo một phương án, lớp nền bán dẫn 101 là lớp nền silic đơn tinh thể. Theo một phương án, cấu trúc này được tạo ra bằng cách sử dụng lớp nền bán dẫn dạng khối. Lớp nền 101 có thể còn là, nhưng không bị giới hạn ở, germani, silic-germani hoặc vật liệu bán dẫn hợp chất nhóm III-V. Theo một phương án khác, cấu trúc này được tạo ra bằng cách sử dụng lớp nền silic trên chất cách điện (silicon-on-insulator, SOI).

Lớp cách điện rãnh nông (STI) 102 được tạo ra ở bề mặt trên cùng của lớp nền bán dẫn 101. Lớp STI 102 này có thể là silic đioxit hoặc vật liệu tương tự. Các rãnh ở lớp STI 102 được điền đầy bằng các vùng hoạt động thay thế 104 và các vùng S/D thay thế 106. Các vùng hoạt động thay thế 104 là vật liệu bán dẫn nhóm III-V được phát triển epitaxy trên lớp nền bán dẫn 101. Theo một phương án của sáng chế, các vùng hoạt động thay thế 104 là vật liệu bán dẫn khác với lớp nền bán dẫn 101. Theo

một phương án, các vùng hoạt động thay thế 104 có thể là một lớp thành phần duy nhất hoặc hai lớp được phân cấp. Một ví dụ về vật liệu nhóm III-V thích hợp dùng cho một thành phần duy nhất có thể bao gồm thành phần InGaAs hoặc thành phần InSb. Theo một phương án bổ sung, các vùng hoạt động thay thế 104 có thể là chồng đa lớp. Chồng đa lớp này có ích cho việc tạo ra mặt phân cách chất lượng cao giữa các vật liệu bán dẫn khác nhau, chẳng hạn như lớp nền bán dẫn silic 101 và vùng hoạt động thay thế bán dẫn nhóm III-V 104, trong khi vẫn duy trì độ linh động điện tử cao ở kênh 105. Các vật liệu nhóm III-V thích hợp đối với sai hỏng thấp, các chồng đa lớp có thể bao gồm các lớp được chồng chẳng hạn như, (GaAs, InP, InGaAs), (InP, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb). Sau khi các vùng hoạt động thay thế 104 đã được tạo thành, thì các hốc được tạo ra ở vùng hoạt động thay thế ở cả hai phía của điện cực bằng cách khắc các phần của vùng hoạt động thay thế. Sau đó, các vùng S/D thay thế 106 này được phát triển epitaxy ở các vùng hoạt động thay thế 104 được tạo hốc. Lớp STI 102 giới hạn sự phát triển của các vùng S/D thay thế 106 theo chiều thẳng đứng trong khi chúng nằm trong phần được tạo hốc của vùng hoạt động thay thế 104. Theo một phương án, các vùng S/D thay thế 106 có thể mở rộng về phía trên lớp STI 102. Mặc dù không được thể hiện trên Fig.1A, một khi vùng S/D thay thế được mở rộng về phía trên bề mặt trên cùng của lớp STI 102, thì các vùng S/D thay thế 106 có thể phát triển theo chiều ngang nếu chúng không bị giới hạn bởi vật liệu khác, chẳng hạn như chất điện môi giữa các lớp.

Các vùng S/D thay thế 106 là vật liệu bán dẫn nhóm III-V đơn tinh thể được phát triển epitaxy. Theo một phương án, vật liệu bán dẫn nhóm III-V được chọn cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn hằng số mạng của vùng hoạt động thay thế 104. Một phương án bổ sung bao gồm vật liệu bán dẫn nhóm III-V dùng cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn so với vùng hoạt động thay thế 104, và cũng có kiểu mạng tinh thể giống hoặc tương tự với vùng hoạt động thay thế 104. Theo một phương án bổ sung, vật liệu bán dẫn nhóm III-V được chọn cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn so với các vùng hoạt động thay thế 104, và có thành phần nguyên tố khác với vùng hoạt động thay thế 104.

Theo một phương án, hằng số mạng nhỏ hơn thu được bằng cách tăng phần trăm nguyên tử của nguyên tố nhỏ hơn. Ví dụ, theo một phương án, vùng hoạt động

thay thế 104 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_x\text{Ga}_{1-x}\text{As}$ thứ nhất. Sau đó, các vùng S/D thay thế 106 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_x\text{Ga}_{1-x}\text{As}$ thứ hai mà có phần trăm nguyên tử nhỏ hơn của nguyên tố lớn hơn, In, và phần trăm nguyên tử lớn hơn của nguyên tố nhỏ hơn, chẳng hạn như gali (Ga) so với vùng hoạt động thay thế. Bằng cách lấy ví dụ, các vùng hoạt động thay thế 104 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_{.53}\text{Ga}_{.47}\text{As}$ và các vùng S/D thay thế 106 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_{.25}\text{Ga}_{.75}\text{As}$. Sự không phù hợp tạo thành giữa các hằng số mạng của hai vùng theo phương án này là 2%. Việc thay thế Ga cho In dẫn đến các vùng S/D thay thế 106 có mạng tinh thể có cùng cấu trúc tinh thể với kiểu mạng tinh thể của các vùng hoạt động thay thế 104, nhưng cũng có hằng số mạng ở mặt phẳng nhỏ hơn so với các vùng hoạt động thay thế 104. Mạng tinh thể có khoảng cách nhỏ hơn của các vùng S/D thay thế 106 tạo ra biến dạng kéo đơn trục ở vùng kênh 105. Các phương án bổ sung có thể tạo ra biến dạng kéo đơn trục bằng cách sử dụng các vùng S/D thay thế 106 mà có hằng số mạng nhỏ hơn so với các vùng hoạt động thay thế 104 do sử dụng các nguyên tố nhóm III-V khác nhau. Bằng cách lấy ví dụ, và không phải bằng cách làm giới hạn, các vùng hoạt động thay thế 104 có thể là InAs, và các vùng S/D thay thế 106 có thể là GaP.

Lượng biến dạng kéo đơn trục ở kênh 105 tăng lên khi sự không phù hợp hằng số mạng giữa các vùng S/D thay thế 106 và vùng hoạt động thay thế 104 được tăng lên. Tuy nhiên, một khi sự không phù hợp này trở nên quá lớn, thì các sai hỏng tạo ra ở các vùng S/D thay thế 106 và độ biến dạng được giảm đi ở kênh 105. Độ biến dạng giảm ở kênh 105 dẫn đến độ linh động của điện tử giảm. Như vậy, sự không phù hợp mạng tinh thể giữa các vùng S/D thay thế 106 và vùng hoạt động thay thế 104 phải đủ để tạo ra đủ độ biến dạng ở kênh 105 để nâng cao độ linh động. Tuy nhiên, sự không phù hợp này không nên quá đủ để tạo ra các sai hỏng quá mức ở các vùng S/D thay thế 106 mà sẽ ngăn ngừa không cho độ biến dạng tạo ra ở các vùng hoạt động thay thế 104. Theo đó, các phương án của sáng chế có thể sử dụng sự không phù hợp hằng số mạng nằm trong khoảng từ 0,5% đến khoảng 6%. Một phương án bổ sung có thể sử dụng sự không phù hợp hằng số mạng bằng khoảng 2%. Như được sử dụng ở đây, khoảng có nghĩa là giá trị đo nằm trong khoảng 10% giá trị đã nêu (ví dụ, “khoảng 2%” tương đương với nằm trong khoảng từ 1,8% đến 2,2%). Khả năng kiểm soát sự không phù hợp mạng tinh thể giữa vùng hoạt động thay thế 104 và các vùng S/D thay

thế 106 cải thiện thiết bị tương đương khác bằng cách sử dụng trường biến dạng đích để điều chỉnh độ linh động của các phân tử mang điện theo cách thích hợp.

Dựa lại vào Fig.1A, cấu trúc cực cổng 120 được tạo ra trên lớp STI 102 và vùng hoạt động thay thế 104. Cấu trúc cực cổng 120 này có thể là cấu trúc cực cổng bất kỳ đã biết đến trong lĩnh vực kỹ thuật này. Các phương án của sáng chế bao gồm cấu trúc cực cổng 120 có nắp cực cổng 128 được tạo ra ở bề mặt trên cùng của điện cực cổng 122. Nắp cực cổng 128 có thể là vật liệu oxit kim loại hoặc vật liệu cách điện khác (ví dụ, silic đioxit hoặc silic nitrua). Theo một phương án, cấu trúc cực cổng 120 có thể bao gồm chất điện môi cực cổng 124 được bố trí giữa điện cực cổng 122 và vùng hoạt động thay thế 124. Chất điện môi cực cổng 124 có thể là vật liệu oxit, chẳng hạn như silic đioxit hoặc silic oxynitrua hoặc vật liệu điện môi có hằng số điện môi (k) cao bất kỳ, chẳng hạn như, HfO_2 hoặc ZrO . Điện cực cổng 122 có thể là điện cực polysilic hoặc điện cực kim loại được pha tạp thích hợp. Cấu trúc cực cổng 120 có thể còn bao gồm các vùng đệm 126 dọc theo các thành bên. Các vùng đệm cực cổng 126 là vật liệu có vùng đệm điện môi điển hình, chẳng hạn như silic đioxit, silic nitrua hoặc silic cacbua.

Fig.1B là hình vẽ mặt cắt ngang của thiết bị tranzito n-MOS 100 được nhìn dọc theo đường 1-1 được thể hiện trên Fig.1A. Theo phương án được thể hiện trên Fig.1B, các vùng S/D thay thế 106 mở rộng xuống dưới điện cực cổng 122. Theo một phương án, các vùng S/D thay thế 106 được pha tạp loại n đủ ở trạng thái được lắng đọng của chúng do các khoảng trống nguyên tử nhóm V và cacbon được kết hợp không có chủ ý từ các vật liệu tiền chất kim loại-hữu cơ. Theo các phương án bổ sung trong đó các vùng S/D được lắng đọng 106 không được pha tạp loại n, hoặc không được pha tạp loại n đủ, các vùng S/D thay thế 106 có thể được pha tạp với các chất pha tạp bán dẫn nhóm III-V loại n một cách thích hợp, chẳng hạn như Si, Ge, C hoặc Te. Theo một phương án, các vùng S/D thay thế 106 có các nồng độ điện tử lớn hơn $1\text{E}17$ trên cm^3 , hay tốt hơn là lớn hơn $1\text{E}18$ trên cm^3 . Do các vùng S/D thay thế mở rộng về phía dưới điện cực cổng 122, nên không cần cung cấp thêm các chất pha tạp loại n ở vùng hoạt động thay thế được bố trí bên dưới điện cực cổng theo các phương án này. Như vậy, vùng kênh 105 được thể hiện trên Fig.1B bao gồm chiều rộng của vùng hoạt động thay thế 104 mà được vạch ranh giới ở mỗi phía bởi các vùng S/D thay thế 106.

Theo một phương án bổ sung được thể hiện trên Fig.1C, các vùng S/D thay thế 106 không mở rộng xuống phía dưới điện cực cổng 122. Do đó, các phần của vùng hoạt động thay thế 104 bên dưới điện cực cổng 122 có thể cần được pha tạp với các chất pha tạp loại n để tạo ra các vùng đầu mút 111 phía dưới cấu trúc cực cổng 120. Các vùng đầu mút 111 này mở rộng cực nguồn và cực máng phía dưới điện cực cổng 122. Như vậy, các cực nguồn và các cực máng của thiết bị tranzito 100 có thể bao gồm cả các vùng S/D thay thế 106 và các phần được pha tạp loại n của vùng hoạt động thay thế 104. Hơn nữa, do các vùng đầu mút mở rộng các cực nguồn và các cực máng vào vùng hoạt động thay thế 104 phía dưới điện cực cổng 122, nên vùng kênh 105 được vạch ranh giới bởi các vùng đầu mút 111 thay vì bởi các vùng S/D thay thế 106. Theo một phương án bổ sung của sáng chế, các vùng S/D thay thế 106 mở rộng về phía dưới các vùng đệm 106, mà không mở rộng về phía dưới điện cực cổng 122. Như vậy, các phần của vùng hoạt động thay thế 104 bên dưới điện cực cổng 122 vẫn cần được pha tạp với các chất pha tạp loại n để tạo ra các vùng đầu mút 111 mở rộng về phía dưới điện cực cổng 122.

Fig.1B và Fig.1C còn thể hiện rằng thiết bị tranzito 100 có thể bao gồm lớp bán dẫn điện trở tiếp xúc thấp 108, chẳng hạn như InAs. Lớp bán dẫn điện trở tiếp xúc thấp 108 dẫn điện rất tốt và có thể được tạo ra ở bề mặt trên cùng của các vùng S/D thay thế 106 để cải thiện chất lượng kết nối điện giữa các tiếp điểm điện và các vùng S/D thay thế 106. Lớp bán dẫn điện trở tiếp xúc thấp 108 có thể là đa tinh thể hoặc đơn tinh thể có vi cấu trúc đứt gãy mạnh. Theo một phương án của sáng chế, lớp bán dẫn điện trở tiếp xúc thấp 108 có độ dày nằm trong khoảng từ 10Å đến 100Å. Ngoài ra, kim loại giảm điện trở tiếp xúc 110, chẳng hạn như Ni, Ti, Au, Au-Ge hoặc các kim loại khác, có thể được tạo ra ở bề mặt trên cùng của các vùng S/D thay thế 106 hoặc ở bề mặt trên cùng của lớp bán dẫn điện trở tiếp xúc thấp 108. Việc tạo thành kim loại giảm điện trở tiếp xúc 110 đảm bảo rằng kết nối điện với các vùng S/D thay thế 106 là tiếp xúc thuận trở. Trong khi cả lớp bán dẫn điện trở tiếp xúc thấp 108 và kim loại giảm điện trở tiếp xúc được thể hiện trên Fig.1B và Fig.1C, nhưng cần phải thừa nhận rằng cần có một lớp, cả hai lớp hoặc không lớp nào theo các phương án khác nhau của sáng chế được mô tả ở đây.

Các phương án của sáng chế mô tả thiết bị tranzito 100 bao gồm các thiết bị

tranzito ba cổng. Fig.2A là hình vẽ mặt cắt ngang của thiết bị tranzito 100 được thể hiện trên Fig.1A dọc theo đường 2-2 theo một phương án của sáng chế. Fig.2A thể hiện rằng các phần của các vùng hoạt động thay thế 104 phía dưới điện cực cổng 122 không được tạo hốc phía dưới lớp STI 102. Như được thể hiện, cấu trúc cực cổng 120 phù hợp với các vùng hoạt động thay thế 104. Vật liệu điện môi cực cổng 124 tách rời điện cực cổng 122 khỏi vùng hoạt động thay thế 104. Mặc dù điện cực cổng 122 được thể hiện là trải dài qua nhiều vùng hoạt động thay thế 104, nhưng các phương án của sáng chế còn bao gồm điện cực cổng 122 được tạo ra ở một vùng hoạt động thay thế 104 duy nhất.

Theo các phương án thay thế, thiết bị tranzito 100 có thể bao gồm các n-MOSFET phẳng, như được thể hiện trên Fig.2B. Fig.2B là hình vẽ mặt cắt ngang dọc theo đường 2-2 trên Fig.1A theo một phương án thay thế của sáng chế. Để tạo ra các thiết bị n-MOSFET phẳng theo các phương án của sáng chế, bề mặt trên cùng của các vùng hoạt động thay thế 104 được duy trì gần như đồng phẳng với bề mặt trên cùng của lớp STI 102. Ngoài ra, chiều rộng W của các vùng hoạt động thay thế 104 có thể được tăng lên. Ngoài những thay đổi này, cấu trúc của thiết bị n-MOSFET phẳng theo các phương án của sáng chế gần như tương tự với các phương án còn lại, và như vậy, sẽ không được lặp lại ở đây.

Các phương án nhất định của sáng chế có thể được đề xuất theo các quy trình được mô tả dựa vào các hình vẽ từ Fig.3A đến Fig.3J. Hiện dựa vào Fig.3A, lớp nền bán dẫn 101 mà thiết bị tranzito n-MOS 100 sẽ được tạo ra trên đó được thể hiện. Như thấy được trên Fig.3A, lớp nền bán dẫn 101 được tạo ra có các vây ăn mòn thay thế 117 và vây 115 mở rộng lên trên từ bề mặt của lớp nền. Mặc dù một vây 115 duy nhất được thể hiện trên Fig.3A, nhưng cần lưu ý rằng nhiều vây 115 có thể được tạo ra theo các phương án bổ sung của sáng chế. Các vây ăn mòn thay thế 117 và vây 115 có thể gần như là hình chữ nhật, nhưng các phương án khác không bị giới hạn. Các vây ăn mòn thay thế 117 và các vây 115 gần như tương tự với nhau, ngoại trừ việc các vây ăn mòn thay thế 117 đóng vai trò là phần giữ chỗ đối với vùng hoạt động thay thế 104 cần được tạo ra trong quá trình xử lý tiếp theo. Theo đó, các vây ăn mòn thay thế 117 phải được tạo hình để phù hợp với hình dạng mong muốn của vùng hoạt động thay thế 104. Theo các phương án của sáng chế, các vây ăn mòn thay thế 117 và vây 115 có thể

là các vây có tỷ số hướng cao, chẳng hạn như các vây có tỷ số chiều cao trên chiều rộng cao lớn hơn hoặc bằng 10:1. Theo các phương án của sáng chế, các vây 115 và các vây ăn mòn thay thế 117 có thể có chiều cao nằm trong khoảng từ 20nm đến 130nm và có các chiều rộng nằm trong khoảng từ 5nm đến 30nm. Các phương án này có thể còn bao gồm bước lớn hơn hoặc bằng 40nm. Như được thảo luận ở trên, lớp nền bán dẫn 101 có thể là lớp nền silic đơn tinh thể, SOI hoặc dạng tương tự. Các vây ăn mòn thay thế 117 và vây 115 có thể được tạo ra bằng kỹ thuật đã biết đến chẳng hạn như tạo mặt nạ và khắc. Các phương án của sáng chế bao gồm bước tạo ra các vây ăn mòn thay thế 117 và vây 115 bằng quy trình khắc ướt hoặc khô đã biết trong lĩnh vực kỹ thuật này. Trong khi vây 115 được thể hiện dưới dạng vây ngoài cùng trên lớp nền 101, nhưng cần lưu ý rằng các vây 115 này có thể được lồng trong tập hợp các vây ăn mòn thay thế 117.

Hiện dựa vào Fig.3B, các rãnh giữa các vây ăn mòn thay thế 117 đã được điền đầy bằng lớp STI 102, chẳng hạn như silic đioxit. Lớp STI 102 có thể được làm phẳng với bề mặt trên cùng của các vây ăn mòn thay thế 117 bằng quy trình đánh bóng cơ-hóa học. Các phương án thay thế có thể sử dụng kỹ thuật oxy hóa cục bộ silic (LOCAl Oxydation of Silicon, LOCOS), hoặc kỹ thuật tương tự, để tạo ra các vây ăn mòn thay thế 117 và lớp 102. Lớp STI 102 tạo ra lớp cách điện mà có thể được sử dụng để tách rời các vùng loại p khỏi các vùng loại n, cũng như tạo ra sự cách điện giữa các tranzito riêng biệt.

Hiện dựa vào Fig.3C, ba vây ăn mòn thay thế 117 đã được khắc để gần như tạo ra các rãnh có vùng hoạt động thay thế hình chữ nhật 118. Quy trình khắc này có thể sử dụng các kỹ thuật khắc ướt hoặc khô. Như được mô tả ở trên, các phương án của sáng chế không bị giới hạn ở các rãnh kênh có dạng hình chữ nhật 118, và hình dạng của các rãnh kênh 118 có thể được thay đổi bằng cách thay đổi hình dạng của các vây ăn mòn thay thế 117. Vây 115 còn lại có thể được xử lý để tạo ra các thiết bị tranzito khác nhau mà không cần vùng hoạt động thay thế 104, chẳng hạn như các thiết bị p-MOS silic. Các phương án bổ sung có thể sử dụng vây 115 còn lại làm thiết bị p-MOS không phẳng, chẳng hạn như thiết bị tranzito hiệu ứng trường vây (fin field-effect transistor, fin-FET) hoặc thiết bị ba cổng (tri-gate). Theo đó, các phần của lớp nền 101 có thể có các tranzito p-MOS được tạo ra trên đó, nhưng các tranzito này có thể cần

tạo mẫu hình và xử lý riêng biệt. Theo cách này, cả thiết bị loại p và loại n có thể được tạo ra trên cùng lớp nền với mỗi kiểu thiết bị có các vùng hoạt động khác nhau. Như được mô tả từ thời điểm này trở đi, chỉ các vùng trong đó các vây ăn mòn thay thế 117 được tạo ra sẽ được thể hiện.

Hiện dựa vào Fig.3D, các vùng hoạt động thay thế 104 được tạo ra ở các rãnh có vùng hoạt động thay thế 118. Theo một phương án của sáng chế, các vùng hoạt động thay thế 104 được phát triển epitaxy. Sự phát triển của các vùng hoạt động thay thế 104 này bị hạn chế bởi các thành bên của lớp STI 102 trong khi vẫn ở các rãnh kênh 118, nhưng một khi các vùng hoạt động thay thế 104 đã phát triển vượt quá chiều cao của lớp STI 102, thì sự phát triển của các vùng hoạt động thay thế 104 này có thể bắt đầu mở rộng theo hướng ngang. Sau khi tạo ra các vùng hoạt động thay thế 104, các phần mà đã được mở rộng về phía trên lớp STI 102 có thể được làm phẳng với bề mặt trên cùng của lớp STI 102 bằng quy trình làm phẳng chẳng hạn như đánh bóng cơ-hóa học. Theo một phương án, các vùng hoạt động thay thế 104 được tạo ra bằng vật liệu bán dẫn nhóm III-V. Các vùng hoạt động thay thế 104 có thể được tạo ra ở các rãnh kênh 118 thông qua việc sử dụng các quy trình lựa chọn trên danh nghĩa bao gồm lắng đọng hơi hóa học (chemical vapor deposition, CVD), CVD chân không siêu cao (ultra-high vacuum CVD, UHV- CVD)), CVD nhiệt nhanh (rapid thermal CVD, RT-CVD) hoặc epitaxy chùm phân tử nguồn khí (gas-source molecular beam epitaxy, GS-MBE). Epitaxy lựa chọn liên quan đến tính chất lắng đọng của sự tạo nhân và lắng đọng màng trên các bề mặt tinh thể, chẳng hạn như lớp nền 101, và dẫn đến gần như không lắng đọng trên các bề mặt cách điện vô định hình, chẳng hạn như lớp STI 102. Epitaxy lựa chọn cho phép các vùng hoạt động thay thế 104 phát triển từ dưới lên từ lớp nền 101 được làm lộ ra ở đáy của các rãnh kênh 118. Sự phát triển epitaxy theo cách này cho phép các vùng hoạt động thay thế 104 đã lắng đọng được tự căn chỉnh đến các vùng tinh thể của lớp nền 101 và giảm thiểu lượng phát triển quá mức trên các vùng cách điện liền kề, chẳng hạn như lớp STI 102.

Mặc dù được thể hiện dưới dạng một lớp duy nhất trên Fig.3D, nhưng cần hiểu rằng vùng hoạt động thay thế 104 có thể bao gồm một lớp thành phần duy nhất, hoặc hai lớp được phân cấp, hoặc chồng đa lớp của các thành phần vật liệu nhóm III-V riêng biệt. Các ví dụ về vật liệu nhóm III-V thích hợp dùng cho phương án một lớp

duy nhất có thể bao gồm thành phần InGaAs hoặc thành phần InSb. Các vật liệu nhóm III-V thích hợp đối với sai hỏng thấp, các chồng đa lớp có thể bao gồm các tổ hợp của lớp chẳng hạn như, (GaAs, InP, InGaAs), (InP, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb). Theo một phương án của sáng chế, các vùng hoạt động thay thế 104 là vật liệu bán dẫn khác với lớp nền bán dẫn 101.

Hiện dựa vào Fig.3E, lớp STI 102 được khắc ngược để cho phép các vùng hoạt động thay thế 104 mở rộng về phía trên bề mặt trên cùng của lớp STI 102. Quy trình này cho phép tạo ra thiết bị fin-FET. Theo một phương án bổ sung, thiết bị phẳng có thể được tạo ra thay thế. Khi thiết bị phẳng được mong muốn, thì lớp STI 102 không được tạo hốc để làm lộ ra các phần trên cùng của các vùng hoạt động thay thế 104. Ngoài ra, chiều rộng của vùng hoạt động thay thế W có thể được tăng lên theo các phương án của sáng chế mà bao gồm các thiết bị phẳng. Bên cạnh việc thiếu sự tạo hốc lớp STI 102 và sự thay đổi về chiều rộng W của các vùng hoạt động thay thế 104, thì bước xử lý của thiết bị phẳng gần như tương tự với bước tạo ra thiết bị fin-FET được mô tả ở đây và do đó sẽ không được lặp lại ở đây.

Theo một phương án của sáng chế mà sử dụng chồng đa lớp, độ dày của lớp trên cùng, chẳng hạn như lớp InGaAs, được chọn bằng hoặc lớn hơn độ dày của vùng kênh 105 mong muốn. Theo một phương án, độ dày của lớp trên cùng của vùng hoạt động thay thế 106 phải bằng hoặc lớn hơn lượng mà lớp STI 102 được tạo hốc, như được thể hiện trên Fig.3E. Bằng cách lấy ví dụ, khi hốc của lớp STI 102 là 40nm, thì chồng đa lớp có thể bao gồm lớp trên cùng là InGaAs có độ dày bằng khoảng 60 nm. Theo một phương án, một hoặc nhiều lớp của vùng hoạt động thay thế 106 được tạo ra phía dưới lớp trên cùng có thể có độ dày kết hợp nhỏ hơn độ dày của lớp STI 102 sau khi đã được tạo hốc. Bằng cách lấy ví dụ, một hoặc nhiều lớp bên dưới có thể có độ dày kết hợp nằm trong khoảng từ 10nm đến 50nm.

Hiện dựa vào Fig.3F, cấu trúc cực cổng 120 được tạo ra theo các kỹ thuật đã biết trong lĩnh vực kỹ thuật này. Cấu trúc cực cổng 120 được tạo ra trên bề mặt trên cùng của lớp STI 102 và trên các phần của các vùng hoạt động thay thế 104. Như được thể hiện bởi các đường đứt nét, cấu trúc cực cổng 120 phù hợp với các vùng hoạt động thay thế 104. Theo một phương án, vật liệu điện môi và vật liệu điện cực có thể được bố trí trên lớp STI 102 và các vùng hoạt động thay thế 104. Sau đó các lớp này có thể

được tạo mẫu hình và được khắc để tạo ra chất điện môi cực cổng 124 và điện cực cổng 122. Chất điện môi cực cổng 124 có thể là vật liệu oxit, chẳng hạn như silic đioxit hoặc silic oxynitrua hoặc vật liệu điện môi có k cao bất kỳ, chẳng hạn như, HfO_2 hoặc ZrO . Điện cực cổng 122 có thể là điện cực polysilic được pha tạp thích hợp. Theo các phương án thay thế, điện cực cổng 122 có thể là cực cổng kim loại. Theo các phương án sử dụng điện cực cổng kim loại, điện cực cổng 122 này có thể được tạo ra bởi quy trình cực cổng kim loại thay thế (replacement metal gate, RMG). Khi quy trình RMG được sử dụng, thì chất điện môi cực cổng 124 và điện cực cổng 122 được tạo ra trên Fig.3F có thể là các vật liệu giả. Sau khi xử lý nhiệt độ cao, chất điện môi cực cổng giả và điện cực cổng giả có thể được loại bỏ và chất điện môi cực cổng 124 và điện cực cổng kim loại 122 có thể được tạo ra ở vị trí của nó. Cấu trúc cực cổng 120 có thể còn bao gồm các vùng đệm cực cổng điện môi 126 dọc theo các thành bên. Các vùng đệm cực cổng 126 có thể được tạo ra bởi sự lắng đọng lớp phủ của vật liệu vùng đệm, chẳng hạn như silic đioxit, silic nitrua hoặc silic cacbua, và tiếp theo là quy trình khắc vùng đệm. Nắp cực cổng 128 có thể còn được bố trí trên bề mặt trên cùng của điện cực cổng 122.

Theo các phương án của sáng chế, trước khi tạo ra các vùng đệm 126, các chất pha tạp loại n có thể được cấy vào vùng hoạt động thay thế 104 gần với điện cực cổng 122 để tạo ra các vùng đầu mút 111 được thể hiện trên Fig.1C. Việc cấy này thường được gọi là cấy đầu mút hoặc cấy mở rộng S/D. Việc thực hiện cấy đầu mút ở thời điểm này có lợi khi các hốc S/D thay thế không cất xén điện cực cổng 122 như được thể hiện trên Fig.1C. Theo một phương án thay thế, các vùng đầu mút 111 có thể được tạo ra sau khi các vùng đệm 126 đã được tạo ra. Theo các phương án này, các vùng đầu mút 111 có thể được tạo ra bằng cách khuếch tán ra các chất pha tạp loại n vào vùng hoạt động thay thế 104 bên dưới điện cực cổng 122 từ các vùng S/D thay thế 106 được tạo ra trong quá trình xử lý tiếp theo.

Hiện dựa vào Fig.3G, vùng hoạt động thay thế 104 đã được khắc để tạo ra các hốc S/D thay thế 119. Quy trình khắc có thể là quy trình khắc ăn khô hoặc ướt. Các phương án của sáng chế điều khiển quy trình khắc để giữ lại một phần vùng hoạt động thay thế 104 ở đáy của các hốc S/D 119. Theo một phương án của sáng chế mà sử dụng vùng hoạt động thay thế 104 đa lớp, quy trình khắc có thể loại bỏ tất cả, hoặc gần

như tất cả, lớp trên cùng được làm lộ ra của vùng hoạt động thay thế 104. Các phương án bổ sung có thể còn bao gồm bước khắc các phần của một hoặc nhiều lớp bên dưới. Khi độ sâu của các hốc S/D 119 giảm, thì lượng biến dạng có thể được chuyển sang kênh 105 cũng giảm. Tuy nhiên, khi các hốc S/D được tạo ra sâu hơn ở vùng hoạt động thay thế 104, thì chất lượng của mặt phân cách giữa lớp nền 101 và các vật liệu thay thế sẽ giảm bớt. Theo đó, người có hiểu biết trung bình trong lĩnh vực kỹ thuật nhận ra rằng các độ sâu khác nhau của các hốc S/D 119 có thể được chọn để tối ưu hóa thiết bị 100 đã cho nhằm mục đích mong muốn. Theo một phương án, quy trình khắc để tạo ra các hốc S/D 119 có thể còn mở rộng về phía dưới điện cực cổng 122 để tạo ra rãnh cắt, như được thể hiện trên Fig.1B.

Hiện dựa vào Fig.3H, các vùng S/D thay thế 106 đã được tạo ra trên bề mặt trên cùng của các phần còn lại của vùng hoạt động thay thế 104. Theo một phương án, các vùng S/D thay thế 106 là các lớp epitaxy đơn tinh thể mà được tạo ra ở các hốc S/D 119 thông qua việc sử dụng các quy trình lựa chọn trên danh nghĩa chẳng hạn như CVD, UHV-CVD, RT-CVD hoặc GS-MBE. Sự phát triển epitaxy của các vùng S/D thay thế ban đầu bị giới hạn bởi lớp STI 102, và do đó phát triển lên phía trên trong khi ở các hốc S/D 119. Theo các phương án, các vùng S/D thay thế 106 có thể được lắng đọng đến độ dày mà cho phép chúng mở rộng về phía trên bề mặt trên cùng của lớp STI 102, như được thể hiện trên Fig.3H. Như vậy, các vùng S/D thay thế 106 có thể mở rộng lên đến thành bên của các vùng đệm 126. Ngoài ra, Fig.3H minh họa rằng các vùng S/D thay thế 106 bắt đầu phát triển theo hướng ngang một khi chúng mở rộng về phía trên lớp STI 102 khi chúng không còn bị giới hạn.

Các phương án bổ sung của sáng chế bao gồm các vùng S/D thay thế 106 mà đã phát triển cùng nhau, như được thể hiện trên Fig.3H'. Trong khi tất cả ba vùng S/D thay thế đã phát triển cùng nhau trên Fig.3H', nhưng các phương án bổ sung có thể chỉ bao gồm hai vùng S/D thay thế 106 nối với nhau, hoặc có thể có nhiều hơn ba vùng S/D thay thế 106 nối với nhau. Có thể mong muốn có các vùng S/D thay thế 106 phát triển cùng nhau để tạo ra một thiết bị tranzito duy nhất cắt qua nhiều vùng hoạt động thay thế 104. Theo đó, khoảng cách giữa mỗi vùng hoạt động thay thế 104 có thể được giảm bớt khi các vùng S/D thay thế 106 được cho phép phát triển cùng nhau. Điều này cho phép giảm bước giữa các vùng hoạt động thay thế 104, nhờ đó tăng mật độ của

các tranzito trên lớp nền, như được thể hiện trên Fig.3H'.

Theo một phương án, các vùng S/D thay thế 106 là vật liệu bán dẫn nhóm III-V đơn tinh thể được phát triển epitaxy. Vật liệu bán dẫn nhóm III-V được chọn cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn hằng số mạng của vùng hoạt động thay thế 104. Theo một phương án, vật liệu bán dẫn nhóm III-V được chọn cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn hằng số mạng của vùng hoạt động thay thế 104. Một phương án bổ sung bao gồm vật liệu bán dẫn nhóm III-V dùng cho các vùng S/D thay thế 106 mà có hằng số mạng nhỏ hơn so với vùng hoạt động thay thế 104, và còn có kiểu mạng tinh thể giống hoặc tương tự với vùng hoạt động thay thế 104. Theo một phương án bổ sung, vật liệu bán dẫn nhóm III-V được chọn cho các vùng S/D thay thế 106 có hằng số mạng nhỏ hơn so với các vùng hoạt động thay thế 104, và có thành phần nguyên tố khác với vùng hoạt động thay thế 104.

Theo một phương án, hằng số mạng nhỏ hơn thu được bằng cách tăng phần trăm nguyên tử của nguyên tố nhỏ hơn. Ví dụ, theo một phương án, vùng hoạt động thay thế 104 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_x\text{Ga}_{1-x}\text{As}$ thứ nhất. Sau đó, các vùng S/D thay thế 106 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_x\text{Ga}_{x-1}\text{As}$ thứ hai mà có phần trăm nguyên tử nhỏ hơn của nguyên tố lớn hơn, In, và phần trăm nguyên tử lớn hơn của nguyên tố nhỏ hơn, chẳng hạn như Ga. Bằng cách lấy ví dụ, các vùng hoạt động thay thế 104 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_{.53}\text{Ga}_{.47}\text{As}$ và các vùng S/D thay thế 106 có thể được tạo thành từ vật liệu bán dẫn $\text{In}_{.25}\text{Ga}_{.75}\text{As}$. Sự không phù hợp tạo thành giữa các hằng số mạng của hai vùng theo phương án này là 2%. Việc thay Ga cho In dẫn đến các vùng S/D thay thế 106 có mạng tinh thể có cùng cấu trúc tinh thể với mạng tinh thể của các vùng hoạt động thay thế 104, nhưng còn có hằng số mạng trong mặt phẳng nhỏ hơn so với các vùng hoạt động thay thế 104. Mạng tinh thể có khoảng cách nhỏ hơn của các vùng S/D thay thế 106 tạo ra biến dạng kéo đơn trục ở vùng kênh 105. Các phương án bổ sung có thể tạo ra biến dạng kéo đơn trục bằng cách sử dụng các vùng S/D thay thế 106 mà có hằng số mạng nhỏ hơn so với các vùng hoạt động thay thế 104 do việc sử dụng các nguyên tố nhóm III-V khác nhau. Ví dụ, và không bằng cách làm giới hạn, các vùng hoạt động thay thế 104 có thể là InAs, và các vùng S/D thay thế 106 có thể là GaP.

Lượng biến dạng kéo đơn trục ở kênh 105 tăng lên do sự không phù hợp của

hằng số mạng giữa các vùng S/D thay thế 106 và vùng hoạt động thay thế 104 được tăng lên. Tuy nhiên, một khi sự không phù hợp này trở nên quá lớn, thì các sai hỏng tạo ra ở các vùng S/D thay thế 106 và độ biến dạng được giảm bớt ở kênh 105. Độ biến dạng giảm ở kênh 105 dẫn đến độ linh động của điện tử giảm. Như vậy, sự không phù hợp mạng tinh thể giữa các vùng S/D thay thế 106 và vùng hoạt động thay thế 104 phải đủ để tạo ra biến dạng đủ ở kênh 105 để nâng cao độ linh động. Tuy nhiên, sự không phù hợp này không nên quá đủ để tạo ra các sai hỏng quá mức ở các vùng S/D thay thế 106 mà sẽ ngăn chặn không cho biến dạng tạo ra ở các vùng hoạt động thay thế 104. Theo đó, các phương án của sáng chế có thể sử dụng sự không phù hợp của hằng số mạng nằm trong khoảng từ 0,5% đến khoảng 6%. Một phương án bổ sung có thể sử dụng sự không phù hợp của hằng số mạng khoảng 2%. Khả năng điều khiển sự không phù hợp mạng tinh thể giữa vùng hoạt động thay thế 104 và các vùng S/D thay thế 106 cải thiện thiết bị tương đương khác bằng cách sử dụng trường biến dạng đích để điều chỉnh độ linh động của các phân tử mang điện theo cách thích hợp.

Theo các phương án trong đó các vùng S/D thay thế 106 không được pha tạp với các chất pha tạp loại n đủ ở các trạng thái khi được lắng đọng của chúng, các vùng S/D thay thế 106 có thể được pha tạp tại chỗ với các chất pha tạp loại n, chẳng hạn như Si, Ge, C hoặc Te, để có các nồng độ điện tử mong muốn. Theo các phương án, nồng độ điện tử của các vùng S/D thay thế 106 có thể lớn hơn $1E17$ trên cm^3 hoặc tốt hơn là lớn hơn $1E18$ trên cm^3 . Theo các phương án trong đó các hốc S/D 119 tạo ra các rãnh cắt phía dưới điện cực cổng 122, như được thể hiện trên Fig.1B, và trong đó các vùng S/D thay thế không phải là loại n thích hợp ở trạng thái khi được lắng đọng, các vùng S/D thay thế 106 có thể được pha tạp tại chỗ với các chất pha tạp loại n để mở rộng các cực nguồn và các cực máng phía dưới điện cực cổng 122. Theo cách khác, các vùng S/D thay thế có thể được pha tạp bằng quy trình cấy ion sau khi chúng đã được phát triển. Sau đó, việc kích thích vào chất pha tạp có thể được sử dụng để khuếch tán các chất pha tạp được cấy trên toàn bộ các vùng S/D. Theo các phương án bổ sung trong đó không có rãnh cắt được tạo ra bởi các hốc S/D 119, như được thể hiện trên Fig.1C, hoặc theo các phương án trong đó rãnh cắt mở rộng về phía dưới các vùng đệm 116 mà không mở rộng về phía dưới điện cực cổng 122, các vùng S/D thay thế 106 có thể được pha tạp tại chỗ trong quá trình tạo ra chúng. Sau đó, quy trình khuếch tán ra có thể được sử dụng để khuếch tán các chất pha tạp loại n từ các vùng

S/D thay thế 106 vào vùng hoạt động thay thế 104 bên dưới điện cực cổng để mở rộng các cực nguồn và các cực máng bên dưới điện cực cổng 122.

Mặc dù không được thể hiện trên Fig.3H và Fig.3H', lớp bán dẫn điện trở tiếp xúc thấp 108 và/hoặc kim loại giảm điện trở tiếp xúc 110 gần như tương tự với lớp bán dẫn điện trở tiếp xúc thấp 108 và/hoặc kim loại giảm điện trở tiếp xúc 110 được thể hiện trên Fig.1B và Fig.1C có thể được tạo ra tùy ý trên các vùng S/D thay thế 106.

Sau đó, thiết bị tranzito n-MOS 100 có thể được hoàn thiện theo các kỹ thuật xử lý chuẩn, như được thể hiện trên các hình vẽ từ Fig.3I đến Fig.3J. Theo một phương án, chất điện môi giữa các lớp (inter-layer dielectric, ILD) 112, chẳng hạn như silic đioxit, có thể được bố trí trên bề mặt trên cùng được làm lộ ra của lớp STI 102 và các vùng S/D thay thế 106. ILD 112 được mô tả là trong suốt để thể hiện rõ các đặc điểm của thiết bị tranzito 100. ILD 112 này có thể được làm phẳng với bề mặt trên cùng của cấu trúc cực cổng 120 bằng quy trình đánh bóng cơ-hóa học.

Theo các phương án mà sử dụng cực cổng kim loại và tuân theo quy trình RMG, chất điện môi cực cổng giả và điện cực cổng giả có thể được loại bỏ sau khi ILD 112 đã được tạo ra và được làm phẳng với bề mặt trên cùng của nắp cực cổng 128 để làm lộ ra vùng hoạt động thay thế. Sau đó, vật liệu điện môi cực cổng và vật liệu điện cực kim loại có thể được lắng đọng lớp phủ trên vùng hoạt động thay thế 104 được làm lộ ra. Các lớp sau đó có thể được đánh bóng lại để tạo ra chất điện môi cực cổng 124 và điện cực cổng 122. Chất điện môi cực cổng 124 có thể là vật liệu oxit, chẳng hạn như silic đioxit hoặc silic oxynitrua hoặc vật liệu điện môi có k-cao bất kỳ, chẳng hạn như, HfO_2 hoặc ZrO . Do điện cực cổng kim loại 122 được tạo ra sau các quy trình phát triển epitaxy, nên sẽ không được đưa vào xử lý nhiệt độ cao.

Tiếp theo, như được thể hiện trên Fig.3J, các lỗ dẫn (via) tiếp xúc có thể được tạo ra thông qua ILD 112 và được điền đầy bằng vật liệu dẫn điện 114, chẳng hạn như vonfram hoặc vật liệu tạo tiếp xúc điện thích hợp khác bất kỳ, để tạo ra tiếp xúc điện với các vùng S/D thay thế 106. Trong khi các lỗ dẫn tiếp xúc và vật liệu dẫn điện 114 được thể hiện là được căn chỉnh trực tiếp trên các vùng hoạt động thay thế 104, người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ nhận ra rằng việc căn chỉnh không nhất thiết phải chính xác và các tiếp điểm có thể là các tiếp điểm không cố định mà mở rộng lên đến lớp STI 102. Hơn nữa, trong khi vật liệu dẫn điện 114 được thể hiện là có

cùng chiều rộng với các vùng hoạt động thay thế 104, người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ nhận ra rằng các chiều rộng của các lỗ dẫn tiếp xúc có thể lớn hơn chiều rộng của các vùng hoạt động thay thế 104 để cải thiện xác suất thực hiện tiếp xúc thành công nếu việc căn chỉnh các lỗ dẫn tiếp xúc không chính xác.

Theo các phương án bổ sung, thiết bị tranzito n-MOS 100 có thể còn được tạo ra bằng quy trình tiếp xúc cuối cùng, như được thể hiện trên các hình vẽ từ Fig.4A đến Fig.4B. Trong quy trình tiếp xúc cuối cùng, bước xử lý ban đầu để tạo ra thiết bị tranzito n-MOS 100 gần như tương tự với bước xử lý được mô tả dựa vào các hình vẽ từ Fig.3A đến Fig.3F, và do đó, phần mô tả sẽ không được lặp lại ở đây. Sau bước xử lý được thể hiện trên Fig.3F, ILD 112 được bố trí trên bề mặt trên cùng của lớp STI 102, các phần được làm lộ ra của vùng hoạt động thay thế 104, và cấu trúc cực cổng 120 trước khi tạo hốc các vùng hoạt động thay thế 104. Bề mặt trên cùng của ILD 112 có thể được làm phẳng với bề mặt trên cùng của cấu trúc cực cổng 120 bằng quy trình đánh bóng cơ-hóa học. Sau khi ILD 112 đã được tạo ra, các rãnh ILD 129 có thể được tạo ra thông qua ILD 112 trên các vùng hoạt động thay thế 104. Sau đó, các hốc S/D 119 được tạo ra ở phần trên cùng của vùng hoạt động thay thế 104 bên cạnh cấu trúc cực cổng 120 như được thể hiện trên Fig.4A. Các hốc S/D 119 có thể được tạo ra bởi quy trình khắc ướt hoặc khô. Theo các phương án của sáng chế, chiều rộng của các rãnh ILD 129 lớn hơn chiều rộng của các vùng hoạt động thay thế 104 để tạo ra không gian có sai số trong các trường hợp trong đó rãnh ILD 129 bị căn chỉnh lệch. Các phương án của sáng chế sử dụng các kỹ thuật hóa học khắc để tạo ra các rãnh ILD 129 và các hốc S/D 119 theo một hoặc nhiều quy trình khắc. Một quy trình khắc duy nhất có thể bao gồm việc sử dụng kỹ thuật hóa học khắc là lựa chọn đối với ILD 112 và các vùng hoạt động thay thế 104 trên lớp STI 102. Các phương án thay thế có thể sử dụng các kỹ thuật hóa học khắc thứ nhất để tạo ra các rãnh ILD 129 và kỹ thuật hóa học khắc thứ hai để tạo ra các hốc S/D 119. Các phương án của sáng chế bao gồm các rãnh ILD 129 đã làm lộ ra các bề mặt trên cùng 137 của lớp STI 102 ở một trong hai phía của hốc S/D 119.

Việc chờ cho đến khi ILD 112 được tạo ra trước khi tạo ra các hốc S/D 119 cung cấp sự bảo vệ bổ sung chống ngắn mạch giữa các tranzito riêng biệt. Như được lưu ý ở trên, một khi các vùng S/D thay thế 106 được phát triển epitaxy phát triển trên

lớp STI, chúng cũng bắt đầu phát triển theo chiều ngang. Chiều cao tăng thêm của các rãnh ILD 129 được tạo ra thông qua ILD 112 giới hạn sự phát triển theo chiều ngang của các vùng S/D thay thế 106 và ngăn chặn không cho chúng phát triển cùng nhau một khi vật liệu được lắng đọng đã được tạo ra trên bề mặt trên cùng của lớp STI 102. Theo đó, các thành bên 141 của các vùng S/D thay thế 106 mà phát triển trên lớp STI 102 gần như là thẳng đứng, như có thể được thấy trên Fig.4B. Các phương án của sáng chế bao gồm bước đánh bóng các tiếp điểm kim loại được tạo ra ở các rãnh ILD 129 để đồng phẳng với bề mặt trên cùng của ILD 112. Hơn nữa, các thành bên của các vùng S/D thay thế 106 được căn chỉnh với các thành bên của kim loại tiếp xúc 114 do sự giới hạn được tạo ra bởi ILD 112. Việc sử dụng quy trình tiếp xúc cuối cùng được mô tả dựa vào các hình vẽ từ Fig.4A đến Fig.4B mang lại lợi ích bổ sung cho phép đối với các tranzito mật độ cao do sự phát triển của các vùng S/D thay thế 106 được giới hạn bởi ILD 112 và do đó, ngăn chặn không cho ngắn mạch với nhau.

Theo một phương án bổ sung, các vùng S/D thay thế 106 có thể cố ý bị ngắn mạch cùng với nhau như được thể hiện trong thiết bị tranzito n-MOS 200 được mô tả trên các hình vẽ từ Fig.5A đến Fig.5B. Trên Fig.5A, rãnh ILD khối 139 được tạo ra cắt qua hai hoặc nhiều hơn hai vùng S/D thay thế bằng cách khắc thông qua ILD 112 mà đã được tạo ra trên STI 102 và vùng hoạt động thay thế 104 không được tạo hốc. Các phần trên cùng của các vùng hoạt động thay thế 104 có thể còn được khắc ngược để tạo ra các hốc S/D 119. Các phương án của sáng chế sử dụng các kỹ thuật hóa học khắc tạo ra rãnh ILD khối 139 và các hốc S/D 119 theo một hoặc nhiều quy trình khắc. Một quy trình khắc ăn duy nhất có thể bao gồm việc sử dụng kỹ thuật hóa học khắc là lựa chọn đối với ILD 112 và các vùng hoạt động thay thế 104 trên lớp STI 102. Các phương án thay thế có thể sử dụng các kỹ thuật hóa học khắc thứ nhất để tạo ra rãnh ILD khối 139 và kỹ thuật hóa học khắc thứ hai để tạo ra các hốc S/D 119. Trong khi rãnh ILD khối 139 được mô tả là được tạo ra cắt qua hai vùng trong số các vùng hoạt động thay thế 104, nhưng cần hiểu rằng rãnh ILD khối 139 có thể được tạo ra cắt qua nhiều vùng hoạt động thay thế 104 nếu muốn. Rãnh ILD 129 và rãnh S/D thay thế 119 được tạo ra ở ngoài cùng bên trái trên Fig.5A có thể được tạo ra theo cách gần như tương tự với cách được mô tả dựa vào Fig.4A và Fig.4B, và như vậy sẽ không được lặp lại ở đây.

Sau khi tạo ra rãnh ILD khối 139 và các hốc S/D thay thế 119, vùng S/D thay thế khối 107 có thể được tạo ra, như được thể hiện trên Fig.5B. Theo một phương án, vùng S/D thay thế khối 107 được phát triển epitaxy trên hai hoặc nhiều hơn hai vùng hoạt động thay thế được làm lộ ra 104 ở dưới cùng của các hốc S/D 119 trong rãnh ILD khối 139. Như được mô tả ở trên dựa vào Fig.3H và Fig.3H', một khi vật liệu được phát triển epitaxy mở rộng về phía trên bề mặt trên cùng của lớp STI 102 thì sự phát triển của nó không còn bị giới hạn theo hướng thẳng đứng. Theo đó, các vùng S/D thay thế được phát triển epitaxy bắt đầu phát triển theo chiều ngang hướng về nhau cắt qua bề mặt trên cùng 137 của lớp STI được làm lộ ra 102 tách biệt các vùng hoạt động thay thế 104. Các vùng S/D thay thế không bị giới hạn cuối cùng cũng phát triển cùng nhau và tạo ra sự ngắn mạch giữa hai vùng hoạt động thay thế và tạo ra khối S/D thay thế 107. Sự phát triển của khối S/D thay thế 107 theo chiều ngang ra xa khỏi điểm trong đó sự kết nối giữa các vùng S/D thay thế được tạo ra được giới hạn bởi các thành bên của rãnh ILD khối 139. Theo đó, các thành bên 142 của vùng S/D thay thế khối 107 mà phát triển trên lớp STI 102 gần như là thẳng đứng, như có thể thấy trên Fig.5B. Hơn nữa, các thành bên của các vùng S/D thay thế khối 107 được căn chỉnh với các thành bên của kim loại tiếp xúc 114 do sự giới hạn được tạo ra bởi ILD 112. Do các thành bên của rãnh ILD khối 139 giới hạn sự phát triển theo chiều ngang của các vùng S/D thay thế khối 107, sự ngắn mạch của nhiều vùng S/D thay thế 106 có thể được điều khiển một cách chính xác hơn so với sự phát triển không bị giới hạn được mô tả trên Fig.3H và Fig.3H'. Ví dụ là, vùng S/D thay thế 106 được tạo ra trong rãnh ILD 129 được cách điện với khối S/D thay thế 107, và vẫn điều khiển được một cách độc lập. Ngoài sự kết nối của hai hoặc nhiều hơn hai vùng S/D thay thế 106, khối S/D thay thế 107 gần như tương tự với các vùng S/D thay thế 106 được mô tả ở trên, và do đó sẽ không được lặp lại ở đây.

Rãnh ILD khối 139 trên các hình vẽ Fig.5A và Fig.5B được tạo ra cắt qua hai vùng hoạt động thay thế 104, tuy nhiên các phương án khác không bị giới hạn. Theo các phương án bổ sung, rãnh ILD khối 139 có thể trải dài qua ba hoặc nhiều hơn ba vùng hoạt động thay thế 104. Ngoài ra, các cực nguồn của hai hoặc nhiều hơn hai tranzito có thể được ghép nối với nhau trong khi các cực máng tương ứng của chúng vẫn độc lập với nhau.

Trong khi các thiết bị n-MOS đã được mô tả một cách chi tiết ở trên, người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ nhận ra rằng các thiết bị p-MOS có thể được tạo ra theo cách tương tự. Theo một phương án của sáng chế, các thiết bị p-MOS có thể được sản xuất bằng cách sử dụng quy trình tương tự nhưng bằng cách sử dụng các vật liệu có kiểu dẫn điện ngược lại. Bằng cách lấy ví dụ, các vùng hoạt động thay thế 104 có thể được pha tạp với các chất pha tạp loại n và các vùng S/D thay thế có thể được pha tạp với các chất pha tạp loại p. Theo các phương án mà sử dụng các vùng đầu mút 111, các vùng đầu mút này có thể còn được tạo ra với các chất pha tạp loại p. Hơn nữa, trong thiết bị loại p, các phần tử mang là các lỗ trống, và như vậy biến dạng nén cần thiết để tăng độ linh động của các lỗ trống. Như vậy, các phương án của sáng chế bao gồm các thiết bị loại p yêu cầu rằng hằng số mạng của các vùng S/D thay thế 106 lớn hơn hằng số mạng của các vùng hoạt động thay thế. Theo các phương án của sáng chế, việc tăng hằng số mạng của các vùng S/D thay thế 106 có thể thu được bằng cách tăng phần trăm nguyên tử của nguyên tố lớn hơn trong thành phần, hoặc bằng cách sử dụng vật liệu có các thành phần nguyên tử khác nhau.

Fig.6 minh họa thiết bị tính toán 600 theo một phương án thực hiện của sáng chế. Thiết bị tính toán 600 này chứa bảng mạch 602. Bảng mạch 602 có thể bao gồm một số thành phần, bao gồm, nhưng không bị giới hạn ở bộ xử lý 604 và ít nhất một chip truyền thông 606. Bộ xử lý 604 được ghép nối về mặt vật lý và điện với bảng mạch 602. Theo một số phương án thực hiện, ít nhất một chip truyền thông 606 cũng được ghép nối về mặt vật lý và điện với bảng mạch 602. Theo các phương án thực hiện khác nữa, chip truyền thông 606 là một phần của bộ xử lý 604.

Tùy thuộc vào các ứng dụng của sáng chế, thiết bị tính toán 600 có thể bao gồm các thành phần khác có thể hoặc không thể được ghép nối về mặt vật lý và điện với bảng mạch 602. Các thành phần khác này bao gồm, nhưng không bị giới hạn ở, bộ nhớ khả biến (ví dụ, DRAM), bộ nhớ bất khả biến (ví dụ, ROM), bộ nhớ chớp, bộ xử lý đồ họa, bộ xử lý tín hiệu số, bộ xử lý mật mã, bộ chip, ăngten, màn hiển thị, màn hiển thị cảm ứng, bộ điều khiển màn hình cảm ứng, pin, bộ mã hóa-giải mã âm thanh, bộ mã hóa-giải mã video, bộ khuếch đại công suất, thiết bị hệ thống định vị toàn cầu (global positioning system, GPS), la bàn, gia tốc kế, con quay hồi chuyển, loa, camera và thiết bị lưu trữ lớn (chẳng hạn như ổ đĩa cứng, đĩa nén (compact disk, CD), đĩa đa năng số

(digital versatile disk, DVD), v.v.).

Chip truyền thông 606 cho phép truyền thông không dây để truyền dữ liệu đến và từ thiết bị tính toán 600. Thuật ngữ "không dây" và các thuật ngữ bắt nguồn của các thuật ngữ này có thể được sử dụng để mô tả các mạch, thiết bị, hệ thống, phương pháp, kỹ thuật, kênh truyền thông, v.v., mà có thể truyền thông dữ liệu thông qua việc sử dụng bức xạ điện từ được điều biến thông qua vật ghi không rắn. Thuật ngữ này không ám chỉ rằng các thiết bị có liên quan không chứa dây bất kỳ nào, mặc dù theo một số phương án thì có thể không chứa dây. Chip truyền thông 606 có thể thực hiện một số chuẩn không dây hoặc giao thức bất kỳ, bao gồm nhưng không bị giới hạn ở Wi-Fi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, tiến hóa dài hạn (Long Term Evolution, LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, các chuẩn hoặc giao thức bắt nguồn của chúng, cũng như các giao thức không dây khác bất kỳ mà được chỉ định dưới dạng 3G, 4G, 5G và hơn thế nữa. Thiết bị tính toán 600 có thể bao gồm các chip truyền thông 606. Ví dụ, chip truyền thông 606 thứ nhất có thể được dành riêng cho việc truyền thông vô tuyến tầm ngắn hơn chẳng hạn như Wi-Fi và Bluetooth và chip truyền thông 606 thứ hai có thể được dành riêng cho việc truyền thông vô tuyến tầm dài hơn chẳng hạn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và các dạng khác.

Bộ xử lý 604 của thiết bị tính toán 600 bao gồm khuôn mạch tích hợp được đóng gói trong bộ xử lý 604. Theo một số phương án thực hiện của sáng chế, khuôn mạch tích hợp của bộ xử lý bao gồm một hoặc nhiều thiết bị, chẳng hạn như các tranzito MOS có các vùng kênh thay thế nhóm III-V và các vùng S/D thay thế nhóm III-V được tạo ra theo các phương án thực hiện của sáng chế. Thuật ngữ "bộ xử lý" có thể đề cập đến thiết bị hoặc phần bất kỳ của thiết bị để xử lý dữ liệu điện tử từ các thanh ghi và/hoặc bộ nhớ để chuyển đổi dữ liệu điện tử thành dữ liệu điện tử khác mà có thể được lưu trữ trong các thanh ghi và/hoặc bộ nhớ này.

Chip truyền thông 606 còn bao gồm khuôn mạch tích hợp được đóng gói trong chip truyền thông 606. Theo một phương án thực hiện khác của sáng chế, khuôn mạch tích hợp của chip truyền thông bao gồm một hoặc nhiều thiết bị, chẳng hạn như các tranzito MOS-FET được tạo ra theo các phương án thực hiện của sáng chế.

Trong các phương án thực hiện khác nữa, thành phần khác có trong thiết bị tính

toán 600 có thể chứa khuôn mạch tích hợp bao gồm một hoặc nhiều thiết bị, chẳng hạn như các tranzito MOS-FET được tạo ra theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nhau, thiết bị tính toán 600 có thể là máy tính xách tay laptop, máy tính xách tay netbook, máy tính xách tay notebook, máy tính xách tay ultrabook, điện thoại thông minh, máy tính dạng bảng, thiết bị hỗ trợ kỹ thuật số cá nhân (personal digital assistant, PDA), PC siêu di động, điện thoại di động, máy tính để bàn, máy chủ, máy in, máy quét, màn hình, thiết bị giải mã tín hiệu truyền hình (set-top box), bộ phận điều khiển giải trí, camera số, máy phát nhạc cầm tay hoặc bộ ghi video số. Theo các phương án thực hiện khác nữa, thiết bị tính toán 600 có thể là thiết bị điện tử khác bất kỳ để xử lý dữ liệu.

Các phương án bổ sung của sáng chế bao gồm thiết bị bán dẫn bao gồm, lớp nền bán dẫn, một hoặc nhiều vùng hoạt động thay thế được bố trí trên bề mặt trên cùng của lớp nền bán dẫn, trong đó các vùng hoạt động thay thế là vật liệu bán dẫn nhóm III-V thứ nhất, cấu trúc cực cổng được tạo ra trên một hoặc nhiều vùng hoạt động thay thế, các hốc cực nguồn/cực máng (S/D) ở các vùng hoạt động thay thế, và các vùng S/D thay thế được tạo ra ở các hốc S/D, trong đó các vùng S/D thay thế này bao gồm vật liệu bán dẫn nhóm III-V thứ hai có hằng số mạng nhỏ hơn hằng số mạng của vật liệu bán dẫn nhóm III-V thứ nhất. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các vùng S/D thay thế còn bao gồm lớp bán dẫn điện trở tiếp xúc thấp, trong đó lớp bán dẫn điện trở tiếp xúc thấp này là vật liệu đơn tinh thể hoặc đa tinh thể. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó sự không phù hợp giữa các hằng số mạng của các vật liệu bán dẫn nhóm III-V thứ nhất và thứ hai nằm trong khoảng từ 0,5% đến 6%. Các phương án bổ sung về thiết bị này còn bao gồm thiết bị bán dẫn, trong đó vùng hoạt động thay thế còn bao gồm một hoặc nhiều lớp bán dẫn nhóm III-V bổ sung, trong đó vật liệu bán dẫn nhóm III-V thứ nhất và một hoặc nhiều lớp bán dẫn nhóm III-V bổ sung bao gồm một trong số các cách bố trí lớp sau: (GaAs, InP, InGaAs), (InP, InGaAs), (AlSb, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb). Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn còn bao gồm lớp cách điện rãnh nông (shallow trench isolation, STI) được tạo ra giữa các vùng hoạt động thay thế liền kề. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các phần của

các vùng S/D thay thế mở rộng về phía trên bề mặt trên cùng của lớp STI. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó hai hoặc nhiều hơn hai vùng S/D thay thế có các phần mở rộng về phía trên lớp STI mà tiếp xúc với nhau để tạo ra vùng S/D thay thế khối. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các thành bên của vùng S/D thay thế khối bị giới hạn bởi chất điện môi giữa các lớp (ILD) được bố trí trên lớp STI. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các thành bên của các phần của các vùng S/D thay thế khối mở rộng về phía trên lớp STI gần như là thẳng đứng. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các phần của các vùng S/D thay thế mở rộng về phía trên lớp STI bị giới hạn bởi ILD được bố trí trên lớp STI. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các thành bên của các phần của các vùng S/D thay thế mở rộng về phía trên lớp STI gần như là thẳng đứng. Các phương án bổ sung của sáng chế còn bao gồm thiết bị bán dẫn trong đó các hốc S/D mở rộng về phía dưới cấu trúc cực cổng.

Các phương án bổ sung của sáng chế bao gồm phương pháp tạo ra thiết bị bán dẫn bao gồm các bước, tạo ra lớp nền bán dẫn có một hoặc nhiều vây ăn mòn thay thế, bố trí lớp cách điện rãnh nông (STI) giữa các vây ăn mòn thay thế, khắc một hoặc nhiều vây ăn mòn thay thế để tạo ra một hoặc nhiều rãnh giữa lớp STI, bố trí vật liệu bán dẫn nhóm III-V thứ nhất ở một hoặc nhiều rãnh để tạo ra một hoặc nhiều vùng hoạt động thay thế, tạo ra cấu trúc cực cổng trên bề mặt của lớp STI và trên các phần của các vùng hoạt động thay thế, tạo ra các hốc S/D trong các phần của các vùng hoạt động thay thế liền kề với cấu trúc cực cổng và bố trí vật liệu bán dẫn nhóm III-V thứ hai ở các hốc S/D để tạo ra các vùng S/D thay thế, trong đó vật liệu bán dẫn nhóm III-V thứ hai này có hằng số mạng nhỏ hơn vật liệu bán dẫn nhóm III-V thứ nhất. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó sự không phù hợp giữa các hằng số mạng của các vật liệu bán dẫn nhóm III-V thứ nhất và thứ hai nằm trong khoảng từ 0,5% đến 6%. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó bước bố trí vật liệu bán dẫn nhóm III-V thứ nhất ở một hoặc nhiều rãnh còn bao gồm bước bố trí chồng bán dẫn nhóm III-V thứ nhất ở một hoặc nhiều rãnh, trong đó chồng bán dẫn nhóm III-V thứ nhất bao gồm cách bố trí lớp là một trong số (GaAs, InP, InGaAs), (InP, InGaAs), (AlSb, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb). Các phương án bổ sung của sáng chế

còn bao gồm phương pháp trong đó các phần của các vùng S/D thay thế mở rộng về phía trên lớp STI. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó các phần của hai hoặc nhiều hơn hai vùng S/D thay thế mở rộng về phía trên lớp STI tiếp xúc với nhau. Các phương án bổ sung của sáng chế còn bao gồm phương pháp còn bao gồm các bước: bố trí chất điện môi giữa các lớp (ILD) trên lớp STI, vùng hoạt động thay thế và cấu trúc cực cổng, và tạo ra rãnh ILD thông qua ILD trên một hoặc nhiều vùng hoạt động thay thế trước khi tạo ra các hốc S/D. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó các thành bên của các vùng S/D thay thế bị giới hạn bởi rãnh ILD và gần như là thẳng đứng. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó các hốc S/D mở rộng về phía dưới cấu trúc cực cổng. Các phương án bổ sung của sáng chế còn bao gồm phương pháp còn bao gồm bước tạo hốc lớp STI để làm lộ ra phần phía trên của các vùng hoạt động thay thế trước khi tạo ra cấu trúc cực cổng trên bề mặt của lớp STI và trên các phần của các vùng hoạt động thay thế. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó các vùng S/D thay thế còn bao gồm lớp bán dẫn điện trở tiếp xúc thấp, trong đó lớp bán dẫn điện trở tiếp xúc thấp là vật liệu đơn tinh thể hoặc đa tinh thể.

Các phương án bổ sung của sáng chế bao gồm phương pháp tạo ra thiết bị bán dẫn bao gồm các bước: bố trí lớp STI phía trên lớp nền tạo ra một hoặc nhiều rãnh ở lớp STI, bố trí vật liệu bán dẫn thứ nhất ở một hoặc nhiều rãnh để tạo ra một hoặc nhiều vùng hoạt động thay thế, tạo ra cấu trúc cực cổng trên bề mặt của lớp STI và trên các phần của các vùng hoạt động thay thế, bố trí chất điện môi giữa các lớp (ILD) trên lớp STI, vùng hoạt động thay thế và cấu trúc cực cổng, tạo ra rãnh ILD thông qua ILD trên một hoặc nhiều vùng hoạt động thay thế tạo ra các hốc S/D ở các phần của các vùng hoạt động thay thế liền kề với cấu trúc cực cổng, và bố trí vật liệu bán dẫn thứ hai ở các hốc S/D để tạo ra các vùng S/D thay thế, trong đó các thành bên của các vùng S/D bị giới hạn bởi rãnh ILD và gần như là thẳng đứng. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó sự không phù hợp giữa các hằng số mạng của các vật liệu bán dẫn nhóm III-V thứ nhất và thứ hai nằm trong khoảng từ 0,5% đến 6%. Các phương án bổ sung của sáng chế còn bao gồm phương pháp trong đó bước bố trí vật liệu bán dẫn thứ nhất ở một hoặc nhiều rãnh còn bao gồm bước bố trí chồng bán dẫn nhóm III-V thứ nhất ở một hoặc nhiều rãnh, trong đó chồng bán dẫn

nhóm III-V thứ nhất này bao gồm cách bố trí lớp là một trong số (GaAs, InP, InGaAs), (InP, InGaAs), (AlSb, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb).

Toàn bộ sáng chế này đề cập đến “một phương án” hoặc “phương án” có nghĩa là dấu hiệu, cấu trúc hoặc đặc điểm cụ thể được mô tả kết hợp với phương án có trong ít nhất một phương án của sáng chế. Sự xuất hiện của các cụm từ “theo một phương án” hoặc “theo phương án” ở các vị trí khác nhau trong toàn bộ sáng chế này không nhất thiết đều phải đề cập đến cùng một phương án. Hơn nữa, các dấu hiệu, cấu trúc hoặc đặc điểm cụ thể có thể được kết hợp theo cách thích hợp bất kỳ theo một hoặc nhiều phương án.

Trong phần mô tả chi tiết nêu trên, các dấu hiệu khác nhau được nhóm với nhau vào một phương án duy nhất nhằm mục đích hợp lý hóa sáng chế. Phương pháp bộc lộ này không được hiểu là phản ánh ý định là các phương án được yêu cầu của sáng chế cần nhiều dấu hiệu hơn là được thể hiện rõ ràng trong mỗi điểm yêu cầu bảo hộ. Thay vào đó, các điểm yêu cầu bảo hộ sau đề cập đến đối tượng yêu cầu bảo hộ có ít hơn tất cả các dấu hiệu của một phương án được được bộ lộ. Do đó các điểm yêu cầu bảo hộ sau được đưa vào phần mô tả chi tiết, với mỗi điểm yêu cầu bảo hộ đứng riêng biệt như một phương án riêng biệt.

Người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ dễ dàng hiểu rằng các sự thay đổi khác nhau về chi tiết, vật liệu và các cách bố trí của các bộ phận và các giai đoạn của phương pháp mà đã được mô tả và minh họa để giải thích bản chất của sáng chế có thể được thực hiện mà không lệch khỏi nguyên lý và phạm vi của sáng chế được thể hiện trong các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Thiết bị bán dẫn bao gồm:

lớp nền bán dẫn;

một hoặc nhiều vùng hoạt động thay thế được bố trí trên bề mặt trên cùng của lớp nền bán dẫn, trong đó các vùng hoạt động thay thế này là vật liệu bán dẫn nhóm III-V thứ nhất;

cấu trúc cực cổng được tạo ra trên một hoặc nhiều vùng hoạt động thay thế;

các hốc cực nguồn/cực máng (source/drain, S/D) ở các vùng hoạt động thay thế;

các vùng S/D thay thế được tạo ra ở các hốc S/D, trong đó các vùng S/D thay thế này bao gồm vật liệu bán dẫn nhóm III-V thứ hai có hằng số mạng nhỏ hơn hằng số mạng của vật liệu bán dẫn nhóm III-V thứ nhất; và

lớp cách điện rãnh nông (shallow trench isolation, STI) được tạo ra giữa các vùng hoạt động thay thế liền kề, trong đó ít nhất một phần của các vùng S/D thay thế tiếp xúc với bề mặt trên cùng của lớp STI.

2. Thiết bị bán dẫn theo điểm 1, trong đó các vùng S/D thay thế còn bao gồm lớp bán dẫn điện trở tiếp xúc thấp, trong đó lớp bán dẫn điện trở tiếp xúc thấp này là vật liệu đơn tinh thể hoặc đa tinh thể.

3. Thiết bị bán dẫn theo điểm 1, trong đó sự không phù hợp giữa các hằng số mạng của các vật liệu bán dẫn nhóm III-V thứ nhất và thứ hai nằm trong khoảng từ 0,5% đến 6%.

4. Thiết bị bán dẫn theo điểm 1, trong đó vùng hoạt động thay thế còn bao gồm một hoặc nhiều lớp bán dẫn nhóm III-V bổ sung, trong đó vật liệu bán dẫn nhóm III-V thứ nhất và một hoặc nhiều lớp bán dẫn nhóm III-V bổ sung bao gồm một trong số các cách bố trí lớp sau: (GaAs, InP, InGaAs), (InP, InGaAs), (AlSb, InGaAs), (InAlAs, InGaAs), (InP, InGaSb, InSb) hoặc (AlSb, InGaSb, InSb).

5. Thiết bị bán dẫn theo điểm 1, trong đó các phần của các vùng S/D thay thế mở rộng về phía trên bề mặt trên cùng của lớp STI.

6. Thiết bị bán dẫn theo điểm 5, trong đó hai hoặc nhiều hơn hai vùng S/D thay thế có

các phần mở rộng về phía trên lớp STI mà tiếp xúc với nhau để tạo ra vùng S/D thay thế khối.

7. Thiết bị bán dẫn theo điểm 6, trong đó các thành bên của vùng S/D thay thế khối bị giới hạn bởi chất điện môi giữa các lớp (inter-layer dielectric, ILD) được bố trí trên lớp STI.

8. Thiết bị bán dẫn theo điểm 7, trong đó các thành bên của các phần của các vùng S/D thay thế khối mở rộng về phía trên lớp STI gần như là thẳng đứng.

9. Thiết bị bán dẫn theo điểm 5, trong đó các phần của các vùng S/D thay thế mở rộng về phía trên lớp STI bị giới hạn bởi ILD được bố trí trên lớp STI.

10. Thiết bị bán dẫn theo điểm 9, trong đó các thành bên của các phần của các vùng S/D thay thế mở rộng về phía trên lớp STI gần như là thẳng đứng.

11. Thiết bị bán dẫn theo điểm 1, trong đó các hốc S/D mở rộng về phía dưới cấu trúc cực cổng.

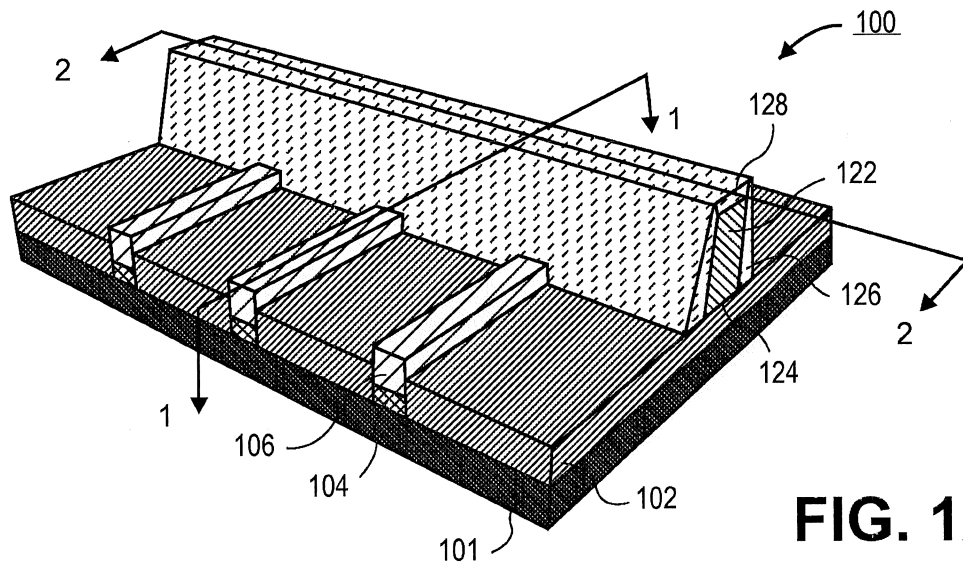


FIG. 1A

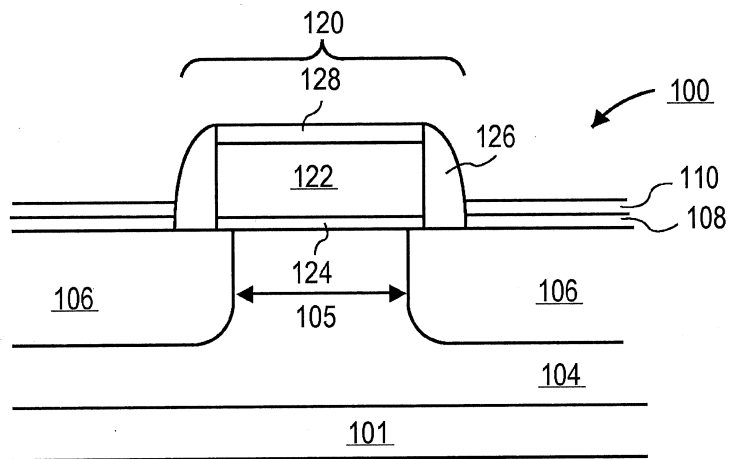


FIG. 1B

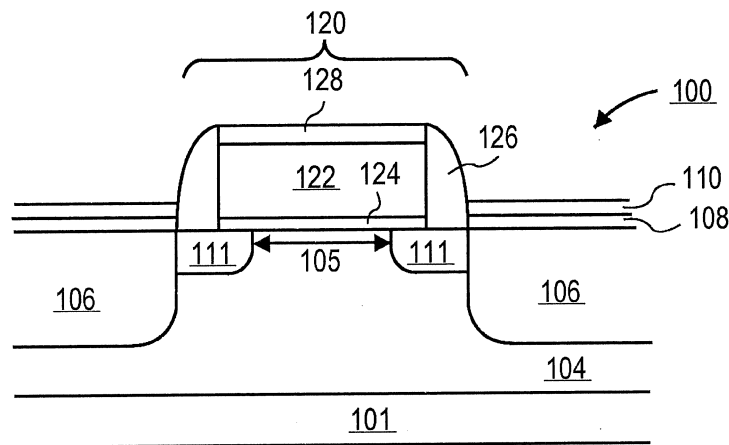
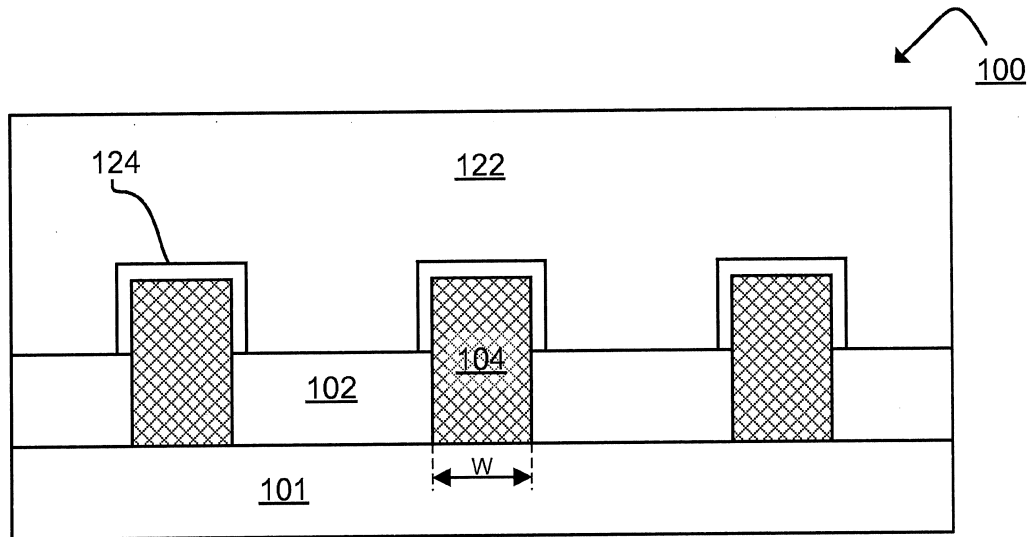
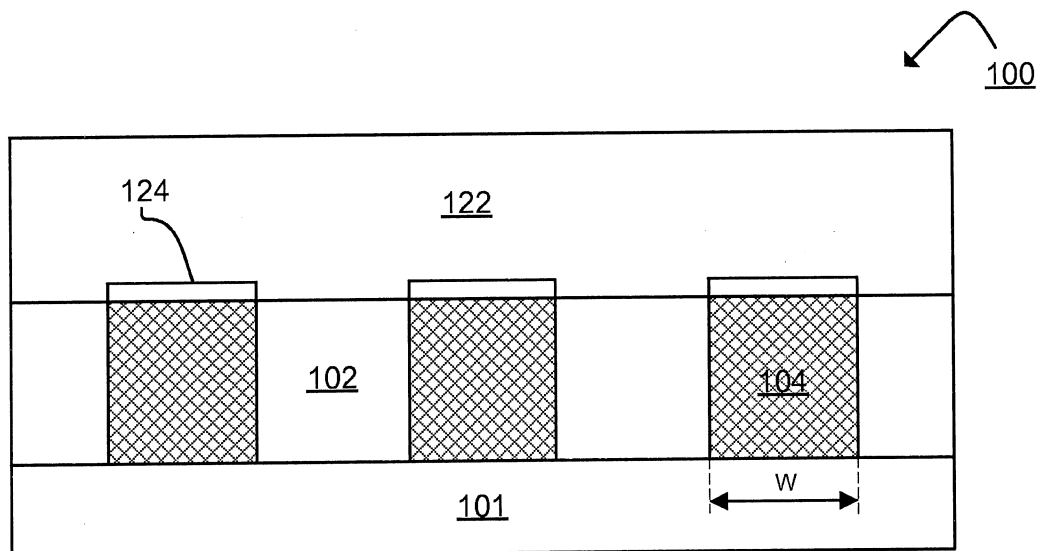
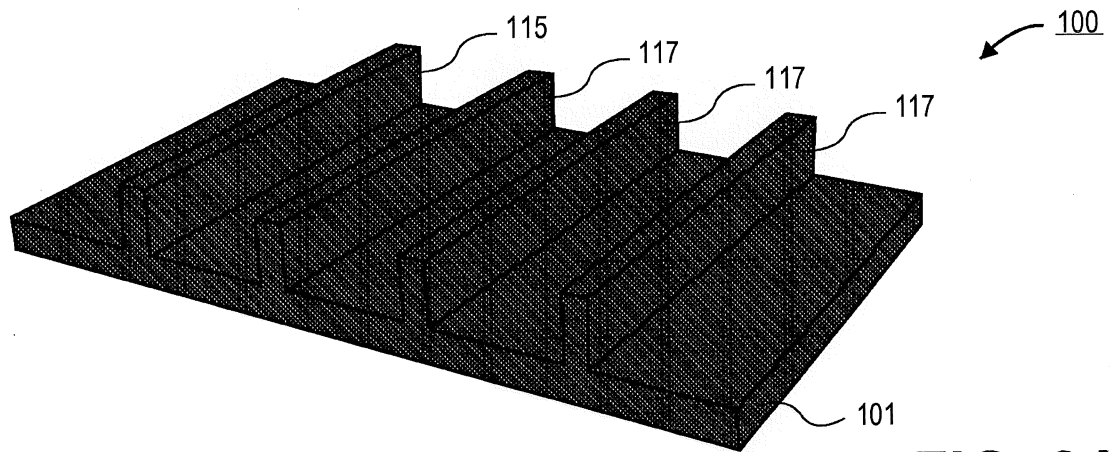
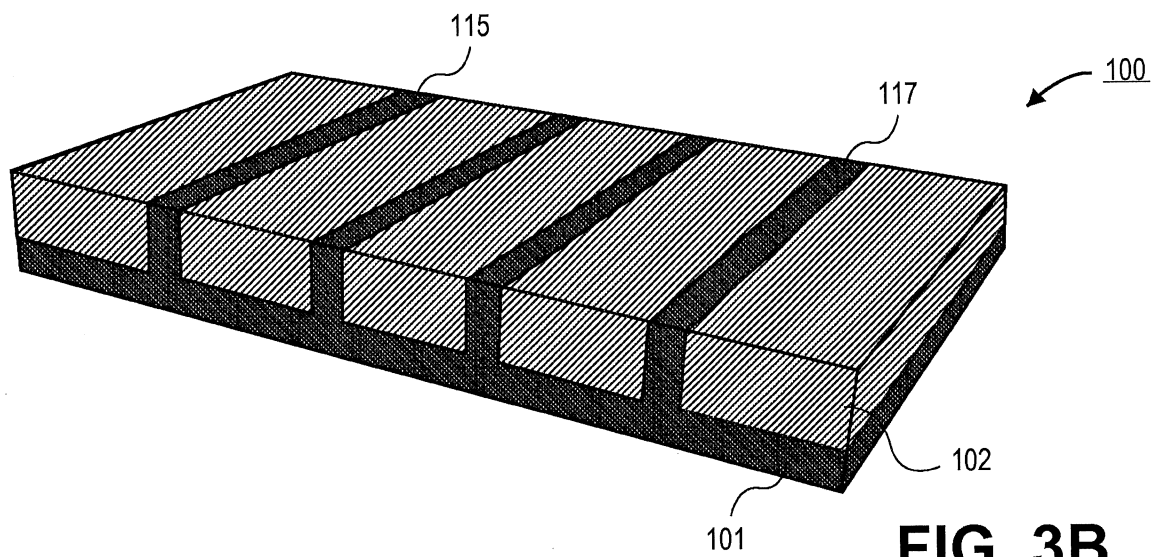
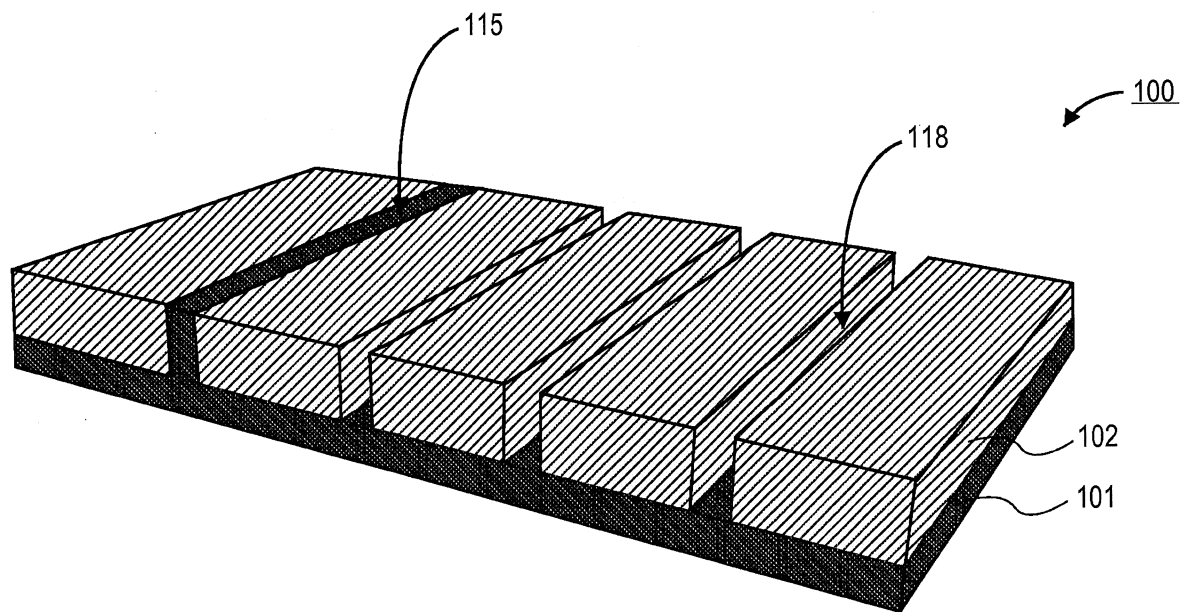
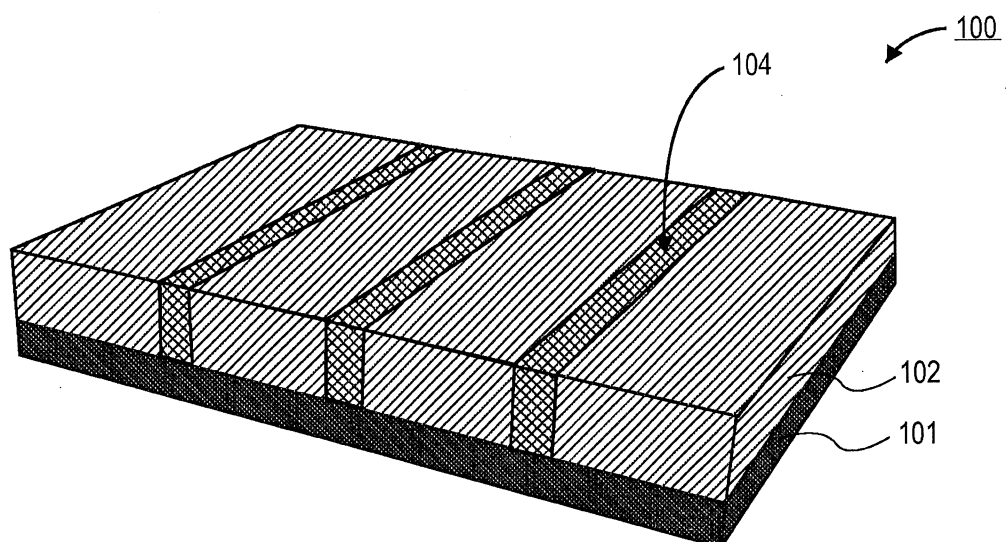
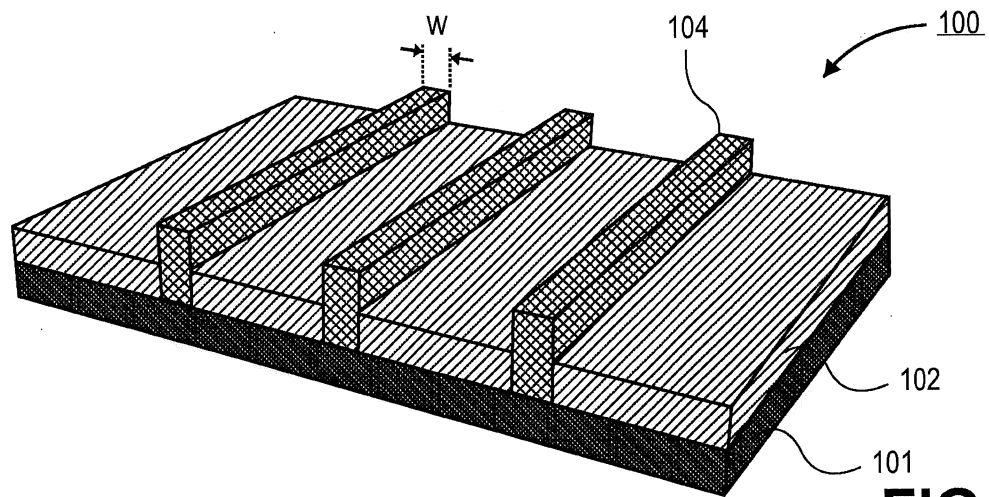
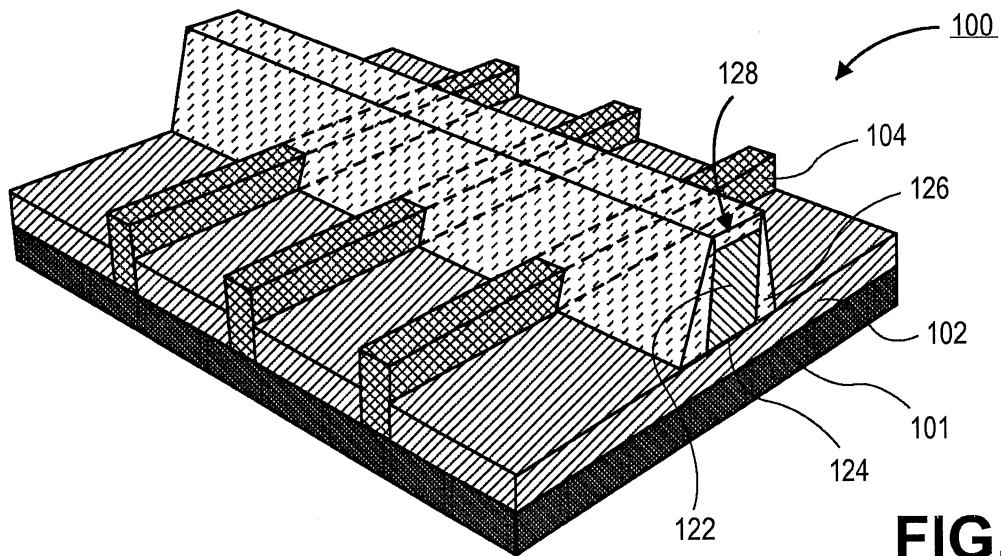
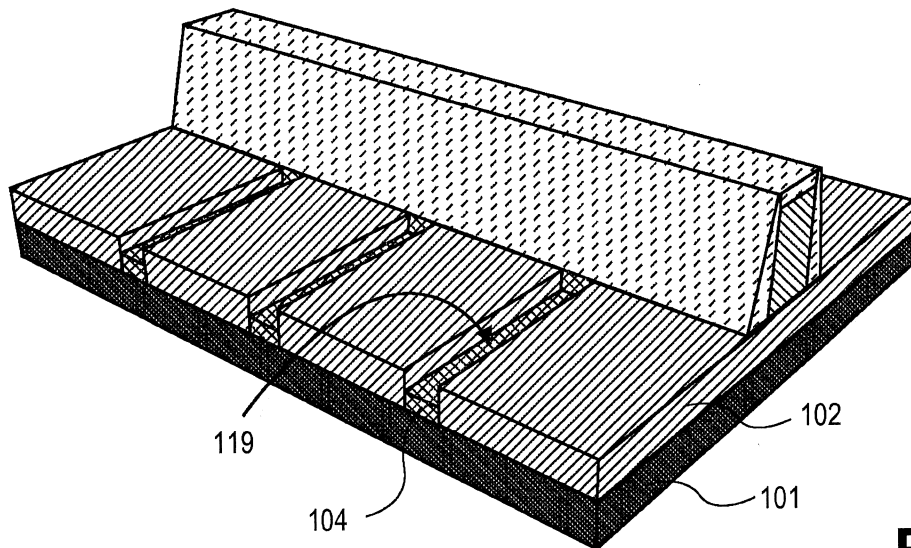


FIG. 1C

**FIG. 2A****FIG. 2B**

**FIG. 3A****FIG. 3B**

**FIG. 3C****FIG. 3D**

**FIG. 3E****FIG. 3F****FIG. 3G**

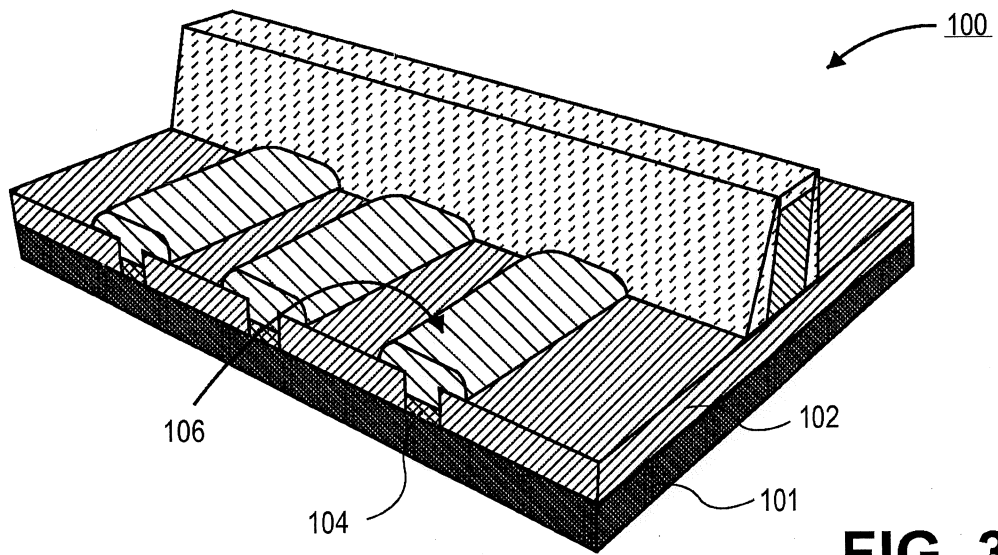


FIG. 3H

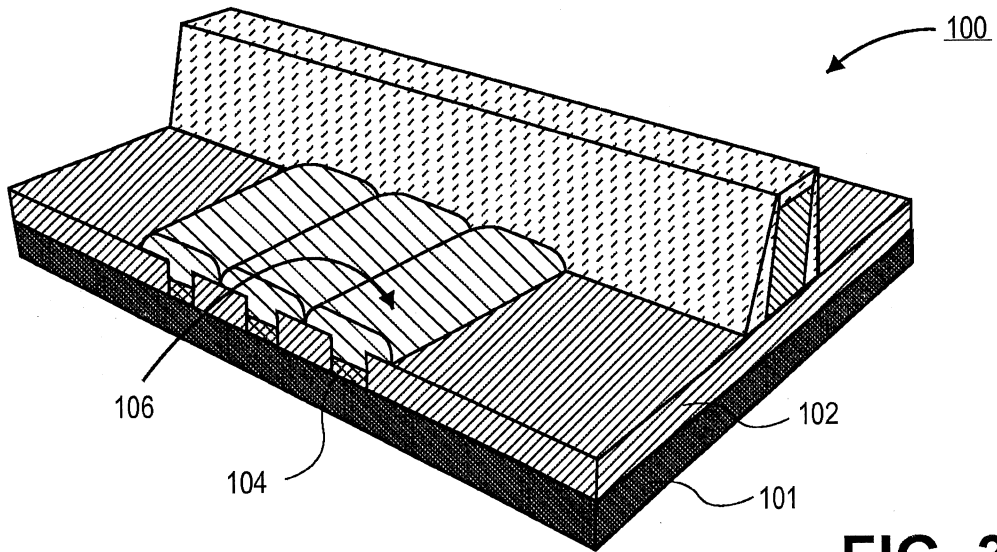


FIG. 3H'

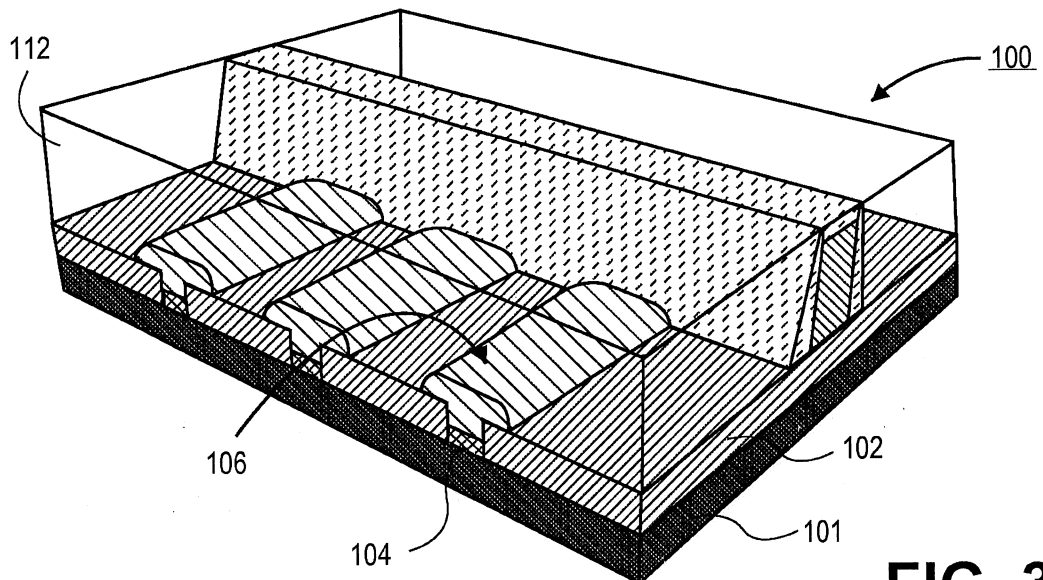
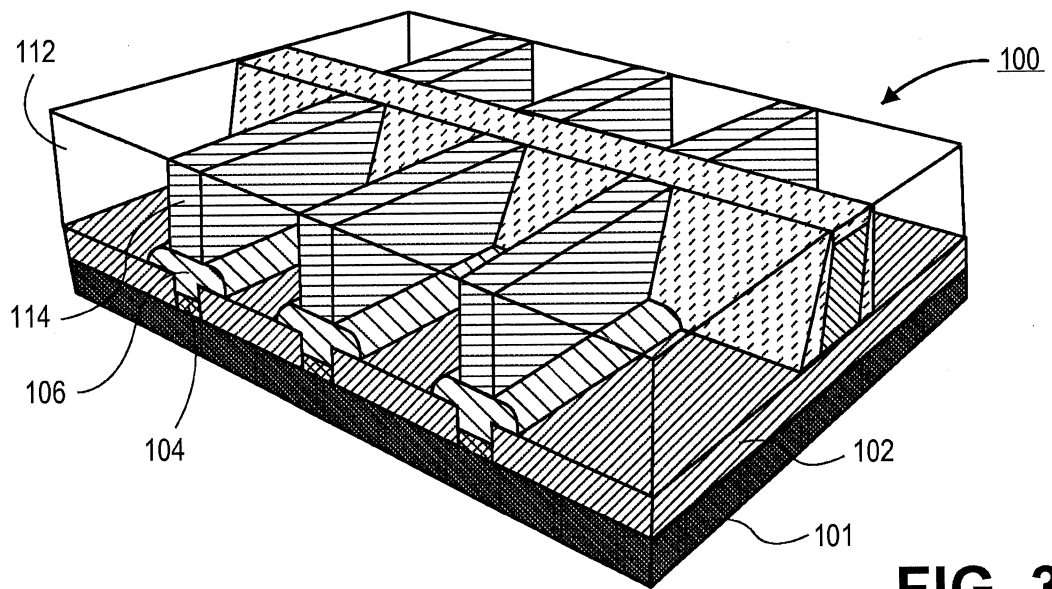


FIG. 3I

**FIG. 3J**

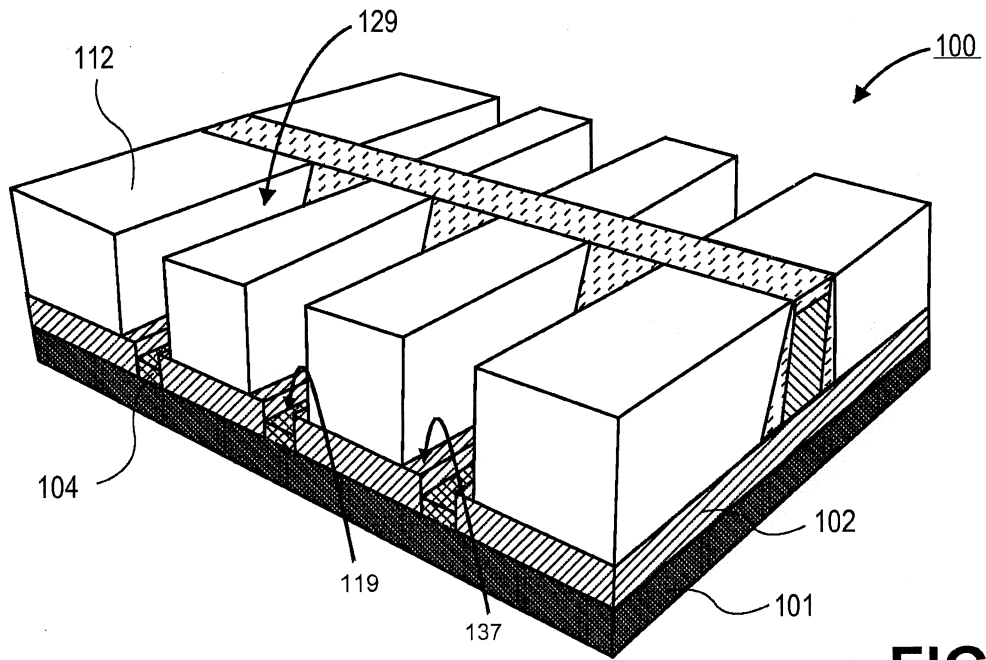


FIG. 4A

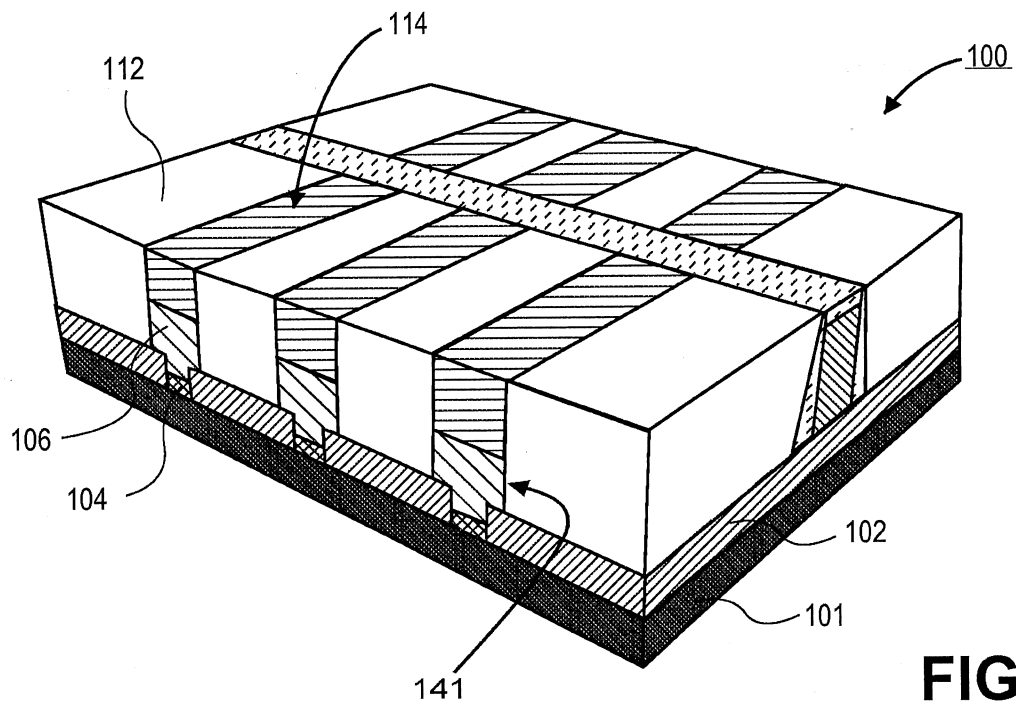
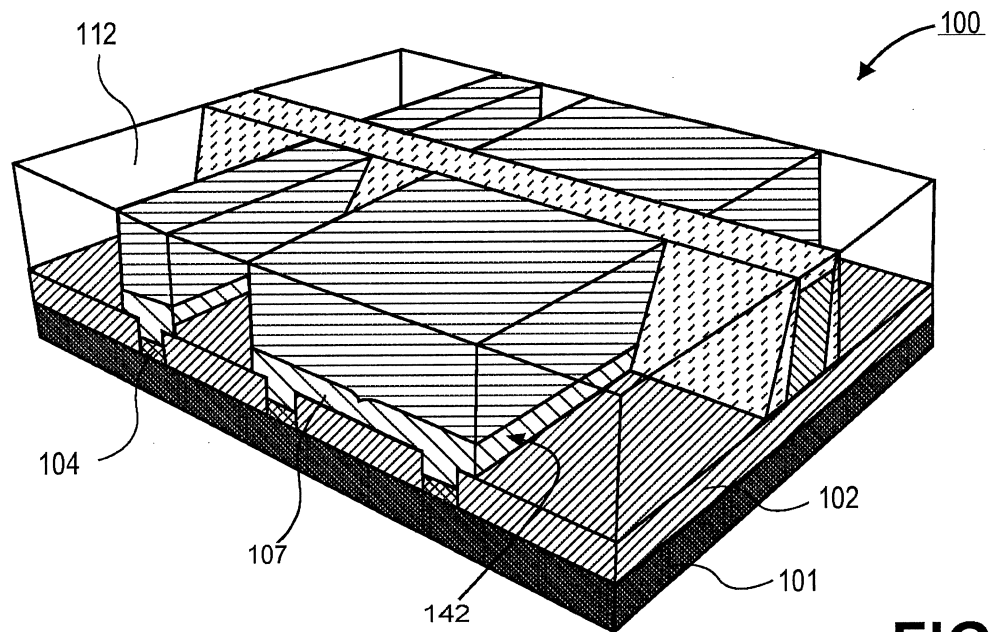
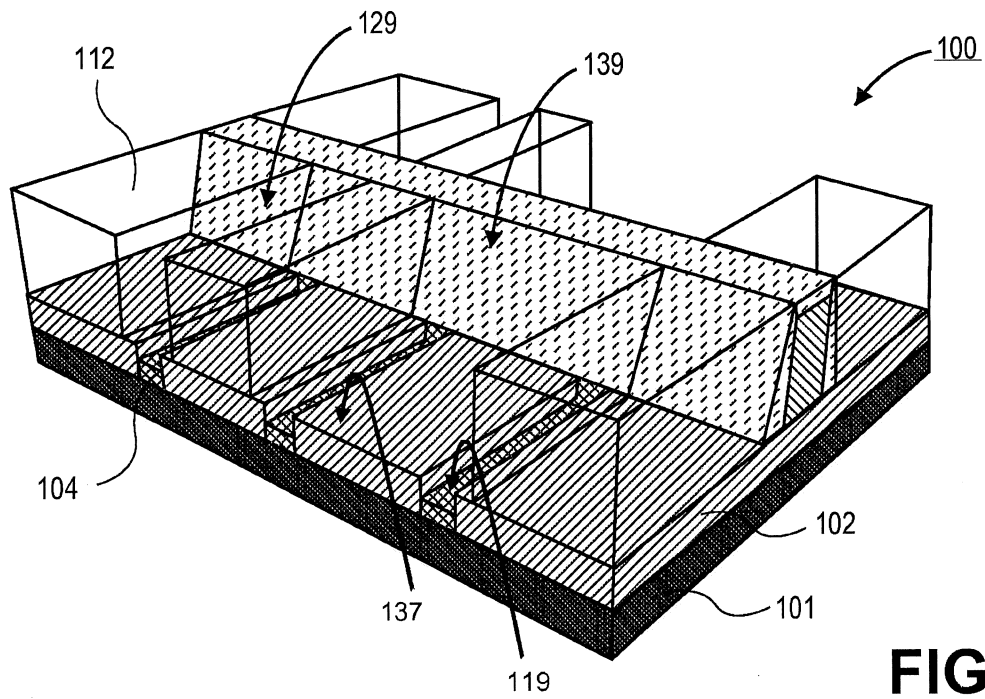
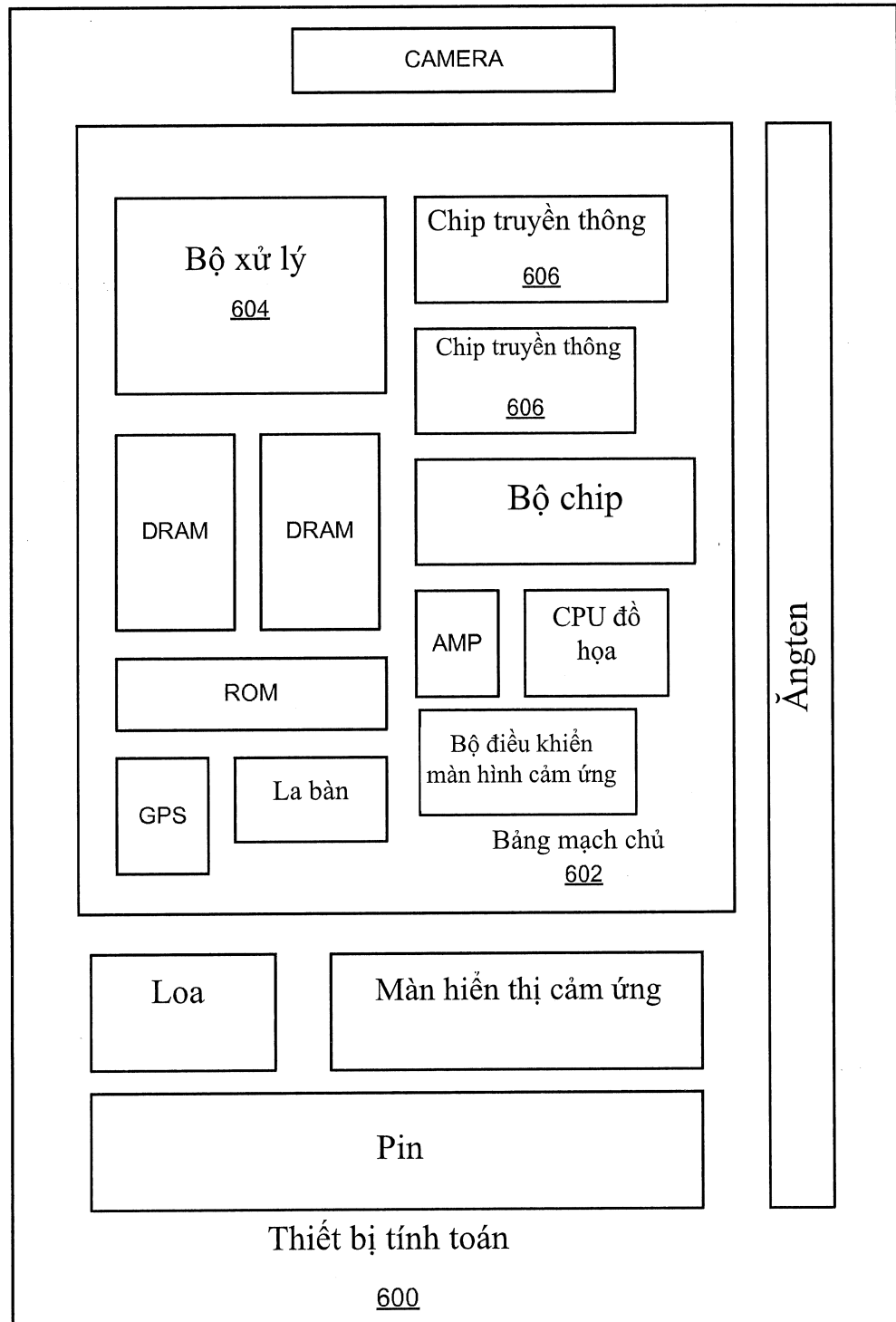


FIG. 4B



**FIG. 6**