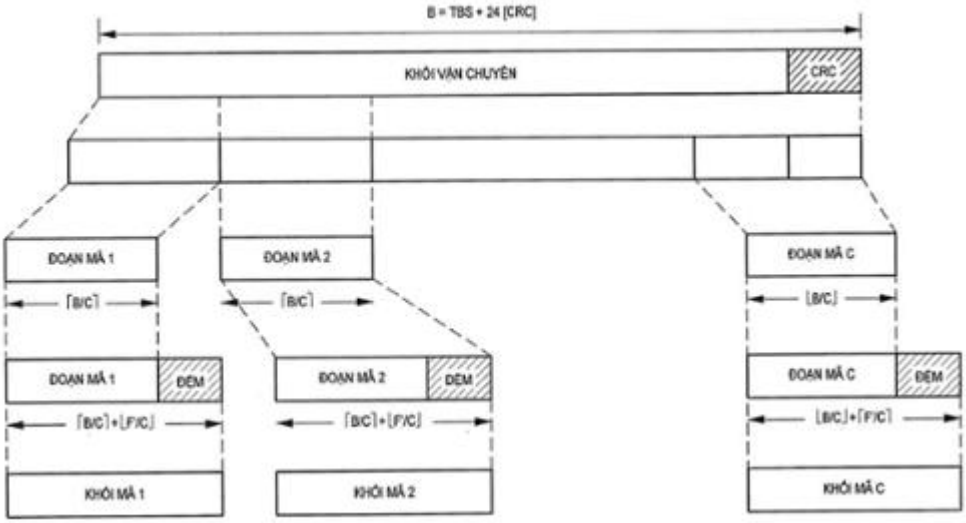
(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ
(11) **1-0030435**
(51)[8] **H03M 13/11**; H04L 1/00; H03M 13/00 (13) **B**

(21) 1-2018-02717 (22) 23/12/2016
(86) PCT/KR2016/015246 23/12/2016 (87) WO 2017/111559 A1 29/06/2017
(30) 10-2015-0185457 23/12/2015 KR; 10-2016-0002902 08/01/2016 KR; 10-2016-0006138 18/01/2016 KR; 10-2016-0018016 16/02/2016 KR; 10-2016-0066749 30/05/2016 KR
(45) 25/12/2021 405 (43) 25/10/2018 367A
(73) SAMSUNG ELECTRONICS CO., LTD. (KR)
129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, 16677, Republic of Korea
(72) MYUNG, Seho (KR); KIM, Kyungjoong (KR); JANG, Min (KR); JEONG, Hongsil (KR).
(74) Công ty Luật TNHH WINCO (WINCO LAW FIRM)

(54) PHƯƠNG PHÁP VÀ THIẾT BỊ MÃ HOÁ VÀ GIẢI MÃ KÊNH TRONG HỆ THỐNG TRUYỀN THÔNG KHÔNG DÂY

(57) Sáng chế đề cập đến hệ thống truyền thông thế hệ thứ năm (Fifth Generation, 5G) hoặc trước thế hệ thứ năm (pre-5G) dùng để hỗ trợ tốc độ truyền dữ liệu cao hơn so với các hệ thống truyền thông thế hệ thứ tư (Fourth Generation, 4G) như hệ thống truyền thông theo tiêu chuẩn phát triển dài hạn (Long Term Evolution, LTE). Sáng chế đề cập đến phương pháp và thiết bị mã hoá và giải mã kênh trong hệ thống truyền thông hoặc phát rộng hỗ trợ các ma trận kiểm tra chẵn lẻ có nhiều kích thước khác nhau. Phương pháp mã hoá kênh bao gồm các bước: xác định kích thước khối mã của ma trận kiểm tra chẵn lẻ; đọc chuỗi bit để tạo ra ma trận kiểm tra chẵn lẻ, và biến đổi chuỗi bit này bằng cách áp dụng một phép toán định trước cho chuỗi bit dựa vào kích thước của khối mã đã xác định.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị và phương pháp mã hoá và giải mã kênh trong hệ thống truyền thông hoặc phát rộng.

Tình trạng kỹ thuật của sáng chế

Để đáp ứng yêu cầu về lưu lượng dữ liệu không dây đang tăng lên kể từ khi phát triển các hệ thống truyền thông thế hệ thứ tư (Fourth Generation, 4G), nhiều nỗ lực đã được thực hiện nhằm phát triển hệ thống truyền thông cải tiến thế hệ thứ năm (Fifth Generation, 5G) hoặc trước thế hệ thứ năm (pre-5G). Vì vậy, hệ thống truyền thông 5G hoặc pre-5G còn được gọi là mạng 'Beyond 4G Network' hoặc hệ thống 'Post long term evolution (LTE) System'.

Hệ thống truyền thông 5G được xem xét để sử dụng trong các dải tần số cao hơn (sóng mm), ví dụ, các dải tần số 60 GHz, nhằm đạt được tốc độ dữ liệu cao hơn. Để giảm độ tổn hao do truyền dẫn của các sóng vô tuyến và tăng khoảng cách truyền, các kỹ thuật tạo chùm, sử dụng hệ thống lớn có nhiều đầu vào nhiều đầu ra (Multiple-Input Multiple-Output, MIMO), hệ thống MIMO toàn hướng (Full Dimensional MIMO, FD-MIMO), giàn anten, kỹ thuật tạo chùm dạng tương tự, sử dụng anten cỡ lớn đã được thảo luận trong các hệ thống truyền thông 5G.

Ngoài ra, trong các hệ thống truyền thông 5G, sự phát triển nhằm cải thiện mạng hệ thống lựa chọn cách dựa vào các ô nhỏ cải tiến (advanced small cells), các mạng truy nhập dùng tần số vô tuyến (Radio Access Network, RAN) đám mây, các mạng siêu dày đặc (ultra-dense networks), hệ thống truyền thông thiết bị-thiết bị (Device-to-Device, D2D), mạng kết nối hành trình ngược không dây (wireless backhaul), mạng di chuyển (moving network), mạng truyền thông hợp tác (cooperative communication), mạng điều phối nhiều điểm (Coordinated Multi-Points, CoMP), kỹ thuật triệt nhiễu ở phía thiết bị thu (reception-end interference cancellation) và các kỹ thuật khác.

Trong hệ thống truyền thông 5G, kỹ thuật kết hợp giữa điều biến dịch tần (Frequency Shift Keying, FSK) và điều biến biên độ vuông góc (Quadrature Amplitude

Modulation, QAM) gọi tắt là kỹ thuật FQAM và kỹ thuật mã hoá chồng chập cửa sổ trượt (Sliding Window Superposition Coding, SWSC) được coi như một kỹ thuật điều biến mã hoá cải tiến (Advanced Coding Modulation, ACM), và kỹ thuật khối lọc nhiều sóng mang (Filter Bank Multi Carrier, FBMC), kỹ thuật đa truy nhập không trực giao (Non-Orthogonal Multiple Access, NOMA), và kỹ thuật đa truy nhập mã thưa (Sparse Code Multiple Access, SCMA) được coi như một kỹ thuật truy nhập cải tiến, đã được phát triển.

Trong hệ thống truyền thông/phát rộng, hiệu suất liên kết có thể bị suy giảm đáng kể do nhiều loại tạp nhiễu, hiện tượng fađin, và nhiễu giữa các ký hiệu (Inter-Symbol Interference, ISI) của kênh. Vì vậy, để sử dụng các hệ thống truyền thông/phát rộng kỹ thuật số tốc độ cao có năng suất truyền dữ liệu cao và độ tin cậy cao để làm các hệ thống truyền thông di động thế hệ kế tiếp, hệ thống phát rộng kỹ thuật số, và mạng internet cho các thiết bị cầm tay, thì cần phải phát triển các kỹ thuật để khắc phục các loại tạp nhiễu, hiện tượng fađin, và nhiễu giữa các ký hiệu. Một phần trong số các nghiên cứu nhằm khắc phục các loại tạp nhiễu, v.v., là nghiên cứu về mã sửa lỗi, đó là phương pháp làm tăng độ tin cậy của tín hiệu truyền thông bằng cách khôi phục có hiệu quả các thông tin bị méo, nghiên cứu này đang được tiến hành một cách tích cực trong thời gian gần đây.

Thông tin được trình bày ở trên là thông tin cơ bản chỉ nhằm giúp cho sáng chế trở nên dễ hiểu hơn. Các thông tin đó không được coi là sự thừa nhận, và không được coi là sự khẳng định về việc liệu có bất kỳ thông tin nào trong số các thông tin nêu trên có thể dùng làm giải pháp đã biết đối với sáng chế này hay không.

Bản chất kỹ thuật của sáng chế

Sáng chế nhằm mục đích đề xuất phương pháp và thiết bị mã hoá/giải mã kiểm tra chẵn lẻ mật độ thấp (Low-Density Parity-Check, LDPC) có khả năng hỗ trợ nhiều độ dài từ mã đầu vào và nhiều tỷ lệ mã khác nhau. Ngoài ra, mục đích của sáng chế là nhằm đề xuất phương pháp và thiết bị mã hoá/giải mã LDPC có khả năng hỗ trợ nhiều độ dài từ mã đầu vào khác nhau từ ma trận kiểm tra chẵn lẻ định trước.

Các khía cạnh của sáng chế nhằm mục đích khắc phục ít nhất là các vấn đề và/hoặc nhược điểm được nêu trên đây và tạo ra ít nhất là các ưu điểm được nêu dưới đây. Do đó, một khía cạnh của sáng chế đề cập đến phương pháp và thiết bị mã hoá/giải mã kiểm tra

chẵn lẻ mật độ thấp (LDPC) có khả năng hỗ trợ nhiều độ dài từ mã đầu vào và nhiều tỷ lệ mã khác nhau. Ngoài ra, mục đích của sáng chế là nhằm đề xuất phương pháp và thiết bị mã hoá/giải mã LDPC có khả năng hỗ trợ nhiều độ dài từ mã đầu vào khác nhau từ ma trận kiểm tra chẵn lẻ định trước.

Một khía cạnh khác của sáng chế nhằm mục đích đề xuất phương pháp mã hoá kênh bao gồm các bước: xác định kích thước khối mã của ma trận kiểm tra chẵn lẻ, đọc chuỗi bit để tạo ra ma trận kiểm tra chẵn lẻ, biến đổi chuỗi bit này dựa vào kích thước của khối mã đã xác định, và tạo ra các bit chẵn lẻ cho các bit từ thông tin dựa vào chuỗi bit được biến đổi.

Một khía cạnh khác của sáng chế nhằm mục đích đề xuất phương pháp mã hoá kênh, phương pháp này bao gồm các bước: xác định số lượng bit đầu vào, xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, xác định kích thước của khối mã, xác định số lượng bit đệm dựa vào kích thước của khối mã, xác định khối mã bằng cách gắn các bit đệm theo số lượng bit đệm đã xác định, xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã, và mã hoá khối mã dựa vào ma trận kiểm tra chẵn lẻ.

Một khía cạnh khác của sáng chế nhằm mục đích đề xuất phương pháp giải mã kênh, phương pháp này bao gồm các bước: xác định số lượng bit đầu vào trước khi quy trình phân đoạn được áp dụng từ tín hiệu thu được, xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, xác định kích thước của khối mã, xác định số lượng bit đệm dựa vào ít nhất một trong số các kích thước của khối mã, xác định khối mã bằng cách gắn các bit đệm theo số lượng bit đệm đã xác định, xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã, và giải mã khối mã dựa vào ma trận kiểm tra chẵn lẻ.

Một khía cạnh khác của sáng chế nhằm mục đích đề xuất thiết bị mã hoá kênh, thiết bị này bao gồm bộ thu phát, ít nhất một bộ xử lý được tạo cấu hình để xác định số lượng bit đầu vào, xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, xác định kích thước của khối mã, xác định số lượng khối mã và số lượng bit đệm dựa vào kích thước của khối mã, xác định khối mã bằng cách gắn các bit đệm theo số lượng bit đệm đã xác định, xác định

ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã, và mã hoá khối mã dựa vào ma trận kiểm tra chẵn lẻ.

Một khía cạnh khác của sáng chế nhằm mục đích đề xuất thiết bị giải mã kênh, thiết bị này bao gồm bộ thu phát để truyền và thu tín hiệu, và ít nhất một bộ xử lý được tạo cấu hình để xác định số lượng bit đầu vào trước khi quy trình phân đoạn được áp dụng từ tín hiệu thu được, xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, xác định kích thước của khối mã, xác định số lượng khối mã và số lượng bit đệm dựa vào kích thước của khối mã, xác định khối mã bằng cách gắn các bit đệm theo số lượng bit đệm đã xác định, xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã, và giải mã khối mã dựa vào ma trận kiểm tra chẵn lẻ.

Các khía cạnh, ưu điểm và dấu hiệu nổi bật khác của sáng chế sẽ trở nên rõ ràng hơn đối với người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng sau khi xem phần mô tả chi tiết sáng chế dưới đây, kết hợp với các hình vẽ kèm theo, phần này mô tả các phương án thực hiện sáng chế.

Theo các phương án thực hiện sáng chế, giải pháp theo sáng chế có khả năng hỗ trợ mã LDPC có thể được áp dụng cho độ dài từ mã thay đổi và tỷ lệ mã thay đổi.

Mô tả vắn tắt các hình vẽ

Các khía cạnh, dấu hiệu và ưu điểm nêu trên cùng với các khía cạnh, dấu hiệu và ưu điểm khác của sáng chế sẽ trở nên rõ ràng hơn sau khi xem phần mô tả chi tiết sáng chế dưới đây kết hợp với các hình vẽ kèm theo, trong đó:

Fig.1 là sơ đồ thể hiện cấu trúc của từ mã kiểm tra chẵn lẻ mật độ thấp (LDPC) có hệ thống theo phương án thực hiện sáng chế;

Fig.2 là đồ thị Tanner thể hiện ví dụ về ma trận kiểm tra chẵn lẻ H_1 của mã LDPC có 4 hàng và 8 cột theo phương án thực hiện sáng chế;

Fig.3 là sơ đồ thể hiện cấu trúc cơ bản của ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.4 là sơ đồ khối thể hiện cấu hình của thiết bị truyền tín hiệu theo phương án thực hiện sáng chế;

Fig.5 là sơ đồ khối thể hiện cấu hình của thiết bị thu tín hiệu theo phương án thực hiện sáng chế;

Fig.6 là sơ đồ thể hiện các kết quả phân tích hiệu suất được thực hiện bằng cách áp dụng các giá trị Z = 12, 24, 36, 48, 60, 72, 84, 96 cho ma trận kiểm tra chẵn lẻ trong bảng 2 theo phương án thực hiện sáng chế;

Fig.7A và Fig.7B là các sơ đồ cấu trúc thông báo thể hiện các thuật toán truyền thông báo được thực hiện ở nút kiểm tra và nút biến bất kỳ để giải mã LDPC theo phương án thực hiện sáng chế;

Fig.8 là sơ đồ khối thể hiện cấu hình của bộ mã hoá LDPC theo phương án thực hiện sáng chế;

Fig.9 là sơ đồ thể hiện cấu hình của bộ giải mã LDPC theo phương án thực hiện sáng chế;

Fig.10 là sơ đồ thể hiện cấu hình của bộ giải mã LDPC theo phương án khác để thực hiện sáng chế;

Fig.11A và Fig.11B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.12A và Fig.12B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.13A và Fig.13B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.14A và Fig.14B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.15A và Fig.15B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.16A và Fig.16B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.17A và Fig.17B là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế;

Fig.18 là sơ đồ thể hiện quy trình phân đoạn theo phương án thực hiện sáng chế;

Fig.19 là sơ đồ thể hiện một quy trình phân đoạn khác theo phương án thực hiện sáng chế; và

Fig.20 là sơ đồ thể hiện một quy trình phân đoạn khác theo phương án thực hiện sáng chế.

Cần phải hiểu rằng, các số chỉ dẫn giống nhau thể hiện các bộ phận, thành phần và cấu trúc giống nhau trên các hình vẽ.

Mô tả chi tiết sáng chế

Phần mô tả sáng chế dưới đây, có dựa vào các hình vẽ kèm theo, được nêu ra để giúp cho người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng hiểu rõ về các phương án thực hiện sáng chế, như được xác định dựa vào các điểm yêu cầu bảo hộ và các phương án tương đương với các điểm yêu cầu bảo hộ. Sáng chế mô tả nhiều thông tin chi tiết cụ thể để giúp cho người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng hiểu rõ về sáng chế, nhưng các thông tin chi tiết cụ thể đó chỉ được coi là ví dụ minh hoạ. Vì vậy, người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng phải hiểu rằng có nhiều phương án thay đổi và cải biến có thể được tạo ra dựa trên các phương án được mô tả trong sáng chế mà vẫn không bị coi là vượt ra ngoài phạm vi của sáng chế. Ngoài ra, để cho rõ ràng và ngắn gọn, trong sáng chế có thể không mô tả các chức năng và cấu trúc đã biết.

Các thuật ngữ và từ ngữ được dùng trong phần mô tả sáng chế và yêu cầu bảo hộ dưới đây không bị giới hạn ở nghĩa theo từ điển, những nghĩa đó chỉ được tác giả sáng chế sử dụng để giúp cho người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng hiểu rõ ràng và thống nhất về sáng chế. Vì vậy, người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng phải hiểu rằng, các phương án thực hiện sáng chế được mô tả dưới đây chỉ nhằm mục đích minh hoạ và không nhằm mục đích giới hạn phạm vi của sáng chế, như được xác định dựa vào các điểm yêu cầu bảo hộ kèm theo và các phương án tương đương với các điểm yêu cầu bảo hộ.

Cần phải hiểu rằng, khi sáng chế đề cập đến "một" bộ phận thì cũng có nghĩa là đề cập đến nhiều bộ phận như vậy, trừ trường hợp ngữ cảnh có quy định khác một cách rõ

ràng. Ví dụ, khi sáng chế đề cập đến "một bề mặt cấu thành" thì cũng có nghĩa là đề cập đến một hoặc nhiều bề mặt như vậy.

Ý tưởng sáng tạo chính của sáng chế cũng có thể được áp dụng cho các hệ thống truyền thông khác có nền tảng kỹ thuật tương tự với những sửa đổi nhỏ không vượt quá phạm vi của sáng chế, những sửa đổi như vậy có thể được xác định bởi người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng.

Các mã kiểm tra chẵn lẻ mật độ thấp (LDPC) được giới thiệu lần đầu tiên bởi Gallager vào những năm 1960, sau đó bị lãng quên trong một thời gian rất dài vì tính chất phức tạp của chúng và các mã LDCP có thể không được sử dụng trên thực tế do trình độ kỹ thuật thời bấy giờ. Tuy nhiên, khi hiệu suất của các mã turbo do Berrou, Glavieux, và Thitimajshima đề xuất vào năm 1993 tiến sát tới dung lượng kênh Shannon, thì nhiều nghiên cứu về phương pháp mã hoá kênh dựa vào sơ đồ giải mã lặp và đồ thị biểu diễn bằng cách sử dụng nhiều cách diễn giải khác nhau về hiệu suất và các đặc trưng của mã turbo đã được tiến hành. Kết quả là, khi mã LDPC được nghiên cứu trở lại vào cuối những năm 1990, thì mã LDPC được giải mã bằng cách sử dụng sơ đồ giải mã lặp dựa trên thuật toán tổng-tích cho mã LDPC trên đồ thị Tanner tương ứng với mã LDPC, và đã nhận ra rằng hiệu suất của mã LDPC cũng tiến sát tới dung lượng kênh Shannon.

Mã LDPC có thể thường được xác định dưới dạng ma trận kiểm tra chẵn lẻ và được biểu diễn bằng cách sử dụng đồ thị hai phía thường được gọi là đồ thị Tanner.

Fig.1 là sơ đồ thể hiện cấu trúc của từ mã LDPC có hệ thống theo phương án thực hiện sáng chế.

Dựa vào Fig.1, mã LDPC được mã hoá LDPC bằng cách thu từ thông tin 102 có K_{ldpc} bit hoặc ký hiệu để tạo ra từ mã 100 có N_{ldpc} bit hoặc ký hiệu. Dưới đây, để cho dễ hiểu, giả sử rằng từ mã 100 có N_{ldpc} bit được tạo ra bằng cách thu từ thông tin 102 có K_{ldpc} bit. Nghĩa là, khi từ thông tin $I = [i_0, i_1, i_2, \ldots, i_{K_{ldpc}-1}]$ 102 gồm có K_{ldpc} bit đầu vào được mã hoá LDPC, thì từ mã $C = [c_0, c_1, c_2, c_3, \ldots, c_{N_{ldpc}-1}]$ 100 được tạo ra. Nghĩa là, từ mã là một chuỗi bit gồm nhiều bit và các bit của từ mã biểu diễn mỗi bit tạo nên từ mã. Ngoài ra, từ thông tin là một chuỗi bit gồm nhiều bit và các bit của từ thông tin biểu diễn mỗi bit tạo nên từ thông tin. Trong trường hợp như vậy, mã có hệ thống chứa từ mã

$C = [c_0, c_1, c_2, \ldots, c_{N_{ldpc}-1}] = [i_0, i_1, i_2, \ldots, i_{K_{ldpc}-1}, p_0, p_1, p_2, \ldots, p_{N_{ldpc}-K_{ldpc}-1}]$. Trong đó, $P = [p_0, p_1, p_2, \ldots, p_{N_{ldpc}-K_{ldpc}-1}]$ là các bit chẵn lẻ 104 và số lượng N_{parity} bit chẵn lẻ được xác định như sau: $N_{parity} = N_{ldpc} - K_{ldpc}$.

Mã LDPC là một loại của (các) mã khối tuyến tính và có phương pháp xác định từ mã thoả mãn các điều kiện theo biểu thức 1 dưới đây:

$$H \cdot C^T = \begin{bmatrix} h_1 & h_2 & h_3 & K & h_{N_{ldpc}-1} \end{bmatrix} \cdot C^T = \sum_{i=0}^{N_{ldpc}} c_i \cdot h_i = 0 \qquad (1)$$

Trong biểu thức nêu trên, $C = [c_0, c_1, c_2, \ldots, c_{N_{ldpc}-1}]$.

Trong biểu thức 1 nêu trên, H là ma trận kiểm tra chẵn lẻ, C là từ mã, c_i là bit thứ i của từ mã, và N_{ldpc} là độ dài của từ mã. Trong biểu thức nêu trên, h_i là cột thứ i của ma trận kiểm tra chẵn lẻ H.

Ma trận kiểm tra chẵn lẻ H có N_{ldpc} cột, số lượng cột này đúng bằng số lượng bit của từ mã LDPC. Biểu thức 1 nêu trên thể hiện rằng vì tổng của các tích giữa cột thứ i h_i và bit thứ i của từ mã c_i trong ma trận kiểm tra chẵn lẻ phải bằng '0', nên cột thứ i h_i có quan hệ với bit thứ i của từ mã c_i.

Phương pháp biểu diễn bằng đồ thị của mã LDPC sẽ được mô tả dựa vào Fig.2.

Fig.2 là đồ thị Tanner thể hiện ví dụ về ma trận kiểm tra chẵn lẻ H_1 của mã LDPC có 4 hàng và 8 cột theo phương án thực hiện sáng chế.

Dựa vào Fig.2, vì ma trận kiểm tra chẵn lẻ H_1 có 8 cột, nên từ mã có độ dài bằng 8 được tạo ra, mã được tạo ra bằng ma trận H_1 là mã LDPC, và mỗi cột tương ứng với 8 bit mã hoá.

Dựa vào Fig.2, đồ thị Tanner của mã LDPC được mã hoá và giải mã dựa vào ma trận kiểm tra chẵn lẻ H_1 có 8 nút biến, tức là, $X_1(202)$, $X_2(204)$, $X_3(206)$, $X_4(208)$, $X_5(210)$, $X_6(212)$, $X_7(214)$, và $X_8(216)$ và 4 nút kiểm tra 218, 220, 222, và 224. Trong đó, mỗi cột thứ i và hàng thứ j của ma trận kiểm tra chẵn lẻ H_1 của mã LDPC tương ứng với một nút biến X_i và một nút kiểm tra thứ j. Ngoài ra, giá trị bằng 1 ở điểm giao nhau giữa cột thứ i và hàng thứ j của ma trận kiểm tra chẵn lẻ H_1 của mã LDPC, tức là một giá trị khác 0, tương ứng với một cạnh nối giữa nút biến X_i và nút kiểm tra thứ j được biểu diễn

trên đồ thị Tanner như được thể hiện trên Fig.2.

Bậc của nút biến và nút kiểm tra trên đồ thị Tanner của mã LDPC được hiểu là số lượng cạnh được nối với mỗi nút, đúng bằng số lượng phần tử khác 0 trong cột hoặc hàng tương đương với nút tương ứng trong ma trận kiểm tra chẵn lẻ của mã LDPC. Ví dụ, trên Fig.2, bậc của các nút biến X_1(202), X_2(204), X_3(206), X_4(208), X_5(210), X_6(212), X_7(214), và X_8(216) theo thứ tự lần lượt là 4, 3, 3, 3, 2, 2, 2, và 2, và bậc của các nút kiểm tra 218, 220, 222, và 224 theo thứ tự lần lượt là 6, 5, 5, và 5. Ngoài ra, số lượng phần tử khác 0 trong mỗi cột của ma trận kiểm tra chẵn lẻ H_1 trên Fig.2 tương đương với một nút biến trên Fig.2 tương ứng với các bậc theo thứ tự nêu trên 4, 3, 3, 3, 2, 2, 2, và 2, và số lượng phần tử khác 0 trong mỗi hàng của ma trận kiểm tra chẵn lẻ H_1 trên Fig.2 tương đương với một nút kiểm tra trên Fig.2 tương ứng với các bậc theo thứ tự nêu trên 6, 5, 5, và 5.

Mã LDPC có thể được giải mã bằng cách sử dụng sơ đồ giải mã lặp dựa trên thuật toán tổng-tích trên đồ thị hai phía, như được thể hiện trên Fig.2. Trong đó, thuật toán tổng-tích là một trong số các loại thuật toán truyền thông báo. Thuật toán truyền thông báo là một thuật toán để trao đổi thông báo bằng cách sử dụng một cạnh trên đồ thị hai phía và tính thông báo xuất ra bằng cách sử dụng các thông báo được nhập vào nút biến hoặc nút kiểm tra và cập nhật thông báo xuất ra đã tính được.

Trong đó, giá trị của bit mã hoá thứ i có thể được xác định dựa vào thông báo của nút biến thứ i. Giá trị của bit mã hoá thứ i có thể được áp dụng với cả quyết định cứng và quyết định mềm. Vì vậy, hiệu suất của bit thứ i c_i của từ mã LDPC tương ứng với hiệu suất của nút biến thứ i của đồ thị Tanner, hiệu suất này có thể được xác định dựa vào vị trí và số lượng của các giá trị 1 trong cột thứ i của ma trận kiểm tra chẵn lẻ. Nói cách khác, hiệu suất của N_{ldpc} bit từ mã có thể phụ thuộc vào vị trí và số lượng của các giá trị 1 trong ma trận kiểm tra chẵn lẻ, có nghĩa là hiệu suất của mã LDPC chủ yếu bị ảnh hưởng bởi ma trận kiểm tra chẵn lẻ. Vì vậy, để thiết kế mã LDPC có hiệu suất cao, thì cần phải có phương pháp thiết kế ma trận kiểm tra chẵn lẻ tốt.

Để dễ dàng sử dụng ma trận kiểm tra chẵn lẻ trong hệ thống truyền thông và phát rộng, thông thường, mã LDPC tựa tuần hoàn (dưới đây gọi là mã QC-LDPC) sử dụng ma trận kiểm tra chẵn lẻ có dạng tựa tuần hoàn (Quasi-Cyclic, QC) được sử dụng chủ yếu.

Mã QC-LDPC có ma trận kiểm tra chẵn lẻ chứa ma trận-0 (ma trận không) có dạng ma trận hình vuông cỡ nhỏ hoặc các ma trận hoán vị luân hoàn. Khi đó, ma trận hoán vị là ma trận mà trong đó tất cả các phần tử của ma trận vuông đều bằng 0 hoặc 1 và mỗi hàng hoặc cột chỉ có một phần tử bằng 1. Ngoài ra, ma trận hoán vị luân hoàn là ma trận mà trong đó mỗi phần tử của ma trận đơn vị được dịch chuyển tuần hoàn sang bên phải.

Mã QC-LDPC được mô tả chi tiết trong tài liệu tham khảo [Myung2006].

Tài liệu tham khảo [Myung2006]:

S. Myung, K. Yang, and Y. Kim, "Lifting Methods for Quasi-Cyclic LDPC Codes", IEEE Communications Letters. vol. 10, pp. 489-491, June 2006.

Dựa vào tài liệu tham khảo [Myung2006], ma trận hoán vị $P = (P_{i,j})$ có kích thước bằng L×L được xác định theo biểu thức 2 dưới đây. Trong đó, $P_{i,j}$ là các phần tử ở hàng thứ i và cột thứ j trong ma trận P ($0 \le i, j < L$).

$$P_{i,j} = \begin{cases} 1 & \text{nếu } i+1 \equiv j \bmod L \\ 0 & \text{các trường hợp khác} \end{cases} \quad (2)$$

Đối với ma trận hoán vị P được xác định như đã nêu trên, có thể hiểu rằng P^i ($0 \le i < L$) là các ma trận hoán vị luân hoàn ở dạng trong đó mỗi phần tử của ma trận đơn vị có kích thước bằng L×L được dịch chuyển theo hướng sang bên phải i lần.

Ma trận kiểm tra chẵn lẻ H của mã QC-LDPC đơn giản nhất có thể được biểu diễn bằng biểu thức 3 dưới đây.

$$H = \begin{bmatrix} P^{a_{11}} & P^{a_{12}} & K & P^{a_{1n}} \\ P^{a_{21}} & P^{a_{22}} & K & P^{a_{2n}} \\ M & M & O & M \\ P^{a_{m1}} & P^{a_{m2}} & K & P^{a_{mn}} \end{bmatrix} \quad (3)$$

Nếu P^{-1} được định nghĩa là ma trận-0 có kích thước bằng L×L, thì mỗi số mũ $a_{i,j}$ của các ma trận hoán vị luân hoàn hoặc ma trận-0 trong biểu thức 3 nêu trên có một trong số các giá trị {–1, 0, 1, 2, …, L–1}. Ngoài ra, có thể hiểu rằng ma trận kiểm tra chẵn lẻ H trong biểu thức 3 nêu trên có n khối cột và m khối hàng và vì vậy ma trận này sẽ có kích thước bằng mL×nL.

Thông thường, ma trận nhị phân có kích thước bằng m×n thu được bằng cách thay thế mỗi ma trận trong số các ma trận hoán vị luân hoàn và ma trận-0 trong ma trận kiểm tra chẵn lẻ theo biểu thức 3 nêu trên bằng các giá trị 1 và 0 tương ứng, được gọi là ma trận mẹ M(H) của ma trận kiểm tra chẵn lẻ H và ma trận số nguyên có kích thước bằng m×n thu được theo biểu thức 4 dưới đây bằng cách chỉ chọn các số mũ của mỗi ma trận trong số các ma trận có kích thước m×n hoặc ma trận-0 được gọi là ma trận số mũ E(H) của ma trận kiểm tra chẵn lẻ H.

$$E(H) = \begin{bmatrix} a_{11} & a_{12} & K & a_{1n} \\ a_{21} & a_{22} & K & a_{2n} \\ M & M & O & M \\ a_{m1} & a_{m2} & K & a_{mn} \end{bmatrix} \quad (4)$$

Khi đó, hiệu suất của các mã LDPC có thể được xác định dựa vào ma trận kiểm tra chẵn lẻ. Vì vậy, cần phải thiết kế các ma trận kiểm tra chẵn lẻ của các mã LDPC có hiệu suất cao. Ngoài ra, cần phải có phương pháp mã hoá và giải mã LDPC có khả năng hỗ trợ nhiều độ dài từ mã đầu vào và nhiều tỷ lệ mã khác nhau.

Dựa vào tài liệu tham khảo [Myung2006], phương pháp được gọi là phương pháp nâng để thiết kế mã QC-LDPC có hiệu quả được sử dụng. Phương pháp nâng là phương pháp thiết lập giá trị L để xác định kích thước của ma trận hoán vị luân hoàn hoặc ma trận-0 từ một ma trận mẹ cỡ nhỏ cho trước dựa vào một quy tắc cụ thể để thiết kế có hiệu quả một ma trận kiểm tra chẵn lẻ cỡ rất lớn. Phương pháp nâng đã biết và các dấu hiệu đặc trưng của mã QC-LDPC được thiết kế bằng phương pháp nâng được mô tả vắn tắt dưới đây.

Trước hết, khi cho trước mã LDPC C_0, S mã QC-LDPC được thiết kế bằng phương pháp nâng được ký hiệu là C_1, …, C_S và các giá trị tương ứng với kích thước của các khối hàng và khối cột trong các ma trận kiểm tra chẵn lẻ của mỗi mã QC-LDPC được ký hiệu là L_k. Trong đó, C_0 tương ứng với mã LDPC nhỏ nhất có ma trận mẹ của các mã C_1, …, C_S dưới dạng là ma trận kiểm tra chẵn lẻ và giá trị L_0 tương ứng với kích thước của khối hàng và khối cột bằng 1. Ngoài ra, để cho dễ hiểu, ma trận kiểm tra chẵn lẻ H_k của mỗi mã C_k có ma trận số mũ $E(H_k) = (e_{i,j}^{(k)})$ có kích thước bằng m×n và mỗi số mũ

$e_{i,j}^{(k)}$ được chọn là một trong số các giá trị {–1, 0, 1, 2, …, L_k–1}.

Dựa vào tài liệu tham khảo [Myung2006], phương pháp nâng bao gồm các bước hoặc thao tác như $C_0 \rightarrow C_1 \rightarrow \ldots \rightarrow C_S$ và có các dấu hiệu đặc trưng như $L_{k+1} = q_{k+1}L_k$ (q_{k+1} là số nguyên dương, k = 0, 1, …, S–1). Ngoài ra, nếu chỉ có ma trận kiểm tra chẵn lẻ H_S của mã C_S được lưu trữ theo đặc trưng của phương pháp nâng, thì tất cả các mã QC-LDPC C_0, C_1, …, C_S có thể được biểu diễn bằng biểu thức 5 dưới đây theo phương pháp nâng.

$$E(H_k) \equiv \left\lfloor \frac{L_k}{L_S} E(H_S) \right\rfloor \quad (5)$$

$$E(H_k) \equiv E(H_S) \bmod L_k \quad (6)$$

Theo phương pháp nâng trong biểu thức 5 hoặc biểu thức 6 nêu trên, các giá trị L_k tương ứng với kích thước của các khối hàng và khối cột trong các ma trận kiểm tra chẵn lẻ của mỗi mã QC-LDPC C_k có nhiều mối quan hệ với nhau, và do đó ma trận số mũ cũng được chọn bằng sơ đồ cụ thể này. Như đã nêu trên, phương pháp nâng đã biết tạo điều kiện thuận lợi cho việc thiết kế mã QC-LDPC có các hiện tượng sàn lỗi được cải thiện bằng cách làm cho các đặc trưng đại số hoặc đồ hoạ của mỗi ma trận kiểm tra chẵn lẻ được thiết kế bằng phương pháp nâng.

Tuy nhiên, có vấn đề ở chỗ là mỗi giá trị trong số các giá trị L_k có nhiều mối quan hệ với nhau và vì vậy độ dài của mỗi mã bị hạn chế rất nhiều. Ví dụ, nếu giả sử rằng phương pháp nâng ví dụ như $L_{k+1} = 2*L_k$ được áp dụng tối thiểu cho mỗi giá trị trong số các giá trị L_k, thì kích thước của các ma trận kiểm tra chẵn lẻ của mỗi mã QC-LDPC có thể chỉ có $2^k m \times 2^k n$. Nghĩa là, khi phương pháp nâng được áp dụng trong 10 bước (S = 10), thì ma trận kiểm tra chẵn lẻ có thể chỉ có 10 kích thước.

Vì lý do này, cho nên phương pháp nâng đã biết có các đặc trưng khá bất lợi khi thiết kế mã QC-LDPC để hỗ trợ nhiều độ dài khác nhau. Tuy nhiên, các hệ thống truyền thông di động thường dùng đòi hỏi tính tương thích về độ dài ở mức rất cao để tính đến việc truyền nhiều loại dữ liệu khác nhau. Vì lý do này, cho nên phương pháp nâng đã biết có vấn đề ở chỗ là mã LDPC khó áp dụng cho hệ thống truyền thông di động.

Phương pháp mã hoá mã QC-LDPC được mô tả chi tiết trong tài liệu tham khảo khác [Myung2005].

Tài liệu tham khảo [Myung2005]:

S. Myung, K. Yang, and J. Kim, "Quasi-Cyclic LDPC Codes for Fast Encoding", IEEE Transactions on Information Theory, vol. 51, No.8, pp. 2894-2901, Aug. 2005.

Fig.3 là sơ đồ thể hiện cấu trúc cơ bản của ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế.

Dựa vào tài liệu tham khảo [Myung2005] nêu trên, ma trận kiểm tra chẵn lẻ có dạng đặc biệt chứa ma trận hoán vị luân hoàn như được thể hiện trên Fig.3 được xác định. Ngoài ra, nếu ma trận kiểm tra chẵn lẻ trên Fig.3 thoả mãn điều kiện trong biểu thức 7 hoặc biểu thức 8 dưới đây, thì có thể thực hiện phương pháp mã hoá có hiệu quả.

$$x \equiv \sum_{i=1}^{m} b_i \bmod Z \quad \text{và} \quad y \equiv -\sum_{i=l+1}^{m} b_i \bmod Z \tag{7}$$

$$\sum_{i=1}^{m} b_i \equiv 0 \bmod Z \quad \text{và} \quad x \equiv y + \sum_{i=l+1}^{m} b_i \bmod Z \tag{8}$$

Trong biểu thức 7 hoặc biểu thức 8 nêu trên, giá trị $l(\neq 1, m)$ là vị trí của hàng mà P^y nằm ở đó.

Như đã nêu trên, khi biết rõ ràng rằng nếu ma trận kiểm tra chẵn lẻ thoả mãn biểu thức 7 hoặc biểu thức 8 nêu trên, thì ma trận được ký hiệu là Φ trong tài liệu tham khảo [Myung2005] nêu trên sẽ là ma trận đơn vị, và do đó có thể thực hiện phương pháp mã hoá có hiệu quả khi mã hoá.

Để cho dễ hiểu, phương án thực hiện sáng chế mô tả rằng ma trận hoán vị luân hoàn tương ứng với một khối mã chỉ có một ma trận, nhưng cần phải lưu ý rằng nội dung mô tả này có thể được áp dụng cho ngay cả trường hợp có vài ma trận hoán vị luân hoàn trong một khối mã.

Fig.4 là sơ đồ khối thể hiện cấu hình của thiết bị truyền tín hiệu theo phương án thực hiện sáng chế.

Dựa vào Fig.4, thiết bị truyền tín hiệu 400 có thể bao gồm bộ phận phân đoạn 410, bộ phận đệm bit không 420, bộ mã hoá LDPC 430, bộ phận so khớp tỷ lệ 440, và bộ điều biến 450 để xử lý các bit đầu vào có độ dài thay đổi.

Ngoài ra, mặc dù không được thể hiện trên hình vẽ, nhưng bộ phận phân đoạn 410, bộ phận đệm bit không 420, bộ mã hoá LDPC 430, bộ phận so khớp tỷ lệ 440, và bộ điều biến 450 của thiết bị truyền tín hiệu có thể được đặt ở trong bộ điều khiển (ít nhất một bộ xử lý) và có thể hoạt động theo sự điều khiển của bộ điều khiển. Bộ điều khiển có thể điều khiển hoạt động của thiết bị truyền tín hiệu được mô tả trong sáng chế. Ngoài ra, thiết bị truyền tín hiệu có thể còn có bộ thu phát để truyền và thu tín hiệu.

Trong đó, các bộ phận được thể hiện trên Fig.4 là các bộ phận để thực hiện quy trình mã hoá và điều biến trên các bit đầu vào có độ dài thay đổi, nhưng đó chỉ là một ví dụ. Trong một số trường hợp, một số bộ phận trong số các bộ phận được thể hiện trên Fig.4 có thể được loại bỏ hoặc thay đổi, và các bộ phận khác cũng có thể được bổ sung thêm.

Fig.5 là sơ đồ khối thể hiện cấu hình của thiết bị thu tín hiệu theo phương án thực hiện sáng chế.

Dựa vào Fig.5, thiết bị thu tín hiệu 500 có thể bao gồm bộ giải điều biến 510, bộ phận khử so khớp tỷ lệ 520, bộ giải mã LDPC 530, bộ phận loại bỏ bit không 540, và bộ phận khử phân đoạn 550 để xử lý thông tin có độ dài thay đổi.

Ngoài ra, mặc dù không được thể hiện trên hình vẽ, nhưng bộ giải điều biến 510, bộ phận khử so khớp tỷ lệ 520, bộ giải mã LDPC 530, và bộ phận loại bỏ bit không 540 của thiết bị thu tín hiệu có thể được đặt ở trong bộ điều khiển và có thể hoạt động theo sự điều khiển của bộ điều khiển. Bộ điều khiển có thể điều khiển hoạt động của thiết bị thu tín hiệu được mô tả trong sáng chế. Ngoài ra, thiết bị thu tín hiệu có thể còn có bộ thu phát để truyền và thu tín hiệu.

Trong đó, các bộ phận được thể hiện trên Fig.5 là các bộ phận để thực hiện các chức năng tương ứng với các bộ phận được thể hiện trên Fig.4, nhưng đó chỉ là một ví dụ, và trong một số trường hợp, một số bộ phận trong số các bộ phận đó có thể được loại bỏ hoặc thay đổi, và các bộ phận khác cũng có thể được bổ sung thêm.

Phương án thực hiện sáng chế sẽ được mô tả chi tiết dưới đây.

Trước hết, S mã LDPC được thiết kế bằng phương pháp nâng được ký hiệu là $C_1, \ldots, C_S$, và giá trị tương ứng với kích thước của các khối hàng và khối cột của ma trận kiểm tra chẵn lẻ C_i của mỗi mã LDPC được ký hiệu là Z. Ngoài ra, để cho dễ hiểu, ma trận kiểm tra chẵn lẻ H_Z của mỗi mã C_i có ma trận số mũ $E(H_Z) = (e_{i,j}^{(Z)})$ có kích thước bằng m×n. Mỗi số mũ $e_{i,j}^{(Z)}$ được chọn là một trong số các giá trị {–1, 0, 1, 2, …, Z–1}. (Để cho dễ hiểu, trong sáng chế, số mũ biểu diễn ma trận-0 được thể hiện dưới dạng –1, nhưng có thể được thay thế bằng các giá trị khác để thuận tiện cho hệ thống.

Vì vậy, ma trận số mũ của mã LDPC C_S có ma trận kiểm tra chẵn lẻ lớn nhất được xác định dưới dạng $E(H_{Z_{max}})$. (Trong đó, Z_{max} được định nghĩa là giá trị lớn nhất trong số các giá trị Z). Trong trường hợp như vậy, khi giá trị Z nhỏ hơn so với Z_{max}, thì các số mũ biểu diễn ma trận hoán vị luân hoàn và ma trận-0 tạo nên các ma trận kiểm tra chẵn lẻ của mỗi mã LDPC có thể được xác định dựa vào biểu thức 9 và biểu thức 10 dưới đây.

$$e_{i,j}^{(Z)} = \begin{cases} e_{i,j}^{(Z_{max})} & \text{nếu } e_{i,j}^{(Z_{max})} \le 0 \\ \text{mod}\left(e_{i,j}^{(Z_{max})}, Z\right) & \text{nếu } e_{i,j}^{(Z_{max})} > 0 \end{cases} \quad (9)$$

$$e_{i,j}^{(Z)} = \begin{cases} e_{i,j}^{(Z_{max})} & \text{nếu } e_{i,j}^{(Z_{max})} < 0 \\ \text{mod}\left(e_{i,j}^{(Z_{max})}, Z\right) & \text{nếu } e_{i,j}^{(Z_{max})} \ge 0 \end{cases} \quad (10)$$

Trong biểu thức 9 hoặc biểu thức 10 nêu trên, $\text{mod}\left(e_{i,j}^{(Z_{max})}, Z\right)$ là số dư thu được sau khi lấy $e_{i,j}^{(Z_{max})}$ chia cho Z.

Tuy nhiên, tài liệu tham khảo [Myung2006] giới hạn các giá trị Z sao cho các giá trị Z thoả mãn nhiều mối quan hệ với nhau, và vì vậy phương pháp này không phù hợp để hỗ trợ nhiều độ dài khác nhau. Ví dụ, số lượng n cột của ma trận số mũ $E(H_Z)$ hoặc ma trận mẹ $M(H_Z)$ của ma trận kiểm tra chẵn lẻ H_Z bằng 36 và một loại trong số các độ dài có thể thu được các giá trị Z bằng cách nâng 8 lần ví dụ như 1, 2, 4, 8, …, 128 bằng 36, 72, 144, …, 4608 (= $36*2^7$), sao cho độ chênh lệch giữa độ dài ngắn nhất và độ dài dài nhất là rất lớn.

Phương án thực hiện sáng chế có thể áp dụng phương pháp số mũ được áp dụng cho biểu thức 9 hoặc biểu thức 10 nêu trên, ngay cả khi các giá trị Z không có nhiều mối quan hệ với nhau và sáng chế đề xuất phương pháp thiết kế ma trận kiểm tra chẵn lẻ có mức suy giảm hiệu suất rất nhỏ. Để so sánh, phương pháp được đề xuất theo biểu thức 9 hoặc biểu thức 10 là phương pháp biến đổi số mũ trong trường hợp khi phương pháp nâng dựa vào phép toán modulo được áp dụng và rõ ràng là các phương pháp khác nhau dựa vào phép toán chọn giá trị sàn hoặc các phép toán khác như được mô tả trong tài liệu tham khảo [Myung2006] có thể được sử dụng. Biểu thức 11 hoặc biểu thức 12 dưới đây biểu diễn phương pháp biến đổi số mũ của ma trận kiểm tra chẵn lẻ được thiết kế bằng cách áp dụng phương pháp nâng dựa vào phép toán chọn giá trị sàn khi giá trị Z nhỏ hơn so với giá trị Z_{max}.

$$e_{i,j}^{(Z)} = \begin{cases} e_{i,j}^{(Z_{\max})} & \text{nếu } e_{i,j}^{(Z_{\max})} \le 0 \\ \left\lfloor \frac{Z}{Z_{\max}} e_{i,j}^{(Z_{\max})} \right\rfloor & \text{nếu } e_{i,j}^{(Z_{\max})} > 0 \end{cases} \quad (11)$$

$$e_{i,j}^{(Z)} = \begin{cases} e_{i,j}^{(Z_{\max})} & \text{nếu } e_{i,j}^{(Z_{\max})} < 0 \\ \left\lfloor \frac{Z}{Z_{\max}} e_{i,j}^{(Z_{\max})} \right\rfloor & \text{nếu } e_{i,j}^{(Z_{\max})} \ge 0 \end{cases} \quad (12)$$

Phương pháp thiết kế ma trận kiểm tra chẵn lẻ và cách thức sử dụng phương pháp này để giải quyết vấn đề liên quan đến phương pháp nâng đã biết có tính tương thích về độ dài sẽ được mô tả dưới đây.

Trước hết, sáng chế định nghĩa phương pháp nâng cải biến như sau.

1) Giá trị lớn nhất trong số các giá trị Z được ký hiệu là Z_{max}.

2) Một trong số các số chia của Z_{max} được ký hiệu là D. ($Z_{max} = D \cdot S$)

3) Giá trị Z có một trong số các giá trị D, 2D, 3D, …, SD (= Z_{max}).

(Để cho dễ hiểu, ma trận kiểm tra chẵn lẻ tương ứng với $Z = k \times D$ được ký hiệu là H_k và mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ được ký hiệu là C_k.)

Phương pháp nâng đã biết chỉ ảnh hưởng đến phần chẵn lẻ được thiết kế bằng phương pháp nâng ở ngay phía trước ma trận kiểm tra chẵn lẻ được thiết kế. Nghĩa là, để

thiết kế ma trận kiểm tra chẵn lẻ thứ (k+1) trong khi các giá trị Z có nhiều mối quan hệ với nhau trong mỗi quy trình nâng, chỉ có ma trận kiểm tra chẵn lẻ thứ k bị ảnh hưởng, và ma trận kiểm tra chẵn lẻ thứ (k–1) không được sử dụng nữa. Điều này xảy ra là do nhiều mối quan hệ giữa các giá trị Z và các vấn đề cụ thể có liên quan cũng được mô tả trong tài liệu tham khảo [Myung2006].

Tuy nhiên, phương pháp nâng cải biến được đề xuất theo sáng chế có thể cải thiện ma trận kiểm tra chẵn lẻ tối ưu, giống với phương pháp được mô tả trong tài liệu tham khảo [Myung2006], vì các giá trị Z thường không có nhiều mối quan hệ với nhau. Vì vậy, sáng chế đề xuất phương pháp thiết kế ma trận kiểm tra chẵn lẻ gần tối ưu như sau.

Để cho dễ hiểu, ma trận mẹ để áp dụng phương pháp nâng được ký hiệu là M(H) và mỗi phần tử của ma trận số mũ trong ma trận mẹ được ký hiệu là $e_{i,j}^{(0)}$. Ngoài ra, các giá trị Z cho trường hợp Z = k×D được ký hiệu là Z_k và các phần tử của ma trận số mũ tương ứng được ký hiệu là $e_{i,j}^{(Z_k)}$.

Phương pháp thiết kế ma trận kiểm tra chẵn lẻ theo phương pháp nâng cải biến như sau.

Bước 1) Nếu $e_{i,j}^{(0)} = -1$, thì $e_{i,j}^{(Z_k)} = -1$ (k = 1, 2, …, S) với $E(H_{Z_k}) = \left(e_{i,j}^{(Z_k)}\right)$.

Bước 2) Trong trường hợp k = 1, thì thu được $E(H_{Z_k})$ bằng phương pháp giống với phương pháp trong tài liệu tham khảo [Myung2006] dựa vào ma trận mẹ M(H).

Trong trường hợp như vậy, mỗi phần tử $e_{i,j}^{(Z_1)}$ của ma trận $E(H_{Z_1})$ có một trong số các giá trị 0, 1, 2,…, Z_1–1 và profin đặc trưng của chu trình tuần hoàn trên đồ thị Tanner của ma trận H_{Z_1} với mỗi phần tử $e_{i,j}^{(Z_1)}$ được phân tích. Trong đó, cần phải lưu ý rằng vị trí của các ma trận-0 được xác định trước tiên ở bước 1).

Profin đặc trưng của chu trình tuần hoàn có các yếu tố như sau.

i) Kích thước chu vi tuần hoàn trên đồ thị Tanner được tạo ra bởi mỗi phần tử,

ii) Tổng cộng các bậc của các nút biến được tạo ra bởi mỗi phần tử và tạo nên chu trình tuần hoàn có kích thước chu vi đó,

iii) Số lượng nút biến được tạo ra bởi mỗi phần tử và tạo nên chu trình tuần hoàn có kích thước chu vi đó.

Theo phương án thực hiện sáng chế, chu vi có thể là chu trình tuần hoàn ngắn nhất trên đồ thị Tanner. Nghĩa là, profin đặc trưng của chu trình tuần hoàn có thể là kích thước của chu trình tuần hoàn ngắn nhất trên đồ thị Tanner, tổng cộng các bậc của các nút biến tạo nên chu trình tuần hoàn ngắn nhất, và số lượng nút biến tạo nên chu trình tuần hoàn ngắn nhất.

Ngoài ra, mỗi phần tử trong số các phần tử $e_{i,j}^{(Z_1)}$ được xác định tạm thời dưới dạng một giá trị cho trường hợp có đặc trưng của chu trình tuần hoàn tốt nhất. Trong đó, đặc trưng của chu trình tuần hoàn tốt được hiểu là đặc trưng của chu trình tuần hoàn thoả mãn các điều kiện như sau.

iv) Các kích thước chu vi trên đồ thị Tanner đều bằng nhau.

v) Tổng cộng các bậc của các nút biến tạo nên chu trình tuần hoàn có chu vi này có giá trị lớn.

vi) Khi các điều kiện iv) và v) tương đương với nhau, thì số lượng nút biến tạo nên chu trình tuần hoàn có kích thước chu vi này có giá trị nhỏ.

Cụ thể, khi chu trình tuần hoàn càng ngắn, thì khả năng không phát hiện thấy lỗi càng cao, và do đó chu trình tuần hoàn trên đồ thị Tanner càng dài, thì đặc trưng của chu trình tuần hoàn đó càng tốt. Vì vậy, kích thước của chu trình tuần hoàn ngắn nhất càng lớn và tổng cộng các bậc của các nút biến tạo nên chu trình tuần hoàn ngắn nhất càng lớn có thể có nghĩa là chu trình tuần hoàn trên đồ thị Tanner càng dài, điều đó có thể có nghĩa là đặc trưng của chu trình tuần hoàn càng tốt. Ngoài ra, khi số lượng nút biến tạo nên chu trình tuần hoàn ngắn nhất ít hơn, thì số lượng chu trình tuần hoàn ngắn là không nhiều, và vì vậy đặc trưng của chu trình tuần hoàn là tốt.

Vì vậy, khi có nhiều phần tử $e_{i,j}^{(Z_1)}$ thoả mãn các điều kiện, thì tất cả các giá trị đó được lưu trữ tạm thời dưới dạng các giá trị dự bị.

Với $1 < k \leqslant S$, quy trình gồm các bước 3) và 4) được thực hiện lặp lại.

Bước 3) mỗi phần tử trong số các phần tử $e_{i,j}^{(Z_k)}$ của ma trận $E(H_{Z_k})$ được ký hiệu là $e_{i,j}^{(Z_{k-1})}$ được xác định tạm thời để phân tích profin đặc trưng của chu trình tuần hoàn với ma trận H_{Z_k}. Trong trường hợp như vậy, cần phải lưu ý rằng giá trị của $e_{i,j}^{(Z_k)}$ là một trong số các giá trị 0, 1, 2, …, Z_{k-1}–1. Sau đó, các giá trị của mỗi phần tử trong số các phần tử $e_{i,j}^{(Z_k)}$ của ma trận $E(H_{Z_k})$ được chuyển thành Z_{k-1}, Z_{k-1}+1, …, Z_k–1, để phân tích profin đặc trưng của chu trình tuần hoàn.

Trường hợp trong đó mỗi phần tử trong số các phần tử $e_{i,j}^{(Z_k)}$ có đặc trưng của chu trình tuần hoàn tốt nhất được chọn.

Bước 4) Khi $e_{i,j}^{(Z_l)} = \mathrm{mod}\left(e_{i,j}^{(Z_k)}, Z_l\right)$ (l = 1, 2, …, k–1) được áp dụng cho $e_{i,j}^{(Z_k)}$ giá trị được chọn ở bước 3) và sau đó đặc trưng của chu trình tuần hoàn trên đồ thị Tanner của tất cả các ma trận H_{Z_1} được cải thiện, thì giá trị $e_{i,j}^{(Z_k)}$ tương ứng được xác định tạm thời để làm giá trị dự bị cho phần tử trong ma trận $E(H_{Z_k})$. Cần phải lưu ý rằng có thể có nhiều giá trị $e_{i,j}^{(Z_k)}$ được xác định tạm thời.

Bước 5) Ma trận $E(H_{Z_S})$ được xác định dựa vào kết quả cuối cùng của bước 4). Khi có nhiều khả năng lựa chọn cho phần tử $e_{i,j}^{(Z_S)}$ của ma trận $E(H_{Z_S})$ trong các quy trình gồm các bước 3) và 4), thì giá trị nhỏ nhất trong số các giá trị dự bị được xác định là giá trị cuối cùng.

Ví dụ về ma trận kiểm tra chẵn lẻ được thiết kế bằng phương pháp thiết kế nêu trên được thể hiện trong các bảng từ bảng 1 đến bảng 6 dưới đây. Các bảng dưới đây, từ bảng 1 đến bảng 6, thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ. (Ô rỗng nhỏ biểu thị ma trận-0 có kích thước bằng Z×Z.) Để dễ thiết kế, số lượng cột của ma trận mẹ được giữ cố định bằng 36 và trong bảng 1 và bảng 2 dưới đây, tỷ lệ mã được đặt bằng 8/9, trong bảng 3 và bảng 4 dưới đây, tỷ lệ mã được đặt bằng 2/3, và trong bảng 5 và bảng 6 dưới đây, tỷ lệ mã được đặt bằng 4/9. Ngoài ra, giả sử rằng các giá trị Z cho phương pháp nâng được đặt bằng 12, 24, 36, 48, 60, 72, 84, và 96 để hỗ trợ tổng số là 8 độ dài.

Bảng 1

62	5	8	51	23	95	19	83	44	91	38	13	47	58	24	94	44	16	45	25		81	48	15	16		85	90		34	68	27	1	0		
21	75	32	7	63	32	7	48	58	82	46	66	64	36	19	40	6	9			90	92	75	45	13	52	75	43	78	54	67			0	0	
62	79	52	94	20	34	44	18	72	53	29	75	65	90	78	82	29	33	91	78	16		37	90		68		58	86		70	83	0		0	0
22	26	10	66	72	3	14	15	37	38	20	59	36	52	81	93	64	21	35	28	50	69			7	58	72		19	30		61	1			0

Bảng 2

50	47	35	49	24	13	85	30	58	84	93	44	86	65	89	57	60	15	21	8		55	67	79	34		86	3		28	44	29	1	0		
33	48	26	3	59	11	33	19	67	0	27	61	26	23	55	13	40	20			83	78	77	76	5	91	65	35	33	41	12			0	0	
27	76	41	24	85	54	29	28	73	16	30	92	81	61	5	95	21	45	71	15	71		85	89		84		11	8		71	50	0		0	0
20	73	23	87	73	33	16	26	75	42	61	63	25	86	71	8	25	20	67	95	52	35			42	70	93		63	61		63	1			0

Bảng 3

33	47	9	24	1	21						54						33	85		71	12		1	0								
23	45	16	2	2	85	57			54	45					16	72								0	0							
43	76	68	88	72	19		40						1		21				8			42			0	0						
78	82	49	53	91	83			83			59			54		90	80									0	0					
41	52	33	63	60	75		43	48									89					61					0	0				
15	42	65	94	53	95	16					42			32	3					68								0	0			
66	91	87	82	46	15				59		77	1		75										0					0	0		
4	93	86	89	76	79	10							65			23		66			31									0	0		
70	40	28	66	58	83			87		83		42						86				63									0	0	
49	35	0	85	35	44					41							11		87	85		55										0	0
23	46	43	16	44	82				46										40		16		61										0
38	6	41	52	46	20		54						5											1									

Bảng 4

												52						64	1		37	28		1	0								
54	34	78	3	10	24	9			13	29						34	60									0	0						
9	94	75	58	83	62		21						68		14						17			53			0	0					
42	48	67	30	65	66			94			17			77		45	88											0	0				
10	10	3	57	45	8		49	31									38							82					0	0			
36	44	45	58	6	3	25					76			8	35						31									0	0		
57	64	44	53	94	77				94		55	86		84											0						0	0	
39	2	73	41	54	71	63							83			37			91			89									0	0	
27	85	39	42	58	40			9		3		89							69				95									0	0
66	80	22	36	54	49					43										13		52	22		16							0	0
62	41	83	43	72	61				22													50		93		40							0	0
20	1	52	81	76	60		27						89												1									0

Bảng 5

50	39		46	37					22							1	0																			
		23	14					20	30						36		0	0																		
							30				78		22	42	49			0	0																		
19			34		25					82		88							0	0																
88	93		26							73		78								0	0															
		14		73	67	21							43								0	0														
17	2	54	88							17												0	0													
			84	20	82	27							81										0	0												
	25	4	9	33	32																			0	0											
19		84	44	72											68										0	0										
66	92	21				13										0										0	0									
53	9	3		61					79																		0	0								
	86	71		31							34																	0	0							
13	45	32	43					14																					0	0						
4		75	45	30				95																							0	0				
					51	90	37				30			88																		0	0				
57	33	41		72		46																										0	0			
84	35		36	73										20																			0	0		
70	76		55	53			35																											0	0	
	32	30		8	90							82				1																			0	

Bảng 6

50	39		22	49						43							1	0																		
		23	86						39	82						85		0	0																		
								28				85		32	45	29			0	0																		
63			29		56						0		93							0	0																
13	80		68								68		88								0	0														
		88		44	89	33								91									0	0												
53	86	42	40								89													0	0											
			60	85	55	58								82											0	0										
	37	82	91	9	36																					0	0									
46		48	14	72												17											0	0								
71	16	21				78											0											0	0							
45	33	39		61						4																			0	0						
	75	28		46								93																			0	0				
13	93	92	31						16																							0	0			
42		74	45	52					53																									0	0		
					65	76	91					55			34																			0	0		
78	34	41		48		27																												0	0	
72	83		24	53											2																				0	0
54	40		7	73			87																													0	0
	20	54		7	14								60				1																				0

Ví dụ khác về ma trận kiểm tra chẵn lẻ được thiết kế được thể hiện trong các bảng dưới đây, từ bảng 7 đến bảng 12. Bảng 7 đến bảng 12 thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ. (Ô rỗng nhỏ tương ứng với ma trận-0 có kích thước bằng Z×Z.) Để dễ thiết kế, số lượng cột của ma trận mẹ được giữ cố định bằng 37 và trong bảng 7 và bảng 8, tỷ lệ mã được đặt bằng 32/37, trong bảng 9 và bảng 10, tỷ lệ mã được đặt bằng 24/37, và trong bảng 11 và bảng 12, tỷ lệ mã được đặt bằng 16/37. Ngoài ra, giả sử rằng các giá trị Z cho phương pháp nâng được đặt bằng 12, 24, 36, 48, 60, 72, 84, và 96 để hỗ trợ tổng số là 8 độ dài.

Bảng 7

65	83	71	35	13	64	42	23		95	12	87	41		59	55	83	62		37	41	43			26	52			10				1	0			
40	22	36	53	59	31	0		32	52	93			46		95			11				5	53	70		73	90	53	14	65	84		0	0		
68	93	73	68	28			4	81			95		51	72		59		50		60		93	55	92		8	48		11	37	47	0		0	0	
91	47	55	84	29	68	89	81	54	88			23	54				53	34	46	55	31	55	21		95				50					0	0
88	89	44	74	9						87	57	43		63	24	70	15		69		50				74	29	28	91	85		65	1				0

Bảng 8

43	15	3	66	59	47	39	34		86	95	37	13		32	82	24	80		56	62	18			77	33			41				1	0			
36	62	65	43	44	93	21		90	45	43			24		25			72				75	57	33		67	10	46	26	36	60		0	0		
62	30	20	36	51			11	33			59		43	29		27		61		4		95	31	13		76	93		7	42	2	0		0	0	
50	15	16	27	62	81	51	39	86	4			36	46				0	27	77	34	72	24	50		52					76					0	0
72	0	89	86	70						49	64	30		64	81	25	39		0		64				42	34	33	11	64		89	1				0

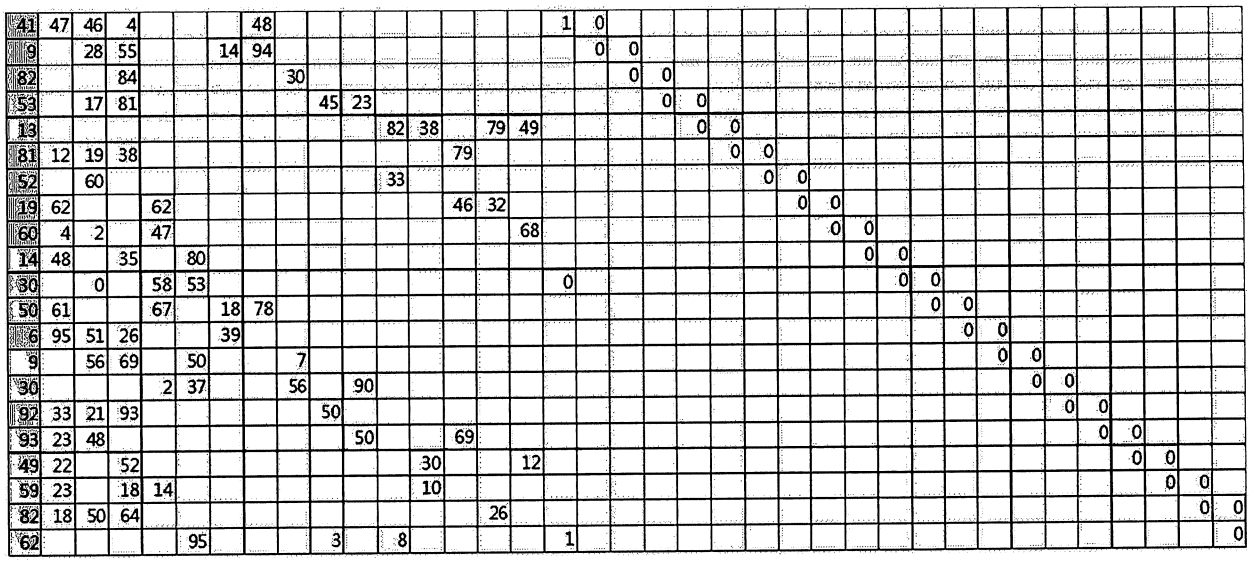
Bảng 9

15	39	25	37		73	93		93	43	95														1	0									
26	86	43					58						62		80	54						48	33		0	0									
57	10	36	21									45		80			68	87	95							0	0								
82	86	89	89	79			95				53									50	4						0	0							
89	40	11	21			30		37										70	26		51							0	0						
90		50	19					31	87		33	63					25			39									0	0					
19	82	31	6		1								72						49				88	0						0	0			
83	32	68	25	19			61			89			12	57																	0	0		
46	40	84	32									50	26			91					58	33										0	0		
35	45		16	72						49							59					64											0	0	
18	25	5	75	8											29								22											0	0
7	48	35	61		72	11			15		4									89														0	0
30	32	55	86	5											61	57		52						1											0

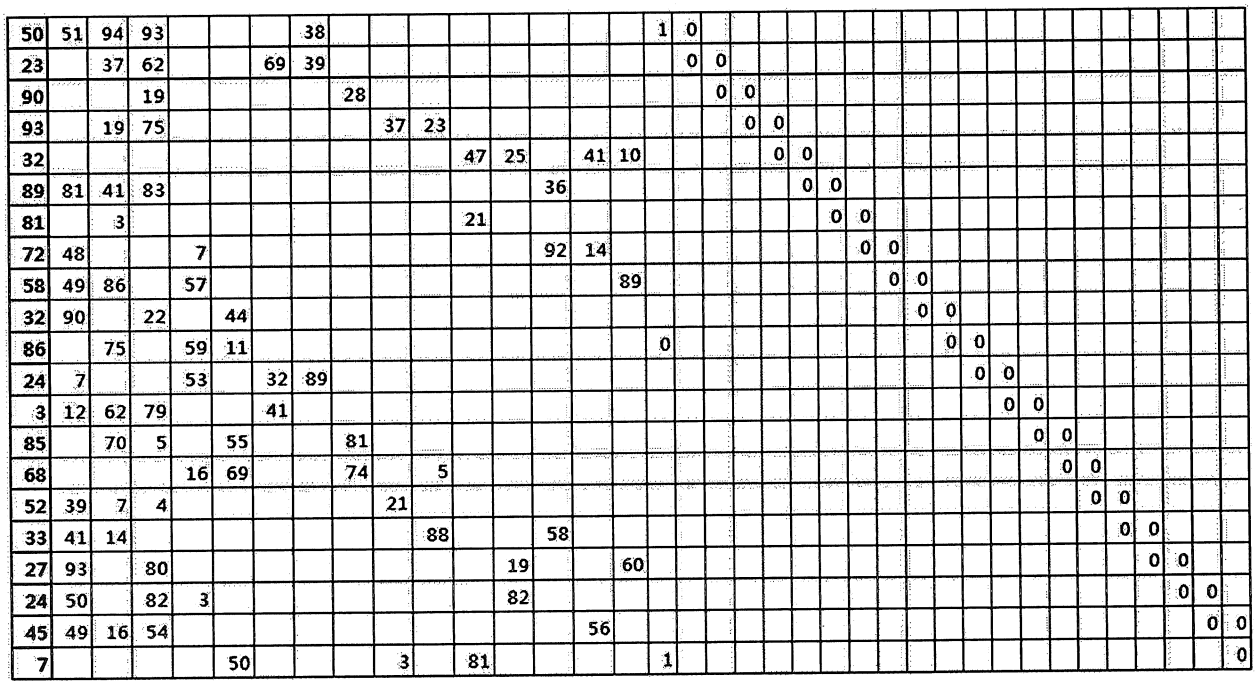
Bảng 10

39	65	34	37		38	39		36	42	28																1	0								
95	26	32					13							13		29	13							0	93		0	0								
36	82	48	81										92		86			89	92	93								0	0							
71	88	65	17	17			77				93										94	48							0	0						
87	23	78	50			19		55											10	25		75								0	0				
86		87	55					81	32		77	80					52			50											0	0			
9	58	25	87		82									0					88				24	0							0	0		
84	32	53	24	91			56			81			75	61																		0	0		
58	40	48	61									84	95			31						85	44										0	0	
31	50		93	20						7							49						74											0	0	
41	77	51	37	57										75										28										0	0	
62	23	46	45		29	16			35		41										48													0	0
85	36	60	77	27											64	90		24							1										0

Bảng 11



Bảng 12



Khi quy trình mã hoá LDPC được thực hiện bằng cách sử dụng các ma trận kiểm tra chẵn lẻ được thể hiện trong các bảng nêu trên, từ bảng 7 đến bảng 12, trong trường hợp khi bit của từ thông tin tương ứng với khối cột thứ nhất trong ma trận riêng phần tương ứng với từ thông tin được truyền sau khi đục lỗ, thì có thể hiểu rằng tỷ lệ mã cuối cùng gần như là bằng với trường hợp sử dụng các bảng nêu trên, từ bảng 1 đến bảng 6, vì tỷ lệ mã được đặt bằng 8/9 trong bảng 7 và bảng 8 nêu trên, tỷ lệ mã được đặt bằng 2/3 trong các bảng nêu trên, bảng 9 và bảng 10, và tỷ lệ mã được đặt bằng 4/9 trong các bảng nêu

trên, bảng 11 và bảng 12. Thông thường, vì mã LDPC có thể nâng cao hiệu suất khi quy trình đục lỗ cho từ thông tin được áp dụng một cách thích hợp, nên quy trình mã hoá LDPC bằng cách sử dụng các bảng nêu trên, từ bảng 7 đến bảng 12, có thể được áp dụng để nâng cao hiệu suất.

Một số kết quả thử nghiệm tính toán về hiệu suất của ma trận kiểm tra chẵn lẻ được tạo ra bằng phương pháp thiết kế ma trận kiểm tra chẵn lẻ được đề xuất theo sáng chế được thể hiện trên Fig.6.

Fig.6 là sơ đồ thể hiện các kết quả phân tích hiệu suất được thực hiện bằng cách áp dụng các giá trị Z = 12, 24, 36, 48, 60, 72, 84, 96 cho ma trận kiểm tra chẵn lẻ được thể hiện trong bảng 3 nêu trên theo phương án thực hiện sáng chế. Liên quan đến hiệu suất, có thể hiểu rằng kỹ thuật mã hoá LDPC sử dụng 8 ma trận kiểm tra chẵn lẻ được tạo ra từ một ma trận số mũ cũng có thể được áp dụng tốt. Cụ thể là, có thể khẳng định rằng quan sát thấy việc đạt được hiệu suất tốt mà không có hiện tượng sàn lỗi cho tới khi tỷ lệ lỗi khung lên tới khoảng bằng 1/1000.

Các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 1 đến bảng 12, là ma trận số mũ được thiết kế theo giả thiết về phương pháp nâng dựa vào phép toán modulo và các ma trận số mũ của mỗi giá trị trong số các giá trị Z có thể được tìm ra bằng cách áp dụng biểu thức 9 hoặc biểu thức 10 nêu trên cho mỗi số mũ.

Ví dụ khác về ma trận kiểm tra chẵn lẻ được thiết kế được thể hiện trong các bảng dưới đây, từ bảng 13 đến bảng 16. Các bảng dưới đây, từ bảng 13 đến bảng 16, thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ. (Ô rỗng nhỏ tương ứng với ma trận-0 có kích thước bằng Z×Z.) Để dễ thiết kế, số lượng cột của ma trận mẹ được giữ cố định bằng 24 và trong bảng 13 dưới đây, tỷ lệ mã được đặt bằng 5/6, trong bảng 14 dưới đây, tỷ lệ mã được đặt bằng 3/4, trong bảng 15 dưới đây, tỷ lệ mã được đặt bằng 2/3, và trong bảng 16 dưới đây, tỷ lệ mã được đặt bằng 1/2. Ngoài ra, các giá trị Z cho phương pháp nâng được đặt bằng 81, 162, và 324 và có nghĩa là các ma trận số mũ cho các ma trận kiểm tra chẵn lẻ của các mã LDPD có thể được hỗ trợ cho ít nhất ba giá trị Z này.

Bảng 13

94	291	80	228	247	236	169	192	76	52	280	141		130	316	274	317	235	23		1	0		
312	63	155	218	226	158	219	227	249	178	213		145		311	9	129	224	297	27		0	0	
294	177	81	242	267	106	204	297	287	71	152	252	148	35		301		29		296	0		0	0
259	110	279	284	125	299	59	37	131	24		65	4	65	214		85		235	52	1			0

Bảng 14

48	272	28	120	252	223				63	288	242				280	275	265	1	0				
166	130	42	48	254	111				130	179	41	37	177		54				0	0			
35	238	321	294	118	278	21		260	307				221	250			275			0	0		
252	65	44	171	297	137	235	34	42				278				127	120	0			0	0	
84	224	88	80	149	26		323	298		279		188		90		153						0	0
188	75	33	264	312	302	3	38				35		305	279	26			1					0

Bảng 15

61	318	166	306	299							8		245	98	268	1	0						
299	317	320	20				307	267	247	310		7					0	0					
109	183	68	10	250	14	308				104				75				0	0				
291	281	286	321	319					248	279		258	234						0	0			
40	2	134	187		295	305		20			125					0				0	0		
69	266	307	253	22		264						311	23	272							0	0	
174	0	68	20	55	304		283				52				287							0	0
301	8	277	226	321			92	78	24						58	1							0

Bảng 16

57				131		11		50		322		1	0										
246		28		243				298	250				0	0									
273				105	280			218	95					0	0								
62	296			296			246	35							0	0							
202			20	147			22	28								0	0						
243				251		123		50			8						0	0					
312	241	322				299		52				0						0	0				
65				38	300			153		270									0	0			
64				95	295			111			275									0	0		
	45		151	0				239	90												0	0	
245	299		57	197						255												0	0
267		304		60			108	294			16	1											0

Ví dụ khác về ma trận kiểm tra chẵn lẻ được thiết kế được thể hiện trong các bảng dưới đây, từ bảng 17 đến bảng 20. Các bảng dưới đây, từ bảng 17 đến bảng 20, thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ. (Ô rỗng nhỏ tương ứng với ma trận-0 có kích thước bằng Z×Z.) Để dễ thiết kế, số lượng cột của ma trận mẹ được giữ cố định bằng 24 và trong bảng 17 dưới đây, tỷ lệ mã được đặt bằng 5/6, trong bảng 18 dưới đây, tỷ lệ mã được đặt bằng 3/4, trong bảng 19 dưới đây, tỷ lệ mã được đặt bằng 2/3, và trong bảng 20 dưới đây, tỷ lệ mã được đặt bằng 1/2. Ngoài ra, các giá trị Z cho phương pháp nâng được đặt bằng 81, 162, 324, và 648 và có nghĩa là các ma trận số mũ cho các ma trận kiểm tra chẵn lẻ của các mã LDPD có thể được hỗ trợ cho ít nhất bốn giá trị Z này.

Bảng 17

94	615	404	552	571	560	493	516	76	52	280	141		130	316	598	641	559	347		1	0		
636	63	155	542	550	158	543	551	573	178	213		145		311	9	129	548	621	351		0	0	
618	501	81	566	591	106	528	621	611	71	152	252	148	35		625		29		620	0		0	0
583	110	603	608	125	623	59	37	131	24		389	4	65	538		85		235	52	1			0

Bảng 18

48	596	28	444	576	223				63	612	242				604	599	589	1	0				
166	454	42	48	578	111				130	503	41	37	501		54				0	0			
35	562	321	618	442	602	21		584	631				545	574			599			0	0		
576	389	44	495	621	137	559	34	366				602				451	120	0			0	0	
408	548	412	80	149	26		647	622		603		188		414		153						0	0
512	75	33	588	636	626	3	38				359		629	603	350			1					0

Bảng 19

61	642	490	630	623							8		569	98	592	1	0						
623	317	320	20				307	591	571	634		7					0	0					
109	507	68	10	250	338	632				104				75				0	0				
615	605	610	645	643					572	279		582	558						0	0			
40	2	458	511		619	629		20			125					0				0	0		
393	590	631	577	22		264						635	23	596							0	0	
498	0	68	344	55	628		607				52				611							0	0
625	332	277	550	321			92	78	24						382	1							0

Bảng 20

57				455		11		374		322		1	0										
570		28		567				622	574				0	0									
273				105	604			542	419					0	0								
62	296			620			570	35							0	0							
526			344	471			22	28								0	0						
243				575		447		374			332						0	0					
636	565	322				299		52				0						0	0				
65				362	624			477		594									0	0			
64				419	619			435			599									0	0		
	45		151	324				563	414												0	0	
245	299		57	521						255												0	0
591		628		60			432	618			340	1											0

Để cho dễ hiểu, các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 13 đến bảng 20, là ma trận số mũ được thiết kế theo giả thiết về phương pháp nâng dựa vào phép toán modulo và các ma trận số mũ của mỗi giá trị trong số các giá trị Z có thể được tìm ra bằng cách áp dụng biểu thức 9 hoặc biểu thức 10 nêu trên cho mỗi số mũ và có thể được sử dụng để mã hoá. Ngoài ra, có thể hiểu rằng nếu các ma trận số mũ trong các bảng nêu trên, từ bảng 17 đến bảng 20, tính modulo 324, thì có thể thu được các ma trận số mũ trong các bảng nêu trên, từ bảng 13 đến bảng 16, và nếu các ma trận số mũ trong các bảng nêu trên, từ bảng 13 đến bảng 20, tính modulo 81, thì có thể thu được các ma trận số mũ trong các bảng nêu trên, bảng 13 và bảng 18, các bảng nêu trên, bảng 14 và bảng 18, các bảng nêu trên, bảng 15 và bảng 19, và các bảng nêu trên, bảng 16 và

bảng 20, mỗi cặp bảng có cùng một ma trận số mũ. Nói cách khác, có thể hiểu rằng các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 17 đến bảng 20, chứa thông tin về các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 13 đến bảng 16, và có thể áp dụng phương pháp nâng sử dụng cùng một ma trận số mũ thu được sau khi tính modulo 81. Các ma trận số mũ thu được bằng cách áp dụng phép tính modulo 81 cho các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 13 đến bảng 20, có thể hỗ trợ ma trận kiểm tra chẵn lẻ được quy định theo tiêu chuẩn IEEE 802.11n, điều này cho thấy rằng khi áp dụng phương pháp nâng sử dụng ma trận kiểm tra chẵn lẻ cho trước theo giải pháp đã biết, thì có thể thiết kế một ma trận kiểm tra chẵn lẻ mới mà trong đó các dấu hiệu đặc trưng của ma trận kiểm tra chẵn lẻ đã biết vẫn được giữ nguyên.

Tất cả các ma trận số mũ được thể hiện trong các bảng nêu trên, từ bảng 1 đến bảng 20, được đặt bằng $b_1 = 1$, $y = 0$, $x = 1$ ở dạng ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.3 để thoả mãn biểu thức 7 hoặc biểu thức 8 nêu trên. Vì vậy, đã biết rằng ma trận được ký hiệu là Φ trong tài liệu tham khảo [Myung2005] sẽ là ma trận đơn vị và do đó có thể thực hiện phương pháp mã hoá có hiệu quả khi mã hoá.

Tuy nhiên, theo phương án khác để thực hiện sáng chế, phương pháp mã hoá được biểu diễn dưới dạng như sau.

Dựa vào Fig.3, giá trị số mũ của ma trận luân hoàn trong ma trận riêng phần tương ứng với phần chẵn lẻ được xác định theo biểu thức 13 dưới đây.

$$x \equiv \sum_{i=1}^{m} b_i \bmod Z \quad \text{và} \quad y \neq -\sum_{i=l+1}^{m} b_i \bmod Z \tag{13}$$

Biểu thức 13 nêu trên có các điều kiện khác cho giá trị y trong biểu thức 7 nêu trên và do đó ma trận Φ được mô tả trong tài liệu tham khảo [Myung2005] không phải là ma trận đơn vị. Vì vậy, có sự khác biệt nhỏ trong phương pháp mã hoá. Tuy nhiên, thông thường, phần có ảnh hưởng làm tăng thêm độ phức tạp cho phương pháp mã hoá LDPC là số lượng phần tử khác 0 có mặt trong ma trận Φ^{-1}. Theo biểu thức 13 nêu trên, ma trận Φ sẽ trở thành ma trận hoán vị luân hoàn P^a (a là số nguyên) và do đó rõ ràng là ma trận Φ^{-1} cũng là một ma trận hoán vị luân hoàn đơn giản P^{-a}. Vì vậy, có thể dự kiến rằng độ

phức tạp của phương pháp mã hoá sẽ tăng thêm rất ít.

Phương pháp mã hoá sẽ được mô tả chi tiết dưới đây. Trong phương pháp này, từ thông tin có thể được biểu diễn bằng một vectơ s (tương ứng với các ma trận riêng phần A và C trên Fig.3) và vectơ chẵn lẻ có thể lần lượt được biểu diễn bằng $\underline{p}_1$ và $\underline{p}_2$. ($\underline{p}_1$ tương ứng với các ma trận riêng phần B và D trên Fig.3 và $\underline{p}_2$ tương ứng với các ma trận riêng phần T và E trên Fig.3.)

Bước 1) Tính các giá trị As^T và Cs^T.

Bước 2) Tính giá trị $ET^{-1}As^T+Cs^T$. Trong đó, phép tính này cũng có thể được thực hiện bằng cách sử dụng các đặc trưng là $ET^{-1} = [I\ I\ \ldots\ I]$.

Bước 3) Tính giá trị $\underline{p}_1^T = \Phi^{-1}(ET^{-1}As^T+Cs^T)$.

Bước 4) Tính giá trị $\underline{p}_2$ bằng cách sử dụng mối quan hệ $T\underline{p}_2^T = As^T + B\underline{p}_1^T$.

Thực tế, theo tài liệu tham khảo [Myung2005], cần thực hiện phép tính Φ^{-1} trong quy trình thu được phần chẵn lẻ thứ nhất trên Fig.3 (bước 3) và vì ma trận Φ là ma trận đơn vị, nên ma trận kiểm tra chẵn lẻ thoả mãn biểu thức 7 nêu trên sẽ không cần thực hiện phép tính Φ^{-1} và do đó có thể thực hiện phương pháp mã hoá có hiệu quả. Tuy nhiên, phần chẵn lẻ thứ nhất cần thực hiện phép tính liên quan P^{b_1} trong quy trình thu được phần chẵn lẻ thứ hai (bước 4). Sở dĩ như vậy là vì ma trận ở trong ma trận B có chứa P^{b_1} và phần chẵn lẻ thứ nhất cần phải thực hiện phép tính liên quan P^{b_1} trong quy trình tính $B\underline{p}_1^T$. Nếu ma trận P^{b_1} được thiết lập dưới dạng ma trận đơn vị, tức là, b_1 được đặt bằng 0 để đơn giản hoá phép tính, thì đặc trưng của chu trình tuần hoàn trên đồ thị Tanner có thể bị suy giảm. Vì vậy, để tránh tình trạng đặc trưng của chu trình tuần hoàn bị suy giảm, phép tính liên quan P^{b_1} được thực hiện trên phần chẵn lẻ thứ nhất để thu được phần chẵn lẻ thứ hai.

Một ví dụ về trường hợp biểu thức 13 nêu trên sẽ được mô tả chi tiết dưới đây. Ví dụ, giả sử rằng các số mũ của các phần tử hoán vị tuần hoàn của ma trận riêng phần tương ứng với phần chẵn lẻ trên Fig.3 được thiết lập dưới dạng $b_1 = b_2 = \ldots = b_m = x = 0$,

$y \neq 0$ để thoả mãn biểu thức 13 nêu trên. Trong trường hợp như vậy, $\Phi = P^y$ và do đó cần phải thực hiện phép tính ma trận nghịch đảo ở phép tính P^y trong quy trình thu được phần chẵn lẻ thứ nhất. Tuy nhiên, b_1 có thể được đặt bằng 0, và vì vậy không cần thực hiện phép tính liên quan đến ma trận hoán vị luân hoàn trên phần chẵn lẻ thứ nhất trong quy trình thu được phần chẵn lẻ thứ hai. Ngoài ra, giá trị y có thể được thiết lập để tránh tình trạng đặc trưng của chu trình tuần hoàn trên đồ thị Tanner bị suy giảm. (Thông thường, để tạo ra đặc trưng của chu trình tuần hoàn tốt, thì giá trị y được thiết lập sao cho y và Z là chính.) Vì vậy, có thể loại trừ sự tăng thêm độ phức tạp của phương pháp mã hoá mà hiệu suất không bị suy giảm. Ngoài ra, $b_1 = b_2 = \ldots = b_m = x = 0$ có nghĩa là ma trận có chứa ma trận đơn vị và vì vậy rất thuận tiện để thực hiện các phép tính trên các ma trận kiểm tra chẵn lẻ bằng phần cứng.

Phương pháp mã hoá nêu trên có thể được mô tả chi tiết dưới đây. Như đã nêu trên, từ thông tin có thể được biểu diễn bằng một vectơ s (tương ứng với các ma trận riêng phần A và C trên Fig.3) và vectơ chẵn lẻ có thể lần lượt được biểu diễn bằng $\underline{p}_1$ và $\underline{p}_2$. ($\underline{p}_1$ tương ứng với các ma trận riêng phần B và D trên Fig.3 và $\underline{p}_2$ tương ứng với các ma trận riêng phần T và E trên Fig.3.) Phương pháp mã hoá bằng cách sử dụng biểu thức 13 trên đây giống với phương pháp mã hoá nêu trên, nhưng khác nhau ở các bước 3 và 4.

Bước 1) Tính các giá trị As^T và Cs^T.

Bước 2) Tính giá trị $ET^{-1}As^T+Cs^T$. Trong đó, phép tính này có thể được thực hiện bằng cách sử dụng các đặc trưng là $ET^{-1} = [I\ I\ \ldots\ I]$.

Bước 3) Tính giá trị $\underline{p}_1{}^T = P^{-y}(ET^{-1}As^T+Cs^T)$, ($\Phi = P^y$, $\Phi^{-1} = P^{-y}$), trong đó phép tính P^{-y} có thể được thực hiện dễ dàng bằng cách dịch chuyển tuần hoàn bit y.

Bước 4) Tính giá trị $\underline{p}_2$ bằng cách sử dụng mối quan hệ $T\underline{p}_2{}^T = As^T+B\underline{p}_1{}^T$.

Dựa vào phương pháp mã hoá LDPC, phép tính giá trị của biểu thức có từ thông tin và một số ma trận kiểm tra chẵn lẻ được thực hiện ở bước 1) và bước 2). Sau đó, ở bước 3), sự dịch chuyển tuần hoàn thích hợp được áp dụng để xác định phần chẵn lẻ thứ nhất $\underline{p}_1$ và sau đó ở bước 4), giá trị $\underline{p}_2$ được xác định dựa vào kết quả thu được.

Ở bước 4), ma trận B gồm có ma trận I, ma trận P^y, ma trận không, hoặc các dạng

ma trận khác, và vì vậy khi sử dụng kết quả thu được ở bước 3), phép tính $B\underline{p}_1^T$ có thể được thực hiện dễ dàng. Ví dụ, phép tính $I\cdot\underline{p}_1^T$ giống với phép tính $\underline{p}_1^T$, và vì vậy kết quả thu được ở bước 3) có thể được sử dụng y nguyên. Ngoài ra, phép tính $P^y\underline{p}_1^T$ giống với kết quả thu được ở bước 2), và vì vậy không cần thực hiện thêm phép tính nào nữa.

Cuối cùng, $\underline{p}_2^T$ có thể thu được bằng cách chỉ sử dụng phép tính $T^{-1}(As^T+B\underline{p}_1^T)$, nhưng độ phức tạp tính toán để tính tích T^{-1} có tăng lên, và vì vậy $T\underline{p}_2^T$ thường được tính bằng cách sử dụng phương pháp thế ngược.

Do đó, khi ma trận kiểm tra chẵn lẻ trên Fig.3 được phân chia ra thành ma trận riêng phần tương ứng với từ thông tin và ma trận riêng phần tương ứng với phần chẵn lẻ, và ma trận chẵn lẻ tương ứng với phần chẵn lẻ lại được phân chia ra thành phần thứ nhất B gồm có ma trận đơn vị, ma trận hoán vị tuần hoàn, và ma trận không, phần thứ hai D gồm có ma trận đơn vị hoặc ma trận hoán vị tuần hoàn, phần thứ ba E gồm có ma trận đơn vị hoặc ma trận hoán vị tuần hoàn, và phần thứ tư T có ma trận đơn vị hoặc ma trận hoán vị tuần hoàn được sắp xếp theo dạng hai đường chéo, thì phương pháp và thiết bị truyền hoặc thu tín hiệu sử dụng mã LDPC dựa vào ma trận kiểm tra chẵn lẻ trong đó $(E)(T^{-1})(B)+D$ không phải là ma trận đơn vị mà là ma trận hoán vị tuần hoàn có thể là phương pháp mã hoá ít phức tạp và có thể được thực hiện dễ dàng. Ngoài ra, cấu trúc của ma trận kiểm tra chẵn lẻ có thể chọn y là một số nguyên bất kỳ nằm trong khoảng từ 1 đến (Z–1) trong phép tính $\Phi = P^y$ và do đó có thể chọn nhiều số mũ khác nhau, cho nên dễ dàng thiết kế được một mã có đặc trưng tuần hoàn rất tốt.

Ví dụ khác về ma trận kiểm tra chẵn lẻ được thiết kế bằng phương pháp thiết kế được đề xuất theo sáng chế được thể hiện trên các hình vẽ Fig.11A, Fig.11B, Fig.12A, Fig.12B, Fig.13A, Fig.13B, Fig.14A, Fig.14B, Fig.15A, Fig.15B, Fig.16A và Fig.16B.

Fig.11A, Fig.11B, Fig.12A, Fig.12B, Fig.13A, Fig.13B, Fig.14A, Fig.14B, Fig.15A, Fig.15B, Fig.16A và Fig.16B thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế.

Giả sử rằng ô rỗng nhỏ là ma trận-0 có kích thước bằng Z×Z và các giá trị Z cho phương pháp nâng được đặt bằng 12, 24, 36, 48, 60, 72, 84, và 96 để hỗ trợ tổng số là 8 độ dài.

Để cho dễ hiểu, từ khối cột thứ 37 đến khối cột cuối cùng trên Fig.11 và từ khối cột thứ 38 đến khối cột cuối cùng trên Fig.14 đều có bậc bằng 1. Để cho dễ hiểu, một số khối được loại bỏ ra khỏi các bảng nêu trên. Ngoài ra, các khối cột có bậc bằng 1 chứa các ma trận đơn vị.

Dựa vào ma trận kiểm tra chẵn lẻ trên Fig.11, có thể hiểu rằng ma trận riêng phần có bốn khối hàng và 36 khối cột trong tất cả các ma trận kiểm tra chẵn lẻ trùng với ma trận kiểm tra chẵn lẻ tương ứng với bảng 2 nêu trên. Nghĩa là, có thể hiểu rằng ma trận kiểm tra chẵn lẻ trên Fig.11 có dạng mở rộng bằng cách ghép nối nhiều mã kiểm tra chẵn lẻ đơn với ma trận kiểm tra chẵn lẻ tương ứng với bảng 2 nêu trên. Ngoài ra, có thể dễ dàng nhận thấy rằng các ma trận kiểm tra chẵn lẻ được thể hiện trên các hình vẽ từ Fig.12A đến Fig.16B, mỗi ma trận đó cũng là dạng mở rộng từ các ma trận kiểm tra chẵn lẻ tương ứng với bảng 4, bảng 6, bảng 8, bảng 10, và bảng 12 nêu trên.

Ví dụ khác về ma trận kiểm tra chẵn lẻ được thiết kế bằng phương pháp thiết kế được đề xuất theo sáng chế được thể hiện trên Fig.17A và Fig.17B.

Fig.17A và Fig.17B thể hiện các ma trận số mũ của mỗi ma trận trong số các ma trận kiểm tra chẵn lẻ theo phương án thực hiện sáng chế.

Trong sáng chế, ma trận kiểm tra chẵn lẻ có thể được biểu diễn bằng chuỗi có đặc trưng đại số giống với ma trận số mũ. Trong sáng chế, để cho dễ hiểu, ma trận kiểm tra chẵn lẻ được biểu diễn bằng một chuỗi (hoặc vị trí của giá trị 1 trong ma trận hoán vị tuần hoàn tạo nên ma trận kiểm tra chẵn lẻ) thể hiện vị trí của giá trị 1 ở trong ma trận số mũ hoặc ma trận kiểm tra chẵn lẻ, nhưng dạng biểu diễn bằng chuỗi có thể xác định vị trí của giá trị 1 hoặc 0 ở trong ma trận kiểm tra chẵn lẻ có nhiều dạng khác nhau và vì vậy sáng chế không chỉ giới hạn ở dạng biểu diễn này. Vì vậy, có nhiều dạng chuỗi khác nhau thể hiện cùng một đặc trưng đại số. Giả sử rằng ô rỗng nhỏ là ma trận-0 có kích thước bằng Z×Z và các giá trị Z cho phương pháp nâng được đặt bằng 27, 54, và 81 để hỗ trợ tổng số là 3 độ dài. Để cho dễ hiểu, từ khối cột thứ 25 đến khối cột cuối cùng trên Fig.17 đều có bậc bằng 1. Ngoài ra, các khối cột có bậc bằng 1 chứa các ma trận đơn vị.

Ma trận kiểm tra chẵn lẻ để áp dụng sơ đồ ghép nối với mã kiểm tra chẵn lẻ đơn có khả năng mở rộng dễ dàng, và vì vậy đó là ưu điểm khi áp dụng kỹ thuật phần dư tăng dần (Incremental Redundancy, IR). Kỹ thuật IR là một kỹ thuật quan trọng đối với

phương pháp hỗ trợ hệ thống yêu cầu truyền lại tự động lai, và vì vậy kỹ thuật IR có hiệu quả và hiệu suất cao làm tăng hiệu quả của hệ thống yêu cầu truyền lại tự động lai (Hybrid Automatic-Repeat-reQuest, HARQ). Các mã LDPC dựa vào các ma trận kiểm tra chẵn lẻ sử dụng phần được mở rộng với mã kiểm tra chẵn lẻ đơn để tạo ra phần chẵn lẻ mới và truyền phần chẵn lẻ đã tạo ra, nhờ đó có thể áp dụng kỹ thuật IR có hiệu quả và hiệu suất cao.

Để cho dễ hiểu, các ma trận kiểm tra chẵn lẻ được thiết kế bằng phương pháp thiết kế được đề xuất theo phương án thực hiện sáng chế là ma trận số mũ cho các giá trị Z, nhưng rõ ràng là khi áp dụng quy trình rút gọn và đục lỗ phù hợp với mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ tương ứng, thì có thể thực hiện phương pháp mã hoá LDPC có nhiều độ dài khối mã và nhiều tỷ lệ mã khác nhau. Nói cách khác, có thể hỗ trợ nhiều độ dài khác nhau của các từ mã bằng cách áp dụng quy trình rút gọn phù hợp trên mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ được thể hiện trên các hình vẽ từ Fig.11A đến Fig.17B, có thể hỗ trợ nhiều tỷ lệ mã khác nhau bằng cách áp dụng quy trình đục lỗ phù hợp, và bit kiểm tra chẵn lẻ đơn có thể được tạo ra với số lượng đúng bằng độ dài thích hợp và được truyền, nhờ đó có thể áp dụng kỹ thuật IR có hiệu quả.

Tuy nhiên, mã LDPC có thể được giải mã bằng cách sử dụng sơ đồ giải mã lặp dựa trên thuật toán tổng-tích trên đồ thị hai phía được thể hiện trên Fig.2, và thuật toán tổng-tích là một loại thuật toán truyền thông báo.

Thuật toán truyền thông báo thường được sử dụng khi giải mã LDPC sẽ được mô tả dưới đây dựa vào Fig.7A và Fig.7B.

Fig.7A và Fig.7B là các sơ đồ cấu trúc thông báo thể hiện các thuật toán truyền thông báo được thực hiện ở nút kiểm tra và nút biến bất kỳ để giải mã LDPC theo phương án thực hiện sáng chế.

Fig.7A thể hiện một nút kiểm tra m 700 và nhiều nút biến 710, 720, 730, và 740 được nối với nút kiểm tra m 700. Ngoài ra, $T_{n',m}$ được thể hiện trên hình vẽ để biểu thị thông báo truyền từ một nút biến n' 710 đến nút kiểm tra m 700 và $E_{n,m}$ biểu thị thông báo truyền từ nút kiểm tra m 700 đến một nút biến n 730. Trong đó, tập hợp gồm tất cả các nút biến được nối với nút kiểm tra m 700 được ký hiệu là N(m) và tập hợp gồm các nút biến còn lại sau khi loại trừ nút biến n 730 ra khỏi tập hợp N(m) được ký hiệu là

N(m)\n.

Trong trường hợp như vậy, quy tắc cập nhật thông báo dựa vào thuật toán tổng-tích có thể được biểu diễn bằng biểu thức 14 dưới đây.

$$\left|E_{n,m}\right| = \Phi\left[\sum_{n'\in N(m)\backslash n}\Phi\left(\left|T_{n',m}\right|\right)\right]$$
$$\mathrm{Sign}(E_{n,m}) = \prod_{n'\in N(m)\backslash n}\mathrm{sign}(T_{n',m}) \quad (14)$$

Trong biểu thức 14 nêu trên, $\mathrm{Sign}(E_{n,m})$ là dấu của $E_{n,m}$ và $|E_{n,m}|$ là giá trị tuyệt đối của thông báo $E_{n,m}$. Trong đó, hàm $\Phi(x)$ có thể được biểu diễn bằng biểu thức 15 dưới đây.

$$\Phi(x) = -\log\left(\tanh\left(\frac{x}{2}\right)\right) \quad (15)$$

Trong khi đó, Fig.7B là hình vẽ thể hiện một nút biến x 750 và nhiều nút kiểm tra 760, 770, 780 và 790 được nối với nút biến x 750. Ngoài ra, $E_{y',x}$ được thể hiện trên hình vẽ để biểu thị thông báo truyền từ một nút kiểm tra y' 760 đến nút biến x 750 và $T_{y',x}$ biểu thị thông báo truyền từ nút biến x 750 đến một nút kiểm tra y 780. Trong đó, tập hợp gồm tất cả các nút kiểm tra được nối với nút biến x 750 được ký hiệu là M(x) và tập hợp gồm các nút kiểm tra còn lại sau khi loại trừ nút kiểm tra y 780 ra khỏi tập hợp M(x) được ký hiệu là M(x)\y. Trong trường hợp như vậy, quy tắc cập nhật thông báo dựa vào thuật toán tổng-tích có thể được biểu diễn bằng biểu thức 16 dưới đây.

$$T_{y,x} = E_x + \sum_{y'\in M(x)\backslash y}E_{y',x} \quad (16)$$

Trong biểu thức 16 nêu trên, E_x là giá trị thông báo ban đầu của nút biến x.

Ngoài ra, khi xác định giá trị bit của nút x, giá trị này có thể được biểu diễn bằng biểu thức 17 dưới đây.

$$P_x = E_x + \sum_{y'\in M(x)}E_{y',x} \quad (17)$$

Trong trường hợp như vậy, bit mã hoá tương ứng với nút x có thể được quyết định dựa vào giá trị P_x.

Phương pháp được thể hiện trên Fig.7A và Fig.7B là phương pháp giải mã tổng quát và do đó ở đây sẽ không mô tả thêm nữa. Tuy nhiên, ngoài phương pháp được thể hiện trên Fig.7A và Fig.7B, các phương pháp khác để xác định giá trị thông báo truyền ở nút biến và nút kiểm tra cũng có thể được áp dụng (xem tài liệu: Frank R. Kschischang, Brendan J. Frey, and Hans-Andrea Loeliger, "Factor Graphs and the Sum-Product Algorithm", IEEE TRANSACTIONS ON INFORMATION THEORY, VOL. 47, NO. 2, FEBRUARY 2001, pp 498-519).

Hoạt động của thiết bị truyền tín hiệu sẽ được mô tả chi tiết dưới đây dựa vào Fig.4.

Cụ thể, như được thể hiện trên Fig.4, thiết bị truyền tín hiệu 400 có thể bao gồm bộ phận phân đoạn 410, bộ phận đệm bit không 420, bộ mã hoá LDPC 430, bộ phận so khớp tỷ lệ 440, và bộ điều biến 450 để xử lý các bit đầu vào có độ dài thay đổi.

Trong đó, các bộ phận được thể hiện trên Fig.4 là các bộ phận để thực hiện phương pháp mã hoá và điều biến trên các bit đầu vào có độ dài thay đổi, nhưng đó chỉ là một ví dụ, và phạm vi của sáng chế không chỉ giới hạn ở phương án này. Trong một số trường hợp, một số bộ phận trong số các bộ phận được thể hiện trên Fig.4 có thể được loại bỏ hoặc thay đổi, và các bộ phận khác cũng có thể được bổ sung thêm.

Trong khi đó, bộ mã hoá LDPC 430 được thể hiện trên Fig.4 có thể thực hiện các thao tác được thực hiện bằng bộ mã hoá LDPC 810 được thể hiện trên Fig.8.

Thiết bị truyền tín hiệu 400 có thể xác định các thông số cần thiết (ví dụ độ dài của các bit đầu vào, sơ đồ điều biến và tỷ lệ mã (Modulation and Code rate, ModCod), thông số để đệm bit không, tỷ lệ mã/độ dài mã của mã LDPC, thông số để đan xen, thông số để lặp lại, thông số để đục lỗ, sơ đồ điều biến, hoặc các thông số khác) và thực hiện phương pháp mã hoá dựa vào các thông số đã xác định và truyền các thông số đã mã hoá đến thiết bị thu tín hiệu trên Fig.5.

Vì số lượng bit đầu vào có thay đổi, nên khi số lượng bit đầu vào lớn hơn so với giá trị định trước, thì các bit đầu vào có thể được phân đoạn sao cho có độ dài nhỏ hơn hoặc bằng giá trị định trước. Ngoài ra, mỗi khối mã đã được phân đoạn có thể tương ứng với một khối mã hoá LDPC. Tuy nhiên, khi số lượng bit đầu vào nhỏ hơn hoặc bằng giá trị định trước, thì các bit đầu vào không được phân đoạn. Các bit đầu vào có thể tương ứng

với một khối mã hoá LDPC.

Quy trình phân đoạn sẽ được mô tả chi tiết dưới đây dựa vào Fig.18. Khi số lượng bit đầu vào là B, và B lớn hơn so với K_{max} là giá trị định trước, thì quy trình phân đoạn được thực hiện. Quy trình phân đoạn dưới đây được thực hiện trên các bit đầu vào dựa vào số lượng bit đầu vào tối đa của mã LDPC và số lượng khối mã. Số lượng bit đầu vào tối đa và số lượng khối mã có thể như được xác định trong bảng 21 dưới đây.

Bảng 21

Tỷ lệ mã	K_{max}	K_{min}	N_{ldpc_b}	K_{ldpc_b}
5/6	1620	540	24	20
3/4	1458	486	24	18
2/3	1296	432	24	16
1/2	972	324	24	12
1/3	1620	540	60	20

Trong bảng 21 nêu trên, K_{max} là số lượng bit của từ thông tin LDPC tương ứng với ma trận kiểm tra chẵn lẻ của mã LDPC lớn nhất và là số lượng bit đầu vào tối đa cần thiết để tạo ra từ mã LDPC lớn nhất, và K_{min} là số lượng bit tối đa của từ thông tin LDPC cần thiết để tạo ra một từ mã LDPC từ ma trận kiểm tra chẵn lẻ của mã LDPC nhỏ nhất.

Để cho dễ hiểu, K_{max} là số lượng bit đầu vào tối đa của từ thông tin LDPC (hoặc số lượng bit thông tin) để có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ lớn nhất cho trước trong hệ thống, và K_{min} là số lượng bit đầu vào tối đa của từ thông tin LDPC (hoặc số lượng bit thông tin) để có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ nhỏ nhất cho trước trong hệ thống.

Cần phải lưu ý rằng K_{min} không có nghĩa là số lượng bit của khối mã có kích thước nhỏ nhất có thể được nhập vào trong hệ thống. Thiết bị truyền tín hiệu có thể thực hiện phương pháp mã hoá LDPC trên khối mã có kích thước nhỏ hơn so với K_{min} bằng cách áp dụng phương pháp rút gọn phù hợp với mã LDPC nhỏ nhất hoặc ma trận kiểm tra chẵn lẻ.

N_{ldpc_b} là số lượng khối cột của ma trận kiểm tra chẵn lẻ và K_{ldpc_b} là số lượng khối cột của phần từ thông tin trong ma trận kiểm tra chẵn lẻ. Trong biểu thức 3 nêu trên, n

bằng N_{ldpc_b} và m bằng ($N_{ldpc\_b} - K_{ldpc\_b}$).

Khi số lượng khối mã đã được phân đoạn được ký hiệu là C, thì giá trị C có thể được biểu diễn như trong biểu thức 18 dưới đây.

$$C = \lceil B/K_{max} \rceil \quad (18)$$

Trong biểu thức 18 nêu trên, giá trị K_{max} là số lượng bit đầu vào tối đa của mã LDPC khi giá trị Z của mã LDPC là giá trị lớn nhất. Ví dụ, giá trị này có thể như được xác định trong bảng 21 nêu trên. Giá trị K_{max} khác nhau phụ thuộc vào tỷ lệ mã được áp dụng. Thông thường, để truyền dữ liệu trong hệ thống, một sơ đồ điều biến và mã hoá (Modulation and Coding Scheme, MCS) được xác định dựa vào tình trạng kênh, và do đó có thể cho rằng thông tin về tỷ lệ mã đã được xác định. Vì vậy, thiết bị truyền tín hiệu sử dụng giá trị K_{max} tương đương với tỷ lệ mã tương ứng.

Khi các bit đầu ra của bộ phận phân đoạn khối mã được ký hiệu là C_{r0}, C_{r1}, C_{r2}, C_{r3}, …, $C_{r(K_r-1)}$, thì r biểu thị khối mã thứ r, và K_r biểu thị số lượng bit của khối mã thứ r.

Thiết bị truyền tín hiệu có thể thu được giá trị J theo biểu thức 19 dưới đây dựa vào số lượng bit đầu vào B của các khối mã đã được phân đoạn và giá trị C trong biểu thức 18 nêu trên. Giá trị J là giá trị tạm thời để thu được độ dài của khối mã trước khi chèn bit đệm. Vì vậy, giá trị J có thể được gọi là kích thước của khối mã chưa tính bit đệm.

$$J = \lceil B/C \rceil \quad (19)$$

Sau đó, thiết bị truyền tín hiệu điều chỉnh giá trị J sao cho giá trị này là một số bằng bội số của tích giữa K_{ldpc_b} của mã LDPC và giá trị Z nhỏ nhất. Giả sử rằng trong biểu thức 20 dưới đây, giá trị Z nhỏ nhất bằng 27 và các giá trị Z còn lại là bội số của 27.

$$K' = \lceil J/(27 \times K_{ldpc_b}) \rceil \times 27 \times K_{ldpc\_b} \quad \text{hoặc}$$

$$K' = \lceil J/(Z_{min} \times K_{ldpc_b}) \rceil \times Z_{min} \times K_{ldpc\_b} \quad (20)$$

Trong biểu thức 20 nêu trên, $Z_{min} \times K_{ldpc\_b}$ bằng K_{min}. Biểu thức 19 và biểu thức 20 là quy trình xác định số lượng bit thông tin sẽ áp dụng phương pháp mã hoá LDPC trên đó và quy trình này có thể được coi là giống với quy trình xác định mã LDPC mà trên đó sẽ

thực hiện phương pháp mã hoá. Biểu thức nêu trên được hiểu là nếu độ dài J của khối mã lớn hơn so với giá trị K_{min} và nhỏ hơn so với giá trị $2K_{min}$, thì J/K_{min} là một số nằm trong khoảng từ 1 đến 2, và vì vậy số lượng bit thông tin mà trên đó sẽ thực hiện phương pháp mã hoá được xác định là $K' = 2K_{min}$.

Tuỳ thuộc vào các biểu thức này, thiết bị truyền tín hiệu có thể đệm bit '0' để làm cho độ dài của khối mã đúng bằng số lượng bit từ thông tin của mã LDPC. Do đó, theo sáng chế, số lượng bit K' của từ thông tin để mã hoá LDPC có thể được gọi là độ dài của khối mã hoặc kích thước của khối mã.

Vì vậy, thiết bị truyền tín hiệu có thể tính số lượng bit là các bit '0' được đệm vào dựa vào biểu thức 21 dưới đây. Số lượng bit đệm là bội số của số lượng khối mã (= C) và số lượng bit đầu vào của mã LDPC. Số lượng bit đệm được xác định theo biểu thức 21 dưới đây.

$$F' = K' \times C - B \tag{21}$$

Đây là biểu thức để thu được tổng số bit đệm, và khi số lượng khối mã được nhân với số lượng bit thông tin mà trên đó sẽ thực hiện phương pháp mã hoá LDPC, thì sẽ tính được tổng số bit thông tin. Trong đó, khi lấy kết quả phép nhân này trừ đi số lượng bit đầu vào, thì có thể tính được số lượng bit là các bit 0 sẽ được đệm vào.

Ngoài ra, để phân phối đồng đều các bit đệm trong mỗi khối mã, nếu có thể và làm cho số lượng bit đệm trong các khối mã bằng nhau, thì thiết bị truyền tín hiệu thu được số lượng khối mã để tạo ra số lượng bit đệm $F = \lceil F'/C \rceil$ được xác định theo biểu thức 22 dưới đây.

$$\gamma = F' \bmod C \tag{22}$$

Dưới đây, thiết bị truyền tín hiệu xác định độ dài của các bit đệm trong mỗi khối mã K_r dựa vào các giá trị thu được theo các biểu thức 18, 19, 20, 21 và 22 nêu trên.

(C–γ) khối mã có $\lceil B/C \rceil$ bit đầu vào và $F = \lfloor F'/C \rfloor$ bit đệm. Vì vậy, số lượng bit của khối mã được xác định theo biểu thức 23 dưới đây.

$$K_r = \lceil B/C \rceil + F \quad \text{và} \quad F = \lfloor F'/C \rfloor \tag{23}$$

Thiết bị truyền tín hiệu được tạo cấu hình sao cho (γ) khối mã có $\lfloor B/C \rfloor$ bit đầu vào và $F = \lceil F'/C \rceil$ bit đệm. Vì vậy, số lượng bit của các khối mã được xác định theo biểu thức 24 dưới đây.

$$K_r = \lfloor B/C \rfloor + F \quad \text{và} \quad F = \lceil F'/C \rceil \tag{24}$$

Theo phần mô tả sáng chế trên đây, trường hợp không phân đoạn sẽ là như sau. Số lượng khối mã để xác định số lượng bit đệm được xác định theo biểu thức 25 dưới đây.

$$K' = \lceil B/(27 \times K_{ldpc\_b}) \rceil \times 27 \times K_{ldpc\_b} \tag{25}$$

Số lượng bit đệm F có thể thu được theo biểu thức 26 dưới đây.

$$F = K' - B \tag{26}$$

Số lượng bit của khối mã có bit đệm được xác định theo biểu thức 27 dưới đây.

$$K_r = B + F = K' \tag{27}$$

Quy trình thực hiện phép toán này có thể được biểu diễn bằng cú pháp như sau.

if C = 1,

$K' = \lceil B/(27 \times K_{ldpc\_b}) \rceil \times 27 \times K_{ldpc\_b}$

$F = K' - B$

$K_r = B + F$

else

$J = \lceil B/C \rceil$

$K' = \lceil J/(27 \times K_{ldpc\_b}) \rceil \times 27 \times K_{ldpc\_b}$

$F' = K' \times C - B$

$\gamma = F' \bmod C$

end if

s = 0

for r = 0 to C–1

if $r \leqslant C - \gamma - 1$

$$F = \lfloor F'/C \rfloor$$

$$K_r = \lceil B/C \rceil + F$$

else

$$F = \lceil F'/C \rceil$$

$$K_r = \lfloor B/C \rfloor + F$$

end if

for k = 0 to $K_r - F - 1$

$c_{rk} = b_s$

$s = s + 1$

end for k

Các bit đệm <NULL> sẽ được chèn vào cuối mỗi khối mã

for k = $K_r - F - 1$ to $K_r - 1$

c_{rk} = <NULL>

end for k

end for r

Trong quy trình nêu trên, cần phải lưu ý rằng $27 \times K_{ldpc\_b}$ được thay thế bằng K_{min}.

Như đã nêu trên, khi phân đoạn, tất cả các độ dài của các khối mã có bit đệm đều bằng nhau. Các độ dài của các khối mã đã được phân đoạn có thể bằng nhau để cho các thông số mã hoá và giải mã của các mã LDPC của mỗi khối mã đều bằng nhau, nhờ đó giảm độ phức tạp của phương pháp thực hiện. Ngoài ra, số lượng bit đệm '0' của mỗi khối mã bằng nhau nếu có thể, nhờ đó tạo ra hiệu suất mã hoá cao. Độ chênh lệch về số lượng bit đệm là 1 bit trong quy trình này.

Fig.18 là sơ đồ thể hiện quy trình phân đoạn theo phương án thực hiện sáng chế.

Ngoài ra, các bit đầu vào K_{ldpc} của mã LDPC bằng K_r và kích thước Z của ma trận riêng phần được xác định theo biểu thức 28 dưới đây.

$$Z = \lceil K_{ldpc}/(27 \times K_{ldpc\_b}) \rceil \times 27 \qquad (28)$$

Quy trình phân đoạn được mô tả vắn tắt dưới đây.

Thiết bị truyền tín hiệu xác định số lượng bit đầu vào và sau đó xác định số lượng khối mã dựa vào số lượng bit đầu vào tối đa K_{max} của mã LDPC (hoặc số lượng bit thông tin) có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ lớn nhất cho trước trong hệ thống.

Ngoài ra, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã. Nghĩa là, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào số lượng bit đầu vào tối đa K_{min} (hoặc số lượng bit thông tin) có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ nhỏ nhất cho trước trong hệ thống.

Ngoài ra, thiết bị truyền tín hiệu xác định số lượng bit đệm (hoặc rút gọn) dựa vào kích thước của khối mã. Ngoài ra, thiết bị truyền tín hiệu có thể xác định ma trận kiểm tra chẵn lẻ sẽ thực hiện phương pháp mã hoá LDPC thực tế dựa vào kích thước của khối mã.

Sau đó, thiết bị truyền tín hiệu áp dụng quy trình đệm (hoặc rút gọn) với số lượng bit đúng bằng số lượng bit đệm (hoặc rút gọn) đã xác định để xác định khối mã và sau đó có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ đã xác định.

Phương án thực hiện sáng chế mô tả rằng ma trận kiểm tra chẵn lẻ được xác định dựa vào kích thước của khối mã, nhưng phạm vi của sáng chế không chỉ giới hạn ở phương án đó. Nghĩa là, ma trận kiểm tra chẵn lẻ có thể được xác định dựa vào khoảng số lượng bit đầu vào và phương pháp xác định ma trận kiểm tra chẵn lẻ dựa vào số lượng bit đầu vào cũng có thể được sử dụng.

Quy trình phân đoạn dựa vào bảng 21 nêu trên và các biểu thức nêu trên, từ biểu thức 18 đến biểu thức 28, có thể được áp dụng khi số lượng bit của từ mã LDPC hoặc số lượng bit từ thông tin của mã LDPC được tăng theo mức tăng định trước. Ví dụ, khi mã LDPC mà trên đó quy trình phân đoạn dựa vào bảng 21 nêu trên và các biểu thức nêu trên, từ biểu thức 18 đến biểu thức 28, được áp dụng, số lượng bit từ mã trong số ba bit từ mã hoặc số lượng bit thông tin được cho trước, thì số lượng bit từ mã liên tục tăng với mức tăng bằng 648, ví dụ như 648, 1296, và 1944, và số lượng bit của từ thông tin liên tục tăng với mức tăng bằng K_{min}, ví dụ như K_{min}, $2*K_{min}$, và $3*K_{min}$ ($= K_{max}$) dựa vào tỷ lệ mã.

Khi số lượng bit thông tin cho trước của các mã LDPC được tăng với mức tăng định trước, ví dụ như K_{min}, thì phương pháp xác định ma trận kiểm tra chẵn lẻ của mã LDPC dựa vào K_{min} trong quy trình phân đoạn được đơn giản hoá theo biểu thức 20 nêu trên. Nghĩa là, có thể hiểu rằng phương pháp xác định ma trận kiểm tra chẵn lẻ được xác định bằng cách sử dụng kích thước bằng khối mã lớn nhất được xác định dựa vào biểu thức 19 hoặc biểu thức 20 nêu trên.

Sau đó, khi số lượng bit cho trước của từ mã LDPC hoặc số lượng bit từ thông tin của mã LDPC không tăng với mức tăng định trước, thì quy trình phân đoạn sẽ được thực hiện như được mô tả theo phương án dưới đây.

Trước hết, khi số lượng bit đầu vào là B, và B lớn hơn so với K_{max} là giá trị định trước, thì quy trình phân đoạn được thực hiện theo cách tương tự. Phương án trong đó quy trình phân đoạn được thực hiện dựa vào số lượng bit đầu vào tối đa của mã LDPC sẽ được mô tả dưới đây.

Trước hết, theo phương án thực hiện sáng chế, số lượng bit đầu vào tối đa K_{max} của mã LDPC và số lượng bit của từ thông tin của mã LDPC nhỏ nhất như được xác định trong bảng 22 dưới đây.

Bảng 22

Tỷ lệ mã	K_{max}	K_{min}
5/6	6480	540
3/4	5832	486
2/3	5184	432
1/2	3888	324
1/3	1620	540

Để cho dễ hiểu, số lượng bit thông tin tối đa có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng các ma trận kiểm tra chẵn lẻ của mỗi mã LDPC cho trước trong hệ thống được đặt bằng bốn, ví dụ như K_{min}, $2\times K_{min}$, $3\times K_{min}$, và K_{max}. Nghĩa là, vì có bốn mã LDPC cho trước và K_{max} bằng $12\times K_{min}$, cho nên có thể thấy rằng số lượng bit không tăng với mức tăng định trước. Theo phương án khác để thực hiện sáng chế, số lượng bit thông tin của từ mã LDPC cũng có thể được thiết lập, ví dụ như K_{min}, $2*K_{min}$, $3*K_{min}$,

$4*K_{min}$, $5*K_{min}$, và $7*K_{min}$ ($=K_{max}$).

Như vậy, bảng 22 nêu trên, trong đó K_{max} được đặt bằng $12\times K_{min}$, chỉ là một ví dụ và K_{max} có thể được thiết lập dựa vào K_{min}.

Khi số lượng khối mã đã được phân đoạn được ký hiệu là C, thì giá trị C có thể được biểu diễn như trong biểu thức 18 nêu trên. Trong biểu thức 18 nêu trên, giá trị K_{max} biểu thị số lượng bit đầu vào tối đa của mã LDPC để dùng làm giá trị tương ứng với trường hợp giá trị Z của mã LDPC là giá trị lớn nhất.

Khi các bit đầu ra của bộ phận phân đoạn khối mã được ký hiệu là C_{r0}, C_{r1}, C_{r2}, C_{r3}, …, $C_{r(K_r-1)}$, thì r biểu thị khối mã thứ r, và K_r biểu thị số lượng bit của khối mã thứ r.

Thiết bị truyền tín hiệu có thể thu được giá trị J theo biểu thức 19 nêu trên dựa vào số lượng bit đầu vào B và giá trị C trong biểu thức 18 nêu trên. Giá trị J là giá trị tạm thời để thu được độ dài của khối mã trước khi chèn bit đệm, giá trị này có thể được gọi là kích thước của khối mã chưa tính bit đệm như đã nêu trên.

Sau đó, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã, xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã, và thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ.

Quy trình phân đoạn trong các điều kiện nêu trên được mô tả vắn tắt dưới đây.

Thiết bị truyền tín hiệu xác định số lượng bit đầu vào và sau đó xác định số lượng khối mã dựa vào số lượng bit đầu vào tối đa K_{max} của mã LDPC (hoặc số lượng bit thông tin) có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ lớn nhất cho trước trong hệ thống.

Ngoài ra, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã. Nghĩa là, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào số lượng bit đầu vào tối đa K_{min} (hoặc số lượng bit thông tin) có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ nhỏ nhất cho trước trong hệ thống.

Ngoài ra, thiết bị truyền tín hiệu xác định số lượng bit đệm (hoặc rút gọn) dựa vào kích thước của khối mã. Ngoài ra, thiết bị truyền tín hiệu có thể xác định ma trận kiểm tra

chẵn lẻ sẽ thực hiện phương pháp mã hoá LDPC thực tế dựa vào kích thước của khối mã.

Sau đó, thiết bị truyền tín hiệu có thể áp dụng quy trình đệm (hoặc rút gọn) với số lượng bit đúng bằng số lượng bit đệm (hoặc rút gọn) đã xác định để xác định khối mã và sau đó có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ đã xác định.

Tuy nhiên, như đã nêu trên, ma trận kiểm tra chẵn lẻ có thể được xác định dựa vào khoảng số lượng bit đầu vào và phương pháp xác định ma trận kiểm tra chẵn lẻ dựa vào số lượng bit đầu vào cũng có thể được sử dụng.

Tuy nhiên, có thể hiểu rằng phương pháp xác định ma trận kiểm tra chẵn lẻ của mã LDPC dựa vào kích thước của khối mã trong quy trình phân đoạn cần phải được thực hiện theo nhiều phương pháp xác định khác nhau dựa vào khoảng giá trị J là kích thước của khối mã chưa tính số lượng bit đệm, khác với quy trình phân đoạn nêu trên. Ví dụ, trong trường hợp làm ví dụ trong đó số lượng bit thông tin của từ mã LDPC được đặt bằng K_{min}, $2*K_{min}$, $3*K_{min}$, $5*K_{min}$ ($= K_{max}$), phương pháp xác định K' có thể là khác nhau phụ thuộc vào trường hợp giá trị J lớn hơn hay không lớn hơn $3*K_{min}$.

Tức là, số lượng bit thông tin tối đa có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng các ma trận kiểm tra chẵn lẻ của mỗi mã LDPC cho trước trong hệ thống không được tăng đều đặn, và khi mức tăng thoả mãn điều kiện định trước, thì có thể hiểu rằng có ít nhất hai phương pháp khác nhau để xác định K' hoặc ma trận kiểm tra chẵn lẻ dựa vào mức tăng của giá trị J là kích thước của khối mã lớn nhất.

Cụ thể, khi số lượng khối mã bằng 1, thì thiết bị truyền tín hiệu có thể xác định K' bằng cách sử dụng phương pháp nêu trên nếu số lượng bit đầu vào nhỏ hơn so với $3K_{min}$. Mặt khác, nếu số lượng bit đầu vào lớn hơn so với $3K_{min}$, thì K' có thể được xác định là bằng K_{max}. Vì vậy, trong trường hợp như vậy, thiết bị truyền tín hiệu có thể thực hiện quy trình đệm bit 0 vào tất cả các bit còn lại, ngoài số lượng bit đầu vào bằng K_{max}.

Mặt khác, khi số lượng khối mã bằng hai, thì có thể sử dụng các phương pháp khác nhau để xác định ma trận kiểm tra chẵn lẻ dựa vào khoảng giá trị J là kích thước của khối mã chưa tính số lượng bit đệm.

Khi giá trị J nhỏ hơn so với $3\times K_{min}$, thì thiết bị truyền tín hiệu có thể xác định số

lượng bit thông tin K' mà trên đó sẽ thực hiện phương pháp mã hoá LDPC dựa vào biểu thức $\lceil J/(K_{\min})\rceil \times K_{\min}$. Phương pháp xác định số lượng bit thông tin này đã được mô tả chi tiết trên đây.

Mặt khác, khi giá trị J lớn hơn so với $3\times K_{min}$, thì như đã nêu trên, K' có thể được xác định là bằng K_{max}. Quy trình phân đoạn có thể được biểu diễn bằng cú pháp như sau.

if C = 1,

if B $\leqslant$ $3K_{min}$

$K_0 = \lceil B/K_{\min}\rceil \cdot K_{\min}$

else

$K_0 = K_{max}$

$F_0 = K_0 - B$

else

$J = \lceil B/C\rceil$

if J $\leqslant$ $3K_{min}$

$K = \lceil J/K_{\min}\rceil \cdot K_{\min}$

else

$K = K_{max}$

$F = K\cdot C - B$

$\gamma = F \bmod C$

for r = 0 to C–1

if r $\leqslant$ C–γ–1

$F_r = \lfloor F/C\rfloor$

$K_r = \lceil B/C\rceil + F_r$

else

$F_r = \lceil F/C\rceil$

$K_r = \lfloor B/C \rfloor + F_r$

end if

end for r

end if

s = 0

for r = 0 to C–1

for k = 0 to $K_r - F - 1$,

$c_{rk} = b_s$

s = s +1

end for k

Các bit đệm <NULL> sẽ được chèn vào cuối mỗi khối mã

for k = $K_r - F - 1$ to $K_r - 1$,

c_{rk} = <NULL>

end for k

end for r

Tuy nhiên, theo phương án thực hiện sáng chế nêu trên, quy trình dưới đây có thể được bỏ qua tuỳ thuộc vào giá trị của K_{max}.

if J $\leqslant$ $3K_{min}$

$K = \lceil J/K_{min} \rceil \cdot K_{min}$

else

Ví dụ, mỗi bit trong số số lượng bit thông tin tối đa có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ của mỗi mã LDPC cho trước trong hệ thống được đặt bằng bốn, ví dụ như K_{min}, $2\times K_{min}$, $3\times K_{min}$, và $12\times K_{min}$ (= K_{max}). Sau đó, khi B > $12\times K_{min}$ được thiết lập, thì C > 1. Trong trường hợp như vậy, rõ ràng là B/C luôn luôn bằng hoặc lớn hơn $6\times K_{min}$. Vì vậy, quy trình phân đoạn này không cần phải xem xét trường hợp giá trị J nhỏ hơn so với $3\times K_{min}$.

Một quy trình phân đoạn khác dựa vào khoảng giá trị J sẽ được mô tả dưới đây.

Fig.19 là sơ đồ thể hiện một quy trình phân đoạn khác theo phương án thực hiện sáng chế.

Khác với quy trình phân đoạn nêu trên, Fig.19 thể hiện quy trình thực hiện phương pháp mã hoá LDPC dựa vào khoảng giá trị J mà không cần xác định xem số lượng khối mã có lớn hơn 1 hay không.

Dựa vào Fig.19, thiết bị truyền tín hiệu có thể xác định số lượng khối mã ở bước S1910. Như đã nêu trên, thiết bị truyền tín hiệu có thể xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit đầu vào tối đa K_{max} của mã LDPC (hoặc số lượng bit thông tin).

Ngoài ra, thiết bị truyền tín hiệu có thể xác định J là giá trị tạm thời cho kích thước của khối mã trước khi chèn bit đệm ở bước S1920. Trong trường hợp như vậy, khi số lượng khối mã bằng 1, thì số lượng bit đầu vào có thể bằng J. Quy trình xác định J là quy trình giống với quy trình nêu trên và sẽ không được mô tả dưới đây.

Ngoài ra, thiết bị truyền tín hiệu có thể xác định xem có phải là giá trị J nhỏ hơn hoặc bằng giá trị chuẩn hay không ở bước S1930. Khi đó, giá trị chuẩn có thể là số lượng bit đầu vào lớn nhất thứ hai của mã LDPC.

Nếu giá trị J nhỏ hơn hoặc bằng giá trị chuẩn, thì thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ nhất ở bước S1940.

Khi đó, quy tắc thứ nhất có thể là phương pháp xác định kích thước của khối mã bằng cách sử dụng biểu thức $\lceil J/K_{\min} \rceil \cdot K_{\min}$.

Mặt khác, nếu giá trị J lớn hơn giá trị chuẩn, thì thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ hai ở bước S1950. Khi đó, quy tắc thứ hai là phương pháp xác định K_{max} là kích thước của khối mã.

Trong trường hợp như vậy, các bước S1940 và S1950 có thể được thay thế bằng quy trình xác định ma trận kiểm tra chẵn lẻ để thực hiện phương pháp LDPC hoặc ma trận số mũ hoặc chuỗi tương ứng với ma trận số mũ.

Xét một ví dụ đối với các bước S1940 và S1950, số lượng bit thông tin của từ mã LDPC được đặt bằng K_{min}, $2*K_{min}$, $3*K_{min}$, $4*K_{min}$, $5*K_{min}$, và $7*K_{min}$ ($= K_{max}$), giá trị chuẩn có thể bằng $5K_{min}$. Vì vậy, khi số lượng bit đầu vào bằng $9K_{min}$, thì J bằng $4{,}5K_{min}$, và giá trị J này nhỏ hơn so với $5K_{min}$, và vì vậy thiết bị truyền tín hiệu có thể xác định

kích thước của khối mã dựa vào quy tắc thứ nhất. Mặt khác, khi số lượng bit đầu vào bằng $12K_{min}$, thì J bằng $6K_{min}$, và giá trị J này lớn hơn so với $5K_{min}$, và vì vậy thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ hai.

Xét một ví dụ khác, số lượng bit thông tin của từ mã LDPC được đặt bằng K_{min}, $2*K_{min}$, $3*K_{min}$, và $12*K_{min}$ ($=K_{max}$), giá trị chuẩn có thể bằng $3K_{min}$. Nếu số lượng bit đầu vào bằng $14K_{min}$, thì J bằng $7K_{min}$, và giá trị J này lớn hơn so với $3K_{min}$, và vì vậy thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ hai.

Mặt khác, khi số lượng bit đầu vào bằng $2,5K_{min}$, thì số lượng khối mã bằng 1, và vì vậy J bằng $2,5K_{min}$, và thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ nhất.

Sau đó, thiết bị truyền tín hiệu có thể xác định số lượng bit đệm dựa vào kích thước của khối mã ở bước S1960.

Ngoài ra, thiết bị truyền tín hiệu có thể tạo cấu hình cho khối mã ở bước S1970 và thực hiện phương pháp mã hoá LDPC ở bước S1980. Khi đó, thiết bị truyền tín hiệu có thể sử dụng ma trận kiểm tra chẵn lẻ được xác định dựa vào kích thước của khối mã để thực hiện phương pháp mã hoá LDPC.

Tuy nhiên, khi số lượng bit thông tin của từ mã LDPC được tăng với mức tăng định trước, thì các bước S1930 và S1950 có thể được bỏ qua.

Fig.20 là sơ đồ thể hiện một quy trình phân đoạn khác theo phương án thực hiện sáng chế.

Khác với Fig.19, trên Fig.20, thiết bị truyền tín hiệu cần xác định xem có phải là số lượng khối mã lớn hơn 1 hay không. Tuy nhiên, phương pháp này có thể được áp dụng cho trường hợp trong đó K_{max} lớn gấp hai lần giá trị chuẩn. Khi đó, giá trị chuẩn có thể là số lượng bit đầu vào lớn nhất thứ hai của mã LDPC.

Dựa vào Fig.20, thiết bị truyền tín hiệu có thể xác định số lượng khối mã ở bước S2010. Như đã nêu trên, thiết bị truyền tín hiệu có thể xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit đầu vào tối đa K_{max} của mã LDPC (hoặc số lượng bit thông tin).

Ngoài ra, ở bước S2020, thiết bị truyền tín hiệu có thể xác định xem có phải là số

lượng khối mã bằng 1 hay không.

Khi số lượng khối mã không phải là bằng 1, thì ở bước S2030, thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ hai. Nghĩa là, thiết bị truyền tín hiệu có thể xác định K_{max} là kích thước của khối mã.

Sở dĩ như vậy là vì khi K_{max} bằng hoặc lớn hơn hai lần giá trị chuẩn và số lượng khối mã bằng hoặc lớn hơn 2, thì sẽ không có trường hợp độ dài của khối mã nhỏ hơn so với giá trị chuẩn. Ví dụ, khi số lượng bit thông tin của từ mã LDPC được đặt bằng K_{min}, $2*K_{min}$, $3*K_{min}$, và $12*K_{min}$ ($= K_{max}$), muốn cho số lượng khối mã bằng hoặc lớn hơn 2, thì số lượng bit đầu vào cần phải lớn hơn $12K_{min}$. Trong trường hợp như vậy, giá trị J lớn hơn $6K_{min}$, và vì vậy kích thước của khối mã cũng có thể được xác định là bằng K_{max}.

Mặt khác, khi số lượng khối mã bằng 1, thì ở bước S2040, thiết bị truyền tín hiệu có thể xác định xem có phải là giá trị J nhỏ hơn hoặc bằng giá trị chuẩn hay không. Giá trị J là giá trị tạm thời cho kích thước của khối mã trước khi chèn bit đệm, và số lượng khối mã bằng 1, và vì vậy số lượng bit đầu vào có thể bằng J. Quy trình xác định J là quy trình giống với quy trình nêu trên và sẽ không được mô tả dưới đây.

Nếu giá trị J nhỏ hơn hoặc bằng giá trị chuẩn, thì thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ nhất ở bước S2060.

Khi đó, quy tắc thứ nhất có thể là phương pháp xác định kích thước của khối mã bằng cách sử dụng biểu thức $\lceil J/K_{\min} \rceil \cdot K_{\min}$.

Mặt khác, nếu giá trị J lớn hơn giá trị chuẩn, thì thiết bị truyền tín hiệu có thể xác định kích thước của khối mã dựa vào quy tắc thứ hai ở bước S2050. Khi đó, quy tắc thứ hai là phương pháp xác định K_{max} là kích thước của khối mã.

Trong trường hợp như vậy, các bước S2030, S2050, và S2060 có thể được thay thế bằng quy trình xác định ma trận kiểm tra chẵn lẻ để thực hiện phương pháp LDPC hoặc ma trận số mũ hoặc chuỗi tương ứng với ma trận số mũ.

Xét một ví dụ khác đối với các bước S2050 và S2060, số lượng bit thông tin của từ mã LDPC được đặt bằng K_{min}, $2*K_{min}$, $3*K_{min}$, và $12*K_{min}$ ($= K_{max}$), giá trị chuẩn có thể bằng $3K_{min}$. Nếu số lượng bit đầu vào bằng $6K_{min}$, thì J bằng $6K_{min}$, và giá trị J này lớn

hơn $3K_{min}$, và vì vậy thiết bị truyền tín hiệu có thể xác định kích thước của khối mã bằng $12K_{min}$ dựa vào quy tắc thứ hai. Mặt khác, khi số lượng bit đầu vào bằng $2,5K_{min}$, thì J bằng $2,5K_{min}$, và thiết bị truyền tín hiệu có thể xác định kích thước của khối mã bằng $3K_{min}$ dựa vào quy tắc thứ nhất.

Sau đó, thiết bị truyền tín hiệu có thể xác định số lượng bit đệm dựa vào kích thước của khối mã ở bước S2070.

Ngoài ra, thiết bị truyền tín hiệu có thể tạo cấu hình cho khối mã ở bước S2080 và thực hiện phương pháp mã hoá LDPC ở bước S2090. Khi đó, thiết bị truyền tín hiệu có thể sử dụng ma trận kiểm tra chẵn lẻ được xác định dựa vào kích thước của khối mã để thực hiện phương pháp mã hoá LDPC.

Quy trình giải mã có thể được thực hiện theo quy trình đảo ngược của quy trình mã hoá. Ví dụ, trước hết, thiết bị thu tín hiệu xác định số lượng bit đầu vào trước khi quy trình phân đoạn được áp dụng từ tín hiệu thu được bằng thiết bị thu tín hiệu. Các bit đầu vào không được phân đoạn được áp dụng dựa vào hệ thống được gọi là khối vận chuyển (hoặc khối truyền). Sau đó, thiết bị thu tín hiệu có thể xác định kích thước của khối mã. Khi đó, thiết bị thu tín hiệu có thể xác định kích thước của khối mã dựa vào số lượng bit đầu vào tối đa K_{min} (hoặc số lượng bit thông tin) có thể thực hiện phương pháp mã hoá bằng cách sử dụng ma trận kiểm tra chẵn lẻ nhỏ nhất cho trước trong hệ thống.

Ngoài ra, thiết bị thu tín hiệu xác định số lượng bit đệm (hoặc rút gọn) dựa vào kích thước của khối mã. Ma trận kiểm tra chẵn lẻ để thực hiện phương pháp mã hoá LDPC cũng có thể được xác định dựa vào kích thước của khối mã, nhưng ma trận này cũng có thể được xác định dựa vào kích thước bằng khối vận chuyển. Nghĩa là, ma trận kiểm tra chẵn lẻ sẽ được sử dụng có thể được xác định dựa vào số lượng bit đầu vào trước khi quy trình phân đoạn được áp dụng, và ma trận kiểm tra chẵn lẻ có thể được xác định dựa vào số lượng bit đầu vào trước khi quy trình phân đoạn được áp dụng.

Ngoài ra, thông thường, tín hiệu thu được chứa thông tin về sơ đồ MCS để truyền và thông tin về kích thước tài nguyên hệ thống cho trước, và vì vậy ma trận kiểm tra chẵn lẻ cũng có thể được xác định ngay cả khi dựa vào thông tin về kích thước tài nguyên hệ thống.

Nếu ma trận kiểm tra chẵn lẻ được xác định, thì quy trình đệm (hoặc rút gọn) được áp dụng với số lần đúng bằng số lượng bit đệm (hoặc rút gọn) đã xác định để xác định khối mã để thực hiện phương pháp giải mã LDPC và tổng số bit mã hoá để truyền một khối mã được xác định dựa vào thông tin về sơ đồ MCS và/hoặc thông tin về kích thước tài nguyên hệ thống và kích thước đã xác định của khối mã để thực hiện phương pháp giải mã.

Trong khi đó, ma trận kiểm tra chẵn lẻ được đề xuất theo sáng chế có thể được biểu diễn bằng các ma trận hoặc chuỗi khác tạo ra kết quả toán học giống nhau. Nghĩa là, ma trận hoặc chuỗi được thay đổi bằng phép tính sử dụng các đặc trưng của một ma trận trong ma trận kiểm tra chẵn lẻ được đề xuất theo sáng chế có thể được xác định là ma trận giống như ma trận được đề xuất theo sáng chế. Các bit đầu vào của bộ phận so khớp tỷ lệ 440 là $C = (i_0, i_1, i_2, \ldots, i_{K_{ldpc}-1}, p_0, p_1, p_2, \ldots, p_{N_{ldpc}-K_{ldpc}-1})$ chính là các bit đầu ra của bộ mã hoá LDPC 430. Và i_k ($0 \leq k < K_{ldpc}$) là các bit đầu vào của bộ mã hoá LDPC 430 và p_k ($0 \leq k < N_{ldpc}-K_{ldpc}$) là các bit chẵn lẻ của mã LDPC. Bộ phận so khớp tỷ lệ 440 có bộ đan xen 441 và bộ phận đục lỗ/lặp lại/loại bỏ bit không 442.

Bộ điều biến 450 điều biến chuỗi bit được xuất ra từ bộ phận so khớp tỷ lệ 440 và truyền chuỗi bit đã điều biến đến thiết bị thu tín hiệu (ví dụ thiết bị thu tín hiệu 500 trên Fig.5).

Cụ thể, bộ điều biến 450 có thể phân kênh các bit được xuất ra từ bộ phận so khớp tỷ lệ 440 và ánh xạ các bit đã phân kênh lên chòm điểm.

Tức là, bộ điều biến 450 có thể thực hiện phép biến đổi nối tiếp-song song trên các bit được xuất ra từ bộ phận so khớp tỷ lệ 440 và tạo ra một ô có số lượng bit định trước. Trong đó, số lượng bit tạo nên mỗi ô có thể bằng số lượng bit tạo nên các ký hiệu điều biến được ánh xạ lên chòm điểm.

Sau đó, bộ điều biến 450 có thể ánh xạ các bit đã phân kênh lên chòm điểm. Nghĩa là, bộ điều biến 450 có thể điều biến các bit đã phân kênh bằng cách sử dụng nhiều sơ đồ điều biến khác nhau như sơ đồ điều biến dịch pha vuông góc (Quadrature Phase Shifting Keying, QPSK), sơ đồ điều biến biên độ vuông góc có 16 điểm (16-Quadrature Amplitude Modulation, 16-QAM), sơ đồ điều biến biên độ vuông góc có 64 điểm

(64-Quadrature Amplitude Modulation, 64-QAM), sơ đồ điều biến biên độ vuông góc có 256 điểm (256-Quadrature Amplitude Modulation, 256-QAM), sơ đồ điều biến biên độ vuông góc có 1024 điểm (1024-Quadrature Amplitude Modulation, 1024-QAM), và sơ đồ điều biến biên độ vuông góc có 4096 điểm (4096-Quadrature Amplitude Modulation, 4096-QAM) để tạo ra các ký hiệu điều biến và ánh xạ các ký hiệu điều biến đã tạo ra lên các điểm trong chòm điểm. Trong trường hợp như vậy, các bit đã phân kênh tạo nên ô là các bit tương ứng với số lượng ký hiệu điều biến, và vì vậy mỗi ô có thể được ánh xạ tuần tự lên các điểm trong chòm điểm.

Ngoài ra, bộ điều biến 450 có thể điều biến tín hiệu được ánh xạ lên chòm điểm và truyền tín hiệu đã điều biến đến thiết bị thu tín hiệu 500. Ví dụ, bộ điều biến 450 có thể ánh xạ tín hiệu đã được ánh xạ lên chòm điểm vào một khung dồn kênh phân tần trực giao (Orthogonal Frequency Division Multiplexing, OFDM) bằng cách sử dụng sơ đồ OFDM và truyền tín hiệu đã được ánh xạ đến thiết bị thu tín hiệu 500 qua một kênh đã được phân định.

Tuy nhiên, thiết bị truyền tín hiệu 400 có thể lưu trữ từ trước nhiều thông số dùng để mã hoá, đan xen, và điều biến. Trong đó, các thông số dùng để mã hoá có thể là thông tin về tỷ lệ mã của mã LDPC, độ dài của từ mã, và ma trận kiểm tra chẵn lẻ. Ngoài ra, các thông số dùng để đan xen có thể là thông tin về quy tắc đan xen và các thông số dùng để điều biến có thể là thông tin về sơ đồ điều biến. Ngoài ra, thông tin về sơ đồ đục lỗ có thể là độ dài đục lỗ. Ngoài ra, thông tin về sơ đồ lặp lại có thể là độ dài lặp lại. Thông tin về ma trận kiểm tra chẵn lẻ có thể lưu trữ giá trị số mũ của ma trận luân hoàn dựa vào các biểu thức nêu trên, biểu thức 3 và biểu thức 4, khi sử dụng ma trận chẵn lẻ được đề xuất theo sáng chế.

Trong trường hợp như vậy, mỗi bộ phận cấu thành của thiết bị truyền tín hiệu 400 có thể thực hiện các thao tác bằng cách sử dụng các thông số nêu trên.

Tuy nhiên, mặc dù không được thể hiện trên hình vẽ, nhưng trong một số trường hợp, thiết bị truyền tín hiệu 400 có thể còn có bộ điều khiển (ít nhất một bộ xử lý) (không được thể hiện trên hình vẽ) để điều khiển hoạt động của thiết bị truyền tín hiệu 400.

Fig.8 là sơ đồ khối thể hiện cấu hình của thiết bị mã hoá theo phương án thực hiện sáng chế. Trong trường hợp như vậy, thiết bị mã hoá 800 có thể thực hiện phương pháp

mã hoá LDPC.

Dựa vào Fig.8, thiết bị mã hoá 800 có bộ mã hoá LDPC 810. Bộ mã hoá LDPC 810 có thể thực hiện phương pháp mã hoá LDPC trên các bit đầu vào dựa vào ma trận kiểm tra chẵn lẻ để tạo ra từ mã LDPC.

K_{ldpc} bit có thể tạo nên K_{ldpc} bit từ thông tin LDPC $I = (i_0, i_1, \ldots, i_{K_{ldpc}-1})$ dùng cho bộ mã hoá LDPC 810. Bộ mã hoá LDPC 810 có thể thực hiện phương pháp mã hoá LDPC một cách có hệ thống trên K_{ldpc} bit từ thông tin LDPC để tạo ra từ mã LDPC $\Lambda = (c_0, c_1, \ldots, c_{N_{ldpc}-1}) = (i_0, i_1, \ldots, i_{K_{ldpc}-1}, p_0, p_1, \ldots, p_{N_{ldpc}-K_{ldpc}-1})$ có N_{ldpc} bit. Quy trình tạo ra từ mã này là quy trình xác định từ mã như được biểu thị bằng biểu thức 1 nêu trên, tích của từ mã LDPC với ma trận kiểm tra chẵn lẻ là một vectơ không. Ma trận kiểm tra chẵn lẻ theo sáng chế có thể có cấu trúc giống với ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.3.

Trong trường hợp như vậy, bộ mã hoá LDPC 810 có thể sử dụng ma trận kiểm tra chẵn lẻ được xác định khác nhau tuỳ theo tỷ lệ mã (tức là, tỷ lệ mã của mã LDPC) để thực hiện phương pháp mã hoá LDPC.

Ví dụ, bộ mã hoá LDPC 810 có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định bằng ma trận số mũ như được thể hiện trong bảng 1 trên đây khi tỷ lệ mã bằng 8/9, và có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định bằng ma trận số mũ như được thể hiện trong bảng 2 trên đây khi tỷ lệ mã bằng 2/3. Ngoài ra, bộ mã hoá LDPC 810 có thể thực hiện phương pháp mã hoá LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định bằng ma trận số mũ bảng như được thể hiện trong bảng 3 trên đây khi tỷ lệ mã bằng 4/9.

Trong đó, quy trình thực hiện phương pháp mã hoá LDPC đã được mô tả chi tiết, và vì vậy ở đây sẽ không mô tả lại nữa.

Tuy nhiên, thiết bị mã hoá 800 có thể còn có bộ nhớ (không được thể hiện trên hình vẽ) để lưu trữ trước các thông tin về tỷ lệ mã của mã LDPC, độ dài của từ mã, và ma trận kiểm tra chẵn lẻ, và bộ mã hoá LDPC 810 có thể sử dụng các thông tin này để thực hiện phương pháp mã hoá LDPC. Thông tin về ma trận kiểm tra chẵn lẻ có thể bao gồm thông

tin về giá trị số mũ của ma trận luân hoàn khi sử dụng ma trận chẵn lẻ được đề xuất theo sáng chế.

Hoạt động của thiết bị thu tín hiệu sẽ được mô tả chi tiết dưới đây dựa vào Fig.5.

Bộ giải điều biến 510 giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 400.

Cụ thể, bộ giải điều biến 510 là bộ phận tương ứng với bộ điều biến 400 trong thiết bị truyền tín hiệu 400 trên Fig.4 và có thể giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 400 và tạo ra các giá trị tương ứng với các bit được truyền từ thiết bị truyền tín hiệu 400.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về sơ đồ điều biến để điều biến tín hiệu theo chế độ như ở thiết bị truyền tín hiệu 400. Vì vậy, bộ giải điều biến 510 có thể giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 400 theo chế độ này để tạo ra các giá trị tương ứng với các bit từ mã LDPC.

Trong đó, các giá trị tương ứng với các bit được truyền từ thiết bị truyền tín hiệu 400 có thể là giá trị tỷ số hợp lý dạng loga (Log Likelihood Ratio, LLR). Cụ thể, giá trị LLR có thể được biểu diễn bằng một giá trị thu được khi áp dụng hàm loga cho tỷ số giữa xác suất xảy ra trường hợp bit được truyền từ thiết bị truyền tín hiệu 300 có giá trị bằng 0 và xác suất xảy ra trường hợp bit được truyền từ thiết bị truyền tín hiệu 300 có giá trị bằng 1. Theo cách khác, giá trị LLR có thể chính là giá trị bit đó, và giá trị LLR có thể là giá trị biểu diễn được xác định dựa vào phần có xác suất xảy ra trường hợp bit được truyền từ thiết bị truyền tín hiệu 300 có giá trị bằng 0 và xác suất xảy ra trường hợp bit được truyền từ thiết bị truyền tín hiệu 300 có giá trị bằng 1.

Dựa vào Fig.5, bộ giải điều biến 510 có quy trình thực hiện thao tác dồn kênh (không được thể hiện trên hình vẽ) trên giá trị LLR. Cụ thể, bộ giải điều biến 510 là bộ phận tương ứng với bộ phân kênh theo đơn vị bit (không được thể hiện trên hình vẽ) trong thiết bị truyền tín hiệu 400, và có thể thực hiện thao tác tương ứng với thao tác của bộ phân kênh theo đơn vị bit (không được thể hiện trên hình vẽ).

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện thao tác phân kênh và đan xen khối. Vì vậy, bộ dồn kênh (không được thể hiện trên hình vẽ) có thể thực hiện

việc đảo ngược các thao tác phân kênh và đan xen khối được thực hiện bằng bộ phân kênh theo đơn vị bit (không được thể hiện trên hình vẽ) trên giá trị LLR tương ứng với từ ô để dồn kênh giá trị LLR tương ứng với từ ô theo đơn vị bit.

Bộ phận khử so khớp tỷ lệ 520 có thể chèn giá trị LLR vào giá trị LLR được xuất ra từ bộ giải điều biến 510. Trong trường hợp như vậy, bộ phận khử so khớp tỷ lệ 520 có thể chèn các giá trị LLR đã được dự báo trước ở giữa các giá trị LLR được xuất ra từ bộ giải điều biến 510.

Cụ thể, bộ phận khử so khớp tỷ lệ 520 là bộ phận tương ứng với bộ phận so khớp tỷ lệ 440 trong thiết bị truyền tín hiệu 400 (được thể hiện trên Fig.4) và có thể thực hiện các thao tác tương ứng với các thao tác của bộ đan xen 441 và bộ phận đục lỗ/lặp lại/loại bỏ bit không 442.

Trước hết, bộ phận khử so khớp tỷ lệ 520 thực hiện thao tác khử đan xen 524 tương ứng với bộ đan xen 441 trong thiết bị truyền tín hiệu. Các giá trị đầu ra của bộ khử đan xen 524 có thể chèn các giá trị LLR tương ứng với các bit không vào vị trí để đệm các bit không vào từ mã LDPC. Trong trường hợp như vậy, các giá trị LLR tương ứng với các bit không được đệm vào, tức là, các bit không được rút gọn có thể bằng ∞ hoặc $-\infty$. Tuy nhiên, ∞ hoặc $-\infty$ là giá trị lý thuyết, nhưng trên thực tế đó có thể là giá trị tối đa hoặc giá trị tối thiểu của giá trị LLR được dùng trong thiết bị thu tín hiệu 500.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để đệm các bit không. Vì vậy, bộ phận khử so khớp tỷ lệ 520 có thể xác định các vị trí để đệm các các bit không vào từ mã LDPC và chèn các giá trị LLR tương ứng với các bit không được rút gọn vào các vị trí tương ứng.

Ngoài ra, bộ phận chèn LLR 522 trong bộ phận khử so khớp tỷ lệ 520 có thể chèn các giá trị LLR tương ứng với các bit được đục lỗ vào các vị trí của các bit được đục lỗ trong từ mã LDPC. Trong trường hợp như vậy, các giá trị LLR tương ứng với các bit được đục lỗ có thể bằng 0.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện thao tác đục lỗ. Vì vậy,

bộ phận chèn LLR 522 có thể chèn giá trị LLR tương ứng vào các vị trí mà ở đó các bit chẵn lẻ LDPC được đục lỗ.

Bộ phận kết hợp LLR 523 có thể kết hợp, tức là, cộng các giá trị LLR được xuất ra từ bộ phận chèn LLR 522 và bộ giải điều biến 510. Cụ thể, bộ phận kết hợp LLR 523 là bộ phận tương ứng với bộ phận đục lỗ/lặp lại/loại bỏ bit không 442 trong thiết bị truyền tín hiệu 400 và có thể thực hiện thao tác tương ứng với thao tác của bộ phận đục lỗ/lặp lại/loại bỏ bit không 442. Trước hết, bộ phận kết hợp LLR 523 có thể kết hợp các giá trị LLR tương ứng với các bit lặp lại với các giá trị LLR khác. Trong đó, các giá trị LLR khác có thể là các bit làm cơ sở để tạo ra các bit lặp lại bằng thiết bị truyền tín hiệu 400, tức là, các giá trị LLR của các bit chẵn lẻ LDPC được chọn làm đối tượng lặp lại.

Tức là, như đã nêu trên, thiết bị truyền tín hiệu 400 chọn các bit trong số các bit chẵn lẻ LDPC và lặp lại các bit đã chọn ở giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC và truyền các bit lặp lại này thiết bị thu tín hiệu 500.

Do đó, các giá trị LLR của các bit chẵn lẻ LDPC có thể gồm có các giá trị LLR của các bit chẵn lẻ LDPC lặp lại và các giá trị LLR của các bit chẵn lẻ LDPC không lặp lại, tức là, các bit chẵn lẻ LDPC được tạo ra bằng phương pháp mã hoá. Vì vậy, bộ phận kết hợp LLR 523 có thể kết hợp các giá trị LLR với các bit chẵn lẻ LDPC này.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện thao tác lặp lại. Vì vậy, bộ phận kết hợp LLR 523 có thể xác định các giá trị LLR của các bit chẵn lẻ LDPC lặp lại và kết hợp các giá trị LLR đã xác định với các giá trị LLR của các bit chẵn lẻ LDPC làm cơ sở để tạo ra các bit lặp lại.

Ngoài ra, bộ phận kết hợp LLR 523 có thể kết hợp các giá trị LLR tương ứng với các bit được truyền lại hoặc phần dư tăng dần (IR) với các giá trị LLR khác. Trong đó, các giá trị LLR khác có thể là các giá trị LLR của các bit được chọn để tạo ra các bit của từ mã LDPC làm cơ sở để tạo ra các bit được truyền lại hoặc IR trong thiết bị truyền tín hiệu 400.

Tức là, như đã nêu trên, khi thông tin báo phủ nhận (Negative ACKnowledgement, NACK) được tạo ra cho hệ thống HARQ, thì thiết bị truyền tín hiệu 400 có thể truyền

một số hoặc tất cả các bit từ mã đến thiết bị thu tín hiệu 500.

Vì vậy, bộ phận kết hợp LLR 523 có thể kết hợp các giá trị LLR của các bit thu được trong phần truyền lại hoặc phần dư IR với các giá trị LLR của các bit từ mã LDPC thu được từ khung trước đó.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu để tạo ra các bit được truyền lại hoặc phần dư IR. Do đó, bộ phận kết hợp LLR 523 có thể xác định các giá trị LLR của các bit truyền lại hoặc phần dư IR và kết hợp các giá trị LLR đã xác định với các giá trị LLR của các bit chẵn lẻ LDPC làm cơ sở để tạo ra các bit được truyền lại.

Bộ khử đan xen 524 có thể khử đan xen cho giá trị LLR được xuất ra từ bộ phận kết hợp LLR 523.

Cụ thể, bộ khử đan xen 524 là bộ phận tương ứng với bộ đan xen 441 trong thiết bị truyền tín hiệu 400 và có thể thực hiện thao tác tương ứng với thao tác của bộ đan xen 441.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện thao tác đan xen. Do đó, bộ khử đan xen 524 có thể thực hiện việc đảo ngược thao tác đan xen được thực hiện bằng bộ đan xen 441 trên các giá trị LLR tương ứng với các bit từ mã LDPC để khử đan xen cho các giá trị LLR tương ứng với các bit từ mã LDPC.

Bộ giải mã LDPC 530 có thể thực hiện phương pháp giải mã LDPC dựa vào giá trị LLR được xuất ra từ bộ phận khử so khớp tỷ lệ 520.

Cụ thể, dựa vào Fig.4 và Fig.5, bộ giải mã LDPC 530 là bộ phận tương ứng với bộ mã hoá LDPC 430 trong thiết bị truyền tín hiệu 400 và có thể thực hiện thao tác tương ứng với thao tác của bộ mã hoá LDPC 430.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện phương pháp mã hoá LDPC theo chế độ. Do đó, bộ giải mã LDPC 530 có thể thực hiện phương pháp giải mã LDPC dựa vào giá trị LLR được xuất ra từ bộ phận khử so khớp tỷ lệ 520 theo chế độ.

Ví dụ, bộ giải mã LDPC 530 có thể thực hiện phương pháp giải mã LDPC dựa vào

giá trị LLR được xuất ra từ bộ phận khử so khớp tỷ lệ 520 bằng cách sử dụng sơ đồ giải mã lặp dựa trên thuật toán tổng-tích và xuất ra các bit đã được sửa lỗi tuỳ thuộc vào phương pháp giải mã LDPC.

Bộ phận loại bỏ bit không 540 có thể loại bỏ các bit không ra khỏi các bit được xuất ra từ bộ giải mã LDPC 530.

Cụ thể, bộ phận loại bỏ bit không 540 là bộ phận tương ứng với bộ phận đệm bit không 420 trong thiết bị truyền tín hiệu 400 và có thể thực hiện thao tác tương ứng với thao tác của bộ phận đệm bit không 420.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để đệm các bit không. Do đó, bộ phận loại bỏ bit không 540 có thể loại bỏ các bit không đã được đệm vào bằng bộ phận đệm bit không 420 ra khỏi các bit được xuất ra từ bộ giải mã LDPC 530.

Bộ phận khử phân đoạn 550 là bộ phận tương ứng với bộ phận phân đoạn 410 trong thiết bị truyền tín hiệu 400 và có thể thực hiện thao tác tương ứng với thao tác của bộ phận phân đoạn 410.

Nhằm mục đích này, thiết bị thu tín hiệu 500 có thể lưu trữ trước thông tin về các thông số được dùng trong thiết bị truyền tín hiệu 400 để thực hiện thao tác phân đoạn. Do đó, bộ phận khử phân đoạn 550 có thể kết hợp các bit được xuất ra từ bộ phận loại bỏ bit không 540, tức là, các đoạn của các bit đầu vào có độ dài thay đổi để khôi phục các bit trước khi phân đoạn.

Fig.9 là sơ đồ khối thể hiện cấu hình của thiết bị giải mã theo phương án thực hiện sáng chế. Dựa vào Fig.9, thiết bị giải mã 900 có thể có bộ giải mã LDPC 910. Tuy nhiên, thiết bị giải mã 900 có thể còn có bộ nhớ (không được thể hiện trên hình vẽ) để lưu trữ trước các thông tin về tỷ lệ mã của mã LDPC, độ dài của từ mã, và ma trận kiểm tra chẵn lẻ, và bộ giải mã LDPC 910 có thể sử dụng các thông tin này để thực hiện phương pháp mã hoá LDPC. Tuy nhiên, đây chỉ là một ví dụ, và các thông tin tương ứng cũng có thể được cung cấp từ thiết bị truyền tín hiệu.

Bộ giải mã LDPC 910 thực hiện phương pháp giải mã LDPC trên từ mã LDPC dựa vào ma trận kiểm tra chẵn lẻ.

Ví dụ, bộ giải mã LDPC 910 có thể cho ra giá trị LLR tương ứng với các bit từ mã LDPC bằng cách sử dụng thuật toán giải mã lặp để thực hiện phương pháp giải mã LDPC, từ đó tạo ra các bit của từ thông tin.

Trong đó, giá trị LLR là các giá trị kênh tương ứng với các bit từ mã LDPC và có thể được biểu diễn bằng nhiều phương pháp khác nhau.

Ví dụ, giá trị LLR có thể được biểu diễn bằng một giá trị thu được khi áp dụng hàm loga cho tỷ số giữa xác suất xảy ra trường hợp bit được truyền từ phía thiết bị truyền tín hiệu qua kênh có giá trị bằng 0 và xác suất xảy ra trường hợp bit được truyền từ phía thiết bị truyền tín hiệu qua kênh có giá trị bằng 1. Ngoài ra, giá trị LLR có thể chính là giá trị bit đó được xác định dựa vào quyết định mềm, và giá trị LLR có thể là giá trị biểu diễn được xác định dựa vào phần có xác suất xảy ra trường hợp bit được truyền từ phía thiết bị truyền tín hiệu có giá trị bằng 0 hoặc có giá trị bằng 1.

Trong trường hợp như vậy, như được thể hiện trên Fig.8, phía thiết bị truyền tín hiệu có thể sử dụng bộ mã hoá LDPC 810 để tạo ra từ mã LDPC.

Tuy nhiên, ma trận kiểm tra chẵn lẻ được sử dụng ở thời điểm giải mã LDPC có thể có dạng giống với ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.3.

Trong trường hợp như vậy, dựa vào Fig.9, bộ giải mã LDPC 910 có thể sử dụng ma trận kiểm tra chẵn lẻ được xác định khác nhau tuỳ theo tỷ lệ mã (tức là, tỷ lệ mã của mã LDPC) để thực hiện phương pháp giải mã LDPC.

Ví dụ, bộ giải mã LDPC 910 có thể thực hiện phương pháp giải mã LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định trong bảng như bảng 1 nêu trên khi tỷ lệ mã bằng 8/9 và có thể thực hiện phương pháp giải mã LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định trong bảng như bảng 2 nêu trên khi tỷ lệ mã bằng 2/3. Ngoài ra, bộ giải mã LDPC 910 có thể thực hiện phương pháp giải mã LDPC bằng cách sử dụng ma trận kiểm tra chẵn lẻ được xác định trong bảng như bảng 3 nêu trên khi tỷ lệ mã bằng 4/9.

Fig.10 là sơ đồ thể hiện cấu hình của bộ giải mã LDPC theo phương án khác để thực hiện sáng chế.

Tuy nhiên, như đã nêu trên, bộ giải mã LDPC 910 có thể sử dụng thuật toán giải mã

lặp để thực hiện phương pháp giải mã LDPC. Trong trường hợp như vậy, bộ giải mã LDPC 910 có thể được tạo ra có cấu hình như được thể hiện trên Fig.10. Tuy nhiên, thuật toán giải mã lặp là thuật toán đã biết, và vì vậy cấu hình chi tiết được thể hiện trên Fig.10 chỉ là một ví dụ.

Dựa vào Fig.10, thiết bị giải mã 1000 bao gồm bộ xử lý tín hiệu đầu vào 1011, bộ nhớ 1012, toán tử nút biến 1013, bộ điều khiển 1014 (ít nhất một bộ xử lý), toán tử nút kiểm tra 1015, và bộ xử lý tín hiệu đầu ra 1016.

Bộ xử lý tín hiệu đầu vào 1011 lưu trữ giá trị đầu vào. Cụ thể, bộ xử lý tín hiệu đầu vào 1011 có thể lưu trữ giá trị LLR của tín hiệu thu được qua kênh vô tuyến.

Bộ điều khiển 1014 xác định kích thước của khối mã (tức là, độ dài từ mã) của tín hiệu thu được qua kênh vô tuyến, số lượng giá trị được nhập vào toán tử nút biến 1013 và các giá trị địa chỉ trong bộ nhớ 1012 dựa vào ma trận kiểm tra chẵn lẻ tương ứng với tỷ lệ mã, số lượng giá trị được nhập vào toán tử nút kiểm tra 1015 và các giá trị địa chỉ trong bộ nhớ 1012, hoặc các thông số khác.

Theo phương án thực hiện sáng chế, phương pháp giải mã có thể được thực hiện dựa vào ma trận kiểm tra chẵn lẻ được xác định bằng các ma trận số mũ như được thể hiện trong các bảng từ bảng 1 đến bảng 3 nêu trên tương ứng với chỉ số của hàng chứa giá trị 1 ở cột thứ 0 thuộc nhóm cột thứ i.

Bộ nhớ 1012 lưu trữ dữ liệu đầu vào và dữ liệu đầu ra của toán tử nút biến 1013 và toán tử nút kiểm tra 1015.

Toán tử nút biến 1013 thu dữ liệu từ bộ nhớ 1012 theo thông tin về địa chỉ của dữ liệu đầu vào và thông tin về số lượng dữ liệu đầu vào được thu nhận từ bộ điều khiển 1014 để thực hiện phép toán nút biến. Sau đó, toán tử nút biến 1013 lưu trữ các kết quả của phép toán nút biến dựa vào thông tin về địa chỉ của dữ liệu đầu ra và thông tin về số lượng dữ liệu đầu ra được thu nhận từ bộ điều khiển 1014, vào bộ nhớ 1012. Ngoài ra, toán tử nút biến 1013 nhập các kết quả thu được của phép toán nút biến dựa vào dữ liệu thu được từ bộ xử lý tín hiệu đầu vào 1011 và bộ nhớ 1012 vào bộ xử lý tín hiệu đầu ra 1016. Trong đó, phép toán nút biến đã được mô tả dựa vào Fig.8.

Toán tử nút kiểm tra 1015 thu dữ liệu từ bộ nhớ 1012 dựa vào thông tin về địa chỉ

của dữ liệu đầu vào và thông tin về số lượng dữ liệu đầu vào được thu nhận từ bộ điều khiển 1014, nhờ đó thực hiện phép toán nút biến. Sau đó, toán tử nút kiểm tra 1015 lưu trữ các kết quả của phép toán nút biến dựa vào thông tin về địa chỉ của dữ liệu đầu ra và thông tin về số lượng dữ liệu đầu ra được thu nhận từ bộ điều khiển 1014, vào bộ nhớ 1012. Trong đó, toán tử nút kiểm tra đã được mô tả dựa vào Fig.6.

Bộ xử lý tín hiệu đầu ra 1016 thực hiện quyết định mềm về việc các bit của từ thông tin ở phía thiết bị truyền tín hiệu bằng 0 hay 1 dựa vào dữ liệu thu được từ toán tử nút biến 1013 và sau đó xuất ra các kết quả của quyết định mềm, sao cho giá trị đầu ra của bộ xử lý tín hiệu đầu ra 1016 cuối cùng là giá trị đã được giải mã. Trong trường hợp như vậy, trên Fig.6, quyết định mềm có thể được thực hiện dựa vào giá trị tổng của tất cả các giá trị thông báo (giá trị thông báo ban đầu và tất cả các giá trị thông báo được nhập vào từ nút kiểm tra) được nhập vào một nút biến.

Theo các phương án thực hiện sáng chế, giải pháp theo sáng chế có khả năng hỗ trợ mã LDPC có thể được áp dụng cho độ dài từ mã thay đổi và tỷ lệ mã thay đổi.

Mặc dù sáng chế được thể hiện trên các hình vẽ và được mô tả dựa vào các phương án thực hiện sáng chế, nhưng người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng cần phải hiểu rằng nhiều phương án thay đổi về hình thức và nội dung có thể được tìm ra dựa vào các phương án được mô tả trong sáng chế mà vẫn không bị coi là vượt ra ngoài phạm vi của sáng chế, như được xác định dựa vào các điểm yêu cầu bảo hộ kèm theo và các phương án tương đương với các điểm yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Phương pháp mã hoá kênh được thực hiện bằng thiết bị trong hệ thống truyền thông không dây, phương pháp này bao gồm các bước:

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, số lượng bit đầu vào;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, kích thước của khối mã dựa vào số lượng khối mã;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, khối mã dựa vào ít nhất một phần của các bit đầu vào và kích thước của khối mã;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã;

mã hoá, bằng cách sử dụng bộ mã hoá của thiết bị, khối mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ; và

truyền, bằng cách sử dụng bộ thu phát của thiết bị, ít nhất một phần của khối mã được mã hoá.

2. Phương pháp theo điểm 1,

trong đó ma trận kiểm tra chẵn lẻ có các khối cột có kích thước nâng (Z), và

trong đó mỗi khối cột có bậc-1 trong ma trận kiểm tra chẵn lẻ có ma trận đơn vị có kích thước nâng (Z).

3. Phương pháp theo điểm 1,

trong đó bước xác định khối mã còn bao gồm bước xác định các bit đệm dựa vào kích thước của khối mã, và

trong đó khối mã có các bit đầu vào và các bit đệm.

4. Phương pháp theo điểm 1,

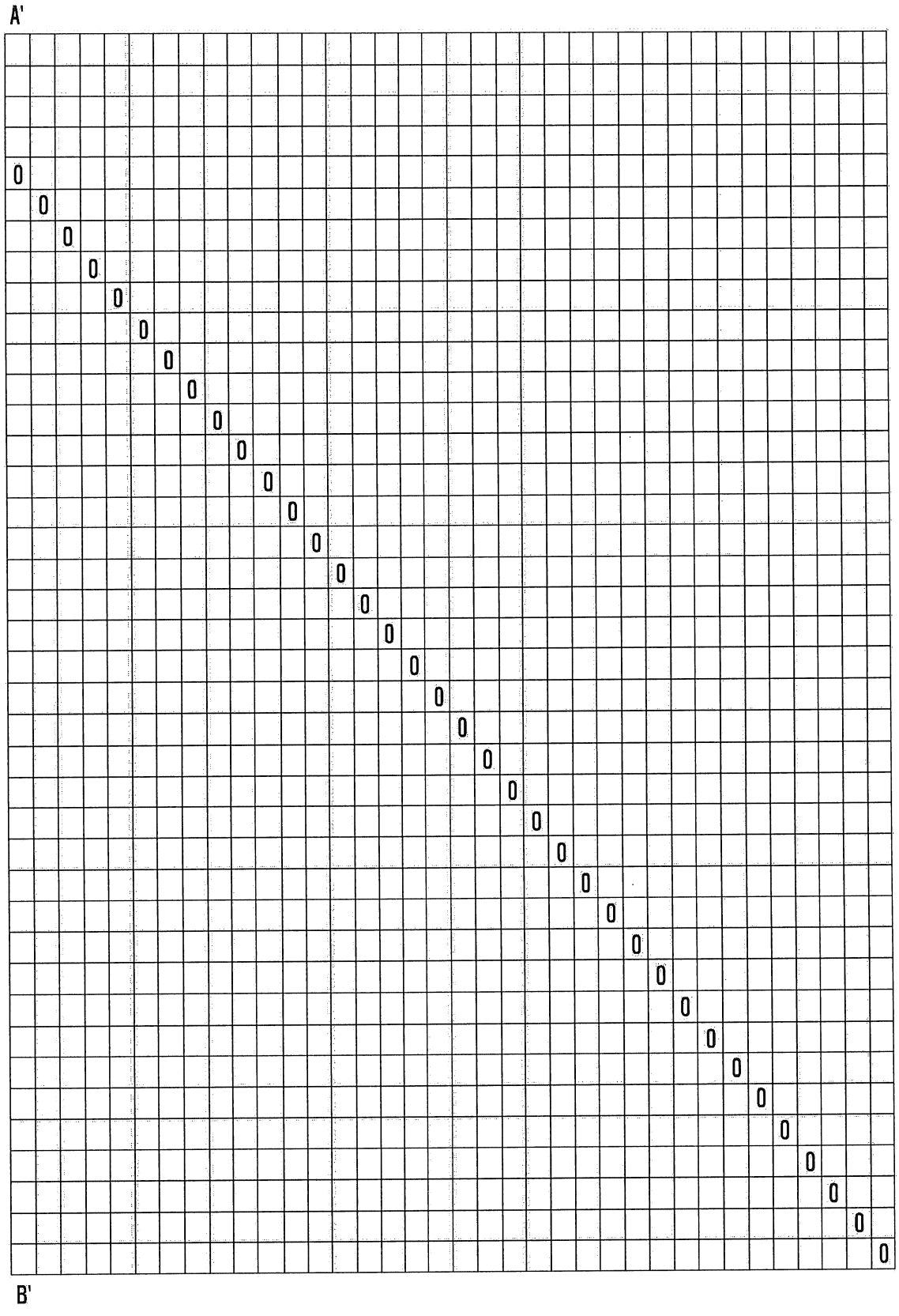
trong đó ma trận kiểm tra chẵn lẻ được xác định là ma trận dưới đây, và ma trận dưới đây biểu diễn vị trí của giá trị 1 trong ma trận kiểm tra chẵn lẻ, và

trong đó ma trận dưới đây là ma trận trong đó A và A' được ghép nối với nhau và B và B' được ghép nối với nhau:

A

54	19	24	68	12	2	18	16	13	46	66	52	21	9		80	24		3	11	1	0		
10	76	29	30	8	28	16	35	62	53	57	53	15	38	72	73		45	38	71		0	0	
70	71	31	35	20	21	6	56	36	52	22	37	50	27	58	16	56	41			0		0	0
41	24	25	49	28	6	28	60	22	70	11	27	1		67		22	78	76	5	1			0
27	70	45	45	28	9	29	30	39	29	56	80	29											
	77	8	69	49	68	78		66	8	6	79	40											
74	37		41	6					57	63						56							
		24			16	74	27	44			42	12											
	9	20		25					18	3	59												
			79		5	78		1				22										27	
	24	47			67	30					43			18			42						
				78				58	51	70		35										64	
	0			78		39		66	38					4							63		
		45			3					12	11	38					80						
		62		57	12			26											27	35			
	29					34			23		51	3											
		48						44				54					71		61				
				7		33			28					2									
	48		11							64	42												
					73								73							77		37	
	45								40		56											65	
		51				12				40										41			
				53	5			77										39					
												68		52		11	57						
								66			32						60				29		
				22						9				28									
58					71							42											
	8	75											43										
									32		18								1			76	
	53							41									42			15			
												15		10		44		4					
		59			42	18																	
52	12					49		74															
		39							38	18		21											
				47									14								18	48	
					31						31					17		49					
	26										14					1	4						
						14			65			2			77								
										37				53						74			
		37						50														16	

B



5. Phương pháp theo điểm 1, trong đó bước xác định khối mã bao gồm các bước:

xác định tổng số bit đệm dựa vào kích thước của khối mã và số lượng bit đầu vào, và

xác định số lượng bit đệm được áp dụng cho mỗi khối mã dựa vào tổng số bit đệm,

trong đó số lượng khối mã được xác định dựa vào biểu thức

$$C = \lceil B/K_{\max} \rceil,$$

trong đó kích thước của khối mã chưa tính số lượng bit đệm được xác định dựa vào biểu thức

$$J = \lceil B/C \rceil,$$

trong đó kích thước của khối mã được xác định dựa vào biểu thức

$$K' = \lceil J/(K_{\min}) \rceil \times K_{\min},$$

trong đó tổng số bit đệm được xác định dựa vào biểu thức $F' = K' \times C - B$, và

trong đó C là số lượng khối mã, B là số lượng bit đầu vào, K_{max} là số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, J là kích thước của khối mã chưa tính số lượng bit đệm, K' là kích thước của khối mã, F' là tổng số bit đệm, và K_{min} là số lượng bit thông tin tối thiểu tương ứng với ma trận kiểm tra chẵn lẻ nhỏ nhất.

6. Phương pháp giải mã kênh được thực hiện bằng thiết bị trong hệ thống truyền thông không dây, phương pháp này bao gồm các bước:

thu, bằng cách sử dụng bộ thu phát của thiết bị, tín hiệu;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, số lượng bit đầu vào trước khi phân đoạn từ tín hiệu thu được;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, kích thước của khối mã dựa vào số lượng khối mã;

xác định, bằng cách sử dụng ít nhất một bộ xử lý của thiết bị, ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã; và

xác định, bằng cách sử dụng bộ giải mã của thiết bị, các bit đầu vào dựa vào quy

trình giải mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ.

7. Phương pháp theo điểm 6,

trong đó ma trận kiểm tra chẵn lẻ có các khối cột có kích thước nâng (Z), và

trong đó mỗi khối cột có bậc-1 trong ma trận kiểm tra chẵn lẻ có ma trận đơn vị có kích thước nâng (Z).

8. Phương pháp theo điểm 6,

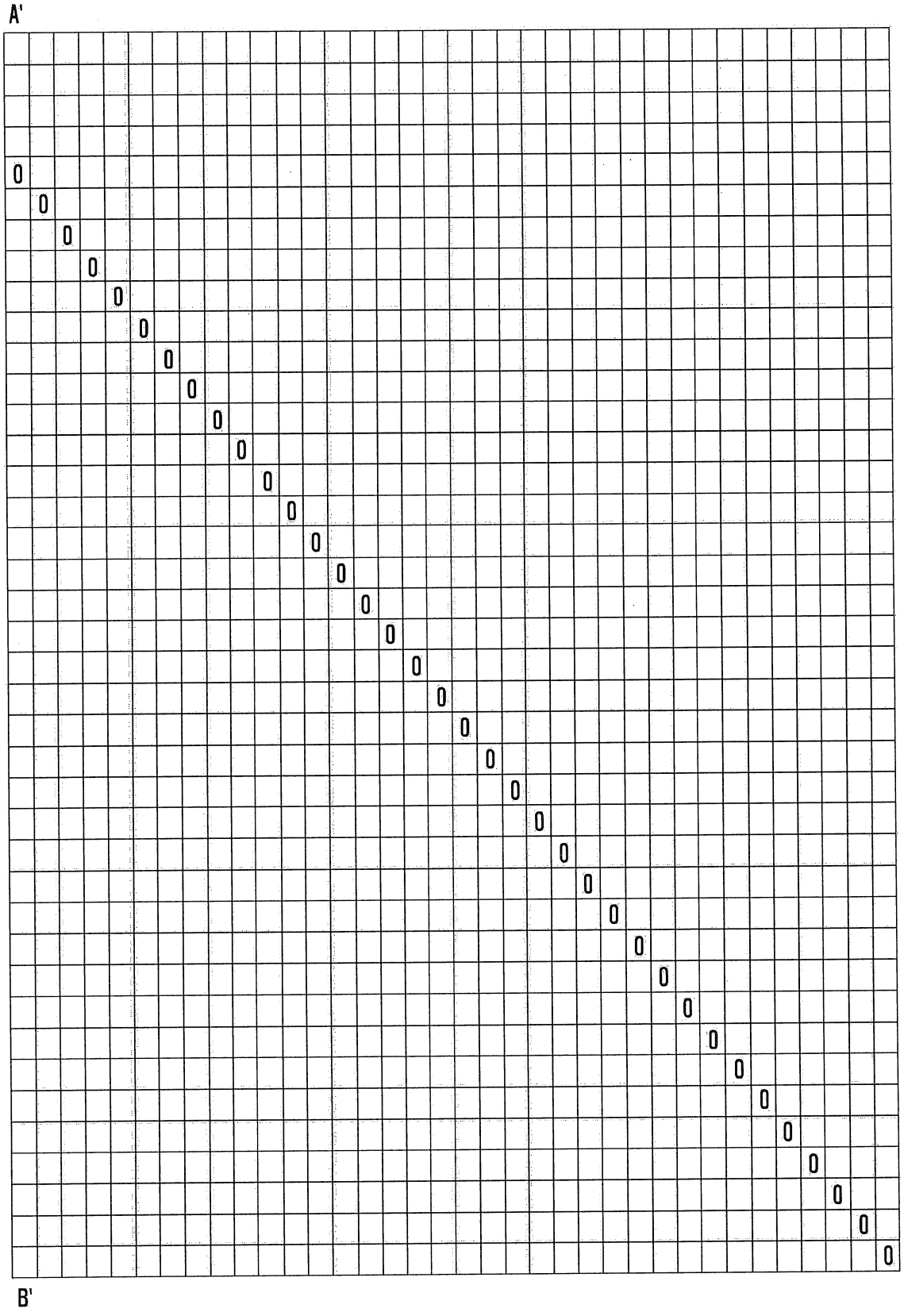
trong đó ma trận kiểm tra chẵn lẻ được xác định là ma trận dưới đây, và ma trận dưới đây biểu diễn vị trí của giá trị 1 trong ma trận kiểm tra chẵn lẻ, và

trong đó ma trận dưới đây là ma trận trong đó A và A' được ghép nối với nhau và B và B' được ghép nối với nhau:

A

54	19	24	68	12	2	18	16	13	46	66	52	21	9		80	24		3	11	1	0		
10	76	29	30	8	28	16	35	62	53	57	53	15	38	72	73		45	38	71		0	0	
70	71	31	35	20	21	6	56	36	52	22	37	50	27	58	16	56	41			0		0	0
41	24	25	49	28	6	28	60	22	70	11	27	1		67		22	78	76	5	1			0
27	70	45	45	28	9	29	30	39	29	56	80	29											
	77	8	69	49	68	78		66	8	6	79	40											
74	37		41	6					57	63						56							
		24			16	74	27	44			42	12											
	9	20		25					18	3	59												
			79		5	78		1				22										27	
	24	47			67	30					43			18			42						
				78				58	51	70		35										64	
	0			78		39		66	38					4							63		
		45			3					12	11	38					80						
		62		57	12			26											27	35			
	29					34			23		51	3											
		48						44				54					71		61				
				7		33			28					2									
	48		11							64	42												
					73								73							77		37	
	45								40		56											65	
		51				12				40										41			
				53	5			77										39					
												68		52		11	57						
								66			32						60				29		
				22						9				28									
58					71							42											
	8	75											43										
									32		18								1			76	
	53							41									42			15			
												15		10		44		4					
		59			42	18																	
52	12					49		74															
		39							38	18		21											
				47									14								18	48	
					31						31					17		49					
	26										14					1	4						
						14			65			2			77								
										37				53						74			
		37						50														16	

B



9. Phương pháp theo điểm 6, trong đó bước xác định các bit đầu vào còn bao gồm các bước:

xác định vị trí của các bit đệm trong từ mã dựa vào các bit đầu vào và kích thước

của khối mã, và

xác định các bit đầu vào dựa vào quy trình giải mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ, vị trí của các bit đệm, và các giá trị tương ứng với ít nhất một phần của từ mã.

10. Phương pháp theo điểm 6, trong đó bước xác định khối mã bao gồm các bước:

xác định tổng số bit đệm dựa vào kích thước của khối mã và số lượng bit đầu vào, và

xác định số lượng bit đệm được áp dụng cho mỗi khối mã dựa vào tổng số bit đệm,

trong đó số lượng khối mã được xác định dựa vào biểu thức

$$C = \lceil B/K_{\max} \rceil,$$

trong đó kích thước của khối mã chưa tính số lượng bit đệm được xác định dựa vào biểu thức

$$J = \lceil B/C \rceil,$$

trong đó kích thước của khối mã được xác định dựa vào biểu thức

$$K' = \lceil J/(K_{\min}) \rceil \times K_{\min},$$

trong đó tổng số bit đệm được xác định dựa vào biểu thức $F' = K' \times C - B$, và

trong đó C là số lượng khối mã, B là số lượng bit đầu vào, K_{max} là số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, J là kích thước của khối mã chưa tính số lượng bit đệm, K' là kích thước của khối mã, F' là tổng số bit đệm, và K_{min} là số lượng bit thông tin tối thiểu tương ứng với ma trận kiểm tra chẵn lẻ nhỏ nhất.

11. Thiết bị mã hoá kênh trong hệ thống truyền thông không dây, thiết bị này bao gồm:

bộ thu phát được tạo cấu hình để truyền ít nhất một phần của khối mã được mã hoá;

ít nhất một bộ xử lý được kết nối với bộ thu phát và được tạo cấu hình để:

xác định số lượng bit đầu vào,

xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông

tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất,

xác định kích thước của khối mã dựa vào số lượng khối mã,

xác định khối mã dựa vào ít nhất một phần của các bit đầu vào và kích thước của khối mã, và

xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã; và

bộ mã hoá được tạo cấu hình để:

mã hoá khối mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ.

12. Thiết bị theo điểm 11,

trong đó ma trận kiểm tra chẵn lẻ có các khối cột có kích thước nâng (Z), và

trong đó mỗi khối cột có bậc-1 trong ma trận kiểm tra chẵn lẻ có ma trận đơn vị có kích thước nâng (Z).

13. Thiết bị theo điểm 11,

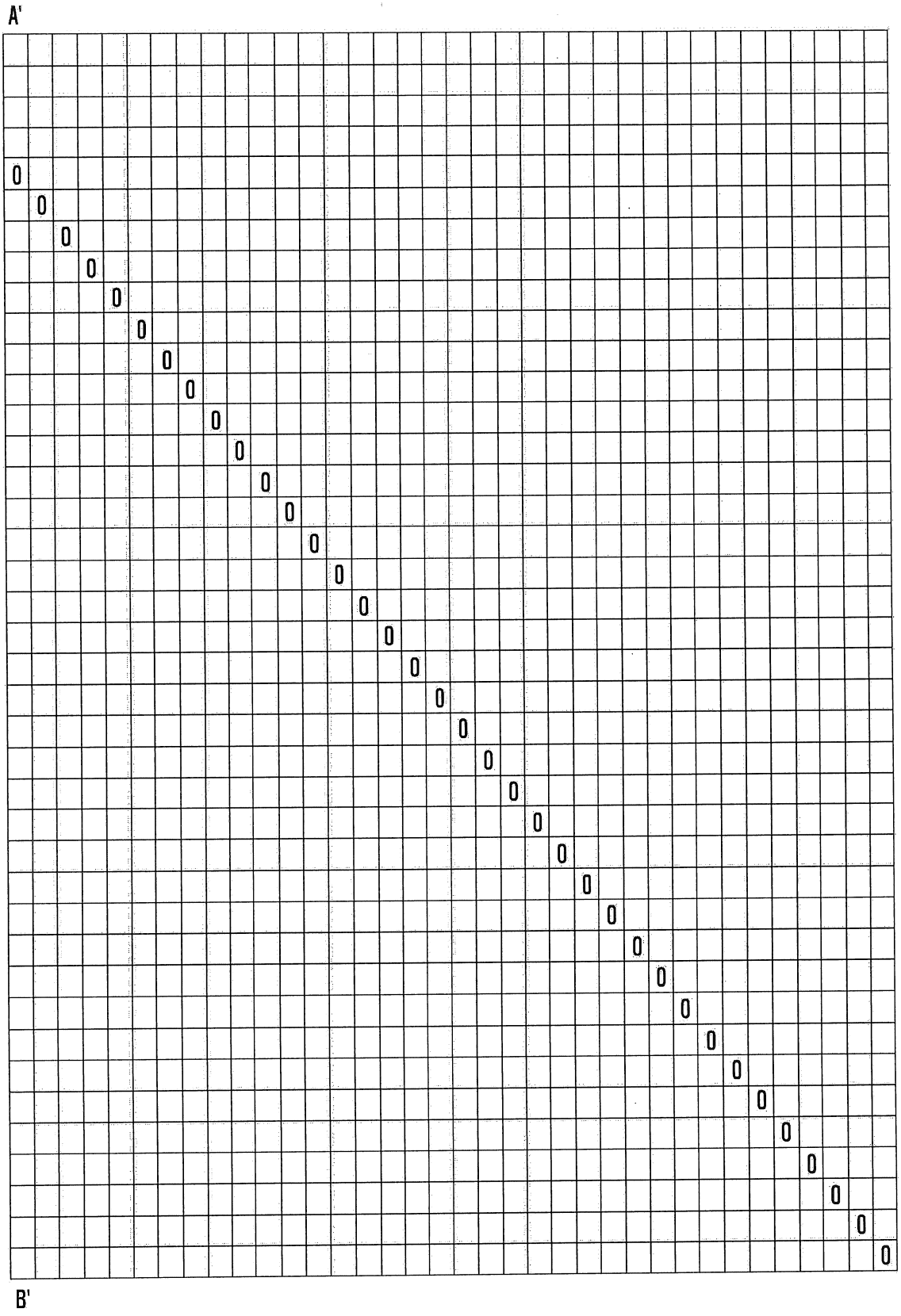
trong đó ma trận kiểm tra chẵn lẻ được xác định dựa vào ma trận dưới đây, và ma trận dưới đây biểu diễn vị trí của giá trị 1 trong ma trận kiểm tra chẵn lẻ, và

trong đó ma trận dưới đây là ma trận trong đó A và A' được ghép nối với nhau và B và B' được ghép nối với nhau:

A

54	19	24	68	12	2	18	16	13	46	66	52	21	9		80	24		3	11	1	0		
10	76	29	30	8	28	16	35	62	53	57	53	15	38	72	73		45	38	71		0	0	
70	71	31	35	20	21	6	56	36	52	22	37	50	27	58	16	56	41			0		0	0
41	24	25	49	28	6	28	60	22	70	11	27	1		67		22	78	76	5	1			0
27	70	45	45	28	9	29	30	39	29	56	80	29											
	77	8	69	49	68	78		66	8	6	79	40											
74	37		41	6					57	63						56							
		24			16	74	27	44			42	12											
	9	20		25					18	3	59												
			79		5	78		1				22										27	
	24	47			67	30					43			18			42						
				78				58	51	70		35										64	
	0			78		39		66	38					4							63		
		45			3					12	11	38					80						
		62		57	12			26											27	35			
	29					34			23		51	3											
		48						44				54					71		61				
				7		33			28					2									
	48		11							64	42												
					73								73							77		37	
	45								40		56											65	
		51				12				40										41			
				53	5			77										39					
												68		52		11	57						
								66			32						60				29		
				22						9				28									
58					71							42											
	8	75											43										
									32		18								1			76	
	53							41									42			15			
												15		10		44		4					
		59			42	18																	
52	12					49		74															
		39							38	18		21											
				47									14								18	48	
					31						31					17		49					
	26										14					1	4						
						14			65			2			77								
										37				53						74			
		37						50														16	

B



14. Thiết bị theo điểm 11,

trong đó ít nhất một bộ xử lý được tạo cấu hình để xác định các bit đệm dựa vào kích thước của khối mã, và

trong đó khối mã có các bit đầu vào và các bit đệm.

15. Thiết bị theo điểm 11,

trong đó ít nhất một bộ xử lý còn được tạo cấu hình để:

xác định tổng số bit đệm dựa vào kích thước của khối mã và số lượng bit đầu vào, và

xác định số lượng bit đệm được áp dụng cho mỗi khối mã dựa vào tổng số bit đệm,

trong đó số lượng khối mã được xác định dựa vào biểu thức

$$C = \lceil B/K_{\max} \rceil,$$

trong đó kích thước của khối mã chưa tính số lượng bit đệm được xác định dựa vào biểu thức

$$J = \lceil B/C \rceil,$$

trong đó kích thước của khối mã được xác định dựa vào biểu thức

$$K' = \lceil J/(K_{\min}) \rceil \times K_{\min},$$

trong đó tổng số bit đệm được xác định dựa vào biểu thức $F' = K' \times C - B$, và

trong đó C là số lượng khối mã, B là số lượng bit đầu vào, K_{max} là số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, J là kích thước của khối mã chưa tính số lượng bit đệm, K' là kích thước của khối mã, F' là tổng số bit đệm, và K_{min} là số lượng bit thông tin tối thiểu tương ứng với ma trận kiểm tra chẵn lẻ nhỏ nhất.

16. Thiết bị giải mã kênh trong hệ thống truyền thông không dây, thiết bị này bao gồm:

bộ thu phát được tạo cấu hình để thu tín hiệu;

ít nhất một bộ xử lý được kết nối với bộ thu phát và được tạo cấu hình để:

xác định số lượng bit đầu vào trước khi phân đoạn từ tín hiệu thu được,

xác định số lượng khối mã dựa vào số lượng bit đầu vào và số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất,

xác định kích thước của khối mã dựa vào số lượng khối mã, và

xác định ma trận kiểm tra chẵn lẻ dựa vào kích thước của khối mã; và

bộ giải mã được tạo cấu hình để:

xác định các bit đầu vào dựa vào quy trình giải mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ.

17. Thiết bị theo điểm 16,

trong đó ma trận kiểm tra chẵn lẻ có các khối cột có kích thước nâng (Z), và

trong đó mỗi khối cột có bậc-1 trong ma trận kiểm tra chẵn lẻ có ma trận đơn vị có kích thước nâng (Z).

18. Thiết bị theo điểm 16,

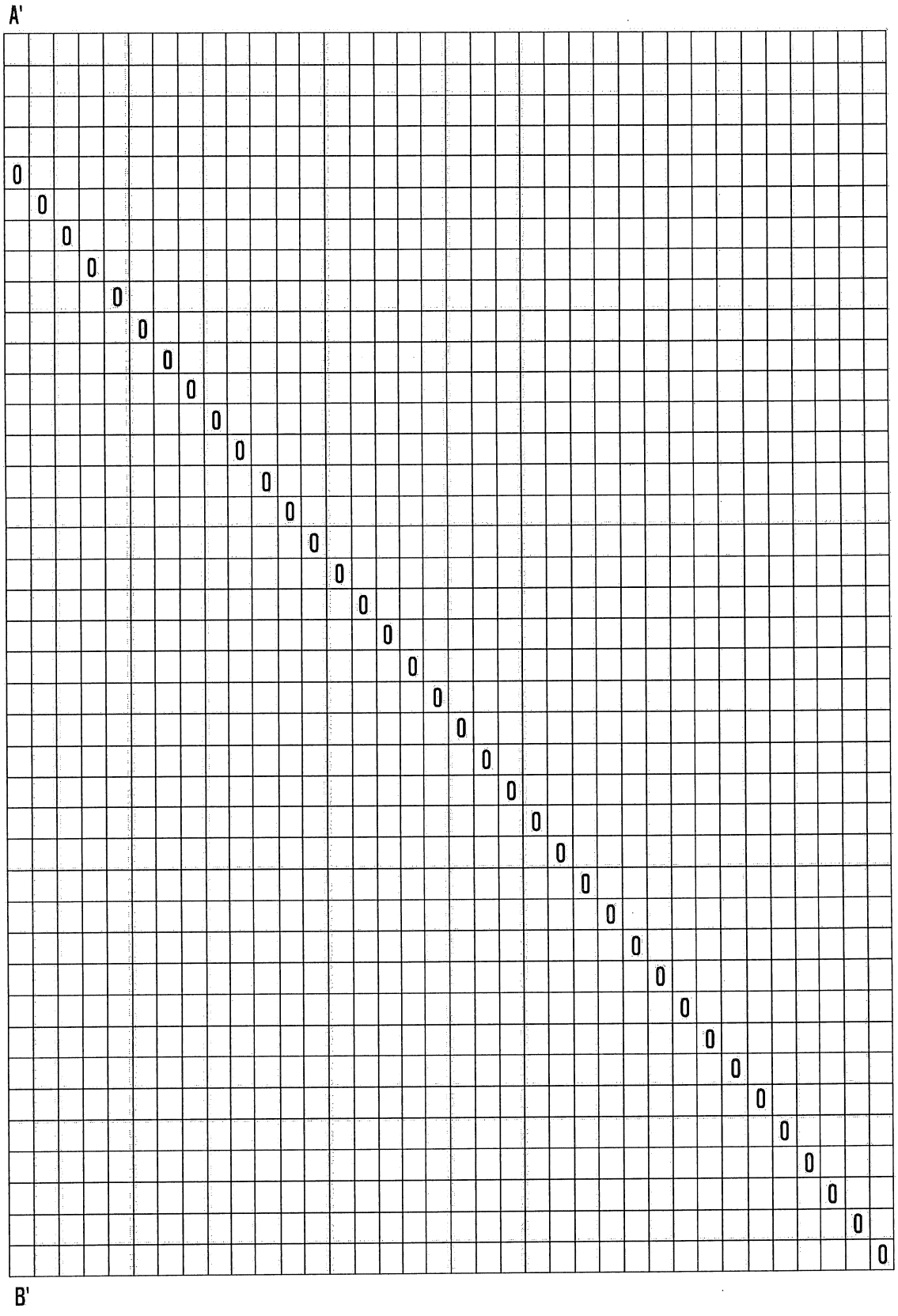
trong đó ma trận kiểm tra chẵn lẻ được xác định là ma trận dưới đây, và ma trận dưới đây biểu diễn vị trí của giá trị 1 trong ma trận kiểm tra chẵn lẻ, và

trong đó ma trận dưới đây là ma trận trong đó A và A' được ghép nối với nhau và B và B' được ghép nối với nhau:

A

54	19	24	68	12	2	18	16	13	46	66	52	21	9		80	24		3	11	1	0		
10	76	29	30	8	28	16	35	62	53	57	53	15	38	72	73		45	38	71		0	0	
70	71	31	35	20	21	6	56	36	52	22	37	50	27	58	16	56	41			0		0	0
41	24	25	49	28	6	28	60	22	70	11	27	1		67		22	78	76	5	1			0
27	70	45	45	28	9	29	30	39	29	56	80	29											
	77	8	69	49	68	78		66	8	6	79	40											
74	37		41	6					57	63						56							
		24			16	74	27	44			42	12											
	9	20		25					18	3	59												
			79		5	78		1				22										27	
	24	47			67	30					43			18			42						
				78				58	51	70		35										64	
	0			78		39		66	38					4							63		
		45			3					12	11	38					80						
		62		57	12			26											27	35			
	29					34			23		51	3											
		48						44				54					71		61				
				7		33			28					2									
	48		11							64	42												
					73								73							77		37	
	45								40		56											65	
		51				12				40										41			
				53	5			77										39					
												68		52		11	57						
								66			32						60				29		
				22						9				28									
58					71							42											
	8	75											43										
									32		18								1			76	
	53							41									42			15			
												15		10		44		4					
		59			42	18																	
52	12					49		74															
		39							38	18		21											
				47									14								18	48	
					31						31					17		49					
	26										14					1	4						
						14			65			2			77								
										37				53						74			
		37						50														16	

B



19. Thiết bị theo điểm 16, trong đó ít nhất một bộ xử lý được tạo cấu hình để:

xác định vị trí của các bit đệm trong từ mã dựa vào các bit đầu vào và kích thước của khối mã, và

xác định các bit đầu vào dựa vào quy trình giải mã dựa ít nhất một phần vào ma trận kiểm tra chẵn lẻ, vị trí của các bit đệm, và các giá trị tương ứng với ít nhất một phần của từ mã.

20. Thiết bị theo điểm 16,

trong đó ít nhất một bộ xử lý còn được tạo cấu hình để:

xác định tổng số bit đệm dựa vào kích thước của khối mã và số lượng bit đầu vào, và

xác định số lượng bit đệm được áp dụng cho mỗi khối mã dựa vào tổng số bit đệm,

trong đó số lượng khối mã được xác định dựa vào biểu thức

$$C = \lceil B/K_{\max} \rceil,$$

trong đó kích thước của khối mã chưa tính số lượng bit đệm được xác định dựa vào biểu thức

$$J = \lceil B/C \rceil,$$

trong đó kích thước của khối mã được xác định dựa vào biểu thức

$$K' = \lceil J/(K_{\min}) \rceil \times K_{\min},$$

trong đó tổng số bit đệm được xác định dựa vào biểu thức $F' = K' \times C - B$, và

trong đó C là số lượng khối mã, B là số lượng bit đầu vào, K_{max} là số lượng bit thông tin tối đa tương ứng với ma trận kiểm tra chẵn lẻ lớn nhất, J là kích thước của khối mã chưa tính số lượng bit đệm, K' là kích thước của khối mã, F' là tổng số bit đệm, và K_{min} là số lượng bit thông tin tối thiểu tương ứng với ma trận kiểm tra chẵn lẻ nhỏ nhất.

FIG. 1

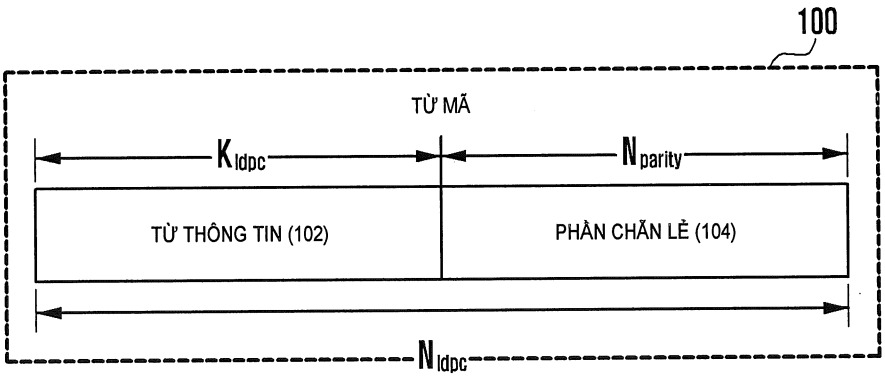

100
TỪ MÃ
K_{ldpc}
N_{parity}
TỪ THÔNG TIN (102)
PHẦN CHẴN LẺ (104)
N_{ldpc}

FIG. 2

$$H_1 = \begin{Bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{Bmatrix}$$

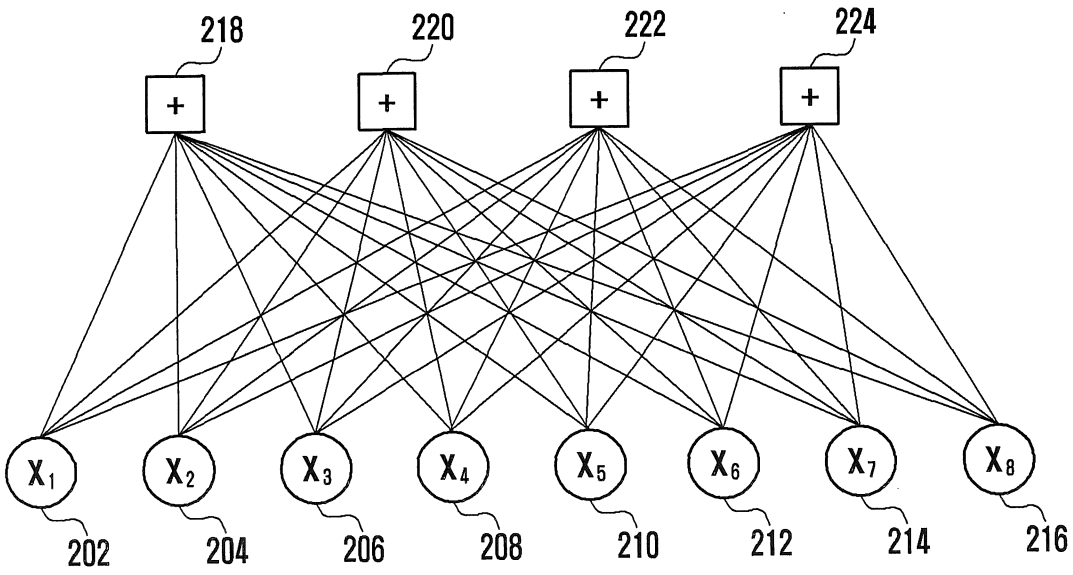


FIG. 3

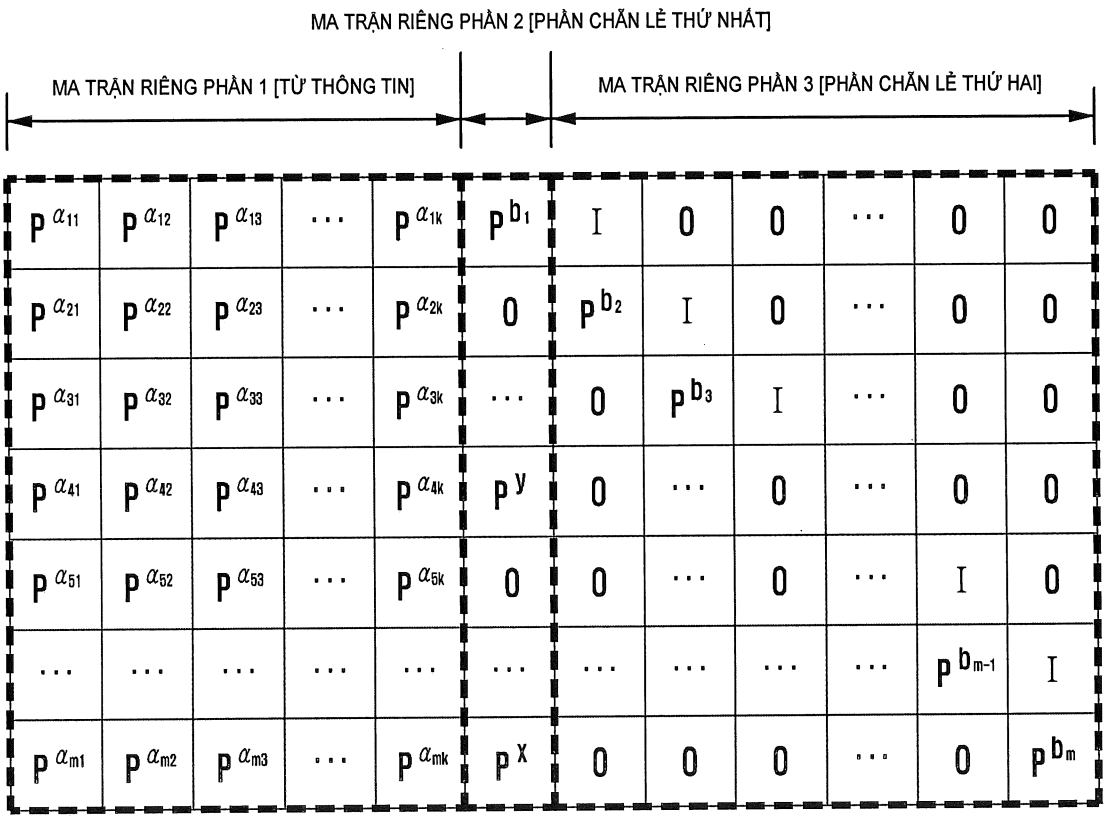

MA TRẬN RIÊNG PHẦN 2 [PHẦN CHẴN LẺ THỨ NHẤT]
MA TRẬN RIÊNG PHẦN 1 [TỪ THÔNG TIN]
MA TRẬN RIÊNG PHẦN 3 [PHẦN CHẴN LẺ THỨ HAI]
$P^{\alpha_{11}}$ $P^{\alpha_{12}}$ $P^{\alpha_{13}}$ ... $P^{\alpha_{1k}}$ P^{b_1} I 0 0 ... 0 0
$P^{\alpha_{21}}$ $P^{\alpha_{22}}$ $P^{\alpha_{23}}$ ... $P^{\alpha_{2k}}$ 0 P^{b_2} I 0 ... 0 0
$P^{\alpha_{31}}$ $P^{\alpha_{32}}$ $P^{\alpha_{33}}$ ... $P^{\alpha_{3k}}$ ... 0 P^{b_3} I ... 0 0
$P^{\alpha_{41}}$ $P^{\alpha_{42}}$ $P^{\alpha_{43}}$ ... $P^{\alpha_{4k}}$ P^{y} 0 ... 0 ... 0 0
$P^{\alpha_{51}}$ $P^{\alpha_{52}}$ $P^{\alpha_{53}}$ ... $P^{\alpha_{5k}}$ 0 0 ... 0 ... I 0
... ... $P^{b_{m-1}}$ I
$P^{\alpha_{m1}}$ $P^{\alpha_{m2}}$ $P^{\alpha_{m3}}$ ... $P^{\alpha_{mk}}$ P^{x} 0 0 0 ... 0 P^{b_m}

FIG. 4

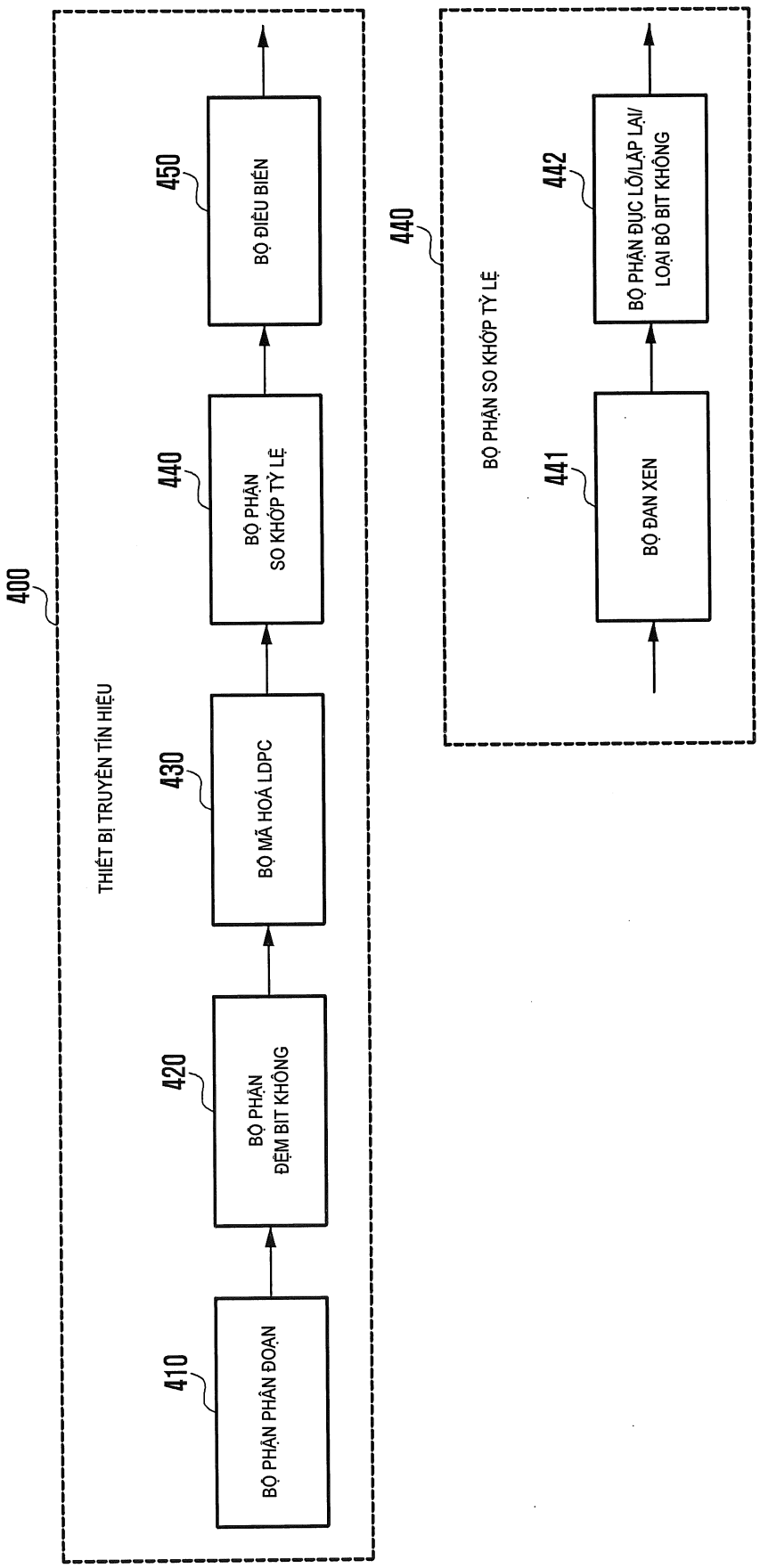

400
THIẾT BỊ TRUYỀN TÍN HIỆU
410
BỘ PHẬN PHÂN ĐOẠN
420
BỘ PHẬN
ĐỆM BIT KHÔNG
430
BỘ MÃ HOÁ LDPC
440
BỘ PHẬN
SO KHỚP TỶ LỆ
450
BỘ ĐIỀU BIẾN
440
BỘ PHẬN SO KHỚP TỶ LỆ
441
BỘ ĐAN XEN
442
BỘ PHẬN ĐỤC LỖ/LẶP LẠI/
LOẠI BỎ BIT KHÔNG

FIG. 5

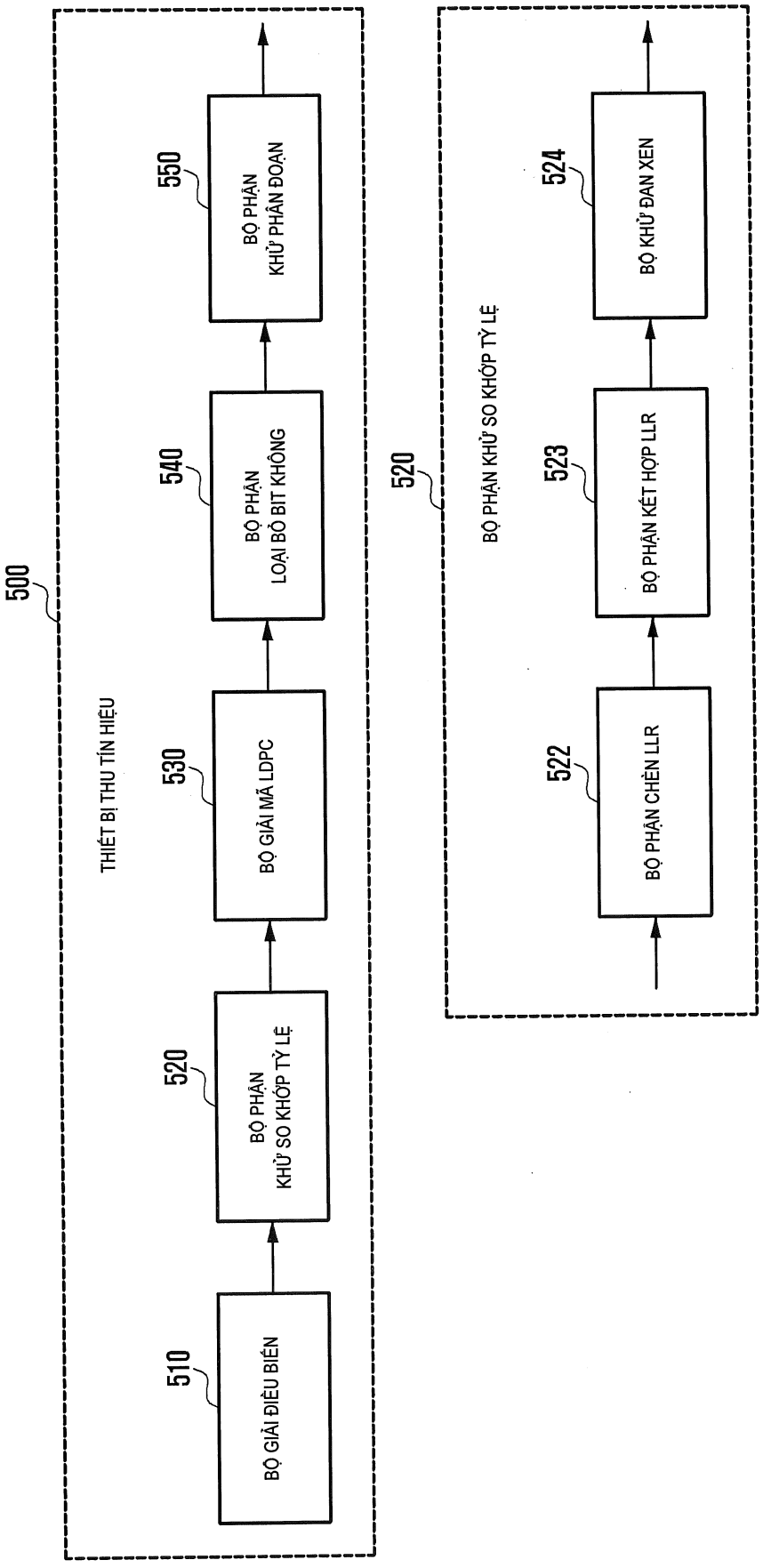

500
THIẾT BỊ THU TÍN HIỆU
510
BỘ GIẢI ĐIỀU BIẾN
520
BỘ PHẬN
KHỬ SO KHỚP TỶ LỆ
530
BỘ GIẢI MÃ LDPC
540
BỘ PHẬN
LOẠI BỎ BIT KHÔNG
550
BỘ PHẬN
KHỬ PHÂN ĐOẠN
520
BỘ PHẬN KHỬ SO KHỚP TỶ LỆ
522
BỘ PHẬN CHÈN LLR
523
BỘ PHẬN KẾT HỢP LLR
524
BỘ KHỬ ĐAN XEN

FIG. 6

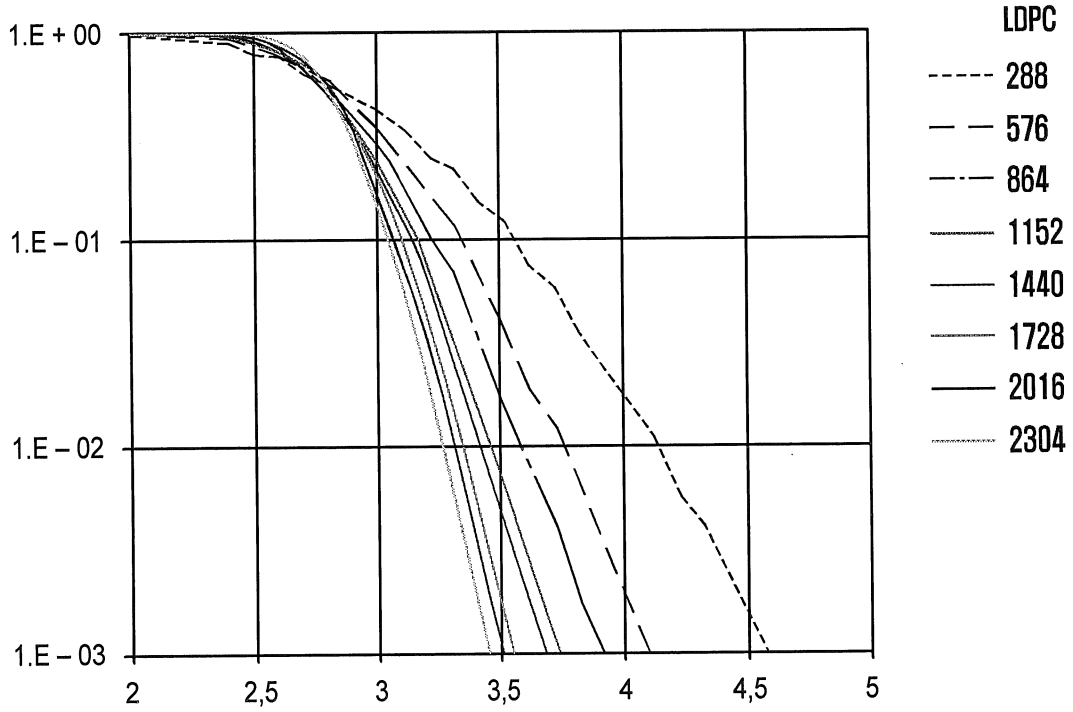

1.E + 00
1.E – 01
1.E – 02
1.E – 03
2
2,5
3
3,5
4
4,5
5
LDPC
288
576
864
1152
1440
1728
2016
2304

FIG. 7A

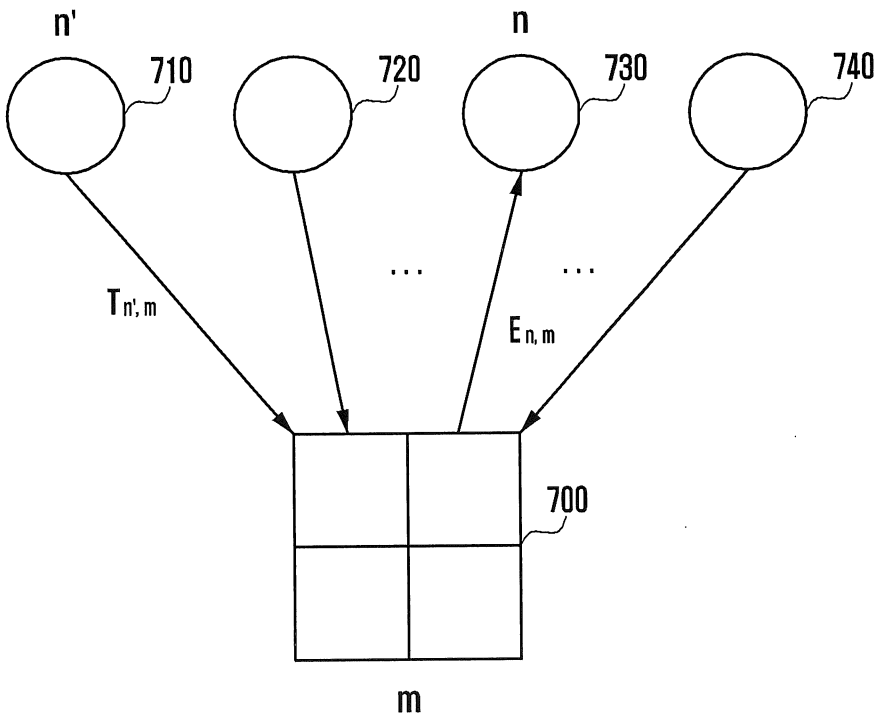


FIG. 7B

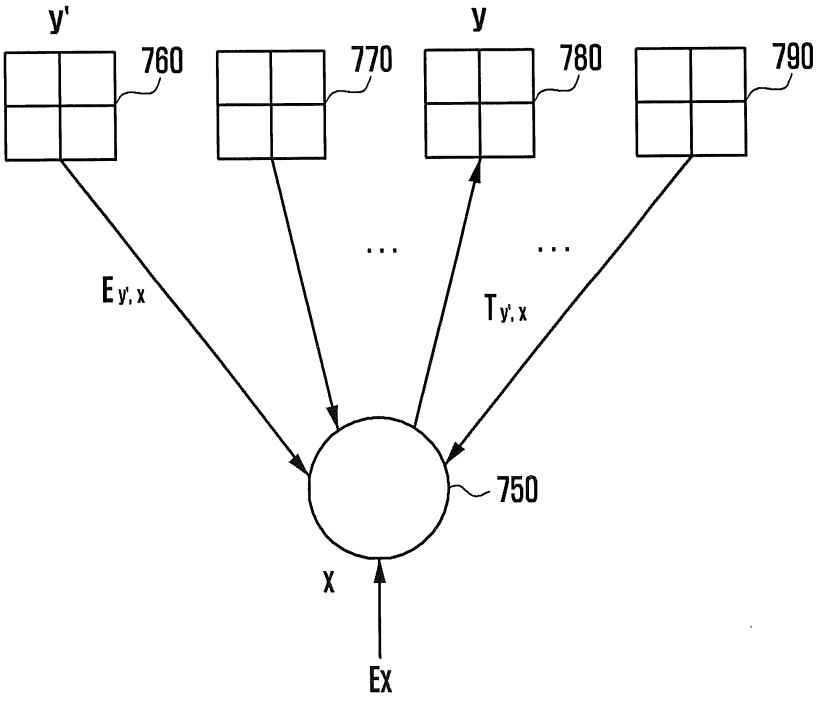


FIG. 8

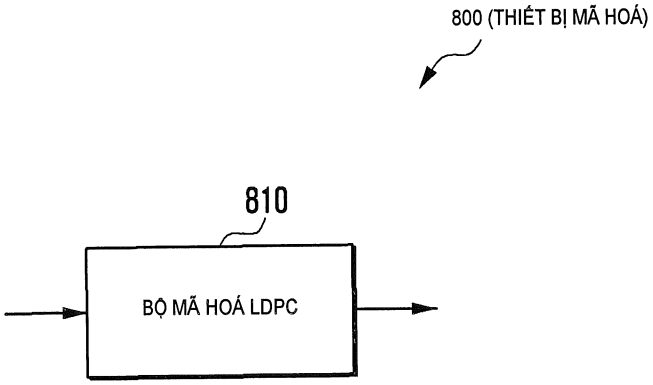


FIG. 9

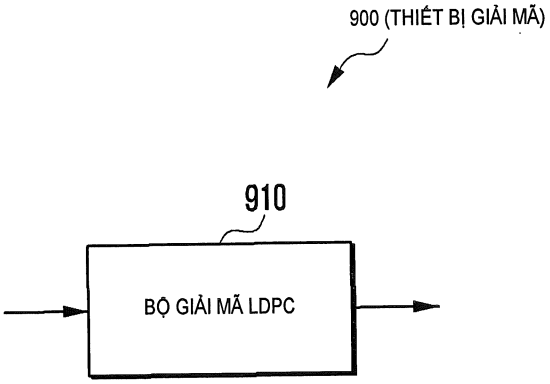


FIG. 10

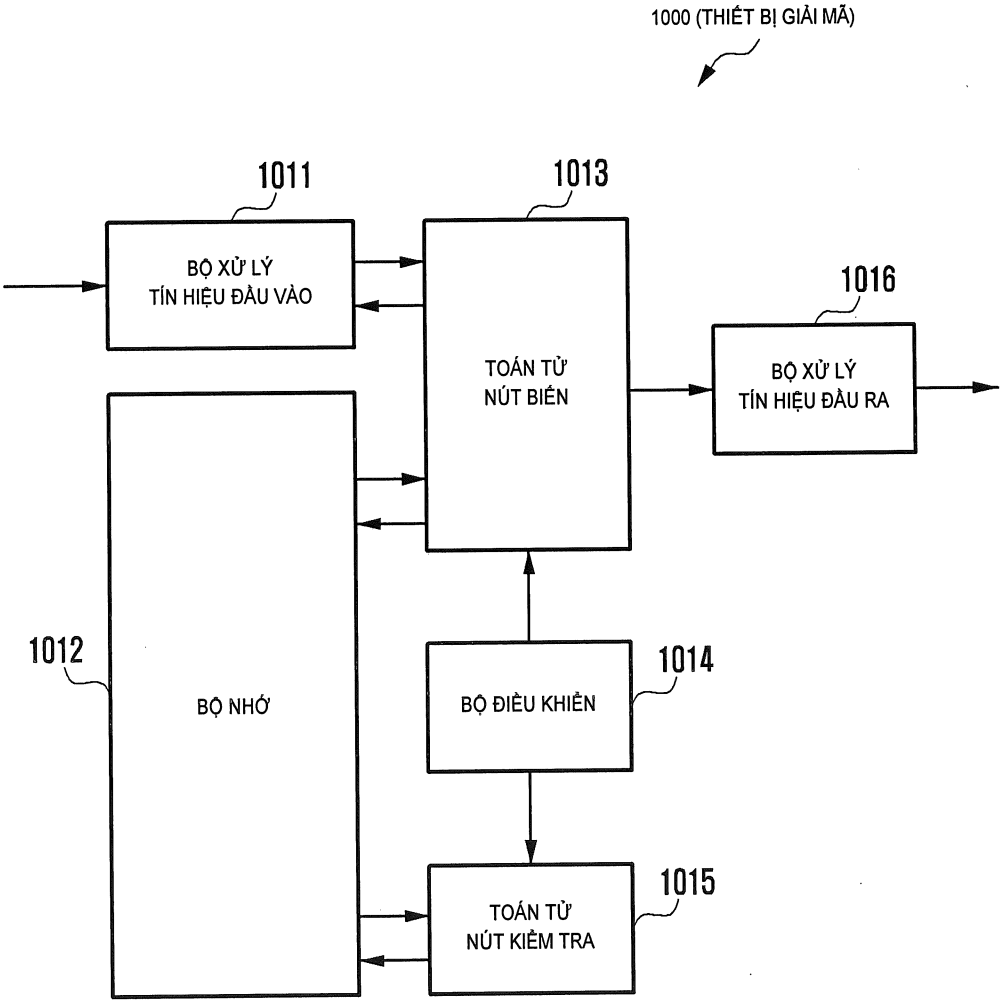

1000 (THIẾT BỊ GIẢI MÃ)
1011
BỘ XỬ LÝ
TÍN HIỆU ĐẦU VÀO
1013
TOÁN TỬ
NÚT BIÊN
1016
BỘ XỬ LÝ
TÍN HIỆU ĐẦU RA
1012
BỘ NHỚ
1014
BỘ ĐIỀU KHIỂN
1015
TOÁN TỬ
NÚT KIỂM TRA

FIG. 11A

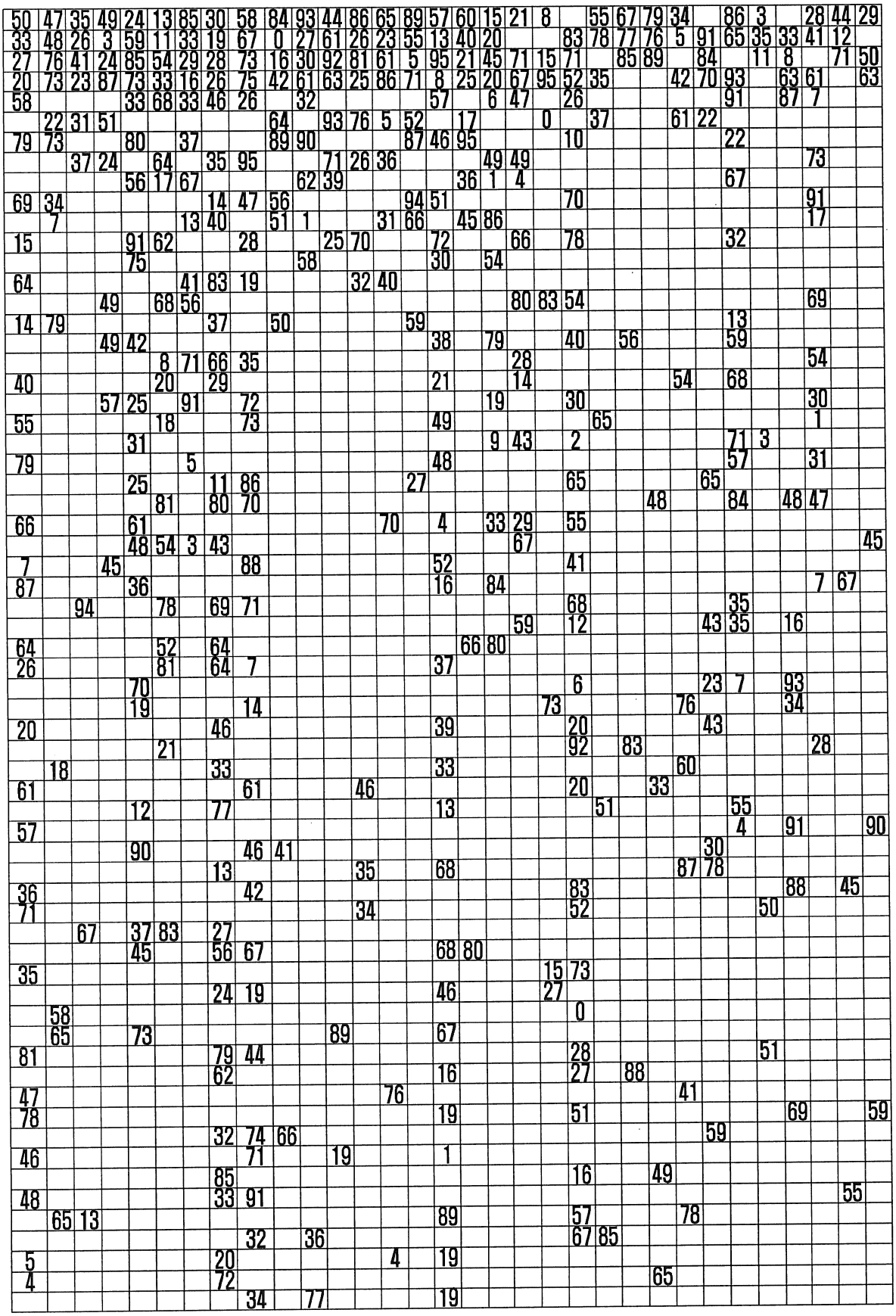


FIG. 11B

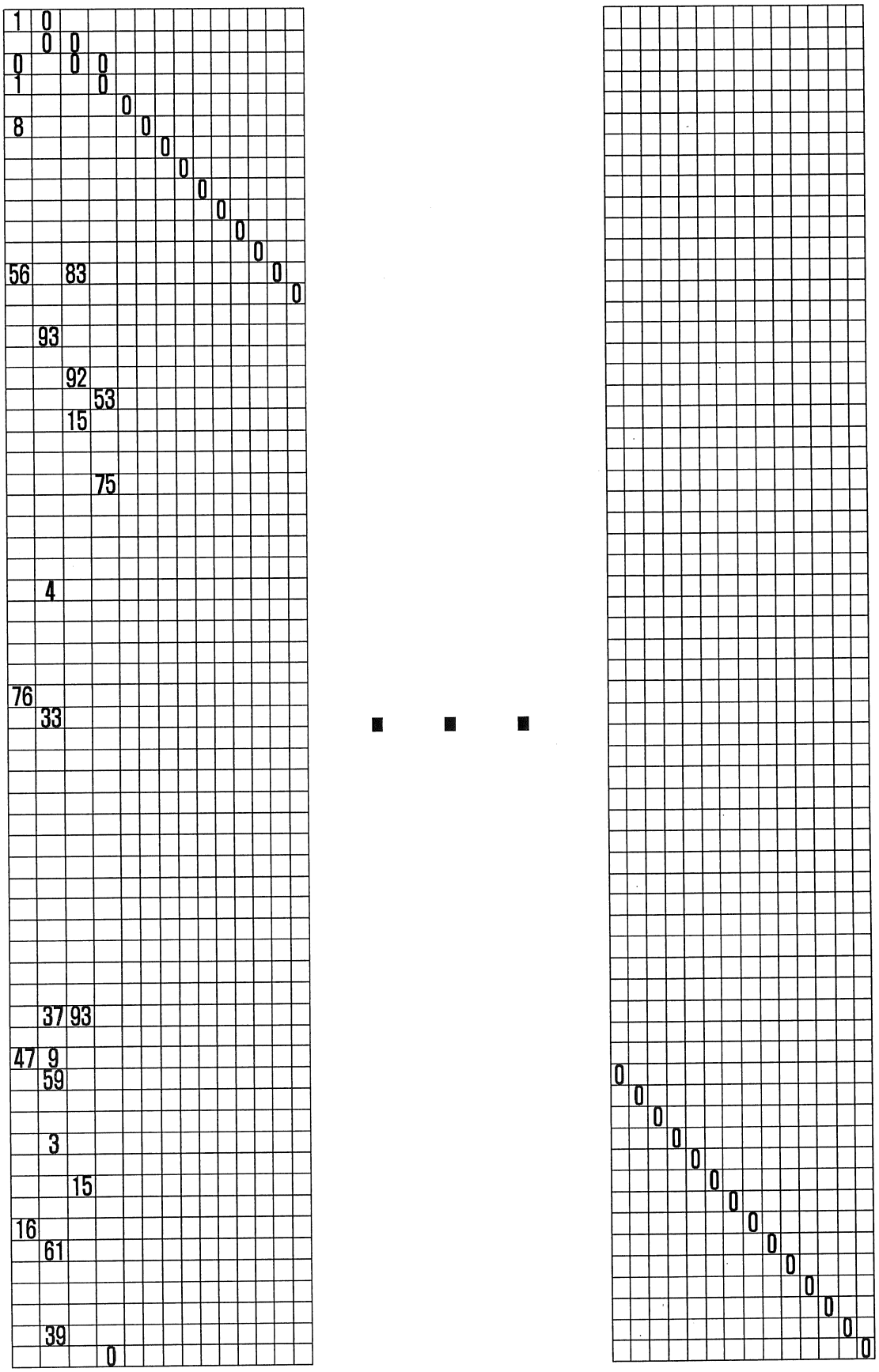


FIG. 12A

29	86	48	36	34	14							52						64	1		37	28		1	0				
54	34	78	3	10	24	9			13	29					34	60									0	0			
9	94	75	58	83	62		21						68		14					17			53			0	0		
42	48	67	30	65	66			94			17			77		45	88										0	0	
10	10	3	57	45	8		49	31									38						82					0	0
36	44	45	58	6	3	25					76			8	35					31									0
57	64	44	53	94	77				94		55	86		84										0					
39	2	73	41	54	71	63							83			37		91			89								
27	85	39	42	58	40			9		3		89						69				95							
66	80	22	36	54	49					43							13		52	22		16							
62	41	83	43	72	61				22										50		93		40						
20	1	52	81	76	60		27						89											1					
28			36				51																			28			93
	49	23		77	51												3						63					
		40		41									39												81		40		
34	80		48		20																							
	40	1			11																			68		48		
69			62	88					39	66																		
		39			59								67													58	30		
26	14		59	19			52		25														94					
		94		57			17																		55				
43	39											82																18
		71	46		30									40														
	26			52														24										
					70								21										95					94
84			60				68														17							
	90	78		9				42																				
16					66				62																			
49			83	74																			67			79		
	7				54								58															
				77	65	56																					13	
43		70	71																					78				82
				69	69														30						54			
86	54		1			34																						
				28	22																			32	27			
		50	21																			0				54		
7	80			16																					40			
		50	41		74																					52		
		23									14																	
	52																						57			14		
66				66				31													7							
			52						39																	3		
27					63											2												
			34				41																					
9				71															24			6						
		38	60		31																							
			54																	26				43				
	70			34				65																				

FIG. 12B

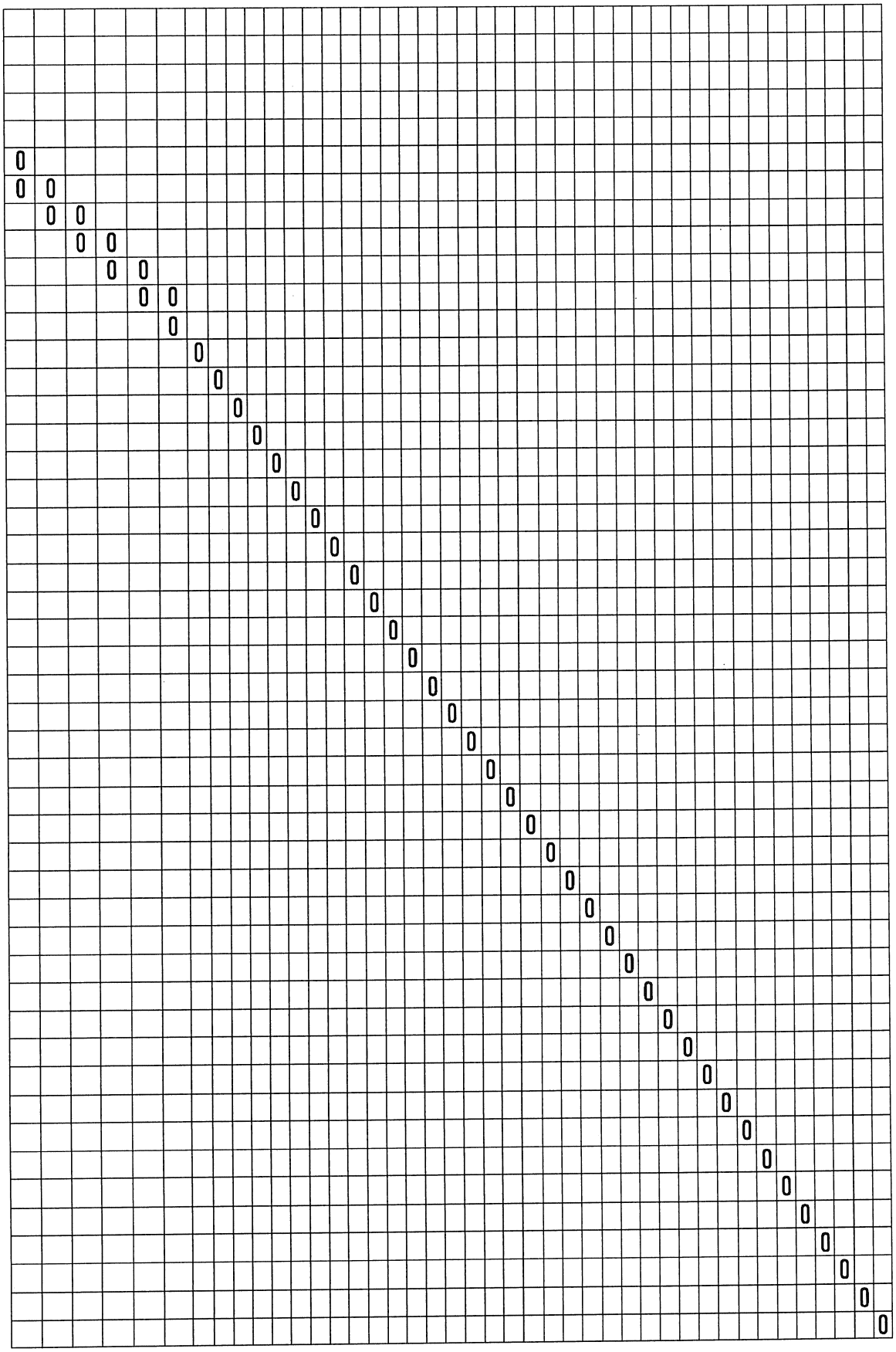


FIG. 13A

50	39		22	49					43							1	0			
		23	23					39	82						85		0	0		
							28				85		32	45	29			0	0	
63			29		56					0		93							0	0
13	80		68							68		88								0
		88		44	89	33							91							
53	86	42	40							89										
			60	85	55	58							82							
	37	82	91	9	36															
46		48	14	72											17					
71	16	21				78										0				
45	33	39		61					4											
	75	28		46							85									
13	93	92	31					16												
42		74	45	52				53												
					65	76	91				55			34						
78	34	41		48		27														
72	83		24	53										2						
54	40		7	73			87													
	20	54		7	14							60				1				
56	35	11		4																
																12		55		93
			42	34																
	78															56				15
9																				50
		62														82				
		62	70									16								
53	71			38												41				67
	11	37		47																
39			92															88		33
												95						20		
93	95									29										

FIG. 13B

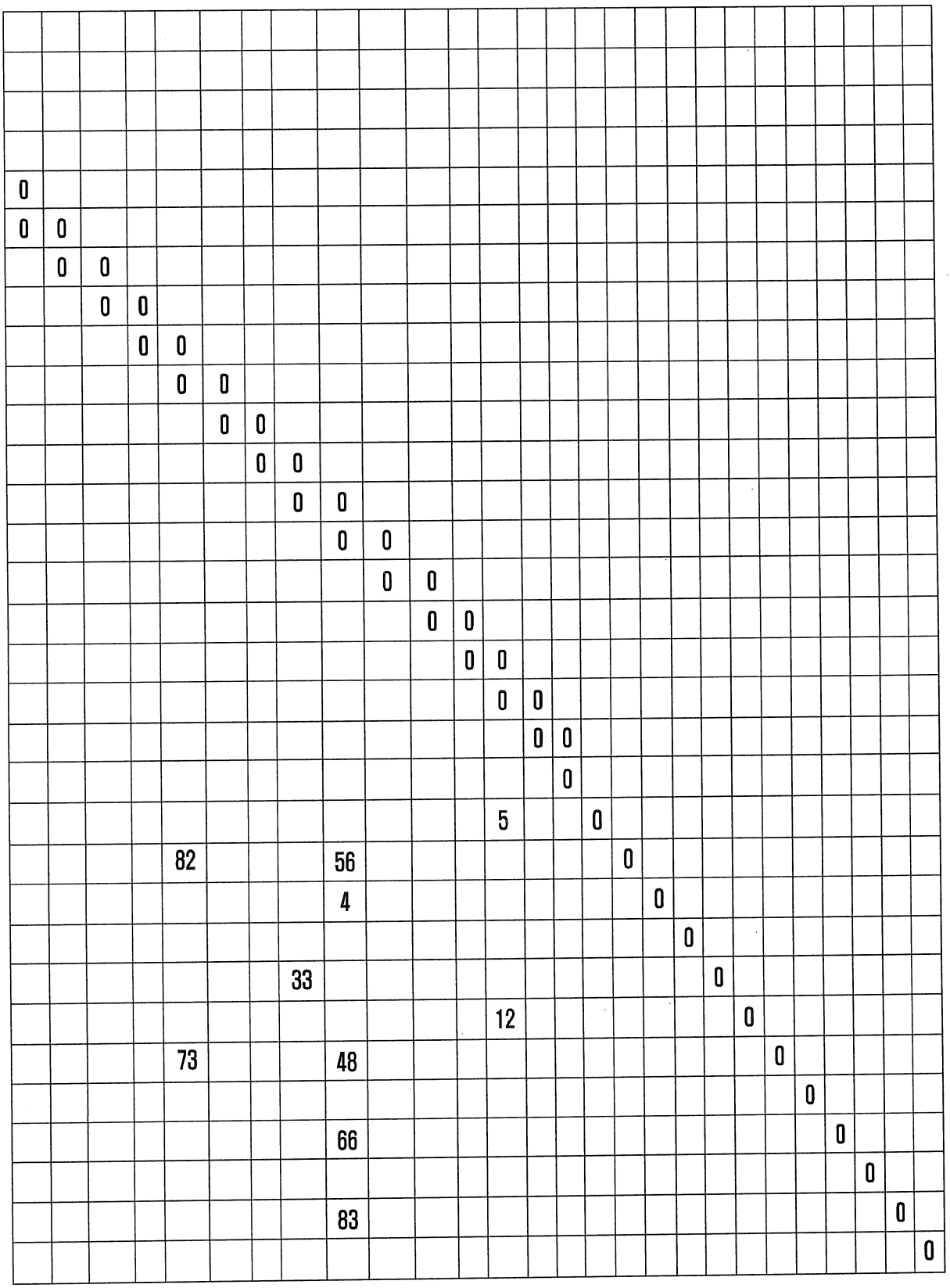


FIG. 14A

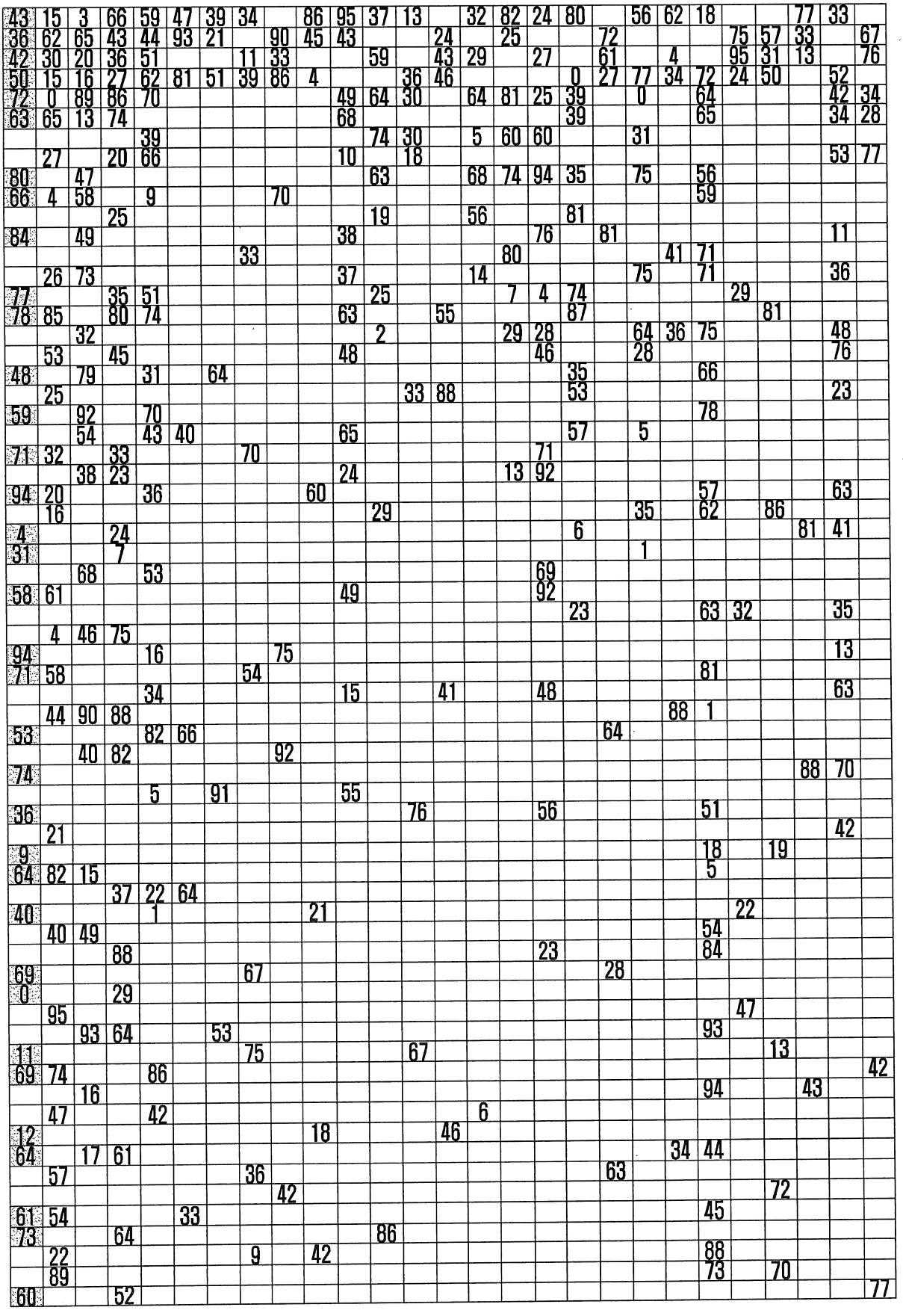


FIG. 14B

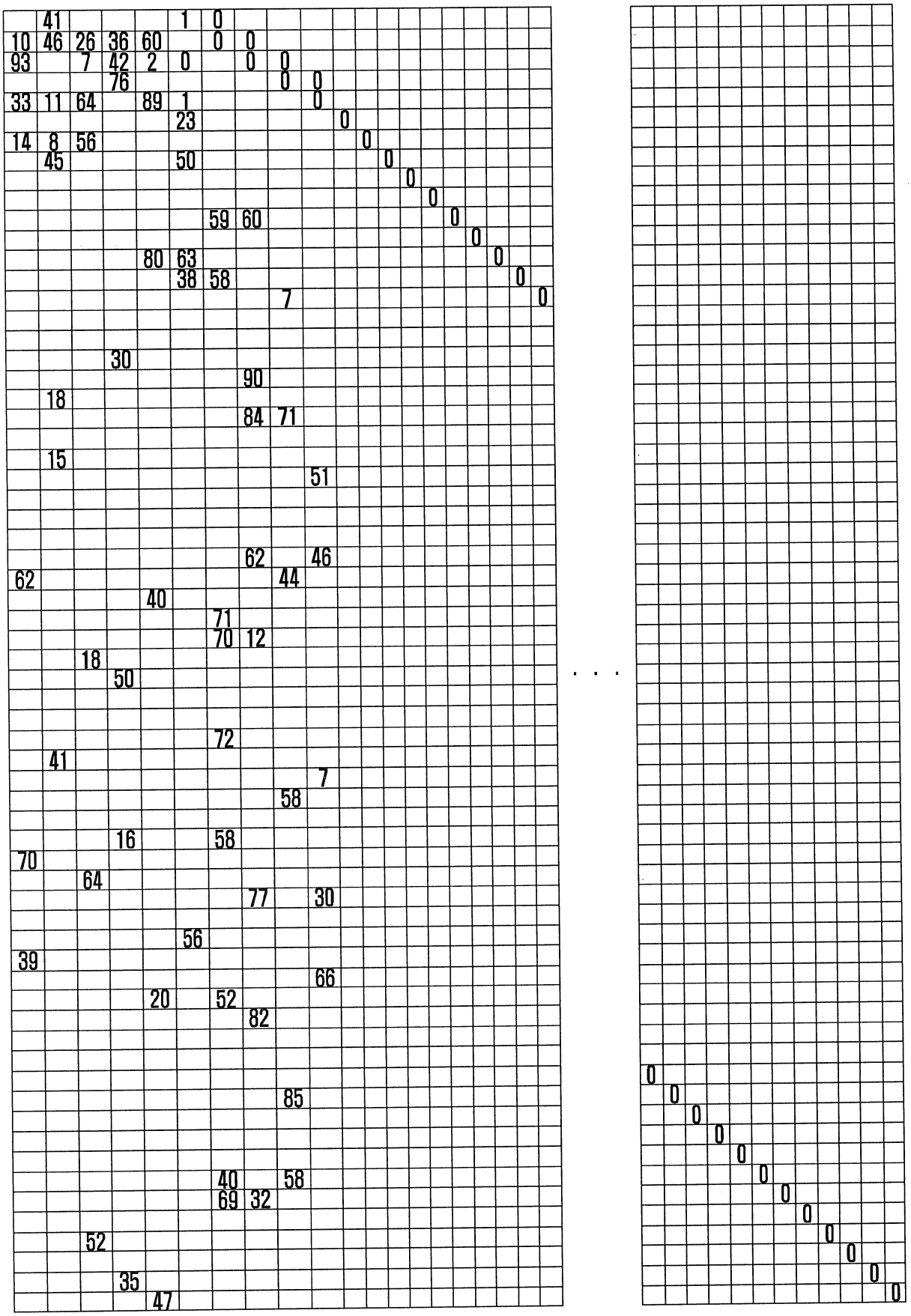

41 1 0
10 46 26 36 60 0 0
93 7 42 2 0 0 0
76 0 0
33 11 64 89 1 0
23 0
14 8 56 0
45 50 0
0
0
0
59 60 0
0
80 63 0
38 58 0
7 0
30
90
18
84 71
15
51
62 46
62 44
40
71
70 12
18
50
72
41
7
58
16 58
70
64
77 30
56
39
66
20 52
82
85
40 58
69 32
52
35
47
0
0
0
0
0
0
0
0
0
0
0

FIG. 15A

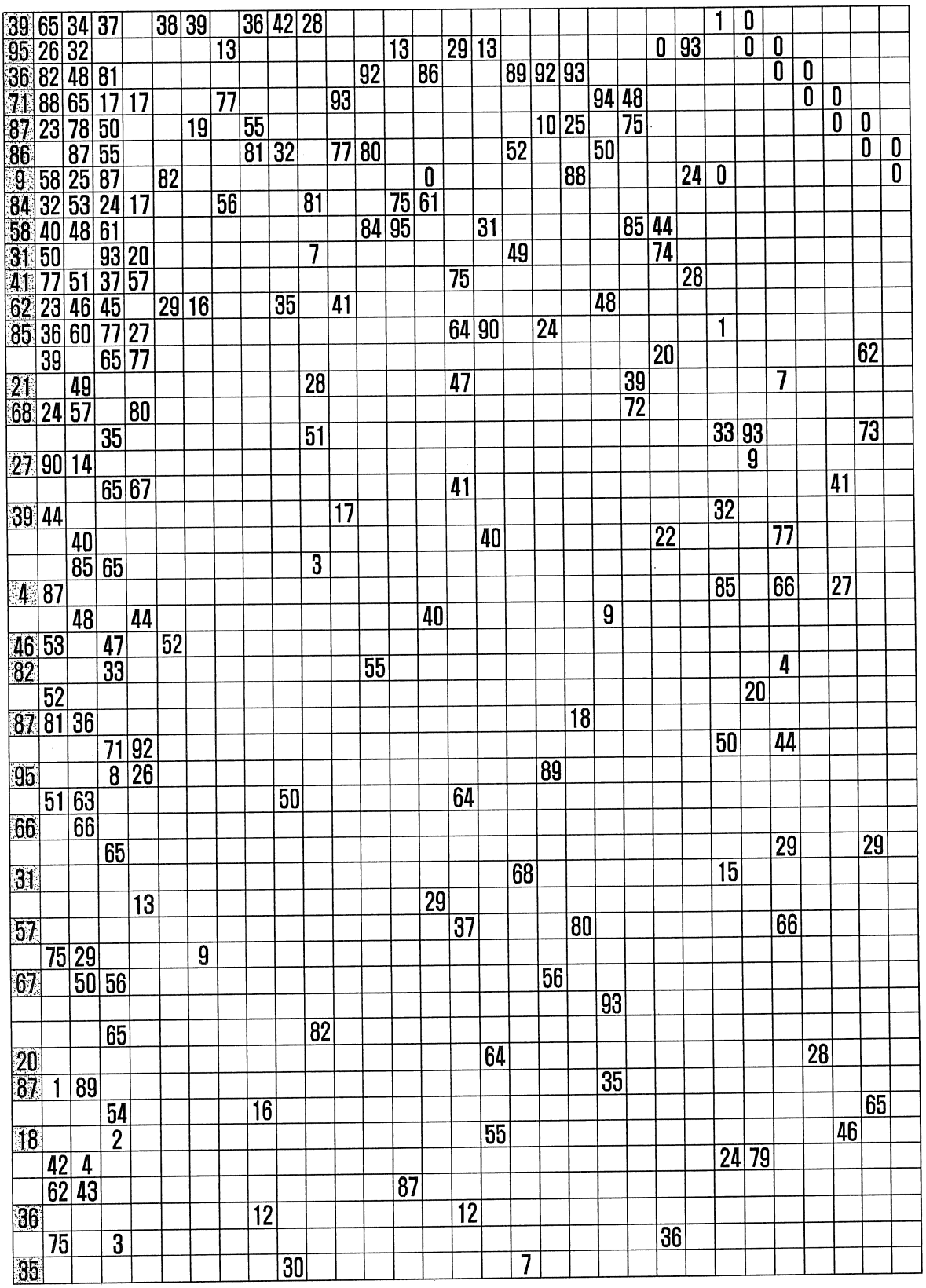


FIG. 15B

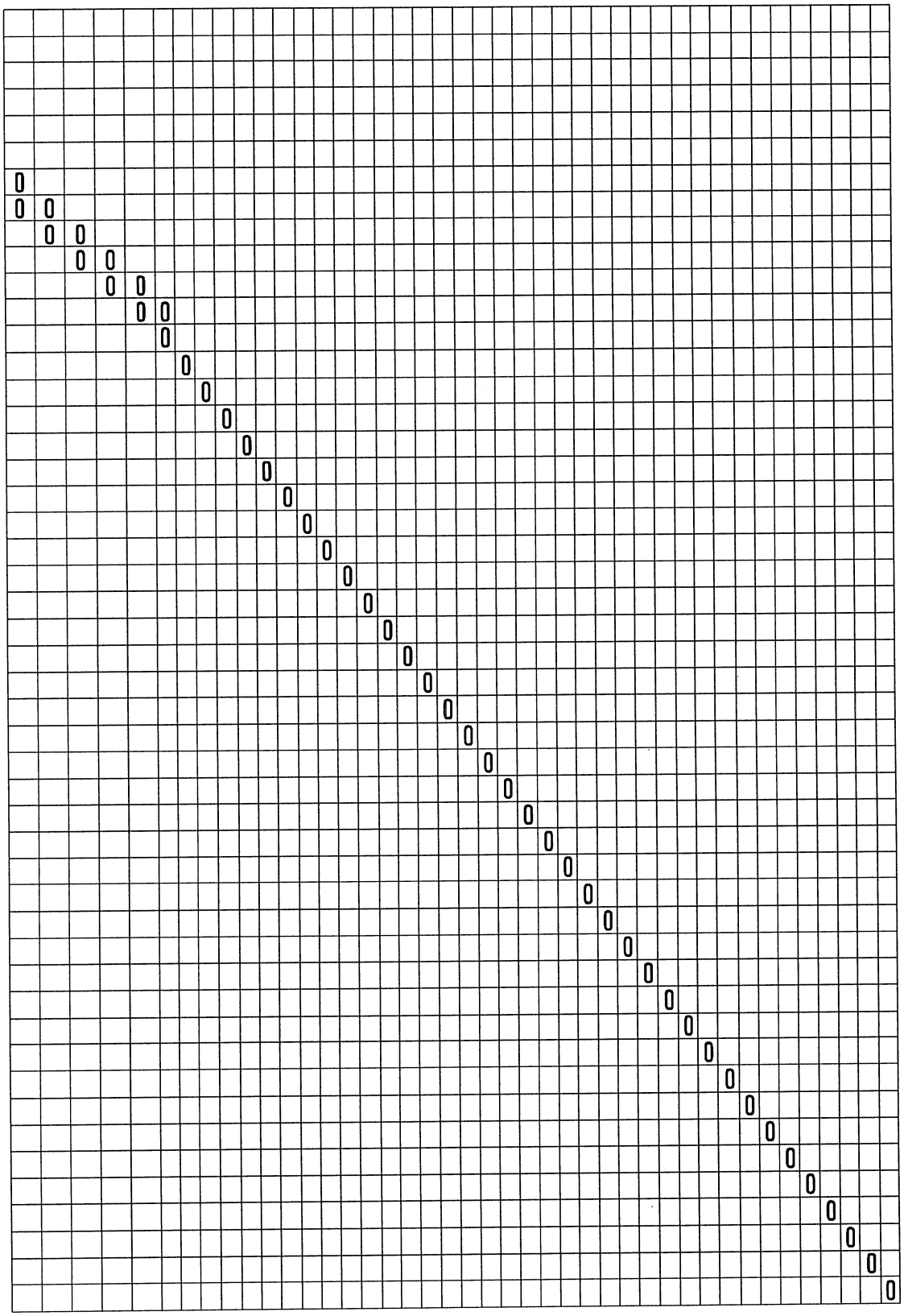


FIG. 16A

50	51	94	93				38									1	0			
23		37	93			69	39										0	0		
90			93					28										0	0	
93		19	75						37	23									0	0
32											47	25		41	10					0
89	81	41	83										36							
81		3									21									
72	48			7									92	14						
58	49	86		57											89					
32	90		22		44															
86		75		59	11											0				
24	7			53		32	89													
3	12	62	79			41														
85		70	5		55			81												
68				16	69			74		5										
52	39	7	4						21											
33	41	14								88			58							
27	93		80									19			60					
24	50		82	3								82								
45	49	16	54											56						
7					50				3		81					1				
	48	29																		83
17			52																10	
40	9	56																		
			84																43	
58																				
	14																			
24																				48
		3							59											
32		5																		
	7		65																37	19
																37			71	
85			69																	

FIG. 16B

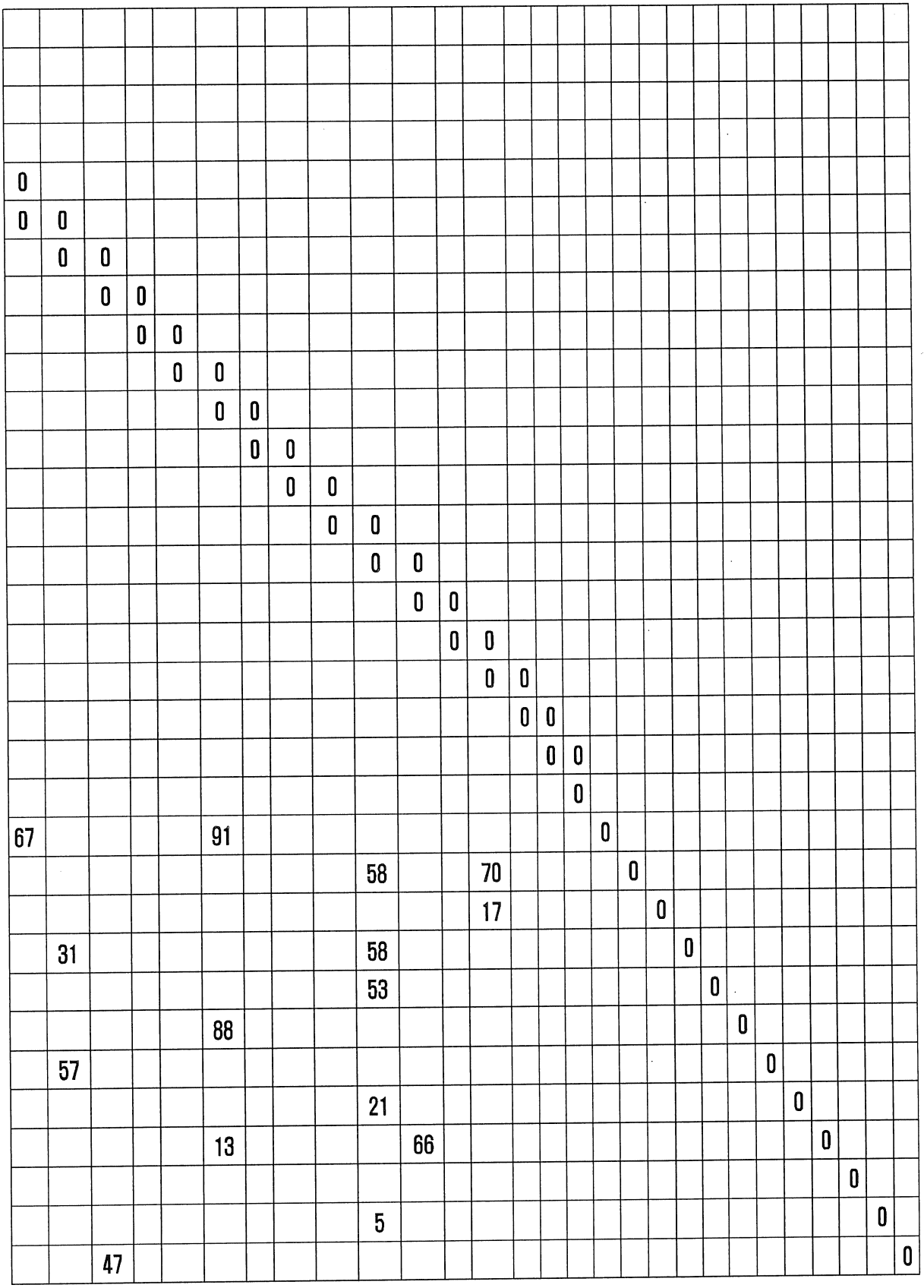

0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
0 0
67 91
58 70
17
31 58
53
88
57
21
13 66
5
47

FIG. 17A

A

54	19	24	68	12	2	18	16	13	46	66	52	21	9		80	24		3	11	1	0		
10	76	29	30	8	28	16	35	62	53	57	53	15	38	72	73		45	38	71		0	0	
70	71	31	35	20	21	6	56	36	52	22	37	50	27	58	16	56	41			0		0	0
41	24	25	49	28	6	28	60	22	70	11	27	1		67		22	78	76	5	1			0
27	70	45	45	28	9	29	30	39	29	56	80	29											
	77	8	69	49	68	78		66	8	6	79	40											
74	37		41	6					57	63						56							
		24			16	74	27	44			42	12											
	9	20		25					18	3	59												
			79		5	78		1				22										27	
	24	47			67	30					43			18			42						
				78				58	51	70		35										64	
	0			78		39		66	38					4							63		
		45			3					12	11	38					80						
		62		57	12			26											27	35			
	29					34			23		51	3											
		48						44				54					71		61				
				7		33			28					2									
	48		11							64	42												
					73								73							77		37	
	45								40		56											65	
		51				12				40										41			
				53	5			77										39					
												68		52		11	57						
								66			32						60				29		
				22						9				28									
58					71							42											
	8	75											43										
									32		18								1			76	
	53							41									42			15			
												15		10		44		4					
		59			42	18																	
52	12					49		74															
		39							38	18		21											
				47									14								18	48	
					31						31					17		49					
	26										14					1	4						
						14			65			2			77								
										37				53						74			
		37						50														16	

B

FIG. 17B

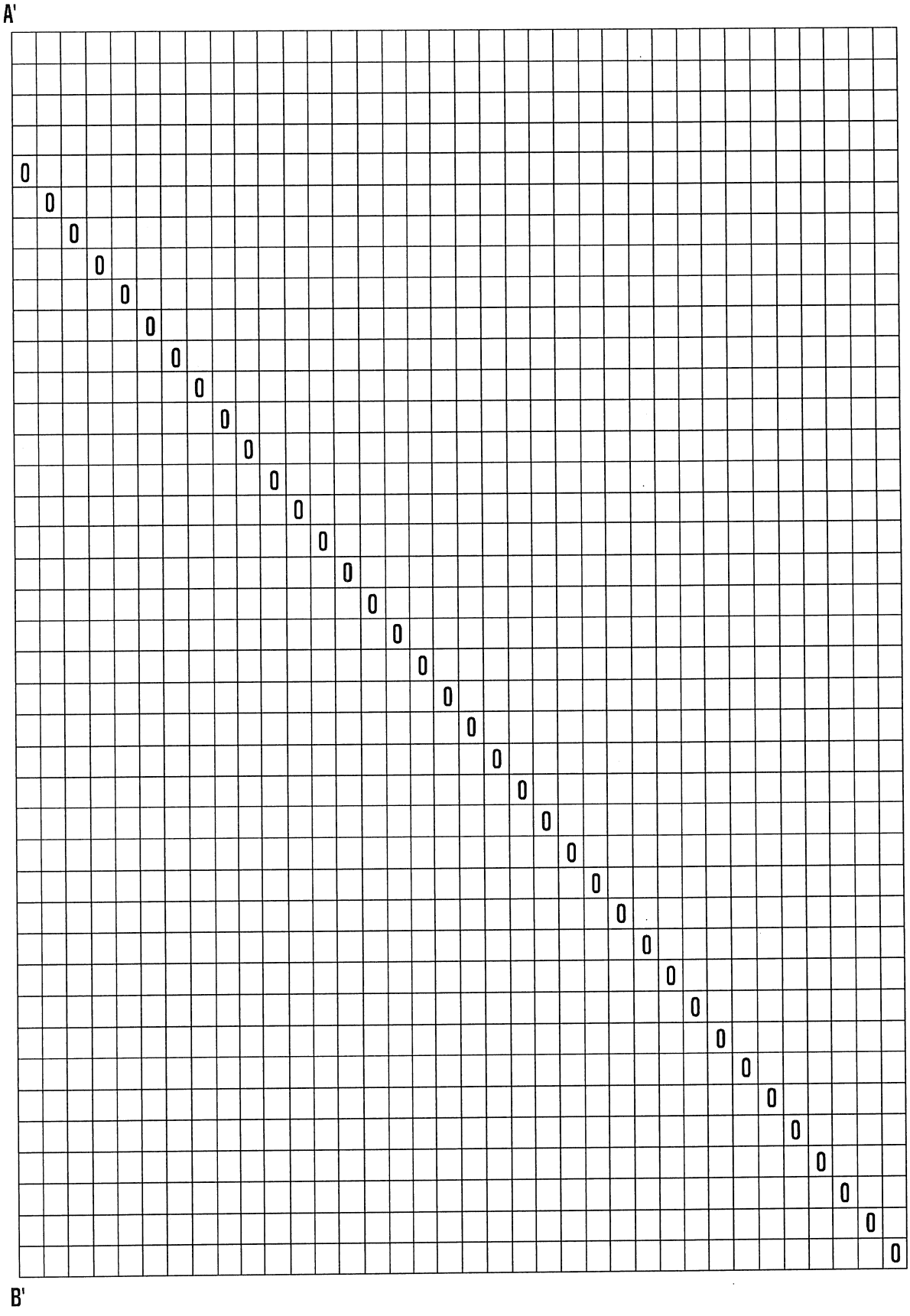


FIG. 18

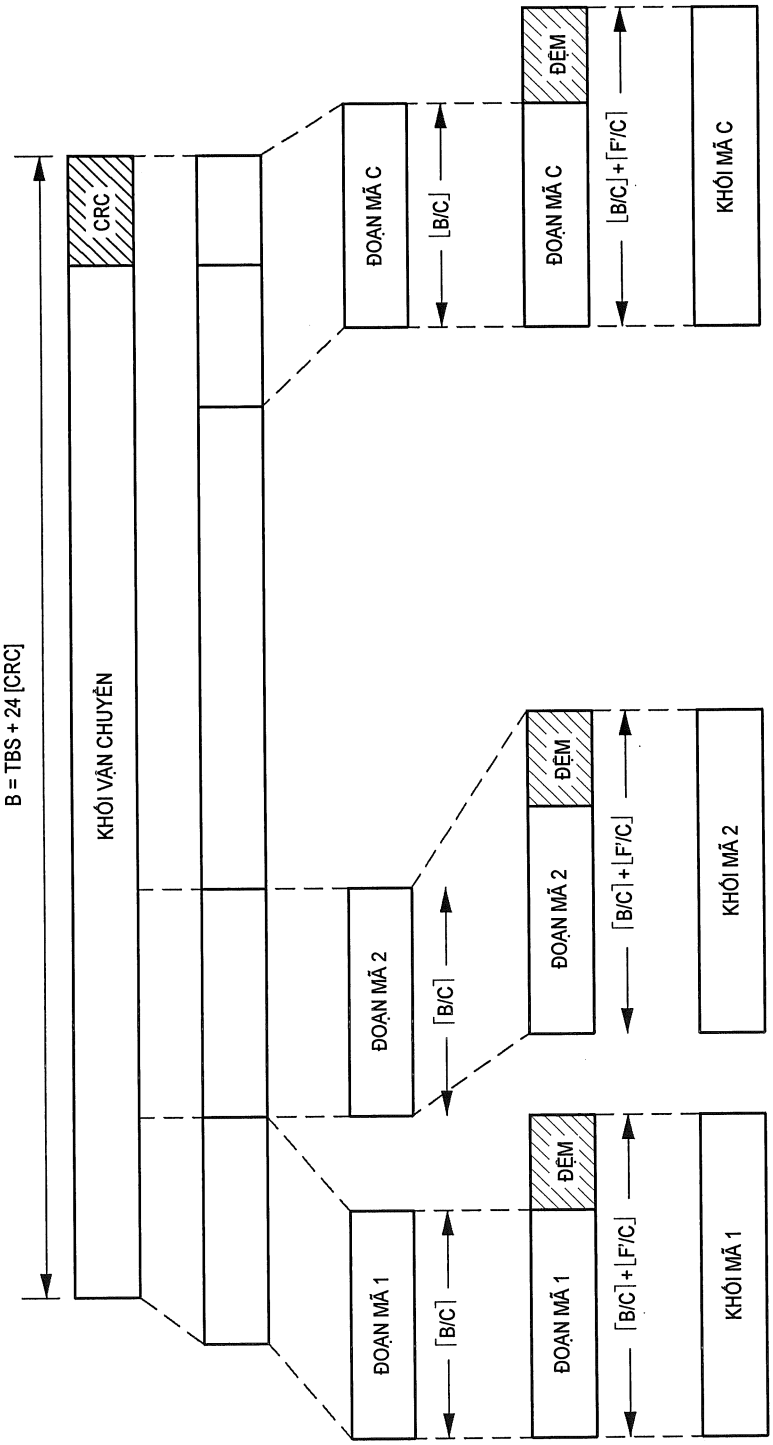

B = TBS + 24 [CRC]
KHỐI VẬN CHUYỂN
CRC
ĐOẠN MÃ C
⌊B/C⌋
ĐỆM
ĐOẠN MÃ C
⌊B/C⌋ + ⌈F'/C⌉
KHỐI MÃ C
ĐOẠN MÃ 2
⌈B/C⌉
ĐỆM
ĐOẠN MÃ 2
⌈B/C⌉ + ⌊F'/C⌋
KHỐI MÃ 2
ĐOẠN MÃ 1
⌈B/C⌉
ĐỆM
ĐOẠN MÃ 1
⌈B/C⌉ + ⌊F'/C⌋
KHỐI MÃ 1

FIG. 19

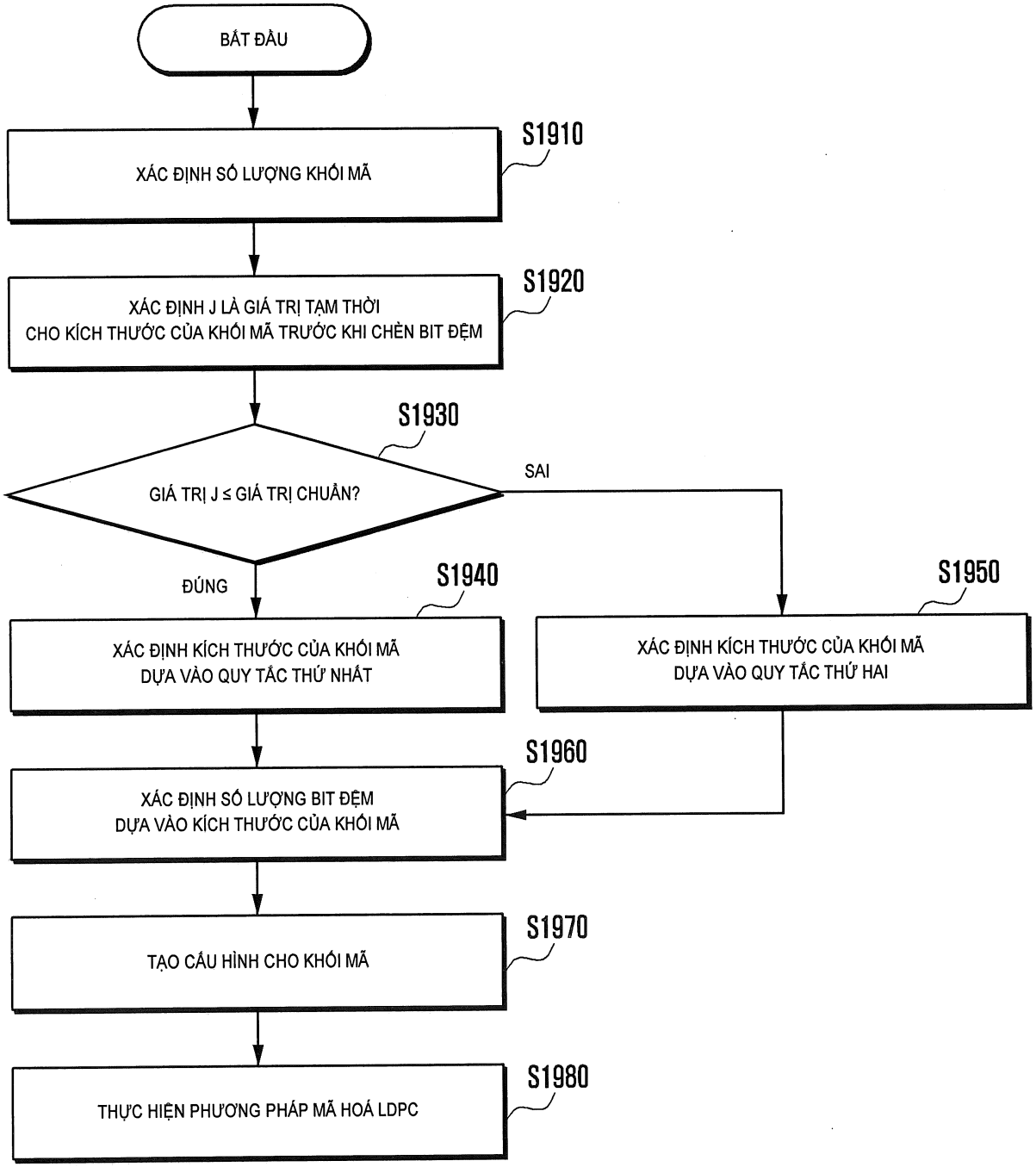
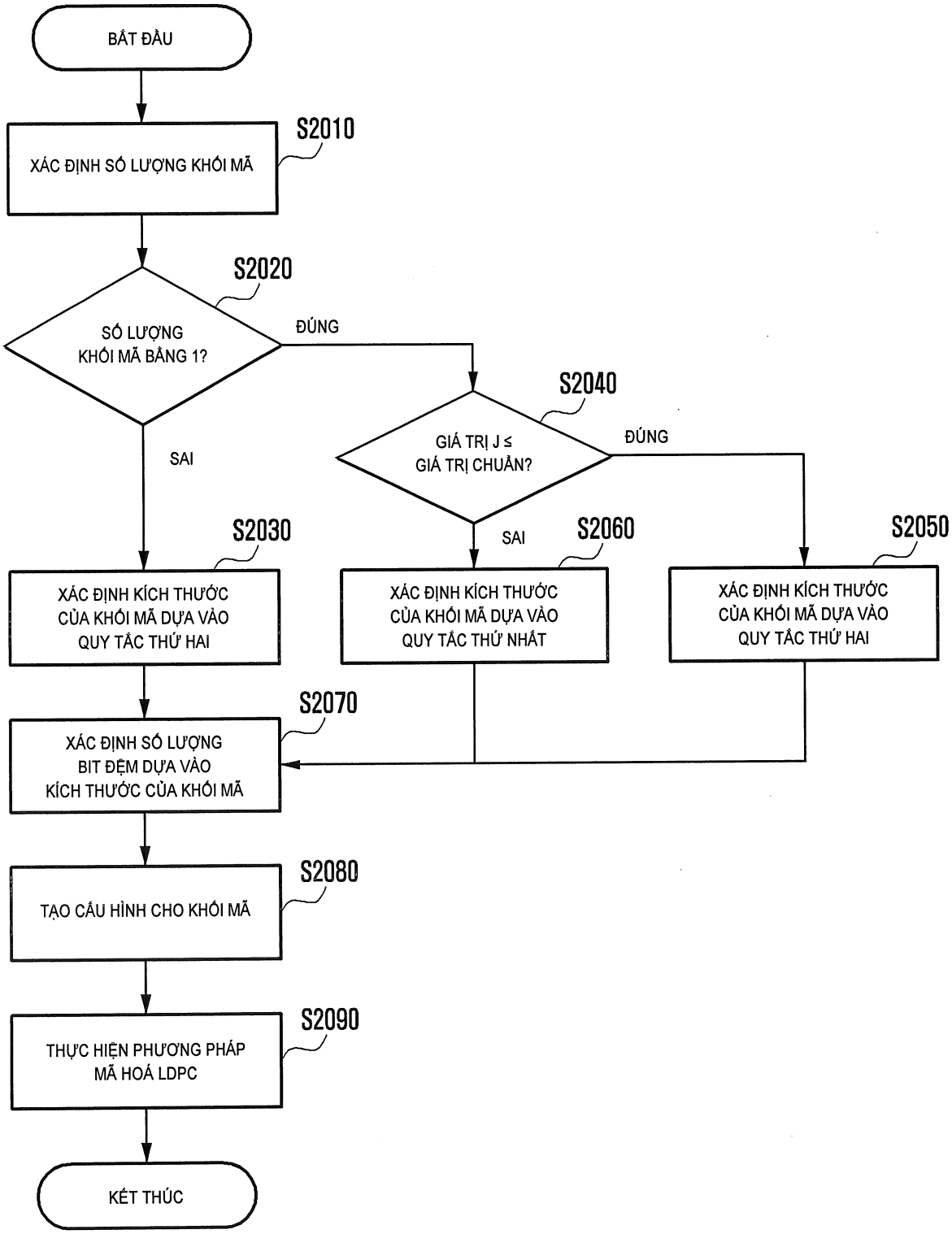

BẮT ĐẦU
XÁC ĐỊNH SỐ LƯỢNG KHỐI MÃ
S1910
XÁC ĐỊNH J LÀ GIÁ TRỊ TẠM THỜI
CHO KÍCH THƯỚC CỦA KHỐI MÃ TRƯỚC KHI CHÈN BIT ĐỆM
S1920
S1930
GIÁ TRỊ J ≤ GIÁ TRỊ CHUẨN?
SAI
ĐÚNG
S1940
XÁC ĐỊNH KÍCH THƯỚC CỦA KHỐI MÃ
DỰA VÀO QUY TẮC THỨ NHẤT
S1950
XÁC ĐỊNH KÍCH THƯỚC CỦA KHỐI MÃ
DỰA VÀO QUY TẮC THỨ HAI
S1960
XÁC ĐỊNH SỐ LƯỢNG BIT ĐỆM
DỰA VÀO KÍCH THƯỚC CỦA KHỐI MÃ
S1970
TẠO CẤU HÌNH CHO KHỐI MÃ
S1980
THỰC HIỆN PHƯƠNG PHÁP MÃ HOÁ LDPC

FIG. 20


BẮT ĐẦU
S2010
XÁC ĐỊNH SỐ LƯỢNG KHỐI MÃ
S2020
SỐ LƯỢNG KHỐI MÃ BẰNG 1?
ĐÚNG
SAI
S2040
GIÁ TRỊ J ≤ GIÁ TRỊ CHUẨN?
ĐÚNG
SAI
S2030
XÁC ĐỊNH KÍCH THƯỚC CỦA KHỐI MÃ DỰA VÀO QUY TẮC THỨ HAI
S2060
XÁC ĐỊNH KÍCH THƯỚC CỦA KHỐI MÃ DỰA VÀO QUY TẮC THỨ NHẤT
S2050
XÁC ĐỊNH KÍCH THƯỚC CỦA KHỐI MÃ DỰA VÀO QUY TẮC THỨ HAI
S2070
XÁC ĐỊNH SỐ LƯỢNG BIT ĐỆM DỰA VÀO KÍCH THƯỚC CỦA KHỐI MÃ
S2080
TẠO CẤU HÌNH CHO KHỐI MÃ
S2090
THỰC HIỆN PHƯƠNG PHÁP MÃ HOÁ LDPC
KẾT THÚC