



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0029396

(51)⁷ H05K 3/18; H05K 3/40

(13) B

(21) 1-2017-00241

(22) 16/07/2015

(86) PCT/JP2015/070352 16/07/2015

(87) WO 2016/013473 A1 28/01/2016

(30) 2014-151083 24/07/2014 JP

(45) 25/09/2021 402

(43) 26/06/2017 351A

(73) 1. FUKUOKA UNIVERSITY (JP)

8-19-1, Nanakuma, Jonan-ku, Fukuoka-shi, Fukuoka 8140180 (JP)

2. OKUNO CHEMICAL INDUSTRIES CO., LTD. (JP)

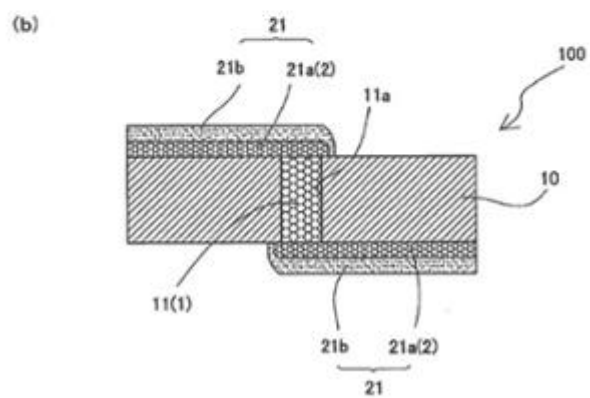
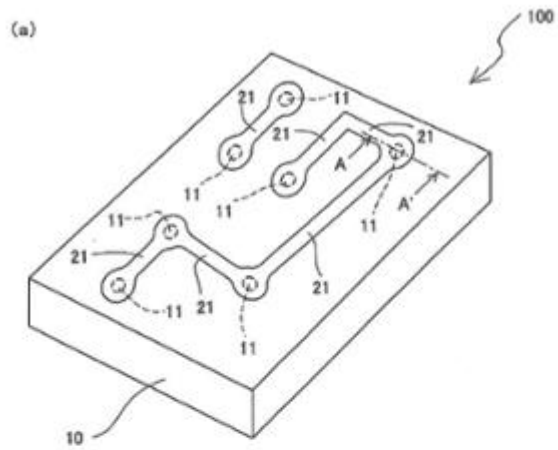
4-7-10, Doshomachi, Chuo-ku, Osaka-shi, Osaka 5410045 (JP)

(72) KATO Yoshihisa (JP); TOMOKAGE Hajime (JP); OTSUKA Kuniaki (JP); NISHIKI Shingo (JP).

(74) Công ty Cổ phần Sở hữu công nghiệp INVESTIP (INVESTIP)

(54) BẢNG MẠCH IN VÀ PHƯƠNG PHÁP SẢN XUẤT BẢNG MẠCH IN NÀY

(57) Sáng chế đề xuất bảng mạch in được tạo ra bởi quy trình sản xuất mà đạt được sự giảm chất thải (lượng lớn chất lỏng thải), nhờ đó rút ngắn thời gian sản xuất. Bảng mạch in [100] bao gồm: nền cách điện [10]; lỗ thông [11a] xuyên qua nền cách điện [10]; lỗ mạ thứ nhất [11] được tạo ra bằng cách làm đầy lỗ thông [11a] bằng hồ bột dẫn điện thứ nhất [1]; và dây dẫn thứ nhất [21] được bố trí trên nền cách điện [10] và được nối vào lỗ mạ thứ nhất [11]. Dây dẫn thứ nhất [21] bao gồm: lớp hạt dẫn thứ nhất [21a] được nối vào lỗ mạ thứ nhất [11] và được tạo ra bằng hồ bột dẫn điện thứ hai [2] làm màng cơ sở cho dây dẫn thứ nhất [21], và lớp mạ không điện thứ nhất [21b] che phủ lớp hạt dẫn thứ nhất [21a]. Sáng chế cũng đề cập đến phương pháp sản xuất bảng mạch in này.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bảng mạch in (PWB - printed wiring board) và phương pháp sản xuất bảng mạch in này, cụ thể là bảng mạch in hai mặt hoặc bảng mạch in nhiều lớp và phương pháp sản xuất bảng mạch in này.

Tình trạng kỹ thuật của sáng chế

Các bảng mạch in đã được sản xuất trong hơn 60 năm với sơ đồ trừ trong đó lá đồng trên nền được ăn mòn để tạo mẫu, gây ra nhiều lãng phí.

Nguyên tắc thiết kế độ rộng đường dẫn của mạch trên bảng mạch in tùy thuộc vào các loại linh kiện bán dẫn hoặc các tụ điện được gắn trên đó và trải trong phạm vi từ 20 μm hoặc nhỏ hơn (các sản phẩm mới nhất) đến khoảng 0,3 mm (các sản phẩm có mục đích chung). Rõ ràng, đối với các bảng mạch in, độ rộng đường dẫn càng lớn hoặc kích thước nền càng lớn, lượng chất lỏng thải trong bước hiện mạch, bước ăn mòn và bước bóc tách càng lớn. Hiện nay, các sản phẩm có độ rộng đường dẫn là 0,1 mm hoặc lớn hơn chiếm 80% trên thị trường.

Chất thải được tạo ra trong quá trình sản xuất các bảng mạch in bao gồm không chỉ chất lỏng thải của đồng sau khi ăn mòn mà còn có cả dung dịch hiện mạch hoặc dung dịch bóc tách được sử dụng cho các lớp chắn hữu cơ (các chất cản quang) để tạo mạch.

Khoảng 20 năm trước, các bảng mạch in được sản xuất hàng loạt bằng quy trình cộng toàn phần và các mạch được tạo ra bằng cách sử dụng quá trình mạ không điện mà tăng chậm với tốc độ 1 μm độ dày mỗi giờ, vì vậy việc sản xuất các bảng mạch cần đến hơn 20 giờ.

Ví dụ, phương pháp sản xuất bảng mạch in nhiều lớp thông thường bao gồm bước tạo ra lớp cách điện trên bề mặt của bảng mạch lớp trong bao gồm mạch lớp trong, bước tạo ra lỗ kín chạm tới mạch lớp trong ở phần được nối tới mạch lớp trong, bước tạo ra lỗ mạ bằng cách làm đầy lỗ kín bằng hồ bột dẫn điện, bước tạo ra lớp mạ

không điện trên bề mặt của lớp cách điện có lỗ mạ, bước tạo ra lớp cản mạ trên đó, bước làm nổi các phần mạch dẫn điện với mạ điện phân, bước bóc lớp cản mạ, và bước ăn mòn lớp mạ không điện có ở dưới lớp cản mạ (xem tài liệu sáng chế 1, ví dụ).

Phương pháp sản xuất bảng đi dây thông thường bao gồm các bước gồm bước tạo ra lỗ mạ trong nền cách điện chứa nhựa nhiệt rắn, bước làm đầy lỗ mạ bằng hồ bột dẫn điện gồm các hạt dẫn điện và nhựa nhiệt rắn, bước ép nhiệt và bước hóa cứng nền cách điện và hồ bột dẫn điện, và bước tạo ra dây dẫn được nối điện vào hồ bột dẫn điện. Phương pháp này tạo ra dây dẫn mạ mà dính vào nền cách điện và được ghép với các hạt dẫn điện trong hồ bột dẫn điện trên ít nhất một mặt (xem tài liệu sáng chế 2, ví dụ) trong bước tạo ra dây dẫn.

Danh sách tài liệu viện dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1: Đơn yêu cầu cấp bằng sáng chế Nhật Bản chờ cấp bằng số 2000-244126

Tài liệu sáng chế 2: Đơn yêu cầu cấp bằng sáng chế Nhật Bản chờ cấp bằng số 2001-308534

Bản chất kỹ thuật của sáng chế

Vấn đề kỹ thuật

Phương pháp nhiều lớp thông thường dùng để sản xuất bảng mạch in có vấn đề về việc tạo ra các chất lỏng thải trong các bước tạo ra và bước bóc lớp cản mạ, và bước ăn mòn lớp mạ không điện.

Ngoài ra, phương pháp sản xuất bảng mạch in thông thường yêu cầu các bước gồm bước áp chất xúc tác paladin cảm quang trên cả hai mặt của nền cách điện, bước chiếu xạ phơi với tia cực tím (UV-Ultraviolet) qua lớp chắn quang để hoạt hóa các phần được chiếu xạ với tia cực tím, và loại bỏ chất xúc tác paladin cảm quang trong các phần không được hoạt hóa, và do đó yêu cầu khoảng thời gian dài để sản xuất bảng mạch in.

Mục đích của sáng chế, được thực hiện để giải quyết các vấn đề này, là tạo ra bảng mạch in được sản xuất mà không cần bước hiện mạch, bước ăn mòn, và bước bóc, và có ít chất thải hơn so với các bảng mạch in thông thường (mà không tạo ra lượng lớn chất lỏng thải) với thời gian sản xuất ngắn hơn.

Giải pháp cho vấn đề

Bảng mạch in của sáng chế bao gồm: nền cách điện; lỗ thông mà xuyên qua nền cách điện; lỗ mạ thứ nhất được tạo ra bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện; và dây dẫn thứ nhất được bố trí trên nền cách điện và được nối vào lỗ mạ thứ nhất. Dây dẫn thứ nhất bao gồm: lớp hạt dẫn thứ nhất được nối vào lỗ mạ thứ nhất và được tạo ra bằng hồ bột dẫn điện làm màng cơ sở cho dây dẫn thứ nhất, và lớp mạ không điện thứ nhất che phủ lớp hạt dẫn thứ nhất.

Hiệu quả có lợi của sáng chế

Sáng chế đề xuất bảng mạch in có thể được sản xuất một cách có lợi với ít chất thải được tạo ra trong quá trình sản xuất hơn và trong thời gian sản xuất ngắn hơn so với các bảng mạch in thông thường.

Mô tả vắn tắt các hình vẽ

Fig.1(a) là hình vẽ phối cảnh minh họa kết cấu dạng giản đồ làm ví dụ của bảng mạch in theo phương án thứ nhất, và Fig.1(b) là hình vẽ mặt cắt ngang theo đường A-A' trong bảng mạch in được thể hiện trên Fig.1(a).

Fig.2 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in theo phương án thứ nhất và tương ứng với Fig.1(b), trong đó Fig.2(a) là hình vẽ mặt cắt ngang của nền cách điện, Fig.2(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lỗ thông được tạo ra, Fig.2(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà hồ bột dẫn điện thứ nhất được nạp, Fig.2(d) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp hạt dẫn thứ nhất được tạo ra trên bề mặt phía trước của nền cách điện, và Fig.2(e) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp hạt dẫn thứ nhất được tạo ra trên bề mặt phía sau của nền cách điện.

Fig.3 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in thông thường, trong đó Fig.3(a) là hình vẽ mặt cắt ngang của nền cách điện, Fig.3(b) là hình vẽ mặt cắt ngang minh họa bước tạo ra lỗ thông, Fig.3(c) là hình vẽ mặt cắt ngang minh họa bước mạ không điện, Fig.3(d) là hình vẽ mặt cắt ngang minh họa bước mạ điện phân, và Fig.3(e) là hình vẽ mặt cắt ngang minh họa bước gắn lớp chắn.

Fig.4 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in thông thường được tiếp tục từ Fig.3, trong đó Fig.4(a) là hình vẽ mặt cắt ngang minh họa bước phơi sáng hai mặt, Fig.4(b) là hình vẽ mặt cắt ngang minh họa bước hiện mạch, Fig.4(c) là hình vẽ mặt cắt ngang minh họa bước ăn mòn, và Fig.4(d) là hình vẽ mặt cắt ngang minh họa bước bóc lớp chắn.

Fig.5(a) là hình vẽ bằng minh họa ví dụ khác về vùng lân cận của lỗ mạ thứ nhất theo phương án thứ nhất, Fig.5(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp hạt dẫn thứ nhất của bảng mạch in được tạo ra ở vùng lân cận của lỗ mạ thứ nhất được minh họa trên Fig.5(a), và Fig.5(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp mạ không điện thứ nhất của bảng mạch in được tạo ra ở vùng lân cận của lỗ mạ thứ nhất được minh họa trên Fig.5(a).

Fig.6 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in theo phương án thứ hai, trong đó Fig.6(a) là hình vẽ mặt cắt ngang của nền cách điện, Fig.6(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lỗ thông được tạo ra, Fig.6(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà hồ bột dẫn điện thứ nhất được nạp, Fig.6(d) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp hạt dẫn thứ nhất được tạo ra trên cả hai mặt của nền cách điện, và Fig.6(e) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ hai được tạo ra trên các lớp hạt dẫn thứ nhất.

Fig.7 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in được tiếp tục từ Fig.6, trong đó Fig.7(a) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp cách điện được tạo ra trên bề mặt phía trước của nền cách điện,

Fig.7(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp cách điện được tạo ra trên bề mặt phía sau của nền cách điện, Fig.7(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các phần hở trên phía bề mặt phía trước của nền cách điện được làm đầy bằng hồ bột dẫn điện thứ ba, và Fig.7(d) là hình vẽ mặt cắt ngang minh họa trạng thái mà các phần hở trên phía bề mặt phía sau của nền cách điện được làm đầy bằng hồ bột dẫn điện thứ ba.

Fig.8 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in được tiếp tục từ Fig.7, trong đó Fig.8(a) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ hai được tạo ra trên phía bề mặt phía trước của nền cách điện, Fig.8(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ hai được tạo ra trên phía bề mặt phía sau của nền cách điện, và Fig.8(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ hai được tạo ra trên các lớp dẫn thứ hai.

Fig.9(a) là hình vẽ mặt cắt ngang minh họa kết cấu dạng giản đồ làm ví dụ của bảng mạch in theo phương án thứ hai, và Fig.9(b) là hình vẽ mặt cắt ngang minh họa kết cấu dạng giản đồ làm ví dụ của bảng mạch in theo phương án thứ ba.

Fig.10 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in theo phương án thứ ba, trong đó Fig.10(a) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ ba được tạo ra trên phía bề mặt phía trước của nền cách điện, Fig.10(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ ba được tạo ra trên phía bề mặt phía sau của nền cách điện, và Fig.10(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ ba được tạo ra trên các lớp dẫn thứ ba và các lớp mạ không điện thứ nhất.

Mô tả chi tiết sáng chế

(Phương án thứ nhất của sáng chế)

Như được thể hiện trên Fig.1, bảng mạch in 100 theo phương án này, mà là bảng mạch in hai mặt (nền hai mặt), về cơ bản bao gồm nền cách điện 10, các lỗ thông 11a mà xuyên qua nền cách điện 10, các lỗ mạ (sau đây gọi là các lỗ mạ thứ nhất 11) được

tạo ra bằng cách làm đầy các lỗ thông 11a bằng hồ bột dẫn điện (sau đây gọi là hồ bột dẫn điện thứ nhất 1), và dây dẫn (sau đây gọi là dây dẫn thứ nhất 21) mà ở trên nền cách điện 10 và được nối vào lỗ mậthứ nhất 11.

Dây dẫn thứ nhất 21 được nối vào lỗ mậthứ nhất 11 và bao gồm lớp dẫn điện (sau đây gọi là lớp hạt dẫn thứ nhất 21a) được tạo ra bằng hồ bột dẫn điện (sau đây gọi là hồ bột dẫn điện thứ hai 2) và đóng vai trò làm màng cơ sở (lớp xúc tác mạ) cho dây dẫn thứ nhất 21; và lớp mạ không điện (sau đây gọi là lớp mạ không điện thứ nhất 21b) che phủ lớp hạt dẫn thứ nhất 21a.

Cần phải lưu ý là nền cách điện 10 theo phương án này gồm có nhựa epoxy thủy tinh nhưng có thể gồm có vật liệu cách điện bất kỳ khác với nhựa epoxy thủy tinh, như polyimide hoặc gốm sứ.

Hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2 theo phương án này chứa nhựa epoxy làm thành phần nhựa nhưng có thể còn chứa nhựa epoxy được trộn với ít nhất một trong số nhựa acrylat, nhựa alkyd, nhựa melamin, và nhựa xylen.

Hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2 chứa các hạt dẫn điện mà có thể là các hạt của một kim loại được chọn từ nhóm chi bao gồm vàng (Au), bạc (Ag), đồng (Cu), và niken (Ni) (ví dụ, chỉ đồng hoặc chỉ bạc); hợp chất (hợp kim) của ít nhất hai trong số các kim loại này; hỗn hợp các hạt của ít nhất hai trong số các kim loại này (ví dụ, hỗn hợp của đồng và bạc, hỗn hợp của đồng, bạc, và kim loại khác, hỗn hợp của đồng, bạc, và các hạt chất hàn (ví dụ, các hạt gốc thiếc-bạc hoặc các hạt gốc thiếc-bitmut)), hoặc các hạt của một kim loại được phủ với kim loại khác.

Cụ thể, hỗn hợp của đồng, bạc, và các hạt chất hàn được gọi là hồ bột mạ kim loại tạo hợp kim với lá đồng ở nhiệt độ thấp (khoảng 160°C) và có độ dẫn điện ổn định. Hỗn hợp của đồng, bạc, và các hạt chất hàn, trong đó việc tạo hợp kim xảy ra trong các phân khối, có điểm nóng chảy dịch chuyển đến nhiệt độ cao hơn (260°C hoặc lớn hơn) và do đó có độ bền kháng nhiệt cao hơn.

Hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2 có thể chứa chất hóa cứng, mà là chất hóa cứng phenol, chất hóa cứng imidazol, chất hóa cứngcation, hoặc

chất hóa cứng gốc, và chất phụ gia, mà là chất khử bọt, chất làm đầy, hoặc chất tạo quánh.

Theo phương án này, chất làm đầy kim loại (hỗn hợp của các hạt dẫn điện và nhựa epoxy cách điện và chất tương tự), mà được sản xuất bởi Tatsuta electric wire & cable co., ltd., được sử dụng cho hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2, các hạt dẫn điện trong hồ bột dẫn điện thứ nhất 1 trong lỗ mạ thứ nhất 11 là các hạt đồng, và các hạt dẫn điện trong hồ bột dẫn điện thứ hai 2 trong lớp hạt dẫn thứ nhất 21a là các hạt bạc. Cụ thể, các hạt dẫn điện trong hồ bột dẫn điện thứ nhất 1 trong lỗ mạ thứ nhất 11 và các hạt dẫn điện trong hồ bột dẫn điện thứ hai 2 trong lớp hạt dẫn thứ nhất 21a tốt hơn là có các hợp phần về cơ bản giống nhau gồm một hoặc nhiều kim loại, các lượng của nhiều hơn một kim loại, hoặc dạng kết hợp của các hợp phần kim loại và các kim loại. Trong trường hợp này, độ tương thích giữa hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2 được tăng lên, liên kết giữa lỗ mạ thứ nhất 11 và lớp hạt dẫn thứ nhất 21a được tăng cường, và chức năng neo của lỗ mạ thứ nhất 11 vào dây dẫn thứ nhất 21 ngăn sự rời ra của dây dẫn thứ nhất 21 khỏi nền cách điện 10.

Kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện thứ hai 2 nên là 20 μm hoặc nhỏ hơn vì vậy độ dày của lớp hạt dẫn thứ nhất 21a có thể nhỏ bằng 20 μm hoặc nhỏ hơn, trong khi kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện thứ nhất 1 không cần phải là 20 μm hoặc nhỏ hơn do đường kính của lỗ mạ thứ nhất 11 là từ khoảng 0,2 mm đến khoảng 0,3 mm.

Theo đó, bảng mạch in 100 theo phương án này khác biệt ở chỗ kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện thứ hai 2 trong lớp hạt dẫn thứ nhất 21a nhỏ hơn kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện thứ nhất 1 trong lỗ mạ thứ nhất 11.

Nếu hồ bột dẫn điện thứ nhất 1, mà được nạp vào trong lỗ thông 11a, chỉ chứa các hạt dẫn điện kích thước lớn, khoảng trống lớn giữa các hạt dẫn điện liền kề có thể khiến không đủ độ dẫn của lỗ mạ thứ nhất 11. Vì lý do này, hồ bột dẫn điện thứ nhất 1 chứa cả các hạt dẫn điện kích thước lớn và các hạt dẫn điện kích thước nhỏ, vì vậy các

hạt dẫn điện kích thước nhỏ được len lỏi vào giữa các hạt dẫn điện kích thước lớn, đảm bảo độ dẫn của lỗ mạ thứ nhất 11 và điều chỉnh độ nhót tổng thể.

Để cụ thể, bảng mạch in 100 theo phương án này cũng khác biệt ở chỗ sự đồng đều về kích thước hạt của các hạt dẫn điện trong hồ bột dẫn điện thứ nhất 1 trong lỗ mạ thứ nhất 11 thấp hơn độ đồng đều về kích thước hạt của các hạt dẫn điện trong hồ bột dẫn điện thứ hai 2 của lớp hạt dẫn thứ nhất 21a.

Cần phải lưu ý là hồ bột dẫn điện thứ nhất 1 và hồ bột dẫn điện thứ hai 2 có thể chứa polyme dẫn điện như, polyaxetylen, polyanilin, polypyrrole hoặc polythiophen, thay vì hồ bột kim loại dẫn điện. Cụ thể, polyme dẫn điện là vật liệu hữu cơ về cơ bản có các đặc tính nhiệt và hệ số giãn nở nhiệt giống như nhựa epoxy thủy tinh được sử dụng cho nền cách điện 10; do đó, việc sử dụng polyme dẫn điện làm hồ bột dẫn điện thứ nhất 1 cho phép tốc độ phát triển của nền cách điện 10 và lỗ mạ thứ nhất 11 xấp xỉ bằng nhau ở các nhiệt độ cao trong khi lắp các thành phần trên bảng mạch in 100, nhờ đó ngăn sự hỏng hóc của bảng mạch in 100 do sự biến dạng.

Lớp mạ không điện thứ nhất 21b theo phương án này gồm có lớp mạ đồng không điện, và dung dịch lớp mạ đồng không điện dùng cho các nền mạch độc lập "OPC đồng NCA" được sản xuất bởi Okuno chemical industries co.,ltd được sử dụng trong quy trình mạ không điện.

Cần phải lưu ý là dung dịch lớp mạ đồng không điện dùng cho các nền mạch độc lập "OPC đồng NCA" cho phép lớp mạ đồng dày lên khoảng 6,0 μ m mỗi giờ, làm tăng đáng kể tốc độ lắng đọng của dung dịch mạ không điện lên hồ bột bạc đến mức cao hơn so với tốc độ lắng đọng của các dung dịch lớp mạ đồng không điện thông thường.

Do dây dẫn thứ nhất 21 được sử dụng để tạo ra mạch yêu cầu độ dày là 20 μ m hoặc lớn hơn, việc sử dụng dung dịch lớp mạ đồng không điện dùng cho các nền mạch độc lập "OPC đồng NCA" là hiệu quả vì nó cho phép lớp mạ không điện thứ nhất 21b phát triển 15 μ m hoặc lớn hơn trong 3 giờ.

Phương pháp sản xuất bảng mạch in 100 bây giờ sẽ được mô tả tham chiếu đến Fig.2.

Các lỗ thông 11a có đường kính là khoảng từ 0,2 đến 0,3 mm được tạo ra trong nền cách điện 10 bằng cách khoan, đục, hoặc xử lý laze (xem Fig.2(b): bước tạo ra lỗ thông).

Tấm in lưới (không được thể hiện trên hình vẽ), mà có các phần hở được tạo ra với nhũ tương và các phần hướng mặt ở trên bề mặt phía trước của nền cách điện 10 tương ứng với các phần của các lỗ thông 11a, được bố trí hướng mặt vào nền cách điện 10, và mực dẫn điện (hồ bột dẫn điện thứ nhất 1) được áp lên trên tấm in lưới.

Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào nền cách điện 10, phun mực dẫn điện (hồ bột dẫn điện thứ nhất 1) qua các phần hở trong tấm in lưới, và làm đầy các lỗ thông 11a trong nền cách điện 10 với mực dẫn điện.

Cần phải lưu ý là việc in lưới theo phương án này sử dụng tấm in lưới, mà có các phần hở được tạo ra với nhũ tương, cùng với lưới sàng có độ bền cao "HS-D500 mesh" (số mắt lưới: 500, kích thước hàng: 19 μm) được sản xuất bởi Asada mesh co., ltd.

Hồ bột dẫn điện thứ nhất 1 được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong khoảng từ 100 đến 200°C trong 30 đến 120 phút và sản phẩm đã hóa cứng nhô ra từ cả hai phía của nền cách điện 10 (bề mặt trước và bề mặt sau) được loại bỏ bằng cách đánh bóng, nhờ đó tạo ra các lỗ mạ thứ nhất 11 (xem Fig.2(c): bước tạo ra lỗ mạ thứ nhất).

Tấm in lưới (không được thể hiện trên hình vẽ), mà có các phần hở được tạo ra với nhũ tương và các phần hướng mặt ở trên bề mặt phía trước của nền cách điện 10 tương ứng với các phần của dây dẫn thứ nhất 21 (lớp hạt dẫn thứ nhất 21a), được bố trí hướng mặt vào nền cách điện 10, và mực dẫn điện (hồ bột dẫn điện thứ hai 2) được áp lên trên tấm in lưới. Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào nền cách điện 10, phun mực dẫn điện (hồ bột dẫn điện thứ hai 2) qua các phần hở ở tấm in lưới, và áp mực dẫn điện theo các đường trên bề mặt của nền cách điện 10. Cần phải lưu ý là việc in lưới theo

phương án này sử dụng tấm in lưới, mà có các phần hở được tạo ra với nhũ tương, cùng với lưới sàng có độ bền cao "HS-D500 mesh" (số mắt lưới: 500, kích thước hàng: 19 μm) được sản xuất bởi Asada mesh co., ltd. Lưới sàng có độ bền cao "HS-D500 mesh" có lưới sàng với độ bền cao mà góp phần ổn định kích thước, cho phép lớp hạt dẫn thứ nhất 21a có độ rộng đường dẫn là khoảng 0,1 mm được tạo ra.

Hồ bột dẫn điện thứ hai 2 được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong khoảng từ 100 đến 200°C trong 30 đến 120 phút, nhờ đó tạo ra lớp hạt dẫn thứ nhất 21a làm màng cơ sở cho dây dẫn thứ nhất 21 (xem Fig.2(d): bước tạo ra lớp hạt dẫn thứ nhất). Cần phải lưu ý là bước tạo ra lớp hạt dẫn thứ nhất tạo ra lớp hạt dẫn thứ nhất 21a trên bề mặt phía trước của nền cách điện 10, sau đó quay nền cách điện 10 lộn ngược, và sau đó tạo ra lớp hạt dẫn thứ nhất 21a trên bề mặt phía sau của nền cách điện 10 theo quá trình giống như quá trình hình thành trên bề mặt phía trước của nền cách điện 10 (xem Fig.2(e)).

Lớp mạ không điện thứ nhất 21b được phát triển trên lớp hạt dẫn thứ nhất 21a (xem Fig.1(b): bước tạo ra lớp mạ không điện thứ nhất) trong quy trình mạ không điện bao gồm, ví dụ, bước tẩy dầu mỡ, bước nhúng sơ bộ, bước thế paladin (Pd), bước loại bỏ lượng dư paladin, và bước mạ đồng không điện.

Cần phải lưu ý là bước tẩy dầu mỡ theo phương án này ngâm phôi trong dung dịch hóa học "OIC cleaner", mà được sản xuất bởi Okuno chemical industries co.,ltd., ở 25°C trong ba phút để làm sạch cả hai mặt (bề mặt trước và bề mặt sau) của nền cách điện 10.

Bước nhúng sơ bộ theo phương án này ngâm phôi trong dung dịch hóa học "OIC pre-dip", mà được sản xuất bởi Okuno chemical industries co.,ltd., ở 25°C trong 30 giây để tăng cường độ tương thích giữa nền cách điện 10 (lớp hạt dẫn thứ nhất 21a) và paladin.

Bước thế paladin theo phương án này ngâm phôi trong dung dịch hóa học "OIC accelerator", mà được sản xuất bởi Okuno chemical industries co.,ltd., ở 25°C trong ba phút để hấp thụ paladin trên nền cách điện 10. Bước loại bỏ lượng dư paladin

theo phương án này ngâm phôi trong dung dịch hóa học "OICpost-dip", mà được sản xuất bởi Okuno chemical industries co.,ltd., ở 25°C trong một phút để loại bỏ paladin khỏi bề trên nền cách điện 10 ngoại trừ lớp hạt dẫn thứ nhất 21a.

Bước mạ đồng không điện theo phương án này ngâm phôi trong dung dịch hóa học "OPC đồng NCA (loại tốc độ cao)", mà được sản xuất bởi Okuno chemical industries co.,ltd., ở 55°C trong 180 phút sao cho phản ứng oxi hóa khử của các ion đồng gây ra bằng chất khử được bổ sung vào dung dịch mạ khiến đồng (lớp mạ không điện thứ nhất 21b) kết tủa trên các hạt xúc tác paladin mà hấp thụ bề mặt của lớp hạt dẫn thứ nhất 21a, nhờ đó tạo ra dây dẫn thứ nhất 21.

Để tạo ra điện cực (không được thể hiện trên hình vẽ) được nối vào dây dẫn thứ nhất 21, lớp chắn cản được tạo ra trên nền cách điện 10 (dây dẫn thứ nhất 21) ngoại trừ phần mà ở đó điện cực được tạo ra, và lớp mạ không điện thứ nhất 21b của dây dẫn thứ nhất 21 được sử dụng làm màng cơ sở cho việc mạ niken/vàng không điện, nhờ đó tạo ra lớp mạ niken/vàng không điện (điện cực).

Qua quá trình này, bảng mạch in 100 theo phương án này được hoàn thiện.

Bảng mạch in thông thường 200 được tạo ra với sơ đồ trừ bao gồm nền cách điện 201 với lá đồng 201a được gắn vào toàn bộ cả hai mặt (bề mặt trước và bề mặt sau) (xem Fig.3(a)) và được tạo ra bởi quy trình sản xuất đã biết được minh họa trên Fig.3 và Fig.4. Trên Fig.3 và Fig.4, số chỉ dẫn 202 thể hiện lỗ thông, số chỉ dẫn 203 thể hiện lớp mạ không điện, số chỉ dẫn 204 thể hiện lớp mạ điện phân, số chỉ dẫn 205 thể hiện phần cản, và số chỉ dẫn 206 thể hiện lớp chắn.

Phương pháp sản xuất bảng mạch in thông thường 200 bao gồm, ví dụ, bước mạ không điện (Fig.3(c)) diễn ra mất 40 phút, bước mạ điện phân (Fig.3(d)) diễn ra mất 60 phút, bước gắn lớp chắn (Fig.3(e)) diễn ra mất 20 phút, bước phơi sáng (cả hai mặt) (Fig.4(a)) diễn ra mất 30 phút, bước hiện mạch (Fig.4(b)) diễn ra mất 10 phút, bước ăn mòn (Fig.4(c)) diễn ra mất 10 phút, và bước bóc lớp chắn (Fig.4(d)) diễn ra mất 10 phút.

Cụ thể, phương pháp sản xuất bảng mạch in 100 theo phương án này (ngoại trừ bước tạo ra lỗ thông (Fig.3(b))) mất 180 phút, bao gồm bước hiện mạch, bước ăn mòn, và bước loại bỏ lớp chắn và bước tạo ra các chất lỏng thải.

Trong phương pháp sản xuất bảng mạch in 100 theo phương án này, bước tạo ra lỗ mạ thứ nhất (bước in làm đầy lỗ và bước làm khô được thể hiện trên Fig.2(c)) trong đó các lỗ thông 11a được làm đầy bằng hồ bột dẫn điện thứ nhất 1 để in và hồ bột dẫn điện thứ nhất 1 sau đó được làm khô để tạo ra các lỗ mạ thứ nhất 11, mất 30 phút. Bước tạo ra lớp hạt dẫn thứ nhất (phía trước) (bước in và bước làm khô lớp dẫn điện (phía trước) được thể hiện trên Fig.2(d)), trong đó hồ bột dẫn điện thứ hai 2 được in trên bề mặt phía trước của nền cách điện 10 và sau đó được làm khô để tạo ra lớp hạt dẫn thứ nhất 21a, mất 30 phút. Bước tạo ra lớp hạt dẫn thứ nhất (phía sau) (bước in và bước làm khô lớp dẫn điện (phía sau) được thể hiện trên Fig.2(e)), trong đó hồ bột dẫn điện thứ hai 2 được in trên bề mặt phía sau của nền cách điện 10 và sau đó được làm khô để tạo ra lớp hạt dẫn thứ nhất 21a, mất 30 phút. Bước tạo ra lớp mạ không điện thứ nhất (bước mạ không điện được thể hiện trên Fig.1(b)), trong đó việc mạ đồng không điện được thực hiện trên nền cách điện 10 để tạo ra lớp mạ không điện thứ nhất 21b trên lớp hạt dẫn thứ nhất 21a, mất 80 phút.

Do đó, phương pháp sản xuất bảng mạch in 100 theo phương án này (ngoại trừ bước tạo ra lỗ thông (Fig.2(b))) mất thời gian sản xuất là 170 phút, ngắn hơn thời gian sản xuất bảng mạch in 200 được làm theo cách truyền thống với sơ đồ trừ, và không bao gồm bước hiện mạch, bước ăn mòn, và bước loại bỏ lớp chắn, do đó không tạo ra các chất lỏng thải.

Như được mô tả ở trên, bảng mạch in 100 theo phương án này được sản xuất theo quy trình trong đó hồ bột dẫn điện thứ nhất 1 ở các lỗ mạ thứ nhất 11 và hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a của dây dẫn thứ nhất 21 được tạo ra bằng việc in lưới, và lớp mạ không điện thứ nhất 21b của dây dẫn thứ nhất 21 được tạo ra bằng cách mạ không điện. Do đó, các bước liên quan tới việc ăn mòn được loại bỏ, đạt được quy trình sản xuất đơn giản.

Phương pháp sản xuất bảng mạch in 100 theo phương án này tạo ra ít chất lỏng thải hơn so với chất lỏng thải được tạo ra trong các phương pháp sản xuất bảng mạch in thông thường, dẫn đến cải thiện tỷ lệ sử dụng đồng, loại bỏ việc cần phải có các thiết bị sản xuất trong bước hiện mạch, bước ăn mòn, và bước bóc, và làm giảm các chi phí về phương tiện và không gian cần cho sự sản xuất.

Như được thể hiện trên Fig.1, bảng mạch in 100 theo phương án này có, nhưng không phải là duy nhất, kết cấu lớp trong đó hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a được áp vào toàn bộ các lỗ mạ thứ nhất 11 (các lỗ thông 11a) trên bề mặt phía trước và bề mặt sau của nền cách điện 10, và lớp mạ không điện thứ nhất 21b tiếp xúc gián tiếp với các lỗ mạ thứ nhất 11 với lớp hạt dẫn thứ nhất 21a ở giữa chúng.

Ví dụ, như được thể hiện trên các Fig.5(a) và Fig.5(b), đối với bảng mạch in 100, hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a có thể được áp vào không phải phần tâm mà là mép phía ngoài của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10.

Trong trường hợp này, như được thể hiện trên Fig.5(c), hồ bột dẫn điện thứ nhất 1 trở thành màng cơ sở cho lớp mạ không điện thứ nhất 21b, và lớp mạ không điện thứ nhất 21b tiến vào tiếp xúc trực tiếp với các lỗ mạ thứ nhất 11 trên phần tâm của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10.

Phương án thứ hai của sáng chế

Fig.6 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in theo phương án thứ hai. Fig.6(a) là hình vẽ mặt cắt ngang của nền cách điện. Fig.6(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lỗ thông được tạo ra. Fig.6(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà hồ bột dẫn điện thứ nhất được nạp. Fig.6(d) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp hạt dẫn thứ nhất được tạo ra trên cả hai mặt của nền cách điện. Fig.6(e) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ hai được tạo ra trên các lớp hạt dẫn thứ nhất. Fig.7 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in được tiếp tục từ Fig.6. Fig.7(a) là hình vẽ mặt cắt ngang minh họa

trạng thái mà lớp cách điện được tạo ra trên bề mặt phía trước của nền cách điện. Fig.7(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp cách điện được tạo ra trên bề mặt phía sau của nền cách điện. Fig.7(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các phần hở trên phía bề mặt phía trước của nền cách điện được làm đầy bằng hồ bột dẫn điện thứ ba. Fig.7(d) là hình vẽ mặt cắt ngang minh họa trạng thái mà các phần hở trên phía bề mặt phía sau của nền cách điện được làm đầy bằng hồ bột dẫn điện thứ ba. Fig.8 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in được tiếp tục từ Fig.7. Fig.8(a) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ hai được tạo ra trên phía bề mặt phía trước của nền cách điện. Fig.8(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ hai được tạo ra trên phía bề mặt phía sau của nền cách điện. Fig.8(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ hai được tạo ra trên các lớp dẫn thứ hai. Fig.9(a) là hình vẽ mặt cắt ngang minh họa ví dụ khác về kết cấu dạng giản đồ của bảng mạch in theo phương án thứ hai. Trên các Fig.6 đến Fig.9(a), các số chỉ dẫn giống như trên các Fig.1 đến Fig.5 biểu diễn các thành phần mà giống hoặc tương đương với các thành phần tương ứng trên các Fig.1 đến Fig.5 và phần mô tả của chúng sẽ được bỏ qua.

Như được thể hiện trên Fig.8(c), bảng mạch in 100 theo phương án này, là bảng mạch in nhiều lớp, bao gồm, ngoài các thành phần giống như các thành phần của bảng mạch in 100 (sau đây gọi là bảng mạch in hai mặt 101) theo phương án thứ nhất, các lớp cách điện 10a được xếp chồng trên nền cách điện 10 (bảng mạch in hai mặt 101), các phần hở 12a được tạo ra trong các phần của các lớp cách điện 10a mà được nối vào dây dẫn thứ nhất 21, các lỗ mạ (sau đây gọi là các lỗ mạ thứ hai 12) được tạo ra bằng cách làm đầy các phần hở 12a bằng hồ bột dẫn điện (sau đây gọi là hồ bột dẫn điện thứ ba 3), và dây dẫn (sau đây gọi là dây dẫn thứ hai 22) được bố trí trên các lớp cách điện 10a và được nối vào lỗ mạ thứ hai 12.

Dây dẫn thứ hai 22 được nối vào lỗ mạ thứ hai 12 và bao gồm lớp dẫn điện (sau đây gọi là lớp dẫn thứ hai 22a) được tạo ra bằng hồ bột dẫn điện (sau đây gọi là hồ bột dẫn điện thứ tư 4) và đóng vai trò làm màng cơ sở cho dây dẫn thứ hai 22; và lớp mạ

không điện (sau đây gọi là lớp mạ không điện thứ hai 22b) che phủ lớp dẫn thứ hai 22a.

Theo phương án này, hồ bột dẫn điện thứ ba 3, mà tương ứng với hồ bột dẫn điện thứ nhất 1, và hồ bột dẫn điện thứ tư 4, mà tương ứng với hồ bột dẫn điện thứ hai 2, có thể gồm có vật liệu giống như hồ bột dẫn điện thứ nhất 1 hoặc hồ bột dẫn điện thứ hai 2 được mô tả trong phương án thứ nhất. Theo đó, phần mô tả vật liệu dùng cho hồ bột dẫn điện thứ ba 3 và hồ bột dẫn điện thứ tư 4 sẽ được bỏ qua.

Giống như lớp mạ không điện thứ nhất 21b, lớp mạ không điện thứ hai 22b gồm có lớp mạ đồng không điện, và dung dịch lớp mạ đồng không điện dùng cho các nền mạch độc lập "OPC đồng NCA" được sản xuất bởi Okuno chemical industries co.,ltd được sử dụng trong quy trình mạ không điện.

Phương pháp sản xuất bảng mạch in 100 theo phương án này bây giờ sẽ được mô tả mà có tham chiếu đến các Fig.6 đến Fig.8. Cần phải lưu ý là phương pháp sản xuất bảng mạch in 100 theo phương án này bao gồm quy trình giống như phương pháp sản xuất bảng mạch in hai mặt 101 theo phương án thứ nhất, từ bước tạo ra các lỗ thông 11a trong nền cách điện 10 đến bước tạo ra dây dẫn thứ nhất 21 (lớp mạ không điện thứ nhất 21b) (xem Fig.6); do đó, phần mô tả của quy trình này sẽ được bỏ qua.

Tấm in lưới (không được thể hiện trên hình vẽ) trong đó các phần hở khác với các phần hở 12a mà được tạo ra trong các phần được nối vào dây dẫn thứ nhất 21 được tạo ra với nhũ tương được bố trí hướng mặt vào nền cách điện 10 (bảng mạch in hai mặt 101), và mực (nhựa cách điện) được áp vào tấm in lưới.

Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào nền cách điện 10 (bảng mạch in hai mặt 101), phun mực (nhựa cách điện) qua các phần hở trong tấm in lưới, và áp nhựa cách điện trên bề mặt của nền cách điện 10 (bảng mạch in hai mặt 101) trong phần khác với các phần hở 12a.

Nhựa cách điện sau đó được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong phạm vi từ 120 đến 130°C trong 30 phút, nhờ đó tạo ra lớp cách

điện 10a trên bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101) trong phần khác với các phần hở 12a (xem Fig.7(a): bước xếp chồng lớp cách điện).

Ở bước xếp chồng lớp cách điện, sau khi lớp cách điện 10a được tạo ra trên phía bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101), nền cách điện 10 được quay ngược lại và lớp cách điện 10a được tạo ra trên phía bề mặt phía sau của nền cách điện 10 (bảng mạch in hai mặt 101) theo quá trình giống như quá trình hình thành trên bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101) (xem Fig.7(b)).

Cần phải lưu ý là trong bước xếp chồng lớp cách điện, lớp cách điện 10a có thể được xếp chồng trên nền cách điện 10 (bảng mạch in hai mặt 101) trong phần khác với các phần hở 12a bằng cách ép khuôn.

Trong bước ép khuôn, vật liệu đúc dẻo được gia cố bán hóa cứng (ngâm sơ bộ) có các phần là các phần hở 12a được tạo ra bằng cách đúc với máy ép khuôn được xếp chồng trên nền cách điện 10 (bảng mạch in hai mặt 101), và vật liệu được ngâm sơ bộ được làm nóng chảy bằng cách làm nóng và sau đó được hóa cứng tiếp xúc kín với nền cách điện 10 và dây dẫn thứ nhất 21, nhờ đó tạo ra lớp cách điện 10a trên nền cách điện 10 (bảng mạch in hai mặt 101) (xem Fig.7(a) và Fig.7(b): bước xếp chồng lớp cách điện).

Tấm in lưới (không được thể hiện trên hình vẽ), mà có các phần hở được tạo ra với nhũ tương và các phần hướng mặt mở trên bề mặt phía trước của lớp cách điện 10a trên nền cách điện 10 (bảng mạch in hai mặt 101) tương ứng với các phần của các phần hở 12a, được bố trí hướng mặt vào nền cách điện 10, và mực dẫn điện (hồ bột dẫn điện thứ ba 3) được áp lên trên tấm in lưới. Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào lớp cách điện 10a trên nền cách điện 10 (bảng mạch in hai mặt 101), phun mực dẫn điện (hồ bột dẫn điện thứ ba 3) qua các phần hở trong tấm in lưới, và làm đầy các phần hở 12a trong lớp cách điện 10a với mực dẫn điện.

Hồ bột dẫn điện thứ ba 3 được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong khoảng từ 100 đến 200°C trong 30 đến 120 phút và sản phẩm đã hóa cứng mà phun từ bề mặt trước của lớp cách điện 10a được loại bỏ bằng cách đánh bóng, nhờ đó tạo ra các lỗ mạ thứ hai 12 (xem Fig.7(c): bước tạo ra lỗ mạ thứ hai). Trong bước tạo ra lỗ mạ thứ hai, sau khi các lỗ mạ thứ hai 12 được tạo ra trên phía bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101), nền cách điện 10 được quay ngược lại và các lỗ mạ thứ hai 12 được tạo ra trên phía bề mặt phía sau của nền cách điện 10 (bảng mạch in hai mặt 101) theo quá trình giống như quá trình hình thành trên bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101) (xem Fig.7(d)).

Tấm in lưới (không được thể hiện trên hình vẽ), mà có các phần hở được tạo ra với nhũ tương và các phần hướng mặt ở trên bề mặt phía trước của lớp cách điện 10a tương ứng với các phần của dây dẫn thứ hai 22 (lớp dẫn thứ hai 22a), được bố trí hướng mặt vào nền cách điện 10, và mực dẫn điện (hồ bột dẫn điện thứ tư 4) được áp lên trên tấm in lưới. Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào lớp cách điện 10a trên nền cách điện 10 (bảng mạch in hai mặt 101), phun mực dẫn điện (hồ bột dẫn điện thứ tư 4) qua các phần hở trong tấm in lưới, và áp mực dẫn điện theo các đường trên bề mặt phía trước của lớp cách điện 10a.

Hồ bột dẫn điện thứ tư 4 được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong phạm vi từ 100 đến 120°C trong 30 đến 120 phút, nhờ đó tạo ra lớp dẫn thứ hai 22a làm màng cơ sở cho dây dẫn thứ hai 22 (xem Fig.8(a): bước tạo ra lớp dẫn thứ hai). Trong bước tạo ra lớp dẫn thứ hai, sau khi lớp dẫn thứ hai 22a được tạo ra trên phía bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101), nền cách điện 10 được quay ngược lại và lớp dẫn thứ hai 22a được tạo ra trên phía bề mặt phía sau của nền cách điện 10 (bảng mạch in hai mặt 101) theo quá trình giống như quá trình hình thành trên bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101) (xem Fig.8(b)).

Lớp mạ không điện thứ hai 22b được phát triển trên lớp dẫn thứ hai 22a (xem Fig.8(c): bước tạo ra lớp mạ không điện thứ hai) trong quy trình mạ không điện bao gồm, ví dụ, bước tẩy dầu mỡ, bước nhúng sơ bộ, bước thể paladin, bước loại bỏ lượng dư paladin, và bước mạ đồng không điện. Do quy trình mạ không điện (mạ đồng không điện) theo phương án này giống như quy trình mạ không điện (mạ đồng không điện) theo phương án thứ nhất, phần mô tả chi tiết của nó sẽ được bỏ qua.

Để tạo ra điện cực (không được thể hiện trên hình vẽ) được nối vào dây dẫn thứ hai 22, lớp chắn cần được tạo ra trên lớp cách điện 10a (dây dẫn thứ hai 22) ngoại trừ phần mà ở đó điện cực được tạo ra, và lớp mạ không điện thứ hai 22b của dây dẫn thứ hai 22 được sử dụng làm màng cơ sở cho việc mạ niken/vàng không điện, nhờ đó tạo ra lớp mạ niken/vàng không điện (điện cực). Qua quá trình này, bảng mạch in 100 theo phương án này được hoàn thiện.

Phương án này khác với phương án thứ nhất chỉ ở chỗ bảng mạch in 100 là bảng mạch in nhiều lớp, và tạo ra các hiệu quả giống như phương án thứ nhất ngoại trừ các hiệu quả của bảng mạch in nhiều lớp và phương pháp sản xuất bảng mạch in nhiều lớp.

Đối với bảng mạch in 100 theo phương án này, bảng mạch in bốn lớp đã được mô tả làm ví dụ, nhưng bảng mạch in nhiều lớp khác với bảng mạch in bốn lớp có thể được tạo ra bằng quy trình sản xuất các lỗ mạ và các lớp dẫn với các hồ bột dẫn điện và quy trình sản xuất các lớp trên dây dẫn bởi bước mạ không điện.

Như được thể hiện trên Fig.8(c), bảng mạch in 100 theo phương án này có kết cấu lớp trong đó hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a được áp vào toàn bộ các lỗ mạ thứ nhất 11 (các lỗ thông 11a) trên bề mặt phía trước và bề mặt sau của nền cách điện 10, và lớp mạ không điện thứ nhất 21b tiếp xúc gián tiếp với các lỗ mạ thứ nhất 11 với lớp hạt dẫn thứ nhất 21a ở giữa chúng. Như được thể hiện trên Fig.8(c), bảng mạch in 100 theo phương án này có kết cấu lớp trong đó hồ bột dẫn điện thứ tư 4 ở lớp dẫn thứ hai 22a được áp vào toàn bộ các lỗ mạ thứ hai 12 (các phần hở 12a) trên bề mặt phía trước của lớp cách điện 10a, và lớp mạ không điện thứ hai

22b tiếp xúc gián tiếp với các lỗ mạ thứ hai 12 với lớp dẫn thứ hai 22a ở giữa chúng. Tuy nhiên, bảng mạch in 100 theo phương án này không cần có kết cấu lớp này.

Ví dụ, như được thể hiện trên Fig.9(a) (Fig.5(a) và Fig.5(b)), đối với bảng mạch in 100, hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a có thể được áp vào không phải phần tâm mà là mép phía ngoài của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10. Trong trường hợp này, như được thể hiện trên Fig.9(a) (Fig.5(c)), hồ bột dẫn điện thứ nhất 1 trở thành màng cơ sở cho lớp mạ không điện thứ nhất 21b, và lớp mạ không điện thứ nhất 21b tiến vào tiếp xúc trực tiếp với các lỗ mạ thứ nhất 11 trên phần tâm của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10. Ví dụ, như được thể hiện trên Fig.9(a), đối với bảng mạch in 100, hồ bột dẫn điện thứ tư 4 ở lớp dẫn thứ hai 22a có thể được áp vào không phải phần tâm mà là mép phía ngoài của mỗi lỗ mạ thứ hai 12 trên bề mặt phía trước của lớp cách điện 10a. Trong trường hợp này, như được thể hiện trên Fig.9(a), hồ bột dẫn điện thứ ba 3 trở thành màng cơ sở cho lớp mạ không điện thứ hai 22b, và lớp mạ không điện thứ hai 22b tiến vào tiếp xúc trực tiếp với các lỗ mạ thứ hai 12 trên phần tâm của mỗi lỗ mạ thứ hai 12 trên bề mặt phía trước của lớp cách điện 10a.

Với kết cấu lớp này, lỗ mạ (ví dụ, lỗ mạ thứ nhất 11) của bảng mạch in 100 bao gồm các kết cấu dát mỏng được lặp lại của hồ bột dẫn điện và lớp mạ không điện, như hồ bột dẫn điện (ở đây, hồ bột dẫn điện thứ nhất 1)/lớp mạ không điện (ở đây, lớp mạ không điện thứ nhất 21b)/hồ bột dẫn điện (ở đây, hồ bột dẫn điện thứ ba 3)/lớp mạ không điện (ở đây, lớp mạ không điện thứ hai 22b), nhờ đó cải thiện độ chắc chắn liên kết.

Phương án thứ ba của sáng chế

Fig.9(b) là hình vẽ mặt cắt ngang minh họa ví dụ khác về kết cấu dạng giản đồ của bảng mạch in theo phương án thứ ba. Fig.10 là hình vẽ mặt cắt ngang dùng để giải thích phương pháp sản xuất bảng mạch in theo phương án thứ ba. Fig.10(a) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ ba được tạo ra trên phía bề mặt phía

trước của nền cách điện. Fig.10(b) là hình vẽ mặt cắt ngang minh họa trạng thái mà lớp dẫn thứ ba được tạo ra trên phía bề mặt phía sau của nền cách điện. Fig.10(c) là hình vẽ mặt cắt ngang minh họa trạng thái mà các lớp mạ không điện thứ ba được tạo ra trên các lớp dẫn thứ ba và các lớp mạ không điện thứ nhất. Trên các Fig.9(b) và Fig.10, các số chỉ dẫn giống như trên các Fig.1 đến Fig.9(a) biểu diễn các thành phần mà giống hoặc tương đương với các thành phần tương ứng trên các Fig.1 đến Fig.9(a) và phần mô tả của chúng sẽ được bỏ qua.

Như được thể hiện trên Fig.10(c), bảng mạch in 100 theo phương án này, mà là bảng mạch in nhiều lớp, bao gồm, ngoài các thành phần giống như các thành phần của bảng mạch in hai mặt 101 theo phương án thứ nhất, các lớp cách điện 10a được xếp chồng trên nền cách điện 10 (bảng mạch in hai mặt 101), các phần hở 12a được tạo ra trong các phần của các lớp cách điện 10a mà được nối vào dây dẫn thứ nhất 21, và dây dẫn (sau đây gọi là dây dẫn thứ ba 23) được bố trí trên các lớp cách điện 10a và được nối vào lớp mạ không điện thứ nhất 21b.

Dây dẫn thứ ba 23 bao gồm lớp dẫn điện (sau đây gọi là lớp dẫn thứ ba 23a) được bố trí ở các mép phía ngoài của các phần hở 12a và trong các phần mà dây dẫn được kéo dài từ các mép phía ngoài trên lớp cách điện 10a, được tạo ra bằng hồ bột dẫn điện (sau đây gọi là hồ bột dẫn điện thứ năm 5), và đóng vai trò làm màng cơ sở cho dây dẫn thứ ba 23; và lớp mạ không điện (sau đây gọi là lớp mạ không điện thứ ba 23b) được bố trí trong các phần hở 12a và che phủ lớp mạ không điện thứ nhất 21b và lớp dẫn thứ ba 23a.

Theo phương án này, hồ bột dẫn điện thứ năm 5 tương ứng với hồ bột dẫn điện thứ hai 2 và có thể gồm có các vật liệu giống như các vật liệu cho hồ bột dẫn điện thứ hai 2 được mô tả trong phương án thứ nhất; do đó, phần mô tả vật liệu dùng cho hồ bột dẫn điện thứ năm 5 sẽ được bỏ qua. Giống như lớp mạ không điện thứ nhất 21b, lớp mạ không điện thứ ba 23b gồm có lớp mạ đồng không điện, và dung dịch lớp mạ đồng không điện dùng cho các nền mạch độc lập "OPC đồng NCA" được sản xuất bởi Okuno chemical industries co.,ltd được sử dụng trong quy trình mạ không điện.

Phương pháp sản xuất bảng mạch in 100 theo phương án này bây giờ sẽ được mô tả mà có tham chiếu đến Fig.10. Cần phải lưu ý là phương pháp sản xuất bảng mạch in 100 theo phương án này bao gồm quy trình giống như phương pháp sản xuất bảng mạch in 100 theo phương án thứ hai, từ bước tạo ra các lỗ thông 11a trong nền cách điện 10 đến bước tạo ra lớp cách điện 10a (xem các Fig. 6, 7(a), và 7(b)); do đó, phần mô tả của quy trình này sẽ được bỏ qua.

Tấm in lưới (không được thể hiện trên hình vẽ), mà có các phần hở được tạo ra với nhũ tương và các phần hướng mặt ở trên bề mặt phía trước của lớp cách điện 10a tương ứng với các phần của các mép phía ngoài của các phần hở 12a và các phần mà dây dẫn được kéo dài từ các mép phía ngoài, được bố trí hướng mặt vào nền cách điện 10, và mực dẫn điện (hồ bột dẫn điện thứ năm 5) được áp lên trên tấm in lưới. Máy in lưới (không được thể hiện trên hình vẽ) chạy thanh gạt cao su qua bề mặt của tấm in lưới, đẩy tấm in lưới vào lớp cách điện 10a trên nền cách điện 10 (bảng mạch in hai mặt 101), phun mực dẫn điện (hồ bột dẫn điện thứ năm 5) qua các phần hở trong tấm in lưới, và áp mực dẫn điện lên trên bề mặt phía trước của lớp cách điện 10a theo các vòng (tương ứng với các mép phía ngoài của các phần hở 12a) và theo các đường (tương ứng với các phần mà dây dẫn được kéo dài từ các mép phía ngoài).

Hồ bột dẫn điện thứ năm 5 được hóa cứng nhiệt (được làm khô) trong lò nung hóa cứng ở nhiệt độ trong khoảng từ 100 đến 200°C trong 30 đến 120 phút, nhờ đó tạo ra lớp dẫn thứ ba 23a làm màng cơ sở cho dây dẫn thứ ba 23 (xem Fig.10(a): bước tạo ra lớp dẫn thứ ba). Trong bước tạo ra lớp dẫn thứ ba, sau khi lớp dẫn thứ ba 23a được tạo ra trên phía bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101), nền cách điện 10 được quay ngược lại và lớp dẫn thứ ba 23a được tạo ra trên phía bề mặt phía sau của nền cách điện 10 (bảng mạch in hai mặt 101) theo quá trình giống như quá trình hình thành trên bề mặt phía trước của nền cách điện 10 (bảng mạch in hai mặt 101) (xem Fig.10(b)).

Lớp mạ không điện thứ ba 23b được phát triển trên lớp dẫn thứ ba 23a và lớp mạ không điện thứ nhất 21b (xem Fig.10(c): bước tạo ra lớp mạ không điện thứ ba) trong quy trình mạ không điện bao gồm, ví dụ, bước tẩy dầu mỡ, bước nhúng sơ bộ, bước

thể paladin, bước loại bỏ lượng dư paladin, và bước mạ đồng không điện. Cần phải lưu ý là để phát triển lớp mạ không điện thứ ba 23b trên lớp mạ không điện thứ nhất 21b để làm đầy các phần hở 12a với lớp mạ không điện thứ ba 23b và do đó tạo ra các lỗ mạ trong lớp cách điện 10a. Do quy trình mạ không điện (lớp mạ đồng không điện) theo phương án này giống như quy trình mạ không điện (lớp mạ đồng không điện) theo phương án thứ nhất ngoại trừ việc ngâm trong dung dịch lớp mạ đồng không điện diễn ra lâu hơn trong quy trình mạ không điện (lớp mạ đồng không điện) theo phương án thứ nhất, phần mô tả chi tiết của nó sẽ được bỏ qua.

Để tạo ra điện cực (không được thể hiện trên hình vẽ) được nối vào dây dẫn thứ ba 23, lớp chắn cản được tạo ra trên lớp cách điện 10a (dây dẫn thứ ba 23) ngoại trừ phần mà ở đó điện cực được tạo ra, và lớp mạ không điện thứ ba 23b của dây dẫn thứ ba 23 được sử dụng làm màng cơ sở cho việc mạ niken/vàng không điện, nhờ đó tạo ra lớp mạ niken/vàng không điện (điện cực). Qua quá trình này, băng mạch in 100 theo phương án này được hoàn thiện.

Phương án này khác với phương án thứ hai chỉ ở chỗ nó loại bỏ bước làm đầy các phần hở 12a bằng hồ bột dẫn điện thứ ba 3, và tạo ra các hiệu quả giống như phương án thứ hai ngoại trừ các hiệu quả được tạo ra do loại bỏ bước này.

Đối với băng mạch in 100 theo phương án này, băng mạch in bốn lớp đã được mô tả làm ví dụ, nhưng băng mạch in nhiều lớp khác với băng mạch in bốn lớp có thể được tạo ra bằng quy trình sản xuất các lỗ mạ và các lớp dẫn với các hồ bột dẫn điện và quy trình sản xuất các lỗ mạ và các lớp trên dây dẫn bởi bước mạ không điện.

Như được thể hiện trên Fig.10(c), băng mạch in 100 theo phương án này có, nhưng không phải là duy nhất, kết cấu lớp trong đó hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a được áp vào toàn bộ các lỗ mạ thứ nhất 11 (các lỗ thông 11a) trên bề mặt phía trước và bề mặt sau của nền cách điện 10, và lớp mạ không điện thứ nhất 21b tiếp xúc gián tiếp với các lỗ mạ thứ nhất 11 với lớp hạt dẫn thứ nhất 21a ở giữa chúng.

Ví dụ, như được thể hiện trên Fig.9(b) (Fig.5(a) và Fig.5(b)), đối với bảng mạch in 100, hồ bột dẫn điện thứ hai 2 mà sẽ là lớp hạt dẫn thứ nhất 21a có thể được áp vào không phải phần tâm mà là mép phía ngoài của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10. Trong trường hợp này, như được thể hiện trên Fig.9(b) (Fig.5(c)), hồ bột dẫn điện thứ nhất 1 trở thành màng cơ sở cho lớp mạ không điện thứ nhất 21b, và lớp mạ không điện thứ nhất 21b tiến vào tiếp xúc trực tiếp với các lỗ mạ thứ nhất 11 trên phần tâm của mỗi lỗ mạ thứ nhất 11 trên bề mặt phía trước và bề mặt sau của nền cách điện 10.

Để tạo ra bảng mạch in 100, như được thể hiện trên Fig.9(b), lớp mạ không điện thứ ba 23b có thể được phát triển trong bước tạo ra lớp dẫn thứ ba và bước tạo ra lớp mạ không điện thứ ba theo phương án ở trên bằng cách sử dụng lớp mạ không điện thứ nhất 21b của dây dẫn thứ nhất 21 và lớp dẫn thứ ba 23a làm các màng cơ sở để tạo ra các lỗ mạ và dây dẫn thứ ba 23 trong lớp cách điện 10a.

Danh sách số chỉ dẫn

- 1 hồ bột dẫn điện thứ nhất
- 2 hồ bột dẫn điện thứ hai
- 3 hồ bột dẫn điện thứ ba
- 4 hồ bột dẫn điện thứ tư
- 5 hồ bột dẫn điện thứ năm
- 10 nền cách điện
- 10a lớp cách điện
- 11 lỗ mạ thứ nhất
- 11a lỗ thông
- 12 lỗ mạ thứ hai
- 12a phần hở
- 21 dây dẫn thứ nhất
- 21a lớp hạt dẫn thứ nhất
- 21b lớp mạ không điện thứ nhất
- 22 dây dẫn thứ hai

22a lớp dẫn thứ hai

22b lớp mạ không điện thứ hai

23 dây dẫn thứ ba

23a lớp dẫn thứ ba

23b lớp mạ không điện thứ ba

100 bảng mạch in

101 bảng mạch in hai mặt

200 bảng mạch in

201 nền cách điện

201a lá đồng

202 lỗ thông

203 lớp mạ không điện

204 lớp mạ điện phân

205 lớp cản

206 lớp chắn

YÊU CẦU BẢO HỘ

1. Bảng mạch in bao gồm:

nền cách điện;

lỗ thông mà xuyên qua nền cách điện;

lỗ mạ thứ nhất được tạo ra bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện; và

dây dẫn thứ nhất được bố trí trên nền cách điện và được nối vào lỗ mạ thứ nhất, dây dẫn thứ nhất này bao gồm:

lớp hạt dẫn thứ nhất được nối vào lỗ mạ thứ nhất và được tạo ra bằng hồ bột dẫn điện làm màng cơ sở cho dây dẫn thứ nhất; và

lớp mạ không điện thứ nhất che phủ lớp hạt dẫn thứ nhất, trong đó

lớp hạt dẫn thứ nhất của dây dẫn thứ nhất được bố trí trên lỗ mạ thứ nhất và chỉ ở tại mép phía ngoài của lỗ mạ thứ nhất, và

lớp mạ không điện thứ nhất tiếp xúc với lỗ mạ thứ nhất ở trên phần trung tâm của lỗ mạ thứ nhất.

2. Bảng mạch in theo điểm 1, trong đó sự đồng đều về kích thước hạt của các hạt dẫn điện trong hồ bột dẫn điện trong lỗ mạ thứ nhất thấp hơn sự đồng đều về kích thước hạt của các hạt dẫn điện trong hồ bột dẫn điện trong lớp hạt dẫn thứ nhất.

3. Bảng mạch in theo điểm 1 hoặc 2, trong đó:

các hạt dẫn điện trong hồ bột dẫn điện trong lỗ mạ thứ nhất và các hạt dẫn điện trong hồ bột dẫn điện trong lớp hạt dẫn thứ nhất về cơ bản là có các hợp phần giống nhau của một hoặc nhiều kim loại, lượng của nhiều hơn một kim loại, hoặc dạng kết hợp của các hợp phần kim loại và lượng kim loại, và

kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện trong lớp hạt dẫn thứ nhất nhỏ hơn kích thước hạt trung bình của các hạt dẫn điện trong hồ bột dẫn điện trong lỗ mạ thứ nhất.

4. Bảng mạch in theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó bảng mạch in này còn bao gồm:

lớp cách điện được xếp chồng trên nền cách điện;

phần hở được tạo ra trong phần lớp cách điện, phần này được nối vào dây dẫn thứ nhất;

lỗ mạ thứ hai được tạo ra bằng cách làm đầy phần hở bằng hồ bột dẫn điện; và

dây dẫn thứ hai được bố trí trên lớp cách điện và được nối vào lỗ mạ thứ hai, dây dẫn thứ hai bao gồm:

lớp hạt dẫn thứ hai được nối vào lỗ mạ thứ hai và được tạo ra bằng hồ bột dẫn điện làm màng cơ sở cho dây dẫn thứ hai; và

lớp mạ không điện thứ hai che phủ lớp hạt dẫn thứ hai, trong đó:

lớp hạt dẫn thứ hai của dây dẫn thứ hai được bố trí trên lỗ mạ thứ hai và chỉ ở tại mép phía ngoài của lỗ mạ thứ hai, và

lớp mạ không điện thứ hai tiếp xúc với lỗ mạ thứ hai ở trên phần trung tâm của lỗ mạ thứ hai.

5. Bảng mạch in bao gồm:

nền cách điện;

lỗ thông xuyên qua nền cách điện;

lỗ mạ thứ nhất được tạo ra bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện;

dây dẫn thứ nhất được bố trí ở trên nền cách điện và được nối vào lỗ mạ thứ nhất, dây dẫn thứ nhất này bao gồm:

lớp hạt dẫn thứ nhất được tạo ra với hồ bột dẫn điện làm màng cơ sở cho dây dẫn thứ nhất; và

lớp mạ không điện thứ nhất che phủ lớp hạt dẫn thứ nhất;

lớp cách điện được xếp chồng trên nền cách điện;

phần hở được tạo ra trong phần lớp cách điện, phần này được nối vào dây dẫn thứ nhất; và

dây dẫn thứ ba được bố trí trên lớp cách điện và được nối vào lớp mạ không điện thứ nhất, dây dẫn thứ ba bao gồm:

lớp dẫn thứ ba được bố trí ở mép phía ngoài của phần hở và ở phần mà trong đó dây dẫn thứ ba được kéo dài từ mép phía ngoài và được tạo ra bằng hồ bột dẫn điện làm màng cơ sở cho dây dẫn thứ ba, mép phía ngoài và phần ở trên lớp cách điện; và

lớp mạ không điện thứ ba mà với lớp này phần hở được làm đầy và lớp này che phủ lớp mạ không điện thứ nhất và lớp hạt dẫn thứ ba.

6. Phương pháp sản xuất bảng mạch in bao gồm nền cách điện, lỗ thông mà xuyên qua nền cách điện, lỗ mạ thứ nhất được tạo ra bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện, và dây dẫn thứ nhất được bố trí trên nền cách điện và được nối vào lỗ mạ thứ nhất, phương pháp này bao gồm:

bước tạo ra lỗ thông bao gồm việc tạo ra lỗ thông trong nền cách điện;

bước tạo ra lỗ mạ thứ nhất bao gồm việc tạo ra lỗ mạ thứ nhất bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện bằng việc in lưới;

bước tạo ra lớp hạt dẫn thứ nhất bao gồm việc tạo ra lớp hạt dẫn thứ nhất làm màng cơ sở cho dây dẫn thứ nhất bằng cách phủ hồ bột dẫn điện lên trên nền cách điện bằng việc in lưới; và

bước tạo ra lớp mạ không điện thứ nhất bao gồm việc phát triển lớp mạ không điện thứ nhất trên lớp hạt dẫn thứ nhất bằng quy trình mạ không điện, trong đó:

lớp hạt dẫn thứ nhất của dây dẫn thứ nhất được bố trí trên lỗ mạ thứ nhất và chỉ ở tại mép phía ngoài của lỗ mạ thứ nhất, và

lớp mạ không điện thứ nhất tiếp xúc với lỗ mạ thứ nhất ở trên phần trung tâm của lỗ mạ thứ nhất.

7. Phương pháp sản xuất bảng mạch in theo điểm 6, trong đó phương pháp này còn bao gồm:

bước xếp chồng lớp cách điện bao gồm việc xếp chồng, bằng việc in lưới hoặc ép khuôn, lớp cách điện trên nền cách điện, ngoại trừ phần hở được tạo ra trong phần được nối vào dây dẫn thứ nhất;

bước tạo ra lỗ mạ thứ hai bao gồm việc tạo ra lỗ mạ thứ hai bằng cách làm đầy phần hở bằng hồ bột dẫn điện bằng việc in lưới;

bước tạo ra lớp hạt dẫn thứ hai bao gồm việc phủ hồ bột dẫn điện lên trên lớp cách điện để tạo ra, bằng việc in lưới, lớp hạt dẫn thứ hai làm màng cơ sở cho dây dẫn thứ hai được nối vào lỗ mạ thứ hai; và

bước tạo ra lớp mạ không điện thứ hai bao gồm việc phát triển lớp mạ không điện thứ hai cấu thành nên dây dẫn thứ hai, trên lớp dẫn thứ hai bằng quy trình mạ không điện, trong đó:

lớp hạt dẫn thứ hai của dây dẫn thứ hai được bố trí trên lỗ mạ thứ hai và chỉ ở tại mép phía ngoài của lỗ mạ thứ hai, và

lớp mạ không điện thứ hai tiếp xúc với lỗ mạ thứ hai ở trên phần trung tâm của lỗ mạ thứ hai.

8. Phương pháp sản xuất bảng mạch in bao gồm nền cách điện, lỗ thông xuyên qua nền cách điện, lỗ mạ thứ nhất được tạo ra bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện, và dây dẫn thứ nhất được bố trí ở trên nền cách điện và được nối vào lỗ mạ thứ nhất, dây dẫn thứ nhất, phương pháp này bao gồm:

bước tạo ra lỗ thông bao gồm việc tạo ra lỗ thông trong nền cách điện;

bước tạo ra lỗ mạ thứ nhất bao gồm việc tạo ra lỗ mạ thứ nhất bằng cách làm đầy lỗ thông bằng hồ bột dẫn điện bằng việc in lưới;

bước tạo ra lớp hạt dẫn thứ nhất gồm việc tạo ra lớp hạt dẫn thứ nhất làm màng cơ sở cho dây dẫn thứ nhất bằng cách phủ hồ bột dẫn điện lên nền cách điện bằng việc in lưới;

bước tạo ra lớp mạ không điện thứ nhất bao gồm việc phát triển lớp mạ không điện trên lớp hạt dẫn thứ nhất bằng quy trình mạ không điện

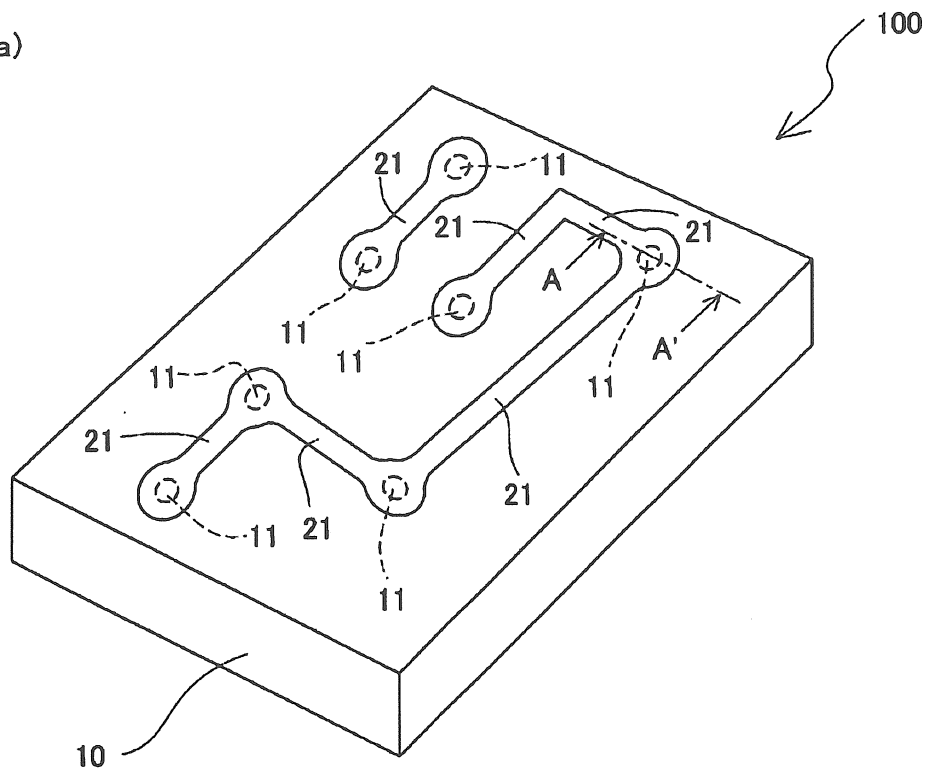
bước xếp chồng lớp cách điện bao gồm việc xếp chồng, bằng việc in lưới hoặc ép khuôn, lớp cách điện trên nền cách điện, ngoại trừ phần hở được tạo ra trong phần được nối vào dây dẫn thứ nhất;

bước tạo ra lớp hạt dẫn thứ ba gồm bước phủ hồ bột dẫn điện vào mép phía ngoài của phần hở và phần mà dây dẫn thứ ba được nối vào lớp mạ không điện thứ nhất được kéo dài từ mép phía ngoài, để tạo ra, bằng việc in lưới, lớp hạt dẫn thứ ba làm màng cơ sở cho dây dẫn thứ ba, mép phía ngoài và phần đang ở trên lớp cách điện; và

bước tạo ra lớp mạ không điện thứ ba bao gồm bước phát triển lớp mạ không điện thứ ba cấu thành nên dây dẫn thứ ba, trên lớp mạ không điện thứ nhất và lớp dẫn thứ ba bằng quy trình mạ không điện.

Fig.1

(a)



(b)

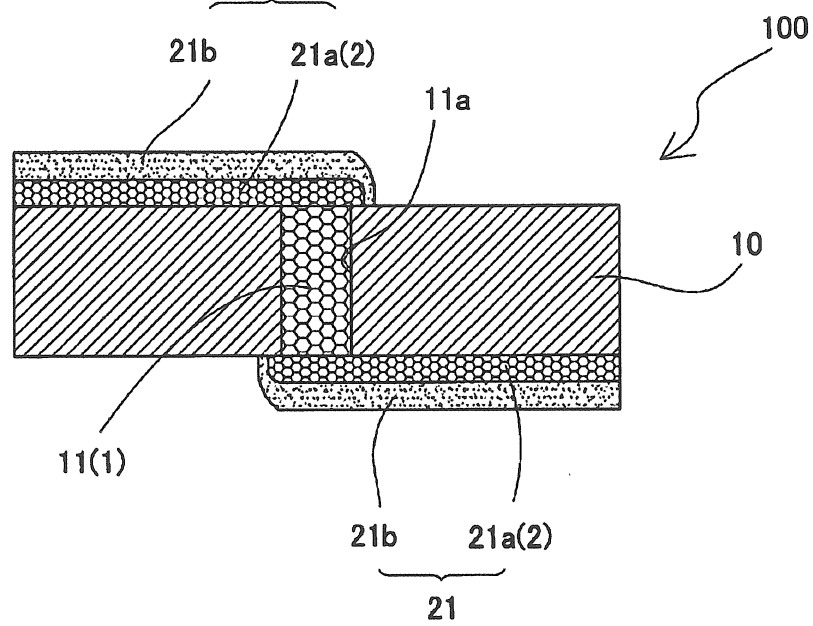
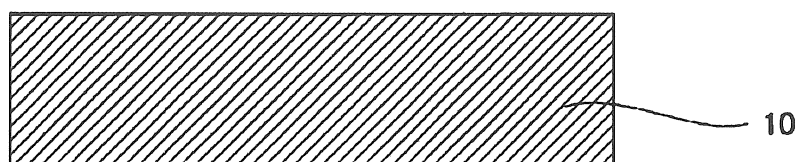
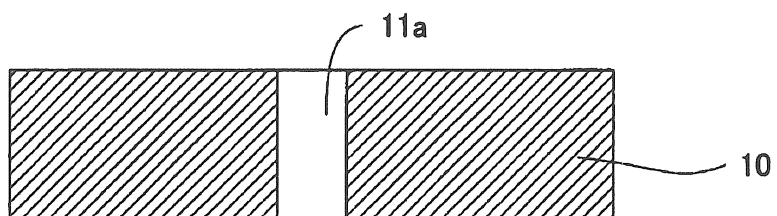


Fig.2

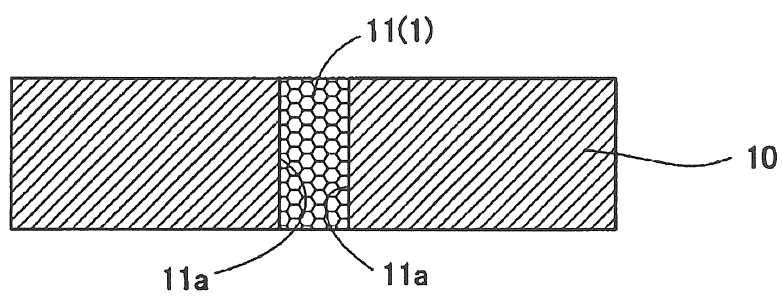
(a)



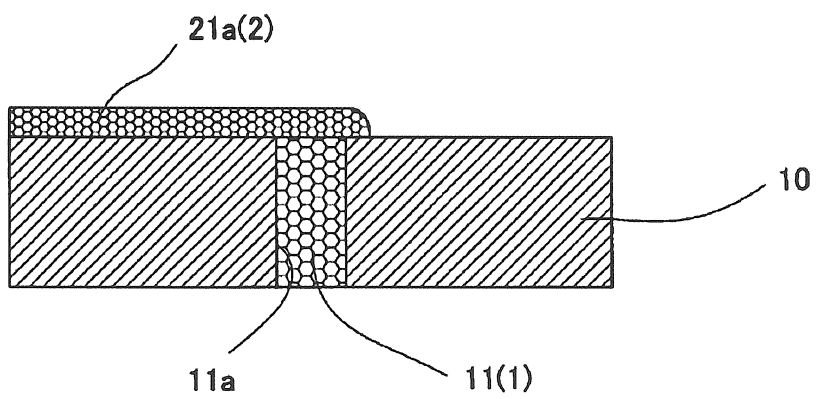
(b)



(c)



(d)



(e)

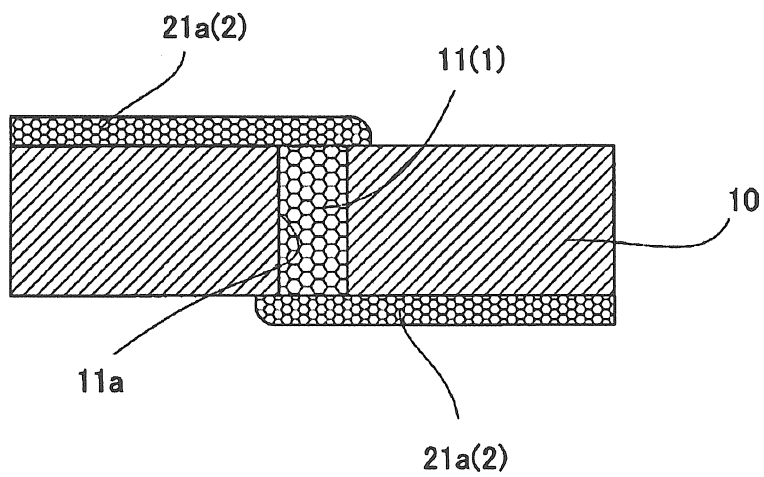


Fig.3

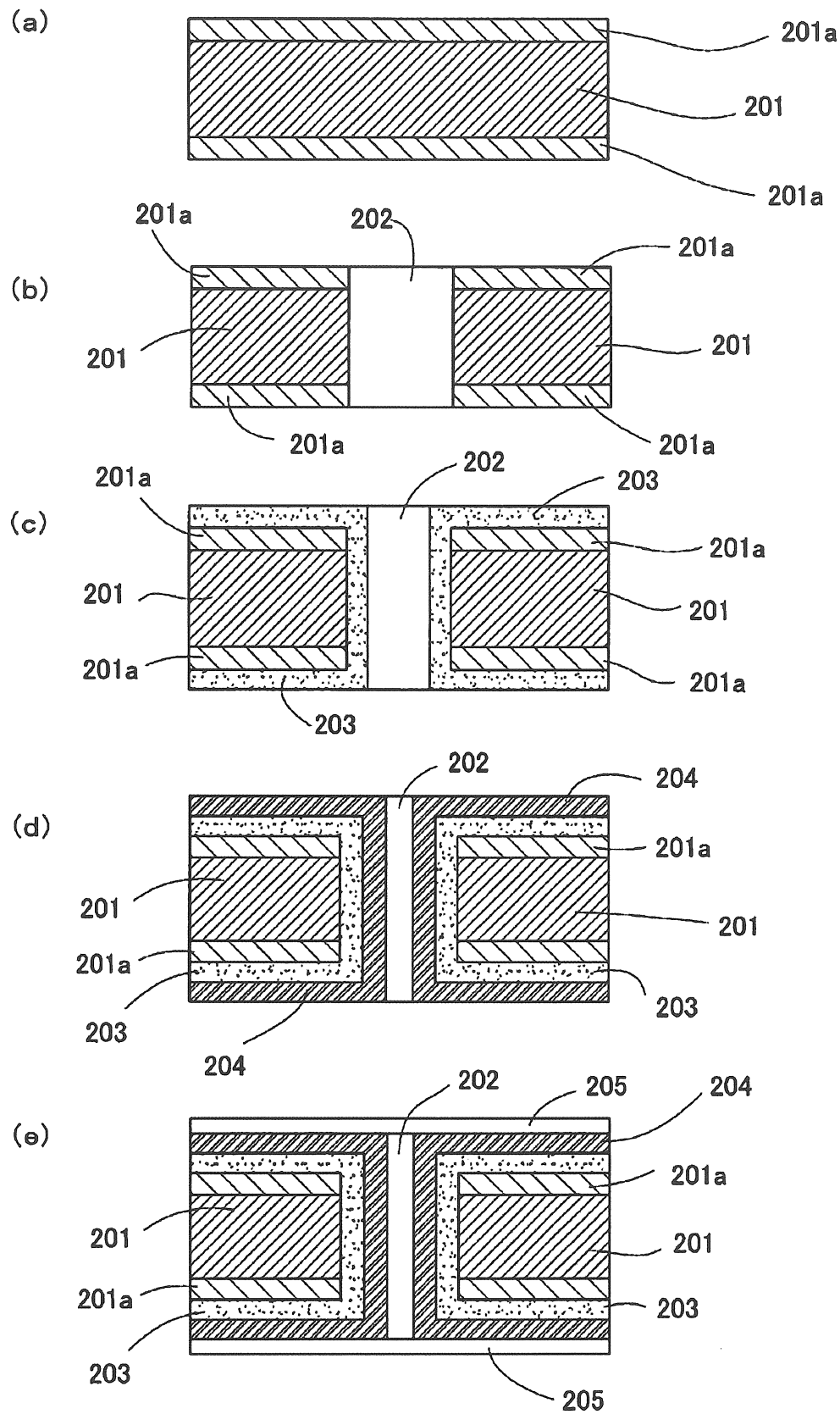


Fig.4

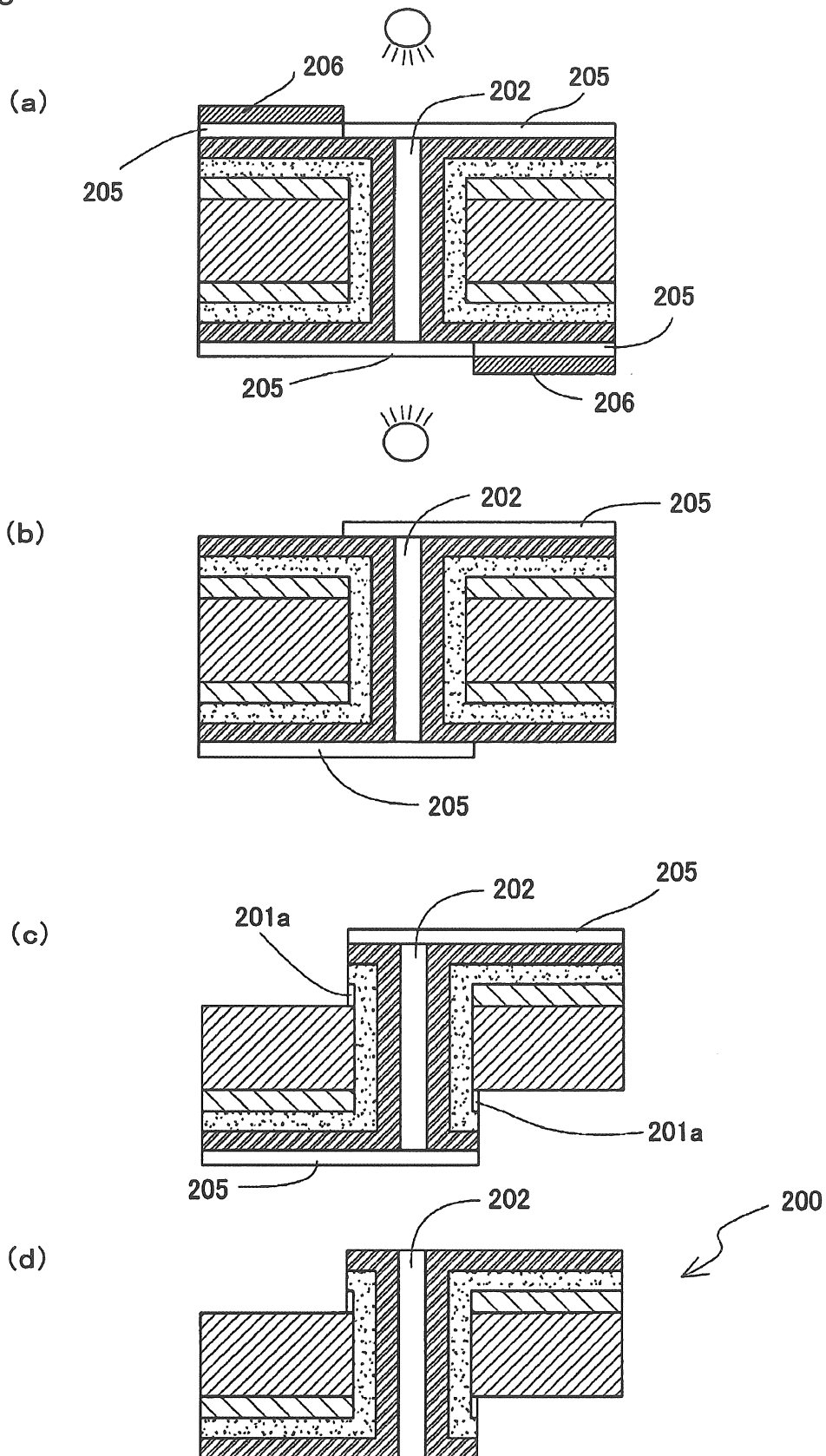
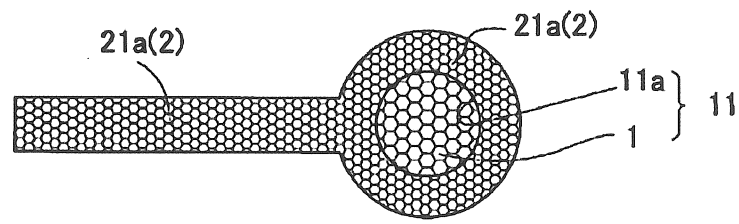
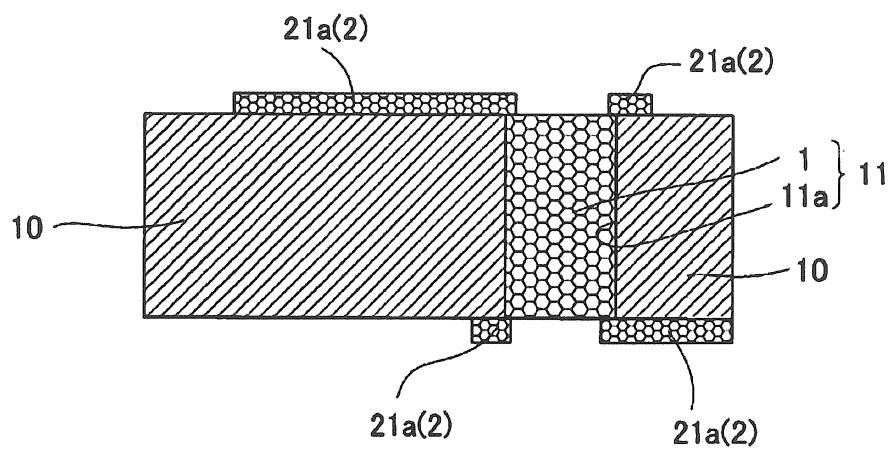


Fig.5

(a)



(b)



(c)

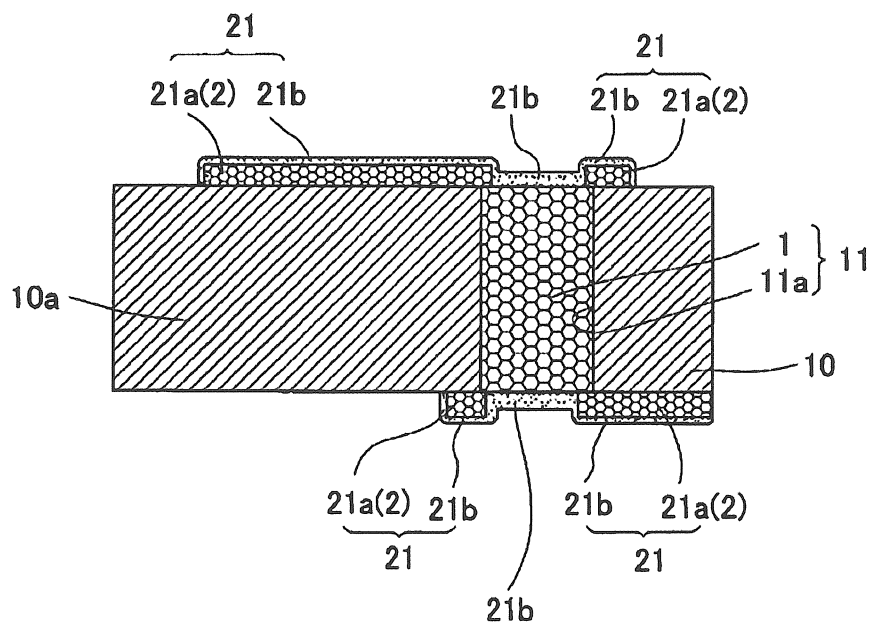


Fig.6

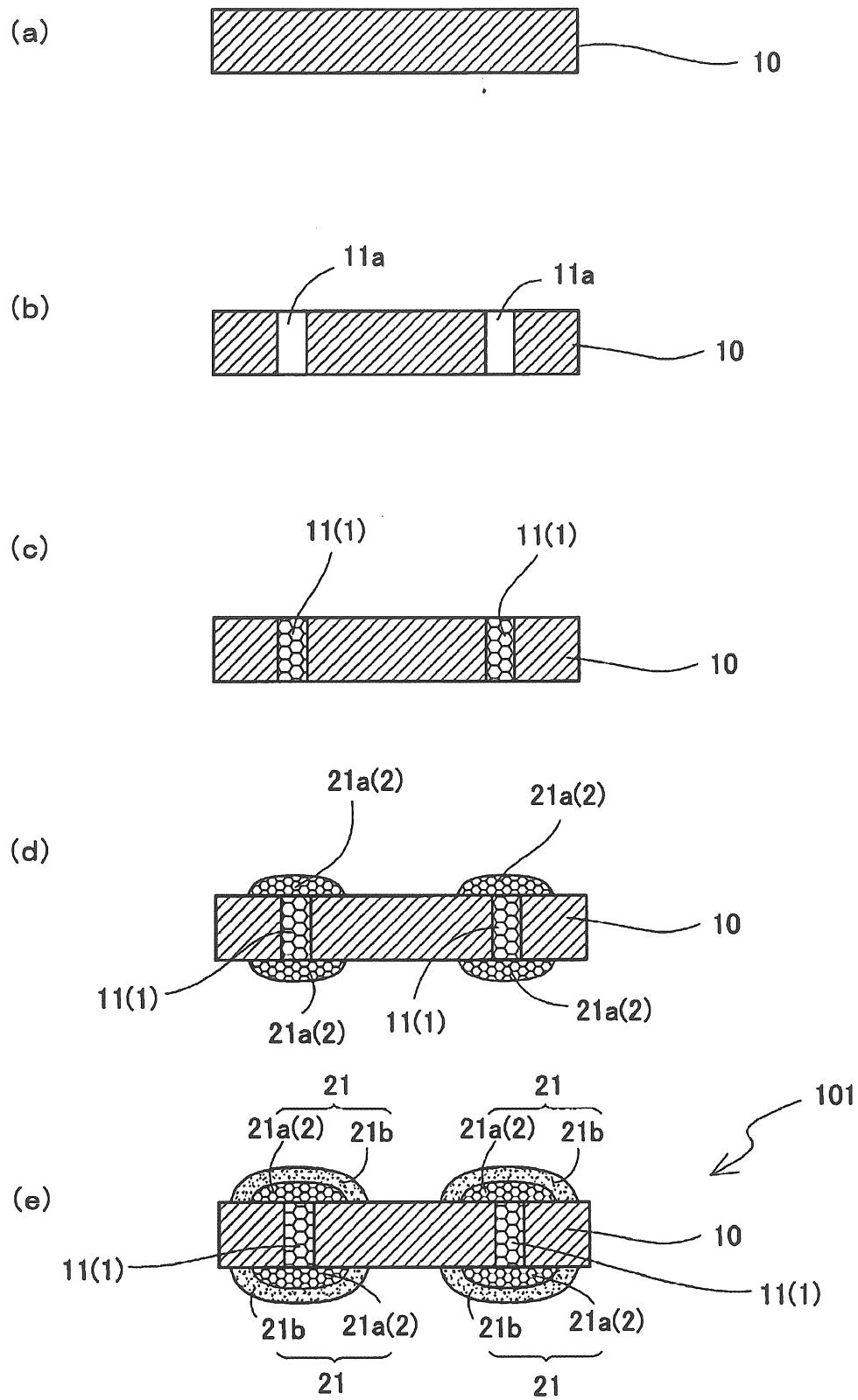


Fig.7

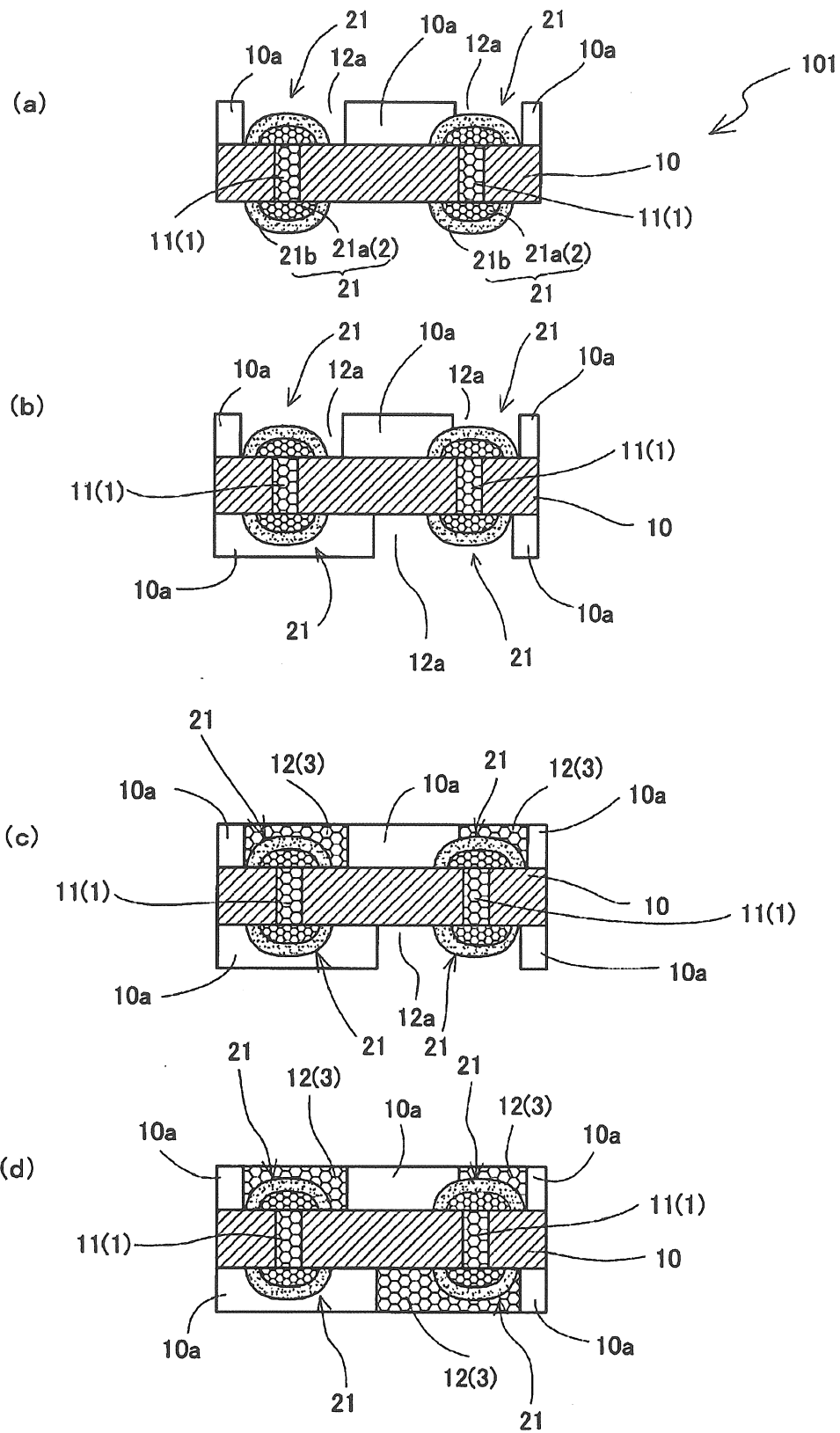


Fig.8

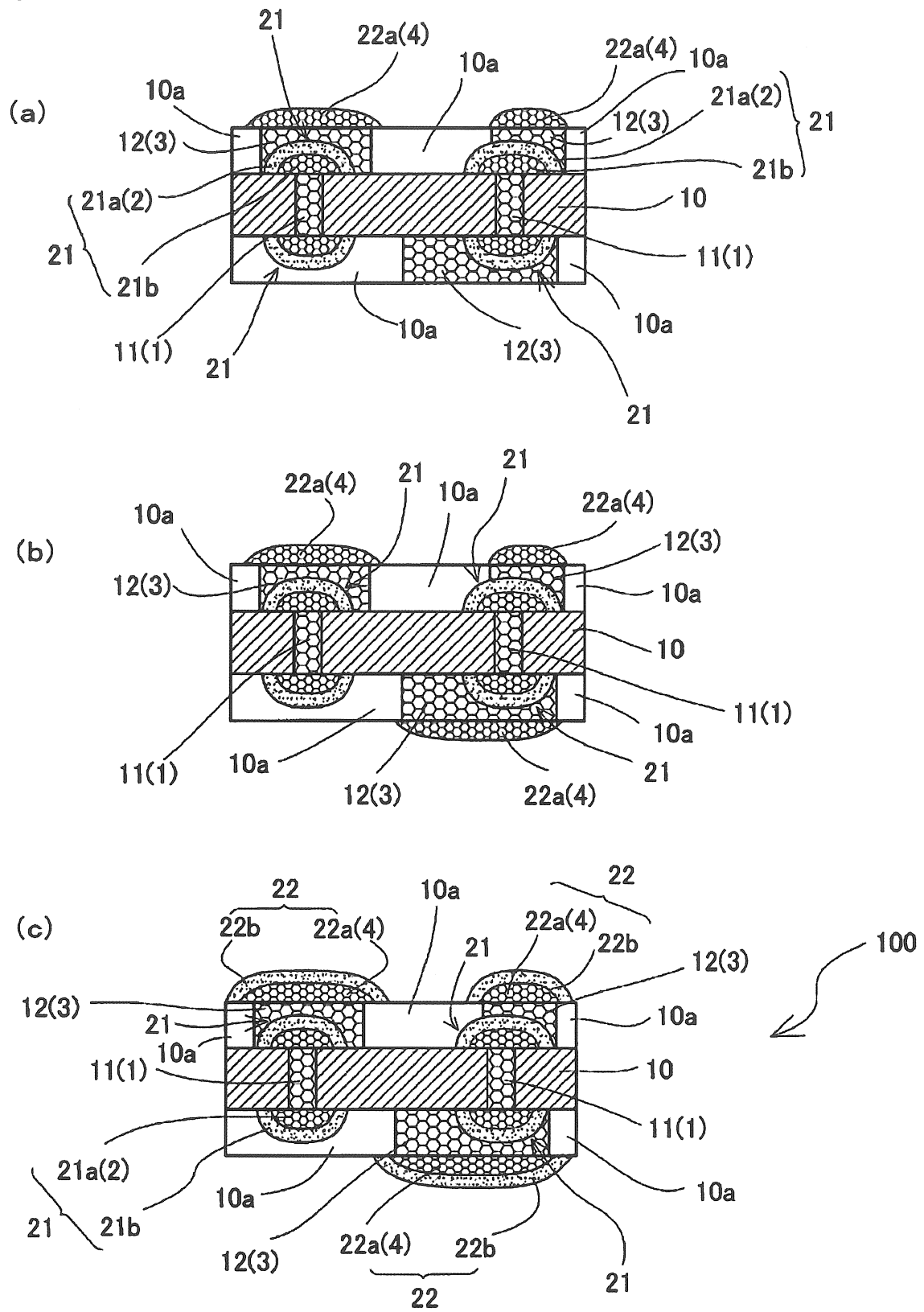
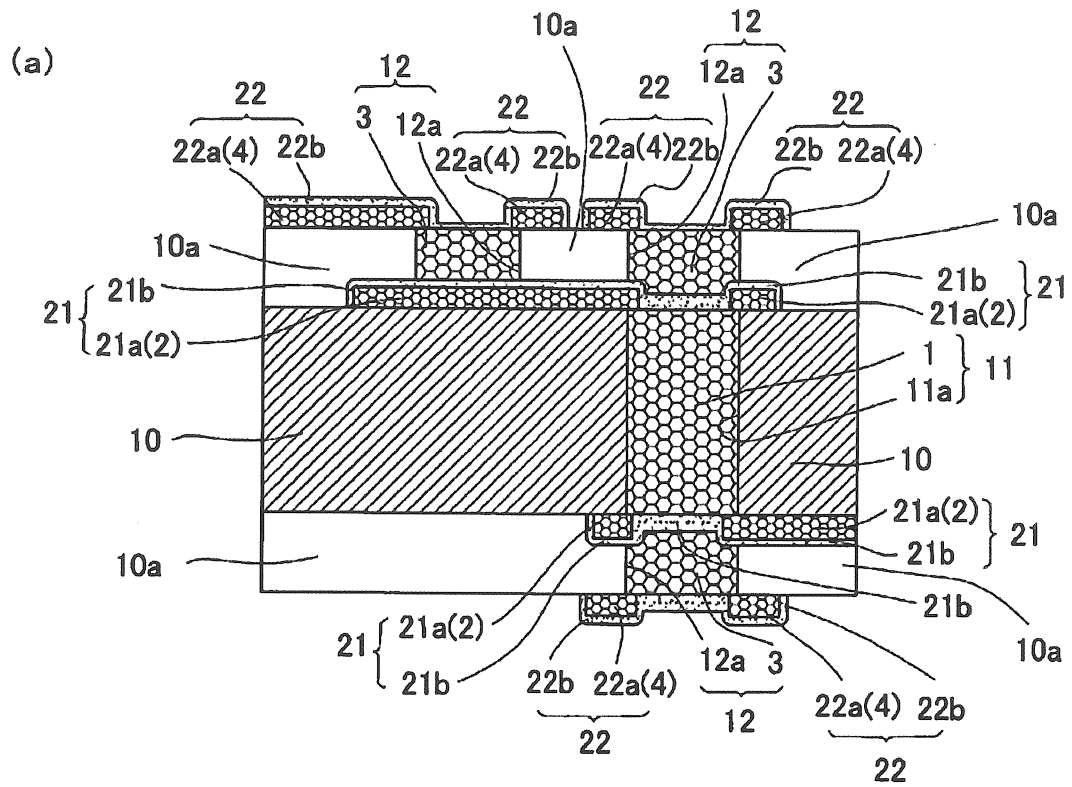


Fig.9



(b)

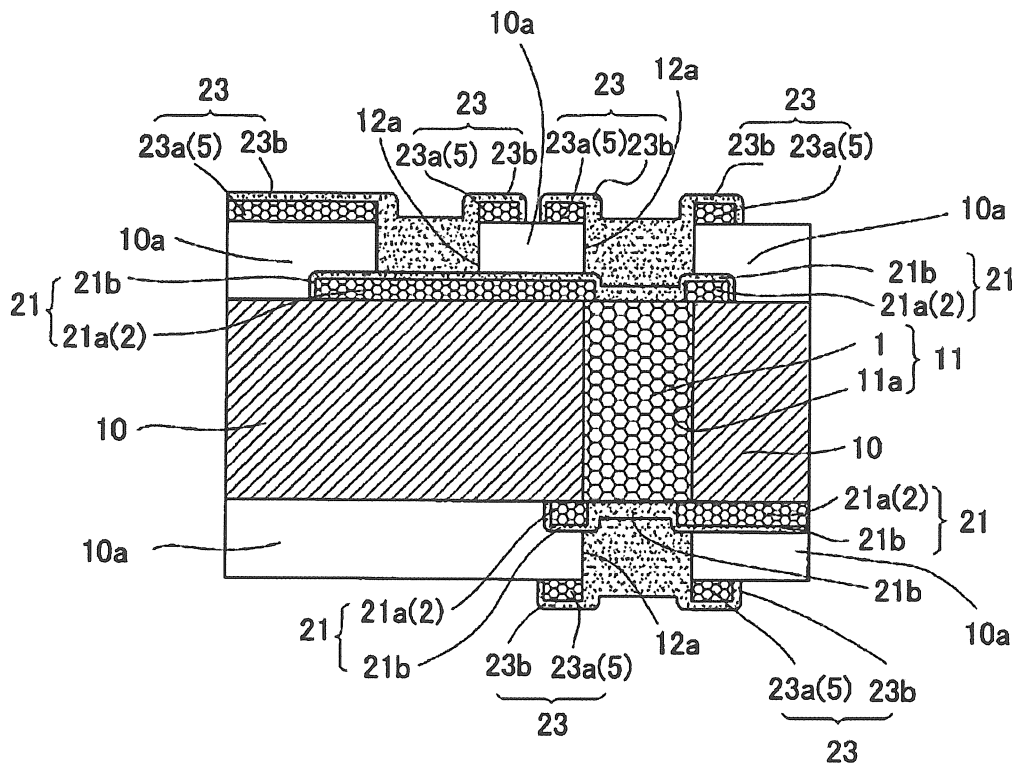


Fig.10

