

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực thiết bị và quy trình bán dẫn và, cụ thể là các thiết bị bán dẫn không phẳng thẳng đứng dùng cho các ứng dụng hệ thống trên vi mạch (system-on-chip, SoC) và phương pháp chế tạo thiết bị bán dẫn không phẳng thẳng đứng này.

Tình trạng kỹ thuật của sáng chế

Trong nhiều thập kỷ, việc chia tỉ lệ chức năng của mạch tích hợp đã là một động lực để thúc đẩy sự phát triển mạnh mẽ của ngành công nghiệp bán dẫn. Việc chia tỉ lệ các tính năng ngày càng nhỏ hơn cho phép tăng mật độ của các đơn vị chức năng trên diện tích giới hạn của chip bán dẫn. Ví dụ, việc thu nhỏ kích thước tranzito cho phép tích hợp nhiều bộ nhớ hoặc thiết bị logic hơn trên một chip, giúp gia tăng dung lượng của sản phẩm được chế tạo. Tuy nhiên, khi dung lượng ngày càng tăng lên thì cũng xuất hiện vấn đề cần giải quyết. Sự cần thiết phải tối ưu hóa hiệu năng của mỗi thiết bị ngày càng trở nên có ý nghĩa.

Trong quá trình sản xuất các thiết bị mạch tích hợp, các tranzito đa cực cổng, như tranzito hiệu ứng trường dạng vây (fin field effect transistor, fin-FET), ngày càng trở nên thông dụng giúp kích thước các thiết bị tiếp tục nhỏ đi. Trong các quy trình truyền thống, các fin-FET thường được chế tạo trên đế silicon hoặc đế cách điện trên phiến silicon. Trong một số trường hợp, đế silicon kích thước lớn thường được ưu tiên vì giá thành thấp và sự tương thích với kết cấu đế silic kích thước lớn hiệu quả cao hiện có.

Tuy nhiên, việc chia tỉ lệ của tranzito đa cực cổng cũng dẫn đến hệ quả. Khi các kích thước của khối cấu trúc cơ sở của vi mạch điện tử này giảm xuống và khi số lượng của các khối cấu trúc cơ sở được chế tạo trong vùng nhất định tăng lên, thì các ràng buộc giữa các quy trình bán dẫn được sử dụng để chế tạo các khối cấu trúc này càng trở nên phức tạp.

Bản chất kỹ thuật của sáng chế

Các phương án của sáng chế đề cập đến thiết bị bán dẫn không phẳng thẳng đứng dùng cho các ứng dụng hệ thống trên vi mạch (system-on-chip, SoC) và các phương pháp chế tạo các thiết bị bán dẫn không phẳng thẳng đứng.

Theo một phương án, thiết bị bán dẫn bao gồm vây bán dẫn được bố trí trên đế, vây bán dẫn có phần được làm lõm và phần trên cùng. Vùng cực nguồn được bố trí ở phần được làm lõm của vây bán dẫn. Vùng cực máng được bố trí ở phần trên cùng của vây bán dẫn. Điện cực cổng được bố trí trên phần trên cùng của vây bán dẫn, giữa các vùng cực nguồn và cực máng.

Theo một phương án, thiết bị bán dẫn còn bao gồm vùng kênh thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng.

Theo một phương án, vùng cực máng bao gồm vùng pha tạp bên trên của loại dẫn suất thứ nhất được bố trí trên vùng trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng pha tạp bên dưới của loại dẫn suất thứ nhất được bố trí trên vây bán dẫn bên dưới phần được làm lõm của vây bán dẫn.

Theo một phương án, vây bán dẫn được bố trí trên đế bán dẫn kích thước lớn và vùng pha tạp bên dưới của loại dẫn suất thứ nhất còn được bố trí ở phần trên của đế bán dẫn kích thước lớn. Thiết bị bán dẫn còn bao gồm vùng pha tạp của loại dẫn xuất ngược thứ hai được bố trí trên đế bán dẫn kích thước lớn bên dưới và tiếp xúc với vùng pha tạp bên dưới của loại dẫn suất thứ nhất.

Theo một phương án, thiết bị bán dẫn là thiết bị loại N và loại dẫn suất thứ nhất là loại N.

Theo một phương án, vùng cực máng bao gồm vùng epitaxi thứ nhất được bố trí trên phần trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng epitaxi thứ hai được bố trí trên phần được làm lõm của vây bán dẫn.

Theo một phương án, vây bán dẫn bao gồm phần trên cùng khác và phần được làm lõm của vây bán dẫn được bố trí giữa phần trên cùng này và phần trên cùng khác. Thiết bị bán dẫn còn bao gồm vùng cực máng thứ hai được bố trí trên

phần trên cùng khác của vây bán dẫn. Điện cực cổng thứ hai được bố trí trên phần trên cùng khác của vây bán dẫn, giữa các vùng cực nguồn và cực máng thứ hai.

Theo một phương án, thiết bị bán dẫn là thiết bị ba cực cổng.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N bao gồm vây silicon được bố trí trên đế silicon kích thước lớn, vây silicon có phần được làm lõm và phần trên cùng. Vùng cực nguồn được bố trí ở phần được làm lõm của vây silicon. Vùng cực máng cũng được bố trí ở phần trên cùng của vây silicon. Điện cực cổng loại N được bố trí trên phần trên cùng của vây silicon, giữa các vùng cực nguồn và cực máng. Vùng kênh gần như thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng loại N.

Theo một phương án, vùng cực máng bao gồm vùng pha tạp loại N bên trên được bố trí ở vùng trên cùng của vây silicon. Vùng cực nguồn bao gồm vùng pha tạp loại N bên dưới được bố trí trong vây silicon, bên dưới phần được làm lõm của vây silicon và tại phần bên trên của đế silicon kích thước lớn.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N còn bao gồm vùng pha tạp loại P được bố trí ở đế silicon kích thước lớn bên dưới và tiếp xúc với vùng pha tạp loại N bên dưới.

Theo một phương án, vùng cực máng còn bao gồm vùng epitaxi loại N thứ nhất được bố trí trên phần trên cùng của vây silicon và vùng cực nguồn còn bao gồm vùng silicon epitaxi loại N thứ hai được bố trí trên phần được làm lõm của vây silicon.

Theo một phương án, vây silicon bao gồm phần trên cùng khác. Phần được làm lõm của vây silicon được bố trí giữa phần trên cùng này và phần trên cùng khác. Thiết bị fin-FET thẳng đứng loại N còn bao gồm vùng cực máng thứ hai được bố trí trên phần trên cùng khác của vây silicon. Điện cực cổng loại N thứ hai được bố trí trên phần trên cùng khác của vây silicon, giữa các vùng cực nguồn và cực máng thứ hai.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N là thiết bị ba cực cổng.

Theo một phương án, phương án chế tạo thiết bị bán dẫn bao gồm bước tạo thành vây bán dẫn trên đế. Phương pháp này cũng bao gồm bước tạo thành vùng pha tạp phụ của loại dẫn suất thứ nhất bên dưới vây bán dẫn. Phương pháp này cũng bao gồm bước tạo thành vùng pha tạp bên trên của loại dẫn suất thứ nhất trên đỉnh của vây bán dẫn, vùng pha tạp bên trên phân tách với vùng pha tạp phụ. Phương pháp này cũng bao gồm bước tạo thành điện cực cổng trên vây bán dẫn. Phương pháp này cũng bao gồm bước khắc vây bán dẫn để tạo ra phần lõm và phần trên cùng của vây bán dẫn. Phương pháp này cũng bao gồm bước tạo thành vùng cực nguồn tại phần lõm của vây bán dẫn, vùng cực nguồn này bao gồm ít nhất một phần của vùng pha tạp phụ. Phương pháp này cũng bao gồm bước tạo thành vùng cực máng tại phần trên cùng của vây bán dẫn, vùng cực máng này bao gồm ít nhất một phần của vùng pha tạp bên trên. Điện cực cổng nằm giữa các vùng cực nguồn và cực máng.

Theo một phương án, bước tạo thành vây bán dẫn bao gồm việc khắc vây bán dẫn lên đế. Phương pháp này còn bao gồm việc tạo thành vùng pha tạp của loại dẫn xuất ngược thứ hai trên đế bên dưới và tiếp xúc với vùng pha tạp phụ của loại dẫn suất thứ nhất.

Theo một phương án, phương pháp này còn bao gồm bước tạo thành vùng cách điện rãnh nông (shallow trench isolation, STI) xung quanh vây bán dẫn và trên đế trước khi tạo thành điện cực cổng. Gờ bán dẫn nhô lên trên vùng STI.

Theo một phương án, bước tạo thành vùng cực nguồn còn bao gồm bước tạo thành vùng epitaxi thứ nhất của loại dẫn suất thứ nhất trên phần lõm của vây bán dẫn và bước tạo thành vùng cực máng còn bao gồm bước tạo thành vùng epitaxi thứ hai của loại dẫn suất thứ nhất trên phần trên cùng của vây bán dẫn.

Theo một phương án, bước tạo thành vùng pha tạp phụ còn bao gồm việc sử dụng lớp cực nguồn pha tạp ở trạng thái rắn.

Theo một phương án, bước tạo thành điện cực cổng còn bao gồm việc tạo thành điện cực cổng giả. Phương pháp này còn bao gồm bước tạo thành điện cực cổng cố định nhờ quy trình thay thế cực cổng.

Theo một phương án, phương pháp này còn bao gồm bước tạo thành thiết bị fin-FET thẳng đứng loại N từ vùng cực nguồn, vùng cực máng và điện cực cổng.

Theo một phương án, bước tạo thành thiết bị fin-FET thẳng đứng loại N còn bao gồm việc tạo thành thiết bị ba cực cổng.

Mô tả vắn tắt các hình vẽ

Fig.1A minh họa các hình chiếu mặt cắt của tranzito điện áp thấp chuẩn và tranzito tương tự/dòng rò thấp chuẩn.

Fig.1B minh họa hình chiếu mặt cắt của tranzito fin-FET thẳng đứng, theo một phương án của sáng chế.

Các hình vẽ từ Fig.2A đến Fig.2E minh họa hình chiếu mặt cắt của tranzito thẳng đứng, lấy theo nhiều hướng khác nhau, để minh họa tốt hơn cho các khái niệm được mô tả trên Fig.1B, theo một phương án của sáng chế.

Các hình vẽ từ Fig.3A đến Fig.3K minh họa hình chiếu mặt cắt các nguyên công khác nhau trong quy trình chế tạo tranzito fin-FET, theo một phương án của sáng chế.

Fig.4 minh họa dòng điện hoạt động cho thiết bị theo Fig.3K, theo một phương án của sáng chế.

Fig.5 minh họa thiết bị điện toán theo một phương án thực hiện của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế đề cập đến thiết bị bán dẫn không phẳng thẳng đứng dùng cho các ứng dụng hệ thống trên vi mạch (system-on-chip, SoC) và mô tả phương pháp chế tạo các thiết bị bán dẫn không phẳng thẳng đứng. Trong phần mô tả sau đây, những chi tiết cụ thể được nêu ra, như chế độ tích hợp và vật liệu cụ thể, nhằm hiểu rõ các phương án của sáng chế. Sẽ là rõ ràng với người có hiểu biết trung bình về lĩnh vực kỹ thuật liên quan rằng các phương án của sáng chế có thể được thực hiện mà không cần phần chi tiết này. Trong các trường hợp khác, các đặc điểm đã được biết đến rõ, như bố trí thiết kế mạch tích hợp, không được mô tả chi tiết để không làm tối nghĩa các phương án của sáng chế. Ngoài ra, cần hiểu rằng các phương án

khác nhau được thể hiện trên các hình vẽ nhằm biểu diễn minh họa và không nhất thiết được vẽ đúng tỉ lệ.

Một hoặc nhiều phương án được mô tả ở đây hướng đến việc chế tạo và đạt được các thuộc tính thẳng đứng của cấu trúc fin-FET để tạo ra tranzito fin-FET thẳng đứng. Tranzito fin-FET thẳng đứng như được mô tả ở đây có thể phù hợp cho các ứng dụng hệ thống trên vi mạch (system-on-chip, SoC). Các thuộc tính hoặc ứng dụng khác có thể bao gồm, nhưng không bị giới hạn bởi, các thiết bị bán dẫn tương tự điện áp cao đầu vào/đầu ra và dòng rò thấp. Như sẽ được hiểu thông qua phần mô tả dưới đây, thiết kế fin-FET thẳng đứng có thể được gọi là tranzito gấp nếp.

Hiện nay, các công nghệ về quy trình SoC tập trung vào việc chia tỉ lệ chiều dài cực cổng (gate length, L_g) của các tranzito một cách linh hoạt để tạo ra hiệu năng và việc chia tỉ lệ tuân theo diện tích theo định luật Moore. Một tác dụng tiêu cực của việc chia tỉ lệ xung quanh là việc hỗ trợ các thiết bị dòng rò thấp và điện áp cao (hai tiêu chí quan trọng cho các quy trình SoC thành công) trở nên khó khăn do cấu trúc phân kỳ của các tranzito này so với tranzito theo quy trình thiết kế tối thiểu (trên danh nghĩa). Việc chế tạo các đoạn kênh dài mà tạo ra độ tin cậy điện áp cao và hoạt động rò thấp có thể gây khó khăn và tốn kém ở cả hai góc độ xử lý và phạm vi. Ví dụ, một giải pháp cho các công nghệ SoC hiện tại để hỗ trợ cho các thiết bị đầu vào/đầu ra (Input/Output, I/O) điện áp cao là sử dụng quy trình chiều dài đa cực cổng trong đó cực cổng danh định (L_g tối thiểu) được chế tạo dọc theo mặt bên của cực cổng tương thích dòng rò thấp hoặc điện áp cao, được cấu tạo trên khoảng rộng hơn với L_g dài hơn. Tuy nhiên, việc tích hợp quy trình chiều dài đa cực cổng là phức tạp và tốn kém, cụ thể là sự chênh lệch giữa chiều dài cực cổng của tranzito thiết kế theo quy tắc tối thiểu danh định và các thiết bị I/O điện áp cao tăng lên.

Cụ thể hơn là, để giải quyết vấn đề trên, một hoặc nhiều phương án được mô tả trong bản mô tả này tạo ra lợi thế so với tình trạng kỹ thuật hiện tại. Đầu tiên, cải thiện việc chia tỉ lệ theo diện tích, như kích thước xung quanh lớn theo tình trạng kỹ thuật được thay thế bằng việc triển khai thẳng đứng thu gọn hơn (mật độ

ở trên không tăng lên). Thứ hai, quy trình tích hợp đơn giản hơn, vì không cần hỗ trợ các chiều dài cực cổng rộng dọc theo các chiều dài cực cổng tối thiểu. Điều này có thể giảm đáng kể độ phức tạp cũng như biến thiên được quan sát trong khi xử lý (như phạm vi mật độ thấp đến cao trong CMP). Thứ ba, tranzito thẳng đứng được mô tả trong bản mô tả này thay đổi tỉ lệ được. Theo một phương án như vậy, khi độ cao của vây và việc tích hợp thẳng đứng tăng lên, các đoạn kênh khả dụng của tranzito thẳng đứng tăng lên, cung cấp tùy chọn rộng hơn để lựa chọn chiều dài cực cổng tranzito.

Fig.1A minh họa hình chiếu mặt cắt của tranzito điện áp thấp chuẩn và tranzito tương tự/dòng rò thấp chuẩn 150A để tham chiếu. Tham chiếu đến Fig.1A, cả hai thiết bị 100A và 150A là loại N và được tạo thành trên vây 102 được tạo thành trên đế 104. Trong trường hợp mà đế bán dẫn kích thước lớn được sử dụng, như đế silicon kích thước lớn, vùng tạp pha phụ P 106 giúp cách điện giữa vây này và đế kích thước lớn và đường dẫn dòng điện được thể hiện theo mũi tên 108. Có thể còn có thêm các vùng cách li rãnh nông 110. Vùng cực nguồn và vùng cực máng 112 trong vây (được thể hiện ở đây dưới dạng các vùng epitaxi), qua đó các tiếp xúc cực nguồn/cực máng 114 được ghép nối. Điện cực cổng 116 bao bọc vây 112 giữa các vùng cực nguồn và cực máng 112. Các đường cực cổng bổ sung 118 cũng có thể được bao gồm như được minh họa. Lớp chóp điện môi cực cổng 120 và lớp điện môi trung gian 122 được minh họa cũng có thể được bao gồm. Trên đế chung, chiều dài cực cổng của các thiết bị 100A và 150A là khác nhau.

Ngược lại, theo phương án của sáng chế, thuộc tính thẳng đứng của cấu trúc fin-FET được khai thác để tạo ra tranzito fin-FET thẳng đứng. Tranzito fin-FET thẳng đứng có thể được thực thi để khắc phục các giới hạn và sự phức tạp xử lý liên quan đến trạng thái của các phương pháp tiếp cận được mô tả ở trên. Theo một phương án như vậy, bản chất thẳng đứng của cấu trúc fin-FET được sử dụng để tạo thành kênh mà dòng điện chạy thẳng đứng, thay vì theo hướng ngang thông thường (tương ứng với đế silicon). Tranzito fin-FET truyền thống sử dụng tiếp xúc cực nguồn và máng được căn chỉnh (ví dụ cùng độ cao) bao bọc vây, việc dẫn điện được điều khiển tĩnh điện bởi điện cực cổng. Thay vào đó, theo phương án của

sáng chế, các cấu hình điện cực bán dẫn oxit kim loại (metal oxide semiconductor, MOS) chuẩn được sử dụng; tuy nhiên, việc dẫn điện từ cực nguồn đến cực máng là thẳng đứng dọc theo vây. Theo phương cụ thể này, đường dẫn điện thẳng đứng đó đạt được bằng cách làm lõm tiếp xúc cực máng vào vây phụ và áp dụng mô hình pha tạp vây phụ được thiết kế để tạo ra tính năng cho tranzito.

Theo khía cạnh thứ nhất, Fig.1B minh họa hình chiếu mặt cắt của tranzito fin-FET thẳng đứng 100B, theo một phương án của sáng chế. Tham chiếu đến Fig.1B, thiết bị 100B là loại N và được tạo thành trên vây 152 được tạo thành trên đế 154. Trong trường hợp mà để bán dẫn kích thước lớn được sử dụng, như để silicon kích thước lớn, vùng pha tạp phụ loại N 156 được bố trí trên vùng pha tạp phía sau cách điện loại P. Có thể còn có thêm các vùng cách điện rãnh nông 160. Vùng cực nguồn 162 và vùng cực máng 163 được chứa trong vây 152 (được thể hiện ở đây dưới dạng các vùng epitaxi), qua đó các tiếp xúc cực nguồn/cực máng 164 được ghép nối. Khác với fin-FET không thẳng đứng (đã được mô tả trên Fig.1A), vùng cực nguồn 163 được làm lõm sâu vào vây 152 tương đối so với vùng cực máng 163. Điện cực cổng 166 (bao gồm lớp điện môi cực cổng không được thể hiện) bao bọc vây 152 giữa vùng cực nguồn 162 và vùng cực máng 163. Các đường cực cổng bổ sung 168 cũng có thể được bao gồm như được minh họa. Như cũng được minh họa, lớp chóp điện môi cực cổng 170 và lớp điện môi trung gian 172 cũng có thể được bao gồm. Đường dẫn điện từ vùng cực nguồn 162 đến vùng cực máng 163 được thể hiện ở dạng mũi tên 168 và có thành phần về cơ bản là thẳng đứng (hướng vào đế bên dưới). Tương tự, chiều dài cực cổng được áp dụng theo chiều thẳng đứng, trái với chiều dài cực cổng theo chiều ngang của thiết bị 100A và 150A theo Fig.1A.

Theo một phương án, cấu trúc bán dẫn hoặc thiết bị 100B là thiết bị không phẳng bao gồm, nhưng không bị giới hạn ở, fin-FET hoặc thiết bị ba cực cổng. Theo phương án như vậy, vùng kênh bán dẫn tương ứng bao gồm hoặc được tạo thành trong phần thân hoặc vây ba chiều. Theo một phương án như vậy, các điện cực cổng bao quanh ít nhất bề mặt trên đỉnh và cặp thành bên của phần thân ba chiều. Các hình vẽ từ Fig.2A đến Fig.2E minh họa hình chiếu mặt cắt của tranzito

thẳng đứng, lấy theo nhiều hướng khác nhau, để minh họa tốt hơn cho các khái niệm được mô tả trên Fig.1B, theo một phương án của sáng chế.

Fig.2A minh họa hình chiếu mặt cắt ba chiều tranzito fin-FET 200 thẳng đứng được tạo thành trên vây 202. Vùng cực nguồn 212 và vùng cực máng 213 được chứa trong vây 202, qua đó các tiếp xúc cực nguồn/cực máng 214 được ghép nối. Vùng cực nguồn 212 được làm lõm sâu vào trong vây 202 so với vùng cực máng 213. Điện cực cổng 216 (bao gồm lớp điện môi cực cổng không được thể hiện) bao bọc vây 202 giữa vùng cực nguồn 212 và vùng cực máng 213. Như cũng được minh họa, lớp chóp điện môi cực cổng 220 cũng được bao gồm.

Fig.2B minh họa hình chiếu mặt cắt được lấy theo trục A-A' của thiết bị bán dẫn theo Fig.2A, tạo thành đường cắt vuông góc qua cực cổng (hướng OGD) qua hướng vây. Như được quan sát, tham chiếu đến Fig.2B, thiết bị 200 là loại N và được tạo thành trên vây 202 vốn được tạo thành trên đế 204. Trong trường hợp mà đế bán dẫn kích thước lớn được sử dụng, như đế silicon kích thước lớn, vùng pha tạp phụ loại N 206 được bố trí trên vùng pha tạp phía sau cách điện loại P. Vùng pha tạp loại N bên trên 280 cũng được bao gồm trong phần trên của vây 202. Có thể còn có thêm các vùng cách điện rãnh nông 210. Vùng cực nguồn 212 và vùng cực máng 213 được chứa trong vây 202 (được thể hiện ở đây dưới dạng các vùng epitaxi), qua đó các tiếp xúc cực nguồn/cực máng 214 được ghép nối. Vùng cực nguồn 212 được làm lõm sâu vào trong vây 202 so với vùng cực máng 213. Các điện cực cổng 216 (bao gồm lớp điện môi cực cổng) bao bọc vây 202 giữa vùng cực nguồn 212 và vùng cực máng 213 tương ứng. Đường cực cổng bổ sung 218 cũng có thể được bao gồm như được minh họa. Như cũng được minh họa, lớp chóp điện môi cực cổng 220 và lớp điện môi trung gian 222 cũng có thể được bao gồm. Đường dẫn điện từ vùng cực nguồn 212 đến các vùng cực máng 213 được thể hiện ở dạng các mũi tên 208 và có thành phần về cơ bản là thẳng đứng (hướng vào đế bên dưới) 204. Chiều dài cực cổng được lấy theo chiều thẳng đứng.

Fig.2C minh họa hình chiếu mặt cắt được lấy theo trục B-B' của thiết bị bán dẫn theo Fig.2A, tạo thành đường cắt vuông góc dọc theo cực cổng (hướng PGD) qua hướng điện cực cổng. Như được quan sát, tham chiếu đến Fig.2C, thiết bị 200

bao gồm nhiều vây 202, mỗi vây có chiều rộng (width, W), chứa vùng pha tạp phụ loại N dưới 206 và vùng pha tạp loại N trên 280. Các vây 202 được bố trí trên vùng pha tạp phía sau cách điện loại P 207. Các vùng cách điện rãnh nông 210 giữa các vây 202 cũng được quan sát từ hình chiếu này. Điện cực cổng 216 (bao gồm lớp điện môi cực cổng 217) bao bọc vây 202 giữa vùng cực nguồn 212 và vùng cực máng 213. Như cũng được minh họa, lớp chóp điện môi cực cổng 120 cũng được bao gồm.

Fig.2D minh họa hình chiếu mặt cắt được lấy theo trục C-C' của thiết bị bán dẫn theo Fig.2A, tạo thành đường cắt vuông góc dọc theo cực cổng (hướng PGD) qua hướng tiếp xúc cực máng. Như được quan sát, tham chiếu đến Fig.2D, thiết bị 200 bao gồm nhiều vây 202 bao gồm các cực máng 213 trên. Các vây 202 được bố trí trên vùng pha tạp phía sau cách điện loại P 207. Các vùng cách điện rãnh nông 210 giữa các vây 202 cũng được quan sát từ hình chiếu này. Vì vùng cực máng 213 được tạo thành trên phần bên trên của các vây 202, nên độ cao tổng thể của vây quan sát được từ hình chiếu này. Do đó, tiếp xúc cực máng 214 bao bọc các vây 202 tại các điểm cao nhất của các vây 202.

Fig.2E minh họa hình chiếu mặt cắt lấy theo trục D-D' của thiết bị bán dẫn theo Fig.2A, tạo thành đường cắt vuông góc dọc theo cực cổng (hướng PGD) qua hướng tiếp xúc cực nguồn. Như được quan sát, tham chiếu đến Fig.2E, thiết bị 200 bao gồm nhiều vây 202 chứa các vùng cực nguồn 212 bên dưới. Các vây 202 bao gồm vùng pha tạp loại N 206 được bố trí trên vùng pha tạp phía sau cách điện loại P 207. Các vùng cách điện rãnh nông 210 giữa các vây 202 cũng được quan sát từ hình chiếu này. Vì vùng cực nguồn 212 được tạo thành trong phần được làm lõm của vây 202, nên chỉ một phần của độ cao vây quan sát được từ hình chiếu này. Do đó, tiếp xúc cực máng 214 bao bọc các vây 202 tại các điểm thấp nhất của các vây 202.

Theo khía cạnh khác, quy trình chế tạo chất bán dẫn có thể đề cập đến việc chế tạo tranzito thẳng đứng. Ví dụ, các hình vẽ từ Fig.3A đến Fig.3K minh họa hình chiếu mặt cắt các nguyên công khác nhau trong quy trình chế tạo tranzito fin-FET, theo một phương án của sáng chế.

Theo Fig.3A và Fig.3B, đế bán dẫn kích thước lớn 300, như là đế silicon đơn tinh thể kích thước lớn được đề xuất có vây 302 được khắc trên đó (được thể hiện theo chiều dài, dọc theo hình vẽ phối cảnh nguồn-máng sau cùng). Theo một phương án, vây 302 được tạo thành trực tiếp trên đế kích thước lớn 300 và, như vậy được tạo thành tiếp theo đế kích thước lớn 300. Vật liệu thừa từ việc chế tạo các vây 302 không được thể hiện. Ví dụ, lớp phủ cứng, như là lớp phủ cứng silicon nitrit và lớp oxit đệm, như là lớp silicon đioxit, có thể bị loại bỏ khỏi các vây 302 sau khi khắc. Do đó, theo một phương án, đế kích thước lớn 300 và các vây 302 chưa được pha tạp hoặc được pha tạp một phần ở giai đoạn này. Do đó, ví dụ, theo phương án xác định, đế kích thước lớn 300 và các vây 302 có nồng độ nhỏ hơn xấp xỉ $1E17$ nguyên tử/cm³ của các nguyên tử Bo không tinh khiết pha tạp.

Đế 300 có thể bao gồm vật liệu bán dẫn có thể duy trì trong quy trình chế tạo và trong đó điện tích có thể dịch chuyển. Theo một phương án, đế 300 là đế kích thước lớn bao gồm lớp silicon tinh thể, silicon/germani hoặc germani. Theo một phương án, nồng độ của nguyên tử silic trong đế kích thước lớn 300 là lớn hơn 97%. Theo một phương án khác, đế kích thước lớn 300 cấu tạo từ lớp epitaxi được mọc bên trên đế tinh thể riêng biệt, ví dụ, lớp epitaxi silicon được mọc trên đế đơn tinh thể silicon kích thước lớn được pha tạp Bo. Ngoài ra, đế kích thước lớn 300 có thể được cấu tạo từ vật liệu nhóm III-V. Theo một phương án, đế kích thước lớn 300 được cấu tạo từ vật liệu nhóm III-V bao gồm, nhưng không giới hạn bởi, gali nitrit, gali phosphit, gali asen, indi phosphit, indi antimonit, iot gali asen, nhôm gali asen, indi gali phosphit, hoặc hợp chất của chúng.

Theo cách khác, đế cách điện trên phiến silicon (silicon-on-insulator, SOI) có thể được sử dụng thay cho đế kích thước lớn. Các vây có thể được chế tạo sử dụng phương thức mạng lưới mà có thể liên quan đến việc lấy một nửa hoặc một phần tư khoảng cách để đạt được các vây có mật độ cao.

Tham chiếu đến Fig.3C, vùng pha tạp phụ loại N 304 được tạo thành trong vây 302. Theo một phương án, vùng pha tạp phụ loại N được tạo thành bằng cách khuếch tán ở trạng thái rắn sử dụng lớp cực nguồn pha tạp ở trạng thái rắn loại N. Theo một phương án, lớp cực nguồn pha tạp ở trạng thái rắn loại N là lớp điện môi

tích hợp các chất pha tạp loại N bao gồm, nhưng không giới hạn bởi, lớp oxit được pha tạp loại N, nitrit hoặc cacbit. Theo phương án cụ thể này, lớp cực nguồn pha tạp ở trạng thái rắn loại N là lớp thủy tinh photpho và/hoặc asen-silicat. Bước 3 có thể được thực hiện để tạo thành vùng pha tạp phụ loại N 304. Theo cách này, phần nhô ra của các vây 302 trên vùng pha tạp phụ loại N 304 chưa bị pha tạp hoặc pha tạp nhẹ, ví dụ, giữ được trạng thái pha tạp của đế kích thước lớn ban đầu 300 và các vây 302 như được mô tả trên Fig.3A và Fig.3B. Theo một phương án, vùng pha tạp phụ loại N 304 có tổng nồng độ chất pha tạp là lớn hơn hoặc bằng 2×10^{18} nguyên tử/cm³.

Tham chiếu đến Fig.3D, các vùng cách điện rãnh nông (shallow trench isolation, STI) 306 được tạo thành xung quanh vây 302. Theo một phương án, lớp làm đầy điện môi được tạo thành trên cấu trúc theo Fig.3C. Theo một phương án, lớp làm đầy điện môi bao gồm silicon đioxit. Lớp làm đầy điện môi có thể được lắng đọng bằng quy trình lắng đọng hơi hóa học (chemical vapor deposition, CVD) hoặc quy trình lắng đọng khác (ví dụ ALD, PECVD, PVD, CVD hỗ trợ HDP, CVD nhiệt độ thấp). Lớp làm đầy điện môi tiếp theo được tạo phẳng để lộ ra bề mặt trên của vây 302 như được minh họa trên hình vẽ. Lớp làm đầy điện môi có thể được tạo phẳng bằng kỹ thuật đánh bóng cơ hóa học (chemical mechanical polishing, CMP). Theo phương án thay thế, lớp phủ cứng hoặc lớp điện môi khác có thể được duy trì trên đỉnh của các vây để loại bỏ hoặc làm giảm việc kiểm soát cực cổng từ đỉnh của các vây (ví dụ gấp đôi thiết bị cực cổng so với thiết bị ba cực cổng). Trong bất kỳ trường hợp nào, các vùng STI 306 có thể được cấu tạo từ vật liệu phù hợp để cách điện, hoặc góp phần vào việc cách điện nhiều phần của cấu trúc cực cổng có định khối để kích thước lớn bên dưới hoặc cách điện các vùng hoạt động được tạo thành bên trong đế kích thước lớn bên dưới, như là các vùng hoạt động của vây cách điện. Ví dụ, theo một phương án, vùng cách điện 306 cấu tạo từ vật liệu chất điện môi bao gồm, nhưng không bị giới hạn bởi, silicon đioxit, silicon oxy-nitrit, silicon nitrit, hoặc silicon nitrit pha cacbon.

Tham chiếu đến Fig.3E, các chất pha tạp loại P được đưa vào dưới vùng pha tạp phụ loại N 304 để tạo thành vùng pha tạp phía sau cách điện loại P 308 trong

đế 300. Theo một phương án, các chất pha tạp loại P được cấy vào để tạo thành vùng pha tạp phía sau cách điện loại P 308. Tham chiếu đến Fig.3F, vùng pha tạp loại N bên trên 310, hoặc vùng cấy tiếp xúc trên đỉnh, được tạo thành tại phần trên của vây 302. Theo một phương án, các chất pha tạp loại N được cấy vào để tạo thành vùng pha tạp loại N phía trên 310.

Tham chiếu đến Fig.3G, các vùng STI 306 được làm lõm để lộ ra các phần nhô của các vây 302, xác định độ cao (HSi) của vây 302. Việc làm lõm có thể được thực hiện nhờ quy trình khắc plasma, hơi hoặc ướt. Theo một phương án, quy trình khắc khô chọn lọc cho các vây silicon được sử dụng, quy trình khắc khô dựa trên plasma được tạo ra từ khí, bao gồm, nhưng không bị giới hạn bởi, NF_3 , CHF_3 , C_4F_8 , HBr và O_2 với áp suất thường nằm trong khoảng từ 30 đến 100 mTorr và phân cực plasma nằm trong khoảng từ 50 đến 1000 Watt. Theo một phương án, bước làm lõm được dừng lại trên vùng pha tạp phụ loại N 304, như được minh họa trên Fig.3G.

Tham chiếu đến Fig.3H, việc oxy hóa điện môi cực cổng và tạo mẫu cực cổng polysilicon được thực hiện để tạo ra các đường cực cổng 312 trên vây 302. Ngoài các điện cực cổng 314, cấu trúc xếp chồng cực cổng của mỗi trong số các đường 312 có thể bao gồm lớp điện môi cực cổng 316 và chóp điện môi 318, như được minh họa trên hình vẽ. Theo một phương án, các đường cực cổng 312 được tạo thành bằng các vật liệu cố định cuối cùng. Tuy nhiên, theo một phương án khác, các đường cực cổng 312 sẽ tiếp tục được sử dụng trong quy trình cực cổng thay thế. Theo phương án như vậy, vật liệu cực cổng giả như vật liệu polysilicon hoặc silicon nitrit, trước tiên có thể được tạo thành để loại bỏ và thay thế sau đó bằng vật liệu điện cực cổng cố định. Theo một phương án như vậy, lớp chất điện môi cực cổng giả cũng được tạo thành trong quy trình này, sau đó được loại bỏ và thay thế bằng vật liệu điện môi cực cổng cố định.

Theo một phương án, các đường cực cổng 312 trước tiên được tạo thành bằng cách tạo mẫu đa cực cổng liên quan đến việc in litô để tạo ra đa cực cổng bằng cách khắc lớp phủ cứng silicon nitrit và polysilicon sau đó. Theo một phương án, lớp phủ được tạo thành trên lớp phủ cứng, lớp phủ bao gồm phần phủ topo và lớp

màng giảm phản xạ (anti-reflective coating, ARC). Theo phương án cụ thể như vậy, phần phủ topo là lớp vật liệu phủ cacbon (carbon hardmask, CHM) và lớp phủ chống phản xạ là lớp ARC silicon. Phần phủ topo và lớp ARC có thể được tạo mẫu bằng kỹ thuật khắc và in litô truyền thống. Theo một phương án, lớp phủ cũng bao gồm lớp cản quang trên cùng, được biết đến trong tình trạng kỹ thuật và có thể được tạo mẫu bằng các quy trình chế tạo và in litô truyền thống. Theo một phương án cụ thể, nhiều phần của lớp cản quang được lộ ra dưới nguồn sáng được loại bỏ khi tạo ra lớp cản quang. Do đó, lớp cản quang được tạo mẫu bao gồm vật liệu cản quang dương. Theo một phương án cụ thể, lớp cản quang bao gồm vật liệu cản quang dương bao gồm, nhưng không bị giới hạn bởi, chất cản quang 248nm, chất cản quang 193nm, chất cản quang 157nm, chất cản quang siêu cực tím (extreme ultra violet, EUV), lớp in bằng chùm tia điện tử, hoặc hỗn hợp nhựa fenola có chất làm nhạy diazonaphthoquinon. Theo một phương án cụ thể khác, nhiều phần của lớp cản quang được lộ ra với nguồn sáng được duy trì khi tạo ra lớp cản quang. Do đó, lớp cản quang bao gồm vật liệu cản quang âm. Theo một phương án cụ thể, lớp cản quang cấu tạo từ vật liệu cản quang âm bao gồm, nhưng không bị giới hạn bởi, poly-cis-isopren hoặc poly-vinyl-xinnamat.

Theo Fig.3I, vây 302 được tạo mẫu giữa các đường cực cổng 312A và 312B để tạo thành phần được làm lõm 330 của vây 302. Phần lõm này có thể được tạo thành nhờ quy trình khắc hoặc in litô và có thể dựa trên quy trình khắc khô hoặc khắc plasma silicon chọn lọc các đường cực cổng 312. Theo phương án thực hiện này, bước làm lõm vây 302 được dừng lại trên vùng pha tạp phụ loại N 304, như được thể hiện trên hình vẽ. Vẫn theo Fig.3I, các khoảng trống 332 được tạo thành dọc theo các thành bên của các đường cực cổng 312. Khoảng trống 312 kết hợp với đường cực cổng 312 có thể cấu tạo từ vật liệu thích hợp để cách điện, hoặc đóng góp vào việc cách ly cấu trúc cực cổng cố định với các tiếp xúc dẫn điện liền kề, như các tiếp xúc tự căn chỉnh. Ví dụ, theo một phương án, khoảng trống 306 cấu tạo từ vật liệu điện môi bao gồm, nhưng không bị giới hạn bởi, silicon đioxit, silicon oxy-nitrit, silicon nitrit, hoặc silicon nitrit pha cacbon.

Theo Fig.3J, các vùng epitaxi 334 và 336 được tạo thành trên các vùng được lộ ra của vây 302. Một cách cụ thể, các vùng epitaxi 334 được tạo thành trên phần được làm lõm 330 của vây 302, trong khi vùng epitaxi 336 được tạo thành trên các phần trên của vây 302. Theo một phương án, các vùng epitaxi 334 và 336 được tạo thành từ vật liệu tương tự với vật liệu của vây 302, như là silicon. Theo các phương án thực hiện khác, các vật liệu bán dẫn khác có thể được sử dụng. Theo một phương án cụ thể, các vùng epitaxi 334 và 336 được tạo thành dưới dạng các vùng được pha tạp, ví dụ, các vùng được pha tạp loại N 334 và 336 như được minh họa. Theo một phương án, vùng epitaxi 334 là vùng cực nguồn cho fin-FET thẳng đứng được chế tạo, trong khi các vùng epitaxi 336 là các vùng cực nguồn cho fin-FET thẳng đứng được chế tạo.

Tham chiếu đến Fig.3K, lớp cách điện 350, như lớp điện môi trung gian silicon đioxit được tạo thành trên cấu trúc theo Fig.3J. Ví dụ, việc tạo thành tiếp xúc để tạo thành tiếp xúc cực nguồn 338 và tiếp xúc cực máng 340 cũng được thực hiện. Các quy trình bổ sung có thể bao gồm các quy trình thay thế cực cổng và điện môi cực cổng. Việc xử lý tiếp theo cũng có thể bao gồm việc tạo thành tiếp xúc cực cổng, cùng với việc tạo thành liên kết kim loại chồng lấp. Tiếp xúc cực nguồn 338 và các tiếp xúc cực máng 340 và bất kỳ tiếp xúc cực cổng nào, có thể chứa các mẫu kim loại. Vật liệu kim loại có thể là kim loại nguyên liệu, như tungsten, niken, coban, hoặc có thể là hợp kim như hợp kim kim loại-kim loại hoặc hợp kim kim loại-chất bán dẫn (như vật liệu silicide).

Như được đề cập tóm tắt ở trên, quy trình thay thế cực cổng có thể được thực hiện gần như tại giai đoạn này để tạo thành tranzito fin-FET thẳng đứng. Theo một phương án, các cực cổng giả được loại bỏ thông qua quy trình khắc khô hoặc ướt. Theo một phương án, các cực cổng giả bao gồm silicon đa tinh thể hoặc silicon vô định hình và được loại bỏ bởi quy trình khắc khô bao gồm việc sử dụng SF₆. Theo một phương án khác, các cực cổng giả bao gồm silicon đa tinh thể hoặc silicon vô định hình và được loại bỏ bởi quy trình khắc ướt bao gồm việc sử dụng NH₄OH dạng nước hoặc tetametylammonium hydroxit. Theo một phương án khác, các cực cổng giả bao gồm silicon nitrit và được loại bỏ bởi quy trình khắc ướt bao gồm

axit phosphoric dạng nước. Theo một phương án, lớp điện môi cực cổng giả bao gồm silicon đioxit và được loại bỏ bằng axit hydrofloric (hydrofluoric acid, HF).

Theo một phương án, điện cực cổng cố định của chồng điện cực cổng 212 bao gồm cực cổng kim loại và lớp chất điện môi cực cổng được cấu tạo từ vật liệu có hằng số điện môi cao. Ví dụ, theo một phương án, lớp điện môi cực cổng cấu tạo từ vật liệu bao gồm, nhưng không giới hạn ở, hafni oxit, hafni oxy-nitrit, hafni silicat, lantan oxit, ziconi oxit, ziconi silicat, tantalum oxit, bari stronti titanat, bari titanat, stronti titanat, ytri oxit, nhôm oxit, chì scandi tantal oxit, chì kẽm niobat, hoặc hợp chất của chúng. Ngoài ra, một phần của lớp điện môi cực cổng có thể bao gồm lớp oxit tự nhiên được tạo thành từ vài lớp trên đỉnh của vây 302. Theo một phương án, lớp điện môi cực cổng bao gồm phần có hằng số điện môi cao trên đỉnh và phần thấp hơn cấu tạo từ vật liệu bán dẫn. Theo một phương án, lớp điện môi cực cổng bao gồm phần hafni oxit trên đỉnh và phần silicon oxit hoặc oxy-nitrit dưới đáy. Theo một phương án, điện cực cổng cấu tạo từ lớp kim loại bao gồm, nhưng không bị giới hạn bởi, nitrit kim loại, cacbua kim loại, silicide kim loại, aluminit kim loại, hafni, ziriconi, titan, tantali, nhôm, ruteni, paladi, platin, coban, nickel hoặc oxit kim loại dẫn. Theo một phương án cụ thể, điện cực cổng được cấu tạo từ vật liệu làm đầy thiết lập phi công thoát được tạo thành trên lớp thiết lập công thoát kim loại.

Theo một phương án (mặc dù không được thể hiện trên hình vẽ), việc cung cấp thiết bị theo Fig.3K liên quan đến việc hình thành mẫu tiếp xúc về cơ bản được căn chỉnh hoàn hảo với mẫu cực cổng hiện tại trong khi loại bỏ việc sử dụng bước in litô mà vượt quá giá thành dự tính. Theo một phương án như vậy, cách tiếp cận này cho phép sử dụng bước khắc ướt chọn lọc cao về bản chất (ví dụ, so với phương pháp khắc khô hoặc plasma được triển khai thông thường) để tạo ra phần lỗ mở tiếp xúc. Theo một phương án, mẫu tiếp xúc được tạo thành bằng cách sử dụng mẫu cực cổng hiện tại kết hợp với nguyên công in litô chốt tiếp xúc. Theo một phương án như vậy, cách tiếp cận này cho phép loại bỏ sự cần thiết của nguyên công in litô thiết yếu khác để tạo ra mẫu tiếp xúc, như được sử dụng trong các tiếp cận truyền thống. Theo phương án này, lưới tiếp xúc dạng rãnh không được tạo

mẫu riêng rẽ, mà được tạo thành giữa nhiều đường (cực cổng). Ví dụ, theo phương án thực hiện này, lưới tiếp xúc dạng rãnh được tạo thành sau khi tạo mẫu mạng lưới cực cổng nhưng trước bước cắt mạng lưới cực cổng.

Theo một phương án, một hoặc nhiều cách tiếp cận được mô tả ở đây bao hàm quy trình cực cổng giả và quy trình cực cổng thay thế kết hợp với quy trình thay thế tiếp xúc và quy trình tiếp xúc giả để tạo thành thiết bị theo Fig.3K. Theo một phương án như vậy, quy trình thay thế tiếp xúc được thực hiện sau quy trình thay thế cực cổng để cho phép ủ ít nhất một phần của chõng cực cổng cố định ở nhiệt độ cao. Ví dụ, theo phương án thực hiện cụ thể này, việc ủ ít nhất một phần của cấu trúc cực cổng cố định, ví dụ, sau khi lớp điện môi cực cổng được tạo thành, được thực hiện tại nhiệt độ lớn hơn xấp xỉ 600 độ C. Bước ủ được thực hiện để tạo thành các tiếp xúc cố định.

Vẫn theo thiết bị được thể hiện tại Fig.3K, theo một phương án, cấu trúc tiếp xúc được tạo thành trong đó các phần của điện cực cổng được tiếp xúc trong các vùng tại đó các phần này được tạo thành trên vùng hoạt động. Nói chung, trước khi (ví dụ, ngoài ra) bước tạo cấu trúc tiếp xúc cực cổng (như là qua) trên phần hoạt động của cực cổng và trong lớp tương tự như rãnh tiếp xúc qua một hoặc nhiều phương án của sáng chế trước tiên bao gồm việc sử dụng quy trình tiếp xúc với rãnh được căn chỉnh của cực cổng. Quy trình này có thể được thực hiện ở dạng cấu trúc rãnh tiếp xúc để chế tạo cấu trúc bán dẫn, ví dụ để chế tạo mạch tích hợp. Theo một phương án, mẫu rãnh tiếp xúc được tạo thành được căn chỉnh với mẫu cực cổng hiện tại. Ngược lại, các tiếp cận thông thường thường liên quan đến quy trình in litô bổ sung có kết hợp mẫu tiếp xúc in litô với mẫu cực cổng hiện tại kết hợp với quy trình khắc tiếp xúc chọn lọc. Ví dụ, quy trình thông thường có thể bao gồm việc tạo mẫu nhiều lưới (cực cổng) với việc tạo mẫu các dấu hiệu tiếp xúc riêng rẽ.

Theo một khía cạnh, dòng điện hiện tại trong tranzito fin-FET là từ phần được làm lõm của vây đến phần trên của vây. Ví dụ, Fig.4 minh họa dòng điện hoạt động của thiết bị theo Fig.3K, theo một phương án của sáng chế. Như vậy,

tham chiếu đến Fig.4, dòng điện hiện tại là từ cực nguồn dưới 334 đến cực máng trên 336 và tạo thành kênh thẳng đứng.

Cần hiểu rằng không phải tất cả các khía cạnh của các quy trình được mô tả ở trên cần được thực hiện đều nằm trong phạm vi của các phương án theo sáng chế. Ví dụ, theo một phương án, các cực cổng giả không cần được tạo thành trước khi chế tạo các tiếp xúc cực cổng trên các phần hoạt động của các chồng cực cổng. Các chồng cực cổng được mô tả ở trên có thể thực sự là các chồng cực cổng cố định được tạo thành ban đầu. Tương tự, các quy trình được mô tả ở đây có thể được sử dụng để chế tạo một hoặc nhiều thiết bị bán dẫn. Các thiết bị bán dẫn có thể là các tranzito hoặc các thiết bị tương tự. Ví dụ, theo một phương án, các thiết bị bán dẫn là các tranzito bán dẫn oxit kim loại (metal-oxide semiconductor, MOS) của phần logic hoặc bộ nhớ, hoặc tranzito hai cực. Tương tự, theo một phương án, các thiết bị bán dẫn có cấu trúc ba chiều như là thiết bị ba cực cổng, thiết bị hai cực cổng được truy cập độc lập, hoặc FIN-FET. Một hoặc nhiều phương án thực hiện có thể hữu ích để chế tạo các thiết bị bán dẫn tạo nút công nghệ có kích thước nhỏ hơn hoặc bằng 10 nm. Theo phương án khác, ngược lại với các phương án được mô tả ở trên, vùng cực máng được làm lõm sâu vào vây so với các vùng cực nguồn. Tương tự, ngược lại với phần được mô tả ở trên, theo một phương án, tranzito fin-FET thẳng đứng loại P có thể được chế tạo. Tóm lại, các phương án được mô tả ở đây đề xuất các cách tiếp cận để chế tạo các thiết bị không phẳng thẳng đứng.

Fig.5 minh họa thiết bị điện toán 500 theo một phương án thực hiện của sáng chế. Thiết bị điện toán 500 chứa bảng mạch 502. Bảng mạch 502 có thể bao gồm nhiều thành phần, bao gồm nhưng không bị giới hạn bởi bộ xử lý 504 và ít nhất một chip truyền thông 506. Bộ xử lý 504 được đấu nối vật lý và điện với bảng mạch 502. Theo một số phương án thực hiện ít nhất một chip truyền thông 506 cũng được đấu nối vật lý và đấu nối điện với bảng mạch 502. Theo các phương án thực hiện khác, chip truyền thông 506 là một phần của bộ xử lý 504.

Thiết bị điện toán 500 có thể bao gồm các thành phần khác mà có thể hoặc không được đấu nối vật lý và đấu nối điện với bảng 502 phụ thuộc vào ứng dụng

của nó. Các thành phần khác bao gồm, nhưng không bị giới hạn bởi, bộ nhớ khả biến (ví dụ DRAM), bộ nhớ không khả biến (ví dụ ROM), bộ nhớ nhanh, bộ xử lý đồ họa, bộ xử lý tín hiệu số, bộ xử lý mã hóa, chipset, ăngten, màn hiển thị, màn hình cảm ứng, bộ điều khiển cảm ứng chạm, pin, codec âm thanh, bộ khuếch đại công suất, thiết bị thống định vị toàn cầu (global positioning system, GPS), la bàn, gia tốc kế, con quay hồi chuyển, loa, camera và thiết bị lưu trữ lớn (như ổ đĩa cứng, đĩa nén (compact disk, CD), đĩa khả biến số (digital versatile disk, DVD) và các thiết bị tương tự).

Chip truyền thông 506 cho phép truyền thông không dây để chuyển dữ liệu đến và từ thiết bị điện toán 500. Thuật ngữ "không dây" và dạng biến đổi của nó có thể được sử dụng để mô tả mạch, thiết bị, hệ thống, phương pháp, kỹ thuật, kênh truyền thông, vân vân mà có thể truyền thông dữ liệu thông qua việc sử dụng bức xạ điện từ được điều biến thông qua môi trường không rắn. Thuật ngữ này không đề cập rằng các thiết bị được kết hợp không bao gồm bất kỳ dây dẫn nào mặc dù theo một số phương án, chúng không có bất kỳ dây dẫn nào. Chip truyền thông 506 có thể thực hiện bất kỳ trong số các chuẩn hoặc giao thức không dây nào, bao gồm nhưng không bị giới hạn bởi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, di động tiến dài hạn (LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, hoặc các dạng phát sinh của nó, cũng như bất kỳ giao thức không dây khác mà được ký hiệu 3G, 4G, 5G và tương tự. Thiết bị điện toán 500 có thể bao gồm nhiều chip truyền thông 506. Ví dụ, chip truyền thông thứ nhất 506 có thể chuyên dụng cho truyền thông khoảng cách gần như wifi và bluetooth và chip truyền thông 506 thứ hai có thể chuyên dụng với truyền thông không dây khoảng cách xa hơn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và tương tự.

Bộ xử lý 504 của thiết bị điện toán 500 bao gồm khuôn mạch tích hợp được đóng gói trong bộ xử lý 504. Theo một số phương án của sáng chế, khuôn mạch tích hợp của bộ xử lý bao gồm một hoặc nhiều thiết bị, như tranzito MOS-FET được tạo thành theo các phương án của sáng chế. Thuật ngữ "bộ nhớ" có thể tham chiếu đến thiết bị hoặc một phần của thiết bị mà xử lý dữ liệu điện tử từ thanh ghi

và/hoặc bộ nhớ để chuyển dữ liệu điện tử này thành dữ liệu điện tử khác mà có thể được lưu trữ trong thanh ghi và/hoặc bộ nhớ.

Chip truyền thông 506 cũng bao gồm khuôn mạch tích hợp được đóng gói trong chip truyền thông 506. Theo một phương án thực hiện khác của sáng chế, khuôn mạch tích hợp của chip truyền thông bao gồm một hoặc nhiều thiết bị, như các tranzito MOS-FET được tạo thành theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác, thành phần khác được chứa trong thiết bị điện toán 500 có thể bao gồm khuôn mạch tích hợp bao gồm một hoặc nhiều thiết bị, như các tranzito MOS-FET được tạo thành theo các phương án thực hiện của sáng chế.

Theo nhiều phương án thực hiện, thiết bị điện toán 500 có thể là máy tính xách tay, notebook, ultrabook, điện thoại thông minh, máy tính bảng, thiết bị hỗ trợ cá nhân kỹ thuật số (personal digital assistant, PDA), PC di động, điện thoại di động, máy tính để bàn, máy chủ, máy tin, máy quét, màn hình, hộp thu giải mã tín hiệu truyền hình, thiết bị điều khiển giải trí, camera kỹ thuật số, thiết bị phát nhạc cầm tay, hoặc thiết bị ghi video kỹ thuật số. Theo các phương án khác, thiết bị điện toán 500 có thể là thiết bị điện tử bất kỳ để xử lý dữ liệu.

Do đó, các phương án của sáng chế bao gồm các thiết bị bán dẫn không phẳng thẳng đứng dùng cho các ứng dụng hệ thống trên vi mạch và các phương pháp chế tạo các thiết bị bán dẫn không phẳng thẳng đứng.

Theo một phương án, thiết bị bán dẫn thứ nhất bao gồm vây bán dẫn được bố trí trên đế, vây bán dẫn có phần được làm lõm và phần trên cùng. Vùng cực nguồn được bố trí ở phần được làm lõm của vây bán dẫn. Vùng cực máng được bố trí ở phần trên cùng của vây bán dẫn. Điện cực cổng được bố trí trên phần trên cùng của vây bán dẫn, giữa các vùng cực nguồn và cực máng.

Theo một phương án, thiết bị bán dẫn còn bao gồm vùng kênh gần như thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng.

Theo một phương án, vùng cực máng bao gồm vùng pha tạp bên trên của loại dẫn suất thứ nhất được bố trí trên vùng trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng pha tạp bên dưới của loại dẫn suất thứ nhất được bố trí trong vây bán dẫn bên dưới phần được làm lõm của vây bán dẫn.

Theo một phương án, vây bán dẫn được bố trí trên đế bán dẫn kích thước lớn và vùng pha tạp bên dưới của loại dẫn suất thứ nhất còn được bố trí ở phần trên của đế bán dẫn kích thước lớn. Thiết bị bán dẫn còn bao gồm vùng pha tạp của loại dẫn suất ngược thứ hai được bố trí trên đế bán dẫn kích thước lớn bên dưới và tiếp xúc với vùng pha tạp bên dưới của loại dẫn suất thứ nhất.

Theo một phương án, thiết bị bán dẫn là thiết bị loại N và loại dẫn suất thứ nhất là loại N.

Theo một phương án, vùng cực máng bao gồm vùng epitaxi thứ nhất được bố trí trên phần trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng epitaxi thứ hai được bố trí trên phần được làm lõm của vây bán dẫn.

Theo một phương án, vây bán dẫn bao gồm phần trên cùng khác và phần được làm lõm của vây bán dẫn được bố trí giữa phần trên cùng này và phần trên cùng khác. Thiết bị bán dẫn còn bao gồm vùng cực máng thứ hai được bố trí trên phần trên cùng khác của vây bán dẫn. Điện cực cổng thứ hai được bố trí trên phần trên cùng khác của vây bán dẫn, giữa các vùng cực nguồn và cực máng thứ hai.

Theo một phương án, thiết bị bán dẫn là thiết bị ba cực cổng.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N bao gồm vây silicon được bố trí trên đế silicon kích thước lớn, vây silicon có phần được làm lõm và phần trên cùng. Vùng cực nguồn được bố trí ở phần được làm lõm của vây silicon. Vùng cực máng được bố trí ở phần trên cùng của vây silicon. Điện cực cổng loại N được bố trí trên phần trên cùng của vây silicon, giữa các vùng cực nguồn và cực máng. Vùng kênh gần như thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng loại N.

Theo một phương án, vùng cực máng bao gồm vùng pha tạp loại N bên trên được bố trí ở vùng trên cùng của vây silicon. Vùng cực nguồn bao gồm vùng pha

tạp loại N bên dưới được bố trí trong vây silicon, bên dưới phần được làm lõm của vây silicon và tại phần bên trên của đế silicon kích thước lớn.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N còn bao gồm vùng pha tạp loại P được bố trí ở đế silicon kích thước lớn bên dưới và tiếp xúc với vùng pha tạp loại N bên dưới.

Theo một phương án, vùng cực máng còn bao gồm vùng silicon epitaxi loại N thứ nhất được bố trí trên phần trên cùng của vây silicon và vùng cực nguồn còn bao gồm vùng silicon epitaxi thứ hai loại N được bố trí trên phần được làm lõm của vây silicon.

Theo một phương án, vây silicon bao gồm phần trên cùng khác. Phần được làm lõm của vây silicon được bố trí giữa phần trên cùng này và phần trên cùng khác. Thiết bị fin-FET thẳng đứng loại N còn bao gồm vùng cực máng thứ hai được bố trí trên phần trên cùng khác của vây silicon. Điện cực cổng loại N thứ hai được bố trí trên phần trên cùng khác của vây silicon, giữa các vùng cực nguồn và cực máng thứ hai.

Theo một phương án, thiết bị fin-FET thẳng đứng loại N là thiết bị ba cực cổng.

Theo một phương án, phương án chế tạo thiết bị bán dẫn bao gồm bước tạo thành vây bán dẫn trên đế. Phương pháp này cũng bao gồm bước tạo thành vùng pha tạp phụ của loại dẫn suất thứ nhất bên dưới vây bán dẫn. Phương pháp này cũng bao gồm bước tạo thành vùng pha tạp bên trên của loại dẫn suất thứ nhất trên đỉnh của vây bán dẫn, vùng pha tạp bên trên phân tách với vùng pha tạp phụ. Phương pháp này cũng bao gồm bước tạo thành điện cực cổng trên vây bán dẫn. Phương pháp này cũng bao gồm bước khắc vây bán dẫn để tạo ra phần lõm và phần trên cùng của vây bán dẫn. Phương pháp này cũng bao gồm bước tạo thành vùng cực nguồn tại phần lõm của vây bán dẫn, vùng cực nguồn này bao gồm ít nhất một phần của vùng pha tạp phụ. Phương pháp này cũng bao gồm bước tạo thành vùng cực máng tại phần trên cùng của vây bán dẫn, vùng cực máng này bao gồm ít nhất một phần của vùng pha tạp bên trên. Điện cực cổng nằm giữa các vùng cực nguồn và cực máng.

Theo một phương án, bước tạo thành vây bán dẫn bao gồm việc khắc vây bán dẫn lên đế. Phương pháp này còn bao gồm vùng pha tạp của loại dẫn xuất ngược thứ hai trên đế bên dưới và tiếp xúc với vùng pha tạp phụ của loại dẫn suất thứ nhất.

Theo một phương án, phương pháp này còn bao gồm bước tạo thành vùng cách điện rãnh nông (shallow trench isolation, STI) xung quanh vây bán dẫn và trên đế trước khi tạo thành điện cực cổng. Gờ bán dẫn nhô lên trên vùng STI.

Theo một phương án, việc tạo thành vùng cực nguồn còn bao gồm bước tạo thành vùng epitaxi thứ nhất của loại dẫn suất thứ nhất trên phần lõm của vây bán dẫn và bước tạo thành vùng cực máng còn bao gồm bước tạo thành vùng epitaxi thứ hai của loại dẫn suất thứ nhất trên phần trên cùng của vây bán dẫn.

Theo một phương án, bước tạo thành vùng pha tạp phụ còn bao gồm việc sử dụng lớp cực nguồn pha tạp ở trạng thái rắn.

Theo một phương án, bước tạo điện cực cổng còn bao gồm việc tạo thành điện cực cổng giả. Phương pháp này còn bao gồm bước tạo thành điện cực cổng cố định nhờ quy trình thay thế cực cổng.

Theo một phương án, phương pháp này còn bao gồm bước tạo thành thiết bị fin-FET thẳng đứng loại N từ vùng cực nguồn, vùng cực máng và điện cực cổng.

Theo một phương án, bước tạo thành thiết bị fin-FET thẳng đứng loại N còn bao gồm việc tạo thành thiết bị ba cực cổng.

YÊU CẦU BẢO HỘ

1. Thiết bị bán dẫn, thiết bị này bao gồm:

vây bán dẫn được bố trí trên đế, vây bán dẫn này có phần được làm lõm và phần trên cùng;

vùng cực nguồn được bố trí ở phần được làm lõm của vây bán dẫn;

vùng cực máng được bố trí ở phần trên cùng của vây bán dẫn; và điện cực cổng cũng được bố trí ở phần trên cùng của vây bán dẫn, giữa các vùng cực nguồn và cực máng.

2. Thiết bị bán dẫn theo điểm 1, thiết bị này còn bao gồm vùng kênh gần như thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng.

3. Thiết bị bán dẫn theo điểm 1, trong đó vùng cực máng bao gồm vùng pha tạp bên trên loại dẫn suất thứ nhất được bố trí ở vùng trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng pha tạp bên dưới loại dẫn suất thứ nhất được bố trí ở vây bán dẫn bên dưới phần được làm lõm của vây bán dẫn.

4. Thiết bị bán dẫn theo điểm 3, trong đó vây bán dẫn được bố trí trên đế bán dẫn khối và trong đó vùng pha tạp bên dưới loại dẫn suất thứ nhất còn được bố trí ở phần trên của đế bán dẫn khối, thiết bị bán dẫn này còn bao gồm:

vùng pha tạp loại dẫn xuất ngược thứ hai được bố trí trên đế bán dẫn khối bên dưới và tiếp xúc với vùng pha tạp bên dưới loại dẫn suất thứ nhất.

5. Thiết bị bán dẫn theo điểm 3, trong đó thiết bị bán dẫn này là thiết bị loại N và trong đó loại dẫn suất thứ nhất là loại N.

6. Thiết bị bán dẫn theo điểm 1, trong đó vùng cực máng bao gồm vùng epitaxi thứ nhất được bố trí trên phần trên cùng của vây bán dẫn và vùng cực nguồn bao gồm vùng epitaxi thứ hai được bố trí trên phần được làm lõm của vây bán dẫn.

7. Thiết bị bán dẫn theo điểm 1, trong đó vây bán dẫn bao gồm phần trên cùng khác và trong đó phần được làm lõm của vây bán dẫn được bố trí giữa phần trên cùng này và phần trên cùng khác, thiết bị bán dẫn này còn bao gồm:

vùng cực máng thứ hai được bố trí ở phần trên cùng khác của vây bán dẫn;
và

điện cực cổng thứ hai được bố trí ở phần trên cùng khác của vây bán dẫn,
giữa các vùng cực nguồn và cực máng thứ hai.

8. Thiết bị bán dẫn theo điểm 1, trong đó thiết bị bán dẫn này là thiết bị ba cực cổng.

9. Thiết bị fin-FET (tranzito hiệu ứng trường vây, fin field effect transistor) thẳng đứng loại N, thiết bị này bao gồm:

vây silic được bố trí trên đế silic khối, vây silic này có:

phần được làm lõm và phần trên cùng;

vùng cực nguồn được bố trí ở phần được làm lõm của vây silic;

vùng cực máng được bố trí ở phần trên cùng của vây silic;

điện cực cổng loại N cũng được bố trí ở phần trên cùng của vây silic, giữa các vùng cực nguồn và cực máng; và

vùng kênh gần như thẳng đứng được bố trí giữa các vùng cực nguồn và cực máng và được điều khiển điện bởi điện cực cổng loại N.

10. Thiết bị fin-FET thẳng đứng loại N theo điểm 9, trong đó vùng cực máng bao gồm vùng pha tạp loại N bên trên được bố trí ở vùng trên cùng của vây silic và vùng cực nguồn bao gồm vùng pha tạp loại N bên dưới được bố trí ở vây silic, bên dưới phần được làm lõm của vây silic và ở phần bên trên của đế silic khối.

11. Thiết bị fin-FET thẳng đứng loại N theo điểm 10, thiết bị này còn bao gồm:

vùng pha tạp loại P được bố trí trên đế silic khối bên dưới và tiếp xúc với vùng pha tạp loại N bên dưới.

12. Thiết bị fin-FET thẳng đứng loại N theo điểm 10, trong đó vùng cực máng còn bao gồm vùng silic epitaxi loại N thứ nhất được bố trí trên phần trên cùng của vây silic và vùng cực nguồn còn bao gồm vùng silic epitaxi loại N thứ hai được bố trí trên vùng được làm lõm của vây silic.

13. Thiết bị fin-FET thẳng đứng loại N theo điểm 9, trong đó vây silic bao gồm phần trên cùng khác và trong đó phần được làm lõm của vây silic được bố trí giữa phần trên cùng này và phần trên cùng khác, thiết bị fin-FET thẳng đứng loại N này còn bao gồm:

vùng cực máng thứ hai được bố trí ở phần trên cùng khác của vây silic; và

điện cực cổng loại N thứ hai được bố trí trên phần trên cùng khác của vây silic, giữa vùng cực nguồn và vùng cực máng thứ hai.

14. Thiết bị fin-FET thẳng đứng loại N theo điểm 9, trong đó thiết bị fin-FET thẳng đứng loại N này là thiết bị ba cực cổng.

15. Phương pháp chế tạo thiết bị bán dẫn, phương pháp này bao gồm các bước:

tạo thành vây bán dẫn trên đế;

tạo thành vùng pha tạp phụ loại dẫn suất thứ nhất ở bên dưới vây bán dẫn này;

tạo thành vùng pha tạp bên trên loại dẫn suất thứ nhất ở bên trên vây bán dẫn, vùng pha tạp bên trên này tách biệt với vùng pha tạp phụ;

tạo thành điện cực cổng trên vây bán dẫn;

khắc vây bán dẫn để tạo thành phần lõm và phần trên cùng của vây bán dẫn;

tạo thành vùng cực nguồn ở phần được làm lõm của vây bán dẫn, vùng cực nguồn này bao gồm ít nhất một phần vùng pha tạp phụ; và tạo thành vùng cực máng ở phần trên cùng của vây bán dẫn, vùng cực máng này bao gồm ít nhất một phần vùng pha tạp bên trên, trong đó điện cực cổng nằm giữa các vùng cực nguồn và cực máng.

16. Phương pháp theo điểm 15, trong đó bước tạo thành vây bán dẫn bao gồm bước khắc vây bán dẫn ở đế, phương pháp này còn bao gồm bước: tạo thành vùng pha tạp loại dẫn suất ngược thứ hai trên đế bên dưới và tiếp xúc với vùng pha tạp phụ loại dẫn suất thứ nhất.

17. Phương pháp theo điểm 15, phương pháp này còn bao gồm bước:

tạo thành vùng cách điện rãnh nông (shallow trench isolation, STI) xung quanh vây bán dẫn và trên đế, trước khi tạo thành điện cực cổng, trong đó vây bán dẫn nhô ra trên vùng STI này.

18. Phương pháp theo điểm 15, trong đó bước tạo thành vùng cực nguồn còn bao gồm bước tạo thành vùng epitaxi thứ nhất loại dẫn suất thứ nhất trên phần lõm của vây bán dẫn và trong đó bước tạo thành vùng cực máng còn bao gồm bước tạo thành vùng epitaxi thứ hai loại dẫn suất thứ nhất trên phần trên cùng của vây bán dẫn.

19. Phương pháp theo điểm 15, trong đó bước tạo thành vùng pha tạp phụ bao gồm bước sử dụng lớp cực nguồn pha tạp ở trạng thái rắn.

20. Phương pháp theo điểm 15, trong đó bước tạo thành điện cực cổng còn bao gồm bước tạo thành điện cực cổng giả, phương pháp này còn bao gồm bước:

tạo thành điện cực cổng cố định nhờ quy trình thay thế cực cổng.

21. Phương pháp theo điểm 15, phương pháp này còn bao gồm bước:

tạo thành thiết bị fin-FET thẳng đứng loại N từ vùng cực nguồn, vùng cực máng và điện cực cổng.

22. Phương pháp theo điểm 21, trong đó bước tạo thành thiết bị fin-FET thẳng đứng loại N bao gồm bước tạo thành thiết bị ba cực cổng.

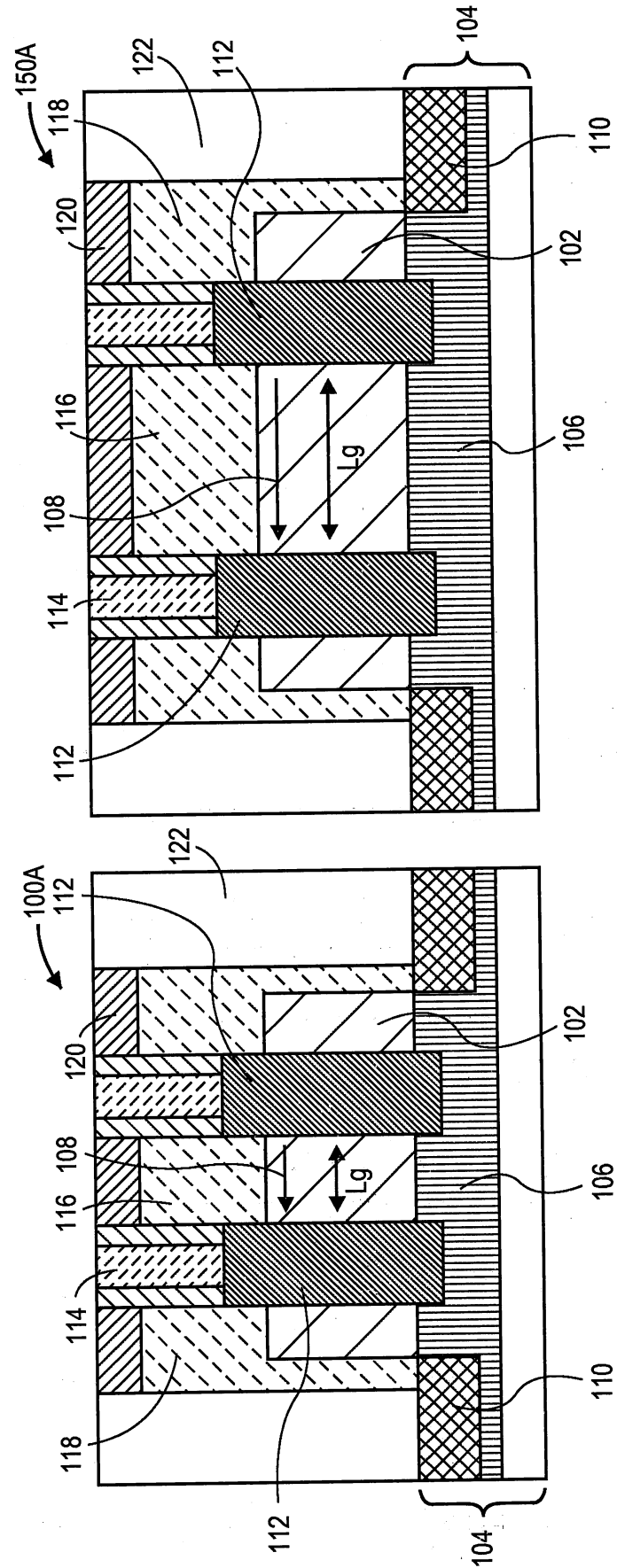


FIG. 1A

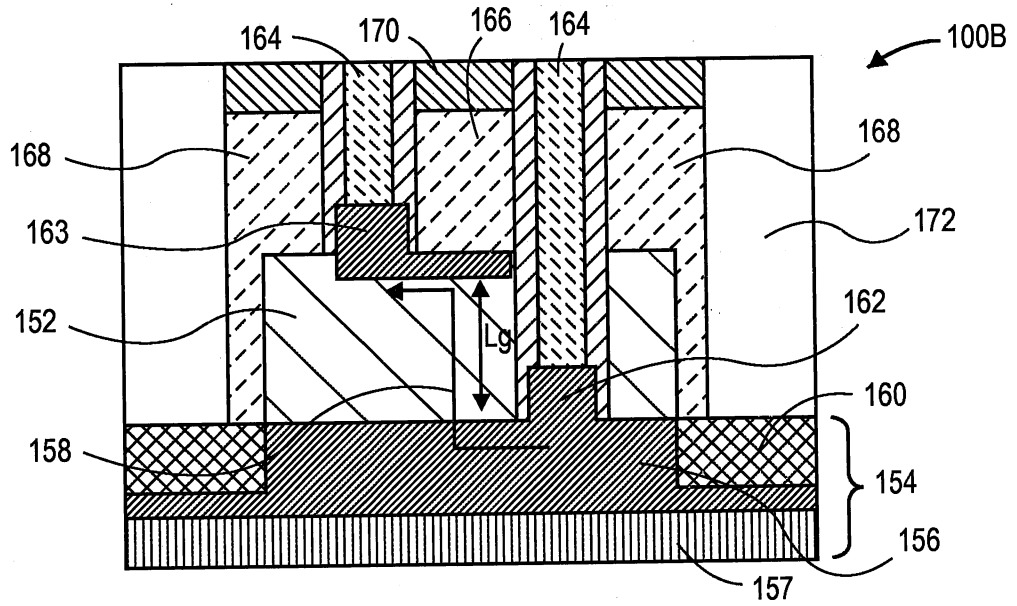


FIG. 1B

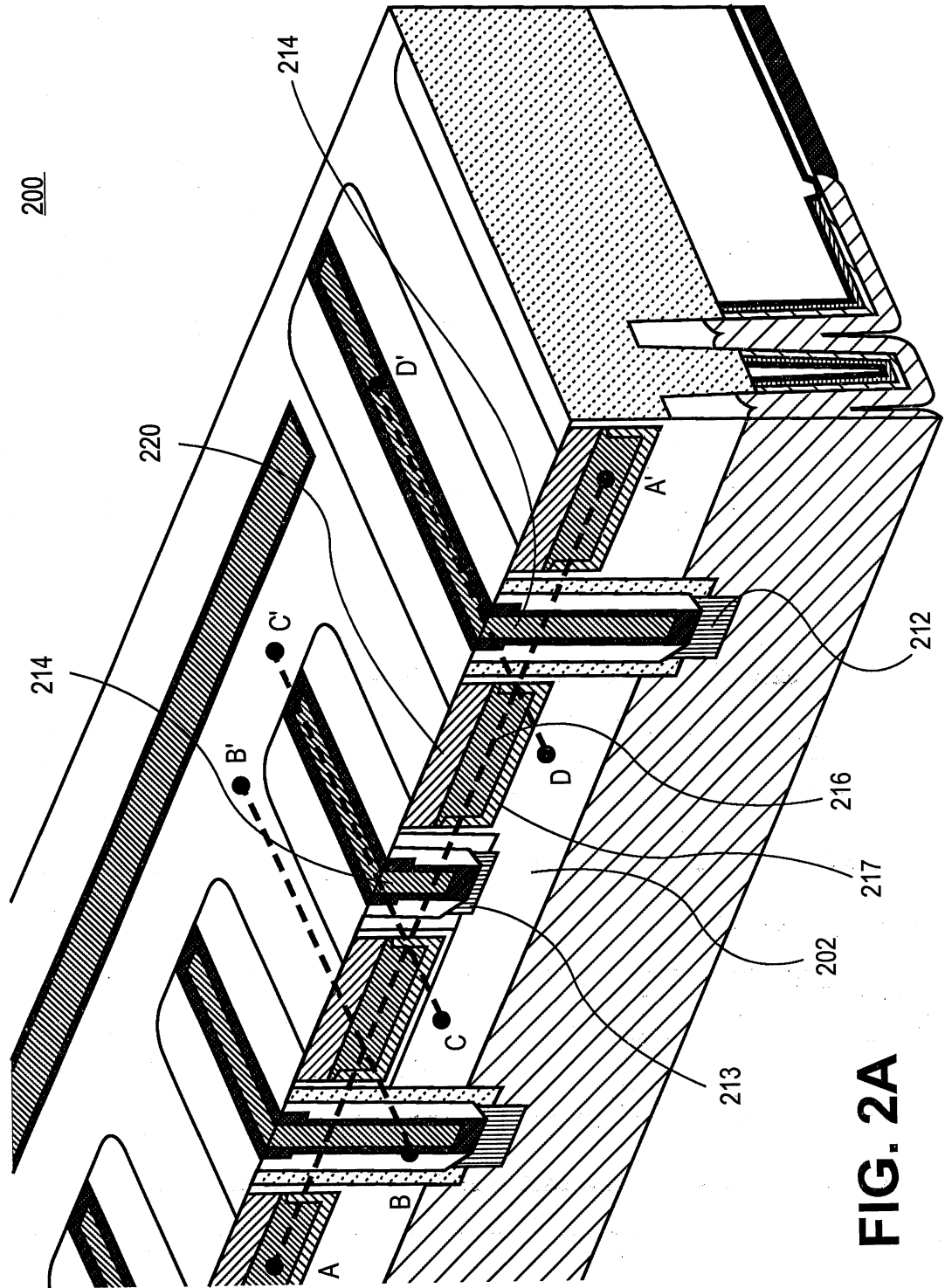


FIG. 2A



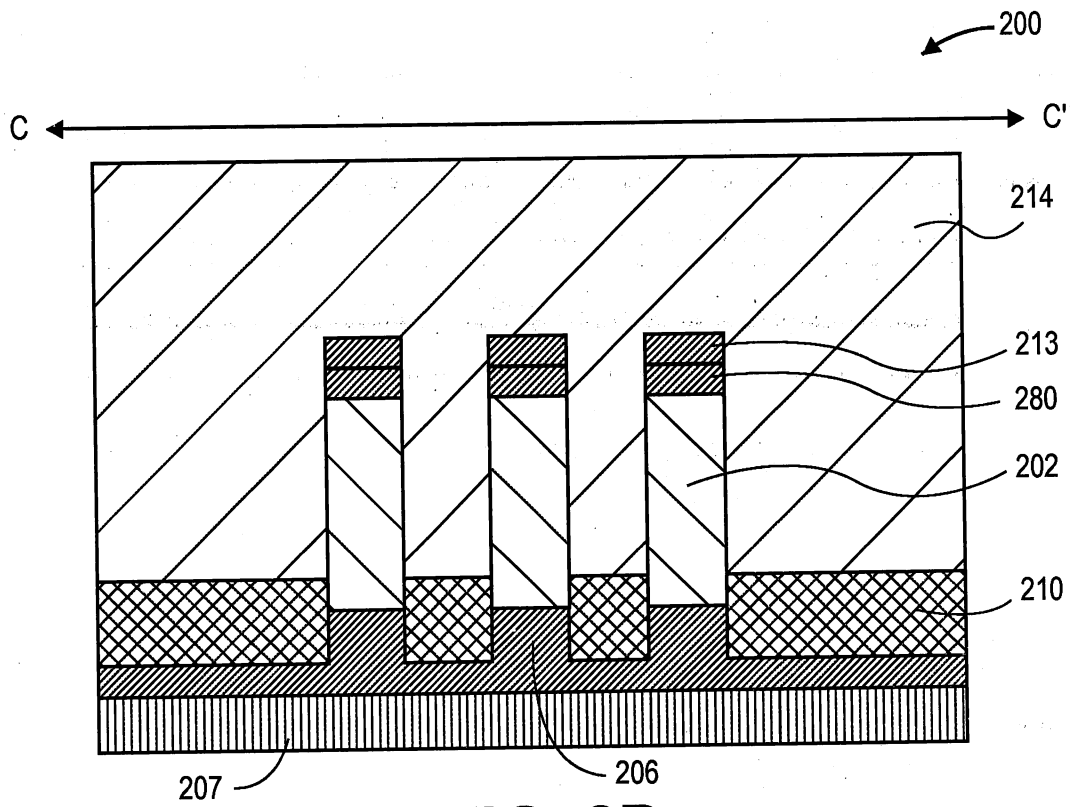


FIG. 2D

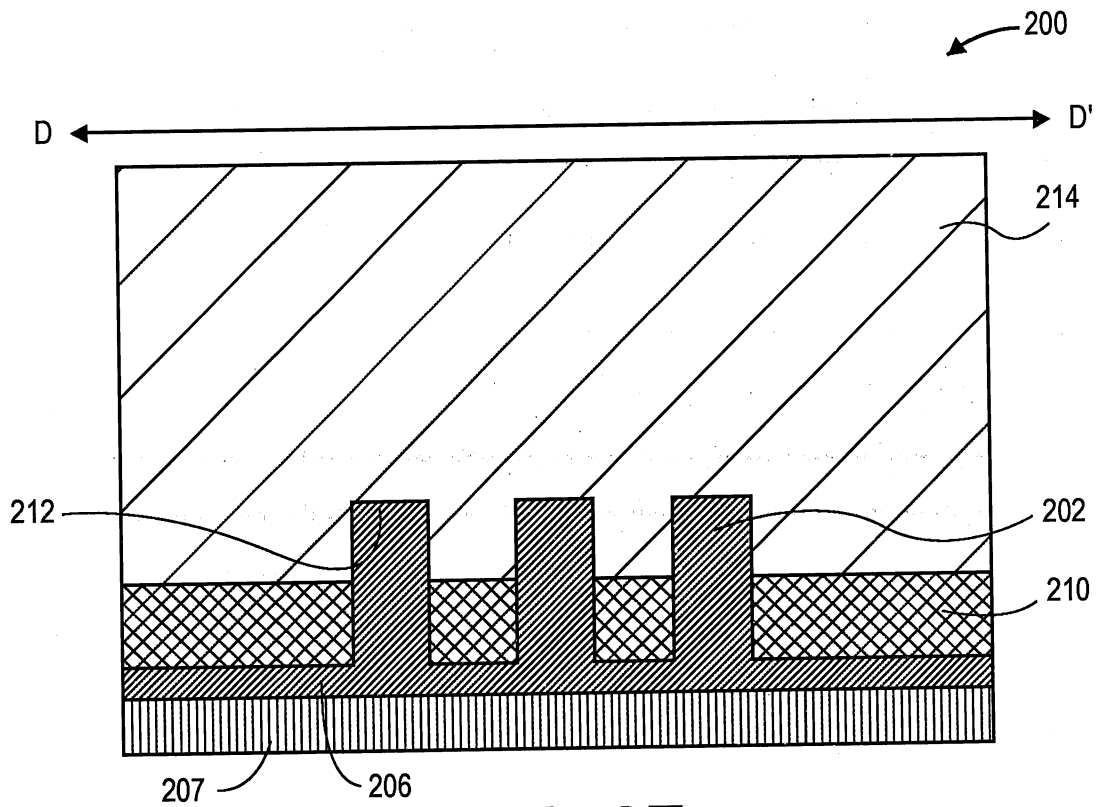
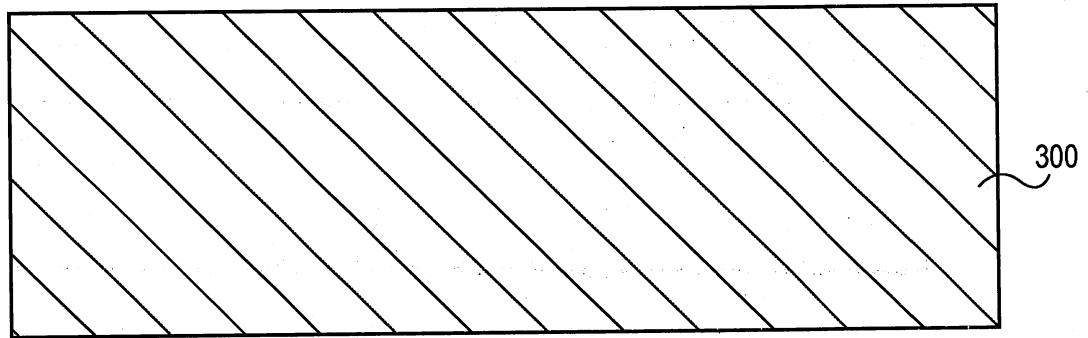
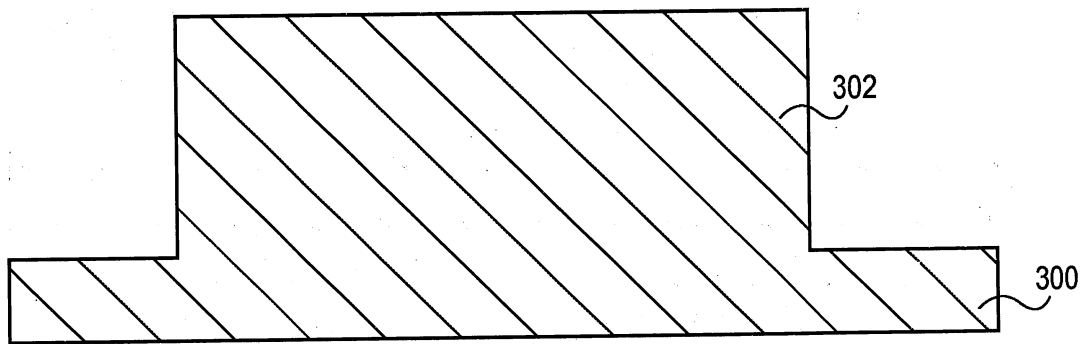
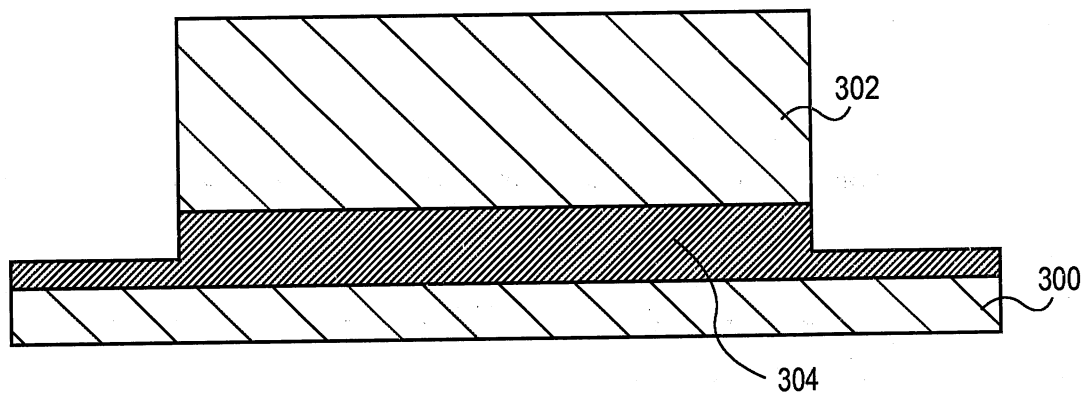


FIG. 2E

**FIG. 3A****FIG. 3B****FIG. 3C**

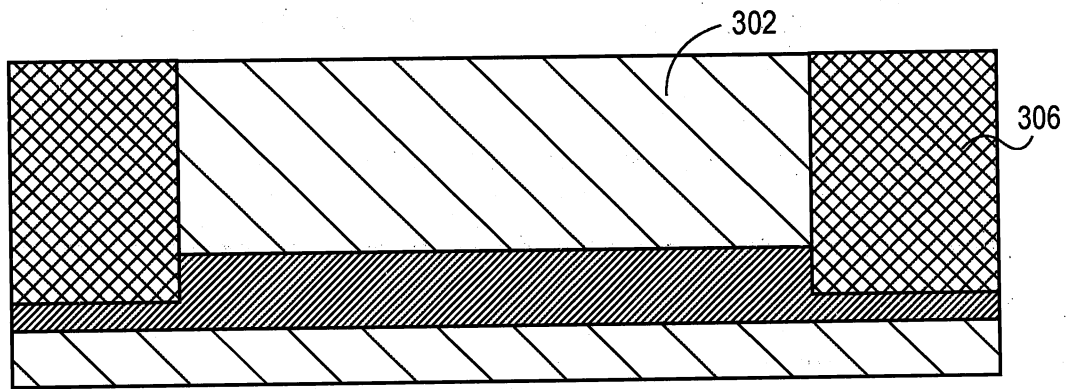


FIG. 3D

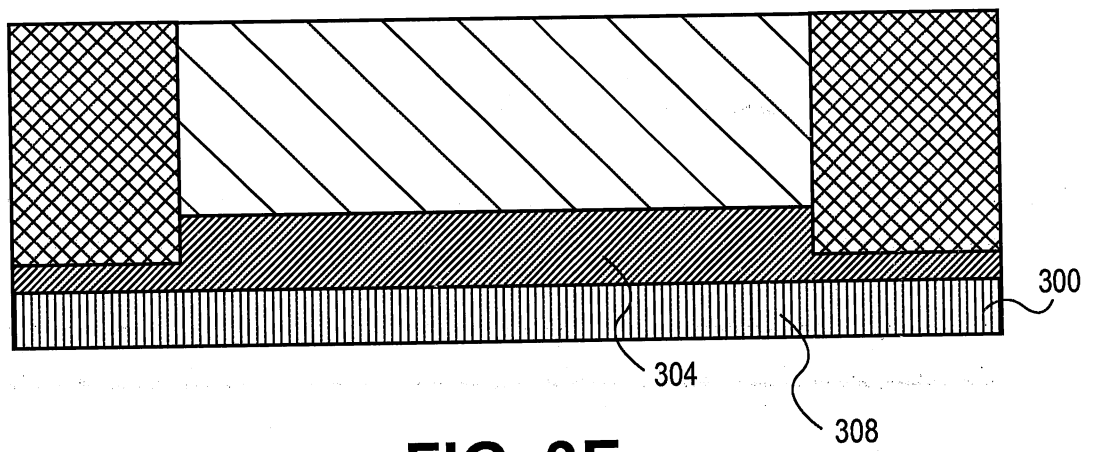


FIG. 3E

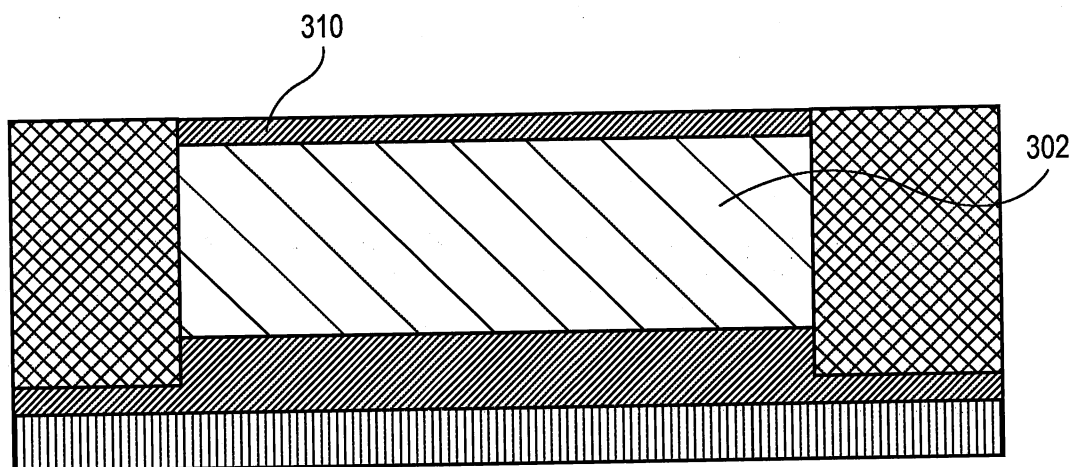
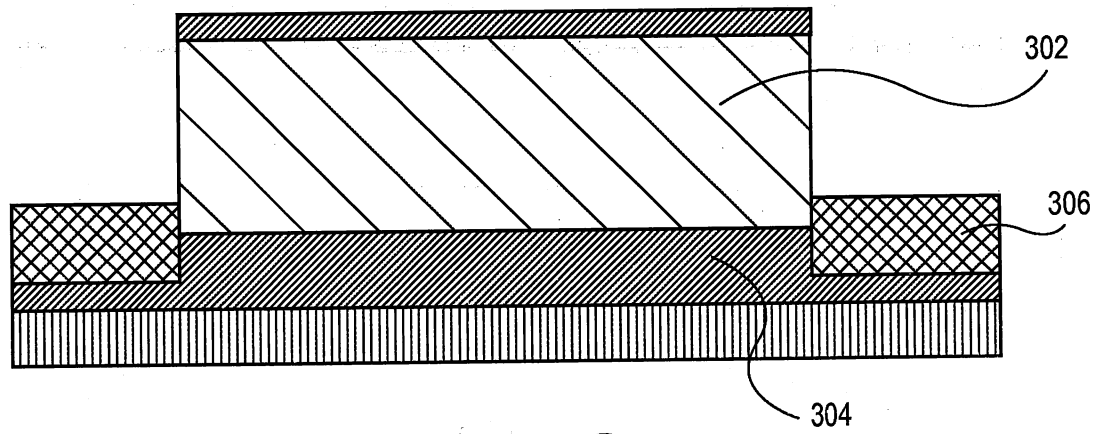
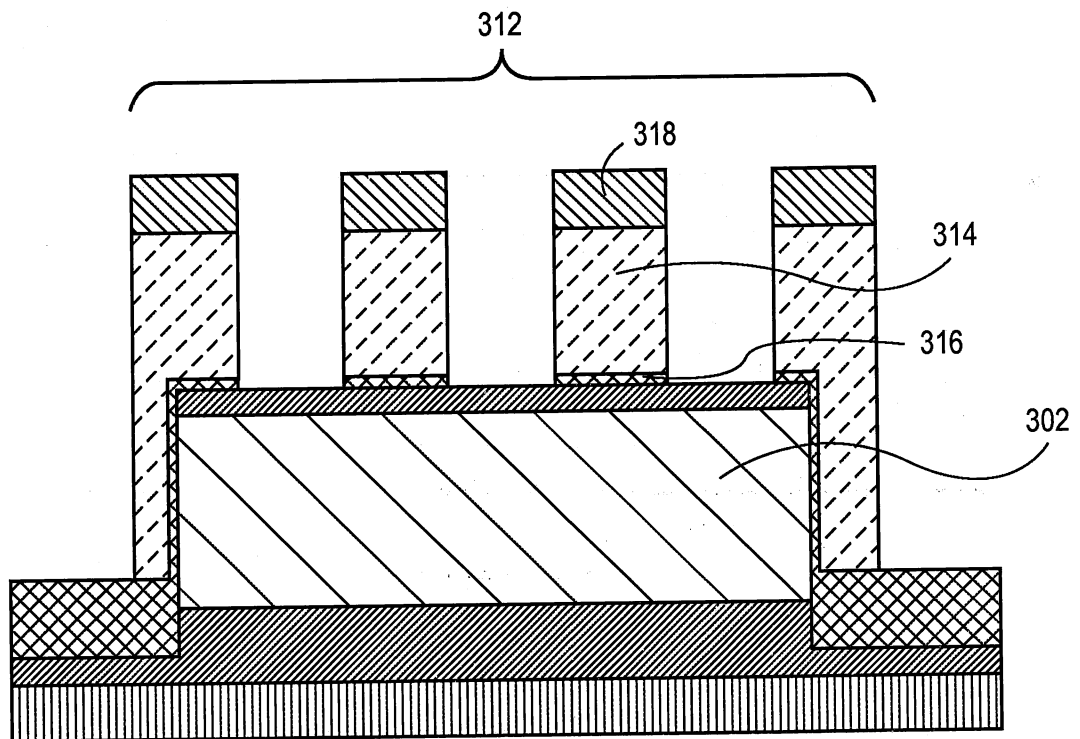


FIG. 3F

**FIG. 3G****FIG. 3H**

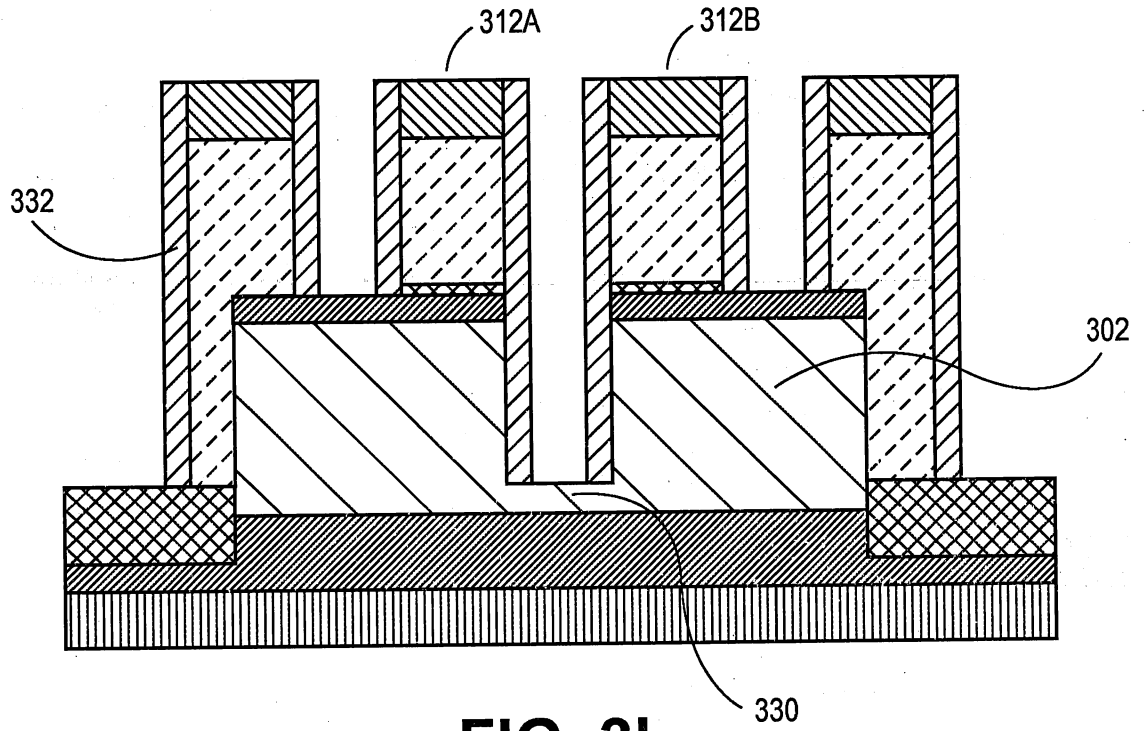


FIG. 3I

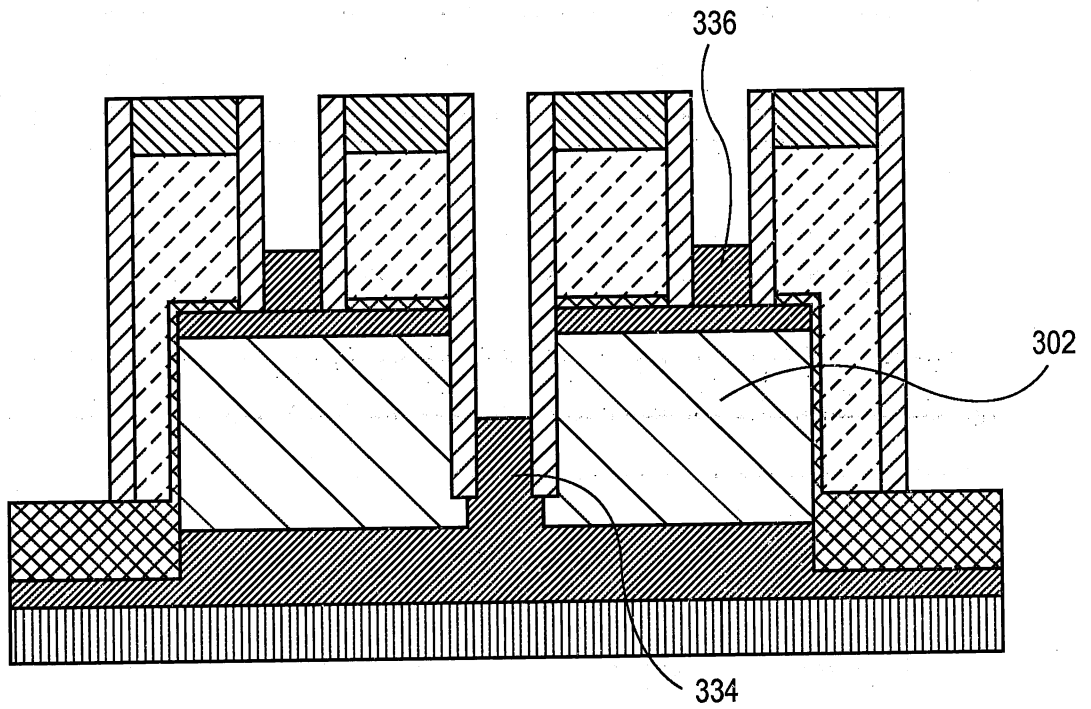


FIG. 3J

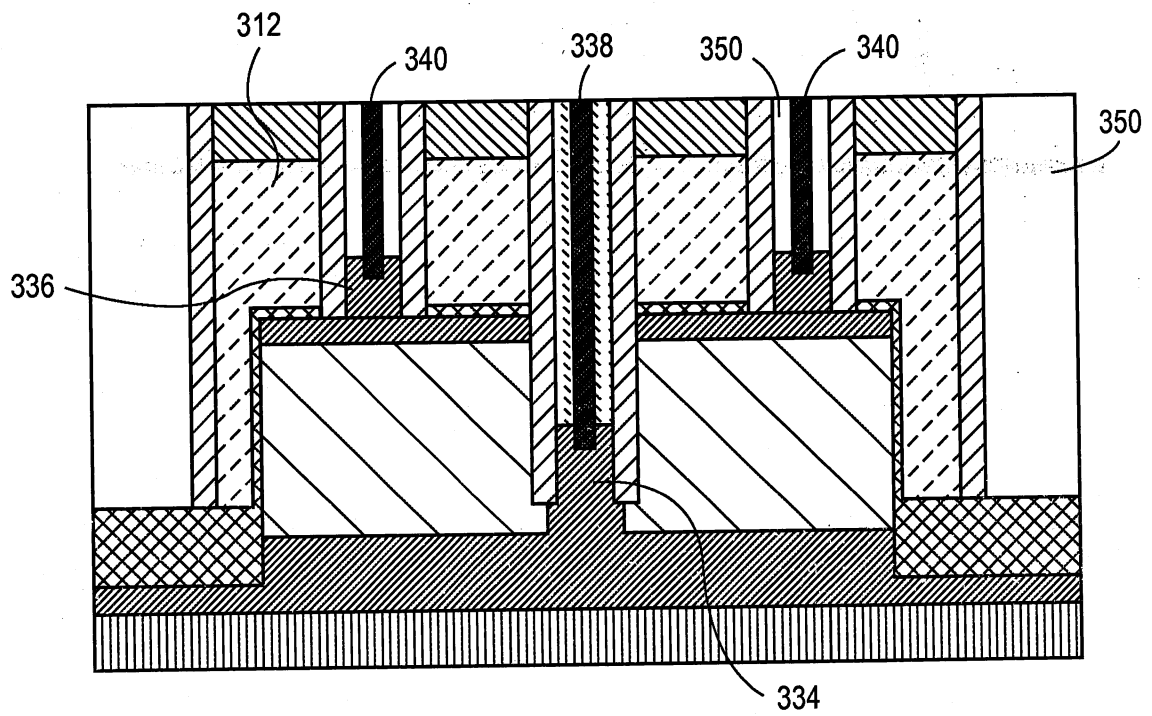


FIG. 3K

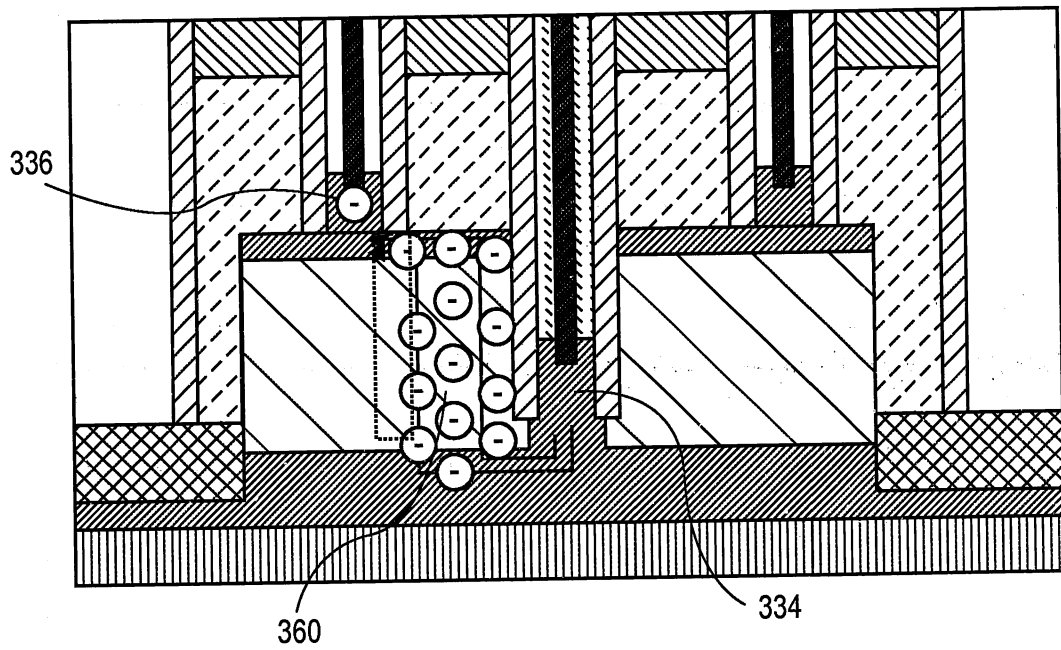
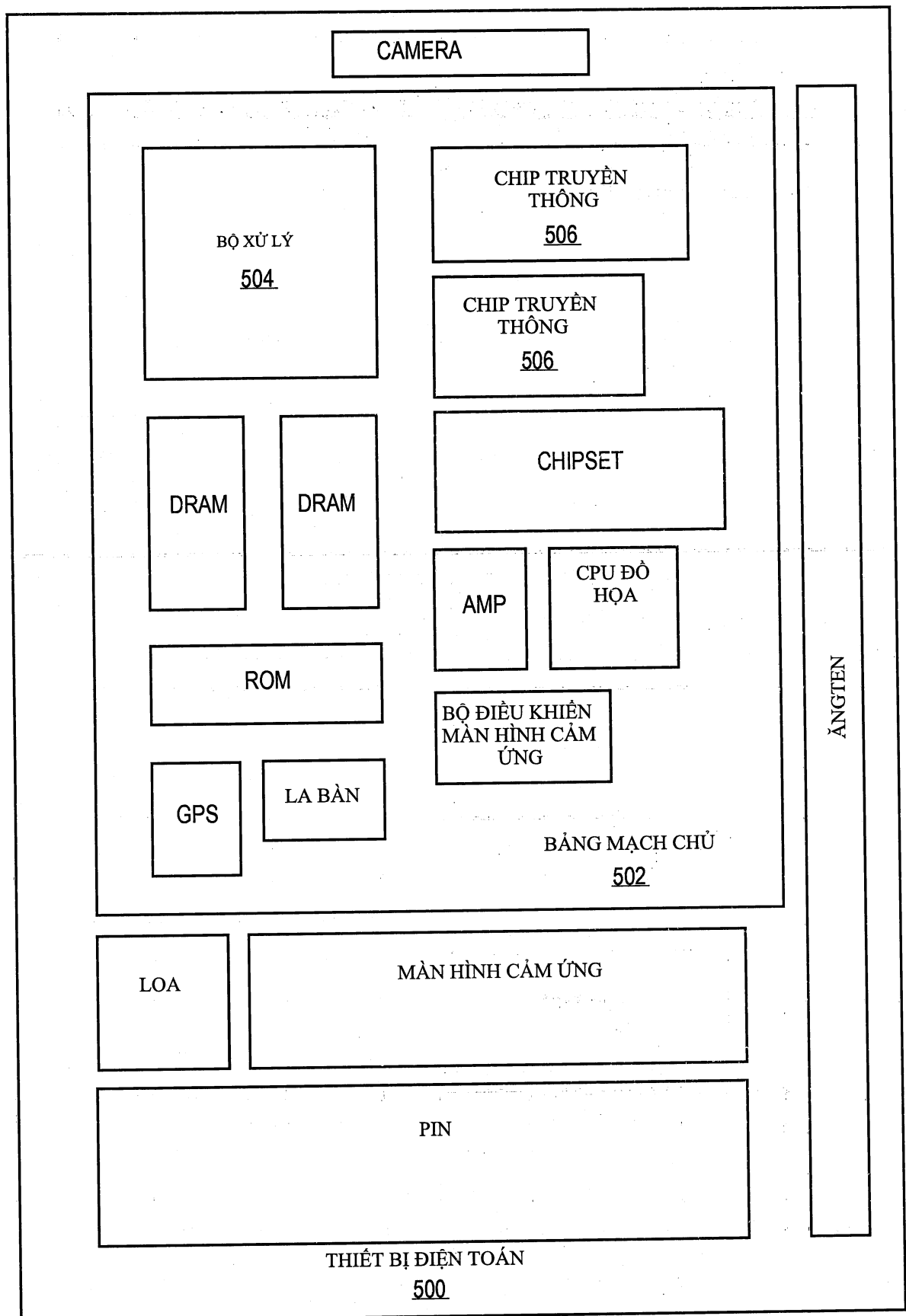


FIG. 4

**FIG. 5**